

### 特長

IEC 61000-4-xに準拠してシステム・レベルのESD性能を強化

高速データレート：DC～100 Mbps (NRZ)

3.3 Vおよび5.0 V動作/レベル変換との互換性

最大 105°Cまでの動作温度

低消費電力動作

5 V動作

最大 2.0 mA @ 1 Mbps

最大 5.6 mA @ 25 Mbps

最大 18 mA @ 100 Mbps

3.3 V動作

最大 1.1 mA @ 1 Mbps

最大 4.2 mA @ 25 Mbps

最大 8.3 mA @ 50 Mbps

RoHS 準拠の 8 ピン SOIC

高いコモンモード過渡耐性：>25 kV/μs

安全規格および適用規格

UL 認定：UL 1577 に準拠して 1 分間で 2500 V rms

CSA 部品承認通知#5A

VDE 適合性証明

DIN V VDE V 0884-10 (VDE V 0884-10)：2006-12

$V_{IORM} = 560$  V ピーク

### アプリケーション

デジタル・フィールドバス絶縁

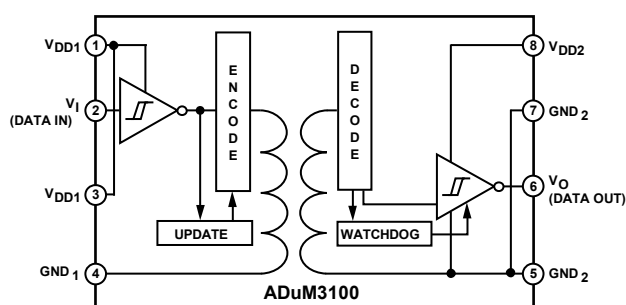
光アイソレータの置換品

コンピュータと周辺機器間のインターフェース

マイクロプロセッサ・システムのインターフェース

一般的な計装とデータ・アキュイジション

### 機能ブロック図



NOTES  
1. FOR PRINCIPLES OF OPERATION, SEE METHOD OF OPERATION, DC CORRECTNESS, AND MAGNETIC FIELD IMMUNITY SECTION.

図 1.

### 概要

ADuM3100<sup>1</sup>は、アナログ・デバイセズの*iCoupler*<sup>®</sup>技術をベースとするデジタル・アイソレータです。高速CMOSおよびモノリシック・トランス技術を組み合わせたこの絶縁信号伝送素子は、フォトカプラ・デバイスなどに比べてはるかに優れた性能特性を備えています。

既存の高速フォトカプラを置き換えることができるピン互換デバイスとしての構成で、ADuM3100は最大 25 Mbps および 100 Mbps の非常に高いデータレートに対応します。

ADuM3100は 3.0～5.5 V の範囲の電源電圧で動作し、18 ns 以下の伝播遅延と 2 ns 以下のエッジ非対称性を備えるとともに、最大 105°C の温度で動作します。この製品は非常に低い消費電力で動作し、無負荷時電源電流（両サイドの合計）は 2.0 mA 未満、ダイナミック電流は 1 Mbps のデータレート当たり 160 μA 未満です。ほかのフォトカプラ代替品とは異なり、ADuM3100は出力信号を連続的に更新する特許取得済みのリフレッシュ機能によって高いDC精度を維持します。

ADuM3100には、2つのグレードがあります。ADuM3100ARとADuM3100BRは105°Cの最大温度で動作し、それぞれ最大25Mbpsおよび100Mbpsのデータレートに対応します。

ADuM1100 デジタル・アイソレータと比較すると、ADuM3100は各種回路およびレイアウトの変更によってシステム・レベルのIEC 61000-4-xテスト（ESD/バースト/サージ）に関連する性能が向上しています。これらのテストにおけるADuM1100またはADuM3100の最終的な回路性能は、ユーザのボードまたはモジュールの設計とレイアウトに大きく左右されます。詳細については、アプリケーション・ノート AN-793「ESD/Latch-Up Considerations with *iCoupler* Isolation Products」を参照してください。

<sup>1</sup> 米国特許 5,952,849、6,525,566、6,922,080、6,903,578、6,873,065、7,075,329、および現在申請中の他の特許によって保護されています。

## 目次

特長.....	1	推奨動作条件.....	8
アプリケーション.....	1	絶対最大定格.....	9
機能ブロック図.....	1	ESDに関する注意.....	9
概要.....	1	ピン配置と機能の説明.....	10
改訂履歴.....	2	代表的な性能特性.....	11
仕様.....	3	アプリケーション情報.....	13
電氣的仕様、5 V 動作.....	3	PCボードのレイアウト.....	13
電氣的仕様、3.3 V 動作.....	4	システム・レベルのESDに関する配慮と性能強化.....	13
電氣的仕様、5 V/3 V または 3 V/5 V 混在動作.....	5	伝播遅延に関連するパラメータ.....	13
パッケージ特性.....	7	素子の動作、DC 精度、磁界耐性.....	14
適用規格.....	7	消費電力.....	15
絶縁および安全に関連する仕様.....	7	外形寸法.....	16
DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性.....	8	オーダー・ガイド.....	16

## 改訂履歴

### 6/07—Rev. A to Rev. B

Updated VDE Certification Throughout.....	1
Changes to Note 1.....	1
Changes to Regulatory Information Section.....	7
Changes to Table 6.....	7
Changes to DIN V VDE V 0884-10 (VDE V 0884-10) Insulation Characteristics Section.....	8

### 3/06—Rev. 0 to Rev. A

Updated Format.....	Universal
Changes to Product Title, Features, General Description, and Note 1.....	1
Changes to Table 1.....	3
Changes to Table 2.....	4
Changes to Table 3.....	5
Added System-Level ESD Considerations and Enhancements Section.....	13
Added Power Consumption Section.....	15

### 10/05—Revision 0: Initial Version

## 仕様

## 電氣的仕様、5 V動作

すべての電圧は、それぞれ対応するグラウンドを基準とします。 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 。特に注記のない限り、すべての最小値/最大値の仕様は推奨の全動作範囲に適用されます。代表値の仕様はすべて、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 5\text{ V}$ における値です。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
<b>DC SPECIFICATIONS</b>						
Input Supply Current, Quiescent	$I_{DD1(Q)}$		1.3	1.8	mA	$V_I = 0\text{ V}$ or $V_{DD1}$
Output Supply Current, Quiescent	$I_{DD2(Q)}$		0.15	0.25	mA	$V_I = 0\text{ V}$ or $V_{DD1}$
Input Supply Current (25 Mbps) (See Figure 4)	$I_{DD1(25)}$		3.2	4.5	mA	12.5 MHz logic signal freq.
Output Supply Current <sup>1</sup> (25 Mbps) (See Figure 5)	$I_{DD2(25)}$		0.6	1.1	mA	12.5 MHz logic signal freq.
Input Supply Current (100 Mbps) (See Figure 4)	$I_{DD1(100)}$		10	15	mA	50 MHz logic signal freq.
Output Supply Current <sup>1</sup> (100 Mbps) (See Figure 5)	$I_{DD2(100)}$		2.1	2.9	mA	50 MHz logic signal freq., ADuM3100BRZonly
Input Current	$I_I$	-10	+0.01	+10	$\mu\text{A}$	$0 \leq V_{IN} \leq V_{DD1}$
Logic High Output Voltage	$V_{OH}$	$V_{DD2} - 0.1$	5.0		V	$I_O = -20\ \mu\text{A}$ , $V_I = V_{IH}$
		$V_{DD2} - 0.8$	4.6		V	$I_O = -4\ \text{mA}$ , $V_I = V_{IH}$
Logic Low Output Voltage	$V_{OL}$		0.0	0.1	V	$I_O = 20\ \mu\text{A}$ , $V_I = V_{IL}$
			0.03	0.1	V	$I_O = 400\ \mu\text{A}$ , $V_I = V_{IL}$
			0.3	0.8	V	$I_O = 4\ \text{mA}$ , $V_I = V_{IL}$
<b>SWITCHING SPECIFICATIONS</b>						
For ADuM3100AR Z						
Minimum Pulse Width <sup>2</sup>	PW			40	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Maximum Data Rate <sup>3</sup>		25			Mbps	$C_L = 15\ \text{pF}$ , CMOS signal levels
For ADuM3100BRZ						
Minimum Pulse Width <sup>3</sup>	PW		6.7	10	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Maximum Data Rate <sup>3</sup>		100	150		Mbps	$C_L = 15\ \text{pF}$ , CMOS signal levels
For All Grades						
Propagation Delay Time to Logic Low Output <sup>4,5</sup> (See Figure 6)	$t_{PHL}$		10.5	18	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Propagation Delay Time to Logic High Output <sup>4,5</sup> (See Figure 6)	$t_{PLH}$		10.5	18	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Pulse-Width Distortion $ t_{PLH} - t_{PHL} $ <sup>5</sup> Change vs. Temperature <sup>6</sup>	PWD		0.5	2	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
			3		ps/ $^\circ\text{C}$	$C_L = 15\ \text{pF}$ , CMOS signal levels
Propagation Delay Skew (Equal Temperature) <sup>5,7</sup>	$t_{PSK1}$			8	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Propagation Delay Skew (Equal Temperature, Supplies) <sup>5,7</sup>	$t_{PSK2}$			6	ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Output Rise/Fall Time	$t_R$ , $t_F$		3		ns	$C_L = 15\ \text{pF}$ , CMOS signal levels
Common-Mode Transient Immunity at Logic Low/High Output <sup>8</sup>	$ CM_L $ , $ CM_H $	25	35		kV/ $\mu\text{s}$	$V_I = 0$ or $V_{DD1}$ , $V_{CM} = 1000\ \text{V}$
Input Dynamic Supply Current <sup>9</sup>	$I_{DD1(D)}$		0.09		mA/Mbps	
Output Dynamic Supply Current <sup>9</sup>	$I_{DDO(D)}$		0.02		mA/Mbps	

6 ページの注を参照してください。

## 電氣的仕様、3.3 V動作

すべての電圧は、それぞれ対応するグラウンドを基準とします。3.0 V ≤ V<sub>DD1</sub> ≤ 3.6 V、3.0 V ≤ V<sub>DD2</sub> ≤ 3.6 V。特に注記のない限り、すべての最小値/最大値の仕様は推奨の全動作範囲に適用されます。代表値の仕様はすべて、T<sub>A</sub> = 25°C、V<sub>DD1</sub> = V<sub>DD2</sub> = 3.3 Vにおける値です。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
<b>DC SPECIFICATIONS</b>						
Input Supply Current, Quiescent	I <sub>DD1 (Q)</sub>		0.7	0.9	mA	V <sub>I</sub> = 0 V or V <sub>DD1</sub>
Output Supply Current, Quiescent	I <sub>DD2 (Q)</sub>		0.1	0.2	mA	V <sub>I</sub> = 0 V or V <sub>DD1</sub>
Input Supply Current (25 Mbps) (See Figure 4)	I <sub>DD1 (25)</sub>		2.6	3.4	mA	12.5 MHz logic signal freq.
Output Supply Current <sup>1</sup> (25 Mbps) (See Figure 5)	I <sub>DD2 (25)</sub>		0.4	0.8	mA	12.5 MHz logic signal freq.
Input Supply Current (50 Mbps) (See Figure 4)	I <sub>DD1 (50)</sub>		4.6	6.6	mA	25 MHz logic signal freq., ADuM3100BRZ only
Output Supply Current <sup>1</sup> (50 Mbps) (See Figure 5)	I <sub>DD2 (50)</sub>		0.7	1.7	mA	25 MHz logic signal freq., ADuM3100BRZ only
Input Current	I <sub>I</sub>	-10	+0.01	+10	μA	0 ≤ V <sub>IN</sub> ≤ V <sub>DD1</sub>
Logic High Output Voltage	V <sub>OH</sub>	V <sub>DD2</sub> - 0.1	3.3		V	I <sub>O</sub> = -20 μA, V <sub>I</sub> = V <sub>IH</sub>
		V <sub>DD2</sub> - 0.5	3.0		V	I <sub>O</sub> = -2.5 mA, V <sub>I</sub> = V <sub>IH</sub>
Logic Low Output Voltage	V <sub>OL</sub>		0.0	0.1	V	I <sub>O</sub> = 20 μA, V <sub>I</sub> = V <sub>IL</sub>
			0.04	0.1	V	I <sub>O</sub> = 400 μA, V <sub>I</sub> = V <sub>IL</sub>
			0.3	0.4	V	I <sub>O</sub> = 2.5 mA, V <sub>I</sub> = V <sub>IL</sub>
<b>SWITCHING SPECIFICATIONS</b>						
For ADuM3100ARZ						
Minimum Pulse Width <sup>2</sup>	PW			40	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Maximum Data Rate <sup>3</sup>		25			Mbps	C <sub>L</sub> = 15 pF, CMOS signal levels
For ADuM3100BRZ						
Minimum Pulse Width <sup>2</sup>	PW		10	20	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Maximum Data Rate <sup>3</sup>		50	100		Mbps	C <sub>L</sub> = 15 pF, CMOS signal levels
For All Grades						
Propagation Delay Time to Logic Low Output <sup>4,5</sup> (See Figure 7)	t <sub>PHL</sub>		14.5	28	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Propagation Delay Time to Logic High Output <sup>4,5</sup> (See Figure 7)	t <sub>PLH</sub>		15.0	28	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Pulse-Width Distortion  t <sub>PLH</sub> - t <sub>PHL</sub>   <sup>5</sup> Change vs. Temperature <sup>6</sup>	PWD		0.5	3	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
			10		ps/°C	C <sub>L</sub> = 15 pF, CMOS signal levels
Propagation Delay Skew (Equal Temperature) <sup>5,7</sup>	t <sub>PSK1</sub>			15	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Propagation Delay Skew (Equal Temperature, Supplies) <sup>5,7</sup>	t <sub>PSK2</sub>			12	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Output Rise/Fall Time	t <sub>R</sub> , t <sub>F</sub>		3		ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Common-Mode Transient Immunity at Logic Low/High Output <sup>8</sup>	CM <sub>L</sub>  ,  CM <sub>H</sub>	25	35		kV/μs	V <sub>I</sub> = 0 or V <sub>DD1</sub> , V <sub>CM</sub> = 1000 V, transient magnitude = 800 V
Input Dynamic Supply Current <sup>9</sup>	I <sub>DDI (D)</sub>		0.08		mA/Mbps	
Output Dynamic Supply Current <sup>9</sup>	I <sub>DDO (D)</sub>		0.01		mA/Mbps	

6ページの注を参照してください。

## 電氣的仕様、5 V/3 Vまたは3 V/5 V混在動作

すべての電圧は、それぞれ対応するグラウンドを基準とします。5 V/3 V動作：4.5 V ≤ V<sub>DD1</sub> ≤ 5.5 V、3.0 V ≤ V<sub>DD2</sub> ≤ 3.6 V。3 V/5 V動作：3.0 V ≤ V<sub>DD1</sub> ≤ 3.6 V、4.5 V ≤ V<sub>DD2</sub> ≤ 5.5 V。特に注記のない限り、すべての最小値/最大値の仕様は推奨の全動作範囲に適用されます。代表値の仕様はすべて、T<sub>A</sub> = 25°C、V<sub>DD1</sub> = 3.3 V、V<sub>DD2</sub> = 5 V、またはV<sub>DD1</sub> = 5 V、V<sub>DD2</sub> = 3.3 Vにおける値です。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
<b>DC SPECIFICATIONS</b>						
Input Supply Current, Quiescent	I <sub>DD1(Q)</sub>					
5 V/3 V Operation			1.3	1.8	mA	
3 V/5 V Operation			0.7	0.9	mA	
Output Supply Current <sup>1</sup> , Quiescent	I <sub>DDO(Q)</sub>					
5 V/3 V Operation			0.1	0.2	mA	
3 V/5 V Operation			0.15	0.25	mA	
Input Supply Current, 25 Mbps	I <sub>DD1(25)</sub>					
5 V/3 V Operation			3.2	4.5	mA	12.5 MHz logic signal freq.
3 V/5 V Operation			2.6	3.4	mA	12.5 MHz logic signal freq.
Output Supply Current <sup>1</sup> , 25 Mbps	I <sub>DDO(25)</sub>					
5 V/3 V Operation			0.4	0.8	mA	12.5 MHz logic signal freq.
3 V/5 V Operation			0.6	1.1	mA	12.5 MHz logic signal freq.
Input Supply Current, 50 Mbps	I <sub>DD1(50)</sub>					
5 V/3 V Operation			5.5	8.0	mA	25 MHz logic signal freq.
3 V/5 V Operation			4.6	6.6	mA	25 MHz logic signal freq.
Output Supply Current <sup>1</sup> , 50 Mbps	I <sub>DDO(50)</sub>					
5 V/3 V Operation			0.7	1.7	mA	25 MHz logic signal freq.
3 V/5 V Operation			1.1	1.6	mA	25 MHz logic signal freq.
Input Currents	I <sub>IA</sub>	-10	+0.01	+10	μA	0 ≤ V <sub>IA</sub> , V <sub>IB</sub> , V <sub>IC</sub> , V <sub>ID</sub> ≤ V <sub>DD1</sub> or V <sub>DD2</sub>
Logic High Output Voltage, 5 V/3 V Operation	V <sub>OH</sub>	V <sub>DD2</sub> - 0.1	3.3		V	I <sub>O</sub> = -20 μA, V <sub>I</sub> = V <sub>IH</sub>
		V <sub>DD2</sub> - 0.5	3.0		V	I <sub>O</sub> = -2.5 mA, V <sub>I</sub> = V <sub>IH</sub>
Logic Low Output Voltage, 5 V/3 V Operation	V <sub>OL</sub>		0.0	0.1	V	I <sub>O</sub> = 20 μA, V <sub>I</sub> = V <sub>IL</sub>
			0.04	0.1	V	I <sub>O</sub> = 400 μA, V <sub>I</sub> = V <sub>IL</sub>
			0.3	0.4	V	I <sub>O</sub> = 2.5 mA, V <sub>I</sub> = V <sub>IL</sub>
Logic High Output Voltage, 3 V/5 V Operation	V <sub>OH</sub>	V <sub>DD2</sub> - 0.1	5.0		V	I <sub>O</sub> = -20 μA, V <sub>I</sub> = V <sub>IH</sub>
		V <sub>DD2</sub> - 0.8	4.6		V	I <sub>O</sub> = -4 mA, V <sub>I</sub> = V <sub>IH</sub>
Logic Low Output Voltage, 3 V/5 V Operation	V <sub>OL</sub>		0.0	0.1	V	I <sub>O</sub> = 20 μA, V <sub>I</sub> = V <sub>IL</sub>
			0.03	0.1	V	I <sub>O</sub> = 400 μA, V <sub>I</sub> = V <sub>IL</sub>
			0.3	0.8	V	I <sub>O</sub> = 4 mA, V <sub>I</sub> = V <sub>IL</sub>
<b>SWITCHING SPECIFICATIONS</b>						
For ADuM3100AR						
Minimum Pulse Width <sup>2</sup>	PW			40	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Maximum Data Rate <sup>3</sup>			25			Mbps
For ADuM3100BR						
Minimum Pulse Width <sup>2</sup>	PW			20	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Maximum Data Rate <sup>3</sup>			50			Mbps
For All Grades						
Propagation Delay Time to Logic Low/ High Output <sup>4,5</sup>	t <sub>PHL</sub> , t <sub>PLH</sub>					
5 V/3 V Operation (See Figure 8)				13	21	ns
3 V/5 V Operation (See Figure 9)			16	26	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Pulse-Width Distortion,  t <sub>PLH</sub> - t <sub>PHL</sub>   <sup>5</sup>	PWD					
5 V/3 V Operation				0.5	2	ns
3 V/5 V Operation			0.5	3	ns	C <sub>L</sub> = 15 pF, CMOS signal levels

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Change vs. Temperature <sup>6</sup>						
5 V/3 V Operation			3		ps/°C	C <sub>L</sub> = 15 pF, CMOS signal levels
3 V/5 V Operation			10		ps/°C	C <sub>L</sub> = 15 pF, CMOS signal levels
Propagation Delay Skew (Equal Temperature) <sup>5,7</sup>	t <sub>PSK1</sub>					
5 V/3 V Operation				12	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
3 V/5 V Operation				15	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Propagation Delay Skew (Equal Temperature, Supplies) <sup>5,7</sup>	t <sub>PSK2</sub>					
5 V/3 V Operation				9	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
3 V/5 V Operation				12	ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t <sub>r</sub> , t <sub>f</sub>		3		ns	C <sub>L</sub> = 15 pF, CMOS signal levels
Common-Mode Transient Immunity at Logic Low/High Output <sup>8</sup>	[CM <sub>L</sub> ], [CM <sub>H</sub> ]	25	35		kV/μs	V <sub>I</sub> = 0 or V <sub>DD1</sub> , V <sub>CM</sub> = 1000 V, transient magnitude = 800 V
Input Dynamic Supply Current per Channel <sup>9</sup>	I <sub>DD1 (D)</sub>					
5 V/3 V Operation			0.09		mA/Mbps	
3 V/5 V Operation			0.08		mA/Mbps	
Output Dynamic Supply Current per Channel <sup>9</sup>	I <sub>DD0 (D)</sub>					
5 V/3 V Operation			0.01		mA/Mbps	
3 V/5 V Operation			0.02		mA/Mbps	

<sup>1</sup> 出力側電源電流は、出力負荷が接続されていないときの値です。ロジック信号周波数の変化に伴う電源電流の変動に関しては、図4と図5を参照してください。所定のデータレートおよび出力負荷接続時の入力および出力電源電流の計算に関する指針は、「消費電力」を参照してください。

<sup>2</sup> 最小パルス幅は、規定されたパルス幅歪みが保証される最も短いパルスです。

<sup>3</sup> 最大データレートは、規定されたパルス幅歪みが保証される最も高速のデータレートです。

<sup>4</sup> t<sub>PHL</sub>は、V<sub>I</sub>信号の立下がりエッジの50%レベルからV<sub>O</sub>信号の立下がりエッジの50%レベルまでを測定した時間です。t<sub>PLH</sub>は、V<sub>I</sub>信号の立上がりエッジの50%レベルからV<sub>O</sub>信号の立上がりエッジの50%レベルまでを測定した時間です。

<sup>5</sup> ADuM3100の入力スレッシュホールドは、代表的な入力信号の50%レベル以外の電圧であるため、伝播遅延とパルス幅歪みの測定値は低速の入力立上がり/立下がり時間による影響を受けることがあります。これらのパラメータに対する所定の入力立上がり/立下がり時間の影響に関しては、「システム・レベルのESDに関する配慮と性能強化」および図13から図17までを参照してください。

<sup>6</sup> パルス幅歪み変化の温度特性は、動作温度が1°C変化するときのパルス幅歪み変化の絶対値です。

<sup>7</sup> t<sub>PSK1</sub>は、推奨の動作条件範囲内において同じ動作温度と同じ出力負荷でユニット間で測定されたt<sub>PHL</sub>および/またはt<sub>PLH</sub>の最悪時の時間差です。t<sub>PSK2</sub>は、推奨の動作条件範囲内において同じ動作温度、同じ電源電圧、同じ出力負荷のとき、ユニット間で測定されたt<sub>PHL</sub>および/またはt<sub>PLH</sub>の最悪時の時間差です。

<sup>8</sup> CM<sub>H</sub>は、V<sub>O</sub> > 0.8 V<sub>DD2</sub>を維持しながら保つことができる最大コモンモード電圧スルーレートです。CM<sub>L</sub>は、V<sub>O</sub> < 0.8 Vを維持しながら保つことができる最大コモンモード電圧スルーレートです。このコモンモード電圧スルーレートは、立上がりエッジと立下がりエッジの両方に適用されます。過渡電圧レベルは、コモンモードがスルーされる範囲です。

<sup>9</sup> ダイナミック電源電流は、信号データレートが1 Mbps増加するときに要求される電源電流の増分量です。ロジック信号周波数の変化に伴う電源電流の変動に関しては、図4と図5を参照してください。所定のデータレートおよび出力負荷接続時の入力および出力電源電流の計算に関する指針は、「消費電力」を参照してください。

## パッケージ特性

表 4.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Resistance (Input-to-Output) <sup>1</sup>	R <sub>I-O</sub>		10 <sup>12</sup>		Ω	
Capacitance (Input-to-Output) <sup>1</sup>	C <sub>I-O</sub>		1.0		pF	f = 1 MHz
Input Capacitance <sup>2</sup>	C <sub>I</sub>		4.0		pF	
IC Junction-to-Case Thermal Resistance, Side 1	θ <sub>JCI</sub>		46		°C/W	Thermocouple located at center of package underside
IC Junction-to-Case Thermal Resistance, Side 2	θ <sub>JCO</sub>		41		°C/W	
Package Power Dissipation	P <sub>PD</sub>			240	mW	

<sup>1</sup> このデバイスを 2 端子デバイスと見なして規定しています。1 番ピン、2 番ピン、3 番ピン、4 番ピンを短絡し、5 番ピン、6 番ピン、7 番ピン、8 番ピンを短絡しています。

<sup>2</sup> 入力容量は 2 番ピン (V<sub>I</sub>) で測定します。

## 適用規格

ADuM3100 は、表 5 に記載する団体によって承認されています。

表 5.

UL	CSA	VDE
Recognized under UL 1577 Component Recognition Program <sup>1</sup>	Approved under CSA Component Acceptance Notice #5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12 <sup>2</sup>
Single/basic insulation, 2500 V rms isolation voltage File E214100	Basic insulation per CSA 60950-1-03 and IEC 60950-1, 400 V rms (565 V peak) maximum working voltage File 205078	Reinforced insulation, 560 V peak  File 2471900-4880-0001

<sup>1</sup> UL 1577 に準拠して、すべての ADuM3100 には 1 秒間に $\geq 3000$  V rms の絶縁テスト電圧を印加する耐久テストが行われています (リーク電流検出限界値 = 5  $\mu$ A)。

<sup>2</sup> DIN V VDE V 0884-10 に準拠して、すべての ADuM3100 には 1 秒間に $\geq 1050$  V ピークの絶縁テスト電圧を印加する耐久テストが行われています (部分放電検出限界値 = 5 pC)。部品にマーキングされている星印 (\*) は、DIN V VDE V 0884-10 認定品であることを示しています。

## 絶縁および安全に関連する仕様

表 6.

Parameter	Symbol	Value	Unit	Conditions
Minimum External Air Gap (Clearance)	L(I01)	4.90 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	4.01 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index) Isolation Group	CTI	>175 IIIa	V	DIN IEC 112/VDE 0303 Part 1 Material Group (DIN VDE 0110, 1/89, Table 1)
Maximum Working Voltage Compatible with 50 Years Service Life	V <sub>IORM</sub>	565	V peak	Continuous peak voltage across the isolation barrier

## DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性

このアイソレータは、安全性限界データの範囲以内でのみ使用する強化絶縁に適しています。安全データの範囲は、保護回路によって維持されます。パッケージ上にマーキングされている星印 (\*) は、560 V ピークの動作電圧に対する DIN V VDE V 0884-10 の認可があることを示しています。

表 7.

Description	Conditions	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage $\leq 150$ V rms For Rated Mains Voltage $\leq 300$ V rms For Rated Mains Voltage $\leq 400$ V rms			I to IV I to III I to II	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		$V_{IORM}$	560	V peak
Input-to-Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{PR}$ , 100% production test, $t_m = 1$ sec, partial discharge $< 5$ pC	$V_{PR}$	1050	V peak
Input-to-Output Test Voltage, Method A After Environmental Tests Subgroup 1	$V_{IORM} \times 1.6 = V_{PR}$ , $t_m = 60$ sec, partial discharge $< 5$ pC	$V_{PR}$	896	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PR}$ , $t_m = 60$ sec, partial discharge $< 5$ pC		672	V peak
Highest Allowable Overvoltage	Transient overvoltage, $t_{TR} = 10$ seconds	$V_{TR}$	4000	V peak
Safety-Limiting Values	Maximum value allowed in the event of a failure (see Figure 2)			
Case Temperature		$T_S$	150	$^{\circ}\text{C}$
Side 1 Current		$I_{S1}$	160	mA
Side 2 Current		$I_{S2}$	170	mA
Insulation Resistance at $T_S$	$V_{IO} = 500$ V	$R_S$	$>10^9$	$\Omega$

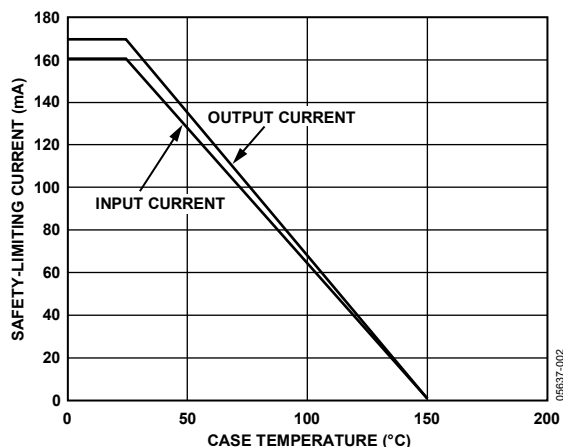


図 2. DIN V VDE V 0884-10 に準拠したケース温度に対する安全限界値による、サーマル・ディレーティング曲線。

## 推奨動作条件

表 8.

Parameter	Symbol	Min	Max	Unit
Operating Temperature	$T_A$	-40	+105	$^{\circ}\text{C}$
Supply Voltages <sup>1</sup>	$V_{DD1}$ , $V_{DD2}$	3.0	5.5	V
Logic High Input Voltage, 5 V Operation (See Figure 10 and Figure 11)	$V_{IH}$	2.0	$V_{DD1}$	V
Logic Low Input Voltage, 5 V Operation <sup>1, 2</sup> (See Figure 10 and Figure 11)	$V_{IL}$	0.0	0.8	V
Logic High Input Voltage, 3.3 V Operation <sup>1, 2</sup> (See Figure 10 and Figure 11)	$V_{IH}$	1.5	$V_{DD1}$	V
Logic Low Input Voltage, 3.3 V Operation <sup>1, 2</sup> (See Figure 10 and Figure 11)	$V_{IL}$	0.0	0.5	V
Input Signal Rise and Fall Times			1.0	ms

<sup>1</sup> すべての電圧は、それぞれ対応するグラウンドを基準とします。

<sup>2</sup> 入力スイッチング・スレッショルドのヒステリシスは 300 mV です。外部磁界に対する耐性については、「素子の動作、DC 精度、磁界耐性」を参照してください。



## 絶対最大定格

特に指定のない限り、周囲温度 = 25°C。

表 9.

Parameter	Min	Max	Unit
Storage Temperature ( $T_{ST}$ )	-55	+150	°C
Ambient Operating Temperature ( $T_A$ )	-40	+105	°C
Supply Voltages ( $V_{DD1}$ , $V_{DD2}$ ) <sup>1</sup>	-0.5	+6.5	V
Input Voltage ( $V_i$ ) <sup>1</sup>	-0.5	$V_{DD1} + 0.5$	V
Output Voltage ( $V_o$ ) <sup>1</sup>	-0.5	$V_{DD2} + 0.5$	V
Average Current, per Pin <sup>2</sup> Temperature $\leq 105^\circ\text{C}$	-25	+25	mA
Common-Mode Transients <sup>3</sup>	-100	+100	kV/ $\mu\text{s}$

<sup>1</sup> すべての電圧は、それぞれの対応するグラウンドを基準とします。

<sup>2</sup> 各種温度での最大許容電流については、図 2 を参照してください。

<sup>3</sup> 絶縁バリア間で発生するコモンモード過渡電圧を示します。コモンモード過渡電圧がその絶対最大定格を超えると、ラッチアップまたは恒久的な損傷が発生する可能性があります。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

### ESDに関する注意



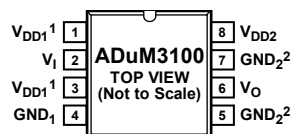
ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 10. 真理値表（正ロジック）

$V_i$ Input	$V_{DD1}$ State	$V_{DD2}$ State	$V_o$ Output
H	Powered	Powered	H
L	Powered	Powered	L
X	Unpowered	Powered	H <sup>1</sup>
X	Powered	Unpowered	X <sup>1</sup>

<sup>1</sup>  $V_o$  は電源復帰後 1  $\mu\text{s}$  以内に  $V_i$  状態に戻ります。

## ピン配置と機能の説明



<sup>1</sup>PIN 1 AND PIN 3 ARE INTERNALLY CONNECTED. IT IS STRONGLY RECOMMENDED THAT BOTH BE CONNECTED TO  $V_{DD1}$ .  
<sup>2</sup>PIN 5 AND PIN 7 ARE INTERNALLY CONNECTED. IT IS STRONGLY RECOMMENDED THAT BOTH BE CONNECTED TO  $GND_2$ .

06637-003

図 3. ピン配置

表 11. ピン機能の説明

ピン番号	記号	説明
1	$V_{DD1}$	入力側電源電圧、3.0~5.5 V
2	$V_1$	ロジック入力
3	$V_{DD1}$	入力側電源電圧、3.0~5.5 V
4	$GND_1$	入力側グラウンド
5	$GND_2$	出力側グラウンド
6	$V_0$	ロジック出力
7	$GND_2$	出力側グラウンド
8	$V_{DD2}$	出力側電源電圧、3.0~5.5 V

## 代表的な性能特性

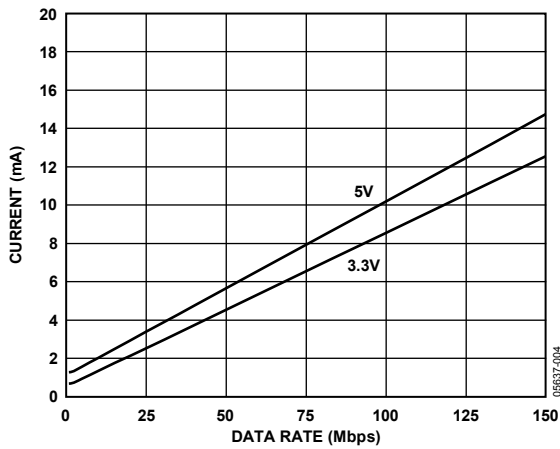


図 4. ロジック信号周波数 対 入力電源電流の特性 (5 V および 3.3 V 動作時)

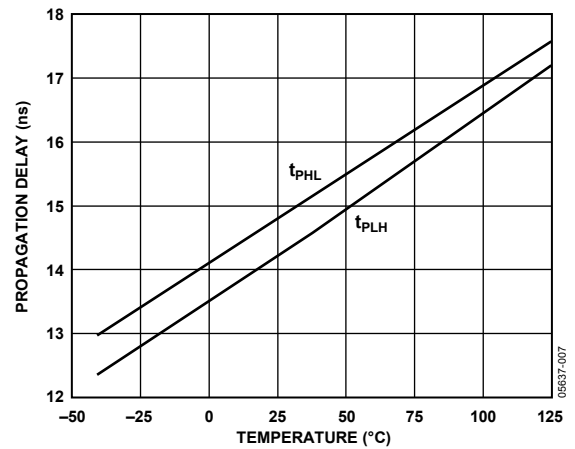


図 7. 伝播遅延の温度特性 (3.3 V 動作時)

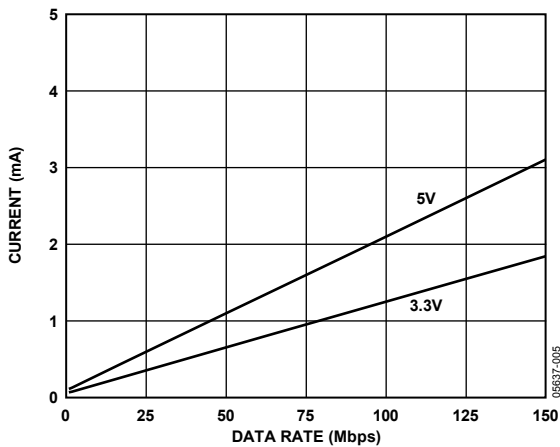


図 5. ロジック信号周波数 対 出力電源電流の特性 (5 V および 3.3 V 動作時)

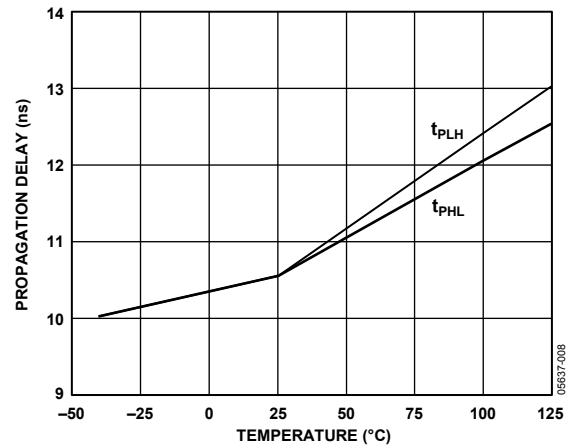


図 8. 伝播遅延の温度特性 (5 V/3 V 動作時)

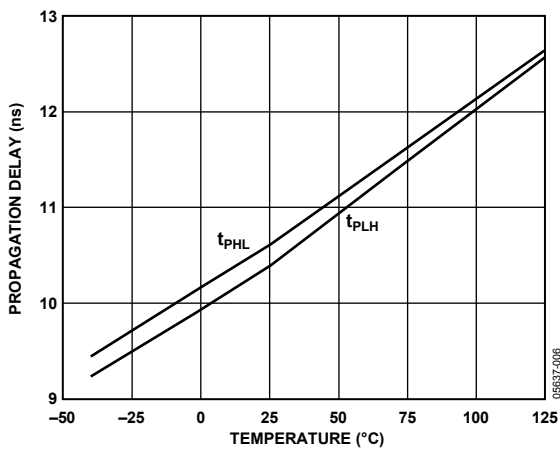


図 6. 伝播遅延の温度特性 (5 V 動作時)

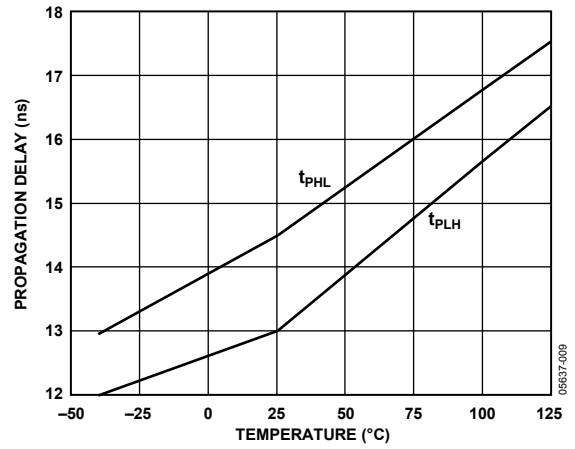


図 9. 伝播遅延の温度特性 (3 V/5 V 動作時)

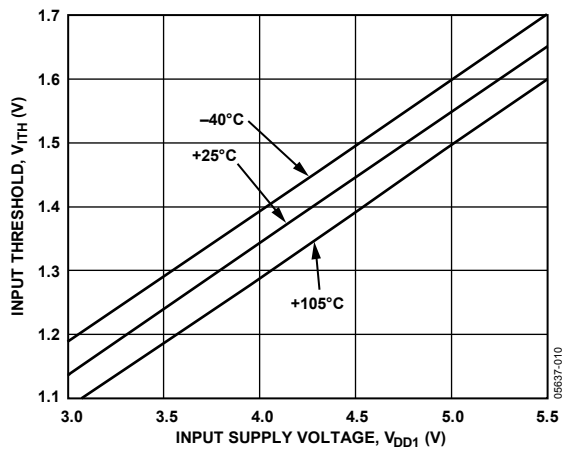


図 10. 入力電圧スイッチング・スレッシュホールド、ローレベルからハイレベルへの遷移

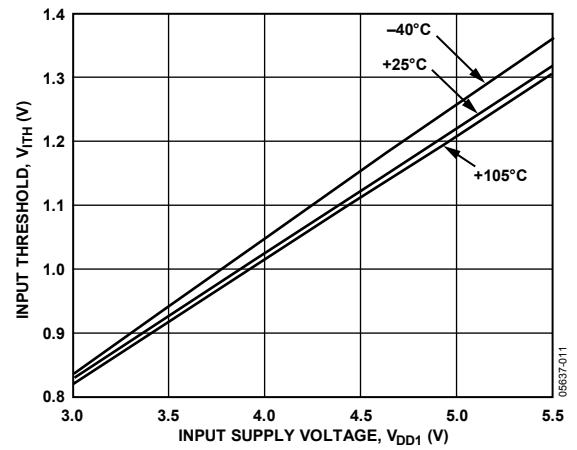


図 11. 入力電圧スイッチング・スレッシュホールド、ハイレベルからローレベルへの遷移

## アプリケーション情報

### PCボードのレイアウト

ADuM3100 デジタル・アイソレータは、ロジック・インターフェース用の外部レベル変換回路が必要ありません。入力と出力の電源ピンにバイパス・コンデンサの使用を推奨します。入力バイパス・コンデンサは、3番ピンと4番ピンの間にうまく配置することができます（図12を参照）。あるいは、1番ピンと4番ピンの間に配置することもできます。出力バイパス・コンデンサは、7番ピンと8番ピンの間、または5番ピンと8番ピンの間に接続できます。コンデンサの容量は、0.01  $\mu\text{F}$  から 0.1  $\mu\text{F}$  までにしてください。コンデンサの両端から電源ピンまでのリード長は 20 mm を超えないようにしてください。

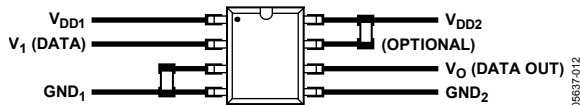


図 12. PC ボードの推奨レイアウト

### システム・レベルのESDに関する配慮と性能強化

システム・レベルのESD信頼性（たとえば、IEC 61000-4-x に準拠した信頼性）は、アプリケーションによって大きく異なるシステム設計に依存しています。ESD信頼性がシステム設計にあまり左右されないように、ADuM3100には、以下のように多くの性能強化が行われています。

- すべての入力／出力インターフェースにESD保護セルを追加
- パターンを太くし、ラインをビアに平行にすることにより、重要なメタルパターン配線の抵抗を低減
- PMOS デバイスと NMOS デバイスの間にガードおよび絶縁技術を採用し、CMOS デバイス固有の寄生 SCR 効果の影響を最小化
- メタルパターン配線に 45° のコーナーを使用して、高電界密度の領域を排除
- 各電源ピンとそれに対応するグラウンド間に大きい ESD クランプを接続して、電源ピンの過電圧を防止

ADuM3100 はシステム・レベルの ESD 信頼性の向上に効果的ですが、耐久性の高いシステム・レベルの総合的な設計に完全に代わるものではありません。ボード・レイアウトとシステム・レベル設計に関する詳細な推奨事項については、アプリケーション・

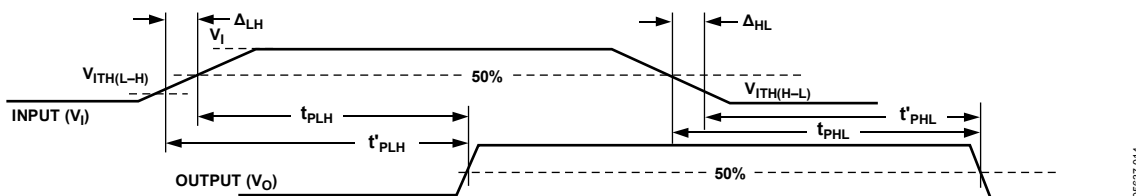


図 14. 伝播遅延に対する入力立上がり／立下がり時間の影響

ノート AN-793「ESD/Latch-Up Considerations with iCoupler Isolation Products」を参照してください。

### 伝播遅延に関連するパラメータ

伝播遅延時間は、ロジック信号が部品を伝播する所要時間を表します。ロジック・ローレベル出力の伝播遅延時間とロジック・ハイレベル出力の伝播遅延時間は、入力信号が遷移した後でそれぞれ対応する出力信号が遷移するまでの時間を示します（図13を参照）。

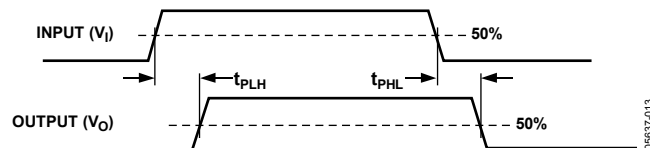


図 13. 伝播遅延のパラメータ

パルス幅歪みは  $t_{PLH}$  と  $t_{PHL}$  との差の最大値であり、入力信号タイミングがデバイスの出力信号でどれほど維持されているかを表します。伝播遅延スキューは、同じ動作温度で動作し、同じ出力負荷をもつ複数の ADuM3100 製品間の伝播遅延の最小値と最大値の差です。

入力信号の立上がり／立下がり時間に応じて、入力の 50% レベルをベースに測定された伝播遅延は、デバイスの真の伝播遅延（その入力スイッチング・スレッショールドから測定）とは異なることがあります。その理由は、よく使用されるフォトカプラの場合と同じく、入力スレッショールドの電圧レベルが入力信号の 50% ポイントと異なるためです。この伝播遅延の差は、以下のように表すことができます。

$$\Delta_{LH} = t'_{PLH} - t_{PLH} = (t_r/0.8 V_I)(0.5 V_I - V_{ITH(L-H)})$$

$$\Delta_{HL} = t'_{PHL} - t_{PHL} = (t_f/0.8 V_I)(0.5 V_I - V_{ITH(H-L)})$$

ここで、

$t_{PLH}$ 、 $t_{PHL}$  は入力の 50% ポイントから測定した伝播遅延です。  
 $t'_{PLH}$ 、 $t'_{PHL}$  は入力スイッチング・スレッショールドから測定した伝播遅延です。

$t_r$ 、 $t_f$  は入力の 10~90% ポイントにおける立上がり／立下がり時間です。

$V_I$  は入力信号の振幅（0~ $V_I$  のレベルを想定）です。

$V_{ITH(L-H)}$ 、 $V_{ITH(H-L)}$  は入力スイッチング・スレッショールドです。

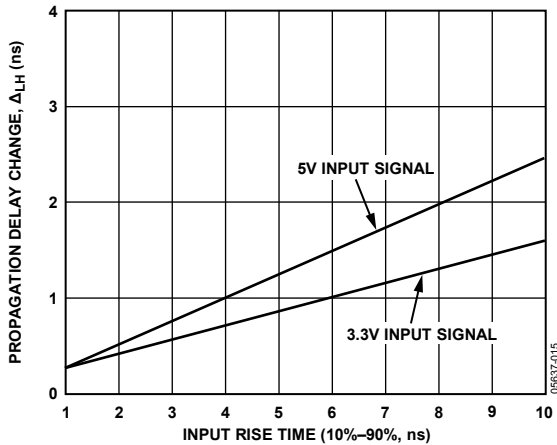


図 15. 入力立上がり時間の変動による代表的な伝播遅延の変化 ( $V_{DD1} = 3.3\text{ V}$  および  $5\text{ V}$  時)

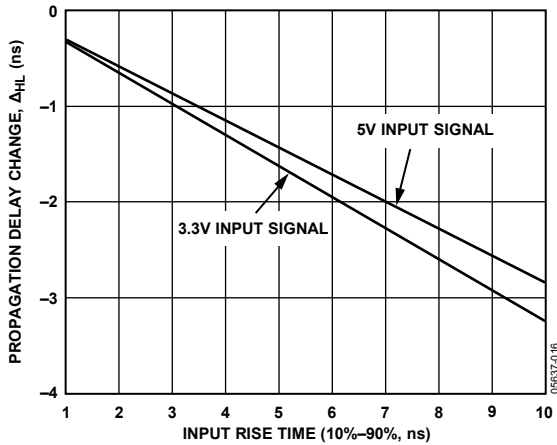


図 16. 入力立下がり時間の変動による代表的な伝播遅延の変化 ( $V_{DD1} = 3.3\text{ V}$  および  $5\text{ V}$  時)

入力エッジ速度の低速化も、入力の 50% レベルをベースに測定したパルス幅歪みに影響を及ぼすことがあります。この影響によって、 $t_{PHL}$ 、 $t_{PLH}$ 、 $PWD$  の相対値に依存する見掛け上のパルス幅歪みが増加または減少することがあります。ここで注目するのは、パルス幅歪みを最大にする条件です。この場合の変化は、次式で表すことができます。

$$\Delta_{PWD} = PWD' - PWD = \Delta_{LH} - \Delta_{HL} = (t/0.8 V_1)(V - V_{ITH(L-H)} - V_{ITH(H-L)}), (\text{for } t = t_r = t_f)$$

ここで、

$$PWD = |t_{PLH} - t_{PHL}|$$

$$PWD' = |t'_{PLH} - t'_{PHL}|$$

このパルス幅歪みの調整値を入力の上上がり／立下がり時間の関数として表したものが、図 17 です。

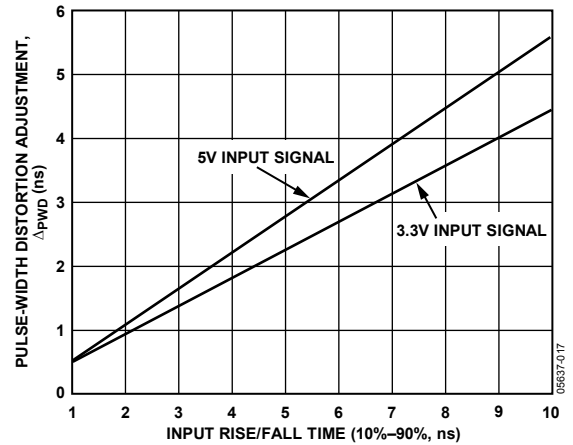


図 17. 入力立上がり／立下がり時間の変動による代表的なパルス幅歪み変化の調整値 ( $V_{DD1} = 3.3\text{ V}$  および  $5\text{ V}$  時)

### 素子の動作、DC精度、磁界耐性

図 1 を見ると、2 本のコイルがパルス・トランスとして機能しています。アイソレータ入力のロジックが正および負に遷移することによって、短いパルス (2 ns) がトランスからデコーダに送られます。デコーダは双安定性フリップフロップであるため、入力ロジックの遷移を示すパルスによってセットまたはリセットされます。約 1 μs 以上経っても入力ロジックが遷移しない場合は、出力の DC 精度を維持するために、適切な極性の周期的な更新パルスが送信されます。約 5 μs 以上経ってもデコーダがこれらのパルスをまったく受信しなければ、入力側に電源が印加されていないか、または機能していないと判断します。この場合、アイソレータの出力はウォッチドッグ・タイマ回路によってロジック・ハイレベルの状態に強制的に設定されます。

ADuM3100 の磁界耐性の限界は、トランス受信コイルの誘導電圧が大きくなって、デコーダが誤ってセットまたはリセットされる状態が発生したときです。以下の解析は、これが発生する条件を定義するものです。この影響を最も受けやすい動作モードとして、ADuM3100 の 3.3 V 動作条件を調べます。

トランスの出力パルスは振幅が 1.0 V を超えます。デコーダのセンシング・スレッショルドは約 0.5 V であるため、誘導電圧を許容できる 0.5 V のノイズ・マージンを得ることができます。受信コイル間で誘導された電圧は、以下のようになります。

$$V = (-d\beta/dt) \sum \pi r_n^2, n = 1, 2, \dots, N$$

ここで、

$\beta$  は磁束密度 (ガウス) です。

$N$  は受信コイルの巻き数です。

$r_n$  は受信コイルの  $n$  番目の巻きの半径 (cm) です。

ADuM3100の受信コイルを所定の形状とし、誘導電圧が最大でもデコーダの0.5Vマージンの50%になるとすると、磁界の最大許容値は図18に示すように計算することができます。

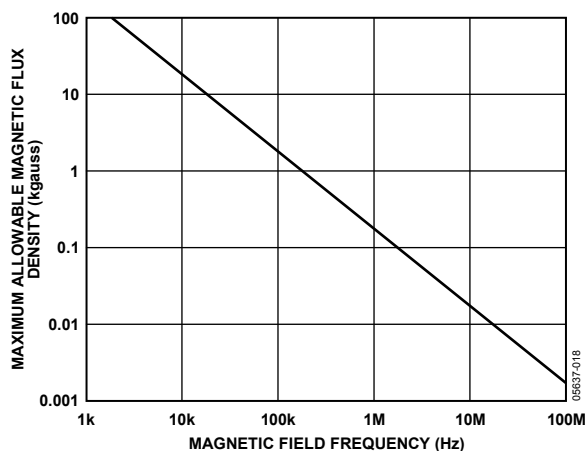


図 18. 50%のマージンを確保できる外部磁界の最大許容値

たとえば、磁界周波数が1MHzのときに、磁界の最大許容値が0.2キログaussであれば、受信コイルには0.25Vの誘導電圧が生じます。これはセンシング・スレッショルドの約50%であるため、誤って出力が遷移することはありません。同様に、このような事象がパルスの送信中に発生した場合（しかも極性が最悪のとき）、送信パルスを1.0Vを超える値から0.75Vまで下げますが、それでもデコーダの0.5Vのセンシング・スレッショルドを十分に上回っています。

前述の磁束密度は、ADuM3100のトランスから所定の距離だけ離れた場所での特定の電流レベルに対応します。図19には、いくつかの距離について周波数の関数となる電流レベルの許容値を示しています。この図からわかるように、ADuM3100は耐性が非常に高く、影響があるのは、高周波数の大きい電流がデバイスの非常に近く存在する場合だけです。この図に示す1MHzの例では、0.5kAの電流がADuM3100から5mm離れたところであれば、デバイスの動作に影響を及ぼしたことになります。

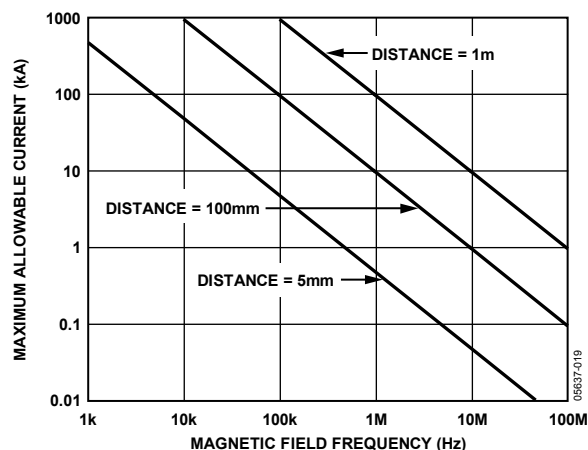


図 19. 電流とADuM3100間の距離に対する最大許容電流

ただし、強力な磁界と高い周波数が組み合わさったときは、PCボードのパターンが作るループによって、非常に大きい誤差電圧が誘導され、これが後続の回路のスレッショルドをトリガすることがあります。このようなことにならないように、パターン配線のレイアウトには注意してください。

## 消費電力

ADuM3100アイソレータの電源電流は、電源電圧、入力データレート、出力負荷の関数になります。

入力電源電流は、以下の式から求めることができます。

$$I_{DDI} = I_{DDI(Q)} \quad f \leq 0.5f_r$$

$$I_{DDI} = I_{DDI(D)} \times (2f - f_r) + I_{DDI(Q)} \quad f > 0.5f_r$$

出力電源電流は、以下の式から求めることができます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5f_r$$

$$I_{DDO} = (I_{DDO(D)} + (0.5 \times 10^{-3}) \times C_L V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5f_r$$

ここで、

$I_{DDI(D)}$ 、 $I_{DDO(D)}$ は各チャンネルごとの入力および出力のダイナミック電源電流 (mA/Mbps) です。

$C_L$ は出力負荷容量 (pF) です。

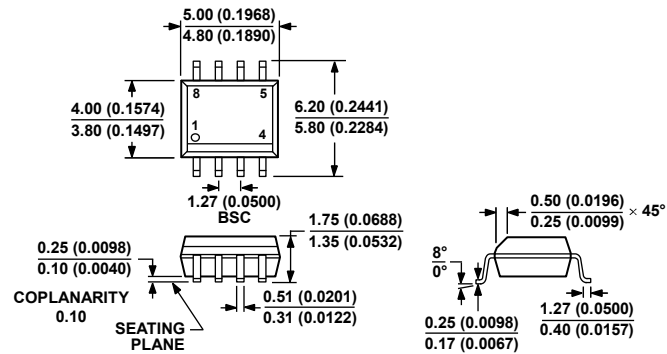
$V_{DDO}$ は出力電源電圧 (V) です。

$f$ は入力ロジック信号周波数です (MHz、入力データレートの1/2、NRZシグナリング)。

$f_r$ は入力段のリフレッシュ・レート (Mbps) です。

$I_{DDI(Q)}$ 、 $I_{DDO(Q)}$ は入力および出力の規定された無負荷時電源電流 (mA) です。

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA  
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS  
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR  
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 20. 8 ピン標準スモール・アウトライン・パッケージ [SOIC\_N]  
 ナローボディ (R-8)  
 寸法単位: mm (インチ)

## オーダー・ガイド

Model	Temperature Range	Max Data Rate (Mbps)	Minimum Pulse Width (ns)	Package Description	Package Option
ADuM3100ARZ <sup>1</sup>	-40°C to +105°C	25	40	8-Lead SOIC_N	R-8
ADuM3100ARZ-RL7 <sup>1</sup>	-40°C to +105°C	25	40	8-Lead SOIC_N, 1,000 Piece Reel	R-8
ADuM3100BRZ <sup>1</sup>	-40°C to +105°C	100	10	8-Lead SOIC_N	R-8
ADuM3100BRZ-RL7 <sup>1</sup>	-40°C to +105°C	100	10	8-Lead SOIC_N, 1,000 Piece Reel	R-8

<sup>1</sup> Z = RoHS 準拠製品。