

特長

高い共通モード過渡耐性: 100 kV/μs

放射ノイズ、伝導ノイズに対して高耐性

低伝搬遅延

13 ns max (5 V 動作時)

15 ns max (1.8 V 動作時)

最大データ・レート: 150 Mbps を確保

安全性と規制に対する認定 (申請中)

UL 認定: 1 分間にわたる 5000 V rms の UL 1577 規格に準拠

CSA Component Acceptance Notice 5A

VDE 適合性認定

DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12

$V_{IORM} = 849$ V peak

8000 V peak 強化サージ絶縁電圧

GB4943.1-2011 準拠の CQC 認定

下位互換性

ADuM240E1/ADuM241E1/ADuM242E1 のピンは

ADuM2400/ADuM2401/ADuM2402 と互換

低いダイナミック消費電力

1.8 V ~ 5 V のレベル変換

高温動作: 125 °C

フェイルセーフ・ハイ/ロー・オプション

16 ピン、RoHS 準拠、SOIC パッケージ

アプリケーション

汎用マルチチャンネル絶縁

シリアル・ペリフェラル・インターフェース (SPI) / データ・

コンバータ絶縁

工業用フィールド・バス絶縁

概要

ADuM240D/ADuM240E/ADuM241D/ADuM241E/ADuM242D/ADuM242E¹ は、アナログ・デバイセズの iCoupler® 技術をベースにした 4 チャンネル・デジタル・アイソレータです。これらの絶縁デバイスは、高速 CMOS 技術と空芯コアを使用したモノリシック・トランス技術の組み合わせによって、フォトカプラー・デバイスやその他の集積化カプラーなどの置換品よりも優れた性能特性を発揮します。5 V 動作で最大伝搬遅延は 13 ns、パルス幅歪みは 3 ns 未満です。チャンネル・マッチングは、最大 3.0 ns と厳密な値になっています。

ADuM240D/ADuM240E/ADuM241D/ADuM241E/ADuM242D/ADuM242E のデータ・チャンネルは独立していて、5.0 kV rms の定格電圧に耐えるさまざまな構成を用意しています (オーダー・ガイドを参照)。デバイスは、両側とも 1.8 V ~ 5 V の電源電圧で動作するため、低電圧システムとの互換性があり、絶縁バリアをまたぐ電圧変換機能も実現します。

¹ 米国特許 5,952,849; 6,873,065; 6,903,578; 7,075,329 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

機能ブロック図

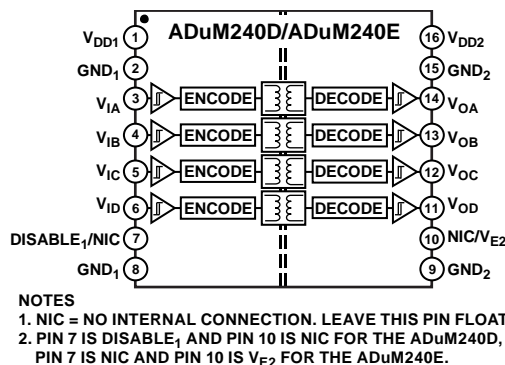


図 1. ADuM240D/ADuM240E 機能ブロック図

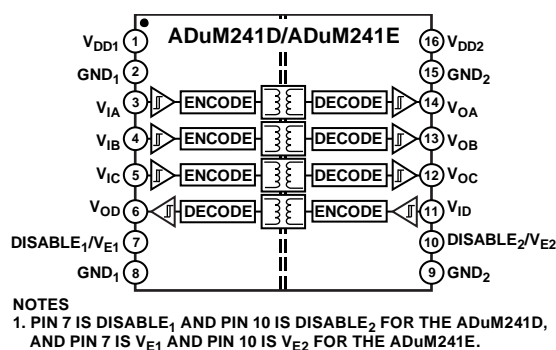


図 2. ADuM241D/ADuM241E 機能ブロック図

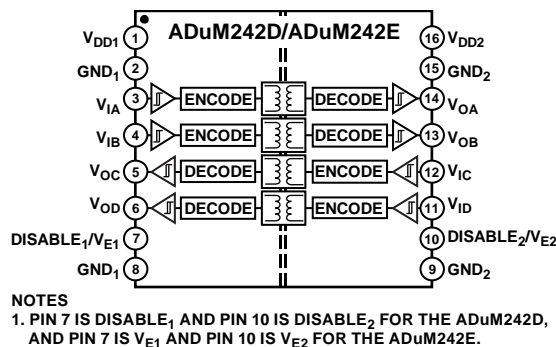


図 3. ADuM242D/ADuM242E 機能ブロック図

他のフォトカプラーとは異なり、入力ロジックに遷移がない場合の DC 精度が確保されます。2 種類のフェイルセーフ・オプションがあり、入力電源が供給されなくなった場合、または入力がない状態になった場合に出力が既定の状態に遷移します。ADuM240E1/ADuM241E1/ADuM242E1 は、ADuM2400/ADuM2401/ADuM2402 とのピン互換性があります。

目次

特長.....	1	推奨動作条件.....	12
アプリケーション.....	1	絶対最大定格.....	13
概要.....	1	ESDに関する注意.....	13
機能ブロック図.....	1	ピン配置およびピン機能の説明.....	15
改訂履歴.....	2	代表的な性能特性.....	18
仕様.....	3	動作原理.....	20
電気的特性 - 5 V 動作時.....	3	アプリケーション情報.....	21
電気的特性 - 3.3 V 動作時.....	5	PCB レイアウト.....	21
電気的特性 - 2.5 V 動作時.....	7	伝搬遅延に関するパラメータ.....	21
電気的特性 - 1.8 V 動作時.....	9	ジッタの計測.....	21
絶縁および安全性関連の仕様.....	11	絶縁寿命.....	21
パッケージ特性.....	11	外形寸法.....	23
適用規格.....	11	オーダー・ガイド.....	23
DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性.....	12		

改訂履歴

9/15—Revision 0: 初版

仕様

電気的特性 - 5 V 動作時

すべての代表的な仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 5\text{ V}$ 時の値です。最小/最大仕様は、特に指定のない限り、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 、および $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定のない限り、スイッチング仕様は、 $C_L = 15\text{ pF}$ 、CMOS 信号レベルでテストされます。電源電流は、50% のデューティ・サイクル信号で仕様規定されています。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.6			ns	Within pulse width distortion (PWD) limit
Data Rate ¹		150			Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	4.8	7.2	13	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.5	3	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/°C	
Propagation Delay Skew	t_{PSK}			6.1	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		0.5	3.0	ns	
Opposing Direction	t_{PSKOD}		0.5	3.0	ns	
Jitter			490		ps p-p	See the Jitter Measurement section
			70		psrms	See the Jitter Measurement section
DC SPECIFICATIONS						
Input Threshold Voltage						
Logic High	V_{IH}	$0.7 \times V_{DDx}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DDx}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DDx} - 0.1$	V_{DDx}		V	$I_{Ox}^2 = -20\ \mu\text{A}$, $V_{Ix} = V_{IxH}^3$
		$V_{DDx} - 0.4$	$V_{DDx} - 0.2$		V	$I_{Ox}^2 = -4\ \mu\text{A}$, $V_{Ix} = V_{IxH}^3$
Logic Low	V_{OL}		0.0	0.1	V	$I_{Ox}^2 = 20\ \mu\text{A}$, $V_{Ix} = V_{IxL}^4$
			0.2	0.4	V	$I_{Ox}^2 = 4\ \mu\text{A}$, $V_{Ix} = V_{IxL}^4$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$
V_{E2} Enable Input Pull-Up Current	I_{PU}	-10	-3		μA	$V_{E2} = 0\text{ V}$
DISABLE _{E1} Input Pull-Down Current	I_{PD}		9	15	μA	DISABLE _{E1} = V_{DDx}
Tristate Output Current per Channel	I_{OZ}	-10	+0.01	+10	μA	$0\text{ V} \leq V_{Ox} \leq V_{DDx}$
Quiescent Supply Current						
ADuM240D/ADuM240E						
	$I_{DD1(Q)}$		1.2	2.2	mA	$V_I^5 = 0$ (E0, D0), 1 (E1, D1) ⁶
	$I_{DD2(Q)}$		2.0	2.72	mA	$V_I^5 = 0$ (E0, D0), 1 (E1, D1) ⁶
	$I_{DD1(Q)}$		12.0	20.0	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		2.0	2.92	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
ADuM241D/ADuM241E						
	$I_{DD1(Q)}$		1.6	2.46	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		1.9	2.62	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD1(Q)}$		10.0	17.0	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		6.0	10.0	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
ADuM242D/ADuM242E						
	$I_{DD1(Q)}$		1.6	2.46	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		1.6	2.46	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD1(Q)}$		7.0	11.5	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		7.0	11.5	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
Dynamic Supply Current						
Dynamic Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Dynamic Output	$I_{DD0(D)}$		0.02		mA/Mbps	Inputs switching, 50% duty cycle

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Undervoltage Lockout	UVLO					
Positive V_{DDx} Threshold	V_{DDxUV+}		1.6		V	
Negative V_{DDx} Threshold	V_{DDxUV-}		1.5		V	
V_{DDx} Hysteresis	V_{DDxUVH}		0.1		V	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁷	$ CM_H $	75	100		kV/ μ s	$V_{IX} = V_{DDx}$, $V_{CM} = 1000$ V, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μ s	$V_{IX} = 0$ V, $V_{CM} = 1000$ V, transient magnitude = 800 V

¹ 最高で 150 Mbps のデータ・レートを確保できますが、これよりも速いデータ・レートにすることも可能です。

² I_{Ox} はチャンネル x 出力電流で、x = A、B、または C。

³ V_{IH} は、入力側ロジック・ハイ・レベル。

⁴ V_{IL} は、入力側ロジック・ロー・レベル。

⁵ V_I は電圧入力。

⁶ E0 は ADuM240E0/ADuM241E0/ADuM242E0 モデル、D0 は ADuM240D0/ADuM241D0/ADuM242D0 モデル、E1 は ADuM240E1/ADuM241E1/ADuM242E1 モデル、D1 は ADuM240D1/ADuM241D1/ADuM242D1 モデルを表します。Ordering Guide のセクションを参照してください。

⁷ $|CM_H|$ は、電圧出力 (V_O) > 0.8 V_{DDx} を維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は、 $V_O > 0.8$ V を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、コモンモード電圧の立上がりと立下がりの両エッジに適用されます。

表 2. 合計電源電流とデータ・スループットの関係

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SUPPLY CURRENT											
ADuM240D/ADuM240E											
Supply Current Side 1	I_{DD1}		6.8	10		7.8	12		11.8	17.4	mA
Supply Current Side 2	I_{DD2}		2.1	3.7		3.9	5.7		9.2	13	mA
ADuM241D/ADuM241E											
Supply Current Side 1	I_{DD1}		5.8	10.3		7.0	10.9		11.4	15.9	mA
Supply Current Side 2	I_{DD2}		4.0	6.85		5.5	8.5		10.3	14.0	mA
ADuM242D/ADuM242E											
Supply Current Side 1	I_{DD1}		4.3	7.7		6.0	9.3		10.3	14.2	mA
Supply Current Side 2	I_{DD2}		5.3	8.7		6.7	10.1		11.0	14.9	mA

電氣的特性 - 3.3 V 動作時

すべての代表的な仕様は、 $T_A = 25\text{ }^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 3.3\text{ V}$ 時の値です。最小/最大仕様は、特に指定のない限り、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 、および $-40\text{ }^\circ\text{C} \leq T_A \leq +125\text{ }^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定のない限り、スイッチング仕様は、 $C_L = 15\text{ pF}$ 、CMOS 信号レベルでテストされます。電源電流は、50% のデューティ・サイクル信号で仕様規定されています。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.6			ns	Within PWD limit
Data Rate ¹		150			Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	4.8	6.8	14	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.7	3	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			7.5	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		0.7	3.0	ns	
Opposing Direction	t_{PSKOD}		0.7	3.0	ns	
Jitter			580		ps p-p	See the Jitter Measurement section
			120		psrms	See the Jitter Measurement section
DC SPECIFICATIONS						
Input Threshold Voltage						
Logic High	V_{IH}	$0.7 \times V_{DDx}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DDx}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DDx} - 0.1$	V_{DDx}		V	$I_{Ox}^2 = -20\text{ }\mu\text{A}$, $V_{Ix} = V_{IxH}^3$
		$V_{DDx} - 0.4$	$V_{DDx} - 0.2$		V	$I_{Ox}^2 = -2\text{ mA}$, $V_{Ix} = V_{IxH}^3$
Logic Low	V_{OL}		0.0	0.1	V	$I_{Ox}^2 = 20\text{ }\mu\text{A}$, $V_{Ix} = V_{IxL}^4$
			0.2	0.4	V	$I_{Ox}^2 = 2\text{ mA}$, $V_{Ix} = V_{IxL}^4$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$
V_{E2} Enable Input Pull-Up Current	I_{PU}	-10	-3		μA	$V_{E2} = 0\text{ V}$
DISABLE ₁ Input Pull-Down Current	I_{PD}		9	15	μA	DISABLE ₁ = V_{DDx}
Tristate Output Current per Channel	I_{OZ}	-10	+0.01	+10	μA	$0\text{ V} \leq V_{Ox} \leq V_{DDx}$
Quiescent Supply Current						
ADuM240D/ADuM240E						
	$I_{DD1(Q)}$		1.2	2.12	mA	$V_I^5 = 0$ (E0, D0), 1 (E1, D1) ⁶
	$I_{DD2(Q)}$		2.0	2.68	mA	$V_I^5 = 0$ (E0, D0), 1 (E1, D1) ⁶
	$I_{DD1(Q)}$		12.0	19.6	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		2.0	2.8	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
ADuM241D/ADuM241E						
	$I_{DD1(Q)}$		1.5	2.36	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		1.8	2.52	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD1(Q)}$		9.8	16.7	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		5.7	9.7	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
ADuM242D/ADuM242E						
	$I_{DD1(Q)}$		1.6	2.4	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		1.6	2.4	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD1(Q)}$		7.0	11.2	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		7.0	11.2	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
Dynamic Supply Current						
Dynamic Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Dynamic Output	$I_{DD0(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Undervoltage Lockout	UVLO					
Positive V_{DDx} Threshold	V_{DDxUV+}		1.6		V	
Negative V_{DDx} Threshold	V_{DDxUV-}		1.5		V	
V_{DDx} Hysteresis	V_{DDxUVH}		0.1		V	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁷	$ CM_H $	75	100		kV/ μ s	$V_{IX} = V_{DDx}$, $V_{CM} = 1000$ V, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μ s	$V_{IX} = 0$ V, $V_{CM} = 1000$ V, transient magnitude = 800 V

¹ 最高で 150 Mbps のデータ・レートを確保できますが、これよりも速いデータ・レートにすることも可能です。

² I_{Ox} はチャンネル x 出力電流で、x = A、B、または C。

³ V_{IH} は、入力側ロジック・ハイ・レベル。

⁴ V_{IL} は、入力側ロジック・ロー・レベル。

⁵ V_I は電圧入力。

⁶ E0 は ADuM240E0/ADuM241E0/ADuM242E0 モデル、D0 は ADuM240D0/ADuM241D0/ADuM242D0 モデル、E1 は ADuM240E1/ADuM241E1/ADuM242E1 モデル、D1 は ADuM240D1/ADuM241D1/ADuM242D1 モデルを表します。Ordering Guide のセクションを参照してください。

⁷ $|CM_H|$ は、電圧出力 (V_O) > 0.8 V_{DDx} を維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は、 $V_O > 0.8$ V を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、コモンモード電圧の立上がりと立下がりの両エッジに適用されます。

表 4. 合計電源電流とデータ・スループットの関係

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SUPPLY CURRENT											
ADuM240D/ADuM240E											
Supply Current Side 1	I_{DD1}		6.6	9.8		7.4	11.2		10.7	15.9	mA
Supply Current Side 2	I_{DD2}		2.0	3.7		3.5	5.5		8.2	11.6	mA
ADuM241D/ADuM241E											
Supply Current Side 1	I_{DD1}		5.65	10.1		6.65	10.5		10.4	14.9	mA
Supply Current Side 2	I_{DD2}		3.9	6.65		5.2	8.0		9.4	12.8	mA
ADuM242D/ADuM242E											
Supply Current Side 1	I_{DD1}		4.3	7.7		5.6	9.0		9.1	13	mA
Supply Current Side 2	I_{DD2}		5.0	8.4		6.2	9.6		9.8	13.7	mA

電氣的特性 - 2.5 V 動作時

すべての代表的な仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 2.5\text{ V}$ 時の値です。最小/最大仕様は、特に指定のない限り、 $2.25\text{ V} \leq V_{DD1} \leq 2.75\text{ V}$ 、 $2.25\text{ V} \leq V_{DD2} \leq 2.75\text{ V}$ 、および $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定のない限り、スイッチング仕様は、 $C_L = 15\text{ pF}$ 、CMOS 信号レベルでテストされます。電源電流は、50% のデューティ・サイクル信号で仕様規定されています。

表 5.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.6			ns	Within PWD limit
Data Rate ¹		150			Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	5.0	7.0	14	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.7	3	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/°C	
Propagation Delay Skew	t_{PSK}			6.8	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		0.7	3.0	ns	
Opposing Direction	t_{PSKOD}		0.7	3.0	ns	
Jitter			800		ps p-p	See the Jitter Measurement section
			190		psrms	See the Jitter Measurement section
DC SPECIFICATIONS						
Input Threshold Voltage						
Logic High	V_{IH}	$0.7 \times V_{DDx}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DDx}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DDx} - 0.1$	V_{DDx}		V	$I_{Ox}^2 = -20\ \mu\text{A}$, $V_{Ix} = V_{IxH}^3$
		$V_{DDx} - 0.4$	$V_{DDx} - 0.2$		V	$I_{Ox}^2 = -2\ \text{mA}$, $V_{Ix} = V_{IxH}^3$
Logic Low	V_{OL}		0.0	0.1	V	$I_{Ox}^2 = 20\ \mu\text{A}$, $V_{Ix} = V_{IxL}^4$
			0.2	0.4	V	$I_{Ox}^2 = 2\ \text{mA}$, $V_{Ix} = V_{IxL}^4$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$
V_{E2} Enable Input Pull-Up Current	I_{PU}	-10	-3		μA	$V_{E2} = 0\text{ V}$
DISABLE ₁ Input Pull-Down Current	I_{PD}		9	15	μA	DISABLE ₁ = V_{DDx}
Tristate Output Current per Channel	I_{OZ}	-10	+0.01	+10	μA	$0\text{ V} \leq V_{Ox} \leq V_{DDx}$
Quiescent Supply Current						
ADuM240D/ADuM240E						
	$I_{DD1(Q)}$		1.2	2.0	mA	$V_I^5 = 0$ (E0, D0), 1 (E1, D1) ⁶
	$I_{DD2(Q)}$		2.0	2.64	mA	$V_I^5 = 0$ (E0, D0), 1 (E1, D1) ⁶
	$I_{DD1(Q)}$		1.2	19.6	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		2.0	2.76	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
ADuM241D/ADuM241E						
	$I_{DD1(Q)}$		1.46	2.32	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		1.75	2.47	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD1(Q)}$		9.7	16.6	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		5.67	9.67	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
ADuM242D/ADuM242E						
	$I_{DD1(Q)}$		1.6	2.32	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		1.6	2.32	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD1(Q)}$		7.0	11.2	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		7.0	11.2	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
Dynamic Supply Current						
Dynamic Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Dynamic Output	$I_{DDO(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Undervoltage Lockout						
Positive V_{DDx} Threshold	V_{DDxUV+}		1.6		V	
Negative V_{DDx} Threshold	V_{DDxUV-}		1.5		V	
V_{DDx} Hysteresis	V_{DDxUVH}		0.1		V	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_r/t_f		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁷	$ CM_H $	75	100		kV/ μ s	$V_{IK} = V_{DDx}$, $V_{CM} = 1000$ V, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μ s	$V_{IK} = 0$ V, $V_{CM} = 1000$ V, transient magnitude = 800 V

¹ 最高で 150 Mbps のデータ・レートを確保できますが、これよりも速いデータ・レートにすることも可能です。

² I_{Ox} はチャンネル x 出力電流で、x = A、B、または C。

³ V_{IH} は、入力側ロジック・ハイ・レベル。

⁴ V_{IL} は、入力側ロジック・ロー・レベル。

⁵ V_I は電圧入力。

⁶ E0 は ADuM240E0/ADuM241E0/ADuM242E0 モデル、D0 は ADuM240D0/ADuM241D0/ADuM242D0 モデル、E1 は ADuM240E1/ADuM241E1/ADuM242E1 モデル、D1 は ADuM240D1/ADuM241D1/ADuM242D1 モデルを表します。Ordering Guide のセクションを参照してください。

⁷ $|CM_H|$ は、電圧出力 (V_O) > 0.8 V_{DDx} を維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は、 $V_O > 0.8$ V を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、コモンモード電圧の立上がりと立下がりの両エッジに適用されます。

表 6. 合計電源電流とデータ・スループットの関係

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SUPPLY CURRENT											
ADuM240D/ADuM240E											
Supply Current Side 1	I_{DD1}		6.5	9.8		7.3	11.1		10.4	15.5	mA
Supply Current Side 2	I_{DD2}		2.0	3.6		3.3	5.2		7.3	10.2	mA
ADuM241D/ADuM241E											
Supply Current Side 1	I_{DD1}		5.6	10.0		6.4	10.4		9.7	14.5	mA
Supply Current Side 2	I_{DD2}		3.8	6.55		4.8	7.7		8.3	11.5	mA
ADuM242D/ADuM242E											
Supply Current Side 1	I_{DD1}		4.3	7.7		5.4	8.8		8.8	12.7	mA
Supply Current Side 2	I_{DD2}		5.0	8.4		6.1	9.5		9.5	13.4	mA

電氣的特性 - 1.8 V 動作時

すべての代表的な仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 1.8\text{V}$ 時の値です。最小/最大仕様は、特に指定のない限り、 $1.7\text{V} \leq V_{DD1} \leq 1.9\text{V}$ 、 $1.7\text{V} \leq V_{DD2} \leq 1.9\text{V}$ 、および $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定のない限り、スイッチング仕様は、 $C_L = 15\text{pF}$ 、CMOS信号レベルで試験されます。電源電流は、50%のデューティ・サイクル信号で仕様規定されます。

表 7.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	6.6			ns	Within PWD limit
Data Rate ¹		150			Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	5.8	8.7	15	ns	50% input to 50% output
Pulse Width Distortion	PWD		0.7	3	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			7.0	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		0.7	3.0	ns	
Opposing Direction	t_{PSKOD}		0.7	3.0	ns	
Jitter			470		ps p-p	See the Jitter Measurement section
			70		psrms	See the Jitter Measurement section
DC SPECIFICATIONS						
Input Threshold Voltage						
Logic High	V_{IH}	$0.7 \times V_{DDx}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DDx}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DDx} - 0.1$	V_{DDx}		V	$I_{Ox}^2 = -20\ \mu\text{A}$, $V_{Ix} = V_{IxH}^3$
		$V_{DDx} - 0.4$	$V_{DDx} - 0.2$		V	$I_{Ox}^2 = -2\ \text{mA}$, $V_{Ix} = V_{IxH}^3$
Logic Low	V_{OL}		0.0	0.1	V	$I_{Ox}^2 = 20\ \mu\text{A}$, $V_{Ix} = V_{IxL}^4$
			0.2	0.4	V	$I_{Ox}^2 = 2\ \text{mA}$, $V_{Ix} = V_{IxL}^4$
Input Current per Channel	I_I	-10	+0.01	+10	μA	$0\text{V} \leq V_{Ix} \leq V_{DDx}$
V_{E2} Enable Input Pull-Up Current	I_{PU}	-10	-3		μA	$V_{E2} = 0\text{V}$
DISABLE ₁ Input Pull-Down Current	I_{PD}		9	15	μA	DISABLE ₁ = V_{DDx}
Tristate Output Current per Channel	I_{OZ}	-10	+0.01	+10	μA	$0\text{V} \leq V_{Ox} \leq V_{DDx}$
Quiescent Supply Current						
ADuM240D/ADuM240E						
	$I_{DD1(Q)}$		1.2	1.92	mA	$V_I^5 = 0$ (E0, D0), 1 (E1, D1) ⁶
	$I_{DD2(Q)}$		2.0	2.64	mA	$V_I^5 = 0$ (E0, D0), 1 (E1, D1) ⁶
	$I_{DD1(Q)}$		12.0	19.6	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		2.0	2.76	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
ADuM241D/ADuM241E						
	$I_{DD1(Q)}$		1.4	2.28	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		1.73	2.45	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD1(Q)}$		9.6	16.5	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		5.6	9.6	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
ADuM242D/ADuM242E						
	$I_{DD1(Q)}$		1.6	2.28	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		1.6	2.28	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD1(Q)}$		7.0	11.2	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
	$I_{DD2(Q)}$		7.0	11.2	mA	$V_I^5 = 1$ (E0, D0), 0 (E1, D1) ⁶
Dynamic Supply Current						
Dynamic Input	$I_{DDI(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Dynamic Output	$I_{DDO(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Undervoltage Lockout	UVLO					
Positive V_{DDx} Threshold	V_{DDxUV+}		1.6		V	
Negative V_{DDx} Threshold	V_{DDxUV-}		1.5		V	
V_{DDx} Hysteresis	V_{DDxUVH}		0.1		V	
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁷	$ CM_H $	75	100		kV/ μ s	$V_{IX} = V_{DDx}$, $V_{CM} = 1000$ V, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μ s	$V_{IX} = 0$ V, $V_{CM} = 1000$ V, transient magnitude = 800 V

¹ 最高で 150 Mbps のデータ・レートを確認できますが、これよりも速いデータ・レートにすることも可能です。

² I_{Ox} はチャンネル x 出力電流で、x = A、B、または C。

³ V_{IH} は入力側ロジック・ハイ・レベル。

⁴ V_{IL} は入力側ロジック・ロー・レベル。

⁵ V_I は電圧入力。

⁶ E0 は ADuM240E0/ADuM241E0/ADuM242E0 モデル、D0 は ADuM240D0/ADuM241D0/ADuM242D0 モデル、E1 は ADuM240E1/ADuM241E1/ADuM242E1 モデル、D1 は ADuM240D1/ADuM241D1/ADuM242D1 モデルを表します。Ordering Guide のセクションを参照してください。

⁷ $|CM_H|$ は、電圧出力 (V_O) > 0.8 V_{DDx} を維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は、 $V_O > 0.8$ V を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、コモンモード電圧の立上がりと立下がりの両エッジに適用されます。

表 8. 合計電源電流とデータ・スループットの関係

Parameter	Symbol	1 Mbps			25 Mbps			100 Mbps			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SUPPLY CURRENT											
ADuM240D/ADuM240E											
Supply Current Side 1	I_{DD1}		6.4	9.8		7.2	11		10.2	15.2	mA
Supply Current Side 2	I_{DD2}		1.9	3.5		3.1	5.0		6.8	10	mA
ADuM241D/ADuM240E											
Supply Current Side 1	I_{DD1}		5.5	9.1		6.3	10.0		9.6	14.0	mA
Supply Current Side 2	I_{DD2}		3.72	6.45		4.8	7.5		8.4	11.2	mA
ADuM242D/ADuM242E											
Supply Current Side 1	I_{DD1}		4.3	7.7		5.3	8.7		8.6	12.6	mA
Supply Current Side 2	I_{DD2}		4.9	8.3		6.0	9.4		9.3	13.3	mA

絶縁および安全性関連の仕様

詳細については、www.analog.com/jp/icouplersafety を参照してください。

表 9.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		5000	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L (I01)	7.8	mm min	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L (I02)	7.8	mm min	Measured from input terminals to output terminals, shortest distance path along body
Minimum Clearance in the Plane of the Printed Circuit Board (PCB Clearance)	L (PCB)	8.1	mm min	Measured from input terminals to output terminals, shortest distance through air, line of sight, in the PCB mounting plane
Minimum Internal Gap (Internal Clearance)		25.5	μm min	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Material Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

パッケージ特性

表 10.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input to Output) ¹	R _{I-O}		10 ¹³		Ω	
Capacitance (Input to Output) ¹	C _{I-O}		2.2		pF	f = 1 MHz
Input Capacitance ²	C _I		4.0		pF	
IC Junction to Ambient Thermal Resistance	θ _{JA}		45		°C/W	Thermocouple located at center of package underside

¹ デバイスは 2 端子デバイスとみなします。すなわち、ピン 1 ~ ピン 8 を相互に接続し、ピン 9 ~ ピン 16 を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンドの間の値です。

適用規格

特定のクロス・アイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 15 および Insulation Lifetime のセクションを参照してください。

表 11.

UL (Pending)	CSA (Pending)	VDE (Pending)	CQC (Pending)
Recognized Under UL 1577 Component Recognition Program ¹	Approved under CSA Component Acceptance Notice 5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ²	Certified by CQC11-471543-2012, GB4943.1-2011:
Single Protection, 5000 V rms Isolation Voltage	CSA 60950-1-07+A1+A2 and IEC 60950-1, second edition, +A1+A2:	Reinforced insulation, V _{IORM} = 849 V peak, V _{IOSM} = 8000 V peak	Basic insulation at 780 V rms (1103 V peak)
Double Protection, 5000 V rms Isolation Voltage	Basic insulation at 780 V rms (1103 V peak)	Basic insulation, V _{IORM} = 849 V peak, V _{IOSM} = 12 kV peak	Reinforced insulation at 389 V rms (552 V peak), tropical climate, altitude ≤5000 meters
	Reinforced insulation at 390 V rms (552 V peak)		
	IEC 60601-1 Edition 3.1:		
	Basic insulation (1 means of patient protection (1 MOPP)), 490 V rms (686 V peak)		
	Reinforced insulation (2 MOPP), 238 V rms (325 V peak)		
	CSA 61010-1-12 and IEC 61010-1 third edition:		
	Basic insulation at 300 V rms mains, 780 V secondary (1103 V peak)		
	Reinforced insulation at 300 V rms mains, 390 V secondary (552 V peak)		
File E214100	File 205078	File 2471900-4880-0001	File (pending)

¹ UL 1577 に従い、各製品は、6000 V rms 以上の絶縁試験電圧を 1 秒間かける試験でテストされています。

² DIN V VDE V 0884-10 に従い、各製品は、1592 V peak 以上の絶縁試験電圧を 1 秒間かける試験でテストされています (部分放電検出の規定値 = 5 pC)。デバイス表面の * マークは、DIN V VDE V 0884-10 認定製品であることを表します。

DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性

これらのアイソレータは、安全性限界データ範囲内の強化された電氣的絶縁に適しています。保護回路により、安全性データが維持されます。パッケージの*マークは、DIN V VDE V 0884-10 認定済みであることを示しています。

表 12.

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 600 V rms			I to IV I to IV I to III	
Climatic Classification			40/125/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V _{IORM}	849	V peak
Input to Output Test Voltage, Method B1	V _{IORM} × 1.875 = V _{pd(m)} , 100% production test, t _{ini} = t _m = 1 sec, partial discharge < 5 pC	V _{pd(m)}	1592	V peak
Input to Output Test Voltage, Method A After Environmental Tests Subgroup 1	V _{IORM} × 1.5 = V _{pd(m)} , t _{ini} = 60 sec, t _m = 10 sec, partial discharge < 5 pC	V _{pd(m)}	1274	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	V _{IORM} × 1.2 = V _{pd(m)} , t _{ini} = 60 sec, t _m = 10 sec, partial discharge < 5 pC		1019	V peak
Highest Allowable Overvoltage		V _{IOTM}	7000	V peak
Surge Isolation Voltage Basic	V _{PEAK} = 12.8 kV, 1.2 μs rise time, 50 μs, 50% fall time	V _{IOSM}	12000	V peak
Surge Isolation Voltage Reinforced	V _{PEAK} = 12.8 kV, 1.2 μs rise time, 50 μs, 50% fall time	V _{IOSM}	8000	V peak
Safety Limiting Values	Maximum value allowed in the event of a failure (see Figure 4)			
Maximum Junction Temperature		T _S	150	°C
Total Power Dissipation at 25°C		P _S	2.78	W
Insulation Resistance at T _S	V _{IO} = 500 V	R _S	>10 ⁹	Ω

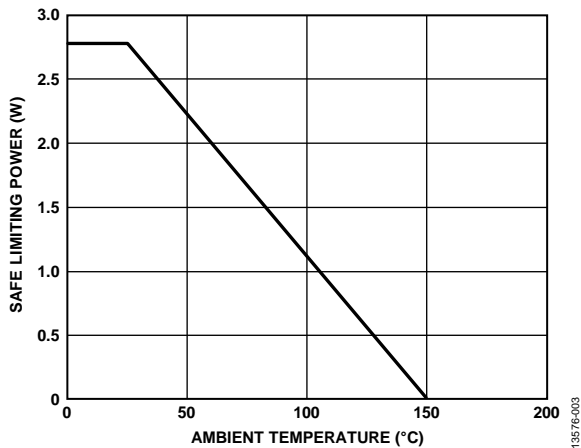


図 4. 熱ディレーティング曲線、安全限界値と周囲温度の依存関係 (DIN V VDE V 0884-10)

推奨動作条件

表 13.

Parameter	Symbol	Rating
Operating Temperature	T _A	-40°C to +125°C
Supply Voltages	V _{DD1} , V _{DD2}	1.7 V to 5.5 V
Input Signal Rise and Fall Times		1.0 ms

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 14.

Parameter	Rating
Storage Temperature (T_{ST}) Range	-65°C to $+150^\circ\text{C}$
Ambient Operating Temperature (T_A) Range	-40°C to $+125^\circ\text{C}$
Supply Voltages (V_{DD1} , V_{DD2})	-0.5 V to $+7.0\text{ V}$
Input Voltages (V_{IA} , V_{IB} , V_{IC} , V_{ID} , V_{EI} , V_{E2} , DISABLE_1 , DISABLE_2) ¹	-0.5 V to $V_{DD1} + 0.5\text{ V}$
Output Voltages (V_{OA} , V_{OB} , V_{OC} , V_{OD}) ²	-0.5 V to $V_{DDO} + 0.5\text{ V}$
Average Output Current per Pin ³	
Side 1 Output Current (I_{O1})	-10 mA to $+10\text{ mA}$
Side 2 Output Current (I_{O2})	-10 mA to $+10\text{ mA}$
Common-Mode Transients ⁴	$-150\text{ kV}/\mu\text{s}$ to $+150\text{ kV}/\mu\text{s}$

¹ V_{DD1} は入力側電源電圧。² V_{DDO} は出力側電源電圧。³ 種々の温度に対する最大定格電力値については、図4を参照してください。⁴ 絶縁バリアをまたぐコモンモード過渡電圧を表します。絶対最大定格を超えるコモンモード過渡電圧は、ラッチアップまたは恒久的な故障を引き起こす場合があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

表 15. 最大連続動作電圧¹

Parameter	Rating	Constraint
AC Voltage		
Bipolar Waveform		
Basic Insulation	849 V peak	50-year minimum insulation lifetime
Reinforced Insulation	768 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1
Unipolar Waveform		
Basic Insulation	1698 V peak	50-year minimum insulation lifetime
Reinforced Insulation	885 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1
DC Voltage		
Basic Insulation	1092 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1
Reinforced Insulation	543 V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1

¹ 絶縁バリアに加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

真理値表

表 16. ADuM240D/ADuM241D/ADuM242D 真理値表（正論理）

V_{Ix} Input ^{1, 2}	$V_{DISABLEx}$ Input ^{1, 2}	V_{DDI} State ²	V_{DDO} State ²	Default Low (D0), V_{Ox} Output ^{1, 2, 3}	Default High (D1), V_{Ox} Output ^{1, 2, 3}	Test Conditions/ Comments
L	L or NC	Powered	Powered	L	L	Normal operation
H	L or NC	Powered	Powered	H	H	Normal operation
X	H	Powered	Powered	L	H	Inputs disabled, fail-safe output
X ⁴	X ⁴	Unpowered	Powered	L	H	Fail-safe output
X ⁴	X ⁴	Powered	Unpowered	Indeterminate	Indeterminate	

¹ Lはロー・レベル、Hはハイ・レベル、Xはドント・ケア、NCは未接続を意味します。

² V_{Ix} と V_{Ox} は、所定のチャンネル（A、B、CまたはD）の入出力信号を指します。 $V_{DISABLEx}$ は、 V_{Ix} 入力と同じ側の入力ディスエーブル信号を表します。 V_{DDI} と V_{DDO} はそれぞれ、特定のチャンネルの入力側と出力側の電源電圧を表します。

³ D0はADuM240D0/ADuM241D0/ADuM242D0モデル、D1はADuM240D1/ADuM241D1/ADuM242D1モデルを表します。Ordering Guideのセクションを参照してください。

⁴ ESD保護回路を通してデバイスに給電されないように、通電されていない電源と同じ側の入力ピン（ V_{Ix} 、 $V_{DISABLEx}$ ）をロー状態にする必要があります。

表 17. ADuM240E/ADuM241E/ADuM242E 真理値表（正論理）

V_{Ix} Input ^{1, 2}	V_{Ex} Input ^{1, 2}	V_{DDI} State ²	V_{DDO} State ²	Default Low (E0), V_{Ox} Output ^{1, 2, 3}	Default High (E1), V_{Ox} Output ^{1, 2, 3}	Test Conditions/ Comments
L	H or NC	Powered	Powered	L	L	Normal operation
H	H or NC	Powered	Powered	H	H	Normal operation
X	L	Powered	Powered	Z	Z	Outputs disabled
L	H or NC	Unpowered	Powered	L	H	Fail-safe output
X ⁴	L ⁴	Unpowered	Powered	Z	Z	Outputs disabled
X ⁴	X ⁴	Powered	Unpowered	Indeterminate	Indeterminate	

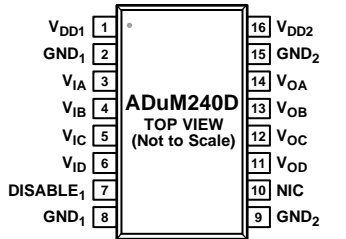
¹ Lはロー・レベル、Hはハイ・レベル、Xはドント・ケア、NCは未接続、Zはハイ・インピーダンスを意味します。

² V_{Ix} と V_{Ox} は、所定のチャンネル（A、B、CまたはD）の入出力信号を指します。 V_{Ex} は、 V_{Ox} 出力と同じ側の出力イネーブル信号を表します。 V_{DDI} と V_{DDO} はそれぞれ、特定のチャンネルの入力側と出力側の電源電圧を表します。

³ E0はADuM240E0/ADuM241E0/ADuM242E0モデル、E1はADuM240E1/ADuM241E1/ADuM242E1モデルを表します。Ordering Guideのセクションを参照してください。

⁴ ESD保護回路を通してデバイスに給電されないように、通電されていない電源と同じ側の入力ピン（ V_{Ix} 、 V_{Ex} ）をロー状態にする必要があります。

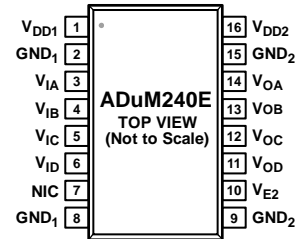
ピン配置およびピン機能の説明



NOTES
1. NIC = NO INTERNAL CONNECTION. LEAVE THIS PIN FLOATING.

13576-004

図 5. ADuM240D ピン配置



NOTES
1. NIC = NO INTERNAL CONNECTION. LEAVE THIS PIN FLOATING.

13576-005

図 6. ADuM240E ピン配置

表 18. ピン機能の説明

ピン番号 ¹		記号	説明
ADuM240D	ADuM240E		
1	1	V _{DD1}	アイソレータ・サイド 1 の電源電圧。
2、8	2、8	GND ₁	アイソレータ・サイド 1 のグラウンド基準。
3	3	V _{IA}	ロジック入力 A _o 。
4	4	V _{IB}	ロジック入力 B _o 。
5	5	V _{IC}	ロジック入力 C _o 。
6	6	V _{ID}	ロジック入力 D _o 。
7	該当せず	DISABLE ₁	入力ディスエーブル 1。このピンは、アイソレータ入力をディスエーブルにします。出力は、オーダー・ガイドに示すフェイルセーフ・オプションで指定されたロジック状態になります。
9、15	9、15	GND ₂	アイソレータ・サイド 2 のグラウンド基準。
10	7	NIC	内部接続なし。これらのピンはフロート状態のままにしておきます。
該当せず	10	V _{E2}	出力イネーブル 2。アクティブ・ハイのロジック入力。V _{E2} がハイ・レベルまたは解放の場合、V _{OA} 、V _{OB} 、V _{OC} 、および V _{OD} 出力がイネーブルになります。V _{E2} がロー・レベルの場合、V _{OA} 、V _{OB} 、V _{OC} 、および V _{OD} 出力がディスエーブルになり、ハイ Z 状態になります。
11	11	V _{OD}	ロジック出力 D _o 。
12	12	V _{OC}	ロジック出力 C _o 。
13	13	V _{OB}	ロジック出力 B _o 。
14	14	V _{OA}	ロジック出力 A _o 。
16	16	V _{DD2}	アイソレータ・サイド 2 の電源電圧。

¹ 特定のレイアウト・ガイドラインについては、AN-1109 アプリケーション・ノートを参照してください。

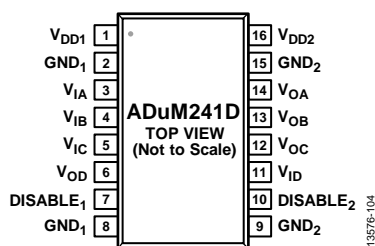


図 7. ADuM241D ピン配置

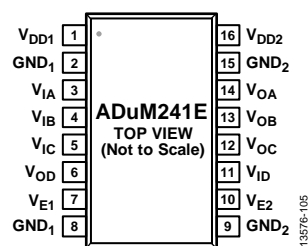


図 8. ADuM241E ピン配置

表 19. ピン機能の説明

ピン番号 ¹		記号	説明
ADuM241D	ADuM241E		
1	1	V _{DD1}	アイソレータ・サイド 1 の電源電圧。
2、8	2、8	GND ₁	アイソレータ・サイド 1 のグラウンド基準。
3	3	V _{1A}	ロジック入力 A。
4	4	V _{1B}	ロジック入力 B。
5	5	V _{1C}	ロジック入力 C。
6	6	V _{OD}	ロジック出力 D。
7	該当せず	DISABLE ₁	入力ディスエーブル 1。このピンは、アイソレータ入力をディスエーブルにします。出力は、オーダー・ガイドに示すフェイルセーフ・オプションで指定されたロジック状態になります。
該当せず	7	V _{E1}	出力イネーブル 1。アクティブ・ハイのロジック入力。V _{E1} がハイ・レベルまたは解放の場合、V _{OD} 出力がイネーブルになります。V _{E1} がロー・レベルの場合、V _{OD} 出力がディスエーブルになり、ハイ Z 状態になります。
9、15	9、15	GND ₂	アイソレータ・サイド 2 のグラウンド基準。
10	該当せず	DISABLE ₂	入力ディスエーブル 2。このピンは、アイソレータ入力をディスエーブルにします。出力は、オーダー・ガイドに示すフェイルセーフ・オプションで指定されたロジック状態になります。
該当せず	10	V _{E2}	出力イネーブル 2。アクティブ・ハイのロジック入力。V _{E2} がハイ・レベルまたは解放の場合、V _{OA} 、V _{OB} 、および V _{OC} 出力がイネーブルになります。V _{E2} がロー・レベルの場合、V _{OA} 、V _{OB} 、および V _{OC} 出力がディスエーブルになり、ハイ Z 状態になります。
11	11	V _{ID}	ロジック入力 D。
12	12	V _{OC}	ロジック出力 C。
13	13	V _{OB}	ロジック出力 B。
14	14	V _{OA}	ロジック出力 A。
16	16	V _{DD2}	アイソレータ・サイド 2 の電源電圧。

¹ 特定のレイアウト・ガイドラインについては、AN-1109 アプリケーション・ノートを参照してください。

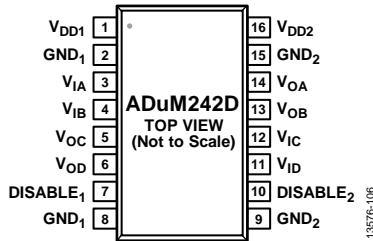


図 9. ADuM242D ピン配置

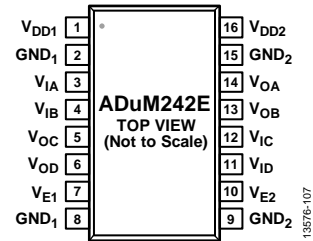


図 10. ADuM242E ピン配置

表 20. ピン機能の説明

ピン番号 ¹		記号	説明
ADuM242D	ADuM242E		
1	1	V _{DD1}	アイソレータ・サイド 1 の電源電圧。
2、8	2、8	GND ₁	アイソレータ・サイド 1 のグラウンド基準。
3	3	V _{IA}	ロジック入力 A。
4	4	V _{IB}	ロジック入力 B。
5	5	V _{OC}	ロジック出力 C。
6	6	V _{OD}	ロジック出力 D。
7	該当せず	DISABLE ₁	入力ディスエーブル 1。このピンは、アイソレータ入力をディスエーブルにします。出力は、オーダー・ガイドに示すフェイルセーフ・オプションで指定されたロジック状態になります。
該当せず	7	V _{E1}	出力イネーブル 1。アクティブ・ハイのロジック入力。V _{E1} がハイ・レベルまたは解放の場合、V _{OC} および V _{OD} 出力がイネーブルになります。V _{E1} がロー・レベルの場合、V _{OC} および V _{OD} 出力がディスエーブルになり、ハイ Z 状態になります。
9、15	9、15	GND ₂	アイソレータ・サイド 2 のグラウンド基準。
10	該当せず	DISABLE ₂	入力ディスエーブル 2。このピンは、アイソレータ入力をディスエーブルにします。出力は、オーダー・ガイドに示すフェイルセーフ・オプションで指定されたロジック状態になります。
該当せず	10	V _{E2}	出力イネーブル 2。アクティブ・ハイのロジック入力。V _{E2} がハイ・レベルまたは解放の場合、V _{OA} および V _{OB} 出力がイネーブルになります。V _{E2} がロー・レベルの場合、V _{OA} および V _{OB} 出力がディスエーブルになり、ハイ Z 状態になります。
11	11	V _{ID}	ロジック入力 D。
12	12	V _{IC}	ロジック入力 C。
13	13	V _{OB}	ロジック出力 B。
14	14	V _{OA}	ロジック出力 A。
16	16	V _{DD2}	アイソレータ・サイド 2 の電源電圧。

¹ 特定のレイアウト・ガイドラインについては、AN-1109 アプリケーション・ノートを参照してください。

代表的な性能特性

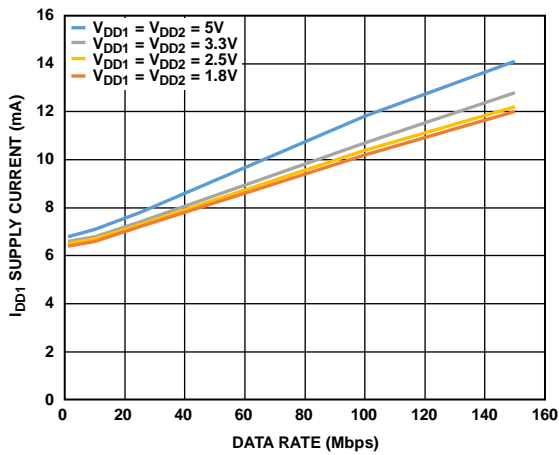


図 11. ADuM240D/ADuM240E、各種電圧での I_{DD1} 電源電流とデータ・レートの関係

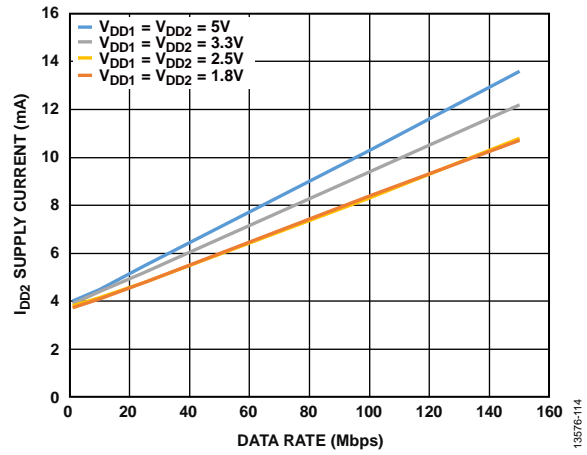


図 14. ADuM241D/ADuM241E、各種電圧での I_{DD2} 電源電流とデータ・レートの関係

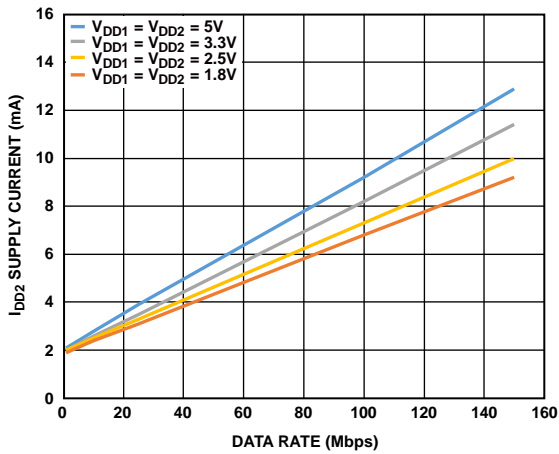


図 12. ADuM240D/ADuM240E、各種電圧での I_{DD2} 電源電流とデータ・レートの関係

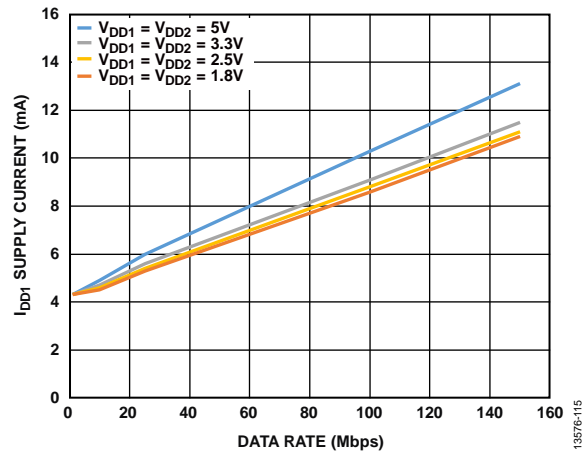


図 15. ADuM242D/ADuM242E、各種電圧での I_{DD1} 電源電流とデータ・レートの関係

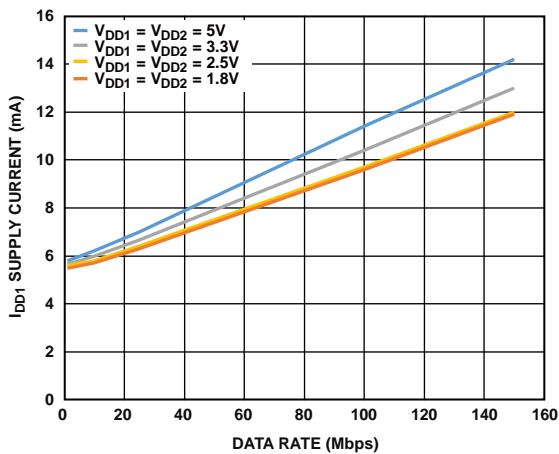


図 13. ADuM241D/ADuM241E、各種電圧での I_{DD1} 電源電流とデータ・レートの関係

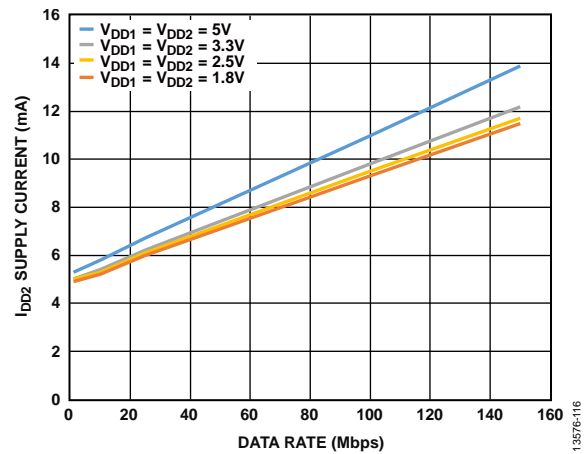


図 16. ADuM242D/ADuM242E、各種電圧での I_{DD2} 電源電流とデータ・レートの関係

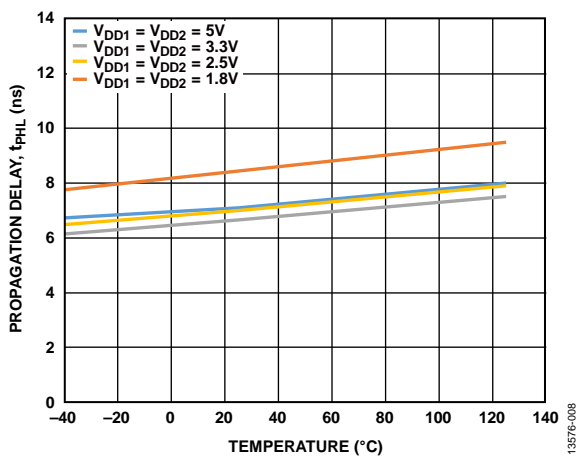


図 17.各種電圧での伝搬遅延 t_{PHL} と温度の関係

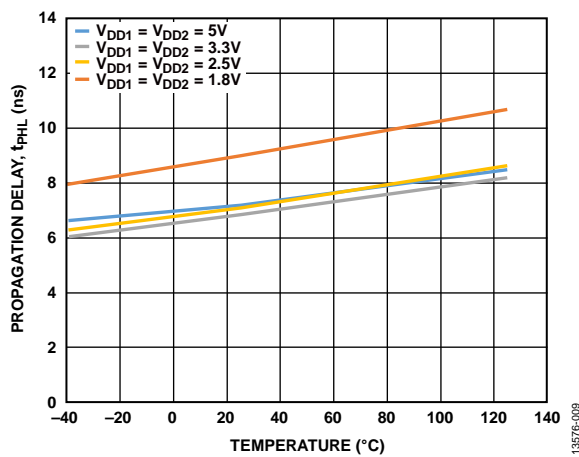


図 18.各種電圧での伝搬遅延 t_{PHL} と温度の関係

動作原理

ADuM240D/ADuM240E/ADuM241D/ADuM241E/ADuM242D/ADuM242E は、高周波搬送波を使用して、ポリイミド絶縁体の層で分離された *iCoupler* チップスケール・トランス・コイルを使用した絶縁バリアをまたいでデータを転送します。オン/オフ・キーイング (OOK) 技術と図 19 および図 20 に示す差動アーキテクチャにより、ADuM240D/ADuM240E/ADuM241D/ADuM241E/ADuM242D/ADuM242E では非常に小さい伝搬遅延と高速性が実現されています。内蔵レギュレータと入出力の設計技術により、1.7 V ~ 5.5 V の幅広いロジック電圧および電源電圧に対応し、1.8 V、2.5 V、3.3 V、および 5 V ロジックの電圧変換機能を備えています。アーキテクチャは、高いコモンモード過渡耐圧、および電氣的ノイズ/電磁干渉に対して高い耐性を発揮するように設計されています。EMI 放射は、分散スペクトルの OOK 搬送波および他の技術によって最小限に抑えられています。

図 19 に、フェイルセーフ出力状態をロー・レベルに事前設定した ADuM240D/ADuM240E/ADuM241D/ADuM241E/ADuM242D/

ADuM242E モデルの波形を示します。この場合、入力状態がロー・レベルのときに搬送波波形がオフになります。入力側がオフの場合または動作していない場合、ロー・レベルのフェイルセーフ出力状態 (ADuM240D0/ADuM240E0/ADuM241D0/ADuM241E0/ADuM242D0/ADuM242E0) により、出力がロー・レベルに設定されます。図 20 に、フェイルセーフ出力状態をハイ・レベルに事前設定した ADuM240D/ADuM240E/ADuM241D/ADuM241E/ADuM242D/ADuM242E モデルの波形を示します。この場合、入力状態がハイ・レベルのときに搬送波波形がオフになります。入力側がオフの場合または動作していない場合、ハイ・レベルのフェイルセーフ出力状態 (ADuM240D1/ADuM240E1/ADuM241D1/ADuM241E1/ADuM242D1/ADuM242E1) により、出力がハイ・レベルに設定されます。フェイルセーフ出力状態がロー・レベルのモデル、またはフェイルセーフ出力状態がハイ・レベルのモデルについては、Ordering Guide を参照してください。

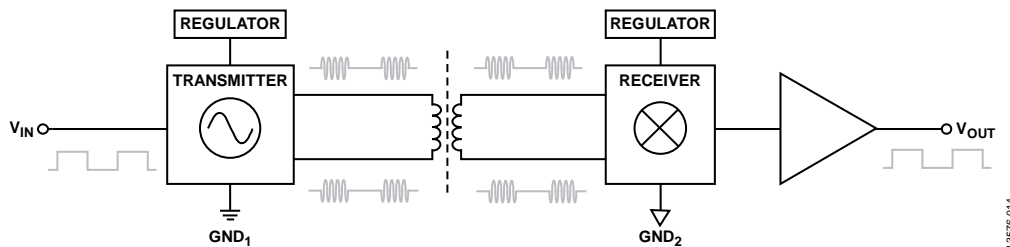


図 19. フェイルセーフ出力状態をロー・レベルに事前設定した単一チャンネルの動作ブロック図

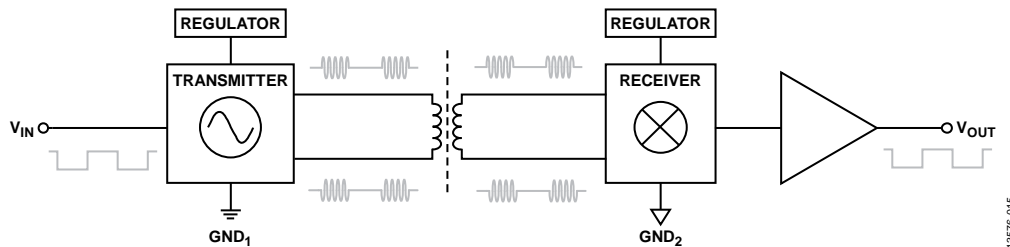


図 20. フェイルセーフ出力状態をハイ・レベルに事前設定した単一チャンネルの動作ブロック図

アプリケーション情報

PCB レイアウト

ADuM240D/ADuM240E/ADuM241D/ADuM241E/ADuM242D/ADuM242E デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンに電源バイパス・コンデンサを接続することを強く推奨します（図 21 を参照）。バイパス・コンデンサは、 V_{DD1} についてはピン 1 と 2 の間、 V_{DD2} についてはピン 15 と 16 の間に接続するのが最も簡単です。推奨されるバイパス・コンデンサ値は $0.01 \mu\text{F} \sim 0.1 \mu\text{F}$ です。コンデンサの両端と入力電源ピンとの合計リード長は 10 mm 以下にする必要があります。パッケージの左右それぞれの側でグラウンド・ペアがパッケージのすぐ近くで接続されていない限り、ピン 1 とピン 8 の間およびピン 9 とピン 16 の間でバイパスすることも考慮してください。

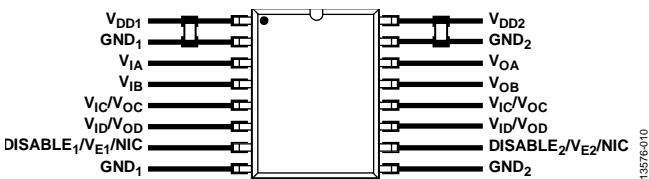


図 21. 推奨プリント回路基板レイアウト

高いコモンモード過渡電圧が発生するアプリケーションでは、絶縁バリアをまたぐボード結合が最小限になるようにしてください。さらに、すべての結合がデバイス側のすべてのピンで等しく生じるように基板レイアウトを設計する必要があります。この注意を怠ると、ピン間で生じる電位差がデバイスの Absolute Maximum Ratings を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

基板のレイアウト・ガイドラインについては、AN-1109 Application Note を参照してください。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通過するのに要する時間を表すパラメータです。ロジック 0 出力への伝搬遅延は、ロジック 1 出力への伝搬遅延とは異なる場合があります。

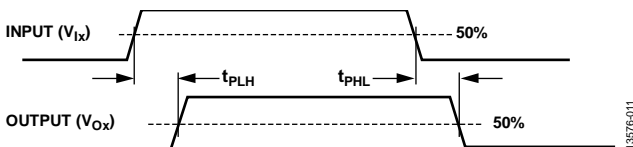


図 22. 伝搬遅延パラメータ

パルス幅歪みは、これら 2 値間の最大差を指し、入力信号のタイミングが出力信号で再現される精度を表します。

チャンネル間マッチングは、1 つの ADuM240D/ADuM240E/ADuM241D/ADuM241E/ADuM242D/ADuM242E コンポーネント内にある複数のチャンネル間の伝播遅延差の最大値です。

伝播遅延スキューは、同じ条件下で動作する複数の ADuM240D/ADuM240E/ADuM241D/ADuM241E/ADuM242D/ADuM242E コンポーネント間での伝播遅延差の最大値です。

ジッタの計測

図 23 には、ADuM240D/ADuM240E/ADuM241D/ADuM241E/ADuM242D/ADuM242E のアイ・ダイアグラムを示しています。5 V 電源で Agilent 81110A パルス・パターン発生器を 150 Mbps で使用し、擬似ランダム・ビット・シーケンス (PRBS)、 $2(n-1)$ 、 $n=14$ で計測しました。ジッタは、Tektronix モデル 5104B オシロスコープを 1 GHz、10 GSPS で使用して計測し、DPOJET ジッタおよびアイ・ダイアグラム解析ツールを使用しました。結果には、ADuM240D/ADuM240E/ADuM241D/ADuM241E/ADuM242D/ADuM242E の代表的な計測値 490 ps p-p ジッタを示しました。

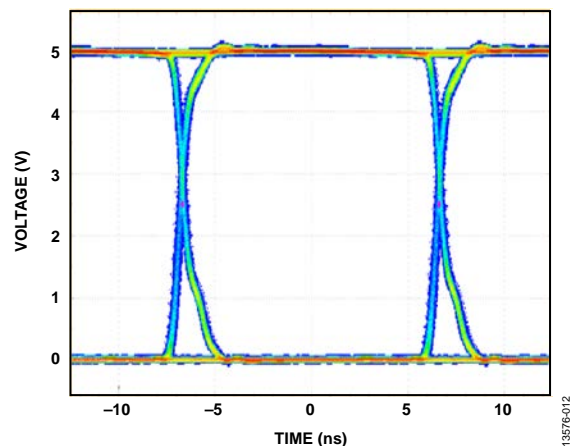


図 23. ADuM240D/ADuM240E/ADuM241D/ADuM241E/ADuM242D/ADuM242E アイ・ダイアグラム

絶縁寿命

すべての絶縁構造は長時間にわたり電圧ストレスを受けると、最終的に劣化します。絶縁性能の低下率は、絶縁と材料に加える電圧波形の特性、および材料の境界に依存します。

絶縁劣化には、空気にさらされる表面に沿った破壊と絶縁疲労の注目すべき 2 つのタイプがあります。表面破壊は表面トラッキング現象で、システム・レベルの規格に定められた沿面距離条件で主に決定されます。絶縁疲労は、チャージ・インジェクションまたは絶縁材料内部の変位電流により、長時間にわたり絶縁低下が生じる現象です。

表面トラッキング

表面トラッキングは、電気安全規格で規定されていて、動作電圧、環境条件、絶縁材料の特性に基づいて最小沿面距離が定められています。安全性規制当局は、部品の表面絶縁について特性評価テストを行い、部品をさまざまな材料グループに分類します。材料グループの等級が低いものほど表面トラッキングに対する耐性が高いため、小さい沿面距離で十分な寿命を発揮できます。特定の動作電圧と材料グループの最小沿面距離は、各システム・レベルの規格に定められていて、絶縁両端の合計 rms 電圧、汚染度、材料グループに基づいています。ADuM240D/ADuM240E/ADuM241D/ADuM241E/ADuM242D/ADuM242E アイソレータの材料グループと沿面距離を表 9 に示します。

絶縁疲労

疲労による絶縁寿命は、厚さ、材料特性、加わる電圧ストレスによって決まります。アプリケーション動作電圧での製品寿命が十分であることを確認することが重要です。アイソレータがサポートしている耐疲労動作電圧は、耐トラッキング動作電圧と異なる場合があります。トラッキングに該当する動作電圧は、ほとんどの規格で仕様規定されています。

テストとモデリングにより、長期間の性能低下の主な要因は、増分型損傷を引き起こすポリイミド絶縁体内の変位電流であることが判明しています。絶縁体のストレスは、DC ストレスと、AC 成分の時間とともに変化する電圧ストレスに大別できます。前者は変位電流が存在しないためわずかな疲労しか発生させず、後者は疲労を発生させます。

通常、認定ドキュメントに記載されている定格は、60 Hz の正弦波ストレスに基づいています。このストレスがライン電圧からの絶縁を反映しているためです。ただし、多くの実用的なアプリケーションでは、60 Hz の AC とバリアをまたぐ DC が組み合わされています (式1を参照)。ストレスの AC 部分のみが疲労を発生させるため、AC rms 電圧を求めるように式を変形することができます (式2を参照)。これらの製品で使用されているポリイミド材料での絶縁疲労に関しては、AC rms 電圧で製品寿命が決まります。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

ここで、

V_{RMS} は、合計 rms 動作電圧

$V_{AC\ RMS}$ は、動作電圧の時間とともに変化する部分。

V_{DC} は、動作電圧の DC オフセット。

計算とパラメータ使用の例

電力変換アプリケーションで一般的な例を以下に示します。絶縁バリアの一方に 240 V ac rms のライン電圧、もう一方に 400 V dc バス電圧が存在するとします。アイソレータの材料はポリイミドです。図 24 と以降の式を参照して、デバイスの沿面距離、間隔、および寿命を判断する際の臨界電圧を求めます。

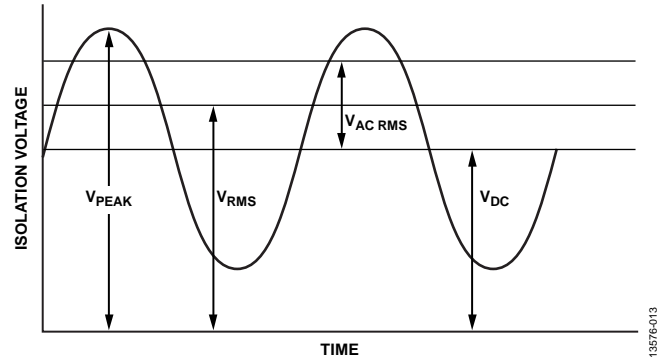


図 24. 臨界電圧の例

式1のバリアをまたぐ動作電圧は、

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466\text{ V}$$

この V_{RMS} は、システムの規格で要求される沿面距離を求める際に、材料グループと汚染度を組み合わせて使用する動作電圧です。

寿命が十分かどうか判断するには、動作電圧の時間とともに変化する部分を求めます。AC rms 電圧を求めるには、式2を使用します。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

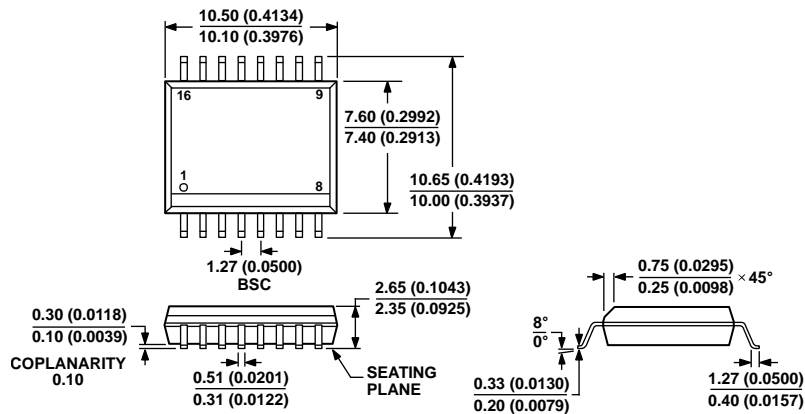
$$V_{AC\ RMS} = \sqrt{466^2 - 400^2}$$

$$V_{AC\ RMS} = 240\text{ V rms}$$

この場合、AC rms は 240 V rms のライン電圧です。この計算は、波形が正弦波でない場合はさらにはまりません。この値を表15の動作電圧の規定値と比較して期待寿命を確認すると、60 Hz 正弦波の値よりも低く、50年の運用寿命規定を十分に満たしていることがわかります。

表15のDC動作電圧規定値は、IEC 60664-1で規定されているパッケージの沿面距離により定められています。この値は、特定のシステム・レベル規格と異なることがあります。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

03-27-2007-B

図 25.16 ピン、標準スモール・アウトライン・パッケージ [SOIC_W]
 ワイド・ボディ (RW-16)
 寸法単位: mm (括弧内はインチ)

オーダー・ガイド

Model ¹	Temperature Range	No. of Inputs, V _{DD1} Side	No. of Inputs, V _{DD2} Side	Withstand Voltage Rating (kV rms)	Fail-Safe Output State	Input Disable	Output Enable	Package Description	Package Option
ADuM240D1BRWZ	-40°C to +125°C	4	0	5.0	High	Yes	No	16-Lead SOIC_W	RW-16
ADuM240D1BRWZ-RL	-40°C to +125°C	4	0	5.0	High	Yes	No	16-Lead SOIC_W	RW-16
ADuM240D0BRWZ	-40°C to +125°C	4	0	5.0	Low	Yes	No	16-Lead SOIC_W	RW-16
ADuM240D0BRWZ-RL	-40°C to +125°C	4	0	5.0	Low	Yes	No	16-Lead SOIC_W	RW-16
ADuM240E1BRWZ	-40°C to +125°C	4	0	5.0	High	No	Yes	16-Lead SOIC_W	RW-16
ADuM240E1BRWZ-RL	-40°C to +125°C	4	0	5.0	High	No	Yes	16-Lead SOIC_W	RW-16
ADuM240E0BRWZ	-40°C to +125°C	4	0	5.0	Low	No	Yes	16-Lead SOIC_W	RW-16
ADuM240E0BRWZ-RL	-40°C to +125°C	4	0	5.0	Low	No	Yes	16-Lead SOIC_W	RW-16
ADuM241D1BRWZ	-40°C to +125°C	3	1	5.0	High	Yes	No	16-Lead SOIC_W	RW-16
ADuM241D1BRWZ-RL	-40°C to +125°C	3	1	5.0	High	Yes	No	16-Lead SOIC_W	RW-16
ADuM241D0BRWZ	-40°C to +125°C	3	1	5.0	Low	Yes	No	16-Lead SOIC_W	RW-16
ADuM241D0BRWZ-RL	-40°C to +125°C	3	1	5.0	Low	Yes	No	16-Lead SOIC_W	RW-16
ADuM241E1BRWZ	-40°C to +125°C	3	1	5.0	High	No	Yes	16-Lead SOIC_W	RW-16
ADuM241E1BRWZ-RL	-40°C to +125°C	3	1	5.0	High	No	Yes	16-Lead SOIC_W	RW-16
ADuM241E0BRWZ	-40°C to +125°C	3	1	5.0	Low	No	Yes	16-Lead SOIC_W	RW-16
ADuM241E0BRWZ-RL	-40°C to +125°C	3	1	5.0	Low	No	Yes	16-Lead SOIC_W	RW-16

Model ¹	Temperature Range	No. of Inputs, V _{DD1} Side	No. of Inputs, V _{DD2} Side	Withstand Voltage Rating (kV rms)	Fail-Safe Output State	Input Disable	Output Enable	Package Description	Package Option
ADuM242D1BRWZ	-40°C to +125°C	2	2	5.0	High	Yes	No	16-Lead SOIC_W	RW-16
ADuM242D1BRWZ-RL	-40°C to +125°C	2	2	5.0	High	Yes	No	16-Lead SOIC_W	RW-16
ADuM242D0BRWZ	-40°C to +125°C	2	2	5.0	Low	Yes	No	16-Lead SOIC_W	RW-16
ADuM242D0BRWZ-RL	-40°C to +125°C	2	2	5.0	Low	Yes	No	16-Lead SOIC_W	RW-16
ADuM242E1BRWZ	-40°C to +125°C	2	2	5.0	High	No	Yes	16-Lead SOIC_W	RW-16
ADuM242E1BRWZ-RL	-40°C to +125°C	2	2	5.0	High	No	Yes	16-Lead SOIC_W	RW-16
ADuM242E0BRWZ	-40°C to +125°C	2	2	5.0	Low	No	Yes	16-Lead SOIC_W	RW-16
ADuM242E0BRWZ-RL	-40°C to +125°C	2	2	5.0	Low	No	Yes	16-Lead SOIC_W	RW-16

¹ Z = RoHS 準拠製品。