

ADuM1310/ADuM1311

特長

低消費電力動作

5 V 動作

- 0 Mbps~2 Mbps でチャンネルあたり最大 1.7 mA
- 2 Mbps~10 Mbps でチャンネルあたり最大 4.0 mA

3 V 動作

- 0 Mbps~2 Mbps でチャンネルあたり最大 1.0 mA
- 2 Mbps~10 Mbps でチャンネルあたり最大 2.1 mA

双方向通信

3 V/5 V のレベル変換

シュミット・トリガ入力

高温動作: 105°C

最大データ・レート: 10 Mbps (NRZ)

デフォルト出力状態が設定可能

高い同相モード・トランジェント耐性: 25 kV/μs 以上

RoHS 準拠の 16 ピン SOIC ワイド・ボディ・パッケージを採用

外部 クリーページ(浴面距離): 8.1 mm

安全性規制の認定

UL 認定: 2,500 V rms 1 分間の UL 1577 規格

「CSA Component Acceptance Notice #5A」に準拠

VDE 適合性認定済み

DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12

V_{IORM} = 560 V peak 動作電圧

アプリケーション

汎用のマルチチャンネル・アイソレーション

SPI インターフェイス/データ・コンバータのアイソレーション

RS-232/RS-422/RS-485 トランシーバ

工業用フィールド・バス・アイソレーション

機能ブロック図

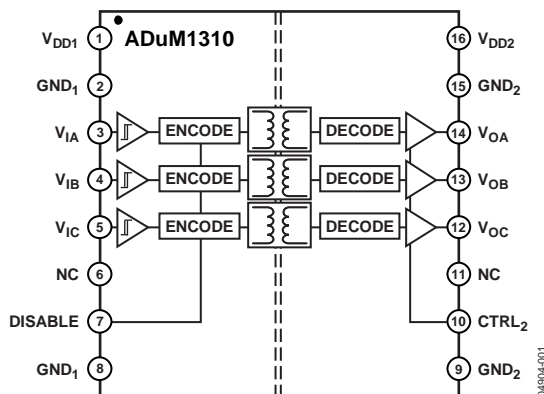


図 1. ADuM1310

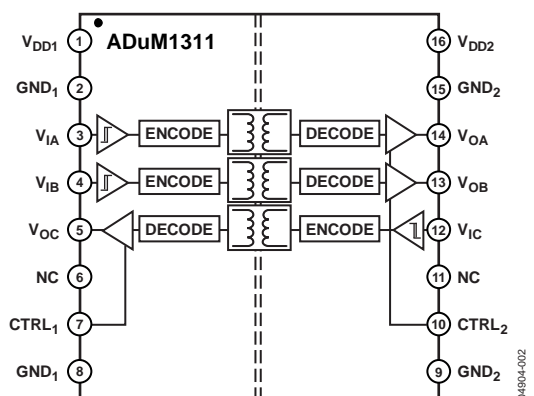


図 2. ADuM1311

概要

ADuM131x¹ は、アナログ・デバイセズの *iCoupler*[®] 技術を採用した 3 チャンネルのデジタル・アイソレータです。これらのアイソレーション・デバイスは、高速 CMOS 技術と中空コアを使ったモノリシック・トランス技術の組み合わせにより、フォトカプラー・デバイスなどの置換品より優れた性能特性を提供します。

iCoupler デバイスでは、一般にフォトカプラーに起因して生ずるデザインの難しさを LED とフォトダイオードを使用しないことにより解消します。一般的なフォトカプラーは、不確かな電流変換比、最大動作温度、寿命の影響の問題を持っていますが、これらはシンプルな *iCoupler* デジタル・インターフェイスと安定な性能特性により解消されます。これらの *iCoupler* 製品により、外付けのドライバとその他のディスクリット部品は不要になります。さらに、*iCoupler* デバイスは同等の信号データレートで動作した場合、フォトカプラーの消費電力の 1/10~1/6 で動作します。また、

iCoupler は高いチャンネル密度とチャンネル方向オプションも提供します。

ADuM131x アイソレータは、3 チャンネルの独立なアイソレーション・チャンネルを様々なチャンネル構成と最大 10 Mbps のデータレートで提供します(オーダー・ガイド参照)。これらの全モデルは、いずれの側も 2.7 V~5.5 V 範囲の電源電圧で動作するため、低い電圧のシステムと互換性を持ち、さらに絶縁障壁に跨る電圧変換機能も可能にします。すべての製品で、入力 V_{DD1} 電源がないときのデフォルト出力状態をユーザがシンプルな制御ピンを使って予め設定しておくことができます。ADuM131x アイソレータは、他のフォトカプラーとは異なり、入力ロジックに変化がない場合およびパワーアップ/パワーダウン時に DC を正確に維持する特許取得済みのリフレッシュ機能を持っています。

¹ 米国特許 5,952,849、6,873,065、7,075,329 により保護されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2004-2007 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	絶対最大定格.....	12
アプリケーション.....	1	ESDの注意.....	12
機能ブロック図.....	1	ピン配置およびピン機能説明.....	13
概要.....	1	代表的な性能特性.....	16
改訂履歴.....	2	アプリケーション情報.....	18
仕様.....	3	PCボードのレイアウト.....	18
電気的特性—5 V動作.....	3	伝搬遅延に関するパラメータ.....	18
電気的特性—3 V動作.....	5	DC精度と磁界耐性.....	18
電気的仕様—5 V/3 V ミックスまたは3 V/5 V動作.....	7	消費電力.....	19
パッケージ特性.....	10	絶縁寿命.....	19
適用規格.....	10	外形寸法.....	21
絶縁および安全性関連の仕様.....	10	オーダー・ガイド.....	21
DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12 絶縁特性.....	11		
推奨動作条件.....	11		

改訂履歴

6/07—Rev. F to Rev. G		Changes to Table 10.....	10
Updated VDE Certification Throughout.....	1	Changes to Application Information.....	12
Changes to Features and Applications.....	1	Updated Outline Dimensions.....	18
Changes to DC Specifications in Table 1.....	3	Changes to Ordering Guide.....	18
Changes to DC Specifications in Table 2.....	5		
Changes to DC Specifications in Table 3.....	7	3/06—Rev. C to Rev. D	
Changes to Regulatory Information Section.....	10	Added Note 1 and Changes to Figure 2.....	1
Added Table 10.....	12	Changes to Absolute Maximum Ratings.....	11
Added Insulation Lifetime Section.....	19		
		11/05—Rev. SpB to Rev. C	
1/07—Rev. E to Rev. F		5/05—Rev. SpA to Rev. SpB	
Added ADuM1311.....	Universal	Changes to Table 6.....	9
Changes to Typical Performance Characteristics.....	16		
Changes to Ordering Guide.....	20	10/04—Data Sheet Changed from Rev. Sp0 to Rev. SpA	
		Changes to Table 5.....	9
10/06—Rev. D to Rev. E		6/04—Revision Sp0: Initial Version	
Removed ADuM1410.....	Universal		
Updated Format.....	Universal		
Change to Figure 3.....	10		

仕様

電気的特性—5 V動作

4.5 V ≤ V_{DD1} ≤ 5.5 V, 4.5 V ≤ V_{DD2} ≤ 5.5 V; 特に指定がない限り、すべての最小/最大仕様は全推奨動作範囲に適用されます; すべての typ 仕様は T_A = 25°C、V_{DD1} = V_{DD2} = 5 V で規定します。各電圧はそれぞれのグラウンドを基準とします。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
ADuM1310, Total Supply Current, Three Channels ¹						
DC to 2 Mbps						
V _{DD1} Supply Current	I _{DD1} (Q)		2.4	3.2	mA	DC to 1 MHz logic signal frequency
V _{DD2} Supply Current	I _{DD2} (Q)		1.2	1.6	mA	DC to 1 MHz logic signal frequency
10 Mbps (BRWZ Grade Only)						
V _{DD1} Supply Current	I _{DD1} (10)		6.6	9.0	mA	5 MHz logic signal frequency
V _{DD2} Supply Current	I _{DD2} (10)		2.1	3.0	mA	5 MHz logic signal frequency
ADuM1311, Total Supply Current, Three Channels ¹						
DC to 2 Mbps						
V _{DD1} Supply Current	I _{DD1} (Q)		2.2	2.8	mA	DC to 1 MHz logic signal frequency
V _{DD2} Supply Current	I _{DD2} (Q)		1.8	2.4	mA	DC to 1 MHz logic signal frequency
10 Mbps (BRWZ Grade Only)						
V _{DD1} Supply Current	I _{DD1} (10)		4.5	5.7	mA	5 MHz logic signal frequency
V _{DD2} Supply Current	I _{DD2} (10)		3.5	4.3	mA	5 MHz logic signal frequency
For All Models						
Input Currents	I _{IA} , I _{IB} , I _{IC} , I _{CTRL1} , I _{CTRL2} , I _{DISABLE}	-10	+0.01	+10	μA	0 V ≤ V _{IA} , V _{IB} , V _{IC} ≤ V _{DD1} or V _{DD2} , 0 V ≤ V _{CTRL1} , V _{CTRL2} ≤ V _{DD1} or V _{DD2} , 0 V ≤ V _{DISABLE} ≤ V _{DD1}
Logic High Input Threshold	V _{IH}	2.0			V	
Logic Low Input Threshold	V _{IL}			0.8	V	
Logic High Output Voltages	V _{OAH} , V _{OBH} , V _{OCH}	(V _{DD1} or V _{DD2}) - 0.1 (V _{DD1} or V _{DD2}) - 0.4	5.0 4.8		V	I _{Ox} = -20 μA, V _{Ix} = V _{IxH} I _{Ox} = -4 mA, V _{Ix} = V _{IxH}
Logic Low Output Voltages	V _{OAL} , V _{OBL} , V _{OCL}		0.0 0.2	0.1 0.4	V	I _{Ox} = 20 μA, V _{Ix} = V _{IxL} I _{Ox} = 4 mA, V _{Ix} = V _{IxL}
SWITCHING SPECIFICATIONS						
ADuM131xARWZ						
Minimum Pulse Width ²	PW			1000	ns	C _L = 15 pF, CMOS signal levels
Maximum Data Rate ³		1			Mbps	C _L = 15 pF, CMOS signal levels
Propagation Delay ⁴	t _{PHL} , t _{PLH}	20		100	ns	C _L = 15 pF, CMOS signal levels
Pulse Width Distortion, t _{PLH} - t _{PHL} ⁴	PWD			40	ns	C _L = 15 pF, CMOS signal levels
Propagation Delay Skew ⁵	t _{PSK}			50	ns	C _L = 15 pF, CMOS signal levels
Channel-to-Channel Matching ⁶	t _{PSKCD/OD}			50	ns	C _L = 15 pF, CMOS signal levels
ADuM131xBRWZ						
Minimum Pulse Width ²	PW			100	ns	C _L = 15 pF, CMOS signal levels
Maximum Data Rate ³		10			Mbps	C _L = 15 pF, CMOS signal levels
Propagation Delay ⁴	t _{PHL} , t _{PLH}	20	30	50	ns	C _L = 15 pF, CMOS signal levels
Pulse Width Distortion, t _{PLH} - t _{PHL} ⁴	PWD			5	ns	C _L = 15 pF, CMOS signal levels
Change vs. Temperature			5		ps/°C	C _L = 15 pF, CMOS signal levels
Propagation Delay Skew ⁵	t _{PSK}			30	ns	C _L = 15 pF, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels ⁶	t _{PSKCD}			5	ns	C _L = 15 pF, CMOS signal levels
Channel-to-Channel Matching, Opposing-Directional Channels ⁶	t _{PSKOD}			6	ns	C _L = 15 pF, CMOS signal levels
For All Models						
Output Rise/Fall Time (10% to 90%)	t _R /t _F		2.5		ns	C _L = 15 pF, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output ⁷	CM _H	25	35		kV/μs	V _{Ix} = V _{DD1} or V _{DD2} , V _{CM} = 1000 V, transient magnitude = 800 V
Common-Mode Transient Immunity at	CM _L	25	35		kV/μs	V _{Ix} = 0 V, V _{CM} = 1000 V,

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Logic Low Output ⁷						transient magnitude = 800 V
Refresh Rate	f_r		1.2		Mbps	
Input Enable Time ⁸	t_{ENABLE}			2.0	μ s	$V_{IA}, V_{IB}, V_{IC} = 0$ V or V_{DD1}
Input Disable Time ⁸	$t_{DISABLE}$			5.0	μ s	$V_{IA}, V_{IB}, V_{IC} = 0$ V or V_{DD1}
Input Supply Current per Channel, Quiescent ⁹	$I_{DDI(Q)}$		0.50	0.73	mA	
Output Supply Current per Channel, Quiescent ⁹	$I_{DDO(Q)}$		0.38	0.53	mA	
Input Dynamic Supply Current per Channel ¹⁰	$I_{DDI(D)}$		0.12		mA/ Mbps	
Output Dynamic Supply Current per Channel ¹⁰	$I_{DDO(D)}$		0.04		mA/ Mbps	

¹ 電源電流値は、同一データレートで動作する 4 チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合。与えられたデータレートで動作する個々のチャンネル動作に対応する電源電流は、消費電力のセクションの説明に従って計算することができます。無負荷状態または有負荷状態に対するデータレートの関数としてのチャンネル当たりの電源電流については、図 6~図 8 を参照してください。ADuM1310/ADuM1311 チャンネル構成に対するデータレートの関数としての V_{DD1} と V_{DD2} の合計電源電流については、図 9~図 12 を参照してください。

² 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

³ 最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。

⁴ 伝搬遅延 t_{PHL} は、 V_{IK} 信号の立下がりエッジの 50% レベルから V_{OK} 信号の立下がりエッジの 50% レベルまでを測定した値です。伝搬遅延 t_{PLH} は、 V_{IK} 信号の立上がりエッジの 50% レベルから V_{OK} 信号の立上がりエッジの 50% レベルまでを測定した値です。

⁵ t_{PSK} は、 t_{PHL} または t_{PLH} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

⁶ 同方向チャンネル間マッチングは、アイソレーション障壁の同じ側に入力を持つ 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。反対方向チャンネル間マッチングは、アイソレーション障壁の反対側に入力を持つ 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。

⁷ CM_H は、 $V_O > 0.8 V_{DD2}$ を維持している間に維持できる同相モード電圧の最大スループートです。 CM_L は $V_O < 0.8$ V を維持している間に維持できる同相モード電圧の最大スループートです。同相モード電圧スループートは、同相モード電圧の立上がり と立下がりの両エッジに適用されます。過渡電圧振幅は、同相モードの平衡が失われる範囲を表します。

⁸ 入力イネーブル時間は、 $V_{DISABLE}$ をロー・レベルにしてから、入力データ・ロジック変化がないときの入力状態に出力状態が一致することが保証されるまでの時間です。この時間内に与えられたチャンネル内で入力データ・ロジック変化が発生する場合は、そのチャンネルの出力はこのデータシートで規定される伝搬遅延よりかなり短い時間で正しい状態になります。入力ディスエーブル時間は、 $V_{DISABLE}$ をハイ・レベルにしてから、出力状態が設定された出力レベル ($CTRL_2$ のロジック状態で指定、表 13 参照) に一致することが保証されるまでの時間です。

⁹ $I_{DDx(Q)}$ は、対応する電源から 1 つのチャンネルへ流れる静止電流です。総合静止電流を計算するときは、チャンネル A と同じ向きの、ユーザから使用できない追加チャンネルも総合消費電流に含める必要があります。

¹⁰ ダイナミック電源電流は、信号データレートを 1 Mbps 増やすのに必要な電源電流の増分を表します。無負荷状態または有負荷状態に対するチャンネル当たりの電源電流については、図 6~図 8 を参照してください。与えられたデータレートに対するチャンネル当たりの電源電流の計算については、消費電力のセクションを参照してください。

電气的特性—3 V動作

2.7 V ≤ V_{DD1} ≤ 3.6 V, 2.7 V ≤ V_{DD2} ≤ 3.6 V; 特に指定がない限り、すべての最小/最大仕様は全推奨動作範囲に適用されます; すべての typ 仕様は T_A = 25°C、V_{DD1} = V_{DD2} = 3.0 V で規定します。各電圧はそれぞれのグラウンドを基準とします。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
ADuM1310, Total Supply Current, Three Channels ¹						
DC to 2 Mbps						
V _{DD1} Supply Current	I _{DD1 (Q)}		1.2	1.6	mA	DC to 1 MHz logic signal frequency
V _{DD2} Supply Current	I _{DD2 (Q)}		0.8	1.0	mA	DC to 1 MHz logic signal frequency
10 Mbps (BRWZ Grade Only)						
V _{DD1} Supply Current	I _{DD1 (10)}		3.4	4.9	mA	5 MHz logic signal frequency
V _{DD2} Supply Current	I _{DD2 (10)}		1.1	1.3	mA	5 MHz logic signal frequency
ADuM1311, Total Supply Current, Three Channels ¹						
DC to 2 Mbps						
V _{DD1} Supply Current	I _{DD1 (Q)}		1.0	1.6	mA	DC to 1 MHz logic signal frequency
V _{DD2} Supply Current	I _{DD2 (Q)}		0.9	1.4	mA	DC to 1 MHz logic signal frequency
10 Mbps (BRWZ Grade Only)						
V _{DD1} Supply Current	I _{DD1 (10)}		2.5	3.5	mA	5 MHz logic signal frequency
V _{DD2} Supply Current	I _{DD2 (10)}		1.9	2.6	mA	5 MHz logic signal frequency
For All Models						
Input Currents	I _{IA} , I _{IB} , I _{IC} , I _{CTRL1} , I _{CTRL2} , I _{DISABLE}	-10	+0.01	+10	μA	0 V ≤ V _{IA} , V _{IB} , V _{IC} ≤ V _{DD1} or V _{DD2} , 0 V ≤ V _{CTRL1} , V _{CTRL2} ≤ V _{DD1} or V _{DD2} , 0 V ≤ V _{DISABLE} ≤ V _{DD1}
Logic High Input Threshold	V _{IH}	1.6			V	
Logic Low Input Threshold	V _{IL}			0.4	V	
Logic High Output Voltages	V _{OAH} , V _{OBH} , V _{OCH}	(V _{DD1} or V _{DD2}) - 0.1	3.0		V	I _{Ox} = -20 μA, V _{Ix} = V _{IxH}
		(V _{DD1} or V _{DD2}) - 0.4	2.8		V	I _{Ox} = -4 mA, V _{Ix} = V _{IxH}
Logic Low Output Voltages	V _{OAL} , V _{OBL} , V _{OCL}		0.0	0.1	V	I _{Ox} = 20 μA, V _{Ix} = V _{IxL}
			0.2	0.4	V	I _{Ox} = 4 mA, V _{Ix} = V _{IxL}
SWITCHING SPECIFICATIONS						
ADuM131xARWZ						
Minimum Pulse Width ²	PW			1000	ns	C _L = 15 pF, CMOS signal levels
Maximum Data Rate ³		1			Mbps	C _L = 15 pF, CMOS signal levels
Propagation Delay ⁴	t _{PHL} , t _{PLH}	20		100	ns	C _L = 15 pF, CMOS signal levels
Pulse Width Distortion, t _{PLH} - t _{PHL} ⁴	PWD			40	ns	C _L = 15 pF, CMOS signal levels
Propagation Delay Skew ⁵	t _{PSK}			50	ns	C _L = 15 pF, CMOS signal levels
Channel-to-Channel Matching ⁶	t _{PSKCD/OD}			50	ns	C _L = 15 pF, CMOS signal levels
ADuM131xBRWZ						
Minimum Pulse Width ²	PW			100	ns	C _L = 15 pF, CMOS signal levels
Maximum Data Rate ³		10			Mbps	C _L = 15 pF, CMOS signal levels
Propagation Delay ⁴	t _{PHL} , t _{PLH}	20	30	50	ns	C _L = 15 pF, CMOS signal levels
Pulse Width Distortion, t _{PLH} - t _{PHL} ⁴	PWD			5	ns	C _L = 15 pF, CMOS signal levels
Change vs. Temperature			5		ps/°C	C _L = 15 pF, CMOS signal levels
Propagation Delay Skew ⁵	t _{PSK}			30	ns	C _L = 15 pF, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels ⁶	t _{PSKCD}			5	ns	C _L = 15 pF, CMOS signal levels
Channel-to-Channel Matching, Opposing-Directional Channels ⁶	t _{PSKOD}			6	ns	C _L = 15 pF, CMOS signal levels
For All Models						
Output Rise/Fall Time (10% to 90%)	t _r /t _f		2.5		ns	C _L = 15 pF, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output ⁷	CM _H	25	35		kV/μs	V _{Ix} = V _{DD1} or V _{DD2} , V _{CM} = 1000 V, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output ⁷	CM _L	25	35		kV/μs	V _{Ix} = 0 V, V _{CM} = 1000 V, transient magnitude = 800 V
Refresh Rate	f _r		1.1		Mbps	
Input Enable Time ⁸	t _{ENABLE}		2.0		μs	V _{IA} , V _{IB} , V _{IC} = 0 V or V _{DD1}

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Input Disable Time ⁸	t_{DISABLE}		5.0		μs	$V_{\text{IA}}, V_{\text{IB}}, V_{\text{IC}} = 0 \text{ V or } V_{\text{DD1}}$
Input Supply Current per Channel, Quiescent ⁹	$I_{\text{DDI (Q)}}$		0.25	0.38	mA	
Output Supply Current per Channel, Quiescent ⁹	$I_{\text{DDO (Q)}}$		0.19	0.33	mA	
Input Dynamic Supply Current per Channel ¹⁰	$I_{\text{DDI (D)}}$		0.07		mA/Mbps	
Output Dynamic Supply Current per Channel ¹⁰	$I_{\text{DDO (D)}}$		0.02		mA/Mbps	

¹ 電源電流値は、同一データレートで動作する4チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合。与えられたデータレートで動作する個々のチャンネル動作に対応する電源電流は、消費電力のセクションの説明に従って計算することができます。無負荷状態または有負荷状態に対するデータレートの関数としてのチャンネル当たりの電源電流については、図6～図8を参照してください。ADuM1310/ADuM1311チャンネル構成に対するデータレートの関数としての V_{DD1} と V_{DD2} の合計電源電流については、図9～図12を参照してください。

² 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

³ 最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。

⁴ 伝搬遅延 t_{PHL} は、 V_{IK} 信号の立下がりエッジの50%レベルから V_{OX} 信号の立下がりエッジの50%レベルまでを測定した値です。伝搬遅延 t_{PLH} は、 V_{IK} 信号の立上がりエッジの50%レベルから V_{OX} 信号の立上がりエッジの50%レベルまでを測定した値です。

⁵ t_{PSK} は、 t_{PHL} または t_{PLH} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

⁶ 同方向チャンネル間マッチングは、アイソレーション障壁の同じ側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。反対方向チャンネル間マッチングは、アイソレーション障壁の反対側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。

⁷ CM_{H} は、 $V_{\text{O}} > 0.8 V_{\text{DD2}}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。 CM_{L} は $V_{\text{O}} < 0.8 \text{ V}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、同相モード電圧の立上がりりと立下がりの両エッジに適用されます。過渡電圧振幅は、同相モードの平衡が失われる範囲を表します。

⁸ 入力イネーブル時間は、 V_{DISABLE} をロー・レベルにしてから、入力データ・ロジック変化がないときの入力状態に出力状態が一致することが保証されるまでの時間です。この時間内に与えられたチャンネル内で入力データ・ロジック変化が発生する場合は、そのチャンネルの出力はこのデータシートで規定される伝搬遅延よりかなり短い時間で正しい状態になります。入力ディスエーブル時間は、 V_{DISABLE} をハイ・レベルにしてから、出力状態が設定された出力レベル(CTRL_2 のロジック状態)で指定、表13参照)に一致することが保証されるまでの時間です。

⁹ $I_{\text{DDx (Q)}}$ は、対応する電源から1つのチャンネルへ流れる静止電流です。総合静止電流を計算するときは、チャンネルAと同じ向きの、ユーザから使用できない追加チャンネルも総合消費電流に含める必要があります。

¹⁰ ダイナミック電源電流は、信号データレートを1Mbps増やすのに必要な電源電流の増分を表します。無負荷状態または有負荷状態に対するチャンネル当たりの電源電流については、図6～図8を参照してください。与えられたデータレートに対するチャンネル当たりの電源電流の計算については、消費電力のセクションを参照してください。

電氣的仕様—5 V/3 V ミックスまたは 3 V/5 V 動作

5 V/3 V 動作: $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$; 3 V/5 V 動作: $2.7\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$, $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$; 特に指定がない限り、すべての最小/最大仕様は推奨動作範囲に適用します。すべての typ 仕様は $T_A = 25^\circ\text{C}$; $V_{DD1} = 3.0\text{ V}$, $V_{DD2} = 5\text{ V}$; または $V_{DD1} = 5\text{ V}$, $V_{DD2} = 3.0\text{ V}$ で規定します。すべての電圧はそれぞれの対応するグラウンドを基準とします。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
ADuM1310, Total Supply Current, Three Channels ¹						
DC to 2 Mbps						
V_{DD1} Supply Current	$I_{DD1(Q)}$					
5 V/3 V Operation			2.4	3.2	mA	DC to 1 MHz logic signal frequency
3 V/5 V Operation			1.2	1.6	mA	DC to 1 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(Q)}$					
5 V/3 V Operation			0.8	1.0	mA	DC to 1 MHz logic signal frequency
3 V/5 V Operation			1.2	1.6	mA	DC to 1 MHz logic signal frequency
10 Mbps (BRWZ Grade Only)						
V_{DD1} Supply Current	$I_{DD1(10)}$					
5 V/3 V Operation			6.5	8.2	mA	5 MHz logic signal frequency
3 V/5 V Operation			3.4	4.9	mA	5 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(10)}$					
5 V/3 V Operation			1.1	1.3	mA	5 MHz logic signal frequency
3 V/5 V Operation			1.9	2.2	mA	5 MHz logic signal frequency
ADuM1311, Total Supply Current, Three Channels ¹						
DC to 2 Mbps						
V_{DD1} Supply Current	$I_{DD1(Q)}$					
5 V/3 V Operation			2.2	2.8	mA	DC to 1 MHz logic signal frequency
3 V/5 V Operation			1.0	1.6	mA	DC to 1 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(Q)}$					
5 V/3 V Operation			0.9	1.4	mA	DC to 1 MHz logic signal frequency
3 V/5 V Operation			1.8	2.4	mA	DC to 1 MHz logic signal frequency
10 Mbps (BRWZ Grade Only)						
V_{DD1} Supply Current	$I_{DD1(10)}$					
5 V/3 V Operation			4.5	5.7	mA	5 MHz logic signal frequency
3 V/5 V Operation			2.5	3.5	mA	5 MHz logic signal frequency
V_{DD2} Supply Current	$I_{DD2(10)}$					
5 V/3 V Operation			1.9	2.6	mA	5 MHz logic signal frequency
3 V/5 V Operation			3.5	4.3	mA	5 MHz logic signal frequency
For All Models						
Input Currents	$I_{IA}, I_{IB}, I_{IC}, I_{CTRL1}, I_{CTRL2}, I_{DISABLE}$	-10	+0.01	+10	μA	$0\text{ V} \leq V_{IA}, V_{IB}, V_{IC} \leq V_{DD1}$ or V_{DD2} , $0\text{ V} \leq V_{CTRL1}, V_{CTRL2} \leq V_{DD1}$ or V_{DD2} , $0\text{ V} \leq V_{DISABLE} \leq V_{DD1}$
Logic High Input Threshold	V_{IH}					
$V_{DDX} = 5\text{ V}$ Operation		2.0			V	
$V_{DDX} = 3\text{ V}$ Operation		1.6			V	
Logic Low Input Threshold	V_{IL}					
$V_{DDX} = 5\text{ V}$ Operation				0.8	V	
$V_{DDX} = 3\text{ V}$ Operation				0.4	V	
Logic High Output Voltages	$V_{OAH}, V_{OBH}, V_{OCH}$	$(V_{DD1}$ or $V_{DD2}) - 0.1$ $(V_{DD1}$ or $V_{DD2}) - 0.4$	$(V_{DD1}$ or $V_{DD2})$ $(V_{DD1}$ or $V_{DD2}) - 0.2$		V	$I_{Ox} = -20\ \mu\text{A}, V_{Ix} = V_{IxH}$ $I_{Ox} = -4\ \text{mA}, V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OAL}, V_{OBL}, V_{OCL}$		0.0 0.2	0.1 0.4	V	$I_{Ox} = 20\ \mu\text{A}, V_{Ix} = V_{IxL}$ $I_{Ox} = 4\ \text{mA}, V_{Ix} = V_{IxL}$
SWITCHING SPECIFICATIONS						
ADuM131xARWZ						
Minimum Pulse Width ²	PW			1000	ns	$C_L = 15\text{ pF}$, CMOS signal levels
Maximum Data Rate ³		1			Mbps	$C_L = 15\text{ pF}$, CMOS signal levels
Propagation Delay ⁴	t_{PHL}, t_{PLH}	25		100	ns	$C_L = 15\text{ pF}$, CMOS signal levels

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Pulse Width Distortion $ t_{PLH} - t_{PHL} ^4$	PWD			40	ns	$C_L = 15$ pF, CMOS signal levels
Propagation Delay Skew ⁵	t_{PSK}			50	ns	$C_L = 15$ pF, CMOS signal levels
Channel-to-Channel Matching ⁶	$t_{PSKCD/OD}$			50	ns	$C_L = 15$ pF, CMOS signal levels
ADuM131xBRWZ						
Minimum Pulse Width ²	PW			100	ns	$C_L = 15$ pF, CMOS signal levels
Maximum Data Rate ³		10			Mbps	$C_L = 15$ pF, CMOS signal levels
Propagation Delay ⁴	t_{PHL}, t_{PLH}	20		60	ns	$C_L = 15$ pF, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} ^4$	PWD			5	ns	$C_L = 15$ pF, CMOS signal levels
Change vs. Temperature			5		ps/°C	$C_L = 15$ pF, CMOS signal levels
Propagation Delay Skew ⁵	t_{PSK}			30	ns	$C_L = 15$ pF, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels ⁶	t_{PSKCD}			5	ns	$C_L = 15$ pF, CMOS signal levels
Channel-to-Channel Matching, Opposing-Directional Channels ⁶	t_{PSKOD}			6	ns	$C_L = 15$ pF, CMOS signal levels
For All Models						
Output Rise/Fall Time (10% to 90%)	t_R/t_F					$C_L = 15$ pF, CMOS signal levels
5 V/3 V Operation			2.5		ns	
3 V/5 V Operation			2.5		ns	
Common-Mode Transient Immunity at Logic High Output ⁷	$ CM_H $	25	35		kV/ μ s	$V_{IX} = V_{DD1}$ or V_{DD2} , $V_{CM} = 1000$ V, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output ⁷	$ CM_L $	25	35		kV/ μ s	$V_{IX} = 0$ V, $V_{CM} = 1000$ V, transient magnitude = 800 V
Refresh Rate	f_r					
5 V/3 V Operation			1.2		Mbps	
3 V/5 V Operation			1.1		Mbps	
Input Enable Time ⁸	t_{ENABLE}			2.0	μ s	$V_{IA}, V_{IB}, V_{IC}, V_{ID} = 0$ V or V_{DD1}
Input Disable Time ⁸	$t_{DISABLE}$			5.0	μ s	$V_{IA}, V_{IB}, V_{IC}, V_{ID} = 0$ V or V_{DD1}
Input Supply Current per Channel, Quiescent ⁹						
$V_{DDX} = 5$ V Operation	$I_{DDI(Q)}$		0.50	0.73	mA	
$V_{DDX} = 3$ V Operation	$I_{DDI(Q)}$		0.25	0.38	mA	
Output Supply Current per Channel, Quiescent ⁹						
$V_{DDX} = 5$ V Operation	$I_{DDO(Q)}$		0.38	0.53	mA	
$V_{DDX} = 3$ V Operation	$I_{DDO(Q)}$		0.19	0.33	mA	
Input Dynamic Supply Current per Channel ¹⁰	$I_{DDI(D)}$					
$V_{DDX} = 5$ V Operation			0.12		mA/ Mbps	
$V_{DDX} = 3$ V Operation			0.07		mA/ Mbps	
Output Dynamic Supply Current per Channel ¹⁰	$I_{DDO(D)}$					
$V_{DDX} = 5$ V Operation			0.04		mA/ Mbps	
$V_{DDX} = 3$ V Operation			0.02		mA/ Mbps	

¹ 電源電流値は、同一データレートで動作する4チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合。与えられたデータレートで動作する個々のチャンネル動作に対応する電源電流は、消費電力のセクションの説明に従って計算することができます。無負荷状態または有負荷状態に対するデータレートの関数としてのチャンネル当たりの電源電流については、図6～図8を参照してください。ADuM1310/ADuM1311チャンネル構成に対するデータレートの関数としての V_{DD1} と V_{DD2} の合計電源電流については、図9～図12を参照してください。

² 最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

³ 最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。

⁴ 伝搬遅延 t_{PHL} は、 V_{IX} 信号の立下がりエッジの50%レベルから V_{OX} 信号の立下がりエッジの50%レベルまでを測定した値です。伝搬遅延 t_{PLH} は、 V_{IX} 信号の立上がりエッジの50%レベルから V_{OX} 信号の立上がりエッジの50%レベルまでを測定した値です。

⁵ t_{PSK} は、 t_{PHL} または t_{PLH} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

⁶ 同方向チャンネル間マッチングは、アイソレーション障壁の同じ側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。反対方向チャンネル間マッチングは、アイソレーション障壁の反対側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。

⁷ CM_H は、 $V_O > 0.8 V_{DD2}$ を維持している間に維持できる同相モード電圧の最大スルーレートです。 CM_L は、 $V_O < 0.8$ Vを維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、同相モード電圧の立上がりおよび立下がりの両エッジに適用されます。過渡電圧振幅は、同相モードの平衡が失われる範囲を表します。

⁸ 入力イネーブル時間は、 V_{DISABLE} をロー・レベルにしてから、入力データ・ロジック変化がないときの入力状態に出力状態が一致することが保証されるまでの時間です。この時間内に与えられたチャンネル内で入力データ・ロジック変化が発生する場合は、そのチャンネルの出力はこのデータシートで規定される伝搬遅延よりかなり短い時間で正しい状態になります。入力ディスエーブル時間は、 V_{DISABLE} をハイ・レベルにしてから、出力状態が設定された出力レベル(CTRL_2 のロジック状態で指定、表 13 参照)に一致することが保証されるまでの時間です。

⁹ $I_{\text{DDx(Q)}}$ は、対応する電源から 1 つのチャンネルへ流れる静止電流です。総合静止電流を計算するときは、チャンネル A と同じ向きの、ユーザから使用できない追加チャンネルも総合消費電流に含める必要があります。

¹⁰ ダイナミック電源電流は、信号データレートを 1 Mbps 増やすのに必要な電源電流の増分を表します。無負荷状態または有負荷状態に対するチャンネル当たりの電源電流については、図 6～図 8 を参照してください。与えられたデータレートに対するチャンネル当たりの電源電流の計算については、消費電力のセクションを参照してください。

パッケージ特性

表 4.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Resistance (Input-to-Output) ¹	R _{I-O}		10 ¹²		Ω	f = 1 MHz
Capacitance (Input-to-Output) ¹	C _{I-O}		2.2		pF	
Input Capacitance ²	C _I		4.0		pF	
IC Junction-to-Case Thermal Resistance						Thermocouple located at center of package underside
Side 1	θ _{JCI}		33		°C/W	
Side 2	θ _{JCO}		28		°C/W	

¹ デバイスは 2 端子デバイスと見なします。すなわち、ピン 1～ピン 8 を相互に接続し、ピン 9～ピン 16 を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンド間。

適用規格

ADuM131xは、表 5に記載する組織の認定を取得しています。特定のクロスアイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 10と絶縁寿命のセクションを参照してください。

表 5.

UL	CSA	VDE
Recognized Under 1577 Component Recognition Program ¹	Approved under CSA Component Acceptance Notice #5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12 ²
Double/Reinforced Insulation, 2500 V rms Isolation Voltage	Basic insulation per CSA 60950-1-03 and IEC 60950-1, 800 V rms (1131 V peak) maximum working voltage Reinforced insulation per CSA 60950-1-03 and IEC 60950-1, 400 V rms (566 V peak) maximum working voltage	Reinforced insulation, 560 V peak
File E214100	File 205078	File 2471900-4880-0001

¹ UL1577に従い、絶縁テスト電圧 3,000 V rms 以上を 1 秒間加えて各 ADuM131x を確認テストします(リーク電流検出規定値 = 5μA)。

² DIN V VDE V 0884-10 に従い、各 ADuM131x に 1,050 Vpeak 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。(*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

絶縁および安全性関連の仕様

表 6.

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		2500	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	7.7 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	8.1 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12 絶縁特性

ADuM131x アイソレータは、安全性制限値データ以内でのみ強化された電氣的アイソレーションを満たします。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージ表面の(*)マークは、560 V_{peak} 動作電圧に対して DIN V VDE V 0884-10 認定済みであることを表示します。

表 7.

Description	Conditions	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to IV I to III I to II	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V _{IORM}	560	V peak
Input-to-Output Test Voltage, Method B1	V _{IORM} × 1.875 = V _{PR} , 100% production test, t _m = 1 sec, partial discharge < 5 pC	V _{PR}	1050	V peak
Input-to-Output Test Voltage, Method A After Environmental Tests Subgroup 1	V _{IORM} × 1.6 = V _{PR} , t _m = 60 sec, partial discharge < 5 pC	V _{PR}	896	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	V _{IORM} × 1.2 = V _{PR} , t _m = 60 sec, partial discharge < 5 pC		672	V peak
Highest Allowable Overvoltage	Transient overvoltage, t _{TR} = 10 sec	V _{TR}	4000	V peak
Safety-Limiting Values	Maximum value allowed in the event of a failure; see Figure 3			
Case Temperature		T _S	150	°C
Side 1 Current		I _{S1}	265	mA
Side 2 Current		I _{S2}	335	mA
Insulation Resistance at T _S	V _{IO} = 500 V	R _S	>10 ⁹	Ω

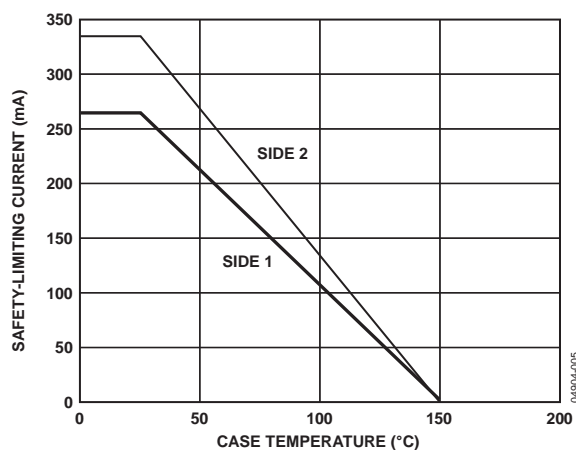


図 3.熱ディレーティング・カーブ
DIN V VDE V 0884-10 による
安全な規定値のケース温度に対する依存性

推奨動作条件

表 8.

Parameter	Symbol	Min	Max	Unit
Operating Temperature	T _A	-40	+105	°C
Supply Voltages ¹	V _{DD1} , V _{DD2}	2.7	5.5	V
Input Signal Rise and Fall Times			1.0	ms

¹ すべての電圧はそれぞれのグラウンドを基準とします。外部磁界耐性については、DC 精度と磁界耐性のセクションを参照してください。

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 9.

Parameter	Rating
Storage Temperature (T_{ST}) Range	-65°C to $+150^\circ\text{C}$
Ambient Operating Temperature (T_A) Range	-40°C to $+105^\circ\text{C}$
Supply Voltages (V_{DD1} , V_{DD2}) ¹	-0.5 V to $+7.0\text{ V}$
Input Voltage (V_{IA} , V_{IB} , V_{IC} , $V_{DISABLE}$, V_{CTRL1} , V_{CTRL2}) ^{1,2}	-0.5 V to $V_{DD1} + 0.5\text{ V}$
Output Voltage (V_{OA} , V_{OB} , V_{OC}) ^{1,2}	-0.5 V to $V_{DD0} + 0.5\text{ V}$
Average Output Current per Pin ³	
Side 1 (I_{O1})	-18 mA to $+18\text{ mA}$
Side 2 (I_{O2})	-22 mA to $+22\text{ mA}$
Common-Mode Transients ⁴	$-100\text{ kV}/\mu\text{s}$ to $+100\text{ kV}/\mu\text{s}$

¹すべての電圧はそれぞれのグラウンドを基準とします。

² V_{DD1} と V_{DD0} は、それぞれチャンネルの入力側と出力側の電源電圧を表します。
PCボードのレイアウトのセクションを参照してください。

³種々の温度に対する最大定格電流値については図3を参照してください。

⁴絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード・トランジエントは、ラッチアップまたは永久故障の原因になります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



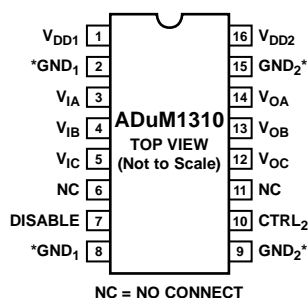
ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 10. 最大連続動作電圧¹

Parameter	Max	Unit	Constraint
AC Voltage, Bipolar Waveform	565	V peak	50-year minimum lifetime
AC Voltage, Unipolar Waveform			
Basic Insulation	1131	V peak	Maximum approved working voltage per IEC 60950-1
Reinforced Insulation	560	V peak	Maximum approved working voltage per IEC 60950-1 and VDE V 0884-10
DC Voltage			
Basic Insulation	1131	V peak	Maximum approved working voltage per IEC 60950-1
Reinforced Insulation	560	V peak	Maximum approved working voltage per IEC 60950-1 and VDE V 0884-10

¹アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

ピン配置およびピン機能説明



NC = NO CONNECT

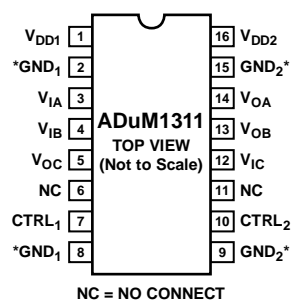
*PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND₁ IS RECOMMENDED. PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND₂ IS RECOMMENDED.

049004-003

図 4.ADuM1310 のピン配置

表 11.ADuM1310 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	アイソレータ・サイド1の電源電圧、2.7 V～5.5 V。
2	GND ₁	グラウンド1。アイソレータ・サイド1のグラウンド基準。
3	V _{IA}	ロジック入力 A。
4	V _{IB}	ロジック入力 B。
5	V _{IC}	ロジック入力 C。
6	NC	未接続。
7	DISABLE	入力ディスエーブル。アイソレータ入力をディスエーブルして、DC リフレッシュ回路を停止します。出力は CTRL ₂ で指定されるロジック状態になります。
8	GND ₁	グラウンド1。アイソレータ・サイド1のグラウンド基準。
9	GND ₂	グラウンド2。アイソレータ・サイド2のグラウンド基準。
10	CTRL ₂	デフォルト出力制御。入力電源がオフのときの出力ロジック状態を制御します。CTRL ₂ がハイ・レベルまたは開放で、かつ V _{DD1} がオフのとき、V _{OA} 、V _{OB} 、V _{OC} の各出力はハイ・レベルになります。CTRL ₂ がロー・レベルで、かつ V _{DD1} がオフのとき、V _{OA} 、V _{OB} 、V _{OC} の各出力はロー・レベルになります。V _{DD1} 電源がオンのとき、このピンは無視されます。
11	NC	未接続。
12	V _{OC}	ロジック出力 C。
13	V _{OB}	ロジック出力 B。
14	V _{OA}	ロジック出力 A。
15	GND ₂	グラウンド2。アイソレータ・サイド2のグラウンド基準。
16	V _{DD2}	アイソレータ・サイド2の電源電圧、2.7 V～5.5 V。



NC = NO CONNECT

*PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND₁ IS RECOMMENDED. PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND₂ IS RECOMMENDED.

04804-004

図 5.ADuM1311 のピン配置

表 12.ADuM1311 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	アイソレータ・サイド1の電源電圧、2.7 V～5.5 V。
2	GND ₁	グラウンド1。アイソレータ・サイド1のグラウンド基準。
3	V _{IA}	ロジック入力 A _o 。
4	V _{IB}	ロジック入力 B _o 。
5	V _{OC}	ロジック出力 C _o 。
6	NC	未接続。
7	CTRL ₁	デフォルト出力制御。入力電源がオフのときの出力ロジック状態を制御します。CTRL ₁ がハイ・レベルまたは解放で、かつV _{DD2} がオフのとき、V _{OC} 出力がハイ・レベルになります。CTRL ₁ がロー・レベルで、かつV _{DD2} がオフのとき、V _{OC} 出力がロー・レベルになります。V _{DD2} 電源がオンのとき、このピンは無視されます。
8	GND ₁	グラウンド1。アイソレータ・サイド1のグラウンド基準。
9	GND ₂	グラウンド2。アイソレータ・サイド2のグラウンド基準。
10	CTRL ₂	デフォルト出力制御。入力電源がオフのときの出力ロジック状態を制御します。CTRL ₂ がハイ・レベルまたは開放で、かつV _{DD1} がオフのとき、V _{OA} とV _{OB} の各出力はハイ・レベルになります。CTRL ₂ がロー・レベルで、かつV _{DD1} がオフのとき、V _{OA} とV _{OB} の各出力はロー・レベルになります。V _{DD1} 電源がオンのとき、このピンは無視されます。
11	NC	未接続。
12	V _{IC}	ロジック入力 C _o 。
13	V _{OB}	ロジック出力 B _o 。
14	V _{OA}	ロジック出力 A _o 。
15	GND ₂	グラウンド2。アイソレータ・サイド2のグラウンド基準。
16	V _{DD2}	アイソレータ・サイド2の電源電圧、2.7 V～5.5 V。

表 13. 真理値表(正論理)

V_{Ix} Input ¹	$CTRL_x$ Input ²	$V_{DISABLE}$ State ³	V_{DDI} State ⁴	V_{DDO} State ⁵	V_{Ox} Output	Description
H	X	L or NC	Powered	Powered	H	Normal operation, data is high.
L	X	L or NC	Powered	Powered	L	Normal operation, data is low.
X	H or NC	H	X	Powered	H	Inputs disabled. Outputs are in the default state determined by $CTRL_x$.
X	L	H	X	Powered	L	Inputs disabled. Outputs are in the default state determined by $CTRL_x$.
X	H or NC	X	Unpowered	Powered	H	Input unpowered. Outputs are in the default state determined by $CTRL_x$. Outputs return to input state within 1 μ s of V_{DDI} power restoration. See the pin function descriptions (Table 11 and Table 12) for more details.
X	L	X	Unpowered	Powered	L	Input unpowered. Outputs are in the default state determined by $CTRL_x$. Outputs return to input state within 1 μ s of V_{DDI} power restoration. See the pin function descriptions (Table 11 and Table 12) for more details.
X	X	X	Powered	Unpowered	Z	Output unpowered. Output pins are in high impedance state. Outputs return to input state within 1 μ s of V_{DDO} power restoration. See the pin function descriptions (Table 11 and Table 12) for more details.

¹ V_{Ix} と V_{Ox} は、与えられたチャンネル(A、B、C)の入力信号と出力信号を表します。

² $CTRL_x$ は、与えられたチャンネル(A、B、C)の入力側のデフォルト出力制御信号を表します。

³ ADuM1310 の場合。

⁴ V_{DDI} は、与えられたチャンネル(A、B、C)の入力側の電源を表します。

⁵ V_{DDO} は、与えられたチャンネル(A、B、C)の出力側の電源を表します。

代表的な性能特性

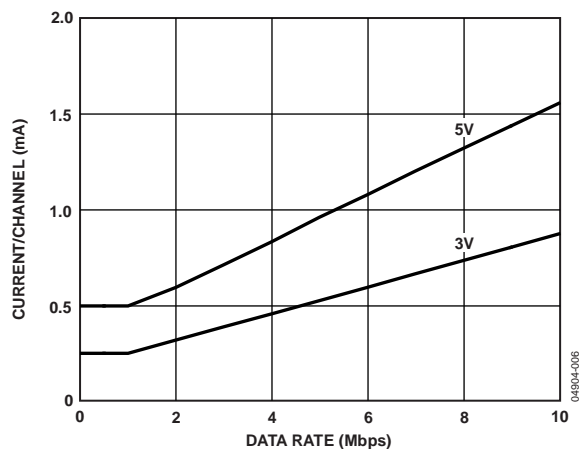


図 8. 6.5 V および 3 V 動作でのデータレート対入力チャンネル当たりの電源電流

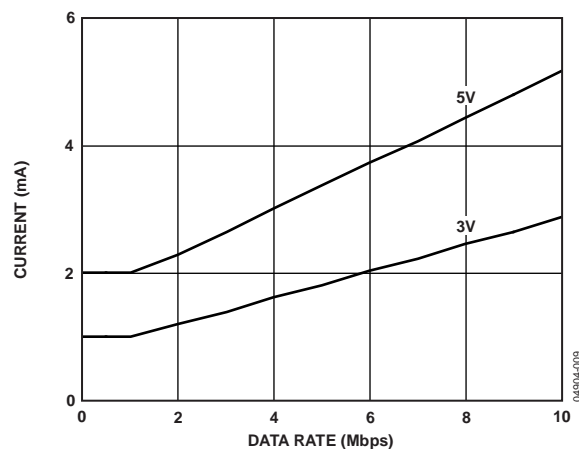


図 9. 5 V および 3 V 動作でのデータレート対 ADuM1310 V_{DD1} 電源電流

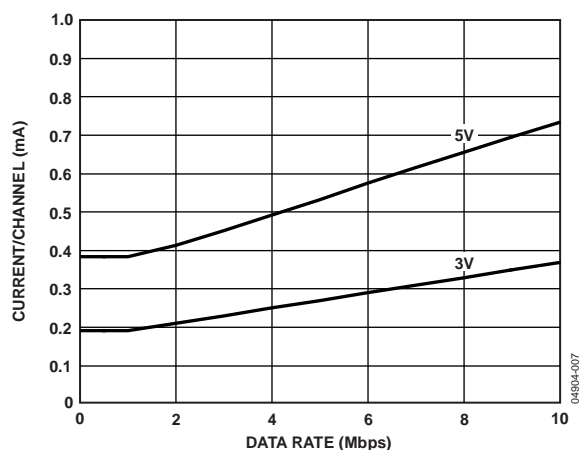


図 7. 5 V および 3 V 動作でのデータレート(出力無負荷)対出力チャンネルあたりの電源電流

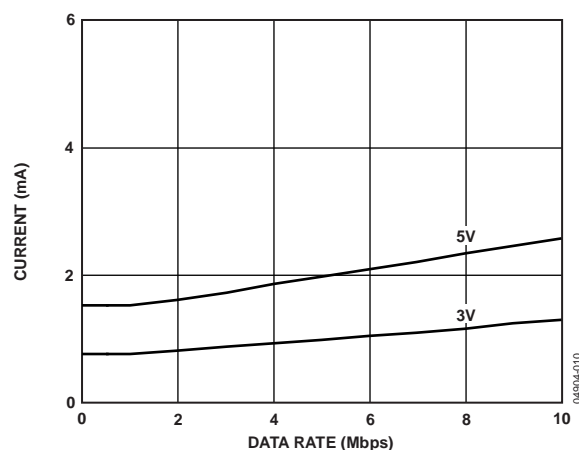


図 10. 5 V および 3 V 動作でのデータレート対 ADuM1310 V_{DD2} 電源電流(出力無負荷)

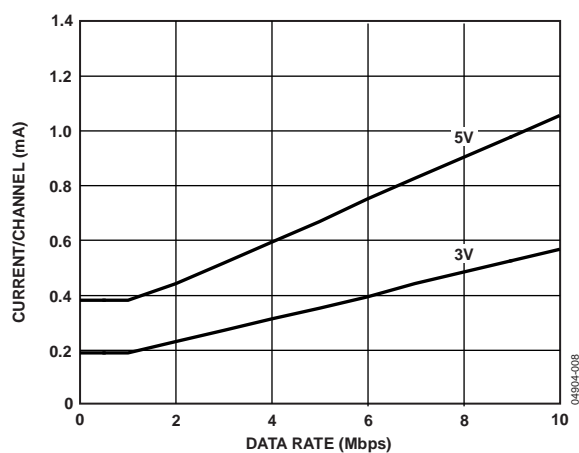


図 8.5. 8.5 V および 3 V 動作でのデータレート(15 pF 出力負荷)対出力チャンネルあたりの電源電流

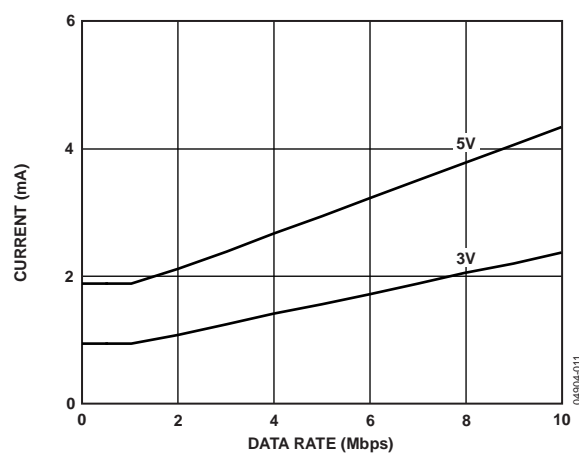


図 11. 5 V および 3 V 動作でのデータレート対 ADuM1311 V_{DD1} 電源電流(出力無負荷)

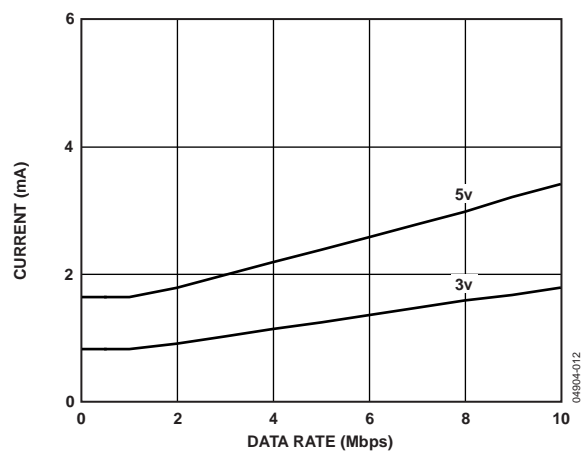


図 12. 5 V および 3 V 動作でのデータレート対 ADuM1311 V_{DD2} 電源電流(無負荷)

アプリケーション情報

PCボードのレイアウト

ADuM131x デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンにはバイパス・コンデンサを接続することが推奨されます(図 13 参照)。バイパス・コンデンサは V_{DD1} についてはピン 1 とピン 2 の間に、 V_{DD2} についてはピン 15 とピン 16 の間に、それぞれ接続するのが便利です。コンデンサの値は、 $0.01\mu\text{F} \sim 0.1\mu\text{F}$ とする必要があります。コンデンサピンと入力電源ピンとの間の合計リード長は 20 mm を超えないようにします。各パッケージ側のグラウンド対がパッケージのすぐ近くで接続されていない限り、ピン 1 とピン 8 の間およびピン 9 とピン 16 の間でバイパスしてください。

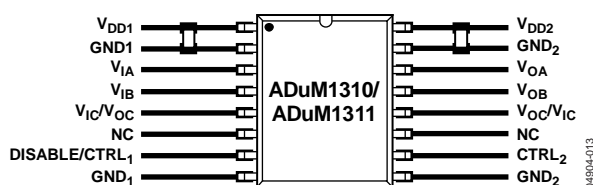


図 13. プリント回路ボードの推奨レイアウト

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を通過するボード結合が最小になるように注意する必要があります。さらに、如何なる結合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインする必要があります。この注意を怠ると、ピン間で発生する電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通るのに要する時間を表すパラメータです。ハイ・レベルからロー・レベル変化の入出力間伝搬遅延は、ロー・レベルからハイ・レベル変化の伝搬遅延と異なることがあります。

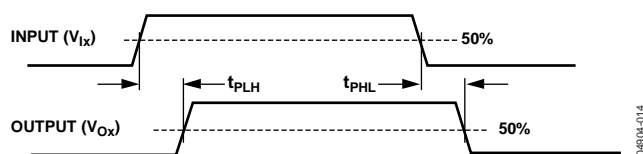


図 14. 伝搬遅延パラメータ

パルス幅歪みとはこれら 2 つの遅延時間の間の最大の差を意味し、入力信号のタイミングが保存される精度を表します。

チャンネル間マッチングとは、1 つの ADuM131x デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

伝搬遅延スキューは、同じ条件で動作する複数の ADuM131x デバイス間での伝搬遅延差の最大値を表します。

DC精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(約 1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、入力ロジックの変化を指定するパルスによりセットまたはリセットされます。約 1 μs 以上入力にロジック変化がない場合、正常な入力状態を表す周期的なリフレッシュ・パルスのセットを送信して、出力での DC を正常に維持します。デコーダが約 5 μs 間以上この内部パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルト状態(表 13 参照)にされます。

ADuM131x の磁界耐性は磁界の変化により決定されます。この磁界により、トランスの受信コイルに電圧が発生して、デコーダを誤ってセットまたはリセットさせてしまうほど大きくなる可能性があります。この状態が発生する条件を以下の解析により求めます。ADuM131x の 3 V 動作は最も感度の高い動作モードであるため、この条件を調べます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッショールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta / dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

ここで、

β は磁束密度 (gauss)。

r_n = 受信側コイル巻き数 n 回目の半径 (cm)

N = 受信側コイルの巻き数

ADuM131x 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50% であるという条件が与えられ、与えられた周波数での最大許容磁界を計算することができます。この結果を図 15 に示します。

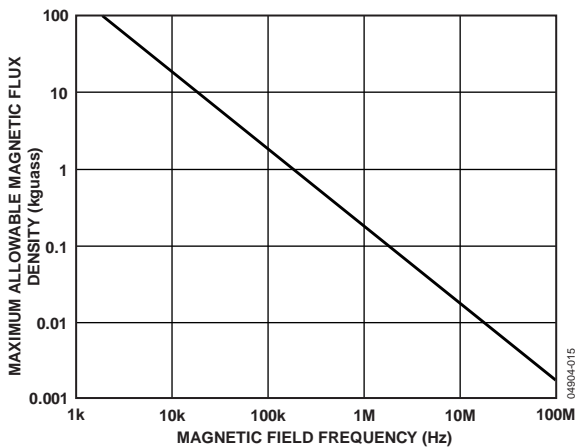


図 15.最大許容外部磁束密度

例えば、磁界周波数=1 MHzで、最大許容磁界=0.2 Kgaussの場合、受信側コイルでの誘導電圧は0.25 Vになります。これは検出スレッシュホールドの約50%であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに最悪ケースの極性であっても)、受信パルスが1.0 V以上から0.75Vへ減少されるため、デコーダの検出スレッシュホールド0.5 Vに対してなお余裕を持っています。

前述の磁束密度値は、ADuM131xトランスから与えられた距離だけ離れた特定の電流値に対応します。図16に、周波数の関数としての許容電流値を与えられた距離に対して示します。図から読み取れるように、ADuM131xの耐性は極めて高く、影響を受けるのは、高周波でかつデバイスに非常に近い極めて大きな電流の場合に限られます。1 MHzの例では、デバイス動作に影響を与えるためには、0.5 kAの電流をADuM131xから5 mmの距離まで近づける必要があります。

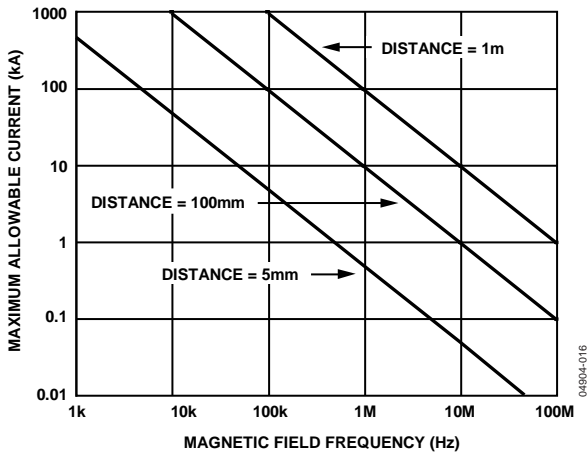


図 16.様々な電流値と ADuM131x までの距離に対する最大許容電流

強い磁界と高周波が合わさると、プリント回路ボードのパターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路がトリガされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

消費電力

ADuM131x アイソレータ内にあるチャンネルの電源電流は、電源電圧、チャンネルのデータレート、チャンネルの出力負荷の関数になっています。

各入力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDI} = I_{DDI(Q)} \quad f \leq 0.5 f_r$$

$$I_{DDI} = I_{DDI(D)} \times (2f - f_r) + I_{DDI(Q)} \quad f > 0.5 f_r$$

各出力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5 f_r$$

$$I_{DDO} = (I_{DDO(D)} + (0.5 \times 10^{-3}) \times C_L \times V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5 f_r$$

ここで、

$I_{DDI(D)}$ と $I_{DDO(D)}$ は、それぞれチャンネル当たりの入力ダイナミック電源電流と出力ダイナミック電源電流です(mA/Mbps)。

C_L は出力負荷容量(pF)。

V_{DDO} は出力電源電圧(V)。

f は入力ロジック信号周波数(MHz)、これは入力データレート(Mbps)の1/2に一致します。

f_r は入力ステージのリフレッシュ・レート(Mbps)。

$I_{DDI(Q)}$ と $I_{DDO(Q)}$ は、それぞれ指定された入力静止電源電流と出力静止電源電流です(mA)。

V_{DD1} と V_{DD2} の電源電流を計算するために、 V_{DD1} と V_{DD2} に対応するチャンネルの各入力と各出力の電源電流を計算して合計します。ADuM131xは、ユーザから使用できないデータ・チャンネルを内蔵しています。このチャンネルは、チャンネルAと同じ向きで、静止電流も同じです。このチャンネルの成分は、各電源の静止電流の計算に含める必要があります。図6と図7に、無負荷状態の出力に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図8に、15 pF負荷の出力に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図9～図12に、ADuM1310/ADuM1311のチャンネル構成に対するデータレートの関数としての V_{DD1} と V_{DD2} の合計電源電流を示します。

絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲なセットの評価を実施してADuM131xの絶縁構造の寿命を測定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。表10に、バイポーラAC動作条件での50年のサービス寿命に対するピーク電圧と最大CSA/VDE認定動作電圧を示します。多くのケースで、実証された動作電圧は50年サービス寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

ADuM131xの絶縁寿命は、アイソレーション障壁に加えられる電圧波形のタイプに依存します。iCoupler絶縁構造の性能は、波形がバイポーラAC、ユニポーラAC、DCのいずれであるかに応じて、異なるレートで低下します。図 17、図 18、図 19に、これらのアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。AC バイポーラ条件での 50 年動作寿命の目標により、アナログ・デバイセズが推奨する最大動作電圧が決定されています。

ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、さらに 50 年のサービス寿命を実現することができます。表 10 に示す動作電圧は、ユニポーラ AC 電圧またはユニポーラ DC 電圧のケースに適合する場合、50 年最小寿命に適用することができます。図 18 または図 19 に適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があり、ピーク電圧は表 10 に示す 50 年寿命電圧値に制限する必要があります。

図 18 に示す電圧は、説明目的のためにのみ正弦波としています。すなわち、0 V とある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることができませんが、電圧は 0 V を通過することはできません。

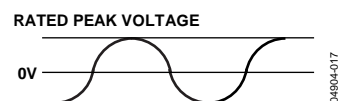


図 17. バイポーラ AC 波形

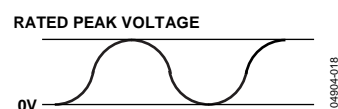


図 18. ユニポーラ AC 波形

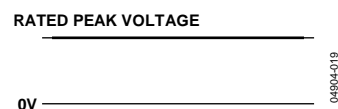
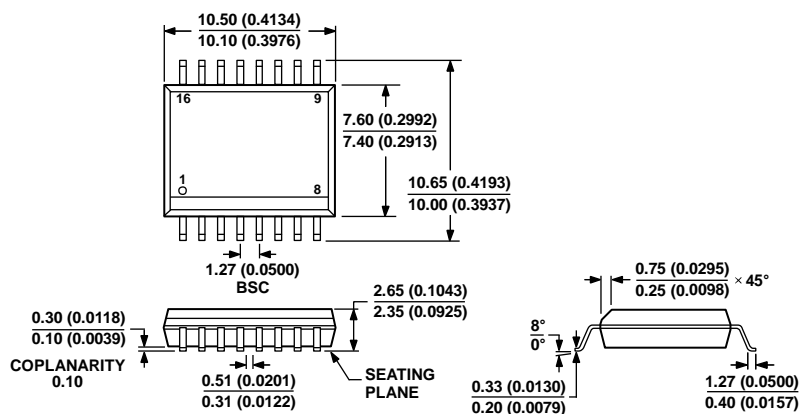


図 19. DC 波形

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

032707-B

図 20.16 ピン標準スモール・アウトライン・パッケージ[SOIC_W]
ワイドボディ(RW-16)
寸法: mm (インチ)

オーダー・ガイド

Model	Number of Inputs, V _{DD1} Side	Number of Inputs, V _{DD2} Side	Maximum Data Rate (Mbps)	Maximum Propagation Delay, 5 V (ns)	Maximum Pulse Width Distortion (ns)	Temperature Range	Package Description	Package Option
ADuM1310ARWZ ¹	3	0	1	100	40	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM1310ARWZ-RL ¹	3	0	1	100	40	-40°C to +105°C	16-Lead SOIC_W, 13" Reel	RW-16
ADuM1310BRWZ ¹	3	0	10	50	5	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM1310BRWZ-RL ¹	3	0	10	50	5	-40°C to +105°C	16-Lead SOIC_W, 13" Reel	RW-16
ADuM1311ARWZ ¹	2	1	1	100	40	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM1311ARWZ-RL ¹	2	1	1	100	40	-40°C to +105°C	16-Lead SOIC_W, 13" Reel	RW-16
ADuM1311BRWZ ¹	2	1	10	50	5	-40°C to +105°C	16-Lead SOIC_W	RW-16
ADuM1311BRWZ-RL ¹	2	1	10	50	5	-40°C to +105°C	16-Lead SOIC_W, 13" Reel	RW-16

¹ Z = RoHS 準拠製品。