



# 低消費電力、デュアル・シグマ・デルタ ADC 搭載の 高精度アナログ・マイクロコントローラ (MicroConverter) 、ARM Cortex-M3

## データシート

## ADuCM362/ADuCM363

### 特長

ADuCM360/ADuCM361 とのピン互換性

アナログ入出力

デュアル 24 ビット ADC (ADuCM362)

シングル 24 ビット ADC (ADuCM363)

プログラマブル ADC 出力レート (3.5 Hz ~ 3.906 kHz)

50 Hz/60 Hz のノイズを同時除去

50 SPS の連続変換モード

16.67 SPS シングル変換モード

両方の ADC の入力チャンネルを選択できる

柔軟な入力マルチプレクサ

24 ビット・マルチチャンネル ADC (ADC0 および ADC1)

6 個の差動入力チャンネルまたは 12 個のシングルエンドの  
入力チャンネル

DAC の監視用のチャンネル 4 個、温度センサー、IOVDD/4、  
AVDD/4 (ADC1 のみ)

プログラマブル・ゲイン (1 ~ 128)

入力バッファ・オン/オフのサポートによるゲイン 1

RMS ノイズ:3.53 Hz で 52 nV

50 Hz で 200 nV

プログラマブル・センサーの励起電流源

オンチップの高精度電圧リファレンス

両方の ADC によってサポートされる 2 つの外部リファレンス・  
オプション

シングル 12 ビット電圧出力 DAC

4 mA ~ 20 mA ループ・アプリケーション用の NPN モード

マイクロコントローラ

ARM Cortex-M3 32 ビット・プロセッサ

シリアル・ワイヤ・ダウンロード/デバッグ

ウェークアップ・タイマー用の内部時計水晶

8 方向のプログラマブル分圧器と 16 MHz の発振器

メモリ

最大 256 kB フラッシュ/EE メモリ、24 kB SRAM

シリアル・ワイヤおよび UART 経由の

回路内デバッグ/ダウンロード

電源範囲:1.8 V ~ 3.6 V (最大)

消費電力、MCU アクティブ・モード

コア消費量: 290  $\mu$ A/MHz

システム全体の電流消費量 1.0 mA、コア動作 500 kHz

(両方の ADC をオン、入力バッファをオフ、PGA ゲインは 4、  
1 つの SPI ポート をオン、すべてのタイマーをオン)

消費電力、パワーダウン・モード:

4  $\mu$ A (ウェークアップ・タイマーはアクティブ)

オンチップ周辺機器

2  $\times$  UART、I<sup>2</sup>C、および 2  $\times$  SPI シリアル入出力 (I/O)

16 ビットパルス幅変調 (PWM) コントローラ

19 ピン多機能 GPIO ポート

汎用タイマー 2 個

ウェークアップ・タイマー/ウォッチドッグ・タイマー

マルチチャンネル DMA および割り込みコントローラ

両方の SPI チャンネルで DMA をサポート

パッケージと温度範囲

48 ピン、7 mm  $\times$  7 mm LFCSP

-40  $^{\circ}$ C ~ +125  $^{\circ}$ C の動作温度で仕様規定

開発ツール

低コストの QuickStart 開発システム

サード・パーティのコンパイラとエミュレータ・ツールを  
サポート

SIL 認定をサポートする複数の診断機能

### アプリケーション

産業オートメーションとプロセス制御

インテリジェントな高精度の感知システム

4 mA ~ 20 mA ループ駆動スマート・センサー・システム

医療用デバイス、患者モニタリング

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

## 目次

特長.....	1	SPI タイミングの仕様.....	16
アプリケーション.....	1	絶対最大定格.....	18
改訂履歴.....	2	熱抵抗.....	18
概要.....	3	ESD に関する注意.....	18
機能ブロック図.....	4	ピン配置およびピン機能の説明.....	19
仕様.....	6	代表的な性能特性.....	22
マイクロコントローラの電気仕様.....	6	代表的なシステム構成.....	23
ADC0 と ADC1 の RMS ノイズ分解能.....	11	外形寸法.....	24
I <sup>2</sup> C タイミングの仕様.....	15	オーダー・ガイド.....	24

## 改訂履歴

10/2016—Revision 0: Initial Version

## 概要

ADuCM362/ADuCM363は、完全統合型の3.9 kSPS、24ビット・データ・アキュジション・システムです。シングル・チップにデュアル/高性能/マルチチャンネル・シグマデルタ ( $\Sigma\Delta$ ) A/D コンバータ (ADC)、32ビット ARM Cortex™-M3 プロセッサ、フラッシュ/EE メモリを内蔵しています。ADuCM362/ADuCM363は、ワイヤードとバッテリー駆動のアプリケーション両方で外付けの高精度センサーに直接接続できるように設計されています。ADuCM363には、24ビット  $\Sigma\Delta$  ADC (ADC1) を1つしか使用できないことを除くと、ADuCM362と同じ機能をすべて搭載しています。

ADuCM362/ADuCM363には、オンチップの32 kHz 発振器と内部16 MHz 高周波発振器が搭載されています。この高周波発振器は、プロセッサのコア・クロックの動作周波数を生成するプログラマブル・クロック・ドライバから配線されます。最大コア・クロック速度は16 MHzで、動作電圧や温度による影響を受けません。

マイクロコントローラのコアは、低消費電力の ARM Cortex-M3 プロセッサ、最大20 MIPSのピーク性能を実現する32ビット RISC マシンです。Cortex-M3 プロセッサには、すべての有線通信周辺機器 (両方の SPI、両方の UART、I<sup>2</sup>C) に対応する柔軟な11チャンネル DMA コントローラが内蔵されています。また、最大256 kBの不揮発性フラッシュ/EEメモリと24 kBのSRAMもチップに内蔵されています。

アナログ・サブシステムはデュアルADCで構成され、各ADCが柔軟性の高い入力マルチプレクサに接続されます。両方のADCは、完全差動モードとシングルエンド・モードで動作できます。その他のオンチップADC機能には、デュアル・プログラマブル励起電流源、診断電流源、入力チャンネルのコモンモード電圧を設定する AVDD\_REG/2 (900 mV) のバイアス電圧ジェネレータがあります。内蔵のローサイド内部グラウンド・スイッチを使用すれば、各変換の間に外付け回路 (ブリッジ回路など) をパワーダウンできます。アナログ入力と外部リファレンスの入力用にオプションの入力バッファも用意しています。これらのバッファは、すべてのPGAゲイン設定で有効にできます。

ADCには、sinc2 フィルタに並列する sinc3 または sinc4 の2つのフィルタが含まれます。sinc3 または sinc4 フィルタは、正確な測定を実現するために使用されます。sinc2 フィルタは、迅速な測定と入力信号のステップ変化の検出に使用されます。

このデバイスは低ノイズ、低ドリフトの内部帯域幅ギャップ・リファレンスを搭載していますが、レシオメトリック計測の設定では2つ以上の外部リファレンス源を使用できます。チップには、外部リファレンス入力をバッファするオプションがあります。シングル・チャンネルのバッファ電圧出力 DAC も搭載しています。

ADuCM362/ADuCM363には、多様なオンチップ周辺機器が統合されています。これらの周辺機器は、必要に応じてマイクロコントローラのソフトウェア制御で設定できます。周辺機器には、2つの UART、I<sup>2</sup>C、デュアル SPI シリアル I/O 通信コントローラ、19ピン GPIO ポート、2つの汎用タイマー、ウェイクアップ・タイマー、システム・ウォッチドッグ・タイマーがあります。6つの出力チャンネルを備えた16ビット PWM コントローラもあります。

ADuCM362/ADuCM363は、低消費電力が重要になるバッテリー駆動アプリケーションで動作するように設計されています。マイクロコントローラのコアは、290  $\mu$ A/MHz (フラッシュ/SRAM I<sub>DD</sub>を含む) を消費する通常動作モードで設定できます。両方のADCをオン (入力バッファをオフ)、PGAゲインは4、1つのSPIポートをオン、すべてのタイマーをオンにした状態で、システム全体の消費電流量を1 mAに抑えることができます。

ADuCM362/ADuCM363は、プログラム制御により、4  $\mu$ Aしか消費しない休止モード (内部ウェイクアップ・タイマーはアクティブ) など、多数の低消費電力動作モードで設定できます。休止モードでは、外部割り込みや内部ウェイクアップ・タイマーなどの周辺機器でデバイスを休止モードから起動できます。このモードでは、非常に低い消費電力でデバイスを動作させながら、外部または定期的なイベントと同期させることができます。

オンチップのファクトリ・ファームウェアは、シリアル・ワイヤ・インタフェース (2ピン JTAG システム) と UART 経由の回路内シリアル・ダウンロードをサポートしています。これ以外にも、シリアル・ワイヤ・インターフェースからの非侵入型エミュレーションもサポートしています。これらの機能は、高精度アナログ・マイクロコントローラ・ファミリをサポートする低価格の QuickStart™ 開発システムに統合されています。

このデバイスは外部1.8 V ~ 3.6 Vの電圧電源で駆動し、-40 °C ~ +125 °Cの工業用温度範囲向けに仕様規定されています。

機能ブロック図

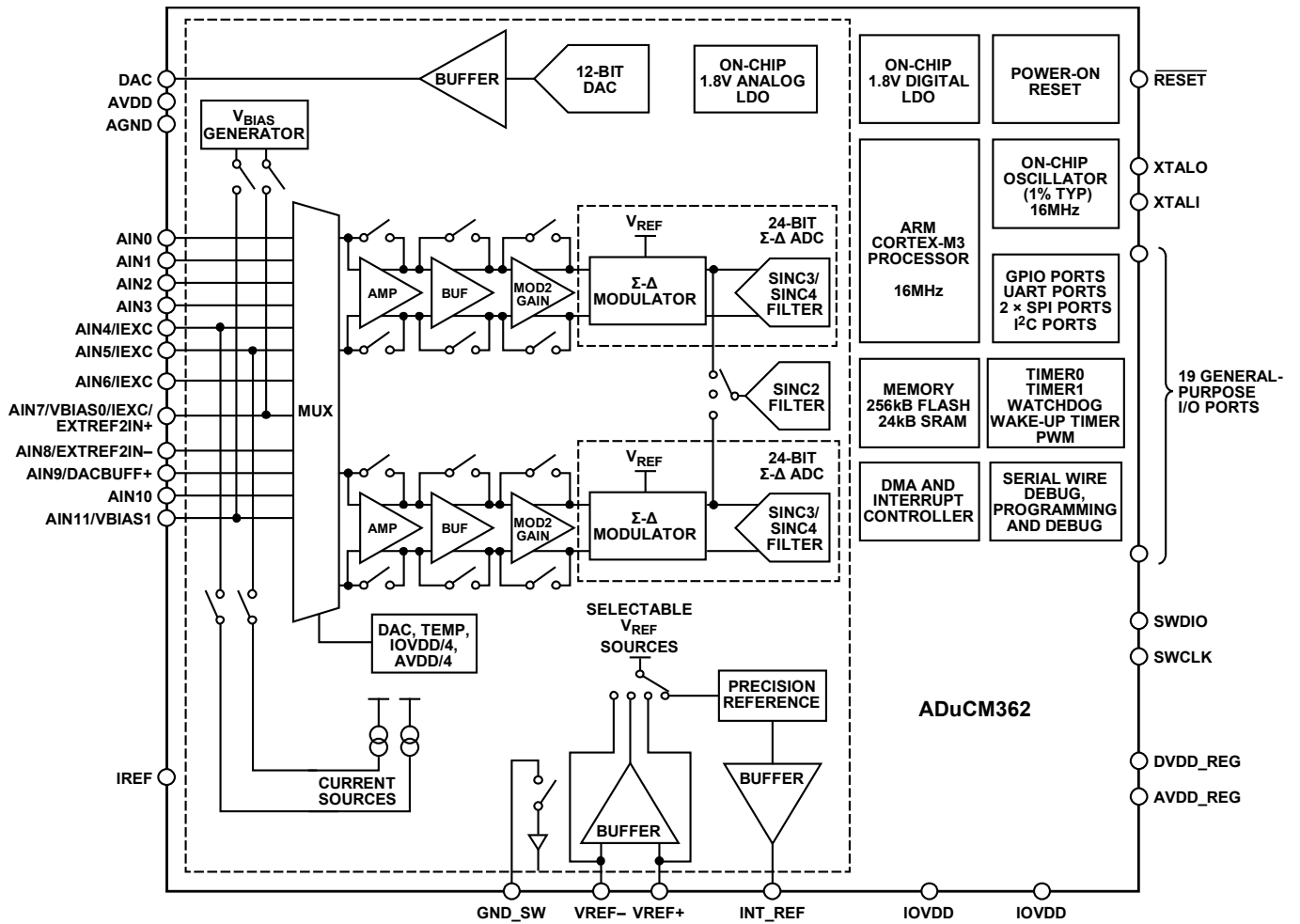


図 1. ADuCM362 の機能ブロック図

14915-001

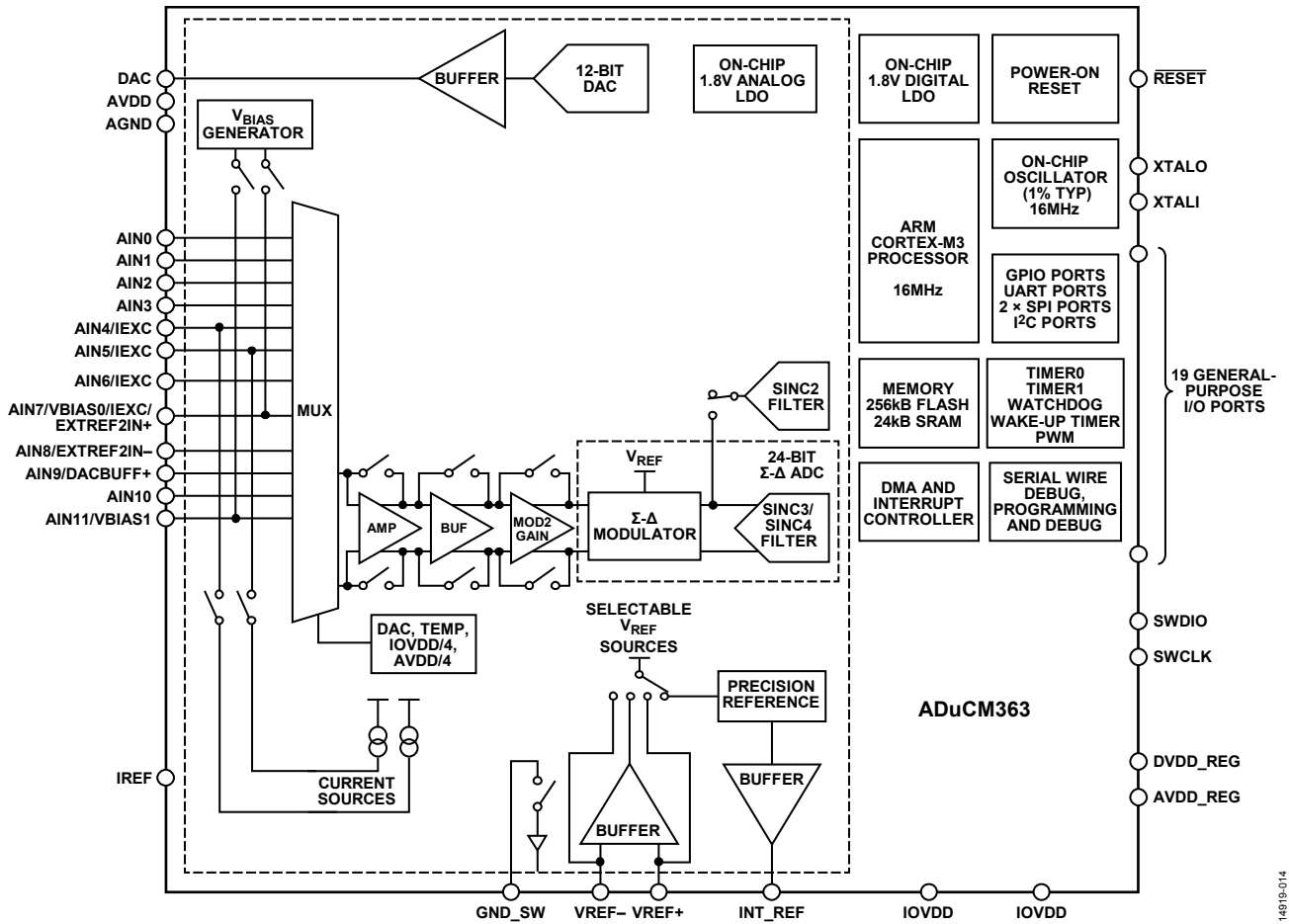


図 2. ADuCM363 の機能ブロック図

14619-014

## 仕様

## マイクロコントローラの電気仕様

特に指定がない限り、AVDD/IOVDD = 1.8 V ~ 3.6 V、内部 1.2 V リファレンス、 $f_{\text{CORE}} = 16 \text{ MHz}$ 、すべての仕様で  $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ADC SPECIFICATIONS					
Conversion Rate <sup>1</sup>	Chop off	3.5		3906	Hz
	Chop on	3.5		1302	Hz
No Missing Codes <sup>1</sup>	Chop off, $f_{\text{ADC}} \leq 500 \text{ Hz}$	24			Bits
	Chop on, $f_{\text{ADC}} \leq 250 \text{ Hz}$	24			Bits
RMS Noise and Data Output Rates	See Table 2 through Table 9				
Integral Nonlinearity <sup>1</sup>	Gain = 1, input buffer off		±10		ppm of FSR
	Gain = 2, 4, 8, or 16		±15		ppm of FSR
	Gain = 32, 64, or 128		±20		ppm of FSR
Offset Error <sup>2, 3, 4, 6, 7</sup>	Chop off; offset error is in the order of the noise for the programmed gain and update rate following calibration		±230/gain		μV
	Chop on <sup>1</sup>		±1.0		μV
Offset Error Drift vs. Temperature <sup>1, 4, 6</sup>	Chop off, gain ≤ 4		1/gain		μV/°C
	Chop off, gain ≥ 8		230		nV/°C
	Chop on		10		nV/°C
Offset Error Lifetime Stability <sup>5</sup>	Gain = 128		1		μV/1000 Hr
Full-Scale Error <sup>1, 4, 6, 7, 8</sup>			±0.5/gain		mV
Full-Scale Error Lifetime Stability <sup>5</sup>	Gain = 128		70		μV/1000 Hr
Gain Error Drift vs. Temperature <sup>1, 4, 6</sup>	External reference				
	Gain = 1, 2, 4, 8, or 16		±3		ppm/°C
	Gain = 32, 64, or 128		±6		ppm/°C
PGA Gain Mismatch Error			±0.15		%
Power Supply Rejection <sup>1</sup>	External reference				
	Chop on, ADC input = 0.25 V, gain = 4	95			dB
	Chop off, ADC input = 7.8 mV, gain = 128	80			dB
	Chop off, ADC input = 1 V, gain = 1	90			dB
Absolute Input Voltage Range	Unbuffered Mode		AGND	AVDD	V
	Buffered Mode				
Differential Input Voltage Ranges <sup>1</sup>	Available for all gain settings G = 1 to 128		AGND + 0.1	AVDD - 0.1	V
	For gain = 32, 64, and 128, see Table 3 and Table 7 for allowable input ranges and noise values				
	Gain = 1			±V <sub>REF</sub>	V
	Gain = 2			±500	mV
	Gain = 4			±250	mV
	Gain = 8			±125	mV
	Gain = 16			±62.5	mV
Common-Mode Voltage, V <sub>CM</sub> <sup>1</sup>	Ideally, $V_{\text{CM}} = ((\text{AIN}+) + (\text{AIN}-))/2$ ; gain = 2 to 128; input current varies with V <sub>CM</sub> (see Figure 9 and Figure 10)	AGND		AVDD	V

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Input Current <sup>9</sup>					
Buffered Mode	Gain > 1 (excluding AIN4, AIN5, AIN6, and AIN7 pins)		1		nA
Unbuffered Mode	Gain > 1 (AIN4, AIN5, AIN6, and AIN7 pins) Input current varies with input voltage		2 860		nA nA/V
Average Input Current Drift <sup>1</sup>					
Buffered Mode	AIN1, AIN3, AIN5, AIN7, and AIN11 AIN0, AIN4, AIN9, and AIN10 AIN2, AIN6, and AIN8		±5 ±9 ±15 ±250		pA/°C pA/°C pA/°C pA/V/°C
Unbuffered Mode					
Common-Mode Rejection, DC <sup>1</sup>	On ADC input ADC gain = 1, AVDD < 2 V ADC gain = 1, AVDD > 2 V ADC gain = 2 to 128	65 80 80	100 100		dB dB dB
Common-Mode Rejection, 50 Hz/60 Hz <sup>1</sup>	50 Hz/60 Hz ± 1 Hz; f <sub>ADC</sub> = 16.67 Hz, chop on; f <sub>ADC</sub> = 50 Hz, chop off ADC gain = 1 ADC gain = 2 to 128	97 90			dB dB
Normal Mode Rejection, 50 Hz/60 Hz <sup>1</sup>	On ADC input 50 Hz/60 Hz ± 1 Hz; f <sub>ADC</sub> = 16.67 Hz, chop on; f <sub>ADC</sub> = 50 Hz, chop off	60	80		dB
TEMPERATURE SENSOR <sup>1</sup>	After user calibration				
Voltage Output at 25°C	Processor powered down or in standby mode before measurement		82.1		mV
Voltage Temperature Coefficient (TC) Accuracy			250 6		μV/°C °C
GROUND SWITCH					
On Resistance (R <sub>ON</sub> )		3.7	10	19	Ω
Allowable Current <sup>1</sup>	20 kΩ resistor off, direct short to ground			20	mA
VOLTAGE REFERENCE	ADC internal reference				
Internal V <sub>REF</sub>			1.2		V
Initial Accuracy	Measured at T <sub>A</sub> = 25°C	-0.1		+0.1	%
Reference Temperature Coefficient (TC) <sup>1, 10</sup>		-15	±5	+15	ppm/°C
Power Supply Rejection <sup>1</sup>		82	90		dB
EXTERNAL REFERENCE INPUTS					
Input Range					
Buffered Mode		AGND + 0.1		AVDD - 0.1	V
Unbuffered Mode	Minimum differential voltage between VREF+ and VREF- pins is 400 mV	0		AVDD	V
Input Current					
Buffered Mode		-20	+10	+27	nA
Unbuffered Mode			500		nA/V
Normal Mode Rejection <sup>1</sup>			80		dB
Common-Mode Rejection <sup>1</sup>		85	100		dB
Reference Detect Levels <sup>1</sup>			400		mV

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>EXCITATION CURRENT SOURCES</b>					
Output Current	Available from each current source; value programmable from 10 $\mu$ A to 1 mA	10		1000	$\mu$ A
Initial Tolerance at 25°C <sup>1</sup>	$I_{OUT} \geq 50 \mu\text{A}$		$\pm 5$		%
Drift <sup>1</sup>	Using internal reference resistor		100	400	ppm/°C
	Using external 150 k $\Omega$ reference resistor between IREF pin and AGND; resistor must have drift specification of 5 ppm/°C		75	400	ppm/°C
Initial Current Matching at 25°C <sup>1</sup>	Matching between both current sources		$\pm 0.5$		%
Drift Matching <sup>1</sup>			50		ppm/°C
Load Regulation, AVDD <sup>1</sup>	AVDD = 3.3 V		0.2		%/V
Output Compliance <sup>1</sup>	$I_{OUT} = 10 \mu\text{A}$ to 210 $\mu\text{A}$	AGND - 0.03		AVDD - 0.85	V
	$I_{OUT} > 210 \mu\text{A}$	AGND - 0.03		AVDD - 1.1	V
<b>DAC CHANNEL SPECIFICATIONS</b>					
Voltage Range	$R_L = 5 \text{ k}\Omega$ , $C_L = 100 \text{ pF}$ Internal reference	0		$V_{REF}$	V
	External reference	0		1.8	V
DC Specifications <sup>11</sup>					
Resolution		12			Bits
Relative Accuracy			$\pm 3$		LSB
Differential Nonlinearity	Guaranteed monotonic		$\pm 0.5$	$\pm 1$	LSB
Offset Error	1.2 V internal reference		$\pm 2$	$\pm 10$	mV
Gain Error	$V_{REF}$ range (reference = 1.2 V)			$\pm 0.5$	%
NPN Mode <sup>1</sup>					
Resolution		12			Bits
Relative Accuracy			$\pm 3$		LSB
Differential Nonlinearity			$\pm 0.5$		LSB
Offset Error			$\pm 0.35$		mA
Gain Error			$\pm 0.75$		mA
Output Current Range		0.008		23.6	mA
Interpolation Mode <sup>1, 12</sup>	Only monotonic to 14 bits				
Resolution			14		Bits
Relative Accuracy	For 14-bit resolution		$\pm 6$		LSB
Differential Nonlinearity	Monotonic (14 bits)		$\pm 0.6$		LSB
Offset Error	1.2 V internal reference		$\pm 2$		mV
Gain Error	$V_{REF}$ range (reference = 1.2 V)		$\pm 1$		%
	AVDD range		$\pm 1$		%
<b>DAC AC CHARACTERISTICS<sup>1</sup></b>					
Voltage Output Settling Time			10		$\mu$ s
Digital-to-Analog Glitch Energy	1 LSB change at major carry (maximum number of bits changes simultaneously in the DAC0DAT register)		$\pm 20$		nV-sec
<b>POWER-ON RESET (POR)</b>					
POR Trip Level	Voltage at DVDD pin				
	Power-on level		1.65		V
	Power-down level		1.65		V
Timeout from POR <sup>1</sup>			50		ms
<b>WATCHDOG TIMER (WDT)<sup>1</sup></b>					
Timeout Period		0.00003		8192	sec
Timeout Step Size	T3CON[3:2] = 10		7.8125		ms
<b>FLASH/EE MEMORY<sup>1</sup></b>					
Endurance <sup>13</sup>		10,000			Cycles
Data Retention <sup>14</sup>	$T_J = 85^\circ\text{C}$	10			Years



Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>DIGITAL INPUTS</b>					
Input Leakage Current	All digital inputs Digital inputs except for the $\overline{\text{RESET}}$ , SWCLK, and SWDIO pins				
Logic 1	$V_{\text{INH}} = \text{IOVDD}$ or $V_{\text{INH}} = 1.8 \text{ V}$ Internal pull-up disabled		140 1		$\mu\text{A}$ nA
Logic 0	$V_{\text{INL}} = 0 \text{ V}$ Internal pull-up disabled		160 10		$\mu\text{A}$ nA
Input Leakage Current	$\overline{\text{RESET}}$ , SWCLK, and SWDIO pins				
Logic 1			140		$\mu\text{A}$
Logic 0			160		$\mu\text{A}$
Input Capacitance <sup>1</sup>			10		pF
Logic Input Voltage					
Low, $V_{\text{INL}}$				$0.2 \times \text{IOVDD}$	V
High, $V_{\text{INH}}$		$0.7 \times \text{IOVDD}$			V
Logic Output Voltage					
High, $V_{\text{OH}}$	$I_{\text{SOURCE}} = 1 \text{ mA}$	$\text{IOVDD} - 0.4$			V
Low, $V_{\text{OL}}$	$I_{\text{SINK}} = 1 \text{ mA}$			0.4	V
<b>CRYSTAL OSCILLATOR<sup>1</sup></b>					
Logic Input Voltage, XTALI Only <sup>15</sup>	32.768 kHz crystal inputs				
Low, $V_{\text{INL}}$				0.8	V
High, $V_{\text{INH}}$		1.7			V
XTALI Capacitance			6		pF
XTALO Capacitance			6		pF
<b>ON-CHIP LOW POWER OSCILLATOR</b>					
Oscillator Frequency			32.768		kHz
Accuracy		-30	$\pm 10$	+30	%
<b>ON-CHIP HIGH FREQUENCY OSCILLATOR</b>					
Oscillator Frequency			16		MHz
Accuracy	$-40^\circ\text{C}$ to $+125^\circ\text{C}$	-1.8		+1.4	%
Long Term Stability <sup>5</sup>			0.8		$^\circ\text{C}/1000 \text{ Hr}$
<b>PROCESSOR CLOCK RATE<sup>1</sup></b>					
	Nine programmable core clock selections within specified range	0.0625	0.5	16	MHz
Using an External Clock		0.032768		16	MHz
<b>PROCESSOR START-UP TIME<sup>1</sup></b>					
At Power-On	Includes kernel power-on execution time		41		ms
After Reset Event	Includes kernel power-on execution time		1.44		ms
From Processor Power-Down (Mode 1, Mode 2, and Mode 3)	$f_{\text{CLK}}$ is the Cortex-M3 core clock		3 to 5		$f_{\text{CLK}}$
From Total Halt or Hibernate Mode (Mode 4 or Mode 5)			30.8		$\mu\text{s}$

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>POWER REQUIREMENTS</b>					
Power Supply Voltages, V <sub>DD</sub>	AVDD, IOVDD	1.8		3.6	V
Power Consumption					
I <sub>DD</sub> (MCU Active Mode) <sup>16, 17</sup>	Processor clock rate = 16 MHz; all peripherals on (CLKSYS DIV = 0)		5.5		mA
	Processor clock rate = 8 MHz; all peripherals on (CLKSYS DIV = 1)		3		mA
	Processor clock rate = 500 kHz; both ADCs on (input buffers off) with PGA gain = 4, 1 × SPI port on, all timers on		1		mA
I <sub>DD</sub> (MCU Powered Down)	Full temperature range, total halt mode (Mode 4)		4		μA
I <sub>DD</sub> , Total (ADC0) <sup>17</sup>	PGA enabled, gain ≥ 32		320		μA
PGA	Gain = 4, 8, or 16, PGA only		130		μA
	Gain = 32, 64, or 128, PGA only		180		μA
Input Buffers	2 × input buffers = 70 μA		70		μA
Digital Interface and Modulator			70		μA
I <sub>DD</sub> (ADC1)	Input buffers off, gain = 4, 8, or 16 only		200		μA
External Reference Input Buffers	60 μA each		120		μA

<sup>1</sup> これらの数値は、リリース時の設計と特性評価データで確認されていますが、出荷テストの対象外です。

<sup>2</sup> 初期オフセットの補正後、ゲイン=4で試験済み。

<sup>3</sup> 内部短絡で測定。システムのゼロ・スケール補正により、この誤差が除去されます。

<sup>4</sup> 任意の温度で再補正を実行すると、これらの誤差が除去されます。

<sup>5</sup> 長期にわたる安定性の仕様は、累積データに基づいていません。後続の 1000 時間にわたるドリフトは、最初の 1000 時間よりも大幅に小さくなります。

<sup>6</sup> これらの数値には、内部リファレンスの温度ドリフトは含まれません。

<sup>7</sup> ゲイン=1で出荷時に補正。

<sup>8</sup> 特定のゲインでシステム補正を実行すると、このゲインでの誤差が除去されます。

<sup>9</sup> 入力電流は、チャンネルを測定する 1 個の ADC で測定されます。両方の ADC が同じ入力チャンネルを測定すると、入力電流が (約 2 倍に) 増加します。

<sup>10</sup> ボックス法を使用して測定。

<sup>11</sup> リファレンス DAC の直線性は、0x0AB ~ 0xF30 の縮小コード範囲を使用して計算します。

<sup>12</sup> R = 1 kΩ, C = 100 nF のローパス・フィルタを使用して測定します。

<sup>13</sup> 書換え回数は JEDEC 規格 22 Method A117 に準拠する 10,000 サイクルになります。この回数は -40 °C +25 °C +125 °C で測定されています。25 °C での書き換え回数の代表値は 170,000 サイクルです。

<sup>14</sup> データ保持期間の寿命は、JEDEC 規格 22 Method A117 に準拠した 85 °C のジャンクション温度 (T<sub>j</sub>) での値です。データ保持期間の寿命は、ジャンクション温度によって下がります。

<sup>15</sup> XTAL 入力を電圧源から駆動する場合のみ、電圧入力レベルが重要になります。水晶発振器が直接接続されている場合は、内部水晶発振器インターフェースによってコモンモード電圧が決定されます。

<sup>16</sup> フラッシュ/EE メモリ・プログラムと消去サイクルの実行中に余分に消費される電源電流は、7 mA (代表値) です。

<sup>17</sup> ADC の合計 I<sub>DD</sub> には、PGA ≥ 32、入力バッファ、デジタル・インターフェース、Σ-Δ 変調器が含まれます。

## ADC0 と ADC1 の RMS ノイズ分解能

## 内部リファレンス (1.2 V)

表 2～表 5 に、内部リファレンス (1.2 V) を使用した ADC0 と ADC1 の rms ノイズ仕様を示します。表 2 と表 3 に、さまざまなゲインと出力更新レート値での両方の ADC の rms ノイズを一覧で示します。表 4 と表 5 に、通常動作モードにおけるさまざまなゲインと出力更新レート値での両方の ADC の出力 rms ノイズの有効ビット数 (ENOB) の代表値を一覧で示します。(ピーク to ピーク有効ビット数は括弧内に記載)。

表 2. RMS ノイズとゲインおよび出力更新レートの関係、内部リファレンス (1.2 V)、ゲイン = 1、2、4、8、および 16

Update Rate (Hz)	Chop/Sinc	ADCFLT Register Value	RMS Noise ( $\mu\text{V}$ )				
			Gain = 1, $\pm V_{\text{REF}}$ , ADCxMDE = 0x01	Gain = 2, $\pm 500 \text{ mV}$ , ADCxMDE = 0x11	Gain = 4, $\pm 250 \text{ mV}$ , ADCxMDE = 0x21	Gain = 8, $\pm 125 \text{ mV}$ , ADCxMDE = 0x31	Gain = 16, $\pm 62.5 \text{ mV}$ , ADCxMDE = 0x41
3.53	On/sinc3	0x8E7C	1.05	0.45	0.23	0.135	0.072
30	Off/sinc3	0x007E	2.1	1.37	0.63	0.37	0.22
50	Off/sinc3	0x007D	3.7	1.6	0.83	0.47	0.29
100	Off/sinc3	0x004D	5.45	2.41	1.13	0.63	0.38
488	Off/sinc4	0x100F	10	4.7	2.2	1.3	0.79
976	Off/sinc4	0x1007	13.5	6.5	3.3	1.7	1.1
1953	Off/sinc4	0x1003	19.3	10	4.7	2.6	1.55
3906	Off/sinc4	0x1001	67.0	36	16.6	8.8	4.9

表 3. RMS ノイズとゲインおよび出力更新レートの関係、内部リファレンス (1.2 V)、ゲイン = 32、64、および 128

Update Rate (Hz)	Chop/Sinc	ADCFLT Register Value	RMS Noise ( $\mu\text{V}$ )					
			Gain = 32, <sup>1</sup> $\pm 62.5 \text{ mV}$ , ADCxMDE = 0x49	Gain = 32, <sup>1,2</sup> $\pm 22.18 \text{ mV}$ , ADCxMDE = 0x51	Gain = 64, <sup>3</sup> $\pm 15.625 \text{ mV}$ , ADCxMDE = 0x59	Gain = 64, <sup>3,4</sup> $\pm 10.3125 \text{ mV}$ , ADCxMDE = 0x61	Gain = 128, <sup>5</sup> $\pm 7.8125 \text{ mV}$ , ADCxMDE = 0x69	Gain = 128, <sup>5,6</sup> $\pm 3.98 \text{ mV}$ , ADCxMDE = 0x71
3.53	On/sinc3	0x8E7C	0.067	0.064	0.073	0.055	0.058	0.052
30	Off/sinc3	0x007E	0.202	0.2	0.196	0.16	0.174	0.155
50	Off/sinc3	0x007D	0.24	0.24	0.25	0.21	0.21	0.2
100	Off/sinc3	0x004D	0.35	0.32	0.36	0.27	0.31	0.25
488	Off/sinc4	0x100F	0.7	0.67	0.71	0.58	0.62	0.57
976	Off/sinc4	0x1007	0.99	0.91	1.01	0.74	0.83	0.7
1953	Off/sinc4	0x1003	1.78	1.3	1.48	1.15	1.25	1.0
3906	Off/sinc4	0x1001	6.44	2.68	3.59	1.4	2.2	1.4

<sup>1</sup> ゲイン 2 の変調器を使用して、ゲイン 16 の PGA を設定するには、ADCxMDE = 0x49 を実行します。ゲイン 2 の変調器は、サンプリング・コンデンサを変調器に合わせて調整することで実装されます。ADCxMDE = 0x51 は、変調器ゲインをオフにして、ゲイン 32 の PGA を設定します。ADCxMDE = 0x49 ではノイズが大きくなりますが、幅広い入力範囲に対応します。

<sup>2</sup> AVDD < 2.0 V および ADCxMDE = 0x51 の場合、入力範囲は  $\pm 17.5 \text{ mV}$  です。

<sup>3</sup> ゲイン 2 の変調器を使用して、ゲイン 32 の PGA を設定するには、ADCxMDE = 0x59 を実行します。ゲイン 2 の変調器は、サンプリング・コンデンサを変調器に合わせて調整することで実装されます。ADCxMDE = 0x61 は、変調器ゲインをオフにして、ゲイン 64 の PGA を設定します。ADCxMDE = 0x59 ではノイズが大きくなりますが、幅広い入力範囲に対応します。

<sup>4</sup> AVDD < 2.0 V および ADCxMDE = 0x61 の場合、入力範囲は  $\pm 8.715 \text{ mV}$  です。

<sup>5</sup> ゲイン 2 の変調器を使用して、ゲイン 64 の PGA を設定するには、ADCxMDE = 0x69 を実行します。ゲイン 2 の変調器は、サンプリング・コンデンサを変調器に合わせて調整することで実装されます。ADCxMDE = 0x71 は、変調器ゲインをオフにして、ゲイン 128 の PGA を設定します。ADCxMDE = 0x69 ではノイズが大きくなりますが、幅広い入力範囲に対応します。

<sup>6</sup> AVDD < 2.0 V および ADCxMDE = 0x71 の場合、入力範囲は  $\pm 3.828 \text{ mV}$  です。

表 4. ノーマル・モードでの出力 RMS ノイズの有効ビット数（代表値）、内部リファレンス（1.2 V）、ゲイン = 1、2、4、8、16

Update Rate (Hz)	Chop/Sinc	ENOB by Input Voltage Range and Gain <sup>1</sup>				
		Gain = 1, $\pm V_{REF}$ , ADCxMDE = 0x01	Gain = 2, $\pm 500$ mV, ADCxMDE = 0x11	Gain = 4, $\pm 250$ mV, ADCxMDE = 0x21	Gain = 8, $\pm 125$ mV, ADCxMDE = 0x31	Gain = 16, $\pm 62.5$ mV, ADCxMDE = 0x41
3.53	On/sinc3	21.1 (18.4 p-p)	21.1 (18.4 p-p)	21.1 (18.3 p-p)	20.8 (18.1 p-p)	20.7 (18.0 p-p)
30	Off/sinc3	20.1 (17.4 p-p)	19.5 (16.8 p-p)	19.6 (16.9 p-p)	19.4 (16.6 p-p)	19.1 (16.4 p-p)
50	Off/sinc3	19.3 (16.6 p-p)	19.25 (16.5 p-p)	19.2 (16.5 p-p)	19.0 (16.3 p-p)	18.7 (16.0 p-p)
100	Off/sinc3	18.7 (16.0 p-p)	18.66 (15.9 p-p)	18.75 (16.0 p-p)	18.6 (15.9 p-p)	18.3 (15.6 p-p)
488	Off/sinc4	17.9 (15.2 p-p)	17.7 (15.0 p-p)	17.8 (15.1 p-p)	17.55 (14.8 p-p)	17.3 (14.5 p-p)
976	Off/sinc4	17.4 (14.7 p-p)	17.2 (14.5 p-p)	17.2 (14.5 p-p)	17.2 (14.4 p-p)	16.8 (14.1 p-p)
1953	Off/sinc4	16.9 (14.2 p-p)	16.6 (13.9 p-p)	16.7 (14.0 p-p)	16.55 (13.8 p-p)	16.3 (13.6 p-p)
3906	Off/sinc4	15.1 (12.4 p-p)	14.8 (12.0 p-p)	14.9 (12.2 p-p)	14.8 (12.1 p-p)	14.6 (11.9 p-p)

<sup>1</sup> RMS ビットは次のように計算されます。  $\log_2((2 \times \text{入力範囲})/\text{RMS ノイズ})$ 。ピーク to ピーク (p-p) ビットは、次のように計算されます。  $\log_2((2 \times \text{入力範囲})/(6.6 \times \text{RMS ノイズ}))$ 。

表 5. 通常動作モードでの出力 RMS ノイズの有効ビット数（代表値）、内部リファレンス（1.2 V）、ゲイン = 32、64、128

Update Rate (Hz)	Chop/Sinc	ENOB by Input Voltage Range and Gain <sup>1</sup>					
		Gain = 32, $\pm 62.5$ mV, ADCxMDE = 0x49	Gain = 32, $\pm 22.18$ mV, ADCxMDE = 0x51	Gain = 64, $\pm 15.625$ mV, ADCxMDE = 0x59	Gain = 64, $\pm 10.3125$ mV, ADCxMDE = 0x61	Gain = 128, $\pm 7.8125$ mV, ADCxMDE = 0x69	Gain = 128, $\pm 3.98$ mV, ADCxMDE = 0x71
3.53	On/sinc3	19.8 (17.1 p-p)	19.4 (16.7 p-p)	18.7 (16.0 p-p)	18.5 (15.8 p-p)	18.0 (15.3 p-p)	17.2 (14.5 p-p)
30	Off/sinc3	18.2 (15.5 p-p)	17.75 (15.0 p-p)	17.3 (14.6 p-p)	17.0 (14.25 p-p)	16.45 (13.7 p-p)	15.6 (12.9 p-p)
50	Off/sinc3	18.0 (15.2 p-p)	17.5 (14.8 p-p)	16.93 (14.2 p-p)	16.6 (13.86 p-p)	16.2 (13.5 p-p)	15.3 (12.55 p-p)
100	Off/sinc3	17.4 (14.7 p-p)	17.1 (14.35 p-p)	16.4 (13.7 p-p)	16.2 (13.5 p-p)	15.6 (12.9 p-p)	15.0 (12.2 p-p)
488	Off/sinc4	16.4 (13.7 p-p)	16.0 (13.3 p-p)	15.4 (12.7 p-p)	15.1 (12.4 p-p)	14.6 (11.9 p-p)	13.8 (11.0 p-p)
976	Off/sinc4	15.9 (13.2 p-p)	15.6 (12.85 p-p)	14.91 (12.2 p-p)	14.8 (12.0 p-p)	14.2 (11.5 p-p)	13.4 (10.75 p-p)
1953	Off/sinc4	15.1 (12.4 p-p)	15.05 (12.3 p-p)	14.4 (11.6 p-p)	14.1 (11.4 p-p)	13.6 (10.9 p-p)	13.0 (10.2 p-p)
3906	Off/sinc4	13.2 (10.5 p-p)	14.0 (11.3 p-p)	13.1 (10.4 p-p)	13.8 (11.1 p-p)	12.8 (10.1 p-p)	12.5 (9.75 p-p)

<sup>1</sup> RMS ビットは次のように計算されます。  $\log_2((2 \times \text{入力範囲})/\text{RMS ノイズ})$ 。ピーク to ピーク (p-p) ビットは、次のように計算されます。  $\log_2((2 \times \text{入力範囲})/(6.6 \times \text{RMS ノイズ}))$ 。

## 外部リファレンス (2.5 V)

表6～表9に、外部リファレンス (2.5 V) を使用したADC0とADC1のrmsノイズ仕様を示します。表6と表7に、さまざまなゲインと出力更新レート値での両方のADCのrmsノイズを一覧で示します。表8と表9に、通常モードにおけるさまざまなゲインと出力更新レート値での両方のADCの出力rmsノイズの有効ビット数の代表値を一覧で示します（ピーク to ピーク有効ビット数は括弧内に記載）。

表 6. RMS ノイズとゲインおよび出力更新レートの関係、外部リファレンス (2.5 V)、ゲイン = 1、2、4、8、および 16

Update Rate (Hz)	Chop/Sinc	ADCFLT Register Value	RMS Noise ( $\mu\text{V}$ )				
			Gain = 1, $\pm V_{\text{REF}}$ , ADCxMDE = 0x01	Gain = 2, $\pm 500 \text{ mV}$ , ADCxMDE = 0x11	Gain = 4, $\pm 250 \text{ mV}$ , ADCxMDE = 0x21	Gain = 8, $\pm 125 \text{ mV}$ , ADCxMDE = 0x31	Gain = 16, $\pm 62.5 \text{ mV}$ , ADCxMDE = 0x41
3.53	On/sinc3	0x8E7C	1.1	0.5	0.27	0.17	0.088
30	Off/sinc3	0x007E	3	1.4	0.85	0.44	0.27
50	Off/sinc3	0x007D	3.9	2.2	0.92	0.46	0.3
100	Off/sinc3	0x004D	5.2	2.8	1.25	0.63	0.38
488	Off/sinc4	0x100F	9.3	5.0	2.5	1.2	0.75
976	Off/sinc4	0x1007	12.5	7	3.5	1.75	1.2
1953	Off/sinc4	0x1003	20.0	10	5.7	2.6	1.71
3906	Off/sinc4	0x1001	140.0	70.0	35.0	17.2	8.9

表 7. RMS ノイズとゲインおよび出力更新レートの関係、外部リファレンス (2.5 V)、ゲイン = 32、64、および 128

Update Rate (Hz)	Chop/Sinc	ADCFLT Register Value	RMS Noise ( $\mu\text{V}$ )					
			Gain = 32, <sup>1</sup> $\pm 62.5 \text{ mV}$ , ADCxMDE = 0x49	Gain = 32, <sup>1,2</sup> $\pm 22.18 \text{ mV}$ , ADCxMDE = 0x51	Gain = 64, <sup>3</sup> $\pm 15.625 \text{ mV}$ , ADCxMDE = 0x59	Gain = 64, <sup>3,4</sup> $\pm 10.3125 \text{ mV}$ , ADCxMDE = 0x61	Gain = 128, <sup>5</sup> $\pm 7.8125 \text{ mV}$ , ADCxMDE = 0x69	Gain = 128, <sup>5,6</sup> $\pm 3.98 \text{ mV}$ , ADCxMDE = 0x71
3.53	On/sinc3	0x8E7C	0.076	0.07	0.088	0.06	0.068	0.58
30	Off/sinc3	0x007E	0.21	0.22	0.21	0.19	0.175	0.17
50	Off/sinc3	0x007D	0.265	0.21	0.27	0.2	0.225	0.19
100	Off/sinc3	0x004D	0.37	0.32	0.366	0.28	0.32	0.26
488	Off/sinc4	0x100F	0.73	0.7	0.73	0.57	0.64	0.5
976	Off/sinc4	0x1007	1.1	0.83	1.01	0.77	0.89	0.75
1953	Off/sinc4	0x1003	2.05	1.3	1.6	1.24	1.3	1.1
3906	Off/sinc4	0x1001	9.4	4.8	5.1	2.65	3.2	1.88

<sup>1</sup> ゲイン2の変調器を使用して、ゲイン16のPGAを設定するには、ADCxMDE = 0x49を実行します。ゲイン2の変調器を実装するには、変調器に合わせてサンプリング・コンデンサを調整します。変調器のゲインをオフにして、ゲイン32のPGAを設定するには、ADCxMDE = 0x51を設定します。ADCxMDE = 0x49ではノイズが大きくなりますが、幅広い入力範囲に対応します。

<sup>2</sup> AVDD < 2.0 V および ADCxMDE = 0x51 の場合、入力範囲は  $\pm 17.5 \text{ mV}$  です。

<sup>3</sup> ゲイン2の変調器を使用して、ゲイン32のPGAを設定するには、ADCxMDE = 0x59を実行します。ゲイン2の変調器を実装するには、変調器に合わせてサンプリング・コンデンサを調整します。変調器のゲインをオフにして、ゲイン64のPGAを設定するには、ADCxMDE = 0x61を設定します。ADCxMDE = 0x59ではノイズが大きくなりますが、幅広い入力範囲に対応します。

<sup>4</sup> AVDD < 2.0 V および ADCxMDE = 0x61 の場合、入力範囲は  $\pm 8.715 \text{ mV}$  です。

<sup>5</sup> ゲイン2の変調器を使用して、ゲイン64のPGAを設定するには、ADCxMDE = 0x69を実行します。ゲイン2の変調器を実装するには、変調器に合わせてサンプリング・コンデンサを調整します。変調器のゲインをオフにして、ゲイン128のPGAを設定するには、ADCxMDE = 0x71を設定します。ADCxMDE = 0x69ではノイズが大きくなりますが、幅広い入力範囲に対応します。

<sup>6</sup> AVDD < 2.0 V および ADCxMDE = 0x71 の場合、入力範囲は  $\pm 3.828 \text{ mV}$  です。

表 8. 通常動作モードでの出力 RMS ノイズの有効ビット数（典型値）、外部リファレンス（2.5 V）、ゲイン = 1、2、4、8、16

Update Rate (Hz)	Chop/Sinc	ENOB by Input Voltage Range and Gain <sup>1</sup>				
		Gain = 1, $\pm V_{REF}$ , ADCxMDE = 0x01	Gain = 2, $\pm 500$ mV, ADCxMDE = 0x11	Gain = 4, $\pm 250$ mV, ADCxMDE = 0x21	Gain = 8, $\pm 125$ mV, ADCxMDE = 0x31	Gain = 16, $\pm 62.5$ mV, ADCxMDE = 0x41
3.53	On/sinc3	22.1 (19.4 p-p)	20.9 (18.2 p-p)	20.8 (18.1 p-p)	20.5 (17.7 p-p)	20.43 (17.7 p-p)
30	Off/sinc3	20.7 (18.0 p-p)	19.4 (16.7 p-p)	19.2 (16.4 p-p)	19.1 (16.4 p-p)	18.82 (16.1 p-p)
50	Off/sinc3	20.3 (17.6 p-p)	18.8 (16.1 p-p)	19.05 (16.3 p-p)	19.05 (16.3 p-p)	18.66 (15.9 p-p)
100	Off/sinc3	19.9 (17.2 p-p)	18.4 (15.7 p-p)	18.6 (15.9 p-p)	18.6 (15.9 p-p)	18.32 (15.6 p-p)
488	Off/sinc4	19.0 (16.3 p-p)	17.6 (14.9 p-p)	17.6 (14.9 p-p)	17.7 (14.9 p-p)	17.34 (14.6 p-p)
976	Off/sinc4	18.6 (15.9 p-p)	17.1 (14.4 p-p)	17.1 (14.4 p-p)	17.1 (14.4 p-p)	16.66 (13.9 p-p)
1953	Off/sinc4	17.9 (15.2 p-p)	16.6 (13.9 p-p)	16.4 (13.7 p-p)	16.55 (13.8 p-p)	16.15 (13.4 p-p)
3906	Off/sinc4	15.1 (12.4 p-p)	13.8 (11.1 p-p)	13.8 (11.1 p-p)	13.8 (11.1 p-p)	13.77 (11.05 p-p)

<sup>1</sup> RMS ビットは次のように計算されます。  $\log_2((2 \times \text{入力範囲})/\text{RMS ノイズ})$ 。ピーク to ピーク (p-p) ビットは、次のように計算されます。  $\log_2((2 \times \text{入力範囲})/(6.6 \times \text{RMS ノイズ}))$ 。

表 9. 通常動作モードでの出力 RMS ノイズの有効ビット数（代表値）、外部リファレンス（2.5 V）、ゲイン = 32、64、128

Update Rate (Hz)	Chop/Sinc	ENOB by Input Voltage Range and Gain <sup>1</sup>					
		Gain = 32, $\pm 62.5$ mV, ADCxMDE = 0x49	Gain = 32, $\pm 22.18$ mV, ADCxMDE = 0x51	Gain = 64, $\pm 15.625$ mV, ADCxMDE = 0x59	Gain = 64, $\pm 10.3125$ mV, ADCxMDE = 0x61	Gain = 128, $\pm 7.8125$ mV, ADCxMDE = 0x69	Gain = 128, $\pm 3.98$ mV, ADCxMDE = 0x71
3.53	On/sinc3	19.6 (16.9 p-p)	19.3 (16.55 p-p)	18.4 (15.7 p-p)	18.4 (15.7 p-p)	17.8 (15.1 p-p)	17.1 (14.3 p-p)
30	Off/sinc3	18.2 (15.5 p-p)	17.6 (14.9 p-p)	17.2 (14.5 p-p)	16.7 (14.0 p-p)	16.4 (13.7 p-p)	15.5 (12.8 p-p)
50	Off/sinc3	17.8 (15.1 p-p)	17.7 (15.0 p-p)	16.8 (14.1 p-p)	16.65 (13.9 p-p)	16.1 (13.4 p-p)	15.35 (12.6 p-p)
100	Off/sinc3	17.4 (14.6 p-p)	17.1 (14.35 p-p)	16.4 (13.7 p-p)	16.2 (13.4 p-p)	15.6 (12.85 p-p)	14.9 (12.2 p-p)
488	Off/sinc4	16.4 (13.7 p-p)	16.0 (13.2 p-p)	15.4 (12.7 p-p)	15.1 (12.4 p-p)	14.6 (11.85 p-p)	14.0 (11.2 p-p)
976	Off/sinc4	15.8 (13.1 p-p)	15.7 (13.0 p-p)	14.9 (12.2 p-p)	14.7 (12.0 p-p)	14.1 (11.4 p-p)	13.4 (10.6 p-p)
1953	Off/sinc4	14.9 (12.1 p-p)	15.1 (12.3 p-p)	14.25 (11.5 p-p)	14.0 (11.3 p-p)	13.55 (10.8 p-p)	12.8 (10.1 p-p)
3906	Off/sinc4	12.7 (10.0 p-p)	13.2 (10.4 p-p)	12.6 (9.9 p-p)	12.9 (10.2 p-p)	12.25 (9.5 p-p)	12.0 (9.3 p-p)

<sup>1</sup> RMS ビットは次のように計算されます。  $\log_2((2 \times \text{入力範囲})/\text{RMS ノイズ})$ 。ピーク to ピーク (p-p) ビットは、次のように計算されます。  $\log_2((2 \times \text{入力範囲})/(6.6 \times \text{RMS ノイズ}))$ 。

I<sup>2</sup>C タイミングの仕様

各 I<sup>2</sup>C バス・ライン (C<sub>B</sub>) の容量性負荷は、I<sup>2</sup>C バス仕様に従い、最大 400 pF です。I<sup>2</sup>C のタイミングは設計時に確認されていますが、出荷テストの対象外です。

表 10. 高速モード (400 kHz) での I<sup>2</sup>C のタイミング

Parameter	Description	Min	Max	Unit
t <sub>L</sub>	Serial clock (SCL) low pulse width	1300		ns
t <sub>H</sub>	SCL high pulse width	600		ns
t <sub>SHD</sub>	Start condition hold time	600		ns
t <sub>DSU</sub>	Data setup time	100		ns
t <sub>DHD</sub>	Data hold time	0		ns
t <sub>RSU</sub>	Setup time for repeated start	600		ns
t <sub>PSU</sub>	Stop condition setup time	600		ns
t <sub>BUF</sub>	Bus free time between a stop condition and a start condition	1.3		μs
t <sub>R</sub>	Rise time for both SCL and serial data (SDA)	20 + 0.1 C <sub>B</sub>	300	ns
t <sub>F</sub>	Fall time for both SCL and SDA	20 + 0.1 C <sub>B</sub>	300	ns
t <sub>SUP</sub>	Pulse width of suppressed spike	0	50	ns

表 11. 標準モード (100 kHz) での I<sup>2</sup>C のタイミング

Parameter	Description	Min	Max	Unit
t <sub>L</sub>	SCL low pulse width	4.7		μs
t <sub>H</sub>	SCL high pulse width	4.0		ns
t <sub>SHD</sub>	Start condition hold time	4.7		μs
t <sub>DSU</sub>	Data setup time	250		ns
t <sub>DHD</sub>	Data hold time	0		μs
t <sub>RSU</sub>	Setup time for repeated start	4.0		μs
t <sub>PSU</sub>	Stop condition setup time	4.0		μs
t <sub>BUF</sub>	Bus free time between a stop condition and a start condition	4.7		μs
t <sub>R</sub>	Rise time for both SCL and SDA		1	μs
t <sub>F</sub>	Fall time for both SCL and SDA		300	ns

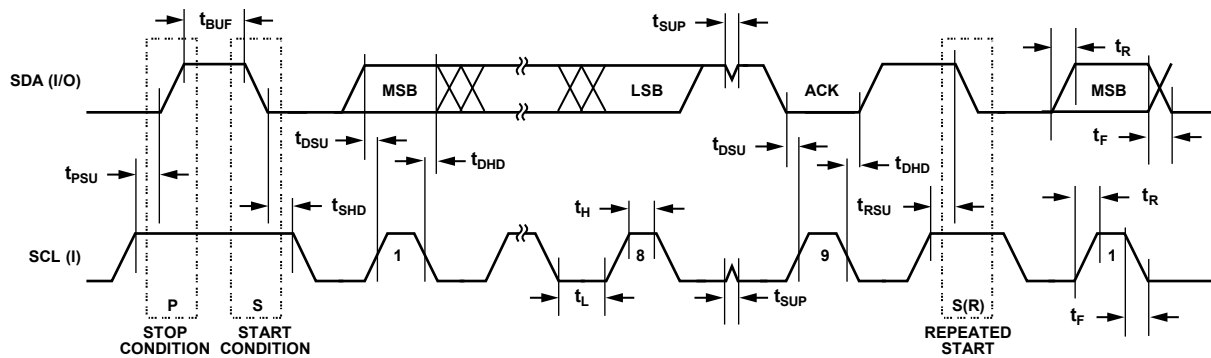


図 3. I<sup>2</sup>C 互換インターフェースのタイミング

14819-002

SPI タイミングの仕様

表 12. SPI マスター・モードのタイミング

Parameter	Description	Min	Typ	Max	Unit
$t_{SL}$	SCLK low pulse width <sup>1</sup>		$(SPIDIV + 1) \times t_{UCLK}$		ns
$t_{SH}$	SCLK high pulse width <sup>1</sup>		$(SPIDIV + 1) \times t_{UCLK}$		ns
$t_{DAV}$	Data output valid after SCLK edge		0	35.5	ns
$t_{DOSU}$	Data output setup time before SCLK edge <sup>1</sup>	$(SPIDIV + 1) \times t_{UCLK}$			ns
$t_{DSU}$	Data input setup time before SCLK edge	58.7			ns
$t_{DHD}$	Data input hold time after SCLK edge	16			ns
$t_{DF}$	Data output fall time		12	35.5	ns
$t_{DR}$	Data output rise time		12	35.5	ns
$t_{SR}$	SCLK rise time		12	35.5	ns
$t_{SF}$	SCLK fall time		12	35.5	ns

<sup>1</sup>  $t_{UCLK} = 62.5$  ns。クロック分周器の前段にある内部 16 MHz クロックに対応します。

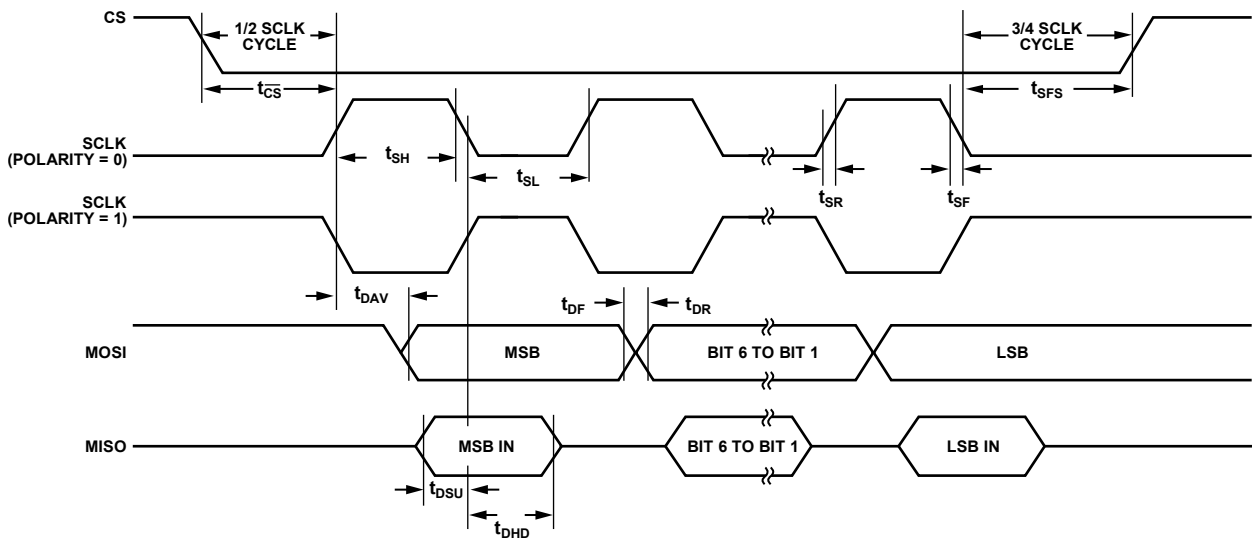


図 4. SPI マスター・モードのタイミング (フェーズ・モード = 1)

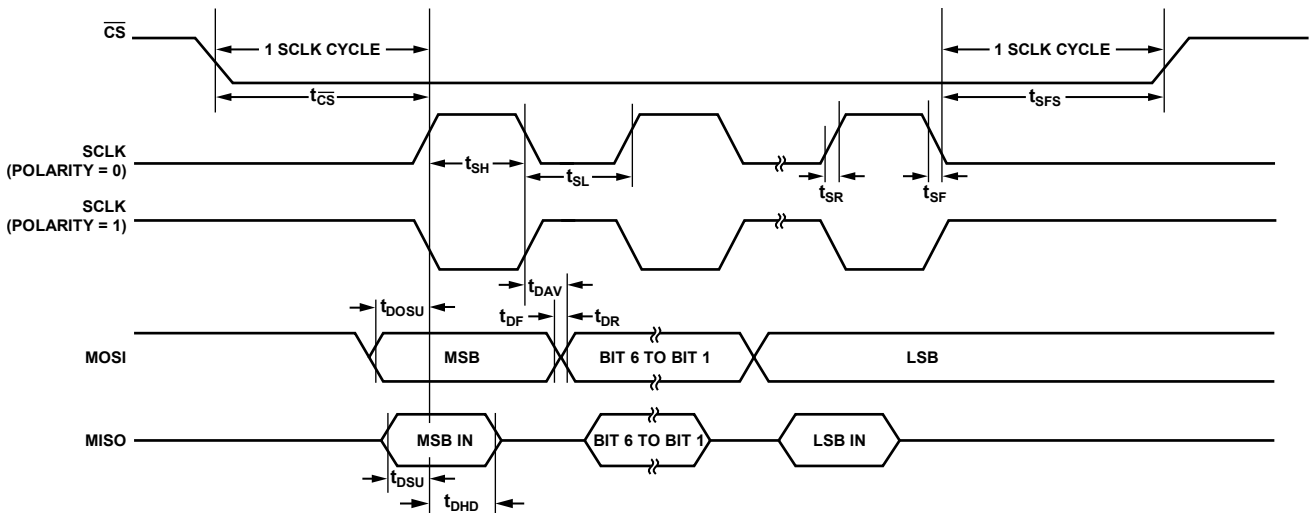


図 5. SPI マスター・モードのタイミング (フェーズ・モード = 0)



表 13. SPI スレーブ・モードのタイミング

Parameter	Description	Min	Typ	Max	Unit
$t_{CS}$	$\overline{CS}$ to SCLK edge	62.5			ns
$t_{SL}$	SCLK low pulse width <sup>1</sup>		$(SPIDIV + 1) \times t_{UCLK}$		ns
$t_{SH}$	SCLK high pulse width <sup>1</sup>	62.5	$(SPIDIV + 1) \times t_{UCLK}$		ns
$t_{DAV}$	Data output valid after SCLK edge			49.1	ns
$t_{DSU}$	Data input setup time before SCLK edge	20.2			ns
$t_{DHD}$	Data input hold time after SCLK edge	10.1			ns
$t_{DF}$	Data output fall time		12	35.5	ns
$t_{DR}$	Data output rise time		12	35.5	ns
$t_{SR}$	SCLK rise time		12	35.5	ns
$t_{SF}$	SCLK fall time		12	35.5	ns
$t_{SFS}$	$\overline{CS}$ high after SCLK edge	0			ns

<sup>1</sup>  $t_{UCLK} = 62.5$  ns。クロック分周器の前段にある内部 16 MHz クロックに対応します。

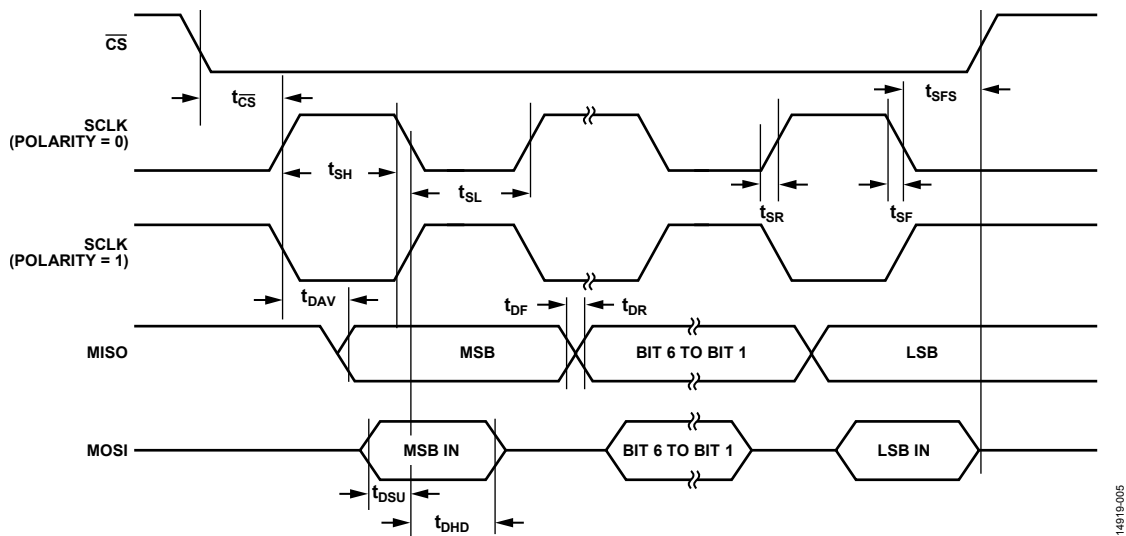


図 6. SPI スレーブ・モードのタイミング (フェーズ・モード = 1)

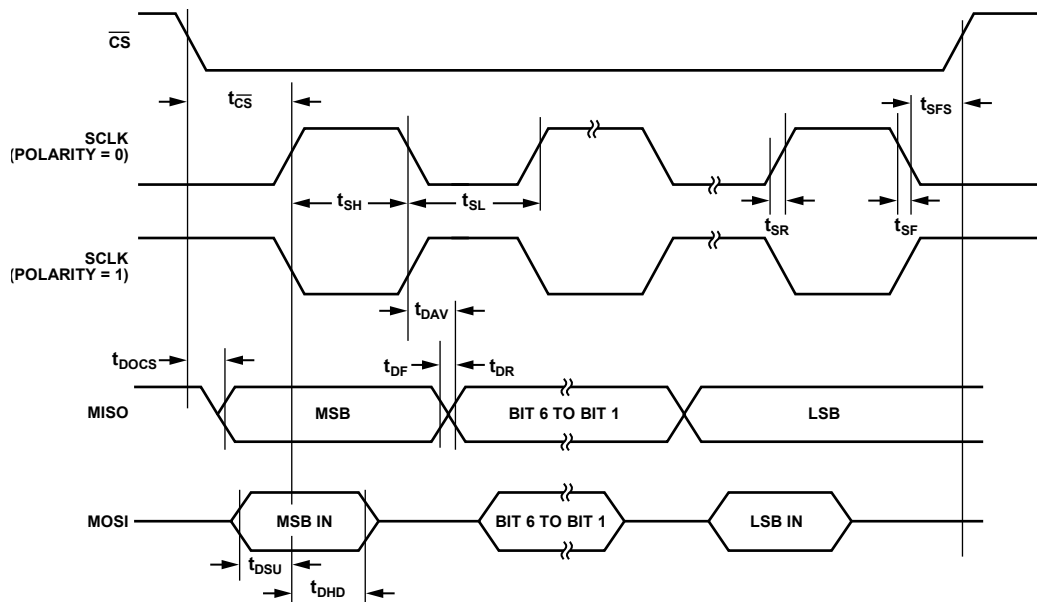


図 7. SPI スレーブ・モードのタイミング (フェーズ・モード = 0)

## 絶対最大定格

表 14.

Parameter	Rating
AVDD to AGND	-0.3 V to +3.96 V
IOVDD to DGND	-0.3 V to +3.96 V
Digital Input Voltage to DGND	-0.3 V to +3.96 V
Digital Output Voltage to DGND	-0.3 V to +3.96 V
Analog Inputs to AGND	-0.3 V to +3.96 V
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
ESD Rating, All Pins	
Human Body Model (HBM)	±2 kV
Field-Induced Charged Device Model (FICDM)	±850 V
Peak Solder Reflow Temperature	
SnPb Assemblies (10 sec to 30 sec)	240°C
Pb-Free Assemblies (20 sec to 40 sec)	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を引き起こす場合があります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えます。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連があります。PCB の熱設計には、細心の注意が必要です。

表 15. 熱抵抗

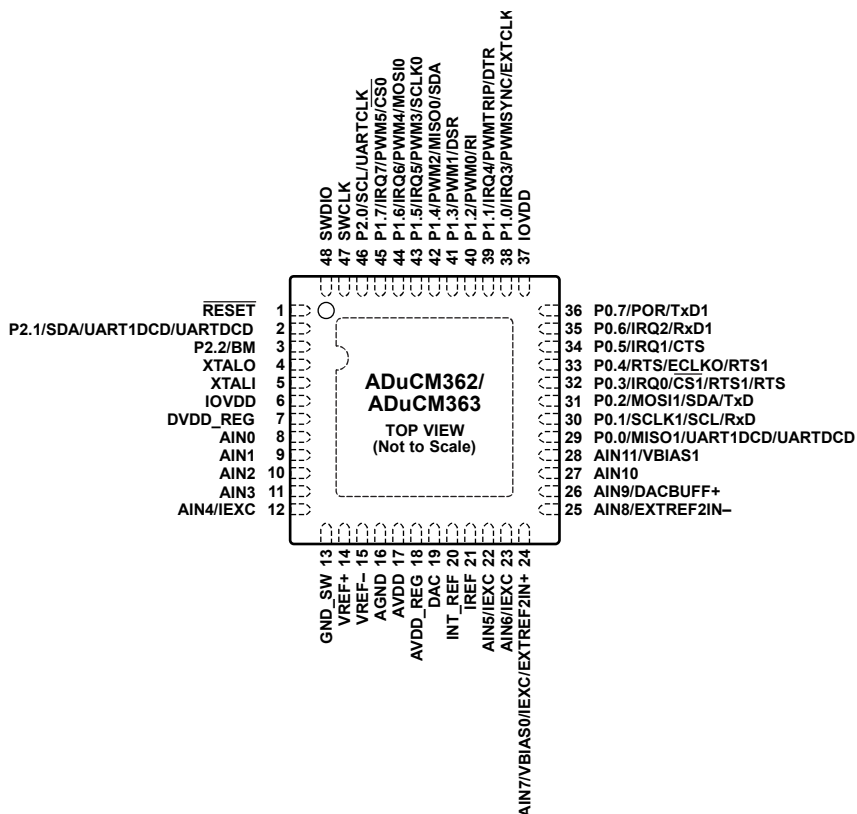
Package Type	$\theta_{JA}$	Unit
CP-48-4	27	°C/W

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES  
 1. EXPOSED PAD. THE LFCSP HAS AN EXPOSED PAD THAT MUST BE SOLDERED TO A METAL PLATE ON THE PCB AND TO DGND FOR MECHANICAL REASONS.

14919-007

図 8. ピン配置

表 16. ピン機能の説明

ピン番号	記号	説明
1	RESET	リセット・ピン、アクティブ・ロー入力。内部ブルアップを提供します。
2	P2.1/SDA/UART1DCD/UARTDCD	汎用の入出力 P2.1/I <sup>2</sup> C シリアル・データ・ピン/UART1 データ・キャリア検出ピン/UART データ・キャリア検出ピン。
3	P2.2/BM	汎用入出力 P2.2/ブート・モード入力選択ピン。リセット・シーケンスの最中や直後にこのピンがローになると、デバイスは UART ダウンロード・モードに移行します。
4	XTALO	外付け水晶発振器の出力ピン。リアルタイム・クロック用の 32.768 kHz ソース (オプション)。
5	XTALI	外付け水晶発振器の入力ピン。リアルタイム・クロック用の 32.768 kHz ソース (オプション)。
6	IOVDD	デジタル・システム電源ピン。このピンは、0.1 μF のコンデンサ経由で DGND に接続する必要があります。
7	DVDD_REG	デジタル・レギュレータ電源。このピンは、470 μF のコンデンサ経由で DGND とピン 18、AVDD_REG に接続する必要があります。
8	AIN0	ADC アナログ入力 0。このピンは、差動モードまたはシングルエンド・モードで、いずれかの ADC への正または負の入力として設定できます。
9	AIN1	ADC アナログ入力 1。このピンは、差動モードまたはシングルエンド・モードで、いずれかの ADC への正または負の入力として設定できます。
10	AIN2	ADC アナログ入力 2。このピンは、差動モードまたはシングルエンド・モードで、いずれかの ADC への正または負の入力として設定できます。
11	AIN3	ADC アナログ入力 3。このピンは、差動モードまたはシングルエンド・モードで、いずれかの ADC への正または負の入力として設定できます。
12	AIN4/BM	ADC アナログ入力 4/励起電流源。このピンは、差動モードまたはシングルエンド・モードでいずれかの ADC への正または負の入力として設定できます (AIN4)。励起電流源 0 または励起電流源 1 の出力としても設定できます (IEXC)。

ピン番号	記号	説明
13	GND_SW	アナログ・グラウンド・リファレンスへのセンサー電力スイッチ
14	VREF+	外部リファレンス正入力。VREF+ ピンと VREF- ピンの間に外部リファレンスを適用できます。
15	VREF-	外部リファレンス負入力。VREF+ ピンと VREF- ピンの間に外部リファレンスを適用できます。
16	AGND	アナログ・システムのグラウンド・リファレンス・ピン
17	AVDD	アナログ・システムの電源ピン。このピンは、0.1 $\mu$ F コンデンサ経由で AGND に接続する必要があります。
18	AVDD_REG	内部アナログ・レギュレータの電源出力。このピンは、470 $\mu$ F コンデンサ経由で AGND とピン 7、DVDD_REG に接続する必要があります。
19	DAC	バッテリー電圧出力。
20	INT_REF	内部リファレンス。このピンは、470 $\mu$ F デカップリング・コンデンサ経由でグラウンドに接続する必要があります。
21	IREF	励起電流源用のオプションのリファレンス電流抵抗に接続します。励起電流源に使用されるリファレンス電流は、このピンに接続される低ドリフト (5 ppm/°C) の外付け抵抗によって設定されます。
22	AIN5/IEXC	ADC アナログ入力 5/励起電流源。このピンは、差動モードまたはシングルエンド・モードでいずれかの ADC への正または負の入力として設定できます (AIN5)。励起電流源 0 または 励起電流源 1 の出力としても設定できます (IEXC)。
23	AIN6/IEXC	ADC アナログ入力 6/励起電流源。このピンは、差動モードまたはシングルエンド・モードでいずれかの ADC への正または負の入力として設定できます (AIN6)。励起電流源 0 または 励起電流源 1 の出力としても設定できます (IEXC)。
24	AIN7/VBIAS0/IEXC/EXTREF2IN+	ADC アナログ入力 7/バイアス電圧出力/励起電流源/外部リファレンス 2 正入力。このピンは、差動モードまたはシングルエンド・モードでいずれかの ADC への正または負の入力として設定できます (AIN7)。このピンは、バイアス電圧 AVDD_REG/2 (VBIAS0) の VBIAS0 を生成するアナログ出力ピン、励起電流源 0 または励起電流源 1 (IEXC) の出力ピン、外部リファレンス 2 の正入力 (EXTREF2IN+) として設定することもできます。
25	AIN8/EXTREF2IN-	ADC アナログ入力 8/外部リファレンス 2 負入力。このピンは、差動モードまたはシングルエンド・モードでいずれかの ADC への正または負の入力として設定できます (AIN8)。このピンは、外部リファレンス 2 (EXTREF2IN-) の負入力として設定できます。
26	AIN9/DACBUFF+	ADC アナログ入力 9/DAC 出力バッファへの非反転入力。このピンは、差動モードまたはシングルエンド・モードで、いずれかの ADC への正または負の入力として設定できます (AIN9)。このピンは、DAC が NPN モード (DACBUFF+) 用に設定されている場合、DAC 出力バッファへの非反転入力としても設定できます。
27	AIN10	ADC アナログ入力 10。このピンは、差動モードまたはシングルエンド・モードで、いずれかの ADC への正または負の入力として設定できます。
28	AIN11/VBIAS1	ADC アナログ入力 11/バイアス電圧出力。このピンは、差動モードまたはシングルエンド・モードで、いずれかの ADC への正または負の入力として設定できます (AIN11)。このピンは、バイアス電圧 AVDD_REG/2 の VBIAS1 を生成するアナログ出力ピンとしても設定できます (VBIAS1)。
29	P0.0/MISO1/UART1DCD/ UARTDCD	汎用入出力 P0.0/SPI1 マスター入力、スレーブ出力ピン/UART1 データ・キャリア検出ピン/ UART データ・キャリア検出ピン。
30	P0.1/SCLK1/SCL/RxD	汎用入出力 P0.1/SPI1 シリアル・クロック・ピン/I <sup>2</sup> C シリアル・クロック・ピン/UART シリアル 入力 (UART ダウンローダのデータ入力)。
31	P0.2/MOSI1/SDA/TxD	汎用入出力 P0.2/SPI1 マスター出力、スレーブ入力ピン/I <sup>2</sup> C シリアル・クロック・データ・ピン /UART シリアル出力 (UART ダウンローダのデータ出力)。
32	P0.3/IRQ0/ $\overline{\text{CSI}}$ /RTS1/RTS	汎用入出力 P0.3/外部割込みリクエスト 0/SPI1 チップ選択ピン (アクティブ・ロー) (SPI1 を 使用している場合、このピンを CSI として設定) /信号送信の UART1 リクエスト/信号送信の UART リクエスト。
33	P0.4/RTS/ECLKO/RTS1	汎用入出力 P0.4/信号送信の UART リクエスト/テスト目的の外部クロック出力ピン/信号送信 の UART1 リクエスト。
34	P0.5/IRQ1/CTS	汎用入出力 P0.5/外部割込みリクエスト 1/信号送信の UART クリア。
35	P0.6/IRQ2/RxD1	汎用入出力 P0.6/外部割込みリクエスト 2/UART1 シリアル入力。
36	P0.7/POR/TxD1	汎用入出力 P0.7/パワーオン・リセット・ピン (アクティブ・ハイ) /UART1 シリアル出力。
37	IOVDD	デジタル・システム電源ピン。このピンは、0.1 $\mu$ F のコンデンサ経由で DGND に接続する必要が あります。
38	P1.0/IRQ3/PWMSYNC/EXTCLK	汎用入出力 P1.0/外部割込みリクエスト 3/PWM 外部同期入力/外部クロック入力ピン。
39	P1.1/IRQ4/PWMTRIP/DTR	汎用入出力 P1.1/外部割込みリクエスト 4/PWM 外部トリップ入力/UART 端子レディ・ピン。
40	P1.2/PWM0/RI	汎用入出力 P1.2/PWM0 出力/UART リング・インジケータ・ピン

ピン番号	記号	説明
41	P1.3/PWM1/DSR	汎用入出力 P1.3/PWM1 出力/UART データ・セット・レディ・ピン
42	P1.4/PWM2/MISO/SDA	汎用入出力 P1.4/PWM2 出力/SPI0 マスター入力/スレーブ出力ピン/I <sup>2</sup> C シリアル・データ・ピン。
43	P1.5/IRQ5/PWM3/SCLK0	汎用入出力 P1.5/外部割込みリクエスト 5/PWM3 出力/SPI0 シリアル・クロック・ピン。
44	P1.6/IRQ6/PWM4/MOSI0	汎用入出力 P1.6/外部割込みリクエスト 6/PWM4 出力/SPI0 マスター出力、スレーブ入力ピン。
45	P1.7/IRQ7/PWM5/CS0	汎用入出力 P1.7/外部割込みリクエスト 7/PWM5 出力/SPI0 チップ選択ピン(アクティブ・ロー) (SPI0 を使用している場合、このピンを CS0 として設定)
46	P2.0/SCL/UARTCLK	汎用入出力 P2.0/I <sup>2</sup> C シリアル・クロック・ピン/UART ブロック専用の入力クロック・ピン。
47	SWCLK	シリアル・ワイヤ・デバッグのクロック入力ピン。
48	SWDIO	シリアル・ワイヤ・デバッグのデータ入出力ピン。
	EP	露出パッド。LFCSP にある露出パッドは、機械的な理由により、PCB の金属面と DGND にハンダ付けする必要があります。

代表的な性能特性

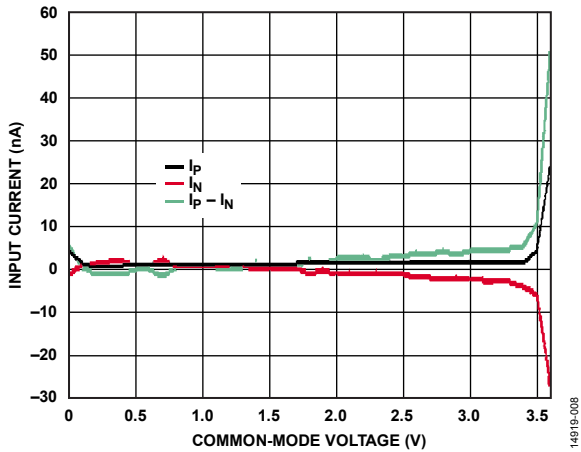


図 9. 入力電流とコモンモード電圧の関係 ( $V_{CM}$ )、ゲイン = 4、ADC 入力 = 250 mV、AVDD = 3.6 V、 $T_A = 25^\circ\text{C}$ 、 $V_{CM} = ((AIN+) + (AIN-))/2$

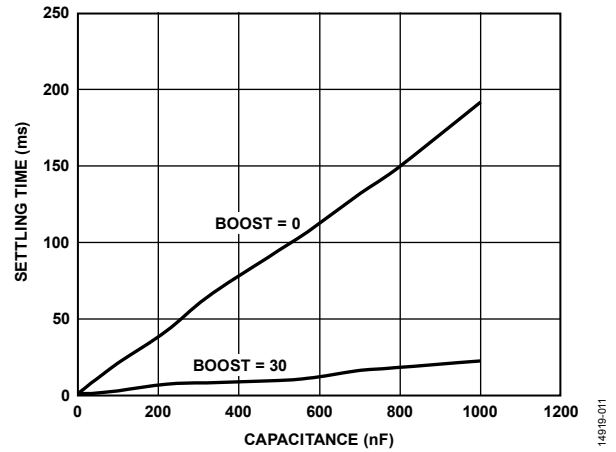


図 12. VBIASx 出力セトリング・タイムと負荷容量の関係、 $T_A = 25^\circ\text{C}$ 、IOVDD および AVDD = 3.3 V

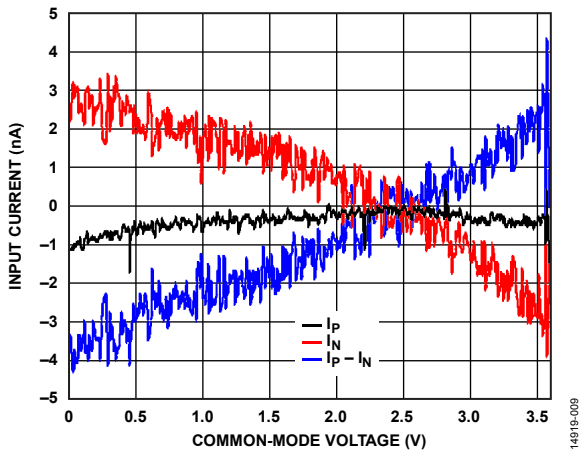


図 10. 入力電流とコモンモード電圧の関係 ( $V_{CM}$ )、ゲイン = 128、ADC 入力 = 7.8125 mV、AVDD = 3.6 V、 $T_A = 25^\circ\text{C}$ 、 $V_{CM} = ((AIN+) + (AIN-))/2$

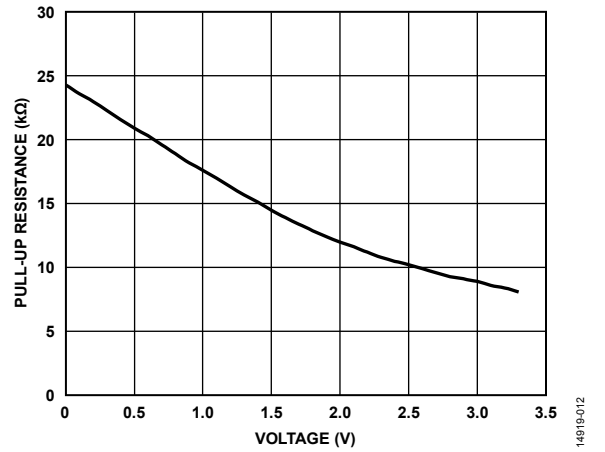


図 13. デジタル入力ピンのプルアップ抵抗値とデジタル・ピンに加える電圧の関係、 $T_A = 25^\circ\text{C}$ 、IOVDD = 3.4 V

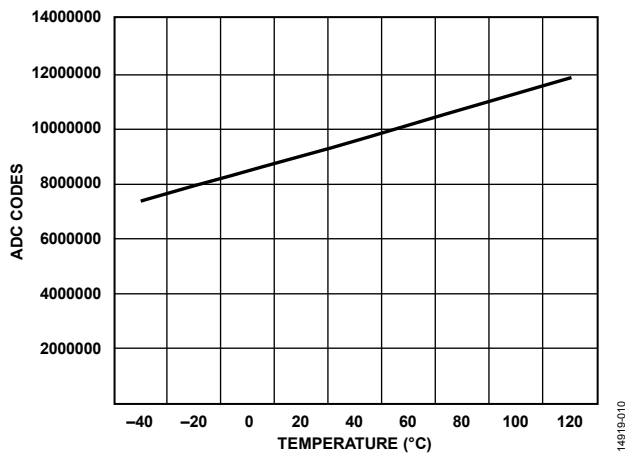


図 11. ADC コード (10 進数値) とダイの温度の関係

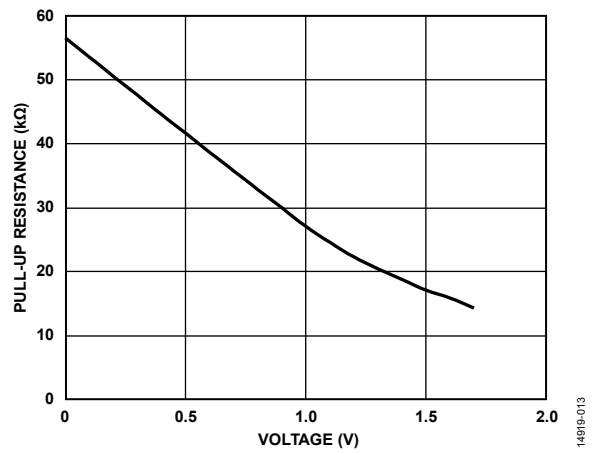


図 14. デジタル入力ピンのプルアップ抵抗値とデジタル・ピンに加える電圧の関係、 $T_A = 25^\circ\text{C}$ 、IOVDD = 1.8 V

## 代表的なシステム構成

図 15 に、代表的な ADuCM362/ADuCM363 の設定を示します。この図では、ハードウェアの考慮事項について説明します。LFCSP パッケージ下部にある露出パッドは、機械的な理由により、PCB の金属面と DGND にハンダ付けする必要があります。PCB の金属面は、グラウンドに接続できます。AVDD\_REG ピンと DVDD\_REG ピンに接続する 0.47  $\mu\text{F}$  のコンデンサは、可能な限りピンの近くに配置します。ノイズが多い環境では、1 nF のコンデンサを IOVDD と AVDD に追加できます。

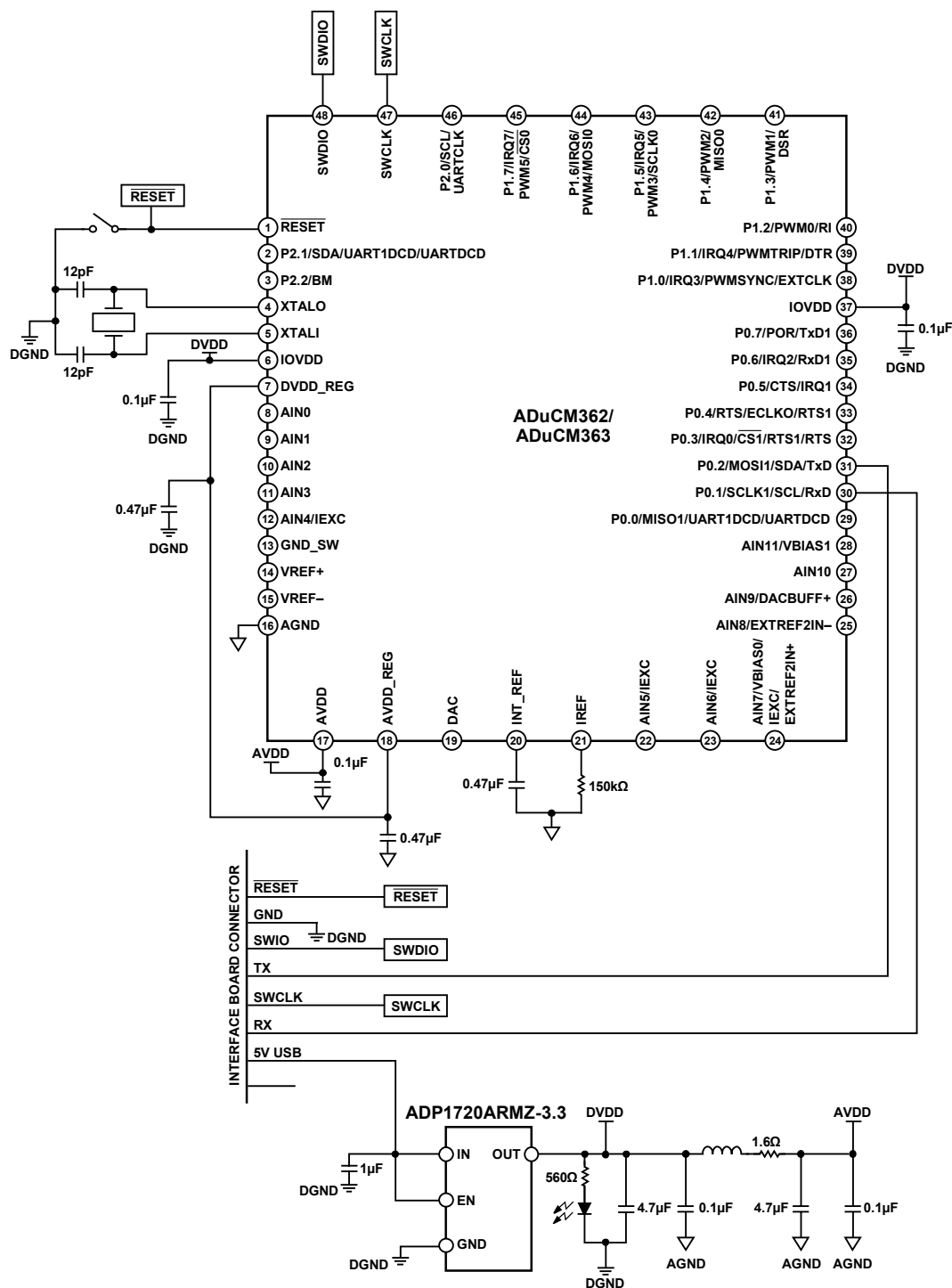
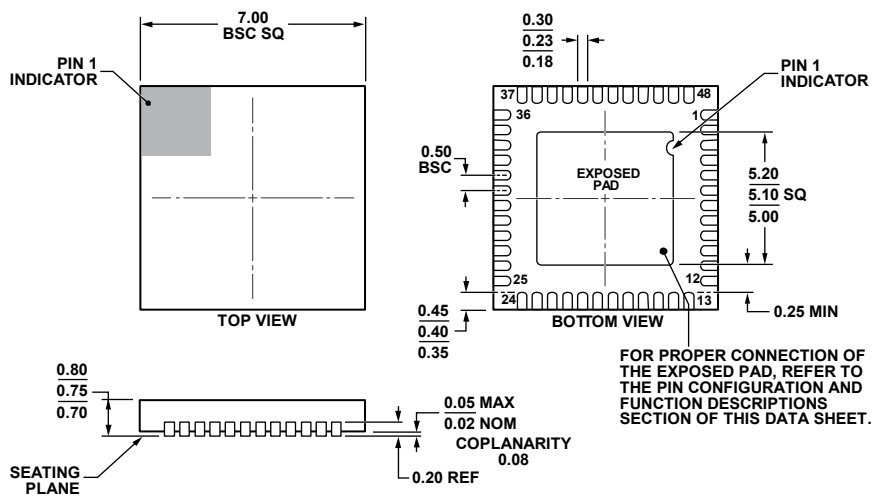


図 15. 代表的なシステム構成

140158-115

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WKKD.

図 16. 48 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]  
 7 mm × 7 mm ボディ、0.75 mm パッケージ高  
 (CP-48-4)  
 寸法: mm

オーダー・ガイド

Model <sup>1</sup>	ADCs	Flash/SRAM	Temperature Range	Package Description	Package Option	Ordering Quantity
ADuCM362BCPZ256	Dual 24-Bit	256 kB/24 kB	-40°C to +125°C	48-Lead LFCSP	CP-48-4	
ADuCM362BCPZ256RL7	Dual 24-Bit	256 kB/24 kB	-40°C to +125°C	48-Lead LFCSP	CP-48-4	750
ADuCM362BCPZ128	Dual 24-Bit	128 kB/16 kB	-40°C to +125°C	48-Lead LFCSP	CP-48-4	
ADuCM362BCPZ128RL7	Dual 24-Bit	128 kB/16 kB	-40°C to +125°C	48-Lead LFCSP	CP-48-4	750
ADuCM363BCPZ256	Single 24-Bit	256 kB/24 kB	-40°C to +125°C	48-Lead LFCSP	CP-48-4	
ADuCM363BCPZ256RL7	Single 24-Bit	256 kB/24 kB	-40°C to +125°C	48-Lead LFCSP	CP-48-4	750
ADuCM363BCPZ128	Single 24-Bit	128 kB/16 kB	-40°C to +125°C	48-Lead LFCSP	CP-48-4	
ADuCM363BCPZ128RL7	Single 24-Bit	128 kB/16 kB	-40°C to +125°C	48-Lead LFCSP	CP-48-4	750
EVAL-ADuCM362QSPZ				ADuCM362 QuickStart Plus Development System		
EVAL-ADuCM363QSPZ				ADuCM363 QuickStart Plus Development System		

<sup>1</sup> Z = RoHS 準拠製品