



高精度アナログ・マイクロコントローラ チューナブル光制御マイクロコントローラ

データシート

ADuCM310

特長

アナログ入力/出力

次の特長を持つ、22チャンネルの14ビット800 kSPSのA/Dコンバータ(ADC)を内蔵:

- 外部チャンネル×10
- チップ温度モニタ×1
- 電流出力D/Aコンバータ(IDAC)モニタ・チャンネル×6
- 電源モニタ・チャンネル×3
- バッファ付きリファレンス出力チャンネル×2
- フル差動モードとシングルエンド・モードをサポート

アナログ入力範囲: 0V~2.5V

250 mA×1、200 mA×1、100 mA×2、20 mA×2の6種類の低ノイズ12/14ビットIDAC出力をサポート

高速電流シンクを可能にするため半導体光アンプ(SOA) IDACを-3.0Vレベルダウン

8種類の12ビット電圧出力DAC(VDAC)

- チャンネル0およびチャンネル1: 0V~3V、75Ω負荷
- チャンネル2およびチャンネル3: -5V~0V、500Ω負荷
- チャンネル4およびチャンネル5: 0V~3V、300Ω負荷
- チャンネル6: 0V~5V、500Ω負荷
- チャンネル7: 0V~5V、100Ω負荷

2.5Vのリファレンス電圧を内蔵

バッファ付き2.5V出力×2

マイクロコントローラ

RISCアーキテクチャの32ビットARM Cortex-M3プロセッサを採用

シリアル・ワイヤ・ポートによるコードのダウンロードとデバッグをサポート

クロック・オプション

調整済み内蔵発振器(±3%)

80 MHzの位相ロック・ループ(PLL)

外付け16 MHz水晶オプション

外付けクロック・ソースメモリ

2×128 kBのフラッシュ/EEメモリ、32 kB SRAM

インサーキット・ダウンロード、シリアル・ワイヤ・デバッグ・ポート(SW-DP)によるデバッグ機能

ソフトウェア起動のインサーキット再設定機能

内蔵ペリフェラル

シリアル入力/出力: UART、I²C×2、SPI×2

28本の汎用入力/出力(GPIO)ピン・ポート

汎用タイマ×3

ウェイクアップ(W/U)タイマ

ウォッチドッグ・タイマ(WDT)

32エレメントのプログラマブル・ロジック・アレイ(PLA)

ベクタ割込みコントローラ

外部ピン入力のエッジまたはレベルでの割込み生成

外部割込み×9

電源

複数電源を使用

VDAC6およびVDAC7用5V

デジタルおよびアナログ入力/出力用3.3V

IDAC用1.8V~2.5V

IDAC3およびVDAC2/VDAC3用-5V

パッケージと温度範囲

6 mm×6 mm、112ボールCSP_BGAパッケージを採用

規定動作周囲温度: -10°C~+85°C

ツール

QuickStart™ 開発システム

サード・パーティをフル・サポート

アプリケーション

光モジュール・チューナブル・レーザ・モジュール

機能ブロック図

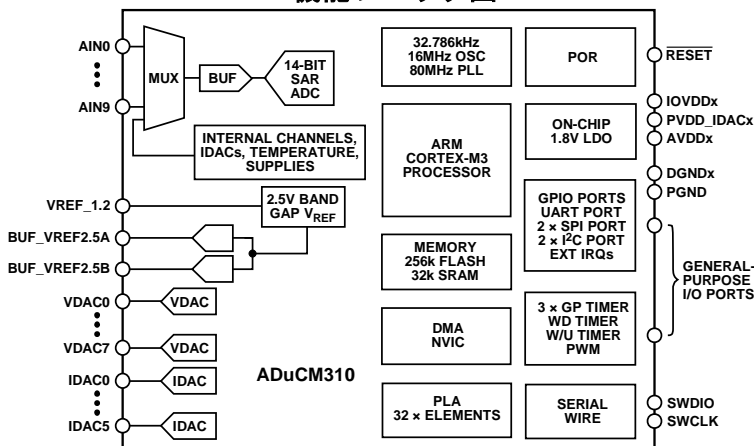


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	熱抵抗.....	17
アプリケーション.....	1	ESDの注意.....	17
機能ブロック図.....	1	ピン配置およびピン機能説明.....	18
改訂履歴.....	2	代表的な性能特性.....	22
概要.....	3	推奨回路と部品値.....	25
仕様.....	4	外形寸法.....	27
タイミング仕様.....	12	オーダー・ガイド.....	27
絶対最大定格.....	17		

改訂履歴

5/15—Revision 0: Initial Version

概要

ADuCM310 は、チューナブル・レーザ光モジュール・アプリケーション向けの診断制御用に設計された複数チップ積み重ねで構成されたシステム・オンチップです。ADuCM310 は、16 ビット (14 ビット精度) マルチチャンネル逐次比較レジスタ (SAR) ADC、ARM Cortex™-M3 プロセッサ、8 個の電圧 DAC (VDAC)、6 個の電流出力 DAC、フラッシュ/EE メモリを内蔵し、6 mm × 6 mm の 112 ボール CSP_BGA パッケージを採用しています。

積み重ねの最下層チップでは、低電圧アナログ回路の大部分をサポートしているため、3 個のチップ内で最大です。このチップには、ADC、VDAC、メイン IDAC 回路、さらに 2.5 V の低ドリフト高精度リファレンス電圧源などのその他のアナログ・サポート回路が内蔵されています。

積み重ねの中層チップでは、ARM Cortex-M3 プロセッサ、フラッシュ・ブロック、SRAM ブロックなどの大部分のデジタル回路、さらにすべてのデジタル通信ペリフェラルをサポートしています。さらに、このチップでは、チップ全体に対するクロック・ソースを提供しています。16 MHz の内蔵発振器は、80 MHz のシステム・クロックを出力する内蔵 PLL の信号源になっています。

最も小型の最上層チップは、高電圧製造プロセスを使って開発されているため、-5 V と +5 V の VDAC 出力をサポートしています。さらに、外付け SOA ダイオードを -3.0 V レベルへプルダウンしてレーザ出力の高速シャットダウンを可能にする SOA IDAC 電流シンク回路も内蔵しています。

各ブロックに対して、ADC は最大 800 kSPS の変換レートで動作することができます。ADC には 10 本の外部入力があり、シングルエンドまたは差動で動作させることができます。電源モニタ・チャンネル、内蔵温度センサー、内蔵リファレンス電圧モニタなどの複数のチャンネルも内蔵されています。

VDAC は、10 mA~50 mA の電流を供給できる出力バッファ付きの 12 ビット・ストリング DAC であり、各 DAC は 10 nF の容量負荷を駆動することができます。

低ドリフト電流 DAC の分解能は 14 ビットであり、フルスケール出力範囲は、0 mA~20 mA から SOA IDAC (IDAC3) での 0 mA~250 mA まで変わります。SOA IDAC には 0 mA~80 mA の電流シンク能力もあります。

2.5 V の高精度リファレンス電圧源も内蔵しています。内蔵の ADC 回路、IDAC 回路、VDAC 回路では、この内蔵リファレンス電圧を使って、これらのすべてのペリフェラルに対して低ドリフト性能を保証しています。

また、ADuCM310 は最大 1.2 mA を供給できるバッファ付きリファレンス出力を 2 個持っています。これらの出力は、チップ外部で使用することができます。

ADuCM310 は、80 MHz の ARM Cortex-M3 プロセッサを内蔵しています。これは、32 ビット縮小命令セットのコンピュータ (RISC) で、最大 100 DMIPS のピーク性能を提供します。ARM Cortex-M3 プロセッサは、シリアル・ペリフェラル・インターフェース (SPI)、UART、I²C 通信ペリフェラルをサポートする柔軟な 14 チャンネルのダイレクト・メモリ・アクセス (DMA) コントローラも内蔵しています。ADuCM310 は、256 kB の不揮発性フラッシュ/EE メモリと 32 kB の SRAM を内蔵しています。

16 MHz の内蔵発振器は、80 MHz のシステム・クロックを生成します。このクロックを内部で分周して、プロセッサを低い周波数で動作させて、消費電力を削減することができます。低消費電力の 32 kHz 発振器が内蔵されており、タイマ・クロックとして使用することができます。ADuCM310 は、3 個の汎用タイマ、1 個のウェイクアップ・タイマ (汎用タイマとして使用可能)、1 個のシステム・ウォッチドッグ・タイマを内蔵しています。

特定のアプリケーションで必要に応じて広範囲の通信ペリフェラルを構成することができます。これらのペリフェラルとしては、UART、I²C ×2、SPI ×2、GPIO ポート、パルス幅変調 (PWM) などがあります。

工場出荷時設定のファームウェアは、UART を経由するインターキット・シリアル・ダウンロードをサポートし、さらに SW-DP インターフェースを使って非侵害型エミュレーションとプログラムのダウンロードもサポートしています。これらの機能は、EVAL-ADuCM310QSPZ 開発システムでサポートされています。

ADuCM310 は 2.9 V~3.6 V で動作し、仕様は -10°C~+85°C の温度範囲で規定されています。

このデータシートでは、P1.0/SIN/ECLKIN/PLAI[4]などの多機能ピンは、ピン全体名またはピンの単機能名(注目する方の機能だけの、例えば P1.0 など)で呼びます。

ADuCM310 の詳細については、UG-549 ADuCM310 ハードウェア・リファレンス・マニュアルを参照してください。

仕様

$AV_{DD} = IOV_{DD} = DV_{DD} = 2.9\text{ V} \sim 3.6\text{ V}$ (入力電源電圧)。 AV_{DD} 、 IOV_{DD} 、 DV_{DD} の間の電位差は0.3 V以下である必要があります。 AV_{NEG} (電源電圧) = $-5.5\text{ V} \sim -4.65\text{ V}$ 。 $VDACV_{DD}$ (VDAC 電源電圧) = $3.07\text{ V} \sim 5.35\text{ V}$ (VDAC6およびVDAC7の場合)、 $VDACV_{DD}$ は AV_{DD} 以上である必要があります。特に指定がない限り、IDACの PV_{DD} (IDAC 電源電圧) = $1.8\text{ V} \sim 2.5\text{ V}$ 。 $V_{REF} = 2.5\text{ V}$ (内蔵リファレンス電圧)、 $f_{CORE} = 80\text{ MHz}$ 、 $T_A = -10^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 。

電源シーケンシングでは、グラウンド・ピンを接続する前に AV_{NEG} ピンまたは $VDACV_{DD}$ ピンに電源を供給してください。

レジスタとビットの説明については、UG-549 ADuCM310 ハードウェア・リファレンス・マニュアルを参照してください。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ADC CHANNEL SPECIFICATIONS					
ADC Power-Up Time		5		μs	All measurements in single-ended mode, unless otherwise stated
DC Accuracy					
Resolution	14			Bits	
Integral Nonlinearity					
Input Buffer					
Disabled		± 1.5		LSB	
Enabled		± 2.5		LSB	
Disabled		± 1.5		LSB	
Differential Nonlinearity	-0.99	± 0.7	+1.5	LSB	
	-0.99	± 0.7	+1.5 ¹	LSB	
DC Code Distribution		± 3		LSB	ADC input voltage = 1.25 V dc
ENDPOINT ERRORS					
Offset Error (All Channels Except the Internal Channels)					ADC update rate up to 500 kSPS
Buffer On or Buffer Off	-0.6	± 0.2	+0.6	mV	Buffer on, chop mode on and automatic zero or buffer off
Offset Error Drift ¹					
Buffer On or Buffer Off		± 2.5		$\mu\text{V}/^{\circ}\text{C}$	Buffer on, chop mode on and automatic zero or buffer off
Full-Scale Error					ADC update rate up to 800 kSPS
Buffer On or Buffer Off	-0.7	± 0.2	+0.6	mV	Excluding internal channels
Internal Channels		± 0.2	+0.6	% of full scale	Input buffer on; $AV_{DD}/2$, $IOV_{DD}/2$, PV_{DD} voltage on $PVDD_IDAC2$ pin
		0.75	1.5	% of full scale	Input buffer on; IDAC0 to IDAC5; measured with 1.5 V on the IDAC0 to IDAC5 pins
Gain Error Drift ¹		2		$\mu\text{V}/^{\circ}\text{C}$	Full-scale error drift minus offset error drift; all modes; internal reference

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE¹					
Signal-to-Noise Ratio (SNR)					$f_{IN} = 665.283$ Hz sine wave; $f_{SAMPLE} = 100$ kSPS; internally unbuffered channels; the filter on the analog inputs is a $15\ \Omega$ resistor and a 2 nF capacitor
Input Buffer					
Disabled		80		dB	Includes distortion and noise components
Enabled		78		dB	Chop mode on
		74		dB	Automatic zero
Total Harmonic Distortion (THD)					
Input Buffer					
Disabled		-86		dB	
Enabled		-86		dB	Chop mode on and automatic zero
Peak Harmonic or Spurious Noise		-88		dB	Buffer on and off
Channel-to-Channel Crosstalk		-95		dB	Measured on adjacent channels; $f_{IN} = 25$ kHz sine wave; buffer on and off
ANALOG INPUT					
Absolute Input Voltage Range					
Unbuffered Mode	AGND		A_{VDD}	V	Voltage level on AINx pin
Buffered Mode	AGND + 0.15		2.5	V	Voltage level on AINx pin
Input Voltage Ranges					
Differential Mode	$-V_{REF}$		$+V_{REF}$	V	Voltage difference between AIN+ (positive input) and AIN- (negative input)
Common-Mode Voltage Range	0.9		1.6	V	
Single-Ended Mode	AGND		V_{REF}	V	Voltage difference between AIN+ and AIN-
Input Current ²					
Buffered Mode					$V_{IN} = 0.15\text{ V to }2.5\text{ V}$
AIN0, AIN1, AIN2, and AIN3	-10 ¹	± 5	+12.5 ¹	nA	ADC sampling rate ≤ 100 kSPS
	-40	± 15	+60	nA	ADC sampling rate ≤ 500 kSPS
	-60 ¹	± 25	+90 ¹	nA	ADC sampling rate ≤ 800 kSPS
Input Current Drift		± 10		pA/ $^{\circ}\text{C}$	Input buffer on, ADC sampling rate ≤ 500 kSPS
		± 20		pA/ $^{\circ}\text{C}$	Input buffer on, ADC sampling rate ≤ 800 kSPS
AIN4 to AIN9	-50 ¹	± 20	+50 ¹	nA	AIN4 to AIN9 ≤ 100 kSPS
	-210 ¹	± 50	+110 ¹	nA	ADC sampling rate ≤ 500 kSPS
	-350 ¹	-90	+90 ¹	nA	ADC sampling rate ≤ 800 kSPS
Unbuffered Mode	-1100 ¹	+750	+1700 ¹	nA/V	$V_{IN} = 0\text{ V to }2.5\text{ V}$, all channels, all sampling rates
Input Current Drift		± 140		pA/ $^{\circ}\text{C}$	$V_{IN} = 1\text{ V}$
Input Capacitance		20		pF	During ADC acquisition, buffer on
Input Leakage Current	-1.6 ¹	+1	+3.5 ¹	nA	ADC off, buffer off or buffer on, AINx connected 2.5 V
ON-CHIP VOLTAGE REFERENCE					
Output Voltage		2.505		V	0.47 μF from VREF_1.2 to AGND
Accuracy ³			± 5	mV	$T_A = 25^{\circ}\text{C}$
Reference Temperature Coefficient ^{1, 4}		15	30	ppm/ $^{\circ}\text{C}$	
Power Supply Rejection Ratio		70		dB	
Output Impedance		3		Ω	For ADC_CAPP, $T_A = 25^{\circ}\text{C}$

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Internal V_{REF} Power-On Time ¹		38	50	ms	Turned on by default
EXTERNAL REFERENCE INPUT¹					
Input Voltage Range ¹	1.8		2.5	V	ADC maximum reference voltage = 2.5 V
Switching Time					
External to Internal Reference		2.5		ms	
Internal to External Reference		1		ms	
BUFFERED VREF OUTPUTS (BUF_VREF2.5x PINS)					
Output Voltage		2.5		V	
Accuracy			±5	mV	$T_A = 25^\circ\text{C}$, load = 0.4 mA
Reference Temperature Coefficient ¹		15	30	ppm/ $^\circ\text{C}$	100 nF capacitor required on both outputs
Load Regulation		2.5		mV/mA	
Output Impedance		3		Ω	$T_A = 25^\circ\text{C}$
Load Current			1.2	mA	
Power Supply Rejection Ratio		70		dB	
IDAC CHANNEL SPECIFICATIONS^{5, 6}					
Voltage Compliance Range ¹					
IDAC0, IDAC1, and IDAC2	0.4	$PV_{DD} - 200\text{ mV}$	$PV_{DD} - 275\text{ mV}$	V	Output voltage compliance; minimum compliance if IDACx set to full scale, see Figure 15 to Figure 20
IDAC4 and IDAC5	0.4		$PV_{DD} - 200\text{ mV}$	V	
IDAC3	0.5		$PV_{DD} - 450\text{ mV}$	V	
	-3.7	-3.0		V	At -3.5 V, maximum sink current is 80 mA; pin voltage clamped to -3.5 V, tolerance of clamping voltage is ±200 mV
Reference Current Generator					
Reference Current		0.38		mA	Using internal reference, 0.1%, ≤5 ppm, 3.16 k Ω external resistor
IDAC Reference Current Shutdown Threshold		0.76		mA	If the external resistor (R_{EXT}) value drops below 1.580 k Ω , IDAC output currents disable
Temperature Coefficient ^{1, 4}		7	25	ppm/ $^\circ\text{C}$	Using internal reference;
Over Heat Shutdown		135		$^\circ\text{C}$	Junction temperature
Resolution					
IDAC0, IDAC1, IDAC4, and IDAC5		14		Bits	11-bit MSBs and 5-bit LSBs are guaranteed monotonic
IDAC2		14		Bits	11-bit MSBs and 5-bit LSBs are guaranteed monotonic
IDAC3		14		Bits	0 V to 2 V compliant range, 11-bit MSBs and 5-bit LSBs are guaranteed monotonic
IDAC3	8			Bits	-4.5 V to 0 V compliant range
Full-Scale Output					
IDAC0 and IDAC1		100		mA	
IDAC4 and IDAC5		20		mA	
IDAC2		200		mA	
IDAC3		250		mA	Current source
	-80				Current sink
Integral Nonlinearity	-2.5	±1.5	+4	LSB	11-bit

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Noise Current					RMS noise; maximum bandwidth setting, IDACxCON[5:2] = 0000b
IDAC0 and IDAC1		1.5		μA	Measured driving 10 Ω
IDAC4 and IDAC5		0.3		μA	Measured driving 100 Ω
IDAC2		4		μA	Measured driving 5 Ω
IDAC3		5		μA	Measured driving 5 Ω
Full-Scale Error					
IDAC0 and IDAC1	-2.3	±0.25	1	%	
IDAC4 and IDAC 5	-0.7	±0.25	±0.7	%	
IDAC2	-1.75	±0.25	±0.65	%	
IDAC3	-2	±0.25	±1.4	%	
Full-Scale Error Drift vs. Temperature					Including internal reference drift and 5 ppm external resistor
IDAC4 and IDAC5	-40	-12	30	ppm/°C	
IDAC2 and IDAC3		+55		ppm/°C	Full temperature range
IDAC2 and IDAC3		+40		ppm/°C	Reduced 25°C to 85°C range
IDAC0 and IDAC1	-145	+55	+145	ppm/°C	Full temperature range
IDAC0 and IDAC1	-100	+40	+100	ppm/°C	Reduced 25°C to 85°C range
Full-Scale Error Drift vs. Time					Long-term stability
IDAC0		200		μA/ 1000 hours	
IDAC1		450		μA/ 1000 hours	
IDAC2		500		μA/ 1000 hours	
IDAC3		2250		μA/ 1000 hours	
IDAC4 and IDAC5		40		μA/ 1000 hours	
Zero-Scale Error					Pull-down current off
IDAC0 and IDAC1	-120		+75	μA	
Pull-Down Current	-135		-100	μA	
IDAC4 and IDAC5	-25		+15	μA	
Pull-Down Current	-30		-22	μA	
IDAC2 and IDAC3	-350		+280	μA	
Pull-Down Current for IDAC2	-300		-160	μA	
Zero-Scale Error Drift ¹					
IDAC0 and IDAC1	-850	±300	+1200	nA/°C	
IDAC4 and IDAC5	-120	±50	+205	nA/°C	
IDAC2 and IDAC3		±1		μA/°C	
Settling Time					
IDAC0, IDAC1, IDAC2, and IDAC3		1		ms	To 0.1%, IDACxCON[5:2] = 0101b, ±1 mA change in output current
IDAC4 and IDAC5		2		ms	
IDAC0, IDAC1, IDAC2, and IDAC3		250		μs	To 1%, IDACxCON[5:2] = 0101b, ±1 mA change in output current
IDAC4 and IDAC5		1.2		ms	
IDAC0, IDAC1, IDAC2, and IDAC3		50		μs	To 1%, IDACxCON[5:2] = 0000b, ±1 mA change in output current
IDAC4 and IDAC5		1.1		ms	
IDAC3 Switching Time ¹			1	μs	Time to switch from current source to

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
					current sink
Transconductance					Analog input signal coupled on to CDAMP_IDACx pin via 1 nF capacitor; frequency range = 100 kHz to 1000 kHz; voltage is the peak to peak voltage on the CDAMP_IDACx pin of the associated IDAC; current is peak-to-peak current change
IDAC0 and IDAC1		7.99/100		mA/mV	
IDAC2		12.6/100		mA/mV	
IDAC3		18.6/100		mA/mV	
IDAC4 and IDAC5		1.16/100		mA/mV	
IDAC Shutdown Temperature		125		°C	Die temperature; enabled via IDACxCON[6]
VDAC CHANNEL SPECIFICATIONS^{5, 7, 8}					
DC Accuracy					
Resolution	12			Bits	
Relative Accuracy					
VDAC0, VDAC1, and VDAC2	-6	±1	+10	LSB	
VDAC4 and VDAC5	-7	±2	+11	LSB	
VDAC3, VDAC6, and VDAC7	-7	±2	+8	LSB	
Differential Nonlinearity	-0.99	±0.6	+1	LSB	Guaranteed monotonic
Offset Error					
Calculated					
Actual		±5		mV	2.5 V internal reference
VDAC0, VDAC1, VDAC4, and VDAC5		4	7	mV	Measured at Code 0
VDAC6 and VDAC7		15	22	mV	
VDAC2 and VDAC3	-30	-20		mV	
Full-Scale Error					
			±0.7	% of full scale	For VDAC2, VDAC3, VDAC4, VDAC5, and VDAC6
VDAC0, VDAC1, and VDAC7 ¹			±0.7	%	With 500 Ω load
VDAC0 and VDAC1		±0.5		%	With 75 Ω load, over full temperature range
VDAC7		±0.5		%	With 100 Ω load, over full temperature range
Gain Mismatch Error					
		0.1		%	VDAC0 relative to VDAC1
		0.2		%	VDAC2 relative to VDAC3
		0.1		%	VDAC4 relative to VDAC5
		0.35		%	VDAC6 relative to VDAC7; both driving a 500 Ω load
Offset Error Drift					
Calculated					
VDAC0, VDAC1, VDAC4, and VDAC5		±5		μV/°C	
VDAC2, VDAC3, VDAC6, and VDAC7		±25		μV/°C	
Actual					
VDAC0, VDAC1, VDAC4, and VDAC5		±13		μV/°C	Measured at Code 0
VDAC2, VDAC3, VDAC6, and VDAC7		±75		μV/°C	
Gain Error Drift					
VDAC0, VDAC1, VDAC4, and VDAC5		5		ppm/°C	Excluding internal reference drift

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
VDAC2, VDAC3, VDAC6, and VDAC7		10		ppm/°C	
Output Impedance					
VDAC0, VDAC1, VDAC4, VDAC5, VDAC6, and VDAC7		1		Ω	
VDAC2 and VDAC3		1.5		Ω	
Short-Circuit Current					Measured with VDAC shorted to ground and to associated power supply
VDAC0 and VDAC1		±200		mA	
VDAC2 and VDAC3		±170		mA	
VDAC4 and VDAC5		±200		mA	
VDAC6 and VDAC7		±200		mA	
VDAC Outputs					Capacitive load up to 0.01 μF
Output Impedance					
VDAC0, VDAC1, and VDAC4 to VDAC7		1.8		Ω	
VDAC2 and VDAC3		1.2		Ω	
Output Range					Buffer on
VDAC0 and VDAC1	0.15		$A_{V_{DD}} - 600\text{ mV}$	V	$R_L = 75\ \Omega$, 40 mA maximum, V_{OUT} maximum = 3 V
VDAC2 and VDAC3	$A_{V_{NEG}} + 250\text{ mV}$		-0.15	V	$R_L = 500\ \Omega$, 10 mA maximum, V_{OUT} maximum = -5 V, gain = -2.25 V
VDAC4 and VDAC5	0.15		$A_{V_{DD}} - 300\text{ mV}$	V	$R_L = 300\ \Omega$, 10 mA maximum, V_{OUT} maximum = 3 V
VDAC6	0.15		$VDACV_{DD} - 250\text{ mV}$	V	$R_L = 500\ \Omega$, 10 mA maximum, V_{OUT} maximum = 5 V
VDAC7	0.15		$VDACV_{DD} - 700\text{ mV}$	V	$R_L = 100\ \Omega$, 50 mA maximum, V_{OUT} maximum = 5 V
DAC AC CHARACTERISTICS					
Slew Rate					
VDAC0, VDAC1, VDAC4, and VDAC5		3		V/μs	
VDAC2, VDAC3, and VDAC6		1.1		V/μs	
Voltage Output Settling Time		10		μs	Load = 100 pF
		0.05		ms	Load = 0.01 μF
Digital-to-Analog Glitch Energy		20		nV/sec	1 LSB change at major carry (DACxDAT register change from 0x07FF0000 to 0x08000000)
AC PSRR 100 Hz					
VDAC0, VDAC1, VDAC4, and VDAC5		72		dB	
VDAC2 and VDAC3		67		dB	
VDAC6 and VDAC7		64		dB	
AC PSRR 1 kHz					
VDAC0, VDAC1, VDAC4, and VDAC5		56		dB	
VDAC2 and VDAC3		53		dB	
VDAC6 and VDAC7		50		dB	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
POWER-ON RESET (POR)					Refers to voltage at DVDD pin
POR Trip Level	2.81	2.85	2.9	V	Power-on level
POR Hysteresis	2.74	2.79	2.83	V	Power-down level
		65		mV	Minimum pulse width required on external $\overline{\text{RESET}}$ pin to trigger a reset sequence; maximum low pulse width on $\overline{\text{RESET}}$ pin that does not generate a reset; indicates die temperature; ADC measured voltage for temperature sensor channel without calibration, $T_A = 25^\circ\text{C}$
EXTERNAL RESET					
External Reset Minimum Pulse Width ¹	1.5			μs	Minimum pulse width required on external $\overline{\text{RESET}}$ pin to trigger a reset sequence
Reset Pin Glitch Immunity ¹			50	ns	Maximum low pulse width on $\overline{\text{RESET}}$ pin that does not generate a reset
TEMPERATURE SENSOR					
Accuracy ¹	1.25	1.37	1.494	V	Indicates die temperature; ADC measured voltage for temperature sensor channel without calibration, $T_A = 25^\circ\text{C}$
FLASH/EE MEMORY					
Endurance	10,000			Cycles	
Data Retention	20			Years	$T_J = 85^\circ\text{C}$
INTERNAL HIGH POWER OSCILLATOR		16		MHz	Used as input to PLL to generate 80 MHz clock
Accuracy	-2.25		+2.25	%	
INTERNAL LOW POWER OSCILLATOR		32.768		kHz	
Accuracy	-12	± 8	+12	%	
LOGIC INPUTS					
Input Low Voltage (V_{INL})			$0.2 \times \text{IOV}_{\text{DD}}$	V	
Input High Voltage (V_{INH})	$0.7 \times \text{IOV}_{\text{DD}}$			V	
Short-Circuit Current ¹			12	mA	
LOGIC OUTPUTS					
Output High Voltage (V_{OH}) ⁹	$\text{IOV}_{\text{DD}} - 0.4$			V	$I_{\text{SOURCE}} = 2 \text{ mA}$
Output Low Voltage (V_{OL}) ⁹			0.4	V	$I_{\text{SINK}} = 2 \text{ mA}$
Short-Circuit Current ¹			12	mA	
INPUT LEAKAGE CURRENT					
Logic 1		80		μA	$V_{\text{INH}} = 3.6 \text{ V}$
Internal Pull-Up Disabled	-20	+6	+20	nA	
Logic 0		80		μA	$V_{\text{INH}} = 0 \text{ V}$
Internal Pull-Up Disabled	-20	+6	+20	nA	
Pull-Up	30	40	65	k Ω	If not disabled, disabled at reset; pull-up can be described as an 80 μA (typical) current source
CRYSTAL INPUTS XCLKI AND XCLKO (16 MHz)					
Logic Inputs, XCLKI Only					
Input Low Voltage (V_{INL})		1.1		V	
Input High Voltage (V_{INH})		1.7		V	
XCLKI Input Capacitance		8		pF	
XCLKO Output Capacitance		8		pF	
MICROCONTROLLER UNIT CLOCK RATE					
Using PLL Output ¹	0.05		80	MHz	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
PROCESSOR START-UP TIME					
At Power-On ¹		38	50	ms	Includes kernel power-on execution time
After Reset Event		1.44		ms	Includes kernel power-on execution time
After Processor Power Down Mode 1, Mode 2, or Mode 3		3 to 5		f _{CLK}	
POWER REQUIREMENTS					
Power Supply Voltage Range					
AV _{DD}	2.9	3.3	3.6	V	Measured between AVDDx and AGND
IOV _{DD}	2.9	3.3	3.6	V	Measured between IOVDDx and AGND
Analog Power Supply Currents					
AV _{DD} Current		6.5	7.2	mA	ADC, VDACS, IDACS off
Digital Power Supply Current					
Current in Normal Mode					
DV _{DD}		29	32	mA	CLKCON1[2:0] = [000b]
IOV _{DD}		2.7	3.1	mA	All GPIO pull-ups enabled
Additional Power Supply Currents					
ADC ¹		3.1	3.6	mA	ADC continuously converting at 100 kSPS
ADC Input Buffer ¹		4.1	4.8	mA	Both buffers enabled
IDAC ¹		26.5	30	mA	
DAC ¹		2.7	3.1	mA	Total for all VDACS driving maximum allowed load with DACxDAT = 0
VDAC2 and VDAC3 ¹		-1.7		mA	I _{DD} when VDAC2 and VDAC3 are driving maximum allowed load with DACxDAT set to 0
VDAC6 and VDAC7 ¹		1		mA	I _{DD} sourced from the VDACC _{DD} supply when VDAC6 and VDAC7 are driving the maximum allowed load with DACxDAT set to 0

¹ これらの値は、出荷テストを行いませんが、設計や量産開始時の特性評価データにより保証します。

² 入力電流は、入力パッド・リーク電流、マルチプレクサ・リーク電流、全入力回路の充電電流を含む合計入力電流です。入力電流は、ADCのサンプリング周波数に関係します。

³ プロセッサが CD = 0 で通常モードで動作中、ADC がイネーブルされて変換中、すべての IDAC がオンで、かつ VDAC がオンのとき、内蔵リファレンスのキャリブレーションと調整が行われます。V_{REF} 精度は、他の動作状態で変わることがあります。

⁴ 次のボックス方法を使って測定。

$$\frac{V_{REF} \text{ Maximum (at Any Temperature)} - V_{REF} \text{ Minimum (at Any Temperature)}}{2.5 \times (\text{Temperature Maximum} - \text{Temperature Minimum})} \times 1^6$$

⁵ VDAC の直線性仕様は次の範囲で計算:

VDAC0 および VDAC1 = +150 mV ~ +2.699 V

VDAC2 および VDAC3 = -150 mV ~ -4.22 V

VDAC4 および VDAC5 = +150 mV ~ +2.98 V

VDAC6: +150 mV ~ +4.747 V

VDAC7: +150 mV ~ +4.297 V

⁶ アナログ・デバイセズ社の量産 IDAC フルスケール調整条件には、PVDD_IDACx ピン電圧 = 0.7 V、全 IDAC のオンが含まれます。

⁷ VDAC0、VDAC1、VDAC4、VDAC5 の全 VDAC 仕様に対して、DACxCON[10:9] = 11。

⁸ VDACx の最小規定値と最大規定値は、内蔵リファレンスにのみ適用 (DACxCON[1:0] = 00_b)。AVDDx 電源は typ 仕様でのみ有効。

⁹ GPIO ピンからの平均電流は、ピンあたり 3 mA を超えることはできません。図 22 を参照してください。

タイミング仕様

I²C のタイミング

表 2. 標準モード (100 kHz)での I²C タイミング

Parameter	Description	Slave			Unit
		Min	Typ	Max	
t _L	SCLx low pulse width	4.7			μs
t _H	SCLx high pulse width	4.0			ns
t _{SHD}	Start condition hold time	4.0			μs
t _{DSU}	Data setup time	250			ns
t _{DHD}	Data hold time (SDAx held internally for 300 ns after falling edge of SCLx)	0		3.45	μs
t _{RSU}	Setup time for repeated start	4.7			μs
t _{PSU}	Stop condition setup time	4.0			μs
t _{BUF}	Bus free time between a stop condition and a start condition	4.7			μs
t _R	Rise time for both SCLx and SDAx			1	μs
t _F	Fall time for both SCLx and SDAx		15	300	ns
t _{VD:DAT}	Data valid time			3.45	μs
t _{VD:ACK}	Data valid acknowledge time			3.45	μs

表 3. 高速モード (400 kHz)での I²C タイミング

Parameter	Description	Slave			Unit
		Min	Typ	Max	
t _L	SCLx low pulse width	1.3			μs
t _H	SCLx high pulse width	0.6			ns
t _{SHD}	Start condition hold time	0.3			μs
t _{DSU}	Data setup time	100			ns
t _{DHD}	Data hold time (SDAx held internally for 300 ns after falling edge of SCLx)	0			μs
t _{RSU}	Setup time for repeated start	0.6			μs
t _{PSU}	Stop condition setup time	0.3			μs
t _{BUF}	Bus free time between a stop condition and a start condition	1.3			μs
t _R	Rise time for both SCLx and SDAx	20		300	ns
t _F	Fall time for both SCLx and SDAx		15	300	ns
t _{VD:DAT}	Data valid time			0.9	μs
t _{VD:ACK}	Data valid acknowledge time			0.9	μs

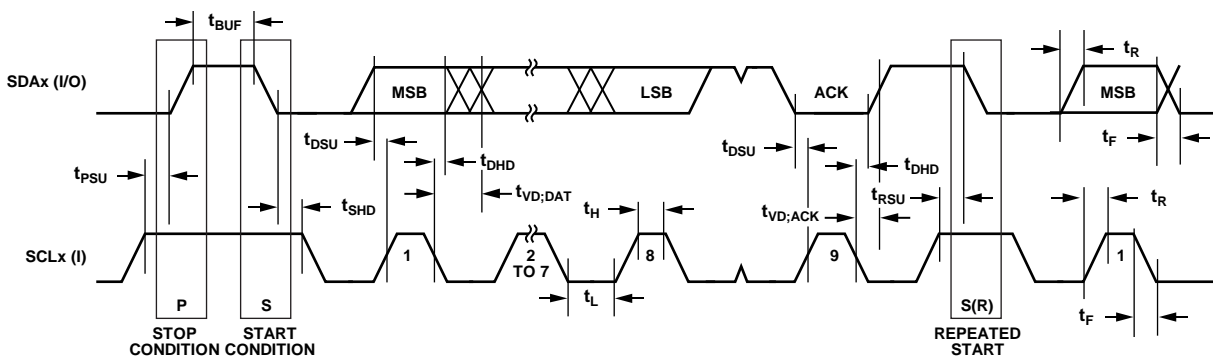


図 2. I²C 互換インターフェースのタイミング

SPIのタイミング

表 4. SPI マスター・モードのタイミング (位相モード = 1)

Parameter	Description	Min	Typ	Max	Unit
t_{SL}	SCLKx low pulse width		$(SPIxDIV^1 + 1) \times t_{HCLK}^2/2$		ns
t_{SH}	SCLKx high pulse width		$(SPIxDIV^1 + 1) \times t_{HCLK}^2/2$		ns
t_{DAV}	Data output valid after SCLKx edge	0	3		ns
t_{DSU}	Data input setup time before SCLKx edge		$1/2$ SCLKx		ns
t_{DHD}	Data input hold time after SCLKx edge		SCLKx		ns
t_{DF}	Data output fall time		SCLKx		ns
t_{DR}	Data output rise time		25		ns
t_{SR}	SCLKx rise time		25		ns
t_{SF}	SCLKx fall time		20		ns

¹ SPI0 の場合 x = 0 で、SPI1 の場合 x = 1。

² t_{HCLK} は分周されたシステム・クロック、UCLK/CLKCON1[2:0]。

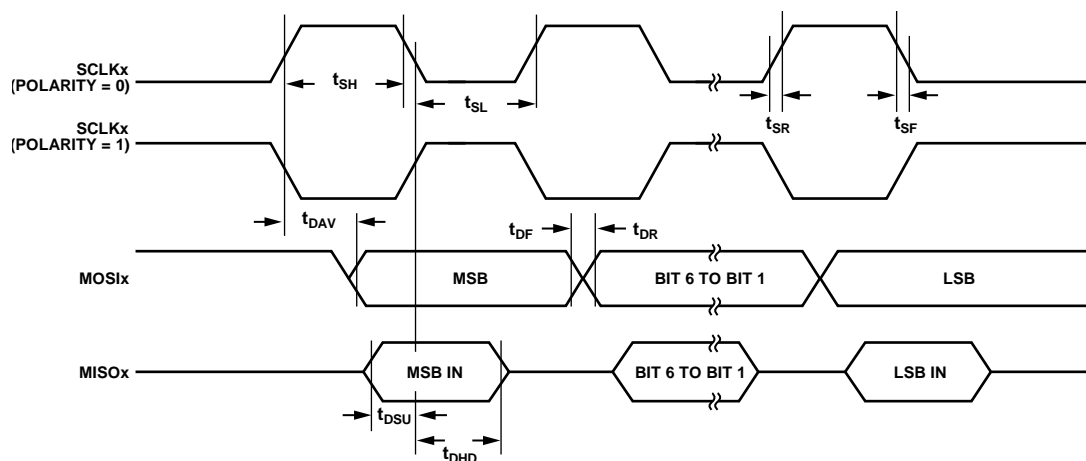


図 3. SPI マスター・モードのタイミング (位相モード = 1)

13040-003

表 5. SPI マスター・モードのタイミング (位相モード = 0)

Parameter	Description	Min	Typ	Max	Unit
t_{SL}	SCLKx low pulse width		$(SPIxDIV^1 + 1) \times t_{HCLK}^2/2$		ns
t_{SH}	SCLKx high pulse width		$(SPIxDIV^1 + 1) \times t_{HCLK}^2/2$		ns
t_{DAV}	Data output valid after SCLKx edge	0	3		ns
t_{DOSU}	Data output setup before SCLKx edge		$\frac{1}{2} SCLKx$		ns
t_{DSU}	Data input setup time before SCLKx edge		SCLKx		ns
t_{DHD}	Data input hold time after SCLKx edge		SCLKx		ns
t_{DF}	Data output fall time		25		ns
t_{DR}	Data output rise time		25		ns
t_{SR}	SCLKx rise time		20		ns
t_{SF}	SCLKx fall time		20		ns

¹ SPI0 の場合 $x=0$ で、SPI1 の場合 $x=1$ 。

² t_{HCLK} は分周されたシステム・クロック、UCLK/CLKCON1[2:0]。

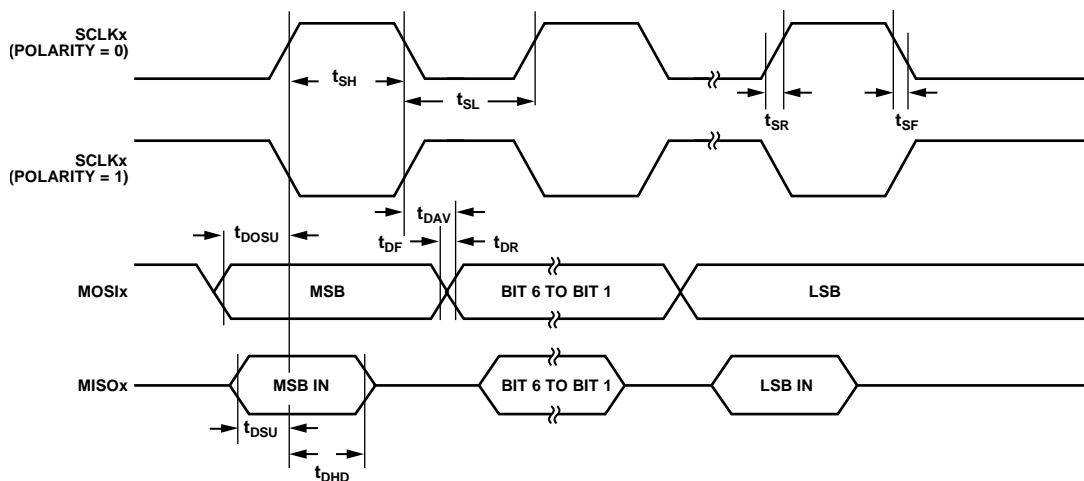


図 4. SPI マスター・モードのタイミング (位相モード = 0)

13040-004

表 6. SPI スレーブ・モードのタイミング (位相モード = 1)

Parameter	Description	Min	Typ	Max	Unit
$t_{\overline{CS0}/\overline{CS1}}$	$\overline{CS0}/\overline{CS1}$ to SCLKx edge	10			ns
t_{SL}	SCLKx low pulse width		$(SPIxDIV^1 + 1) \times t_{HCLK}^2$		ns
t_{SH}	SCLKx high pulse width		$(SPIxDIV^1 + 1) \times t_{HCLK}^2$		ns
t_{DAV}	Data output valid after SCLKx edge		20		ns
t_{DSU}	Data input setup time before SCLKx edge	10			ns
t_{DHD}	Data input hold time after SCLKx edge	10			ns
t_{DF}	Data output fall time		25		ns
t_{DR}	Data output rise time		25		ns
t_{SR}	SCLKx rise time	1			ns
t_{SF}	SCLKx fall time	1			ns
t_{SFS}	$\overline{CS0}/\overline{CS1}$ high after SCLKx edge	20			ns

¹ SPI0 の場合 x = 0 で、SPI1 の場合 x = 1。

² t_{HCLK} は分周されたシステム・クロック、UCLK/CLKCON1[2:0]。

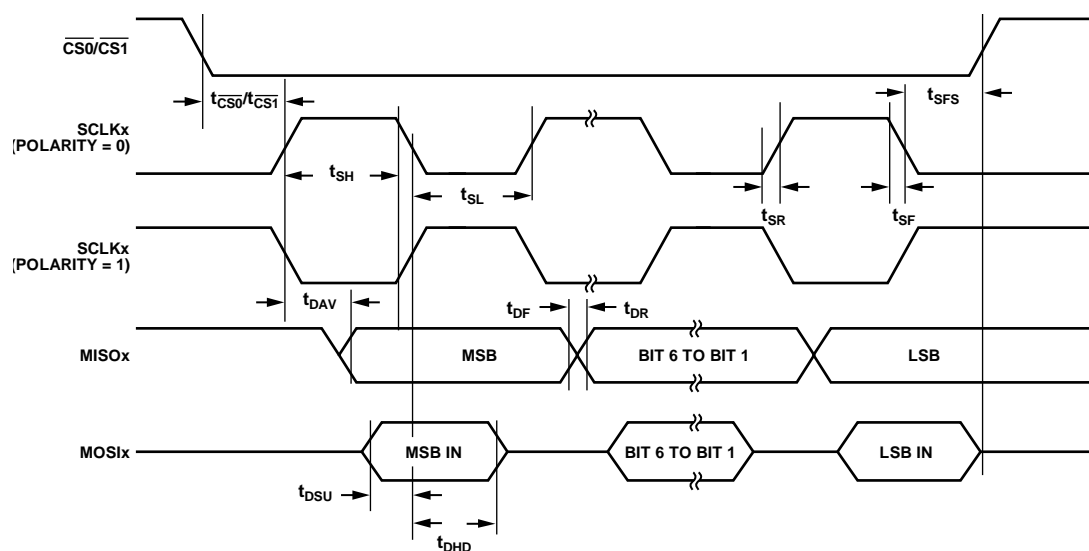


図 5. SPI スレーブ・モードのタイミング (位相モード = 1)

13040-005

表 7. SPI スレーブ・モードのタイミング (位相モード = 0)

Parameter	Description	Min	Typ	Max	Unit
$t_{\overline{CS0}/\overline{CS1}}$	$\overline{CS0}/\overline{CS1}$ to SCLKx edge	10			ns
t_{SL}	SCLKx low pulse width		$(SPIxDIV^1 + 1) \times t_{HCLK}^2$		ns
t_{SH}	SCLKx high pulse width		$(SPIxDIV^1 + 1) \times t_{HCLK}^2$		ns
t_{DAV}	Data output valid after SCLKx edge		20		ns
t_{DSU}	Data input setup time before SCLKx edge	10			ns
t_{DHD}	Data input hold time after SCLKx edge	10			ns
t_{DF}	Data output fall time		25		ns
t_{DR}	Data output rise time		25		ns
t_{SR}	SCLKx rise time	1			ns
t_{SF}	SCLKx fall time	1			ns
t_{DOCS}	Data output valid after $\overline{CS0}/\overline{CS1}$ edge	20			ns
t_{SFS}	$\overline{CS0}/\overline{CS1}$ high after SCLKx edge	10			ns

¹ SPI0 の場合 x = 0 で、SPI1 の場合 x = 1。

² t_{HCLK} は分周されたシステム・クロック、UCLK/CLKCON1[2:0]。

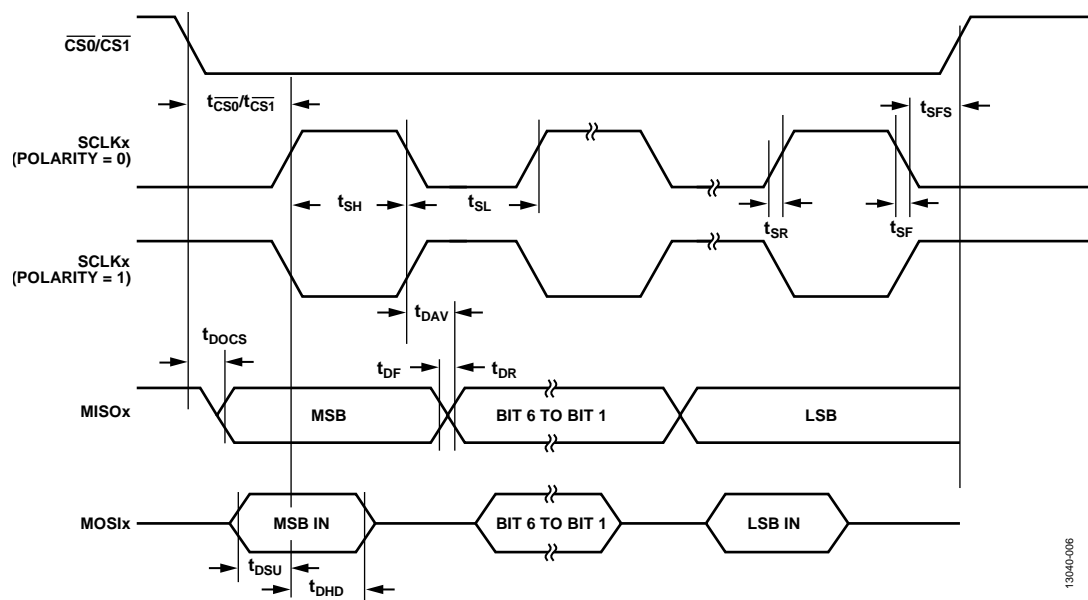


図 6. SPI スレーブ・モードのタイミング (位相モード = 0)

13040-006

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 8.

Parameter	Rating
AV_{DD} to AGNDx	-0.3 V to +3.96 V
AV_{NEG} to AGNDx	-5.5 V to +0.3 V
$VDACV_{DD}$ to AGNDx	-0.3 V to +5.5 V
IOVDDx to DGNDx	-0.3 V to +3.96 V
Digital Input Voltage to DGNDx	-0.3 V to IOVDDx + 0.3 V
Digital Output Voltage to DGNDx	-0.3 V to IOVDDx + 0.3 V
Analog Inputs to AGNDx	-0.3 V to $AV_{DD} + 0.3\text{ V}$
Total Positive GPIO Pins Current	0 mA to 30 mA
Total Negative GPIO Pins Current	-30 mA to 0 mA
IDAC3 Pull-Down Voltage	$AV_{NEG} - 0.3\text{ V}$
IDAC3 Pull-Down Current	-100 mA
Operating Temperature Range	-10°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
ESD Rating, All Pins	
Human Body Model (HBM)	1 kV
Field-Induced Charged Device Model (FICDM)	1.25 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上での製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 9. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
112-Ball CSP_BGA	44.5	11	$^\circ\text{C/W}$

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されずにそのまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

	1	2	3	4	5	6	7	8	9	10	11	
A	RESERVED	IDAC0	PVDD_IDAC0	IDAC2	PVDD_IDAC2	IDAC3	PGND	PVDD_IDAC3	PVDD_IDAC1	IDAC1	RESERVED	A
B	IDAC4	CDAMP_IDAC0	CDAMP_IDAC2	IDAC2	PVDD_IDAC2	IDAC3	PGND	PVDD_IDAC3	CDAMP_IDAC3	CDAMP_IDAC1	IDAC5	B
C	PVDD_IDAC4	CDAMP_IDAC4	P2.3/BM	P1.0/SIN/ECLKIN/PLAI[4]	P1.2/PWM0/PLAI[6]	P1.3/PWM1/PLAI[7]	P1.4/PWM2/SCLK1/PLAO[10]	P1.5/PWM3/MISO1/PLAO[11]	P1.6/PWM4/MOSI1/PLAO[12]	CDAMP_IDAC5	PVDD_IDAC5	C
D	RESERVED	RESET	P3.2/PLAI[14]	P2.0/IRQ2/PWMTRIP/PLACLK2/PLAI[8]	P1.1/SOUT/PLACLK1/PLAI[5]	RESERVED	P2.4/IRQ5/ADCCONV/PWM6/PLAO[18]	P2.5/IRQ6/PWM7/PLAO[19]	P1.7/IRQ1/PWM5/CS1/PLAO[13]	DGND2	IREF	D
E	IOVDD1	P0.1/MISO0/PLAI[1]	P0.0/SCLK0/PLAI[0]	P2.2/IRQ4/MRST/CLKOUT/PLAI[10]	ADuCM310 TOP VIEW (Not to Scale)			P2.1/IRQ3/PWMSYNC/PLAI[9]	SWDIO	SWCLK	IOVDD2	E
F	IOGND1	P0.3/IRQ0/CS0/PLAI[3]	P0.2/MOSI0/PLAI[2]	RESERVED				RESERVED	VDACV _{DD}	AVDD_REG1	IOGND2	F
G	P0.7/SDA1/PLAO[5]	P0.6/SCL1/PLAO[4]	P0.5/SDA0/PLAO[3]	P0.4/SCL0/PLAO[2]				AIN4	AGND2	AVDD_REG2	VREF_1.2	G
H	P2.6/IRQ7/PLAO[20]	P2.7/IRQ8/PLAO[21]	P3.0/PLAI[12]	AGND5				VDAC5	RESERVED	AIN1	AIN5	VDAC6
J	P3.4/PLAO[26]	XTALO	P3.1/PLAI[13]	VDAC4	DVDD	AIN0	AIN2	AIN6	VDAC2	BUF_VREF2.5A	AGND4	J
K	IOVDD3	XTALI	DVDD_REG1	VDAC1	AGND1	AV _{NEG}	AIN3	AIN7	VDAC3	ADC_CAPN	BUF_VREF2.5B	K
L	IOGND3	DGND1	DVDD_REG2	VDAC0	AVDD3	AGND3	AGND6	AIN8	AIN9	ADC_CAPN	ADC_CAPP	L
	1	2	3	4	5	6	7	8	9	10	11	

13040-007

図 7.ピン配置

表 10.ピンの機能説明

ピン番号	記号	タイプ	説明
D2	RESET	I	リセット入力 (アクティブ・ロー)。このピンにはプルアップが内蔵されています。
E3	P0.0/SCLK0/PLAI[0]	I/O	汎用入出力ポート 0.0/SPI0 クロック/PLA エLEMENT 0 の入力。このピンはデフォルトで入力になり、内蔵プルアップ抵抗はディスエーブルされています。
E2	P0.1/MISO0/PLAI[1]	I/O	汎用入出力ポート 0.1/SPI0 データ・マスター入力スレーブ出力/PLA エLEMENT 1 の入力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
F3	P0.2/MOSI0/PLAI[2]	I/O	汎用入出力ポート 0.2/SPI0 データ・マスター出力スレーブ入力/PLA エLEMENT 2 の入力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
F2	P0.3/IRQ0/CS0/PLAI[3]	I/O	汎用入出力ポート 0.3/外部割込み要求 0/ SPI0 チップ・セレクト入力/PLA エLEMENT 3 の入力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。SPI0 を使用する場合は、このピンを CS0 として設定してください。
G4	P0.4/SCL0/PLAO[2]	I/O	汎用入出力ポート 0.4/I2C0 の I ² C インターフェース・クロック/PLA エLEMENT 2 の出力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
G3	P0.5/SDA0/PLAO[3]	I/O	汎用入出力ポート 0.5/I2C0 の I ² C インターフェース・データ/PLA エLEMENT 3 の出力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。

ピン番号	記号	タイプ	説明
G2	P0.6/SCL1/PLAO[4]	I/O	汎用入出力ポート 0.6/I2C1 の I ² C インターフェース・クロック/PLA エレメント 4 の出力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
G1	P0.7/SDA1/PLAO[5]	I/O	汎用入出力ポート 0.7/I2C1 の I ² C インターフェース・データ/PLA エレメント 5 の出力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
C4	P1.0/SIN/ECLKIN/PLAI[4]	I/O	汎用入出力ポート 1.0/UART 入力ピン/外部入力クロック/PLA エレメント 4 の入力。ECLKIN ピンは UART ダウンローダのために使用されます。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
D5	P1.1/SOUT/PLACLK1/PLAI[5]	I/O	汎用入出力ポート 1.1/UART 出力ピン/PLA 入力クロック/PLA エレメント 5 の入力。PLACLK1 ピンは UART ダウンローダのために使用されます。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
C5	P1.2/PWM0/PLAI[6]	I/O	汎用入出力ポート 1.2/PWM0 出力/PLA エレメント 6 の入力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
C6	P1.3/PWM1/PLAI[7]	I/O	汎用入出力ポート 1.3/PWM1 出力/PLA エレメント 7 の入力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
C7	P1.4/PWM2/SCLK1/PLAO[10]	I/O	汎用入出力ポート 1.4/PWM2 出力/SPI1 クロック/PLA エレメント 10 の出力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
C8	P1.5/PWM3/MISO1/PLAO[11]	I/O	汎用入出力ポート 1.5/PWM3 出力/SPI1 データ・マスター入力スレーブ出力/PLA エレメント 11 の出力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
C9	P1.6/PWM4/MOSI1/PLAO[12]	I/O	汎用入出力ポート 1.6/PWM4 出力/SPI1 データ・マスター出力スレーブ入力/PLA エレメント 12 の出力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
D9	P1.7/IRQ1/PWM5/ $\overline{\text{CS1}}$ /PLAO[13]	I/O	汎用入出力ポート 1.7/外部割込み要求 1/PWM5 出力/SPI1 チップ・セレクト入力/PLA エレメント 13 の出力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。SPI1 を使用する場合は、このピンを $\overline{\text{CS1}}$ として設定してください。
D4	P2.0/IRQ2/PWMTRIP/PLACLK2/PLAI[8]	I/O	汎用入出力ポート 2.0/外部割込み要求 2/PWM トリップ入力ソース/PLA 入力クロック/PLA エレメント 8 の入力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
E8	P2.1/IRQ3/PWMSYNC/PLAI[9]	I/O	汎用入出力ポート 2.1/外部割込み要求 3/PWM 同期入力/PLA エレメント 9 の入力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
E4	P2.2/IRQ4/ $\overline{\text{MRST}}$ /CLKOUT/PLAI[10]	I/O	汎用入出力ポート 2.2/外部割込み要求 4/リセット出力ピン/クロック出力/PLA エレメント 10 の入力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
C3	P2.3/BM	I/O	汎用入出力ポート 2.3/BM ピン。このピンをロー・レベルにすると、デバイスは次のレスト・シーケンスの後に UART ダウンロードを開始します。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
D7	P2.4/IRQ5/ADCCONV/PWM6/PLAO[18]	I/O	汎用入出力ポート 2.4/外部割込み要求 5/ADC 変換を開始する外部入力/PWM6 出力/PLA エレメント 18 の出力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
D8	P2.5/IRQ6/PWM7/PLAO[19]	I/O	汎用入出力ポート 2.5/外部割込み要求 6/PWM7 出力/PLA エレメント 19 の出力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
H1	P2.6/IRQ7/PLAO[20]	I/O	汎用入出力ポート 2.6/外部割込み要求 7/PLA エレメント 20 の出力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
H2	P2.7/IRQ8/PLAO[21]	I/O	汎用入出力ポート 2.7/外部割込み要求 8/PLA エレメント 21 の出力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
H3	P3.0/PLAI[12]	I/O	汎用入出力ポート 3.0/PLA エレメント 12 の入力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
J3	P3.1/PLAI[13]	I/O	汎用入出力ポート 3.1/PLA エレメント 13 の入力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。

ピン番号	記号	タイプ	説明
D3	P3.2/PLAI[14]	I/O	汎用入出力ポート 3.2/PLA エlement 14 の入力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
J1	P3.4/PLAO[26]	I/O	汎用入出力ポート 3.4/PLA エlement 26 の出力。このピンはデフォルトで入力になり、内蔵プルアップはディスエーブルされています。
E10	SWCLK	I	シリアル・ワイヤー・デバッグ・クロック入力ピン。
E9	SWDIO	I/O	シリアル・ワイヤー・デバッグ・データ入力/出力入力ピン。
G11	VREF_1.2	AO	1.2 V リファレンス電圧出力。このピンは、外部に電流を供給する目的では使用できません。このピンは、470 nF のコンデンサを介して AGND へ接続してください。
D11	IREF	AI	このピンは IDAC に対するリファレンス電流を生成します。このピンは、5 ppm、3.16 kΩ の外付け抵抗 (R _{EXT}) を介してアナログ・グラウンドへ接続してください。
J6	AIN0	AI	シングルエンドまたは差動アナログ入力 0。
H7	AIN1	AI	シングルエンドまたは差動アナログ入力 1。
J7	AIN2	AI	シングルエンドまたは差動アナログ入力 2。
K7	AIN3	AI	シングルエンドまたは差動アナログ入力 3。
G8	AIN4	AI	シングルエンドまたは差動アナログ入力 4。このピンはデジタル・コンパレータの入力でもあります。
H8	AIN5	AI	シングルエンドまたは差動アナログ入力 5。
J8	AIN6	AI	シングルエンドまたは差動アナログ入力 6。
K8	AIN7	AI	シングルエンドまたは差動アナログ入力 7。
L8	AIN8	AI	シングルエンドまたは差動アナログ入力 8。
L9	AIN9	AI	シングルエンドまたは差動アナログ入力 9。
L4	VDAC0	AO	12 ビット VDAC 出力 0、0 V~3 V の範囲。
K4	VDAC1	AO	12 ビット VDAC 出力 1、0 V~3 V の範囲。
J9	VDAC2	AO	12 ビット VDAC 出力 2、-5 V~0 V の範囲。
K9	VDAC3	AO	12 ビット VDAC 出力 3、-5 V~0 V の範囲。
J4	VDAC4	AO	12 ビット VDAC 出力 4、0 V~3 V の範囲。
H5	VDAC5	AO	12 ビット VDAC 出力 5、0 V~3 V の範囲。
H9	VDAC6	AO	12 ビット VDAC 出力 6、0 V~5 V の範囲。
H10	VDAC7	AO	12 ビット VDAC 出力 7、0 V~5 V の範囲。
A2	IDAC0	AO	IDAC0 (100 mA)。
A3	PVDD_IDAC0	S	IDAC0 の電源。
B2	CDAMP_IDAC0	AI	IDAC0 のダンピング・コンデンサ・ピン。このピンは PVDD 電源へ接続してください。
A10	IDAC1	AO	IDAC1 (100 mA)。
A9	PVDD_IDAC1	S	IDAC1 の電源。
B10	CDAMP_IDAC1	AI	IDAC1 のダンピング・コンデンサ・ピン。このピンは PVDD 電源へ接続してください。
B11	IDAC5	AO	IDAC5 (20 mA)。
C11	PVDD_IDAC5	S	IDAC5 の電源。
C10	CDAMP_IDAC5	AI	IDAC5 のダンピング・コンデンサ・ピン。このピンは PVDD 電源へ接続してください。
B1	IDAC4	AO	IDAC4 (20 mA)。
C1	PVDD_IDAC4	S	IDAC4 の電源。
C2	CDAMP_IDAC4	AI	IDAC4 のダンピング・コンデンサ・ピン。このピンは PVDD 電源へ接続してください。
A4, B4	IDAC2	AO	IDAC2 (200 mA)。
A5, B5	PVDD_IDAC2	S	IDAC2 の電源。
B3	CDAMP_IDAC2	AI	IDAC2 のダンピング・コンデンサ・ピン。このピンは PVDD 電源へ接続してください。
A6, B6	IDAC3	AO	IDAC3 (250 mA)。
A8, B8	PVDD_IDAC3	S	IDAC3 の電源。
B9	CDAMP_IDAC3	AI	IDAC3 のダンピング・コンデンサ・ピン。このピンは PVDD 電源へ接続してください。
A7, B7	PGND	S	IDAC の電源グラウンド。
K5, G9, L6, J11, H4, L7	AGND1, AGND2, AGND3, AGND4, AGND5, AGND6	S	アナログ・グラウンド・ピン。
J5	DVDD	S	デジタル電源ピン。このピンは、16 MHz 発振器、PLL、POR、安定化 1.8 V 電源と 3 V 電源を必要とするフラッシュなどのデジタル・コアの電源ピンです。

ピン番号	記号	タイプ	説明
F9	VDACV _{DD}	S	5 V アナログ電源ピン。
L5, H11	AVDD3, AVDD4	S	アナログ電源ピン (3.3 V)。
K3	DVDD_REG1	S	2.5 V 内蔵低ドロップアウト (LDO) レギュレータの出力。このピンと DGND の間に 470 nF のコンデンサを接続してください。このレギュレータは、チップ間デジタル・インターフェースに電源を供給します。
L3	DVDD_REG2	S	1.8 V 内蔵 LDO レギュレータの出力。このピンと DGND の間に 470 nF のコンデンサを接続してください。このレギュレータは、フラッシュと Cortex-M3 プロセッサに電源を供給します。
F10	AVDD_REG1	S	2.5 V 内蔵 LDO レギュレータの出力。このピンと DGND の間に 470 nF のコンデンサを接続してください。このレギュレータは、ADC に電源を供給します。
G10	AVDD_REG2	S	2.5 V 内蔵 LDO レギュレータの出力。このピンと DGND の間に 470 nF のコンデンサを接続してください。このレギュレータは、IDAC に電源を供給します。
K6	AV _{NEG}	S	-5 V 電源ピン。
E1	IOVDD1	S	3.3 V GPIO 電源ピン。
L2, D10	DGND1, DGND2	S	デジタル・グラウンド・ピン。
E11, K1	IOVDD2, IOVDD3	S	3.3 V GPIO 電源ピン。
F1, F11, L1	IOGND1, IOGND2, IOGND3	S	GPIO グラウンド・ピン。
J2	XTALO	DO	水晶発振器インバータの出力。外付け水晶を使わない場合は、このピンは未接続のままにしてください。
K2	XTALI	DI	水晶発振器インバータの入力および内部クロック・ジェネレータ回路の入力。外付け水晶を使わない場合は、このピンを DGND システム・グラウンドへ接続してください。
J10	BUF_VREF2.5A	AO	バッファ付き 2.5 V バイアス、最大負荷 = 1.2 mA。このピンは、100 nF のコンデンサを介して AGND へ接続してください。
K11	BUF_VREF2.5B	AO	バッファ付き 2.5 V バイアス、最大負荷 = 1.2 mA。このピンは、100 nF のコンデンサを介して AGND へ接続してください。
K10, L10	ADC_CAPN	S	ADC リファレンス・バッファのデカップリング・コンデンサ接続。このピンは AGND へ接続してください。
L11	ADC_CAPP	S	ADC リファレンス・バッファのデカップリング・コンデンサ接続。このピンを 4.7 μF コンデンサへ、コンデンサの他方の端子を AGND ピンと ADC_CAPN ピンへ、それぞれ接続してください。
A1, A11, D1, F4, F8, D6, H6	RESERVED		予約済み。このピンは接続しないでください。

¹I = 入力、I/O = 入出力、AO = アナログ出力、AI = アナログ入力、S = 電源、DO = デジタル出力、DI = デジタル入力。

代表的な性能特性

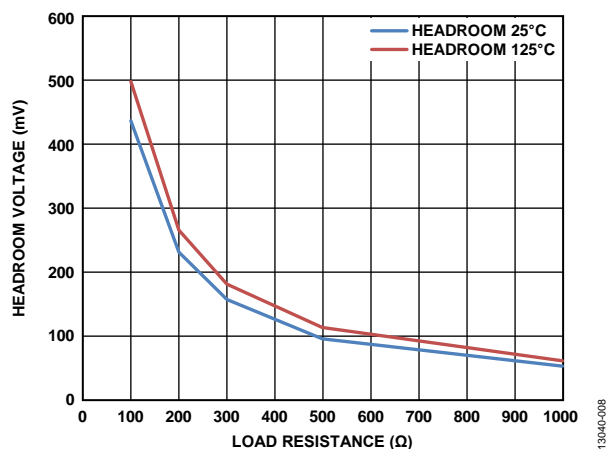


図 8. VDAC7 の負荷抵抗対ヘッドルーム電圧、 $VDACV_{DD} = 3\text{ V}$;
ヘッドルーム = $VDACV_{DD} - VDAC$ 出力電圧

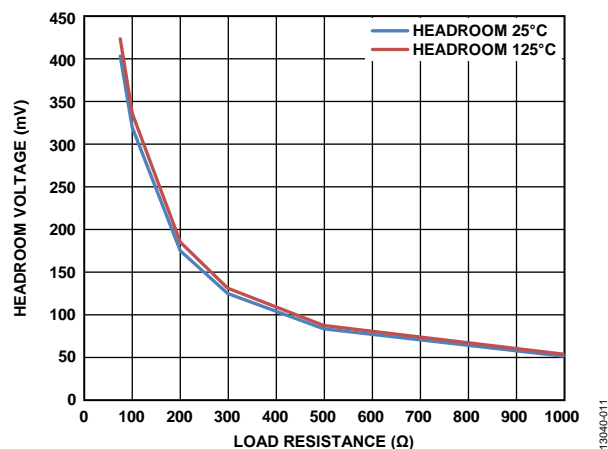


図 11. VDAC0 の負荷抵抗対ヘッドルーム電圧、 $AV_{DD} = 3\text{ V}$;
ヘッドルーム = $AV_{DD} - VDAC$ 出力電圧

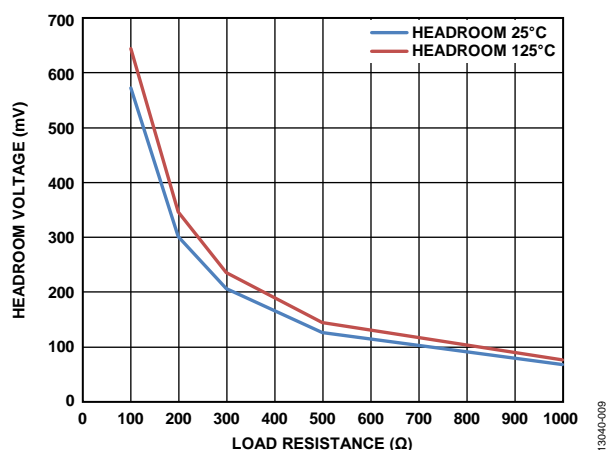


図 9. VDAC7 の負荷抵抗対ヘッドルーム電圧、 $VDACV_{DD} = 5\text{ V}$;
ヘッドルーム = $VDACV_{DD} - VDAC$ 出力電圧

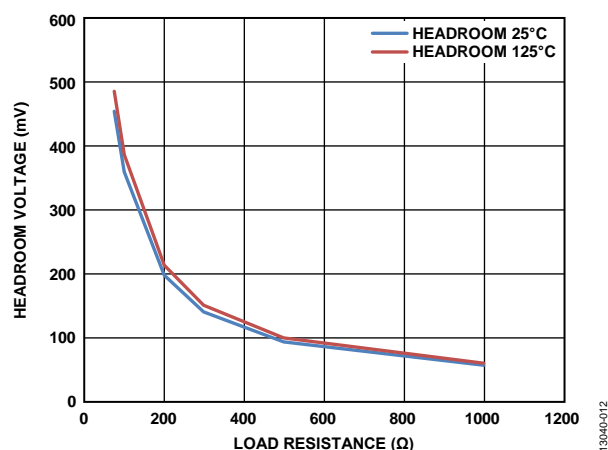


図 12. VDAC4 の負荷抵抗対ヘッドルーム電圧、 $AV_{DD} = 3\text{ V}$;
ヘッドルーム = $AV_{DD} - VDAC$ 出力電圧

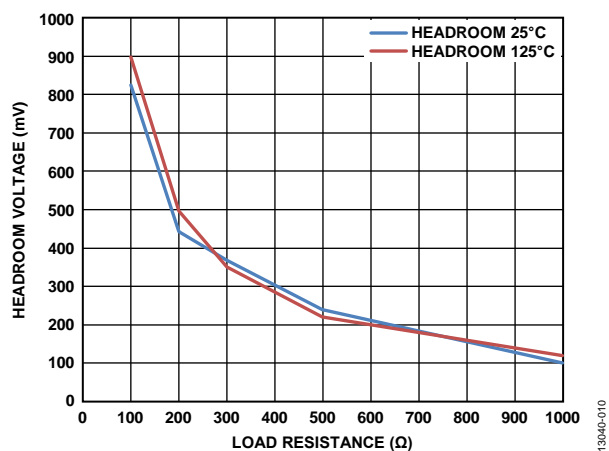


図 10. VDAC2 の負荷抵抗対ヘッドルーム電圧、 $AV_{NEG} = -5\text{ V}$;
ヘッドルーム = $AV_{NEG} - VDAC$ 出力電圧

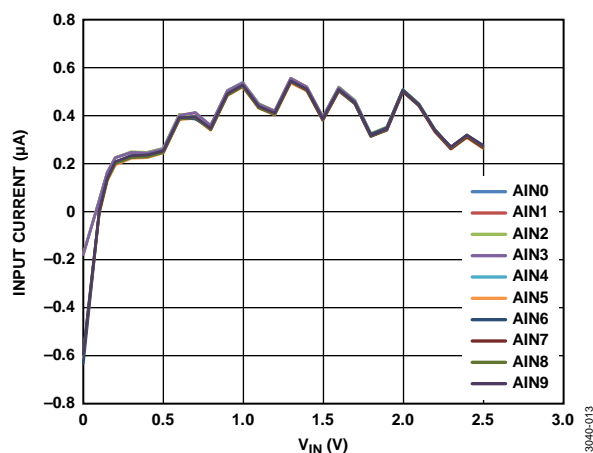


図 13. V_{IN} 対入力電流、 $V_{DD} = 3.3\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、
バッファなしモード、100 kSPS

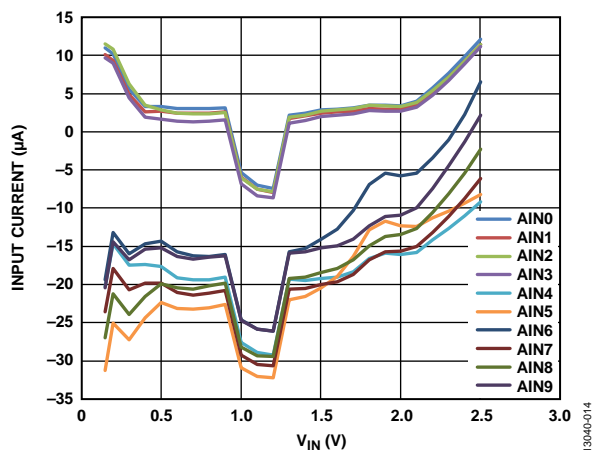


図 14. V_{IN} 対入力電流、V_{DD} = 3.3 V、T_A = 25°C、バッファ付きモード、100 kSPS

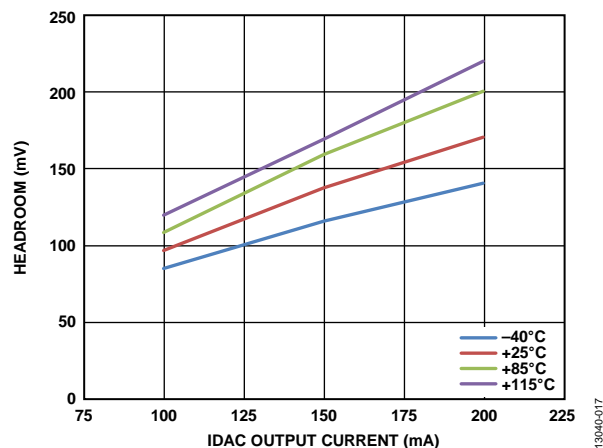


図 17. 様々な温度での、出力電流対 IDAC2 PVDD_IDAC2 ピン電圧ヘッドルーム; PV_{DD} = 1.8 V

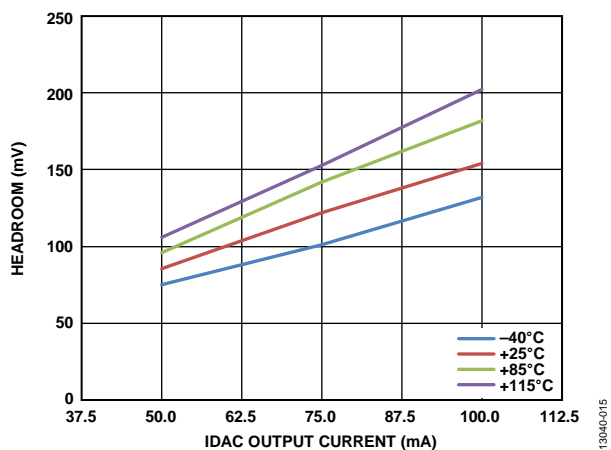


図 15. 様々な温度での、出力電流対 IDAC0 PVDD_IDAC0 ピン電圧ヘッドルーム; PV_{DD} = 1.8 V

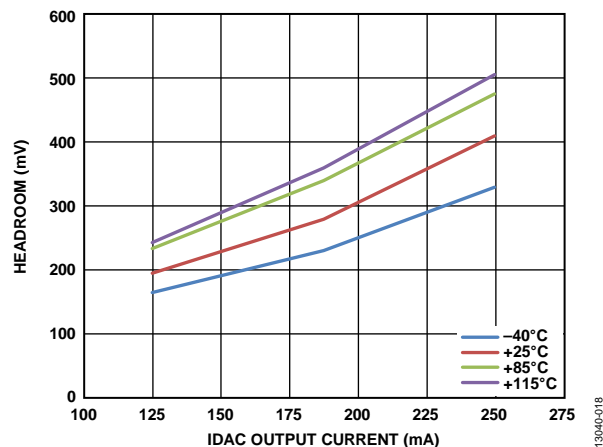


図 18. 様々な温度での、出力電流対 IDAC3 PVDD_IDAC3 ピン電圧ヘッドルーム; PV_{DD} = 1.8 V

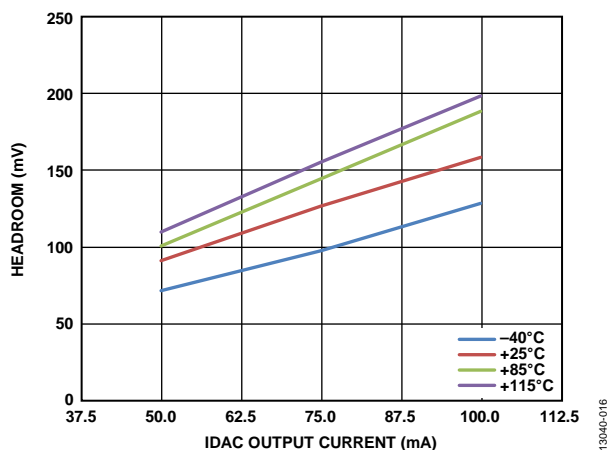


図 16. 様々な温度での、出力電流対 IDAC1 PVDD_IDAC1 ピン電圧ヘッドルーム; PV_{DD} = 1.8 V

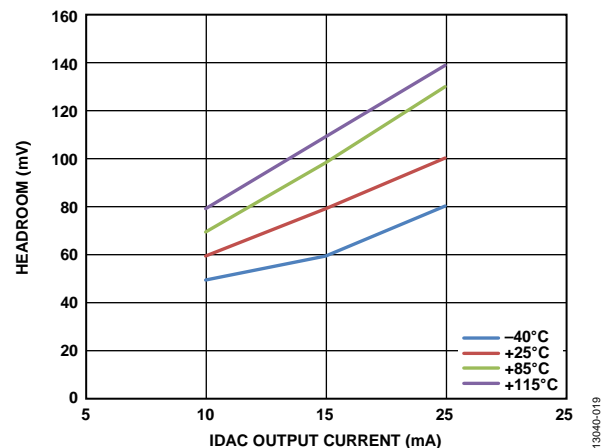


図 19. 様々な温度での、出力電流対 IDAC4 PVDD_IDAC4 ピン電圧ヘッドルーム; PV_{DD} = 1.8 V

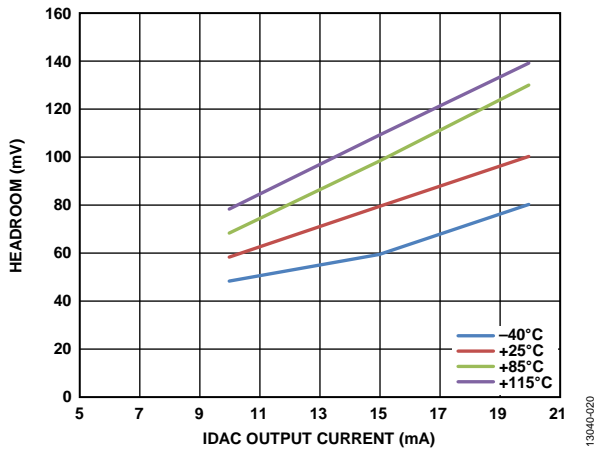


図 20. 様々な温度での、出力電流対 IDAC5 PVDD_IDAC5 ピン電圧ヘッドルーム ; PV_{DD} = 1.8 V

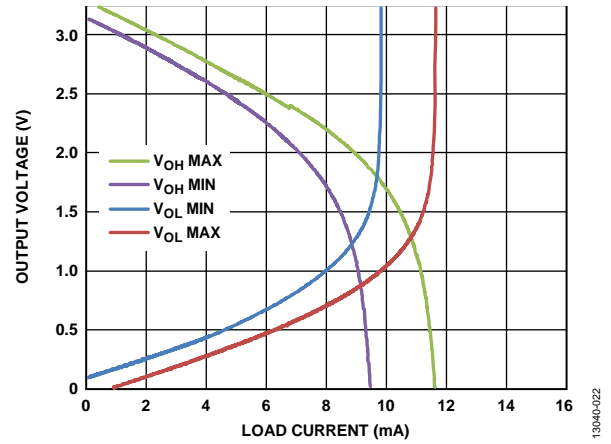


図 22. 負荷電流対出力電圧

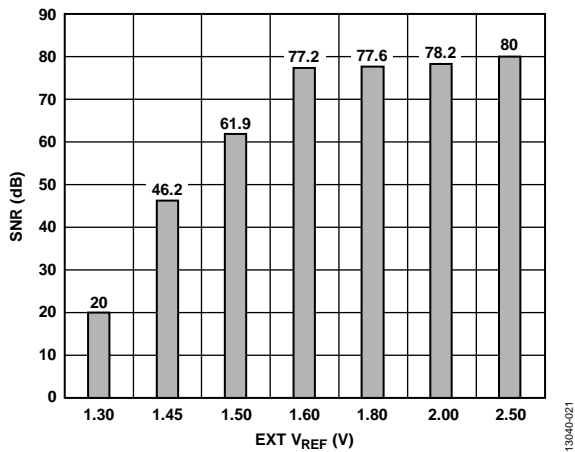


図 21. 外付けリファレンス電圧 (EXT V_{REF}) 対 ADC SNR

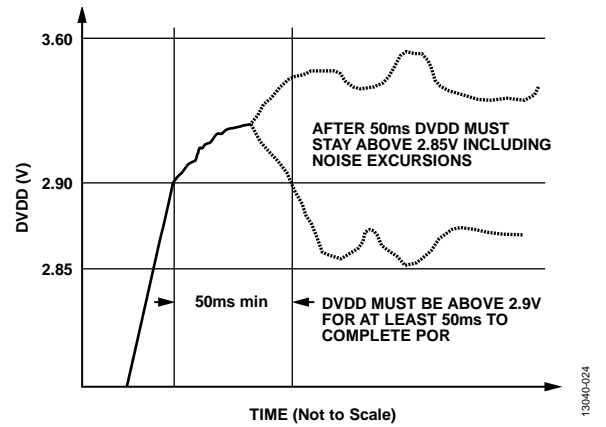


図 23. DVDD パワーオン条件

推奨回路と部品値

図 24 に、ADuCM310 の代表的な接続を示します。

IOVDD1、IOVDD2、IOVDD3、DVDD という 4 個のデジタル電源ボールがあります。これらのボールを 4 個の各ボールのできるだけ近くに配置した 0.1 μF のコンデンサと電源の 10 μF のコンデンサでデカップリングしてください。同様に、アナログ電源ピン(AVDD3 と AVDD4)を各ボールのできるだけ近くに配置した 0.1 μF のコンデンサと電源の 10 μF のコンデンサでデカップリングしてください。

IDAC の出力電流は、PV_{DD} 電源ボール PVDD_IDAC_x から供給されます。100 nF のコンデンサを各 PVDD 電源ボールの近くに接続してください。PVDD 電源 (PVDD_IDAC_x ボール) に少なくとも 1 個の 10 μF コンデンサを接続してください。

IDAC 出力フィルタは、CDAMP_IDAC_x ボールと PVDD_IDAC_x ボールの間接続された 10 nF のコンデンサに依存します。

ADC リファレンスのために、ADC_CAPN ボールと ADC_CAPP ボール間に 4.7 μF のコンデンサを接続する必要があります。ADC_CAPN はアナログ・グラウンド (AGND) へ直接接続します。

ADuCM310 は 4 個のレギュレータを内蔵しています。これらのレギュレータには外付けのデカップリング・コンデンサが必要です。DVDD_REG1 ボールと DVDD_REG2 ボールの各々には、デジタル・グラウンド (DGND) に接続した 0.47 μF のコンデンサが必要です。AVDD_REG1 ボールと AVDD_REG2 ボールの各々には、AGND へ接続したデカップリング・コンデンサが必要です。正確で低ドリフトのリファレンス電流を生成するには、IREF ボールを 3.16 k Ω の低 ppm 抵抗を介してアナログ・グラウンドへ接続する必要があります。

VREF_1.2 ボールは、0.47 μF のコンデンサを介して AGND へ接続してください。

詳細については、図 24 を参照してください。

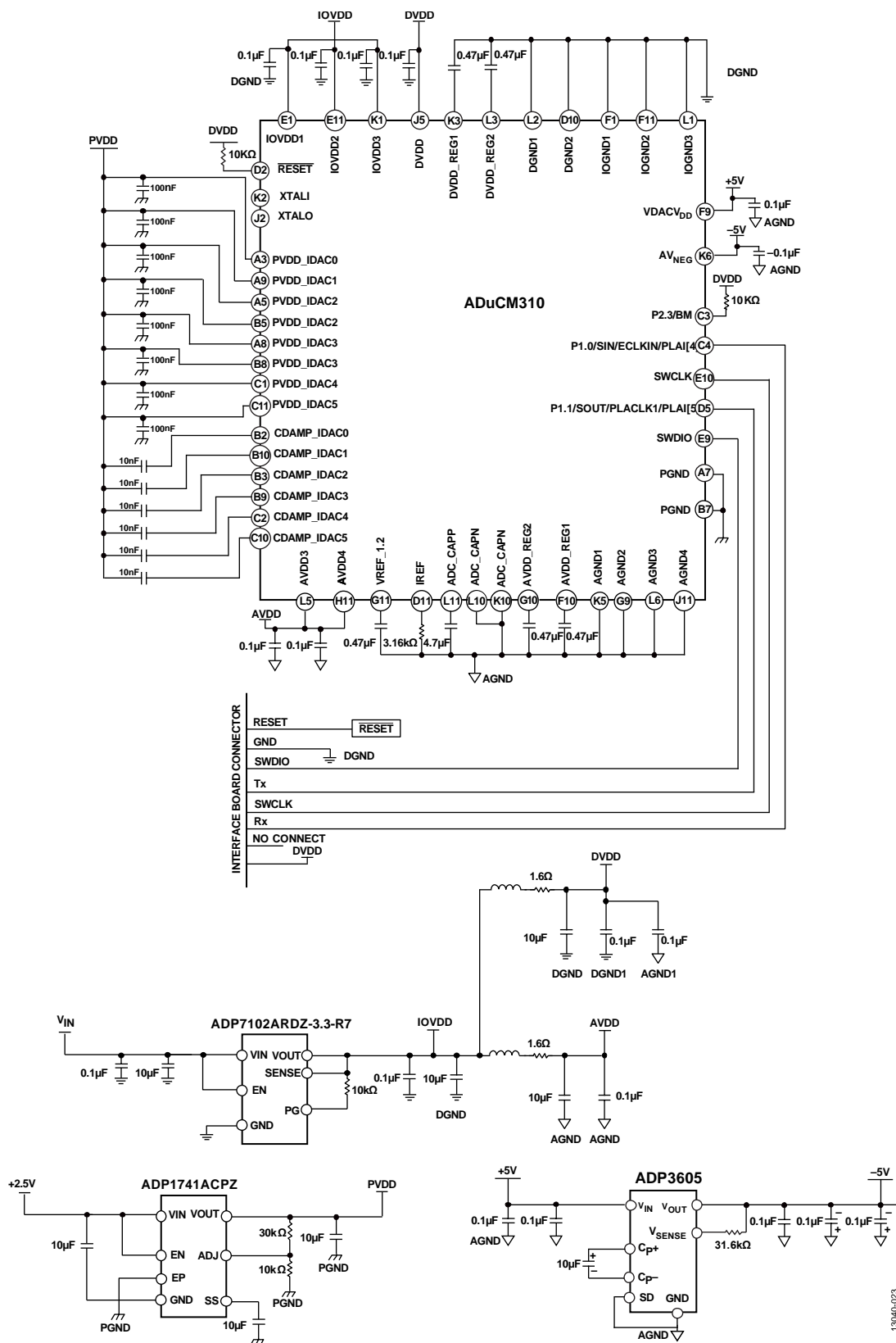
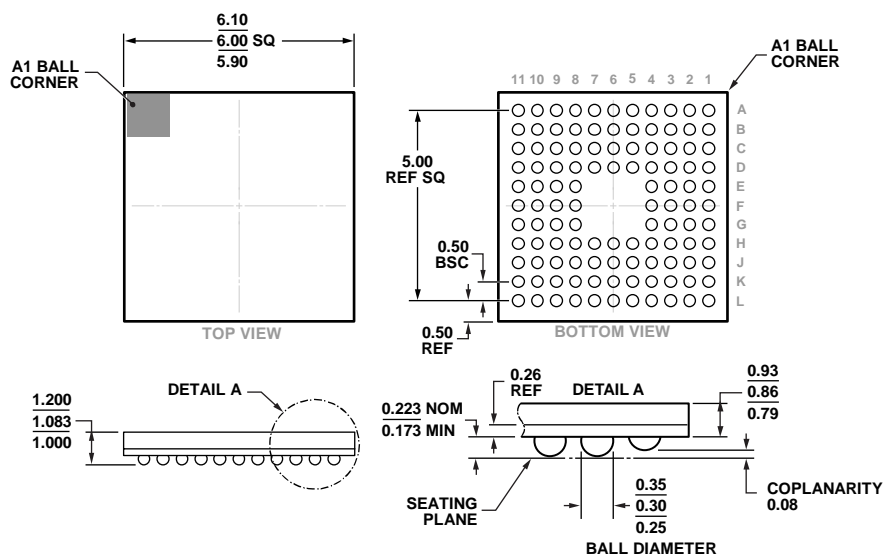


図 24. 代表的な接続図

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-195-AC WITH THE EXCEPTION TO BALL COUNT.

04-02-2013-A

図 25. 112 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA] (BC-112-4) 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADuCM310BBCZ	-10°C to +85°C	112-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-112-4
ADuCM310BBCZ-RL	-10°C to +85°C	112-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-112-4
EVAL-ADuCM310QSPZ		Evaluation Board with QuickStart Development System	

¹ Z = RoHS 準拠製品。

² IC は、Philips Semiconductors 社(現在の NXP Semiconductors 社)が制定した通信プロトコルです。