

### 特長

高精度 ADC

2 チャンネル同時サンプリングの 16 ビット  $\Sigma$ - $\Delta$  ADC を内蔵

ADC スループットが 1 Hz~8 kHz でプログラマブル

5 ppm/ $^{\circ}$ C のリファレンス電圧を内蔵

電流チャンネル

フル差動のバッファ付き入力

プログラマブル・ゲイン: 1~512

ADC 入力範囲: -200 mV~+300 mV

電流アキュムレータ機能付きのデジタル・コンパレータ

電圧チャンネル

12 V バッテリ入力用のバッファ付き減衰器を内蔵

温度チャンネル

外付けと内蔵の温度センサー・オプション

マイクロコントローラ

RISC アーキテクチャの 16/32 ビット ARM7TDMI コアを採用

プログラマブルな分周器付きの 20.48 MHz PLL を内蔵

PLL 入力ソース

内蔵高精度発振器

内蔵低消費電力発振器

外付け(32.768 kHz)時計水晶

JTAG ポートがコードのダウンロードとデバッグをサポート

メモリ

32 kB のフラッシュ/EE メモリ、4 kB の SRAM

フラッシュ/EE 書き換え回数: 10,000 サイクル、フラッシュ/EE のデータ保持: 20 年

JTAG と LIN によるインサーキット・ダウンロード

内蔵ペリフェラル

ハードウェア同期付き UART により LIN 2.0 互換(スレーブ)をサポート

柔軟なウェイクアップ I/O ピン、マスター/スレーブ SPI シリアル I/O

GPIO ポート: 9 ピン、汎用タイマー×3

ウェイクアップ・タイマーとウォッチドッグ・タイマー

電源モニター、内蔵パワーオン・リセット

電源

直接 12 V バッテリ電源で動作

消費電流

ノーマル・モード: 10 MHz で 10 mA

低消費電力モニター・モード

パッケージと温度範囲

48 ピン 7 mm × 7 mm の LFCSP パッケージを採用

-40 $^{\circ}$ C~+115 $^{\circ}$ C の動作仕様

### アプリケーション

車載システム向けのバッテリー検出/管理

### 機能ブロック図

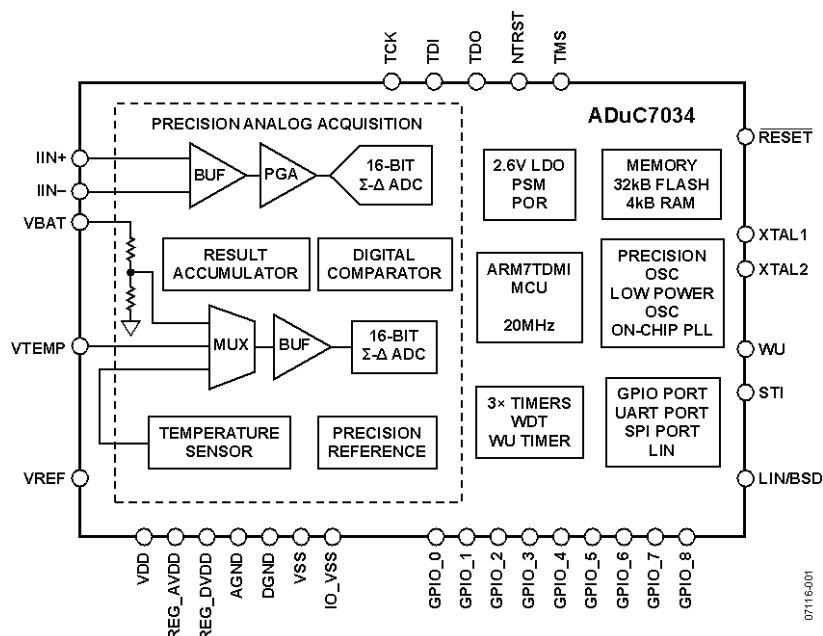


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

## 目次

特長	1	タイマー1	72
アプリケーション	1	タイマー2、ウェイクアップ・タイマー	74
機能ブロック図	1	タイマー3、ウォッチドッグ・タイマー	76
改訂履歴	2	タイマー4—STI タイマー	78
仕様	3	汎用 I/O	80
電氣的仕様	3	General-Purpose I/O レジスタ s	82
タイミング仕様	9	高電圧ペリフェラル・コントロール・インターフェース	91
絶対最大定格	14	高電圧ペリフェラル・コントロール・インターフェース・レジスタ	92
ESD の注意	14	ウェイクアップ(WU)ピン	98
ピン配置およびピン機能説明	15	高電圧ペリフェラル・コントロール・インターフェースからの割り込みの処理	99
代表的な性能特性	17	低電圧フラグ(LVF)	99
用語	18	高電圧診断	99
動作原理	19	UART シリアル・インターフェース	100
ARM7TDMI コアの概要	19	ボー・レートの発生	100
メモリ構成	21	UART レジスタの定義	101
リセット	23	シリアル・ペリフェラル・インターフェース	106
フラッシュ/EE メモリ	24	MISO ピン	106
Flash/EE メモリのインサーキット書き込み	24	MOSI ピン	106
フラッシュ/EE メモリ・コントロール・インターフェース	24	SCLK ピン	106
フラッシュ/EE メモリのセキュリティ	27	$\overline{SS}$ ピン	106
フラッシュ/EE メモリの信頼性	28	SPI レジスタの定義	106
SRAM とフラッシュ/EE からのコード実行時間	29	シリアル・テスト・インターフェース	110
ADuC7034 カーネル	30	シリアル・テスト・インターフェース・レジスタ	110
メモリ・マップド・レジスタ	32	シリアル・テスト・インターフェースの出力構造	112
全 MMR のリスト	33	シリアル・テスト・インターフェースの使用手法	112
16 ビット $\Sigma$ - $\Delta$ A/D コンバータ	39	LIN (ローカル・インターコネクト・ネットワーク) インターフェース	114
電流チャンネル ADC (I-ADC)	39	LIN MMR の説明	114
電圧/温度チャンネル ADC (V/T-ADC)	41	LIN ハードウェア・インターフェース	118
ADC グラウンド・スイッチ	42	ビット・シリアル・デバイス(BSD)インターフェース	123
ADC ノイズの性能表	42	BSD 通信のハードウェア・インターフェース	123
ADC MMR インターフェース	43	BSD 関連の MMR	124
ADC 低消費電力動作モード	53	BSD 通信フレーム	125
ADC コンパレータとアキュムレータ	54	BSD データの受信	126
ADC Sinc3 デジタル・フィルタの応答	54	BSD データの送信	126
ADC Calibration	57	BSD インターフェースからのウェイクアップ	126
ADC 診断	58	デバイスの識別	127
電源サポート回路	59	デバイス識別レジスタ	127
ADuC7034 のシステム・クロック	60	回路図	130
システム・クロック・レジスタ	61	外形寸法	131
低消費電力クロックのキャリブレーション	64	オーダー・ガイド	131
プロセッサ参照ペリフェラル	66		
割り込みシステム	66		
タイマー	69		
タイマー0—寿命タイマー	70		

## 改訂履歴

4/08—Revision 0: Initial Version

## 仕様

### 電氣的仕様

特に指定のない限り、 $V_{DD} = 3.5\text{ V} \sim 18\text{ V}$ 、 $V_{REF} = 1.2\text{ V}$  内部リファレンス電圧、 $f_{CORE} = 10.24\text{ MHz}$  (外付け 32.768 kHz の時計水晶または内蔵高精度発振器から駆動)、すべての仕様は  $T_A = -40^{\circ}\text{C} \sim +115^{\circ}\text{C}$  で規定。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>ADC SPECIFICATIONS</b>					
Conversion Rate <sup>1</sup>	Chop off, ADC normal operating mode	4		8000	Hz
	Chop on, ADC normal operating mode	4		2600	Hz
	Chop on, ADC low power mode	1		650	Hz
Current Channel					
No Missing Codes <sup>1</sup>	Valid for all ADC update rates and ADC modes	16			Bits
Integral Nonlinearity <sup>1, 2</sup>			$\pm 10$	$\pm 60$	ppm of FSR
Offset Error <sup>2, 3, 4, 5</sup>	Chop off, 1 LSB = 36.6 $\mu\text{V}/\text{gain}$	-10	$\pm 3$	+10	LSB
Offset Error <sup>1, 3, 6</sup>	Chop on	-2	$\pm 0.5$	+2	$\mu\text{V}$
Offset Error <sup>1, 3</sup>	Chop on, low power mode or low power plus mode, MCU powered down	100	-50	-300	nV
Offset Error <sup>1, 3</sup>	Chop on, normal mode, CD = 1	0.5	-1.25	-3	$\mu\text{V}$
Offset Error Drift <sup>6</sup>	Chop off, valid for ADC gains of 4 to 64, normal mode		0.03		LSB/ $^{\circ}\text{C}$
Offset Error Drift <sup>6</sup>	Chop off, valid for ADC gains of 128 to 512, normal mode		30		nV/ $^{\circ}\text{C}$
Offset Error Drift <sup>6</sup>	Chop on		10		nV/ $^{\circ}\text{C}$
Total Gain Error <sup>1, 3, 7, 8, 9, 10</sup>	Normal mode	-0.5	$\pm 0.1$	+0.5	%
Total Gain Error <sup>1, 3, 7, 9</sup>	Low power mode using ADCREF MMR	-4	$\pm 0.2$	+4	%
Total Gain Error <sup>1, 3, 7, 9, 11</sup>	Low power plus mode, using precision VREF	-1	$\pm 0.2$	+1	%
Gain Drift			3		ppm/ $^{\circ}\text{C}$
PGA Gain Mismatch Error			$\pm 0.1$		%
Output Noise <sup>1, 12</sup>	4 Hz update rate, gain = 512, ADCFLT = 0xBF1D		60	90	nV rms
	4 Hz update rate, gain = 512, ADCFLT = 0x3F1D		75	115	nV rms
	10 Hz update rate, gain = 512, ADCFLT = 0x961F		100	150	nV rms
	10 Hz update rate, gain = 512, ADCFLT = 0x161F		120	180	nV rms
	1 kHz update rate, gain $\geq 64$ , ADCFLT = 0x8101		0.8	1.2	$\mu\text{V}$ rms
	1 kHz update rate, gain $\geq 64$ , ADCFLT = 0x0101		1	1.5	$\mu\text{V}$ rms
	1 kHz update rate, gain = 512, ADCFLT = 0x0007		0.6	0.9	$\mu\text{V}$ rms
	1 kHz update rate, gain = 32, ADCFLT = 0x0007		0.8	1.2	$\mu\text{V}$ rms
	1 kHz update rate, gain = 8, ADCFLT = 0x8101		2.1	4.1	$\mu\text{V}$ rms
	1 kHz update rate, gain = 8, ADCFLT = 0x0007		1.6	2.4	$\mu\text{V}$ rms
	1 kHz update rate, gain = 8, ADCFLT = 0x0101		2.6	3.9	$\mu\text{V}$ rms
	1 kHz update rate, gain = 4, ADCFLT = 0x0007		2.0	2.8	$\mu\text{V}$ rms
	8 kHz update rate, gain = 32, ADCFLT = 0x0000		2.5	3.5	$\mu\text{V}$ rms
	8 kHz update rate, gain = 4, ADCFLT = 0x0000		14	21	$\mu\text{V}$ rms
	ADC low power mode, $f_{ADC} = 10\text{ Hz}$ , gain = 128		1.25	1.9	$\mu\text{V}$ rms
	ADC low power mode, $f_{ADC} = 1\text{ Hz}$ , gain = 128		0.35	0.5	$\mu\text{V}$ rms
	ADC low power plus mode, $f_{ADC} = 1\text{ Hz}$ , gain = 512		0.1	0.15	$\mu\text{V}$ rms
	ADC low power plus mode, $f_{ADC} = 250\text{ Hz}$ , gain = 512, chop enabled		0.6	0.9	$\mu\text{V}$ rms
Voltage Channel <sup>13</sup>					
No Missing Codes <sup>1</sup>	Valid at all ADC update rates	16			Bits
Integral Nonlinearity <sup>1</sup>			$\pm 10$	$\pm 60$	ppm of FSR
Offset Error <sup>3, 5</sup>	Chop off, 1 LSB = 439.5 $\mu\text{V}$	-10	$\pm 1$	+10	LSB
Offset Error <sup>1, 3</sup>	Chop on		0.3	1	LSB
Offset Error Drift	Chop off		0.03		LSB/ $^{\circ}\text{C}$
Total Gain Error <sup>1, 3, 7, 10, 14</sup>	Includes resistor mismatch	-0.25	$\pm 0.06$	+0.25	%
Total Gain Error <sup>1, 3, 7, 10, 14</sup>	Temperature range = $-25^{\circ}\text{C}$ to $+65^{\circ}\text{C}$	-0.15	$\pm 0.03$	+0.15	%
Gain Drift	Includes resistor mismatch drift		3		ppm/ $^{\circ}\text{C}$

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Output Noise <sup>1, 15</sup>	4 Hz update rate, ADCFLT = 0xBF1D		60	90	μV rms
	10 Hz update rate, ADCFLT = 0x961F		60	90	μV rms
	1 kHz update rate, ADCFLT = 0x0007		180	270	μV rms
	1 kHz update rate, ADCFLT = 0x8101		240	307	μV rms
	1 kHz update rate, ADCFLT = 0x0101		270	405	μV rms
	8 kHz update rate, ADCFLT = 0x0000		1600	2400	μV rms
Temperature Channel					
No Missing Codes <sup>1</sup>	Valid at all ADC update rates	16			Bits
Integral Nonlinearity <sup>1</sup>			±10	±60	ppm of FSR
Offset Error <sup>3, 4, 5, 16</sup>	Chop off, 1 LSB = 19.84 μV in unipolar mode, tested at gain of 4	−10	±3	+10	LSB
Offset Error <sup>1, 3</sup>	Chop on	−5	+1	+5	LSB
Offset Error Drift	Chop off		0.03		LSB/°C
Total Gain Error <sup>1, 3, 14</sup>		−0.2	±0.06	+0.2	%
Gain Drift			3		ppm/°C
Output Noise <sup>1</sup>	1 kHz update rate		7.5	11.25	μV rms
ADC SPECIFICATIONS ANALOG INPUT	Internal VREF = 1.2 V				
Current Channel					
Absolute Input Voltage Range	Applies to both IIN+ and IIN−	−200		+300	mV
Input Voltage Range <sup>17, 18</sup>	Gain = 1 <sup>19</sup>		±1.2		V
	Gain = 2 <sup>19</sup>		±600		mV
	Gain = 4 <sup>19</sup>		±300		mV
	Gain = 8		±150		mV
	Gain = 16		±75		mV
	Gain = 32		±37.5		mV
	Gain = 64		±18.75		mV
	Gain = 128		±9.375		mV
	Gain = 256		±4.68		mV
	Gain = 512		±2.3		mV
Input Leakage Current <sup>1</sup>		−3		+3	nA
Input Offset Current <sup>1, 20</sup>			0.5	1.5	nA
Voltage Channel					
Absolute Input Voltage Range		4		18	V
Input Voltage Range			0 to 28.8		V
VBAT Input Current	VBAT = 18 V	3	5.5	8	μA
Temperature Channel	Reference selection: REG_AVDD/2 to GND_SW/2				
Absolute Input Voltage Range		100		1300	mV
Input Voltage Range			0 to VREF		V
VTEMP Input Current <sup>1</sup>			2.5	160	nA
VOLTAGE REFERENCE					
ADC Precision Reference					
Internal VREF			1.2		V
Power-Up Time <sup>1</sup>			0.5		ms
Initial Accuracy <sup>1</sup>	Measured at T <sub>A</sub> = 25°C	−0.15		+0.15	%
Temperature Coefficient <sup>1, 21</sup>		−20	±5	+20	ppm/°C
Reference Long-Term Stability <sup>22</sup>			100		ppm/1000 hr
External Reference Input Range <sup>23</sup>		0.1		1.3	V
VREF Divide-by-2 Initial Error <sup>1</sup>			0.1	0.3	%
ADC Low Power Reference					
Internal VREF			1.2		V
Initial Accuracy	Measured at T <sub>A</sub> = 25°C	−5		+5	%
Initial Accuracy <sup>1</sup>	Using ADCREF, measured at T <sub>A</sub> = 25°C		0.1		%
Temperature Coefficient <sup>1, 21</sup>		−300	±150	+300	ppm/°C
ADC DIAGNOSTICS					
VREF/136 <sup>1</sup>	At any gain settings	8.5		9.4	mV
Voltage Attenuator Current Source <sup>1</sup>	Differential voltage increase on the attenuator when the	3.1		3.8	V

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
	current source is on, over a range of $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$				
RESISTIVE ATTENUATOR					
Divider Ratio			24		
Resistor Mismatch Drift			3		ppm/ $^{\circ}\text{C}$
ADC GROUND SWITCH					
Resistance	Direct path to ground 20 k $\Omega$ resistor selected	10	10 20	30	$\Omega$ k $\Omega$
Input Current	Allowed continuous current through the switch with direct path to ground			6	mA
TEMPERATURE SENSOR <sup>24</sup>					
Accuracy	After user calibration MCU in power-down or standby mode MCU in power-down or standby mode, temperature range = $-25^{\circ}\text{C}$ to $+65^{\circ}\text{C}$		$\pm 3$ $\pm 2$		$^{\circ}\text{C}$ $^{\circ}\text{C}$
POWER-ON RESET (POR)					
POR Trip Level	Refers to the voltage at the VDD pin	2.85	3.0	3.15	V
POR Hysteresis			300		mV
Reset Timeout from POR			20		ms
LOW VOLTAGE FLAG (LVF)					
LVF Level	Refers to the voltage at the VDD pin	1.9	2.1	2.3	V
POWER SUPPLY MONITOR (PSM)					
PSM Trip Level	Refers to the voltage at the VDD pin		6.0		V
WATCHDOG TIMER (WDT)					
Timeout Period <sup>1</sup>	32.768 kHz clock, 256 prescale	0.008		512	sec
Timeout Step Size			7.8		ms
FLASH/EE MEMORY <sup>1</sup>					
Endurance <sup>25</sup>		10,000			Cycles
Data Retention <sup>26</sup>		20			Years
DIGITAL INPUTS					
Input Leakage Current	All digital inputs except NTRST Input high = REG_DVDD		$\pm 1$	$\pm 10$	$\mu\text{A}$
Input Pull-Up Current	Input low = 0 V	-80	-20	-10	$\mu\text{A}$
Input Capacitance			10		pF
Input Leakage Current	NTRST only: input low = 0 V		$\pm 1$	$\pm 10$	$\mu\text{A}$
Input Pull-Down Current	NTRST only: input high = REG_DVDD	30	55	100	$\mu\text{A}$
LOGIC INPUTS <sup>1</sup>					
Input Low Voltage ( $V_{\text{INL}}$ )	All logic inputs			0.4	V
Input High Voltage ( $V_{\text{INH}}$ )		2.0			V
CRYSTAL OSCILLATOR <sup>1</sup>					
Logic Inputs, XTAL1 Only					
Input Low Voltage ( $V_{\text{INL}}$ )				0.8	V
Input High Voltage ( $V_{\text{INH}}$ )		1.7			V
XTAL1 Capacitance			12		pF
XTAL2 Capacitance			12		pF
ON-CHIP OSCILLATORS					
Low Power Oscillator			131.072		kHz
Accuracy <sup>27</sup>	Includes drift data from 1000 hour life test	-3		+3	%
Precision Oscillator			131.072		kHz
Accuracy	Includes drift data from 1000 hour life test	-1		+1	%
MCU CLOCK RATE	Eight programmable core clock selections within this range (binary divisions 1, 2, 4, 8, ... 64, 128)	0.160	10.24	20.48	MHz
MCU START-UP TIME					
At Power-On	Includes kernel power-on execution time		25		ms
After Reset Event	Includes kernel power-on execution time		5		ms
From MCU Power-Down					
Oscillator Running					
Wake Up from Interrupt			2		ms
Wake Up from LIN			2		ms
Crystal Powered Down					

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Wake Up from Interrupt			500		ms
Internal PLL Lock Time			1		ms
LIN INPUT/OUTPUT GENERAL					
Baud Rate		1000		20,000	bps
VDD	Supply voltage range at which the LIN interface is functional	7		18	V
Input Capacitance			5.5		pF
Input Leakage Current	Input low = IO_VSS	−800		−400	μA
LIN Comparator Response Time	Using 22 Ω resistor		38	90	μs
I <sub>LIN_DOM_MAX</sub>	Current limit for driver when LIN bus is in dominant state, VBAT = VBAT (maximum)	40		200	mA
I <sub>LIN_PAS_REC</sub>	Driver off, 7.0 V < V <sub>LIN</sub> < 18 V, VDD = V <sub>LIN</sub> − 0.7 V	−20		+20	μA
I <sub>LIN</sub> <sup>1</sup>	VBAT disconnected, VDD = 0 V, 0 < V <sub>LIN</sub> < 18 V			10	μA
I <sub>LIN_PAS_DOM</sub> <sup>1</sup>	Input leakage V <sub>LIN</sub> = 0 V	−1			mA
I <sub>LIN_NO_GND</sub> <sup>28</sup>	Control unit disconnected from ground, GND = VDD; 0 V < V <sub>LIN</sub> < 18 V; VBAT = 12 V	−1		+1	mA
V <sub>LIN_DOM</sub> <sup>1</sup>	LIN receiver dominant state, VDD > 7.0 V			0.4 VDD	V
V <sub>LIN_REC</sub> <sup>1</sup>	LIN receiver recessive state, VDD > 7.0 V	0.6 VDD			V
V <sub>LIN_CNT</sub> <sup>1</sup>	LIN receiver center voltage, VDD > 7.0 V	0.475 VDD	0.5 VDD	0.525 VDD	V
V <sub>HYS</sub> <sup>1</sup>	LIN receiver hysteresis voltage			0.175 VDD	V
V <sub>LIN_DOM_DRV_LOSUP</sub> <sup>1</sup>	LIN dominant output voltage, VDD = 7 V			1.2	V
R <sub>LOAD</sub> = 500 Ω					V
R <sub>LOAD</sub> = 1000 Ω		0.6			V
V <sub>LIN_DOM_DRV_HISUP</sub> <sup>1</sup>	LIN dominant output voltage, VDD = 18 V			2	V
R <sub>LOAD</sub> = 500 Ω					V
R <sub>LOAD</sub> = 1000 Ω		0.8			V
V <sub>LIN_RECESSIVE</sub>	LIN recessive output voltage	0.8 VDD			V
VBAT Shift <sup>28</sup>		0		0.1 VDD	V
GND Shift <sup>28</sup>		0		0.1 VDD	V
R <sub>SLAVE</sub>	Slave termination resistance	20	30	47	kΩ
V <sub>SERIAL DIODE</sub> <sup>28</sup>	Voltage drop at the internal diode	0.4	0.7	1	V
Symmetry of Transmit Propagation Delay <sup>1</sup>	VDD (minimum) = 7 V	−4		+4	μs
Receive Propagation Delay <sup>1</sup>	VDD (minimum) = 7 V			6	μs
Symmetry of Receive Propagation Delay <sup>1</sup>	VDD (minimum) = 7 V	−2		+2	μs
LIN VERSION 2.0 SPECIFICATION					
D1	Bus load conditions (CBUS  RBUS): 1 nF  1 kΩ, 6.8 nF  660 Ω, 10 nF  500 Ω Duty Cycle 1, TH <sub>REC(MAX)</sub> = 0.744 × VBAT, TH <sub>DOM(MAX)</sub> = 0.581 × VBAT, V <sub>SUP</sub> = 7.0 V ... 18 V, t <sub>BIT</sub> = 50 μs, D1 = t <sub>BUS_REC(MIN)</sub> /(2 × t <sub>BIT</sub> )	0.396			
D2	Duty Cycle 2, TH <sub>REC(MIN)</sub> = 0.284 × VBAT, TH <sub>DOM(MIN)</sub> = 0.422 × VBAT, V <sub>SUP</sub> = 7.0 V ... 18 V; t <sub>BIT</sub> = 50 μs, D2 = t <sub>BUS_REC(MAX)</sub> /(2 × t <sub>BIT</sub> )			0.581	
BSD INPUT/OUTPUT <sup>29</sup>					
Baud Rate		1164	1200	1236	bps
Input Leakage Current	Input high = VDD, or input low = IO_VSS	−50		+50	μA
Output Low Voltage (V <sub>OL</sub> )				1.2	V
Output High Voltage (V <sub>OH</sub> )		0.8 VDD			V
Short-Circuit Output Current (I <sub>o(sc)</sub> )	V <sub>BSD</sub> = VDD = 12 V	40	80	200	mA
Input Low Voltage (V <sub>INL</sub> )				1.8	V
Input High Voltage (V <sub>INH</sub> )		0.7 VDD			V
WAKE-UP					
VDD <sup>1</sup>	R <sub>LOAD</sub> = 300 Ω, C <sub>BUS</sub> = 91 nF, R <sub>LIMIT</sub> = 39 Ω Supply voltage range at which the WU pin is functional	7		18	V
Input Leakage Current	Input high = VDD	0.4		2.1	mA
	Input low = IO_VSS	−50		+50	μA
V <sub>OH</sub> <sup>30</sup>	Output high level	5			V
V <sub>OL</sub> <sup>30</sup>	Output low level			2	V
V <sub>IH</sub>	Input high level	4.6			V

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
V <sub>IL</sub>	Input low level			1.2	V
Monoflop Timeout	Timeout period	0.6	1.3	2	sec
Short-Circuit Output Current (I <sub>o(sc)</sub> )		100	140		mA
SERIAL TEST INTERFACE		R <sub>LOAD</sub> = 500 Ω, C <sub>BUS</sub> = 2.4 nF, R <sub>LIMIT</sub> = 39 Ω			
Baud Rate				40	kbps
Input Leakage Current	Input high = VDD, or input low = IO_VSS	−50		+70	μA
VDD	Supply voltage range for which STI is functional	7		18	V
V <sub>OH</sub>	Output high level	0.6 VDD			V
V <sub>OL</sub>	Output low level			0.4 VDD	V
V <sub>IH</sub>	Input high level	0.6 VDD			V
V <sub>IL</sub>	Input low level			0.4 VDD	V
PACKAGE THERMAL SPECIFICATIONS					
Thermal Shutdown <sup>1, 31</sup>		140	150	160	°C
Thermal Impedance (θ <sub>JA</sub> ) <sup>32</sup>	48-lead LFCSP, stacked die		45		°C/W
POWER REQUIREMENTS					
Power Supply Voltages					
VDD (Battery Supply)		3.5		18	V
REG_DVDD, REG_AVDD <sup>33</sup>		2.5	2.6	2.7	V
Power Consumption					
I <sub>DD</sub> (MCU Normal Mode) <sup>34</sup>	MCU clock rate = 10.24 MHz, ADC off		10	20	mA
	MCU clock rate = 20.48 MHz, ADC off		20		mA
I <sub>DD</sub> (MCU Powered Down) <sup>1</sup>	ADC low power mode, measured over the range of T <sub>A</sub> = −10°C to +40°C, continuous ADC conversion		300	400	μA
	ADC low power mode, measured over the range of T <sub>A</sub> = −40°C to +85°C, continuous ADC conversion		300	500	μA
	ADC low power plus mode, measured over an ambient temperature range of T <sub>A</sub> = −10°C to +40°C, continuous ADC conversion		520	700	μA
	Average current, measured with wake-up and watchdog timer clocked from the low power oscillator, T <sub>A</sub> = −40°C to +85°C		120	300	μA
I <sub>DD</sub> (MCU Powered Down)	Average current, measured with wake-up and watchdog timer clocked from low power oscillator over a range of T <sub>A</sub> = −10°C to +40°C		120	175	μA
I <sub>DD</sub> (Current ADC)			1.7		mA
I <sub>DD</sub> (Voltage/Temperature ADC)			0.5		mA
I <sub>DD</sub> (Precision Oscillator)			400		μA

<sup>1</sup> これらの値は、出荷テストを行いませんが、設計および/または量産開始時のキャラクタライゼーション・データにより保証します。

<sup>2</sup> PGA = 4~64 の電流 ADC ゲイン設定に対して有効。

<sup>3</sup> これらの値には温度ドリフトを含みます。

<sup>4</sup> ゲイン範囲 = 4 でテスト。セルフ・オフセット・キャリブレーションによりこの誤差を除去。

<sup>5</sup> 初期オフセット・キャリブレーション後に内部で短絡して測定。

<sup>6</sup> 内部で短絡して測定。

<sup>7</sup> これらの値には内部リファレンス電圧の温度ドリフトを含みます。

<sup>8</sup> ゲイン = 1 で出荷時にキャリブレーション。

<sup>9</sup> 特定のゲイン範囲でシステム・キャリブレーションを行うと、その温度とそのゲイン範囲での誤差が除去されます。

<sup>10</sup> 初期システム・キャリブレーションを含みます。

<sup>11</sup> ADC ノーマル・モード・リファレンス電圧を使用。

<sup>12</sup> 低消費電力モードでのノイズ(Typ)は、チョップをイネーブルして測定。

<sup>13</sup> 電圧チャンネル仕様には抵抗減衰器入力ステージが含まれます。

<sup>14</sup> システム・キャリブレーションによりこの温度での誤差が除去されます。

<sup>15</sup> RMS ノイズは電圧減衰器入力に換算されます。たとえば、f<sub>ADC</sub> = 1 kHz で、ADC 入力での rms ノイズ(typ)は 7.5 μV ですが、減衰器(-24)でスケールして、これらの入力換算ノイズ係数が得られます。

<sup>16</sup> 初期セルフ・キャリブレーション後に有効。

<sup>17</sup> ADC 低消費電力モードで、入力範囲を±9.375 mV に固定。ADC 低消費電力プラス・モードで、入力範囲を±2.34375 mV に固定。

- <sup>18</sup> ゲイン・キャリブレーション・レジスタの出荷時設定値を変更するか、またはシステム・キャリブレーションを使って、ADC 入力範囲を最大 10% 拡張することが可能。この方法は、ADC 入力範囲(LSB サイズ)を小さくする際にも使用可能。
- <sup>19</sup> 最小/最大絶対入力電圧範囲により制限されます。
- <sup>20</sup> 10 mV 以下の差動入力に対して有効。
- <sup>21</sup> ボックス方法を使って測定。
- <sup>22</sup> 長時間安定性仕様は非累積的です。後続の 1000 時間のドリフトは、最初の 1000 時間より大幅に小さくなります。
- <sup>23</sup> 内部 2 分割をイネーブルすると、最大 REG\_AVDD のリファレンス電圧に対応できます。
- <sup>24</sup> チップ温度。
- <sup>25</sup> 書き込みサイクルは、JEDEC Std に基づき 10,000 サイクルで評価。書き込みサイクルは、JEDEC Std.22 Method A117 に基づき 22 サイクルで評価し、 $-40^{\circ}\text{C}$ 、 $+25^{\circ}\text{C}$ 、 $+125^{\circ}\text{C}$  で測定。25°C での書き換え回数(Typ)は 170,000 サイクル。
- <sup>26</sup> JEDEC Std. 22、メソッド A117 に基づく接合部温度(TJ) =  $55^{\circ}\text{C}$  と等価なデータ保持寿命。データ保持寿命は接合温度により性能低下します。
- <sup>27</sup> 低消費電力発振器は、高精度発振器またはユーザー・コード内の外付け 32.768 kHz 水晶に対してキャリブレーションすることができます。
- <sup>28</sup> これらの値は、出荷テストを行いませんが、LIN コンプライアンス・テストでサポートされています。
- <sup>29</sup> 高電圧レベルと低電圧レベルを除く BSD 電気仕様は、ブルアップ抵抗をディスエーブルし、 $C_{\text{Load}}$  = 最大 10 nF とする LIN 2.0 に準拠。
- <sup>30</sup> この仕様は WU ピンに直接適用しませんが、ウェイクアップ・ラインの  $R_{\text{LIMIT}}$  = 39  $\Omega$  を含みます。
- <sup>31</sup> MCU コアはシャットダウンしませんが割り込みが発生し、さらにサーマル・シャットダウン・イベントに応答して、高電圧 I/O ピンがディスエーブルされます。
- <sup>32</sup> 熱抵抗は、周囲温度—チップ温度間の熱勾配の計算に使うことができます。
- <sup>33</sup> 内部安定化電源は、REG\_DVDD ( $I_{\text{SOURCE}} = 5 \text{ mA}$ ) と REG\_AVDD ( $I_{\text{SOURCE}} = 1 \text{ mA}$ ) が使用可能。
- <sup>34</sup> フラッシュ/EE メモリの書き込み時と消去サイクル時の消費電流の増加値(Typ)は、それぞれ 7 mA と 5 mA です。



## タイミング仕様

### SPI タイミング仕様

表 2.SPI マスタ・モード・タイミング(位相モード=1)

Parameter	Description	Min	Typ	Max	Unit
$t_{SL}$	SCLK low pulse width <sup>1</sup>		$(SPIDIV + 1) \times t_{HCLK}$		ns
$t_{SH}$	SCLK high pulse width		$(SPIDIV + 1) \times t_{HCLK}$		ns
$t_{DAV}$	Data output valid after SCLK edge <sup>2</sup>			$(2 \times t_{UCLK}) + (2 \times t_{HCLK})$	ns
$t_{DSU}$	Data input setup time before SCLK edge	0			ns
$t_{DHD}$	Data input hold time after SCLK edge	$3 \times t_{UCLK}$			ns
$t_{DF}$	Data output fall time		3.5		ns
$t_{DR}$	Data output rise time		3.5		ns
$t_{SR}$	SCLK rise time		3.5		ns
$t_{SF}$	SCLK fall time		3.5		ns

<sup>1</sup>  $t_{HCLK}$  は、クロック分周器または PLLCON MMR の CD ビットに依存。 $t_{HCLK} = t_{UCLK}/2^{CD}$ 。

<sup>2</sup>  $t_{UCLK} = 48.8$  ns、分周器前の PLL からの 20.48 MHz 内部クロックに対応。

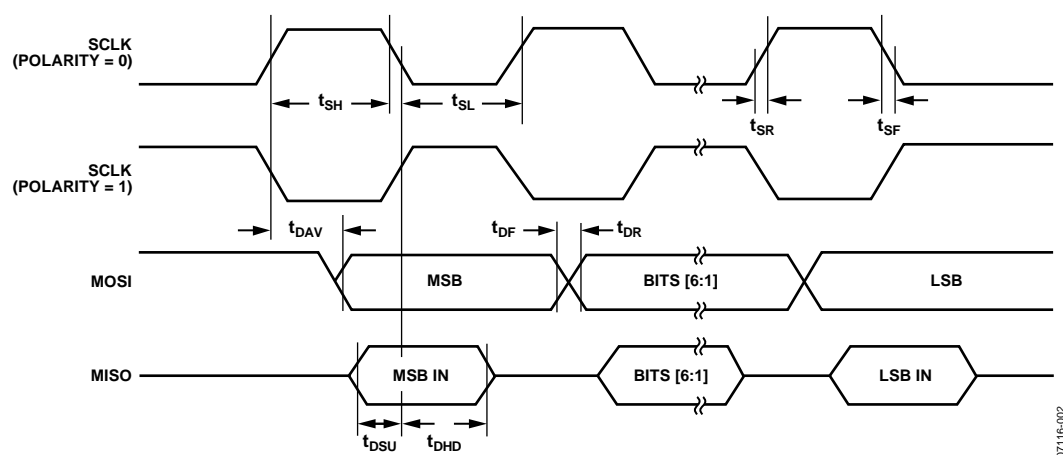


図 2. SPI Master Mode Timing—PHASE Mode = 1

表 3.SPI マスタ・モード・タイミング(位相モード=0)

Parameter	Description	Min	Typ	Max	Unit
$t_{SL}$	SCLK low pulse width <sup>1</sup>		$(SPIDIV + 1) \times t_{HCLK}$		ns
$t_{SH}$	SCLK high pulse width		$(SPIDIV + 1) \times t_{HCLK}$		ns
$t_{DAV}$	Data output valid after SCLK edge <sup>2</sup>			$(2 \times t_{UCLK}) + (2 \times t_{HCLK})$	ns
$t_{DOSU}$	Data output setup before SCLK edge		$\frac{1}{2} t_{SL}$		ns
$t_{DSU}$	Data input setup time before SCLK edge	0			ns
$t_{DHD}$	Data input hold time after SCLK edge	$3 \times t_{UCLK}$			ns
$t_{DF}$	Data output fall time		3.5		ns
$t_{DR}$	Data output rise time		3.5		ns
$t_{SR}$	SCLK rise time		3.5		ns
$t_{SF}$	SCLK fall time		3.5		ns

<sup>1</sup>  $t_{HCLK}$  は、クロック分周器または PLLCON MMR の CD ビットに依存。 $t_{HCLK} = t_{UCLK}/2^{CD}$ 。

<sup>2</sup>  $t_{UCLK} = 48.8$  ns、分周器前の PLL からの 20.48 MHz 内部クロックに対応。

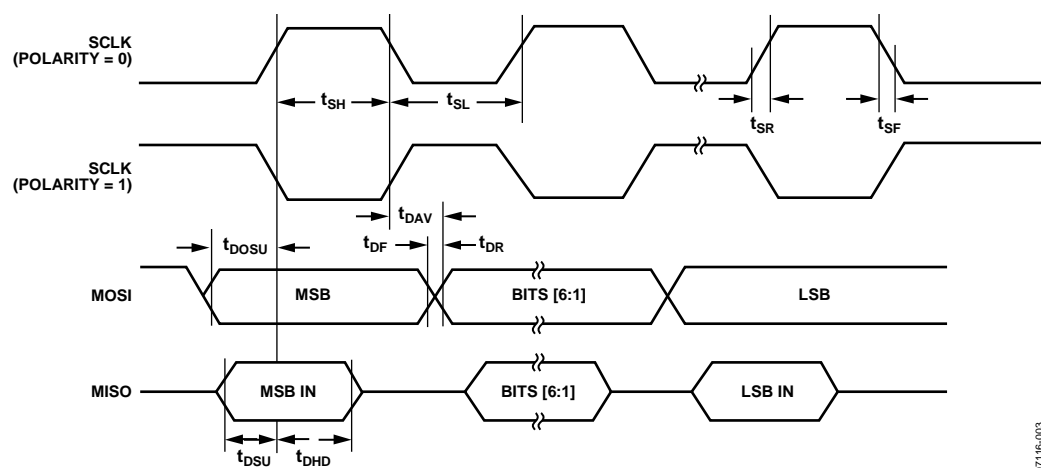


図 3. SPI Master Mode Timing—PHASE Mode = 0

07116-003

表 4.SPI スレーブ・モード・タイミング(位相モード=1)

Parameter	Description	Min	Typ	Max	Unit
$t_{\overline{SS}}$	$\overline{SS}$ to SCLK edge		$\frac{1}{2} t_{SL}$		ns
$t_{SL}$	SCLK low pulse width <sup>1</sup>		$(SPIDIV + 1) \times t_{HCLK}$		ns
$t_{SH}$	SCLK high pulse width		$(SPIDIV + 1) \times t_{HCLK}$		ns
$t_{DAV}$	Data output valid after SCLK edge <sup>2</sup>			$(3 \times t_{UCLK}) + (2 \times t_{HCLK})$	ns
$t_{DSU}$	Data input setup time before SCLK edge	0			ns
$t_{DHD}$	Data input hold time after SCLK edge	$4 \times t_{UCLK}$			ns
$t_{DF}$	Data output fall time		3.5		ns
$t_{DR}$	Data output rise time		3.5		ns
$t_{SR}$	SCLK rise time		3.5		ns
$t_{SF}$	SCLK fall time		3.5		ns
$t_{SFS}$	$\overline{SS}$ high after SCLK edge		$\frac{1}{2} t_{SL}$		ns

<sup>1</sup>  $t_{HCLK}$  は、クロック分周器または PLLCON MMR の CD ビットに依存。 $t_{HCLK} = t_{UCLK}/2^{CD}$ 。

<sup>2</sup>  $t_{UCLK} = 48.8$  ns、分周器前の PLL からの 20.48 MHz 内部クロックに対応。

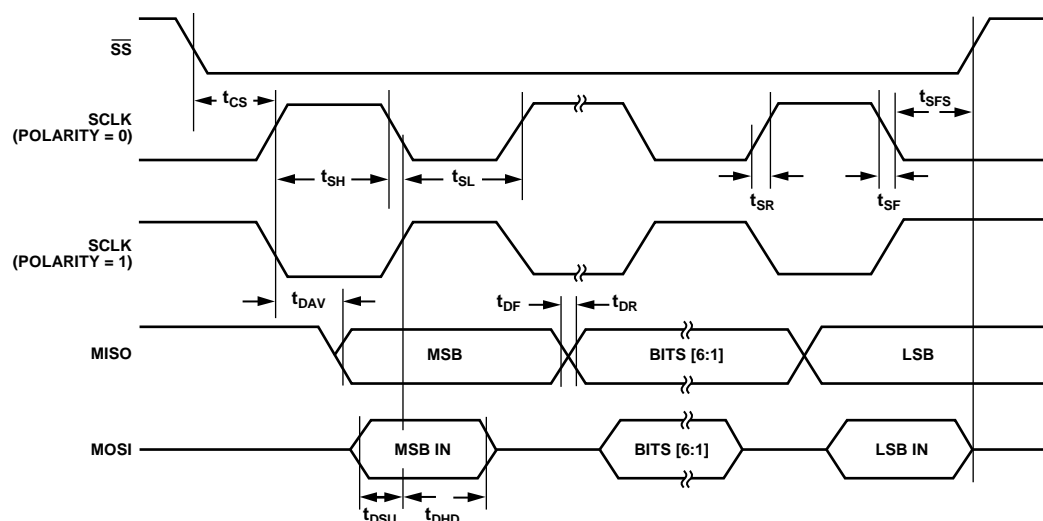


図 4. SPI Slave Mode Timing—PHASE Mode = 1

表 5.SPI スレーブ・モード・タイミング(位相モード=0)

Parameter	Description	Min	Typ	Max	Unit
$t_{\overline{SS}}$	$\overline{SS}$ to SCLK edge		$\frac{1}{2} t_{SL}$		ns
$t_{SL}$	SCLK low pulse width <sup>1</sup>		$(SPIDIV + 1) \times t_{HCLK}$		ns
$t_{SH}$	SCLK high pulse width		$(SPIDIV + 1) \times t_{HCLK}$		ns
$t_{DAV}$	Data output valid after SCLK edge <sup>2</sup>			$(3 \times t_{UCLK}) + (2 \times t_{HCLK})$	ns
$t_{DSU}$	Data input setup time before SCLK edge	0			ns
$t_{DHD}$	Data input hold time after SCLK edge	$4 \times t_{UCLK}$			ns
$t_{DF}$	Data output fall time		3.5		ns
$t_{DR}$	Data output rise time		3.5		ns
$t_{SR}$	SCLK rise time		3.5		ns
$t_{SF}$	SCLK fall time		3.5		ns
$t_{DOCS}$	Data output valid after $\overline{SS}$ edge			$(3 \times t_{UCLK}) + (2 \times t_{HCLK})$	ns
$t_{SFS}$	$\overline{SS}$ high after SCLK edge		$\frac{1}{2} t_{SL}$		ns

<sup>1</sup>  $t_{HCLK}$  は、クロック分周器または PLLCON MMR の CD ビットに依存。 $t_{HCLK} = t_{UCLK}/2^{CD}$ 。

<sup>2</sup>  $t_{UCLK} = 48.8$  ns、分周器前の PLL からの 20.48 MHz 内部クロックに対応。

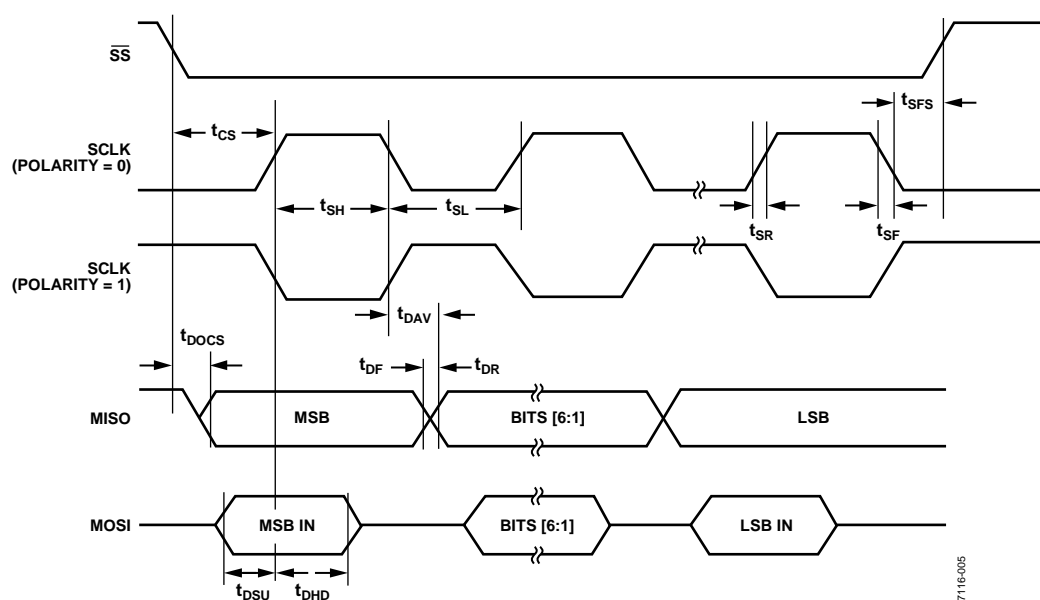


図 5. SPI Slave Mode Timing—PHASE Mode = 0

## LIN タイミング仕様

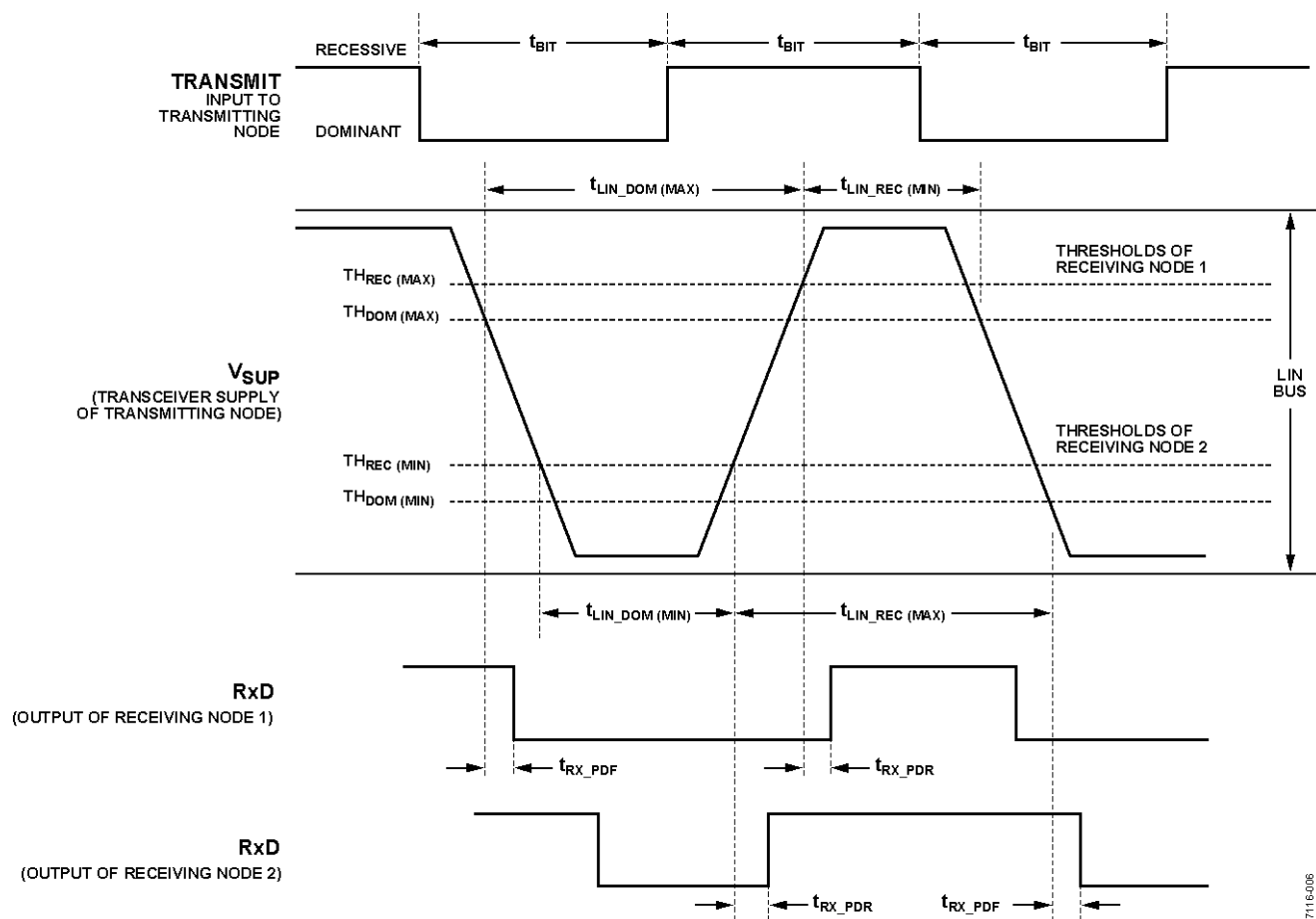


図 6.LIN 2.0 タイミング仕様

## 絶対最大定格

特に指定のない限り、 $T_A = -40^{\circ}\text{C} \sim +115^{\circ}\text{C}$ 。

表 6.

Parameter	Rating
AGND to DGND to VSS to IO_VSS	-0.3 V to +0.3 V
VBAT to AGND	-22 V to +40 V
VDD to VSS	-0.3 V to +33 V
VDD to VSS for 1 sec	-0.3 V to +40 V
LIN to IO_VSS	-16 V to +40 V
STI and WU to IO_VSS	-3 V to +33 V
Wake-Up Continuous Current	50 mA
Short-Circuit Current of High Voltage I/O Pins	100 mA
Digital I/O Voltage to DGND	-0.3 V to REG_DVDD + 0.3 V
VREF to AGND	-0.3 V to REG_AVDD + 0.3 V
ADC Inputs to AGND	-0.3 V to REG_AVDD + 0.3 V
ESD Rating	
IEC 1000-4-2 for All Pins	1 kV
IEC 61000-4-2 for LIN and VBAT Pins	±5 kV
Storage Temperature	125°C
Junction Temperature	
Transient	150°C
Continuous	130°C
Lead Temperature	
Soldering Reflow (15 sec)	260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

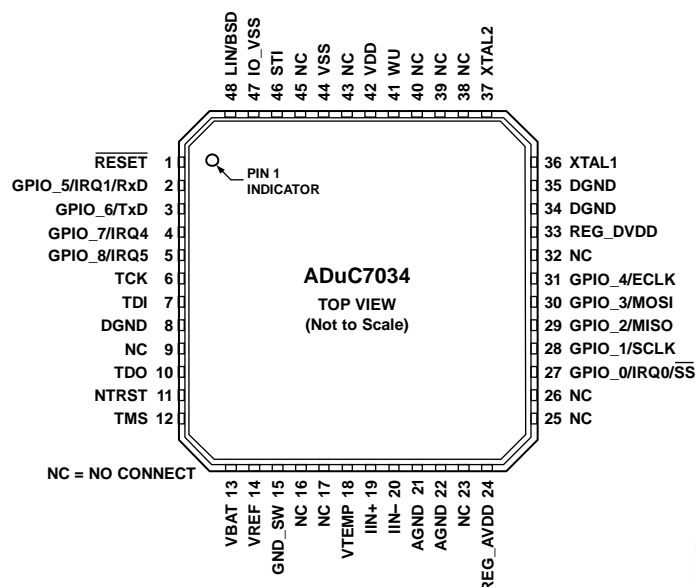


図 7.ピン配置

表 7.ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
1	RESET	I	リセット入力。アクティブ・ロー。このピンは内部に REG_DVDD への弱いプルアップ抵抗を持っています。使わないときは解放のままにしておくことができます。セキュリティと安定のために、このピンを抵抗を介して REG_DVDD に接続することをお勧めします。
2	GPIO_5/IRQ1/RxD	I/O	汎用デジタル IO 5/外部割り込み要求 1(アクティブ・ハイ)/UART シリアル・ポートの受信データ。デフォルトおよびパワーオン・リセットでは、このピンは入力に設定されます。このピンは内部に弱いプルアップ抵抗を持っています。使わないときは解放のままにしておくことができます。
3	GPIO_6/TxD	I/O	汎用デジタル IO 6/UART シリアル・ポートの送信データ。デフォルトおよびパワーオン・リセットでは、このピンは入力に設定されます。このピンは内部に弱いプルアップ抵抗を持っています。使わないときは解放のままにしておくことができます。
4	GPIO_7/IRQ4	I/O	汎用デジタル IO 7/外付け割り込み要求 4(アクティブ・ハイ)。デフォルトおよびパワーオン・リセットでは、このピンは入力に設定されます。このピンは内部に弱いプルアップ抵抗を持っています。使わないときは解放のままにしておくことができます。
5	GPIO_8/IRQ5	I/O	汎用デジタル IO 8/外付け割り込み要求 5(アクティブ・ハイ)。デフォルトおよびパワーオン・リセットでは、このピンは入力に設定されます。このピンは内部に弱いプルアップ抵抗を持っています。使わないときは解放のままにしておくことができます。
6	TCK	I	JTAG テスト・クロック。このクロック入力ピンは、デバイス上にある標準の 5 ピン JTAG デバッグ・ポートの内の 1 本です。TCK は入力ピン専用で、内部に弱いプルアップ抵抗を持っています。使用しないときは、このピンを解放のままにしてください。
7	TDI	I	JTAG テスト・データ入力。このデータ入力ピンは、デバイス上にある標準の 5 ピン JTAG デバッグ・ポートの内の 1 本です。TDI は入力ピン専用で、内部に弱いプルアップ抵抗を持っています。使用しないときは、このピンを解放のままにしてください。
8、34、35	DGND	S	内蔵デジタル回路のグラウンド基準。
9、16、23、32、38 to 40、43、45	NC		未接続。これらのピンは内部で接続されていませんが、将来用途に予約されています。これらのピンには外部で何も接続しないでください。これらのピンは必要に応じてグラウンドに接続することができます。
17、25、26	NC		未接続。これらのピンは内部で接続されていますが、将来用途に予約されています。これらのピンには外部で何も接続しないでください。これらのピンは必要に応じてグラウンドに接続することができます。
10	TDO	O	JTAG テスト・データ出力。このデータ出力ピンは、デバイス上にある標準の 5 ピン JTAG デバッグ・ポートの内の 1 本です。TDO は出力専用ピンです。パワーオン時、この出力はディスエーブルされ、内部で弱いプルアップ抵抗によりハイ・レベルプルアップされています。使用しないときは、このピンを解放のままにしてください。

ピン番号	記号	タイプ <sup>1</sup>	説明
11	NTRST	I	JTAG テスト・リセット。このリセット入力ピンは、デバイス上にある標準の 5 ピン JTAG デバッグ・ポートの内の 1 本です。NTRST は入力専用ピンで、内部に弱いプルダウン抵抗を持っています。使用しないときは、このピンを解放のままにしてください。LIN ブート負荷モードをイネーブ ルするため、内蔵カーネルは NTRST もモニターしています。
12	TMS	I	JTAG テスト・モード・セレクト。このモード・セレクト入力ピンは、デバイス上にある標準の 5 ピン JTAG デバッグ・ポートの内の 1 本です。TMS は入力ピン専用で、内部に弱いプルアップ抵抗 を持っています。使用しないときは、このピンを解放のままにしてください。
13	VBAT	I	抵抗分圧器へのバッテリー電圧入力。
14	VREF	I	外付けリファレンス電圧入力ピン。この入力を使わないときは、AGND システム・グラウンドへ直 接接続してください。使用しないときは、このピンを解放のままにしてください。
15	GND_SW	I	内部アナログ・グラウンド基準へのスイッチ。このピンは外部温度チャンネルと外付けリファレン ス電圧の負側入力です。この入力を使わないときは、AGND システム・グラウンドへ直接接続して ください。
18	VTEMP	I	NTC/PTC 温度測定的外部ピン。
19	IIN+	I	電流チャンネルの正側差動入力。
20	IIN-	I	電流チャンネルの負側差動入力。
21、22	AGND	S	内蔵高精度アナログ回路のグラウンド基準。
24	REG_AVDD	S	内蔵レギュレータからの公称 2.6 V 出力。
27	GPIO_0/IRQ0/SS	I/O	汎用デジタル IO 0/外部割り込み要求 0(アクティブ・ハイ)/スレーブ・セレクト入力(SPI インター フェース)。デフォルトおよびパワーオン・リセットでは、このピンは入力に設定されます。この ピンは内部に弱いプルアップ抵抗を持っています。使わないときは解放のままにしておくことがで きます。
28	GPIO_1/SCLK	I/O	汎用デジタル IO 1/シリアル・クロック入力(SPI インターフェース)。デフォルトおよびパワーオ ン・リセットでは、このピンは入力に設定されます。このピンは内部に弱いプルアップ抵抗を持っ ています。使わないときは解放のままにしておくことができます。
29	GPIO_2/MISO	I/O	汎用デジタル IO 2/マスター入力スレーブ出力(SPI インターフェース)。デフォルトおよびパワー オン・リセットでは、このピンは入力に設定されます。このピンは内部に弱いプルアップ抵抗を持 っています。使わないときは解放のままにしておくことができます。
30	GPIO_3/MOSI	I/O	汎用デジタル IO 3/マスター出力スレーブ入力(SPI インターフェース)。デフォルトおよびパワー オン・リセットでは、このピンは入力に設定されます。このピンは内部に弱いプルアップ抵抗を持 っています。使わないときは解放のままにしておくことができます。
31	GPIO_4/ECLK	I/O	汎用デジタル IO4 /2.56 MHz クロック出力。デフォルトおよびパワーオン・リセットでは、このピ ンは入力に設定されます。このピンは内部に弱いプルアップ抵抗を持っています。使わないときは 解放のままにしておくことができます。
33	REG_DVDD	S	内蔵レギュレータからの公称 2.6 V 出力。
36	XTAL1	O	水晶発振器出力。外付け水晶を使わない場合は、このピンは解放のままにしてください。
37	XTAL2	I	水晶発振器入力。外付け水晶を使わない場合は、このピンを DGND システム・グラウンドへ接続 してください。
41	WU	I/O	高電圧ウェイクアップ。この高電圧 I/O ピンは内部に 10 k $\Omega$ プルダウン抵抗を持っており、VDD へ のハイサイド・ドライバです。このピンを使用しない場合は、何も接続しないでください。
42	VDD	S	内蔵レギュレータへのバッテリー電源。
44	VSS	S	グラウンド基準。このピンは、内部電圧レギュレータのグラウンド基準です。
46	STI	I/O	高電圧シリアル・テスト・インターフェース出力。このピンを使用しない場合は、外部で IO_VSS グラウンド基準へ接続してください。
47	IO_VSS	S	高電圧 I/O ピンのグラウンド基準。
48	LIN/BSO	I/O	ローカル・インターコネクト・ネットワーク IO/ビット・シリアル・デバイス IO。このピンは高電 圧ピンです。

<sup>1</sup> I = 入力、O = 出力、S = 電源。



## 代表的な性能特性

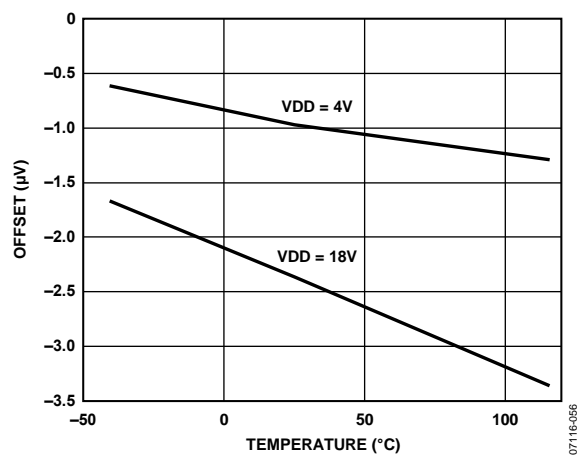


図 8.ADC 電流チャンネル・オフセットの温度特性、10 MHz MCU

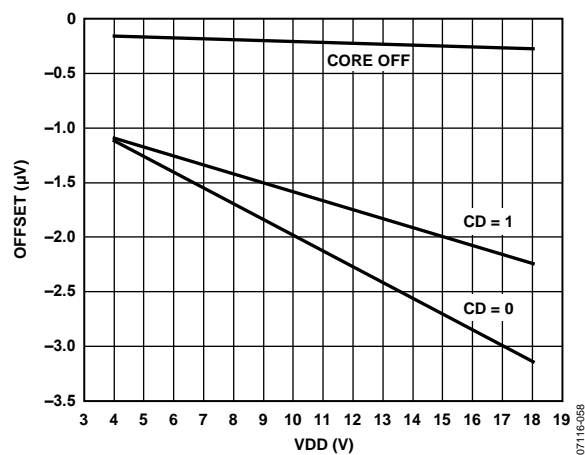


図 10.ADC 電流チャンネル・オフセット対 VDD、25°C

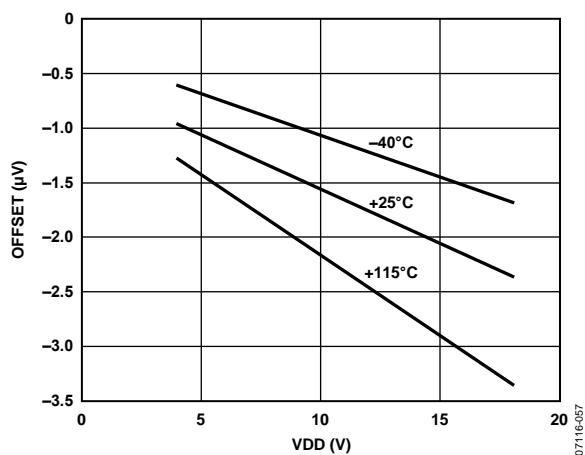


図 9.ADC 電流チャンネル・オフセット対 VDD (10 MHz、MCU)

## 用語

### 変換レート

変換レートは、ADC が整定した後に、ADC から出力結果が得られるレートを規定します。

このデバイスで使用している  $\Sigma$ - $\Delta$  変換技術は、ADC フロントエンド信号が比較的高いサンプル・レートでオーバーサンプルされますが、後続のデジタル・フィルタを使って出力をデシメートして、1 Hz~8 kHz の出力レートで有効な 16 ビット・データ変換結果を与えることを意味します。

ソフトウェアが 1 つの入力から別の入力(同じ ADC)へ切り替えるとき、デジタル・フィルタを先にクリアして、その後新しい結果を平均できるようにする必要があります。ADC の構成とフィルタのタイプに応じて、このために複数の変換サイクルが必要になることがあります。

### 積分非直線性 (INL)

伝達関数の両端を結ぶ直線からのコードの最大偏差をいいます。伝達関数の両端とは、ゼロ・スケール(最初のコード変化より  $\frac{1}{2}$  LSB 下のポイント)とフル・スケール(最後のコード変化 111...110 から 111...111 より  $\frac{1}{2}$  LSB 上のポイント)をいいます。誤差は、フル・スケールのパーセント値で表示します。

### ノーミス・コード

ノーミス・コードは、ADC の微分非直線性を表します。この誤差はビット数で表され ( $2^N$  ビットとして規定し、N はノー・ミッシング・コード)、ADC フル入力範囲で発生することが保証されるコード数(ADC 変換結果数)を規定します。

### オフセット誤差

オフセット誤差は、最初のコード変化の ADC 入力電圧と理論的な最初のコード変化の差を意味します。

### オフセット誤差ドリフト

オフセット誤差ドリフトは、温度に対する絶対オフセット誤差の変動を意味します。この誤差は℃当たりの LSB 数で表されます。

### ゲイン誤差

ゲイン誤差は ADC のスパン誤差を表します。伝達関数上の任意の 2 点間の測定スパンと理論スパンとの差を表します。

### 出力ノイズ

出力ノイズは、ADC 入力電圧が DC 電圧のときに取得した ADC 出力コード分布の標準偏差(すなわち  $1 \times \Sigma$ )として規定されます。 $\mu\text{V rms}$  で表されます。出力すなわち rms ノイズは、次式で定義される ADC の実効分解能を計算するときに使うことができます。

$$\text{実効分解能} = \log_2(\text{フル・スケール・レンジ} / \text{RMS ノイズ})$$

ここで、**実効分解能**はビット数で表されます。

ピーク to ピーク・ノイズは、ADC 入力電圧が DC のときに取得した ADC 出力コード分布の  $6.6 \times \Sigma$  以内に入るコード間の偏差として定義されます。したがって、ピーク to ピーク・ノイズは、 $6.6 \times \text{rms}$  ノイズとして計算されます。

ピーク to ピーク・ノイズは、次式で定義される  $6.6\Sigma$  限界内でコード・フリッカがない ADC (ノイズ・フリー、コード)分解能を計算するときに使うことができます。

$$\text{ノイズフリー・コード分解能} = \log_2(\text{フル・スケール・レンジ} / \text{ピーク to ピーク・ノイズ})$$

ここで、**ノイズフリー・コード分解能**はビット数で表されます。

## 動作原理

The ADuC7034 は、12 V 車載アプリケーション向けのバッテリー・モニターの完結的なシステム・ソリューションです。このデバイスは、広範囲な動作条件でのバッテリー電流、電圧、温度特性などの 12 V バッテリー・パラメータを精確かつインテリジェントにモニター、処理、診断するために必要なすべての機能を内蔵しています。

このデバイスは、外付けシステム部品数を最小化するため、12 V バッテリーから直接電源を得ます。内蔵のロー・ドロップアウト・レギュレータは、3 個の 16 ビット  $\Sigma\Delta$  ADC に対する電源電圧を発生します。ADC は精確にバッテリーの電流、電圧、温度を測定して、自動車バッテリーの正常状態と充電状態をキャラクタライズします。

フラッシュ/EE メモリを採用した ARM7<sup>TM</sup>マイクロコントローラ(MCU)も内蔵されています。このマイクロコントローラは、取得したバッテリー変数の前処理と、内蔵ローカル・インターコネクト・ネットワーク(LIN)インターフェースを介した ADuC7034 とメイン・エレクトロニクス・コントロール・ユニット(ECU)との間の通信の管理に使用されます。

MCU と ADC サブシステムは、通常動作モードまたは柔軟な省電力動作モードで動作するように個別に設定することができます。

通常動作モードでは、MCU のクロックは内蔵発振器からフェーズ・ロック・ループ(PLL)を介して 20.48 MHz の最大クロック・レートで間接に駆動されます。省電力動作モードでは、MCU は全面的にパワーダウンし、ADC 変換完了、デジタル・コンパレータ、ウェイクアップ・タイマー、POR、外部シリアル通信イベントに応答したときのみウェイクアップします。

ADC は通常動作モード(フル・パワー)で動作するように設定することができます。種々のサンプル変換イベント後に MCU に割り込みを発生することができます。電流チャンネルは、2 つの低消費電力モード(低消費電力と低消費電力プラス)を持ち、低い性能仕様に従って変換結果を発生します。

内蔵のファクトリ・ファームウェアは、LIN または JTAG シリアル・インターフェース・ポートを経由したイン・サーキット・フラッシュ/EE メモリの再書き込みをサポートします。また、JTAG インターフェースを介して非侵害型エミュレーションもサポートします。これらの機能は、ADuC7034 をサポートしている低価格の QuickStart<sup>TM</sup>開発システムに組み込まれています。

ADuC7034 は 12 V バッテリー電源から直接動作し、-40℃～+115℃の温度範囲で仕様が規定されています。ADuC7034 は 115℃～125℃の温度で動作しますが、性能は低下します。

### ARM7TDMI コアの概要

ARM7 コアは、32 ビットの縮小命令セット・コンピュータ(RISC)であり、ARM 社が開発しました。ARM7TDMI はフォン・ノイマン型アーキテクチャで、1 つの 32 ビット・バスを命令とデータに使います。データ長は、8、16、または 32 ビットが可能で、命令ワード長はコアの動作モードに応じて、16 ビットまたは 32 ビットです。

ARM7TDMI は、表 8 に示す 4 つの機能が追加された ARM7 コアです。

表 8.ARM7TDMI

Feature	Description
T	Support for the Thumb® (16-bit) instruction set
D	Support for debug
M	Enhanced multiplier
I	Includes the EmbeddedICE <sup>TM</sup> module to support embedded system debugging

### Thumb モード(T)

ARM 命令は 32 ビット長です。ARM7TDMI プロセッサは、Thumb 命令セットと呼ばれている 16 ビットに縮小されたセカンド命令セットをサポートしています。16 ビット・メモリによるコード実行の高速化とコードの高密度化は Thumb 命令セットの使用により実現可能になり、ARM7TDMI コアは組み込みアプリケーションに最適になっています。

ただし、Thumb モードには次の 3 つの制約があります。

- ARM に比べて、Thumb コードでは同じタスクの実効に必要な命令数が多くなります。このため、ARM コードは多くのアプリケーションで時間的にクリティカルなコードの性能を最大化することに適しています。
- Thumb 命令セットには、例外処理に必要な幾つかの命令が含まれていないため、例外処理には ARM コードが必要となることがあります。
- 割り込みが発生すると、コアはメモリ内の割り込みロケーションに分岐して、そのアドレスにあるコードを実行します。先頭コマンドは、ARM コードである必要があります。

### 乗算器(M)

ARM7TDMI 命令セットには、32 ビット×32 ビットの乗算で 64 ビットの演算結果と 32 ビット×32 ビットの乗算アキュムレート(MAC)で 64 ビットの演算結果を得る命令が 4 個追加されている強化型乗算器が含まれています。

### EmbeddedICE (I)

EmbeddedICE モジュールは、ARM7TDMI に対するデバッグ・サポート機能を内蔵しています。EmbeddedICE モジュールには、ユーザー・コードの非侵害型デバッグを可能にするブレイク・ポイントと監視ポイント・レジスタが含まれています。これらのレジスタは、JTAG テスト・ポートを経由して制御されます。プロセッサはブレイク・ポイントまたは監視ポイントに遭遇すると、停止してデバッグ状態になります。デバッグ状態になると、プロセッサ・レジスタは、フラッシュ/EE メモリ、SRAM、メモリ・マップド・レジスタと同様にアクセスできるようになります。

## ARM7 の例外

ARM7 は 5 タイプの例外をサポートし、各タイプに対応して特権処理モードを持っています。この 5 タイプの例外を次に示します。

- 通常割り込み (IRQ)。この割り込みは、内部と外部のイベントの汎用割り込み処理をサービスします。
- Fast interrupt (FIQ)。この割り込みは、データ転送または通信チャンネルを小さいレイテンシでサービスします。FIQ は IRQ より高い優先順位を持ちます。
- メモリ・アボート(プリフェッチとデータ)。
- 未定義命令の実行
- ソフトウェア割り込み(SWI)命令。オペレーティング・システムを呼び出すときに使うことができます。

一般に、プログラマは割り込みを IRQ として定義しますが、高い優先順位の割り込みに対して、割り込みを FIQ タイプとして定義することができます。

これらの例外の優先順位とベクタ・アドレスを表 9 に示します。

表 9. 例外の優先順位とベクタ・アドレス

Priority	Exception	Address
1	Hardware reset	0x00
2	Memory abort (data)	0x10
3	FIQ	0x1C
4	IRQ	0x18
5	Memory abort (prefetch)	0x0C
6	Software interrupt <sup>1</sup>	0x08
6	Undefined instruction <sup>1</sup>	0x04

<sup>1</sup> ソフトウェア割り込みと未定義命令例外は、同じ優先順位持ち、互いに排他的です。

表 9 に示す例外のリストは、アドレス 0x00~0x1C に配置されており、アドレス 0x14 は予約済みです。ロケーション 0x14 には、0x27011970 またはページ 0 のチェックサム(ロケーション 0x14 を除外)のいずれかが書き込まれる必要があります。そうしないと、ユーザー・コードが実行できないため、LIN ダウンロード・モードに入ることができません。

## ARM レジスタ

ARM7TDMI には 16 個の標準レジスタがあります。R0~R12 はデータ操作、R13 はスタック・ポインタ、R14 はリンク・レジスタ、R15 は実行中の命令を指すプログラム・カウンタです。リンク・レジスタには、ユーザーが分岐したときのアドレス(ブランチおよびリンク・コマンドを使った場合)または例外が発生したときのコマンドが格納されます。

スタック・ポインタには、スタックの現在のロケーションが格納されます。一般に、ARM7TDMI では、スタックは使用可能な RAM 領域の最上部から開始され、必要に応じて下に向かって領域を使っていきます。別のスタックが各例外に対して定義されます。各スタックのサイズは、ユーザー設定可能で、ターゲット・アプリケーションに依存します。ADuC7034 では、スタックは 0x00040FFC から開始され、下に向かいます。C のような高級言語を使ってプログラミングするときは、スタックがオーバーフローしないように注意する必要があります。これは、使用するコンパイラの性能に依存します。

例外が発生すると、幾つかの標準レジスタは、例外モードに特有なレジスタで置き換えられます。すべての例外モードには、

スタック・ポインタ(R13)とリンク・レジスタ(R14)に対する置き換えバンク・レジスタがあります(図 11)。FIQ モードでは、高速な割り込み処理をサポートするレジスタ(R8~R12)が追加されています。非クリティカルなレジスタ数が増えると、これらのレジスタを待避または復元することなく割り込みを処理するため、割り込み処理プロセスに対する応答時間を小さくすることができます。

プログラマ・モデルと ARM7TDMI コア・アーキテクチャの詳細については、ARM 社から直接提供している ARM7TDMI テクニカル・マニュアルと ARM アーキテクチャ・マニュアルを参照してください。

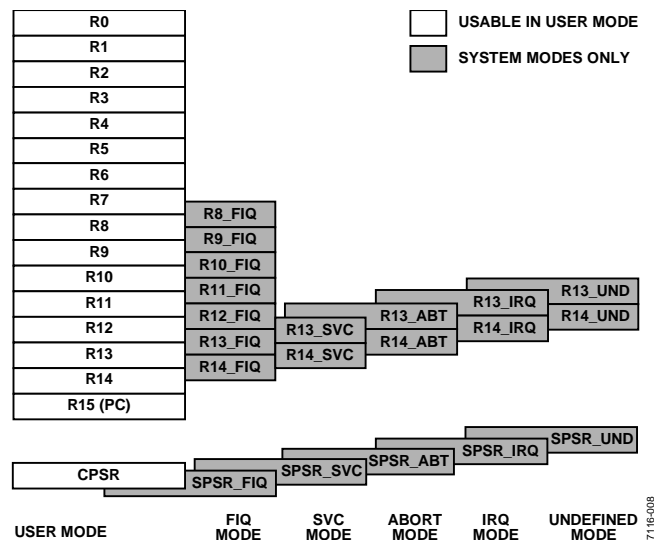


図 11. レジスタ構成

## 割り込みレイテンシ

FIQ のワーストケース・レイテンシは、要求がシンクロナイザを通過するために必要な最長時間、PC を含むすべてのレジスタをロードする命令の最長実行時間(最長命令は LDM)、データ・アボート起動時間、FIQ 起動時間の和で構成されます。この時間の終わりに、ARM7TDMI はアドレス 0x1C (FIQ 割り込みベクタ・アドレス)にある命令を実行します。最大合計時間はプロセッサ・サイクルで 50 サイクル、すなわち連続した 20.48 MHz のプロセッサ・クロックを使うシステムでは 2.44μs 以上になります。

最大 IRQ レイテンシの計算も同じですが、FIQ は高い優先順位を持つため、IRQ 処理ルーチンの開始を任意の時間長だけ遅延させることがあるということを考慮する必要があります。この時間は、LDM コマンドを使わない場合には 42 サイクルに減らすことができます。コンパイラによっては、このコマンドを使わないでコンパイルするオプションを持っているものもあります。別のオプションは、デバイスを Thumb モードで動作させることです。このモードでは 22 サイクルに減少します。

FIQ または IRQ の最小レイテンシは 5 サイクルです。これは、要求がシンクロナイザを通過する最短時間と例外モードを開始する時間の和で構成されます。

例外が発生すると、ARM7TDMI は最初(先頭命令)ARM (32 ビット)モードで動作することに注意してください。ユーザーは直ちに、たとえば割り込みサービス・ルーチンの実行などで必要に応じて、ARM モードが Thumb モードへ切り替えることができます。

## メモリ構成

フォン・ノイマン・アーキテクチャの ARM7 MCU コアから見ると、メモリは  $2^{32}$  個のバイト・ロケーションを持つリニア・アレイとして見えます。図 13 に示すように、ADuC7034 はこれを 4 個のユーザー領域にマッピングします。この 4 個のメモリ領域は、SRAM 領域、フラッシュ/EE 領域、メモリ・マップド・レジスタ(MMR)領域に割り当てることができます。

- ADuC7034 の場合、このメモリ・スペースの先頭の 30 kB は、内蔵フラッシュ/EE または SRAM を配置することができる領域として使われます。
- ADuC7034 は、メモリ・マップの上部に MMR のロケーション指定に使われる 2 番目の 4kB 領域を持っており、これを經由して、すべての内蔵ペリフェラルの設定とモニターを行います。
- ADuC7034 は 4 kB の SRAM を内蔵しています。
- ADuC7034 には 32 kB の内蔵フラッシュ/EE メモリがあり、その内の 30 kB がユーザー使用可能で、残りの 2 kB は内蔵カーネル用に予約されています。

メモリ・マップで定義されていない領域に対するすべてのアクセス(読み出しまたは書き込み)は、データ・アボート例外を発生させます。

## メモリ・フォーマット

ADuC7034 のメモリ構成はリトル・エンディアン・フォーマットを採用しています。すなわち、最下位バイトは最小バイト・アドレスに、最上位バイトは最大バイト・アドレスに、それぞれ配置されています。

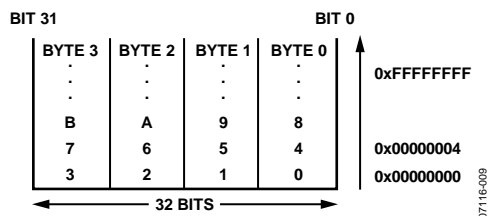


図 12.リトル・エンディアン・フォーマット

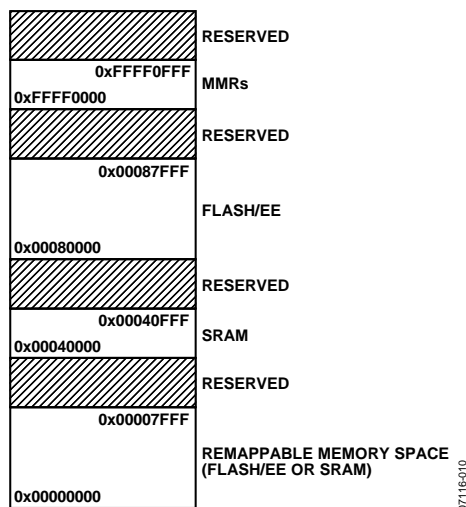


図 13.ADuC7034 のメモリ・マップ

## SRAM

ADuC7034 は、1024 ワード(1024 ロケーション× 32 ビット)で構成された 4 kB の SRAM を内蔵しており、ロケーション 0x00040000 に配置されています。

RAM スペースは、データ・メモリと揮発性プログラム・スペースとして使用することができます。

SRAM が 32 ビット幅のメモリ・アレイとして構成されている場合には、ARM コードは SRAM から直接最大クロック速度で実行することができます。SRAM は、読み書き可能な 8、16、32 ビットのセグメントです。

## 再配置

ARM 例外ベクタは、メモリ・アレイの底部アドレス 0x00000000～アドレス 0x00000020 に配置されています。

デフォルトとして、リセット時に、フラッシュ/EE メモリはアドレス 0x00000000 に配置されます。

SRAM をアドレス 0x00000000 へ再配置することができます。これを行うときは、SYSMAP0 MMR のビット 0 をセットします。フラッシュ/EE をアドレス 0x00000000 へ戻すときは、SYSMAP0 のビット 0 をクリアします。

RAM をアドレス 0x00000000 へ再配置して ADuC7034 の割り込みレイテンシを最適化することが望ましい場合があります。これは、コードをフル 32 ビット ARM モードで実行すると、最大コア速度が可能なためです。例外が発生すると、コアはデフォルトで ARM モードになることに、注意してください。

## Remap 動作

ADuC7034 でリセットが発生すると、出荷時書き込み済みの内部設定コードの実行を自動的に開始します。これは所謂カーネルが隠されていることに該当し、ユーザー・コードからアクセスすることはできません。ADuC7034 がノーマル・モードの場合、カーネルのパワーオン設定ルーチンを実行した後、アドレス 0x00000000 のリセット・ベクタへジャンプして、ユーザーのリセット例外ルーチンを実行します。リセット時に、フラッシュ/EE メモリがメモリ・アレイの底部にミラーされるため、リセット・ルーチンは常にフラッシュ/EE メモリ内に書き込む必要があります。

再配置コマンドは、ミラーされた再配置されたメモリ・セグメントからではなく、フラッシュ/EE メモリの絶対アドレスから実行する必要があります。これは SRAM により置き換えられてしまうためです。ミラーされたロケーションからのコードを実行中に再配置動作が実行されると、プリフェッチ/データ・アボートが発生するか、または異常なプログラム動作が発生します。

すべての種類のリセットが、フラッシュ/EE メモリをメモリ・アレイの底部に再配置します。

## SYSMAP0 レジスタ

名前: SYSMAP0

アドレス: 0xFFFF0220

デフォルト値: カーネルにより更新

アクセス: 読み書き可能

機能: この 8 ビット・レジスタを使うと、ユーザー・コードから、RAM またはフラッシュ/EE メモリ・スペースをアドレス 0x00000000 から開始される ARM メモリ・スペースの底部へ再配置することができます。

表 10.SYSMAP0 MMR のビット説明

Bit	Description
7 to 1	Reserved. These bits are reserved and should be written as 0 by user code.
0	Remap bit. Set by the user to remap the SRAM to Address 0x00000000. Cleared automatically after a reset to remap the Flash/EE memory to Address 0x00000000.

## リセット

外部リセット、パワーオン・リセット、ウォッチドッグ・リセット、ソフトウェア・リセットの 4 種類のリセットがあります。RSTSTA レジスタは、直前のリセット原因を表示し、ユーザー・コードから書き込んで、ソフトウェア・リセット・イベントを開始させることもできます。RSTCLR MMR に 0 を書き込むと、このレジスタのビットをクリアすることができます。RSTCLR のビット表示は、RSTSTA のビット表示に反映されます。これらのレジスタをリセット例外サービス・ルーチン内で使用して、リセット原因を特定することができます。4 種類すべてのリセット・イベントの意味を表 12 に示します。

### RSTSTA レジスタ

名前: RSTSTA

アドレス: 0xFFFF0230

デフォルト値: リセットのタイプに依存

アクセス: 読み書き可能

機能: この 8 ビット RSTSTA レジスタは、直前のリセット・イベントの原因を表示し、ユーザー・コードから書き込んで、ソフトウェア・リセットを開始させることもできます。

### RSTCLR レジスタ

名前: RSTCLR

アドレス: 0xFFFF0234

アクセス: 書き込み専用

機能: この 8 ビット書き込み専用レジスタは、RSTSTA 内の対応するビットをクリアします。

表 11.RSTSTA/RSTCLR MMR のビット説明

Bit	Description
7 to 4	Not used. These bits are not used and always read as 0.
3	External reset. Set automatically to 1 when an external reset occurs. Cleared by setting the corresponding bit in RSTCLR.
2	Software reset. Set to 1 by user code to generate a software reset. Cleared by setting the corresponding bit in RSTCLR. <sup>1</sup>
1	Watchdog timeout. Set automatically to 1 when a watchdog timeout occurs. Cleared by setting the corresponding bit in RSTCLR.
0	Power-on reset. Set automatically when a power-on reset occurs. Cleared by setting the corresponding bit in RSTCLR.

<sup>1</sup> RSTSTA 内のソフトウェア・リセット・ビットがセットされている場合、このビットをクリアしない RSTCLR に書き込みを行うと、ソフトウェア・リセットが発生します。

表 12.デバイス・リセットの意味

Reset	Impact							
	Reset External Pins to Default State	Execute Kernel	Reset All External MMRs (Excluding RSTSTA)	Reset All HV Indirect Registers	Reset Peripherals	Reset Watchdog Timer	Valid RAM <sup>1</sup>	RSTSTA Status (After a Reset Event)
POR	Yes	Yes	Yes	Yes	Yes	Yes	Yes/No <sup>2</sup>	RSTSTA[0] = 1
Watchdog	Yes	Yes	Yes	Yes	Yes	No	Yes	RSTSTA[1] = 1
Software	Yes	Yes	Yes	Yes	Yes	No	Yes	RSTSTA[2] = 1
External Pin	Yes	Yes	Yes	Yes	Yes	No	Yes	RSTSTA[3] = 1

<sup>1</sup> LIN ダウンロード後のリセットの場合、RAM は無効。

<sup>2</sup> RAM への影響は、LVF がイネーブルされている場合、HVMON[3]の値に依存。HVCFG0[2]を使って LVF をイネーブルすると、LVF ステータス・ビット HVMON[3]が 1 の場合、POR リセット・メカニズムにより RAM が壊されてしまうことはありません。詳細については、低電圧フラグ(LVF)のセクションを参照してください。

## フラッシュ/EEメモリ

ADuC7034 はフラッシュ/EE メモリ技術を採用しており、不揮発性のインサークリット書き込み可能なメモリ・スペースを提供しています。

EEPROM と同様にフラッシュ・メモリは、バイト・レベルでインシステム書き込みが可能です。ただし、書き込む前に消去が必要で、この消去はページ・ブロック単位で実行されます。このために、フラッシュ・メモリはフラッシュ/EE メモリとも呼ばれています。

全体として、フラッシュ/EE メモリは、不揮発性、インサークリット書き込み機能、高集積度、低価格である理想的なメモリ・デバイスに近いものです。ADuC7034 にフラッシュ/EE メモリ技術を内蔵することにより、リモート動作ノードでワнтаイム・プログラマブル(OTP)デバイスを交換することなく、インサークリットでプログラム・コード空間を更新することができますようにしました。

フラッシュ/EE メモリは物理的にアドレス 0x80000 に配置されています。デフォルトとして、リセット時に、フラッシュ/EE メモリはアドレス 0x00000000 に配置されます。すべてのフラッシュ/EE メモリ・ロケーションの出荷時のデフォルト値は 0xFF です。フラッシュ/EE メモリは、8/16/32 ビットのセグメントで読み込み可能で、16 ビット・セグメントで書き込み可能です。フラッシュ/EE メモリは、書き換え回数 10,000 サイクルの定格です。この定格は、各バイトに消去と書き込みが繰り返される回数に基づいています。ソフトウェアで冗長性方式を採用すると、10,000 サイクル以上の書き換え回数を保証できます。

ランタイム・コード実行時にフラッシュ/EE メモリにデータ変数を書き込むこともできます。たとえば、診断バッテリー・パラメータ・データを保存することができます。

フラッシュ/EE メモリ全体を、ユーザーはコードおよび不揮発性データのメモリとして使うことができます。ARM コードの実行時には同じスペースを共用するため、データとプログラムの間に違いはありません。フラッシュ/EE メモリの実際の幅は 16 ビットです。これは、ARM モード(32 ビット命令)では、各命令フェッチでフラッシュ/EE メモリを 2 回アクセスすることが必要であることを意味します。20.48 MHz 以下の速度で動作するときは、フラッシュ/EE メモリ・コントローラは、コア・クロックの 1 周期内で 2 つ目の 16 ビット・ハーフワード(32 ビット ARM 命令コードの一部)をトランスペアレントにフェッチできます。したがって、20.48 MHz 以下の速度、すなわち  $CD > 0$  では、ARM モードを使用することが推奨されます。20.48 MHz 動作の場合、すなわち  $CD = 0$  の場合には、Thumb モードで動作させることが推奨されます。

このフラッシュ/EE メモリのページ・サイズは 512 バイトです。一般に、フラッシュ/EE メモリ・コントローラがページを消去するときは、 $CD$  に無関係に 20 ms を要します。 $CD = 0, 1, 2, 3$  で 16 ビット・ワードを書き込むときは 50  $\mu$ s を、 $CD = 4, 5$  では 70  $\mu$ s を、 $CD = 6$  では 80  $\mu$ s を、 $CD = 7$  では 105  $\mu$ s を、それぞれ要します。

1 つの 16 ビット・ロケーションに対して消去と消去の間に 2 回だけ書き込むことが可能です。すなわち、ビット単位ではなくバイト単位で実行することが可能です。1 つのロケーションに対して 2 回以上書き込む場合には、フラッシュ/EE メモリ・ページの内容を破壊することがあります。

### Flash/EE メモリのインサークリット書き込み

LIN インターフェースまたは内蔵 JTAG ポートを経由してシリアル・ダウンロード・モードを使うと、フラッシュ/EE メモリに対してイン・サークリットで書き込みを行うことができます。

### シリアル・ダウンロード(インサークリット・プログラミング)

ADuC7034 では、LIN ピンを使ってコードをダウンロードすることができます。

### JTAG アクセス

ADuC7034 は、コードのダウンロードとデバッグを可能にする JTAG デバッグ・ポートを内蔵しています。

### ADuC7034 フラッシュ/EE メモリ

合計 32 kB のフラッシュ/EE メモリが、15,000  $\times$  16 ビットとして構成されています。32 kB の内 30 kB がユーザー・スペースで、2 kB がブートローダー/カーネル・スペース用に予約されています。

### フラッシュ/EE メモリ・コントロール・インターフェース

ADuC7034 上のフラッシュ/EE メモリに対するアクセスと制御は、内蔵のメモリ・コントローラにより管理されます。コントローラは、1 つブロックとしてフラッシュ/EE メモリを管理します。

MCU コアは、コマンドが完了するまで停止することに注意してください。ユーザー・ソフトウェアは、フラッシュ/EE メモリ・コントローラがすべての消去または書き込みサイクルを完了したことを確認した後に、PLL をパワーダウンさせる必要があります。消去または書き込みサイクルが完了する前に PLL をパワーダウンさせると、フラッシュ/EE ページが破壊されることがあります。ユーザー・コード、LIN、JTAG プログラミングは、次の MMR から構成されるフラッシュ/EE メモリ・コントロール・インターフェースを使用します。

- FEE0STA: 読み出し専用レジスタ。Flash/EE コントロール・インターフェースの状態を表示します。
- FEE0MOD: Flash/EE コントロール・インターフェースの状態を表示します。
- FEE0CON: 8 ビットのコマンド・レジスタ。コマンドは表 13 に示すように解釈されます。
- FEE0DAT: 16 ビットのアドレス・レジスタ。
- FEE0ADR: 16 ビットのアドレス・レジスタ。
- FEE0SIG: シグネチャ・コマンドが起動されたときの 24 ビット・コード・シグネチャを格納します。
- FEE0HID: MMR の保護。フラッシュ/EE メモリ・コード・スペースの読み出しと書き込みの保護を制御します。FEE0PRO レジスタを使って既に設定されている場合には、アクセスをイネーブルするときに FEE0HID はソフトウェア・キーを必要とします。
- FEE0PRO: FEE0HID レジスタのバッファ。FEE0HID 値を格納するため、後続のリセットまたはパワーダウン時に FEE0HID レジスタへ自動的にダウンロードされます。

FEE0CON レジスタのセクションから FEE0DAT レジスタのセクションでは、各フラッシュ/EE メモリコントロール MMR のビット配置について詳しく説明します。



**FEE0CON レジスタ**

名前: FEE0CON

アドレス: 0xFFFF0E08

デフォルト値: 0x07

アクセス: 読み書き可能

機能: この 8 ビット・レジスタはユーザー・コードから書き込まれ、フラッシュ/EE メモリ・コントローラの動作モードを制御します。

表 13.FEE0CON に書き込まれるコマンド・コード

Code	Command	Description
0x00 <sup>1</sup>	Reserved	Reserved. This command should not be written by user code.
0x01	Single read	Load FEE0DAT with the 16-bit data indexed by FEE0ADR.
0x02	Single write	Write FEE0DAT at the address pointed by FEE0ADR. This operation takes 50 $\mu$ s.
0x03	Erase write	Erase the page indexed by FEE0ADR and write FEE0DAT at the location pointed by FEE0ADR. This operation takes 20 ms.
0x04	Single verify	Compare the contents of the location pointed by FEE0ADR to the data in FEE0DAT. The result of the comparison is returned in FEE0STA Bit 1.
0x05	Single erase	Erase the page indexed by FEE0ADR.
0x06	Mass erase	Erase 30 kB of user space. The 2 kB kernel is protected. This operation takes 1.2 sec. To prevent accidental execution, a command sequence is required to execute this instruction; this is described in the マス消去実行のコマンド・シーケンス section.
0x07	Idle	Default command.
0x08	Reserved	Reserved. This command should not be written by user code.
0x09	Reserved	Reserved. This command should not be written by user code.
0x0A	Reserved	Reserved. This command should not be written by user code.
0x0B	Signature	This command results in a 24-bit, LFSR-based signature being generated and loaded into FEE0SIG. If FEE0ADR is less than 0x87800, this command results in a 24-bit, LFSR-based signature of the user code space from the page specified in FEE0ADR upwards, including the kernel, security bits, and Flash/EE key. If FEE0ADR is greater than 0x87800, the kernel and manufacturing data is signed. This operation takes 120 $\mu$ s.
0x0C	Protect	This command can be run one time only. The value of FEE0PRO is saved and can be removed only with a mass erase (0x06) or with the software protection key.
0x0D	Reserved	Reserved. This command should not be written by user code.
0x0E	Reserved	Reserved. This command should not be written by user code.
0x0F	Ping	No operation, interrupt generated.

<sup>1</sup> このコマンド実行直後に、FEE0CON を読み出すと 0x07 が返されます。

## マス消去実行のコマンド・シーケンス

マス消去コマンドを有効にするためには、次の特別なコード・シーケンスを実行してこの動作を起動する必要があります。

1. FEE0MOD のビット 3 をセットします。
2. 0xFFC3 を FEE0ADR へ書き込みます。
3. 0x3CFF を FEE0DAT へ書き込みます。
4. FEE0CON に 0x06 を書き込んでマス消去コマンドを実行します。

このシーケンスを次の例で示します。

```
FEE0MOD = 0x08;
FEE0ADR = 0xFFC3;
FEE0DAT = 0x3CFF;
FEE0CON = 0x06;           //Mass erase
command
while (FEE0STA & 0x04){} //Wait for command to
finish
```

## FEE0STA レジスタ

名前: FEE0STA

アドレス: 0xFFFF0E00

デフォルト値: 0x20

アクセス: 読み出し専用

機能: この 8 ビット読み出し専用レジスタはユーザー・コードから読み出され、フラッシュ/EE メモリ・コントローラの現在のステータスを表示します。

表 14.FEE0STA MMR のビット説明

Bit	Description
7 to 4	Not used. These bits are not used and always read as 0.
3	Flash/EE interrupt status bit. Set automatically when an interrupt occurs, that is, when a command is complete and the Flash/EE interrupt enable bit in the FEE0MOD register is set. Cleared automatically when the FEE0STA register is read by user code.
2	Flash/EE controller busy. Set automatically when the Flash/EE controller is busy. Cleared automatically when the controller is not busy.
1	Command fail. Set automatically when a command written to FEE0CON fails. Cleared automatically when the FEE0STA register is read by user code.
0	Command successful. Set automatically by MCU when a command is completed successfully. Cleared automatically when the FEE0STA register is read by user code.

## FEE0MOD レジスタ

名前: FEE0MOD

アドレス: 0xFFFF0E04

デフォルト値: 0x00

アクセス: 読み書き可能

機能: このレジスタはユーザー・コードから書き込まれ、フラッシュ/EE メモリ・コントローラの動作モードを設定します。

表 15.FEE0MOD MMR のビット説明

Bit	Description
7	Not used. These bits are reserved for future functionality and should be written as 0 by user code.
6, 5	Flash/EE security lock bits. These bits must be written as [6: 5] = 10 to complete the Flash/EE security protect sequence.
4	Flash/EE controller command complete interrupt enable. Set to 1 by user code to enable the Flash/EE controller to generate an interrupt upon completion of a Flash/EE command. Cleared to disable the generation of a Flash/EE interrupt upon completion of a Flash/EE command.
3	Flash/EE erase/write enable. Set by user code to enable the Flash/EE erase and write access via FEE0CON. Cleared by user code to disable the Flash/EE erase and write access via FEE0CON.
2	Reserved.
1	Flash/EE controller abort enable. Set to 1 by user code to enable the Flash/EE controller abort functionality. Cleared by user code to disable the Flash/EE controller abort functionality.
0	Reserved.

## FEE0ADR レジスタ

名前: FEE0ADR

アドレス: 0xFFFF0E10

デフォルト値: 非ゼロ、システム識別レジスタのセクション参照。

アクセス: 読み書き可能

機能: この 16 ビット・レジスタは、FEE0CON を使って実行されたすべてのフラッシュ/EE コマンドが処理対象とするアドレスを制御します。

**FEE0DAT レジスタ**

名前: FEE0DAT

アドレス: 0xFFFFF0E0C

デフォルト値: 0x0000

アクセス: 読み書き可能

機能: この 16 ビット・レジスタは、フラッシュ/EE メモリを対象とする読み出し/書き込みデータを格納します。

**フラッシュ/EE メモリのセキュリティ**

ユーザーから使用可能な 30 kB のフラッシュ/EE メモリは、FEE0HID レジスタを使って読み出し禁止と書き込み禁止を行うことができます。

FEE0HID MMR が 30 kB のフラッシュ/EE メモリを保護します。ビット 0 ～ビット 28 が、ページ 0～ページ 57 の書き込み保護を行います。各ビットが 2 ページ(1 kB)を保護します。ビット 29～ビット 30 が、それぞれページ 58 とページ 59 を保護します。すなわち、各ビットが 1 ページ分の 512 バイトの書き込みを禁止します。このレジスタ(ビット 31)の MSB は、JTAG 経由でフラッシュ/EE メモリの全体が読み出されるのを禁止します。

FEE0PRO レジスタは、FEE0HID MMR のビット定義をミラーします。FEE0PRO MMR を使うと、後続のパワーオンまたはリセット

表 16.FEE0HID と FEE0PRO の各 MMR のビット説明

Bit	Description
31	Read protection bit. Set by user code to allow read access to the 32 kB Flash/EE block via JTAG. Cleared by user code to read protect the 32 kB Flash/EE block code.
30	Write protection bit. Set by user code to allow writes to Page 59. Cleared by user code to write protect Page 59.
29	Write protection bit. Set by user code to allow writes to Page 58. Cleared by user code to write protect Page 58.
28 to 0	Write protection bits. Set by user code to allow writes to Page 0 to Page 57 of the 30 kB Flash/EE code memory. Each bit write protects two pages and each page consists of 512 bytes. Cleared by user code to write protect Page 0 to Page 57 of the 30 kB Flash/EE code memory. Each bit write protects two pages and each page consists of 512 bytes.

ト時に保護機能の設定が自動的にロードできるように、ユーザー・コードからフラッシュ/EE メモリの保護またはセキュリティの設定をロックすることができます。この柔軟性により、ユーザーは FEE0HID MMR を使って一時的に保護機能の設定とテストを行うことができるため、後で保護システムを現場へ出荷するときに必要な保護設定をロック(FEE0PRO を使用)することができます。

一次保護、キーによる永久保護、永久保護の 3 レベルの保護機能があります。

**フラッシュ/EE メモリ保護レジスタ**

名前: FEE0HID と FEE0PRO

アドレス: 0xFFFFF0E20 (for FEE0HID)と 0xFFFFF0E1C (FEE0PRO 用)

デフォルト値: 0xFFFFFFFF (FEE0HID 用)と 0x00000000 (FEE0PRO 用)

アクセス: 読み書き可能

機能: これらのレジスタはユーザー・コードから書き込まれ、フラッシュ/EE メモリの保護を設定します。

## 一時保護機能

FEE0HID MMR へ直接書き込むことにより、一時保護を設定または解除することができます。このレジスタは揮発性であるため、保護はデバイスがパワーオンしているときだけ有効です。この保護は、電源のオン/オフ時に再ロードされません。

## キーによる永久保護機能

FEE0PRO を使ってキーによる永久保護を設定して、保護機能の設定をロックします。FEE0PRO への必要な書き込みシーケンスの開始時に使われたソフトウェア・キーが一度だけ保存され、それ以後の FEE0HID MMR または FEE0PRO MMR へのアクセスで使われます。マス消去により、ソフトウェア保護キーが 0xFFFF に戻されますが、ユーザー・コード・スペース全体が消去されてしまいます。

## 永久保護機能

キーによる永久保護方法と同様に、FEE0PRO を使って永久保護機能を設定しますが、ソフトウェア・キー 0xDEADDEAD を使う点のみが異なります。FEE0PRO 書き込みシーケンスが保存された後は、マス消去でのみキーを 0xFFFFFFFF に戻すことができます。この場合も、ユーザー・コード・スペース全体が消去されます。

## ソフトウェア保護キーの書き込みシーケンスと永久保護機能の設定

1. 保護対象のページに対応する FEE0PRO に書き込みを行います。
2. 新しい(ユーザー定義) 32 ビット・キーを FEE0ADR (ビット[31: 16])と FEE0DAT (ビット[15: 0])に書き込みます。
3. 10 を FEE0MOD (ビット[6: 5])に書き込み、FEE0MOD (ビット 3)をセットします。
4. FEE0CON に 0x0C を書き込んで保護コマンドを実行します。

保護機能を削除または変更するときは、FEE0PRO の値を変更して同じシーケンスを使うことができます。

キーを書き込み、永久保護機能を設定するシーケンスを次の例に示します。この保護機能では、フラッシュ/EE メモリのページ 4 とページ 5 を書き込み禁止にします。

```
Int a = FEE0STA;           // Ensure FEE0STA
                           // is cleared
FEE0PRO = 0xFFFFFFFFB;    // Protect Page 4
and Page 5
FEE0ADR = 0x66BB;         // 32-bit key value
                           // (Bits[31: 16])
FEE0DAT = 0xAA55;         // 32-bit key value
                           // (Bits[15: 0])
FEE0MOD = 0x0048          // Lock security
sequence
FEE0CON = 0x0C;           // Write key
command
while (FEE0STA & 0x04){}  // Wait for command
to finish
```

## フラッシュ/EE メモリの信頼性

デバイス上のフラッシュ/EE プログラム・メモリ・アレイは、フラッシュ/EE メモリの書き換え回数とデータ保持時間の 2 つの重要なフラッシュ/EE メモリ特性について、フル認定されています。

書き換え回数は、フラッシュ/EE メモリが多くの書き込み、読み出し、消去のサイクル数に耐える能力です。1 回の書き換えサイクルは、次の 4 つのシーケンシャルなイベントから構成されます。

- 初期ページ消去シーケンス
- 読み出し/検証シーケンス
- バイト書き込みシーケンス
- 2 回目の読み出し/検証シーケンス

信頼性の認定では、フラッシュ/EE メモリ内の 3 ページ(上部、中間、底部)の各ハーフワード(16 ビット幅)ロケーションで、0x0000 から 0xFFFF へ 10,000 回繰り返されます。表 1 に示すように、デバイスのフラッシュ/EE メモリの書き換え回数認定は、JEDEC データ保持時間仕様 A117 に準拠して行われます。その結果は、電源範囲と温度範囲に対して最小書き換え回数 10,000 回の仕様が可能であることを示しています。

データ保持時間は、フラッシュ/EE メモリが書き込まれたデータを保持する能力です。この場合も、デバイスは規定のジャンクション温度( $T_J = 55^{\circ}\text{C}$ )における正式な JEDEC データ保持時間仕様(A117)に準拠して評価されています。この認定手順の一部として、フラッシュ/EE メモリを前述の規定書き換え回数までサイクル・テストした後に、データ保持時間をキャラクタライゼーションしています。これは、フラッシュ/EE メモリでは、書き換えるごとに規定のデータ保持時間データを保持することが保証されていることを意味します。0.6 eV の活性化エネルギーに基づくデータ保持時間は、 $T_J$  の上昇とともに短くなることにも注意してください(図 14 参照)。

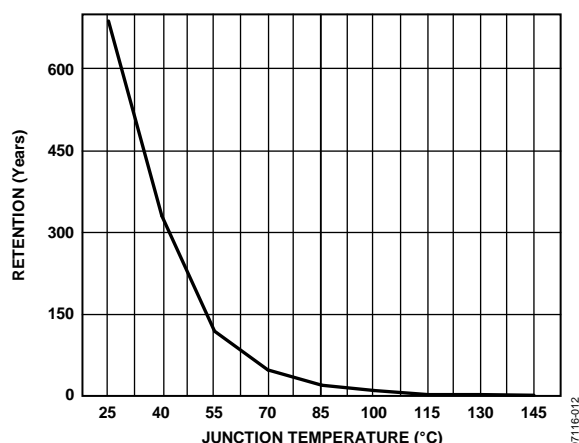


図 14.フラッシュ/EE メモリのデータ保持時間

## SRAM とフラッシュ/EE からのコード実行時間

このセクションでは、実行時間がクリティカルな場合について、アプリケーション実行時の SRAM とフラッシュ/EE のアクセス・タイムについて説明します。

### SRAM からの実行

SRAM のアクセス・タイムは 2 ns で、クロック・サイクルは最小 49 ns であるため、SRAM からの命令フェッチには 1 クロック・サイクル要します。ただし、命令がメモリ・データの読み出しまたは書き込みを含む場合、データが SRAM 内にあるときは、さらに 1 サイクル追加されます。データがフラッシュ/EE メモリ内にある場合は、命令の実行に 1 サイクルとフラッシュ/EE から 32 ビット・データを取り出すために 2 サイクルが追加されます。コントロール・フロー命令(たとえばブランチ命令)では、フェッチのために 1 サイクルと新しい命令をパイプラインへ書き込むために 2 サイクルを要します。

### フラッシュ/EE からの実行

命令が 16 ビットである Thumb モードでは、命令をフェッチするために 1 サイクルが必要です。

CD = 0 の ARM モードでは、32 ビット命令をフェッチするために 2 サイクルが必要です。CD > 0 では、フラッシュ/EE メモリのクロック駆動がフル速度で続くため、フェッチのためにサイクルが追加される必要はありません。さらに、任意の CD ビット値に対して、データをアクセスする前にデッド・タイムが必要です。

データ・メモリとしてフラッシュ/EE を含む命令を実行するときは、タイミングは両モードとも同じです。実行する命令がコントロール・フロー命令である場合は、プログラム・カウンタの新しいアドレスをデコードするためにさらに 1 サイクルと、そ

の後、CD = 0 のとき、パイプラインを埋めるために 4 サイクルが必要です。

コア・レジスタのみが関係するデータ処理命令では、クロック・サイクルの追加はありません。データ転送命令はさらに複雑であるため、表 17 にまとめます。

表 17.ARM/Thumb モードでの代表的な実行サイクル数

Instructions	Fetch Cycles	Dead Time	Data Access
LD	2/1	1	2
LDH	2/1	1	1
LDM/PUSH	2/1	N	2 × N
STR	2/1	1	2 × 50 μs
STRH	2/1	1	50 μs
STRM/POP	2/1	N	2 × N × 50 μs

1 < N ≤ 16 のとき、N = マルチプル・ロード/ストア命令でロードまたはストアされるデータ数。

デフォルトでは、フラッシュ/EE の消去または書き込みサイクル中、フラッシュ/EE コードの実行が一時停止されます。ページ(512 バイト)消去サイクルには 20 ms を、ワード(16 ビット)書き込みコマンドには 50 μs を、それぞれ要します。ただし、フラッシュ/EE の消去/書き込みサイクル実行中に、イネーブルされた割り込みを ARM コアが受けると、フラッシュ/EE コントローラは消去/書き込みサイクルをアボートさせます。したがって、ARM7 は直ちに割り込みサービスを行うことができ、その後フラッシュ/EE コマンドの繰り返し実行に戻ることができます。アボート動作には 10 クロック・サイクルを要します。アボート動作が不可能な場合、フラッシュ/EE 書き込みコードと SRAM からの該当割り込みルーチンを実行することが可能であるため、コアは直ちに割り込みをサービスすることができます。

## ADuC7034 カーネル

ADuC7034 は、フラッシュ/EE コード・スペースの上部 2 kB にカーネルを配置しています。リセット後、このカーネルは出荷時にキャリブレーションされたデータをメーカー・データ・スペースから種々の内蔵ペリフェラルへコピーします。カーネルによりキャリブレーションされるペリフェラルを次に示します。

- 電源モニター(PSM)
- 高精度発振器
- 低消費電力発振器
- REG\_AVDD/REG\_DVDD
- 低消費電力リファレンス電圧
- ノーマル・モード・リファレンス電圧
- 電流 ADC (オフセットとゲイン)
- 電圧/温度 ADC (オフセットとゲイン)

カーネルから変更可能で、POR デフォルト値とは異なるユーザーMMR を次に示します。

- R0~R15
- GPOCON/GP2CON
- SYSCHK
- ADCMDE/ADCOCON
- FEE0ADR/FEE0CON/FEE0SIG
- HVDAT/HVCON
- HVCFG0/HVCFG1
- T3LD

ADuC7034 は、LIN ダウンロードも内蔵しています。

カーネル実行のフローチャートを図 15 に示します。カーネルの現在のレビジョンは、表 98 に示すように、SYSSER1 から導出することができます。

POR リセット後、ウォッチドッグ・タイマーはカーネル・コードが終了したとき、ディスエーブルされます。カーネル実行中、ウォッチドッグ・タイマーはアクティブでタイムアウト周期が 500 ms に設定されています。これにより、カーネル内でエラーが発生したとき、ADuC7034 が自動的に確実にリセットされます。他のすべてのリセットでは、ウォッチドッグ・タイマーはカーネルの実行中ユーザー・コードの設定を維持し、カーネルが終了する直前にリフレッシュされます。LIN ダウンロード動作には 30 ms の最小ウォッチドッグ周期が必要です。LIN ダウンロード・モードの場合、ウォッチドッグは周期的にリフレッシュされます。

LIN ダウンロードを除く通常のカーネル実行時間は約 5 ms です。リセットを経由しなければ、LIN ダウンロード・モードを開始または終了することはできません。

通常のカーネル実行中に SRAM は変更されません。逆に SRAM は LIN ダウンロード・カーネル実行中に変更されます。

NTRST = 0 のときでも、アドレス 0x14 に 0x27011970 か、またはアドレス 0x14 を除くページ 0 のチェックサム値のいずれかが格納されていない限り、ユーザー・コードは実行されません。アドレス 0x14 にこの情報が格納されていない場合、ユーザー・コードは実行されず、LIN ダウンロード・モードが開始されます。カーネル実行時、JTAG のアクセスはディスエーブルされます。

NTRST = 1 のときは、ユーザー・コードが常に実行されます。

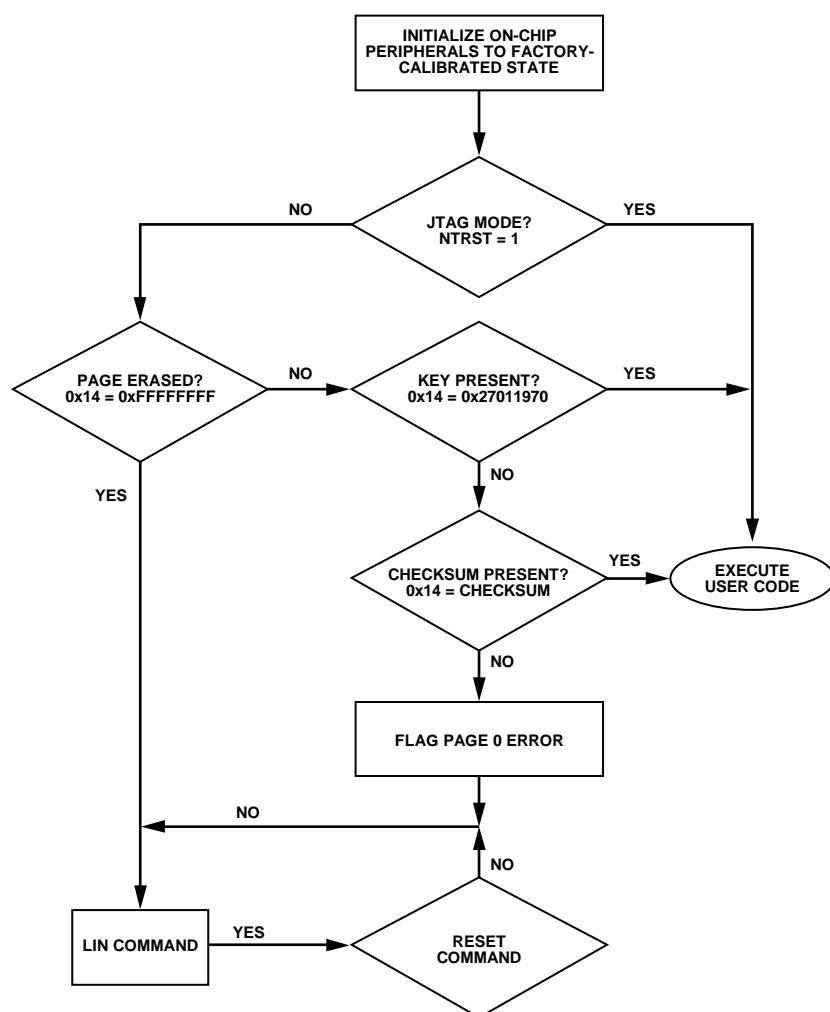


図 15.ADuC7034 カーネルのフローチャート

## メモリ・マップド・レジスタ

メモリ・マップド・レジスタ(MMR)スペースは、MCU メモリ・スペースの上部 4 kB に配置されているため、ARM7 バンク・レジスタを経由する間接アドレッシングのロード・コマンドとストア・コマンドによりアクセスされます。ADuC7034 のメモリ・マップド・レジスタ・バンクの概要を図 16 に示します。

MMR スペースは、CPU とすべての内蔵ペリフェラルとの間のインターフェースを提供します。ARM7 コア・レジスタ(ARM レジスタのセクションで説明)を除くすべてのレジスタは MMR 領域に配置されています。

表 18 (表 18～表 29)の詳しい MMR マップに示すように、MMR のデータ幅は 1 バイト(8 ビット) ～4 バイト(32 ビット)で変わります。ARM7 コアは、32 ビットの読み出しまたは書き込みアクセスで任意の MMR (1 バイトまたは複数バイト幅のレジスタ)をアクセスすることができます。

たとえば、ARM レジスタのセクションに示すように、読み出し結果は、リトル・エンディアン・フォーマットに整列されます。ただし、ARM7 コアが 16 ビット・アクセスを使って 4 バイト(32 ビット)MMR をアクセスしようとすると、エラーが発生します。32 ビット MMR に対する(16 ビット)書き込みアクセスの場合、上位 16 ビットに 0 が書き込まれます。32 ビット MMR に対する 16 ビット読み出しアクセスの場合には、MMR の 16 ビットだけが読み出されます。

0xFFFFFFFF	
0xFFFF1000	FLASH CONTROL INTERFACE
0xFFFF0E00	
0xFFFF0D60	GPIO
0xFFFF0D00	
0xFFFF0A14	SPI
0xFFFF0A00	
0xFFFF0894	SERIAL TEST INTERFACE
0xFFFF0880	
0xFFFF0810	HV INTERFACE
0xFFFF0800	
0xFFFF079C	LIN/BS2 HARDWARE
0xFFFF0780	
0xFFFF0730	UART
0xFFFF0700	
0xFFFF0580	ADC
0xFFFF0500	
0xFFFF044C	PLL AND OSCILLATOR CONTROL
0xFFFF0400	
0xFFFF0394	GENERAL PURPOSE TIMER4
0xFFFF0380	
0xFFFF0370	WATCHDOG TIMER3
0xFFFF0360	
0xFFFF0350	WAKE-UP TIMER2
0xFFFF0340	
0xFFFF0334	GENERAL PURPOSE TIMER1
0xFFFF0320	
0xFFFF0318	TIMER0
0xFFFF0300	
0xFFFF0244	REMAP AND SYSTEM CONTROL
0xFFFF0220	
0xFFFF0110	INTERRUPT CONTROLLER
0xFFFF0000	

07116-014

図 16.上部 MMR マップ



## 全 MMR のリスト

次の MMR の表では、アドレスを 16 進コードで示します。アクセス・タイプとして、R は読み出しを、W は書き込みを、RW は読み書きを、それぞれ表します。

表 18.IRQ アドレス・ベース= 0xFFFF0000

Address	Name	Byte	Access Type	Default Value	Description
0x0000	IRQSTA	4	R	0x00000000	Active IRQ source. See the Interrupt System section and Table 49.
0x0004	IRQSIG <sup>1</sup>	4	R	N/A	Current state of all IRQ sources (enabled and disabled). See the Interrupt System section and Table 49.
0x0008	IRQEN	4	RW	0x00000000	Enabled IRQ sources. See the Interrupt System section and Table 49.
0x000C	IRQCLR	4	W	N/A	MMR to disable IRQ sources. See the Interrupt System section and Table 49.
0x0010	SWICFG	4	W	N/A	Software interrupt configuration MMR. See the Programmed Interrupts section and Table 50.
0x0100	FIQSTA	4	R	0x00000000	Active IRQ source. See the Interrupt System section and Table 49.
0x0104	FIQSIG	4	R	N/A	Current state of all IRQ sources (enabled and disabled). See the Interrupt System section and Table 49.
0x0108	FIQEN	4	RW	0x00000000	Enabled IRQ sources. See the Interrupt System section and Table 49.
0x010C	FIQCLR	4	W	N/A	MMR to disable IRQ sources. See the Interrupt System section and Table 49.

<sup>1</sup> 外部割込みピン (GPIO\_0、GPIO\_5、GPIO\_7、GPIO\_8) のレベルに依存。

表 19.システム・コントロール・アドレス・ベース= 0xFFFF0200

Address	Name	Byte	Access Type	Default Value	Description
0x0220	SYSMAP0	1	RW	N/A	REMAP control register. See the Remap Operation section and Table 10.
0x0230	RSTSTA	1	RW	N/A	Reset status MMR. See the Reset section and Table 11 and Table 12.
0x0234	RSTCLR	1	W	N/A	RSTSTA clear MMR. See the Reset section and Table 11 and Table 12.
0x0238	SYSSER0 <sup>1</sup>	4	RW	N/A	System Serial Number 0. See the Part Identification section and Table 97 for details.
0x023C	SYSSER1	4	RW	N/A	System Serial Number 1. See the Part Identification section and Table 98 for details.
0x0560	SYSALI	4	R	N/A	System assembly lot ID. See the Part Identification section for details.
0x0240	SYSCHK	4	RW	N/A	Kernel checksum. See the System Kernel Checksum section.

<sup>1</sup> カーネルにより更新

表 20.タイマー・アドレス・ベース= 0xFFFF0300

Address	Name	Byte	Access Type	Default Value	Description
0x0300	T0LD	2	RW	0x0000	Timer0 load register. See the Timer0—Lifetime Timer and Timer0 Load Register sections.
0x0304	T0VAL0	2	R	0x0000	Timer0 Value Register 0. See the Timer0—Lifetime Timer and Timer0 Value Registers sections.
0x0308	T0VAL1	4	R	0x00000000	Timer0 Value Register 1. See the Timer0—Lifetime Timer and Timer0 Value Registers sections.
0x030C	T0CON	4	RW	0x00000000	Timer0 control MMR. See the Timer0—Lifetime Timer and Timer0 Control Register sections.
0x0310	T0CLRI	1	W	N/A	Timer0 interrupt clear register. See the Timer0—Lifetime Timer and Timer0 Clear Register sections.
0x0314	T0CAP	2	R	0x0000	Timer0 capture register. See the Timer0—Lifetime Timer and Timer0 Capture Register sections.
0x0320	T1LD	4	RW	0x00000000	Timer1 load register. See the Timer1 and Timer1 Load Registers sections.

Address	Name	Byte	Access Type	Default Value	Description
0x0324	T1VAL	4	R	0xFFFFFFFF	Timer1 value register. See the Timer1 and Timer1 Value Register sections.
0x0328	T1CON	4	RW	0x01000000	Timer1 control MMR. See the Timer1 and Timer1 Control Register sections.
0x032C	T1CLR1	1	W	N/A	Timer1 interrupt clear register. See the Timer1 and Timer1 Clear Register sections.
0x0330	T1CAP	4	R	0x00000000	Timer1 capture register. See the Timer1 and Timer1 Capture Register sections.
0x0340	T2LD	4	RW	0x00000000	Timer2 load register. See the Timer2—Wake-Up Timer and Timer2 Load Register sections.
0x0344	T2VAL	4	R	0xFFFFFFFF	Timer2 value register. See the Timer2—Wake-Up Timer and Timer2 Value Register sections.
0x0348	T2CON	2	RW	0x0000	Timer2 control MMR. See the Timer2—Wake-Up Timer and Timer2 Control Register sections and Table 54.
0x034C	T2CLR1	1	W	N/A	Timer2 interrupt clear register. See the Timer2—Wake-Up Timer and Timer2 Clear Register sections.
0x0360	T3LD	2	RW	0x0040	Timer3 load register. See the Timer3—Watchdog Timer and Timer3 Load Register sections.
0x0364	T3VAL	2	R	0x0040	Timer3 value register. See the Timer3—Watchdog Timer and Timer3 Value Register sections.
0x0368	T3CON	2	RW	0x0000	Timer3 control MMR. See the Timer3—Watchdog Timer, Timer3 Value Register, and Timer3 Control Register sections and Table 55.
0x036C	T3CLR1 <sup>1</sup>	1	W	N/A	Timer3 interrupt clear register. See the Timer3—Watchdog Timer and Timer3 Clear Register sections.
0x0380	T4LD	2	RW	0x0000	Timer4 load register. See the Timer4—STI Timer and Timer4 Load Register sections.
0x0384	T4VAL	2	R	0xFFFF	Timer4 value register. See the Timer4—STI Timer and Timer4 Value Register sections.
0x0388	T4CON	4	RW	0x00000000	Timer4 control MMR. See the Timer4—STI Timer and Timer4 Control Register sections and Table 56.
0x038C	T4CLR1	1	W	N/A	Timer4 interrupt clear register. See the Timer4—STI Timer and Timer4 Clear Register sections.
0x0390	T4CAP	2	R	0x0000	Timer4 capture register. See the Timer4—STI Timer section and Table 56.

<sup>1</sup> カーネルにより更新。

表 21.PLL ベース・アドレス= 0xFFFF0400

Address	Name	Byte	Access Type	Default Value	Description
0x0400	PLLSTA	1	R	N/A	PLL status MMR. See the PLLSTA Register section and Table 43.
0x0404	POWKEY0	4	W	N/A	POWCON prewrite key. See the POWCON Prewrite Key section.
0x0408	POWCON	1	RW	0x79	Power control and core speed control register. See the POWCON Register section.
0x040C	POWKEY1	4	W	N/A	POWCON postwrite key. See the POWCON Postwrite Key section.
0x0410	PLLKEY0	4	W	N/A	PLLCON prewrite key. See the PLLCON Prewrite Key section.
0x0414	PLLCON	1	RW	0x00	PLL clock source selection MMR. See the PLLCON Register section.
0x0418	PLLKEY1	4	W	N/A	PLLCON postwrite key. See the PLLCON Postwrite Key section.
0x042C	OSC0TRM	1	RW	0xX8	Low power oscillator trim bits MMR. See the OSC0TRM Register section.
0x0440	OSC0CON	1	RW	0x00	Low power oscillator calibration control MMR. See the OSC0CON Register section.
0x0444	OSC0STA	1	R	0x00	Low power oscillator calibration status MMR. See the OSC0STA Register section.
0x0448	OSC0VAL0	2	R	0x0000	Low Power Oscillator Calibration Counter 0 MMR. See the OSC0VAL0 Register section.
0x044C	OSC0VAL1	2	R	0x0000	Low Power Oscillator Calibration Counter 1 MMR. See the OSC0VAL1 Register section.

表 22.ADC アドレス・ベース= 0xFFFF0500

Address	Name	Byte	Access Type	Default Value	Description
0x0500	ADCSTA	2	R	0x0000	ADC status MMR. See the ADC Status Register section and Table 34.
0x0504	ADCMSKI	1	RW	0x00	ADC Interrupt Source Enable MMR. See the ADC Interrupt Mask Register section.
0x0508	ADCMDE	1	RW	0x00	ADC mode register. See the ADC Mode Register section and Table 35.
0x050C	ADC0CON	2	RW	0x0000	Current ADC Control MMR. See the Current Channel ADC Control Register section and Table 36.
0x0510	ADC1CON	2	RW	0x0000	V-/T-ADC control MMR. See the Voltage/Temperature Channel ADC Control Register section and Table 37.
0x0518	ADCFLT	2	RW	0x0007	ADC filter control MMR. See the ADC Filter Register section and Table 38.
0x051C	ADCCFG	1	RW	0x00	ADC configuration MMR. See the ADC Configuration Register section and Table 41.
0x0520	ADC0DAT	2	R	0x0000	Current ADC result MMR. See the Current Channel ADC Data Register section.
0x0524	ADC1DAT	2	R	0x0000	V-ADC result MMR. See the Voltage Channel ADC Data Register section.
0x0528	ADC2DAT	2	R	0x0000	T-ADC result MMR. See the Temperature Channel ADC Data Register section.
0x0530	ADC0OF <sup>1</sup>	2	RW	N/A	Current ADC offset MMR. See the Current Channel ADC Offset Calibration Register section.
0x0534	ADC1OF	2	RW	N/A	Voltage ADC offset MMR. See the Voltage Channel ADC Offset Calibration Register section.
0x0538	ADC2OF	2	RW	N/A	Temperature ADC offset MMR. See the Temperature Channel ADC Offset Calibration Register section.
0x053C	ADC0GN	2	RW	N/A	Current ADC gain MMR. See the Current Channel ADC Gain Calibration Register section.
0x0540	ADC1GN	2	RW	N/A	Voltage ADC gain MMR. See the Voltage Channel Gain Calibration Register section.
0x0544	ADC2GN	2	RW	N/A	Temperature ADC gain MMR. See the Temperature Channel Gain Calibration Register section.
0x0548	ADC0RCL	2	RW	0x0001	Current ADC result count limit. See the Current Channel ADC Result Counter Limit Register section.
0x054C	ADC0RCV	2	R	0x0000	Current ADC result count value. See the Current Channel ADC Result Count Register section.
0x0550	ADC0TH	2	RW	0x0000	Current ADC result threshold. See the Current Channel ADC Threshold Register section.
0x0554	ADC0TCL	1	RW	0x01	Current ADC result threshold count limit. See the Current Channel ADC Threshold Count Limit Register section.
0x0558	ADC0THV	1	R	0x00	Current ADC result threshold count limit value. See the Current Channel ADC Threshold Count Register section.
0x055C	ADC0ACC	4	R	0x00000000	Current ADC result accumulator. See the Current Channel ADC Accumulator Register section.
0x057C	ADCREF	2	RW	N/A	Low power mode voltage reference scaling factor. See the Low Power Voltage Reference Scaling Factor section.

<sup>1</sup> カーネルにより更新。

表 23. UART ベース・アドレス= 0xFFFF0700

Address	Name	Byte	Access Type	Default Value	Description
0x0700	COMTX	1	W	N/A	UART transmit register. See the UART TX Register section.
	COMRX	1	R	0x00	UART receive register. See the UART RX Register section.
	COMDIV0	1	RW	0x00	UART Standard Baud Rate Generator Divisor Value 0. See the UART Divisor Latch Register 0 section.
0x0704	COMIEN0	1	RW	0x00	UART Interrupt Enable MMR 0. See the UART Interrupt Enable Register 0 section and Table 83.
	COMDIV1	1	RW	0x00	UART Standard Baud Rate Generator Divisor Value 1. See the UART Divisor Latch Register 1 section.
0x0708	COMIID0	1	R	0x01	UART Interrupt Identification 0. See the UART Interrupt Identification Register 0 section and Table 84.
0x070C	COMCON0	1	RW	0x00	UART Control Register 0. See the UART Control Register 0 section and Table 80.
0x0710	COMCON1	1	RW	0x00	UART Control Register 1. See the UART Control Register 1 section and Table 81.
0x0714	COMSTA0	1	R	0x60	UART Status Register 0. See the UART Status Register 0 section and Table 82.
0X072C	COMDIV2	2	RW	0x0000	UART fractional divider MMR. See the UART Fractional Divider Register section and Table 85.

表 24. LIN ハードウェア同期ベース・アドレス= 0xFFFF0780

Address	Name	Byte	Access Type	Default Value	Description
0x0780	LHSSTA	1	R	0x00	LHS status MMR. See the LIN Hardware Synchronization Status Register section and Table 91.
0x0784	LHSCON0	2	RW	0x0000	LHS Control MMR 0. See the LIN Hardware Synchronization Control Register 0 section and Table 92.
0x0788	LHSVAL0	2	R	0x0000	LHS Timer0 MMR. See the LIN Hardware Synchronization Timer0 Register section.
0x078C	LHSCON1	1	RW	0x32	LHS Control MMR 1. See the LIN Hardware Synchronization Control Register 1 section and Table 93.
0x0790	LHSVAL1	2	RW	0x0000	LHS Timer1 MMR. See the LIN Hardware Break Timer1 Register section.
0x0794	LHSCAP	2	R	0x0000	LHS capture MMR. See the LIN Hardware Synchronization Capture Register section.
0x0798	LHSCMP	2	RW	0x0000	LHS compare MMR. See the LIN Hardware Synchronization Compare Register section.

表 25. 高電圧インターフェース・ベース・アドレス= 0xFFFF0800

Address	Name	Byte	Access Type	Default Value	Description
0x0804	HVCON	1	RW	N/A	High voltage interface control MMR. See the High Voltage Interface Control Register section and Table 70 and Table 71.
0x080C	HVDAT	2	RW	N/A	High voltage interface data MMR. See the High Voltage Data Register section and Table 72.

表 26.STI ベース・アドレス= 0xFFFF0880

Address	Name	Byte	Access Type	Default Value	Description
0x0880	STIKEY0	4	W	N/A	STICON prewrite key. See the Serial Test Interface Key0 Register section.
0x0884	STICON	2	RW	0x0000	Serial test interface control MMR. See the Serial Test Interface Control Register section and Table 90.
0x0888	STIKEY1	4	W	N/A	STICON postwrite key. See the Serial Test Interface Key1 Register section and Table 90.
0x088C	STIDAT0	2	RW	0x0000	STI Data MMR 0. See the Serial Test Interface Data0 Register section.
0x0890	STIDAT1	2	RW	0x0000	STI Data MMR 1. See the Serial Test Interface Data1 Register section.
0x0894	STIDAT2	2	RW	0x0000	STI Data MMR 2. See the Serial Test Interface Data2 Register section.

表 27.SPI ベース・アドレス= 0xFFFF0A00

Address	Name	Byte	Access Type	Default Value	Description
0x0A00	SPISTA	1	R	0x00	SPI status MMR. See the SPI Status Register section and Table 89.
0x0A04	SPIRX	1	R	0x00	SPI receive MMR. See the SPI Receive Register section.
0x0A08	SPITX	1	W		SPI transmit MMR. See the SPI Transmit Register section.
0x0A0C	SPIDIV	1	RW	0x1B	SPI baud rate select MMR. See the SPI Divider Register section.
0x0A10	SPICON	2	RW	0x00	SPI control MMR. See the SPI Control Register section and Table 88.

表 28.GPIO ベース・アドレス= 0xFFFF0D00

Address	Name	Byte	Access Type	Default Value	Description
0x0D00	GP0CON	4	RW	0x11100000	GPIO Port0 control MMR. See the GPIO Port0 Control Register section and Table 58.
0x0D04	GP1CON	4	RW	0x10000000	
0x0D08	GP2CON	4	RW	0x01000000	GPIO Port1 control MMR. See the GPIO Port1 Control Register section and Table 59.
0x0D20	GP0DAT <sup>1</sup>	4	RW	0x000000XX	
0x0D24	GP0SET	4	W		GPIO Port2 control MMR. See the GPIO Port2 Control Register section and Table 60.
0x0D28	GP0CLR	4	W		
0x0D30	GP1DAT	4	RW	0x000000XX	GPIO Port0 data control MMR. See the GPIO Port0 Data Register section and Table 61.
0x0D34	GP1SET	4	W		
0x0D38	GP1CLR	4	W		GPIO Port0 data set MMR. See the GPIO Port0 Set Register section and Table 64.
0x0D40	GP2DAT	4	RW	0x000000XX	
0x0D44	GP2SET	4	W		GPIO Port0 data clear MMR. See the GPIO Port0 Clear Register section and Table 67.
0x0D48	GP2CLR	4	W		

<sup>1</sup> 外部 GPIO ピンのレベルに依存。

表 29.フラッシュ/EE ベース・アドレス= 0xFFFF0E00

Address	Name	Byte	Access Type	Default Value	Description
0x0E00	FEE0STA	1	R	0x20	Flash/EE status MMR and Table 14.
0x0E04	FEE0MOD	1	RW	0x00	Flash/EE control MMR and Table 15.
0x0E08	FEE0CON	1	RW	0x07	Flash/EE control MMR. See Table 13.
0x0E0C	FEE0DAT	2	RW	0x0000	Flash/EE data MMR.
0x0E10	FEE0ADR	2	RW		Flash/EE address MMR.
0x0E18	FEE0SIG	3	R	0xFFFFFFFF	Flash/EE LFSR MMR.
0x0E1C	FEE0PRO	4	RW	0x00000000	Flash/EE protection MMR. See the Flash/EE Memory Protection Registers section and Table 16.
0x0E20	FEE0HID	4	RW	0xFFFFFFFF	Flash/EE protection MMR. See the Flash/EE Memory Protection Registers and Table 16.

## 16ビット $\Sigma$ - $\Delta$ A/Dコンバータ

ADuC7034 は、電流チャンネル ADC (I-ADC)と電圧/温度チャンネル ADC (V/T-ADC)からなる独立した 2 つのシグマ・デルタ ( $\Sigma$ - $\Delta$ )A/D コンバータ(ADC)を内蔵しています。これらの高精度計測チャンネルは、12 V 車載バッテリー・システムでの電流、電圧、温度の変数を高精度計測するために、バッファ、プログラマブル・ゲイン・アンプ、16 ビット  $\Sigma$ - $\Delta$  変調器、デジタル・フィルタを内蔵しています。

### 電流チャンネル ADC (I-ADC)

I-ADC は、外付け 100  $\mu\Omega$  のシャント抵抗を使って検出したバッテリー電流を変換します。プログラマブルなゲインを内蔵しているため、 $\pm 1$  A $\sim$  $\pm 1500$  A のバッテリー電流レベルに対応できるように I-ADC を設定することができます。

図 17 に示すように、I-ADC は  $\Sigma$ - $\Delta$  変換技術を採用して、16 ビットのノー・ミッシング・コード性能を実現しています。

この  $\Sigma$ - $\Delta$  変調器は、サンプルした入力信号をデジタル・パルス列に変換します。このパルス列のデューティ・サイクルにデジ

タル情報が含まれています。プログラマブルな改良型 Sinc3 ローパス・フィルタを使って、変調器出力データ・ストリームをデシメーションして、プログラマブルな出力レートをノーマル・モードでは 4 Hz  $\sim$  8 kHz に、低消費電力モードでは 1 Hz  $\sim$  2 kHz にして、有効なデータ変換結果を発生するようにします。

また、I-ADC も、カウンタ、コンパレータ、アキュムレータ・ロジックを内蔵しています。これらの機能を使って、I-ADC 変換結果により、所定の変換回数が終わった後、または I-ADC 変換結果がプログラマブルなスレッシュホールド値を超えたときに、割り込みを発生させることができます。高速な ADC オーバーレンジ機能もサポートされています。32 ビットのアキュムレータはイネーブルされると、自動的に 16 ビット I-ADC 変換結果の和をとります。

電流チャンネルでの最初の有効(完全に整定)な変換結果を得るまでの時間は、チョップ・モードをディスエーブルした場合は 3ADC 変換サイクル、チョップ・モードをイネーブルした場合は 2ADC 変換サイクルです。

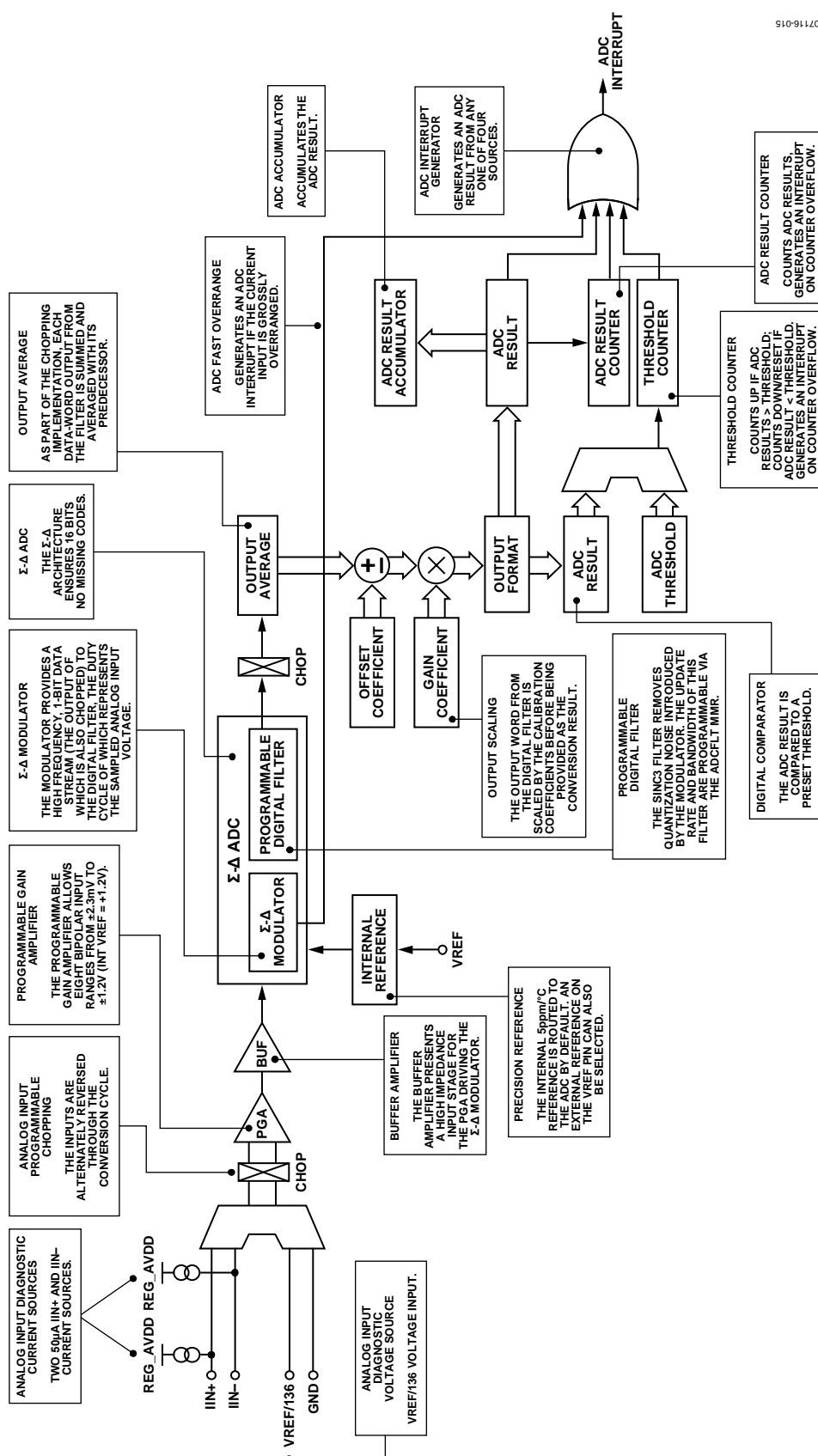


図 17.電流 ADC の概要



## 電圧/温度チャンネル ADC (V/T-ADC)

電圧/温度チャンネル ADC (V/T-ADC)は、電圧や温度のようなその他のバッテリー・パラメータを変換します。このチャンネル入力には、外部電圧、外付け温度センサー回路、内蔵温度センサーから 1 つを選択して入力するマルチプレクサが付いています。

電流チャンネル ADC(I-ADC)の場合と同様に、V/T-ADC では改良型 Sinc3 ローパス・フィルタなどの同じ  $\Sigma\Delta$  変換技術を採用して、プログラマブルな出力レート 4 Hz~8 kHz の有効な 16 ビット変換結果を出力します。RC フィルタ回路は電圧チャンネルに内蔵されているため、外部に接続する必要はありません。

外部バッテリー電圧(VBAT)は、内蔵の高電圧抵抗減衰器(÷24)を経由して ADC 入力に接続されます。電圧アテネータ入力を選択

されると、電圧アテネータバッファが自動的にイネーブルされます。

バッテリー温度は、内蔵温度センサーまたは外付け温度センサー入力から取得します。入力チャンネルが電圧/温度チャンネルをオンに切り替えてから最初の有効(完全に整定)な変換結果を得るまでの時間は、チョップ・モードをディスエーブルした場合 3ADC 変換サイクルです。

この ADC にもバッファが付いていますが、電流チャンネルとは異なり入力範囲は固定で、VTEMP では 0 V~V<sub>REF</sub>に、VBAT では 0 V~28.8 V に、それぞれなっています(内部リファレンス 1.2 V の場合)。この ADC シグナル・チェーンの概要を図 18 に示します。

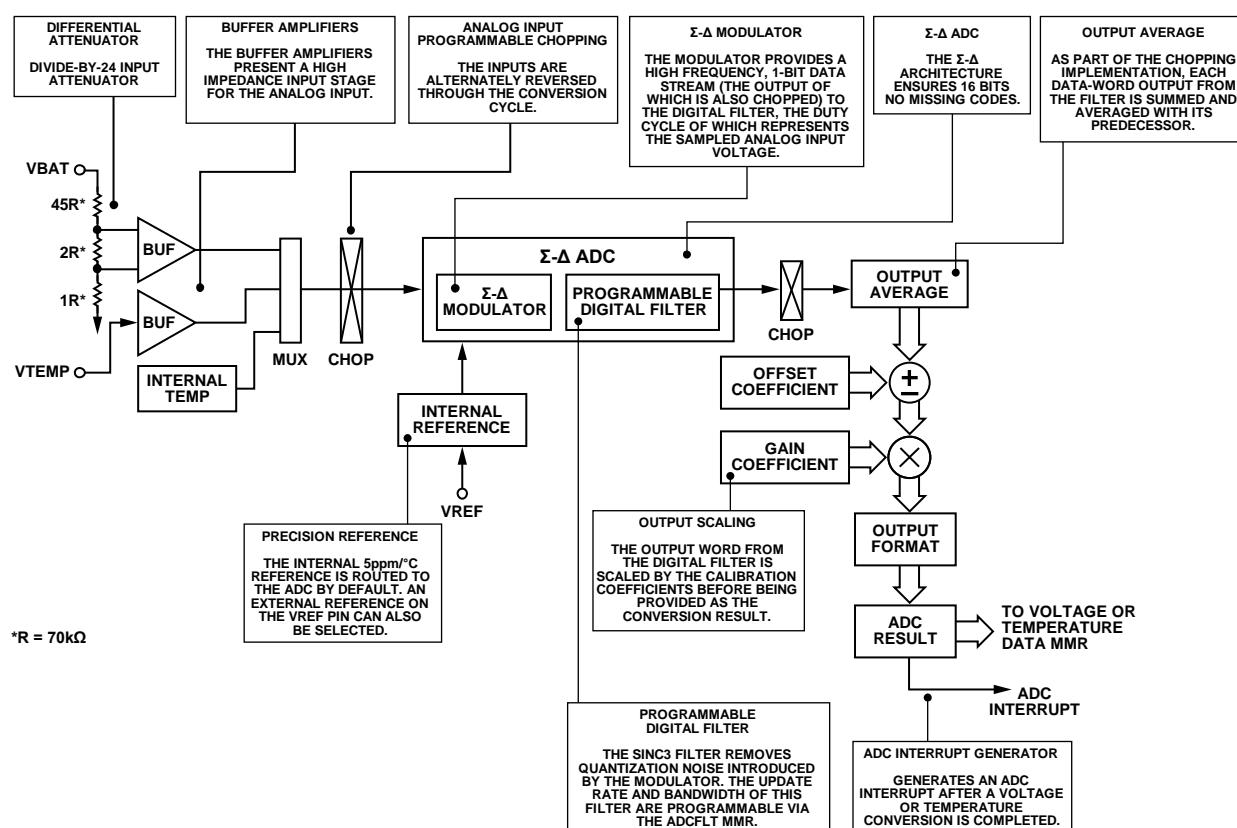


図 18. Voltage/Temperature ADC、Top-Level Overview

iew

## ADC グ라운드・スイッチ

ADuC7034 は、ピン 15 のグラウンド・スイッチ・ピン (GND\_SW)を持っています。このスイッチを使うと、外部デバイスからグラウンドを動的に切り離して、グラウンドへの直接接続または 20 kΩ 抵抗を介した接続が可能になります。この後者のオプションは、NTC 回路に必要とされる外付け部品数を削減するときに使うことができます。さらに、このグラウンド・スイッチ機能は、アプリケーション固有のボードで消費電力を削減するときに使うことができます。

アプリケーション例を図 19 に示します。

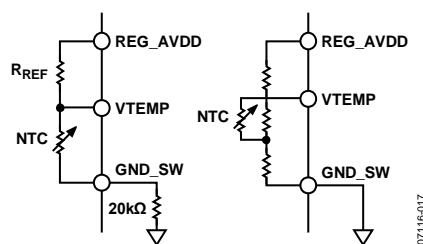


図 19.外付け温度センサー回路の例

図 19 では、外付け NTC が 2 つのモードで使用されています。1 つ目は 20 kΩ の内部抵抗を使い、2 つ目では GND\_SW を介して直接グラウンドへ接続しています。

ADCCFG[7]を使って、グラウンドに対するグラウンド・スイッチの接続を、ADCMDE[6]を使って GND\_SW 抵抗を、それぞれ制御します(図 20 参照)。

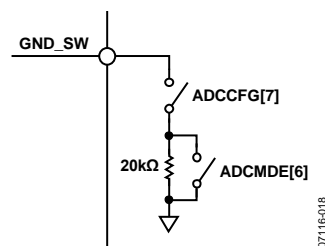


図 20.内部グラウンド・スイッチの構成

ADCCFG[7]と ADCMDE[6]の使用可能な組み合わせを表 30 に示します。

表 30.GND\_SW の設定

ADCCFG[7]	ADCMDE[6]	GND_SW
0	0	Floating
0	1	Floating
1	0	Direct connection to ground
1	1	Connected to ground via 20 kΩ resistor

## ADC ノイズの性能表

表 31、表 32、表 33 に、I-ADC と V/T-ADC について代表的な出力更新レートでの出力 rms ノイズを  $\mu\text{V}$  で示します。数値は typ 値であり、差動入力電圧 0 V で取得しています。出力 rms ノイズは、ADC 入力電圧が DC 電圧のときに収集した ADC 出力コードの分布の標準偏差(1 シグマ)として規定されます。 $\mu\text{V}$  rms で表示されます。

表 31.ノーマル消費電力モードでの電流チャンネル ADC の出力 RMS ノイズ(Typ)

ADCFLT	Data Update Rate	ADC Input Range (Gain Setting)									
		$\pm 2.3\text{ mV}$ (512)	$\pm 4.6\text{ mV}$ (256)	$\pm 4.68\text{ mV}$ (128)	$\pm 18.75\text{ mV}$ (64)	$\pm 37.5\text{ mV}$ (32)	$\pm 75\text{ mV}$ (16)	$\pm 150\text{ mV}$ (8)	$\pm 300\text{ mV}$ (4 <sup>1</sup> )	$\pm 600\text{ mV}$ (2 <sup>1</sup> )	$\pm 1.2\text{ V}$ (1 <sup>1</sup> )
0xBF1D	4 Hz	0.040 $\mu\text{V}$	0.040 $\mu\text{V}$	0.043 $\mu\text{V}$	0.045 $\mu\text{V}$	0.087 $\mu\text{V}$	0.175 $\mu\text{V}$	0.35 $\mu\text{V}$	0.7 $\mu\text{V}$	1.4 $\mu\text{V}$	2.8 $\mu\text{V}$
0x961F	10 Hz	0.060 $\mu\text{V}$	0.060 $\mu\text{V}$	0.060 $\mu\text{V}$	0.065 $\mu\text{V}$	0.087 $\mu\text{V}$	0.175 $\mu\text{V}$	0.35 $\mu\text{V}$	0.7 $\mu\text{V}$	1.4 $\mu\text{V}$	2.8 $\mu\text{V}$
0x007F	50 Hz	0.142 $\mu\text{V}$	0.142 $\mu\text{V}$	0.144 $\mu\text{V}$	0.145 $\mu\text{V}$	0.170 $\mu\text{V}$	0.305 $\mu\text{V}$	0.380 $\mu\text{V}$	0.7 $\mu\text{V}$	2.3 $\mu\text{V}$	2.8 $\mu\text{V}$
0x0007	1 kHz	0.620 $\mu\text{V}$	0.620 $\mu\text{V}$	0.625 $\mu\text{V}$	0.625 $\mu\text{V}$	0.770 $\mu\text{V}$	1.310 $\mu\text{V}$	1.650 $\mu\text{V}$	2.520 $\mu\text{V}$	7.600 $\mu\text{V}$	7.600 $\mu\text{V}$
0x0000	8 kHz	2.000 $\mu\text{V}$	2.000 $\mu\text{V}$	2.000 $\mu\text{V}$	2.000 $\mu\text{V}$	2.650 $\mu\text{V}$	4.960 $\mu\text{V}$	8.020 $\mu\text{V}$	15.0 $\mu\text{V}$	55.0 $\mu\text{V}$	55.0 $\mu\text{V}$

1 最大許容絶対入力電圧はグラウンド基準で-200 mV～+300 mV です。

表 32.電圧チャンネル ADC の Typ 値出力 RMS ノイズ(ADC 電圧アテネータ入力換算)

ADCFLT	Data Update Rate	28.8 V ADC Input Range
0xBF1D	4 Hz	65 $\mu\text{V}$
0x961F	10 Hz	65 $\mu\text{V}$
0x0007	1 kHz	180 $\mu\text{V}$
0x0000	8 kHz	1600 $\mu\text{V}$

表 33.温度チャンネル ADC の Typ 値出力 RMS ノイズ

ADCFLT	Data Update Rate	0 V to 1.2 V ADC Input Range
0xBF1D	4 Hz	2.8 $\mu\text{V}$
0x961F	10 Hz	2.8 $\mu\text{V}$
0x0007	1 kHz	7.5 $\mu\text{V}$
0x0000	8 kHz	55 $\mu\text{V}$

## ADC MMR インターフェース

ADC は、ADC ステータス・レジスタ～低消費電力リファレンス電圧スケールリング・ファクタ・レジスタのセクションで説明する多数の MMR を使って制御/設定されます。

ADCSTA MMR の上位 8 ビット(ビット[8: 15])で定義されるすべてのビットは、フラグとしてのみ使われ、割り込みは発生しません。この MMR の下位 8 ビット(ビット[7: 7])内に定義されるすべてのビットは、論理和がとられて、MCU コアへの 1 つの ADC 割り込みを発生します。ADC 割り込みに応答して、ユーザー・コードでは ADCSTA MMR を調べて割り込み原因を特定する必要があります。各 ADC 割り込み原因は、ADC 割り込みマスク・レジスタのセクションで説明する ADCMSKI MMR を使って個別にマスクすることができます。

ADC0DAT MMR を読み出すと、すべての ADC 変換結果レディ・ビットがクリアされます。電流チャンネル ADC がイネーブルされていない場合、ADC1DAT MMR または ADC2DAT MMR を読み出すと、すべての ADC 変換結果レディ・ビットがクリアされます。I-ADC と V/T-ADC の変換データを同期させるときは、

ユーザー・コード内で先に ADC1DAT MMR を読み出し、次に ADC0DAT MMR を読み出します。それぞれの ADC 変換結果レディ・ビットが先にクリアされない限り、新しい ADC 変換結果は ADCxDAT MMR に書き込まれません。この規則に対する唯一の例外は、ARM コアがパワーダウンしたときのデータ変換結果の更新です。このモードでは、レディ・ビットがクリアされていない場合でも、ADCxDAT レジスタは常に最新の ADC 変換結果を保持しています。

### ADC ステータス・レジスタ

名前: ADCSTA

アドレス: 0xFFFF0500

デフォルト値: 0x0000

アクセス: 読み出し専用

機能: この読み出し専用レジスタは、ADuC7034 ADC の動作モードまたは現在のステータスに関する全体的なステータス情報を格納しています。

表 34.ADCSTA MMR のビット説

明

Bit	Description
15	ADC calibration status. Set automatically in hardware to indicate that an ADC calibration cycle has been completed. Cleared after ADCMDE is written to.
14	ADC temperature conversion error. Set automatically in hardware to indicate that a temperature conversion overrange or underrange has occurred. The conversion result is clamped to negative full scale (underrange error) or positive full scale (overrange error) in this case. Cleared when a valid (in-range) temperature conversion result is written to the ADC2DAT register.
13	ADC voltage conversion error. Set automatically in hardware to indicate that a voltage conversion overrange or underrange has occurred. The conversion result is clamped to negative full scale (underrange error) or positive full scale (overrange error) in this case. Cleared when a valid (in-range) voltage conversion result is written to the ADC1DAT register.
12	ADC current conversion error. Set automatically in hardware to indicate that a current conversion overrange or underrange has occurred. The conversion result is clamped to negative full scale (underrange error) or positive full scale (overrange error) in this case. Cleared when a valid (in-range) current conversion result is written to the ADC0DAT register.
11 to 5	Not used. These bits are reserved for future functionality and should not be monitored by user code.
4	Current channel ADC comparator threshold. This bit is only valid if the current channel ADC comparator is enabled via the ADCCFG MMR. Set by hardware if the absolute value of the I-ADC conversion result exceeds the value written in the ADC0TH MMR; however, if the ADC threshold counter is used (ADC0TCL), this bit is set only when the specified number of I-ADC conversions equals the value in the ADC0THV MMR. Cleared by a reconfiguration of the ADC or if the comparator threshold is disabled.
3	Current channel ADC overrange bit. This bit is updated every 125 $\mu$ s. Set by hardware if the I-ADC input is approximately more than 30% overrange and the overrange detect function is enabled via the ADCCFG MMR. Cleared by software only when ADCCFG[2] is cleared to disable the function or when the ADC gain is changed via the ADC0CON MMR.
2	Temperature conversion result ready bit. Set by hardware as soon as a valid temperature conversion result is written in the temperature data register (ADC2DAT MMR) if the temperature channel ADC is enabled. It is also set at the end of a calibration. Cleared by reading either ADC2DAT or ADC0DAT.
1	Voltage conversion result ready bit. Set by hardware as soon as a valid voltage conversion result is written in the voltage data register (ADC1DAT MMR) if the voltage channel ADC is enabled. It is also set at the end of a calibration. Cleared by reading either ADC1DAT or ADC0DAT.
0	Current conversion result ready bit. Set by hardware as soon as a valid current conversion result is written in the current data register (ADC0DAT MMR) if the current channel ADC is enabled. It is also set at the end of a calibration.

Bit	Description
	Cleared by reading ADC0DAT.

### ADC 割り込みマスク・レジスタ

名前: ADCMSKI

アドレス: 0xFFFFF0504

デフォルト値: 0x00

アクセス: 読み書き可能

機能: このレジスタは、ADC 割り込み原因を個別にイネーブルするときに使います。このレジスタのビット位置は、ADCSTA MMR の下位 8 ビットと同じです。ビットがユーザー・コードから 1 に設定されると、対応する割り込みがイネーブルされます。デフォルトでは、すべてのビットが 0 で、すべての ADC 割り込み原因がディスエーブルされています。

**ADC モード・レジスタ**

名前: ADCMDE

アドレス: 0xFFFF0508

デフォルト値: 0x00

アクセス: 読み書き可能

機能: ADC モード MMR は、ADC サブシステムの動作モードを設定する 8 ビット・レジスタです。

表 35.ADCMDE MMR のビット説明

Bit	Description
7	Not used. This bit is reserved for future functionality and should be written as 0 by user code.
6	20 k $\Omega$ resistor select. 1 = selects the 20 k $\Omega$ resistor shown in 図 20. 0 = selects the direct path to ground shown in 図 20 (default).
5	Low power mode reference select. 1 = enables the precision voltage reference in either low power mode or low power plus mode. Enabling the precision voltage reference in low power modes requires additional current and therefore results in increased current consumption. 0 = enables the low power voltage reference in either low power mode or low power plus mode (default).
4 to 3	ADC power mode configuration. 00 = ADC normal mode. If enabled, the ADC operates with normal current consumption, yielding optimum electrical performance. 01 = ADC low power mode. If enabled, the I-ADC operates with reduced current consumption. This limitation in current consumption is achieved, but at the expense of degrading ADC noise performance, by fixing the gain to 128 and using the on-chip low power 131 kHz oscillator to directly drive the ADC circuits. 10 = ADC low power plus mode. If this bit is enabled, the ADC operates with reduced current consumption. In this mode, the gain is fixed to 512 and the current consumed is approximately 200 $\mu$ A more than the ADC low power mode. The additional current consumed also ensures that the ADC noise performance is better than that achieved in ADC low power mode. 11 = not defined.
2 to 0	ADC operation mode configuration. 000 = ADC power-down mode. All ADC circuits, including the internal reference, are powered down. 001 = ADC continuous conversion mode. In this mode, any enabled ADC continuously converts. 010 = ADC single conversion mode. In this mode, any enabled ADC performs a single conversion. The ADC enters idle mode when the single conversion is complete. A single conversion takes two to three ADC clock cycles, depending on the chop mode. 011 = ADC idle mode. In this mode, the ADC is fully powered on but is held in reset. 100 = ADC self-offset calibration. In this mode, an offset calibration is performed on any enabled ADC using an internally generated 0 V. The calibration is carried out at the user programmed ADC settings; therefore, as with a normal single ADC conversion, it takes two to three ADC conversion cycles before a fully settled calibration result is ready. The calibration result is automatically written to the ADCxOF MMR of the respective ADC. The ADC returns to idle mode and the calibration and conversion ready status bits are set at the end of an offset calibration cycle. 101 = ADC self-gain calibration. In this mode, a gain calibration to an internal reference voltage is performed on all enabled ADCs. A gain calibration is a two-stage process and takes twice the time of an offset calibration. The calibration result is automatically written to the ADCxGN MMR of the respective ADC. The ADC returns to idle mode, and the calibration and conversion ready status bits are set at the end of a gain calibration cycle. An ADC self-gain calibration should only be performed on the current channel ADC. Preprogrammed, factory-set calibration coefficients (downloaded automatically from internal Flash/EE) should be used for voltage temperature measurements. If an external NTC is used, an ADC self-calibration should be performed on the temperature channel. 110 = ADC system zero-scale calibration. In this mode, a zero-scale calibration is performed on enabled ADC channels to an external zero-scale voltage driven at the ADC input pins. The calibration is performed at the user programmed ADC settings; therefore, as with a single ADC conversion, three ADC conversion cycles are required before a fully settled calibration result is available. 111 = ADC system full-scale calibration. In this mode, a full-scale calibration is performed on enabled ADC channels to an external full-scale voltage driven at the ADC input pins.

**電流チャンネル ADC コントロール・レジスタ**

名前: ADC0CON

アドレス: 0xFFFF050C

デフォルト値: 0x0000

アクセス: 読み書き可能

機能: 電流チャンネル ADC コントロール MMR は、I-ADC を設定するときに使う 16 ビット・レジスタです。

注: 電流 ADC を ADC0CON を使って再設定すると、電圧 ADC と温度 ADC もリセットされます。

表 36.ADC0CON MMR のビット説明

Bit	Description
15	Current channel ADC enable. Set to 1 by user code to enable the I-ADC. Clearing this bit to 0 powers down the I-ADC and resets the respective ADC ready bit in the ADCSTA MMR to 0.
14, 13	IIN current source enable. 00 = disables current sources. 01 = enables 50 $\mu$ A current source on IIN+. 10 = enables 50 $\mu$ A current source on IIN-. 11 = enables 50 $\mu$ A current source on both IIN- and IIN+.
12 to 10	Not used. These bits are reserved for future functionality and should be written as 0.
9	Current channel ADC output coding. Set to 1 by user code to configure I-ADC output coding as unipolar. Cleared to 0 by user code to configure I-ADC output coding as twos complement.
8	Not used. This bit is reserved for future functionality and should be written as 0.
7, 6	Current channel ADC inputs select. 00 = IIN+ and IIN- are selected. 01 = IIN- and IIN- are selected. Diagnostic, internal short configuration. 10 = VREF/136 and 0 V are selected. Diagnostic, test voltage for gain settings $\leq 128$ . If the reference REG_AVDD and AGND divided by 2 is selected, REG_AVDD is used for VREF. This leads to ADC0DAT being scaled by 2. 11 = not defined.
5, 4	Current channel ADC reference select. 00 = internal 1.2 V precision reference is selected. In ADC low power mode, the voltage reference selection is controlled by ADCMDE[5]. 01 = external reference inputs VREF and GND_SW are selected. 10 = external reference inputs divided by 2 (that is, VREF and GND_SW divided by 2) are selected, which allows an external reference up to REG_AVDD. 11 = the reference REG_AVDD and AGND divided by 2 is selected.
3 to 0	Current channel ADC gain select. The nominal I-ADC full-scale input voltage is VREF/gain. 0000 = I-ADC gain of 1. 0001 = I-ADC gain of 2. 0010 = I-ADC gain of 4. 0011 = I-ADC gain of 8. 0100 = I-ADC gain of 16. 0101 = I-ADC gain of 32. 0110 = I-ADC gain of 64. 0111 = I-ADC gain of 128. 1000 = I-ADC gain of 256. 1001 = I-ADC gain of 512. 1010 = I-ADC gain is undefined. 1011 = I-ADC gain is undefined. 1100 = I-ADC gain is undefined. 1101 = I-ADC gain is undefined. 1110 = I-ADC gain is undefined. 1111 = I-ADC gain is undefined.

**電圧/温度チャンネル ADC コントロール・レジスタ**

名前: ADC1CON

アドレス: 0xFFFF0510

デフォルト値: 0x0000

アクセス: 読み書き可能

機能: 電圧/温度チャンネル ADC コントロール MMR は、V/T-ADC を設定するときに使う 16 ビット・レジスタです。

注: VBAT アテネータ入力を選択されると、電圧アテネータバッファが自動的にイネーブルされます。

表 37.ADC1CON MMR のビット説明

Bit	Description
15	Voltage/temperature channel ADC enable. Set to 1 by user code to enable the V-/T-ADC. Clearing this bit to 0 powers down the V-/T-ADC.
14, 13	VTEMP current source enable. 00 = disables current sources. 01 = enables 50 $\mu$ A current source on VTEMP. 10 = enables 50 $\mu$ A current source on GND_SW. 11 = enables 50 $\mu$ A current source on both VTEMP and GND_SW.
12 to 10	Not used. These bits are reserved for future functionality and should not be modified by user code.
9	Voltage/temperature channel ADC output coding. Set to 1 by user code to configure V-/T-ADC output coding as unipolar. Cleared to 0 by user code to configure V-/T-ADC output coding as twos complement.
8	Not used. This bit is reserved for future functionality and should be written as 0 by user code.
7, 6	Voltage/temperature channel ADC input select. 00 = VBAT attenuator (VBAT/24 and AGND) is selected. The high voltage buffers are enabled automatically in this configuration. The conversion result is written to ADC1DAT. 01 = external temperature inputs (VTEMP and GND_SW) are selected. The conversion result is written to ADC2DAT. 10 = internal sensor is selected. Internal temperature sensor input selected, conversion result written to ADC2DAT. The temperature gradient is 0.33 mV/°C; this is only applicable to the internal temperature sensor. 11 = internal short is selected. Shorted input. The conversion result is written to ADC1DAT.
5, 4	Voltage/temperature channel ADC reference select. 00 = internal 1.2 V precision reference is selected. 01 = external reference inputs VREF and GND_SW are selected. 10 = external reference inputs divided by 2 (that is, VREF and GND_SW divided by 2) are selected. This allows an external reference up to REG_AVDD. 11 = the reference input REG_AVDD and AGND divided by 2 are selected for the voltage channel. The reference inputs REG_AVDD and GND_SW divided by 2 are selected for the temperature channel.
3 to 0	Not used. These bits are reserved for future functionality and should not be written as 0 by user code.

## ADC フィルタ・レジスタ

名前: ADCFLT

アドレス: 0xFFFFF0518

デフォルト値: 0x0007

アクセス: 読み書き可能

機能: ADC フィルタ MMR は、内蔵 ADC の速度と分解能を制御する 16 ビット・レジスタです。

注: ADCFLT を変更すると、電流 ADC、電圧/温度 ADC がリセットされます。

表 38.ADCFLT MMR のビット説明

Bit	Description
15	Chop enable. Set by the user to enable system chopping of all active ADCs. When this bit is set, the ADC has very low offset errors and drift, but the ADC output rate is reduced by a factor of 3 if AF = 0 (see the Sinc3 decimation factor, Bits[6: 0], in this table). If AF > 0, the ADC output update rate is the same with chop enabled or disabled. When chop is enabled, the settling time is two output periods. Cleared by user code to disable system chopping.
14	Running average. Set by the user to enable a running-average-by-two function, which reduces ADC noise. This function is automatically enabled when chopping is active and is an optional feature when chopping is inactive. The ADC output rate is not reduced if the running average function is enabled when chopping is inactive; instead, the settling time is increased by one conversion period. Cleared by the user to disable the running average function.
13 to 8	Averaging factor (AF). The values written to these bits are used to implement a programmable first-order Sinc3 postfilter. The averaging factor can further reduce ADC noise at the expense of output rate, as described in the Sinc3 decimation factor, Bits[6: 0], in this table.
7	Sinc3 modify. Set by the user to modify the standard Sinc3 frequency response and increase the stop-band rejection of the filter by approximately 5 dB. This is achieved by inserting a second notch (NOTCH2) at $f_{NOTCH2} = 1.333 \times f_{NOTCH}$ , where $f_{NOTCH}$ is the location of the first notch in the response.
6 to 0	Sinc3 decimation factor (SF). <sup>1</sup> The value written in these bits controls the oversampling (decimation factor) of the Sinc3 filter. The output rate from the Sinc3 filter is given by $f_{ADC} = (512,000 / ([SF + 1] \times 64)) \text{ Hz}$ <sup>2</sup> when the chop enable bit (Bit 15) = 0 and the averaging factor (AF) = 0. This is valid for all SF values $\leq 125$ . For SF = 126, $f_{ADC}$ is forced to 60 Hz. For SF = 127, $f_{ADC}$ is forced to 50 Hz. For information on calculating the $f_{ADC}$ for SF (other than 126 and 127) and AF values, refer to Table 39.

<sup>1</sup> デジタル・フィルタ内部データ・パスに対する制限のため、必要とされる ADC 出力レートの発生に使用可能な、Sinc3 デシメーション・ファクタ (SF) と平均化係数 (AF) との組み合わせに幾つかの制限があります。この制約により、ノーマル消費電力モードでは最小 ADC 更新が 4 Hz に、低消費電力モードでは 1 Hz に、それぞれ制限されます。

<sup>2</sup> 低消費電力モードと低消費電力プラス・モードでは、ADC は 512 kHz ではなく低消費電力発振器 (131 kHz) により直接駆動されます。すべての  $f_{ADC}$  計算値は、4 で除算する必要があります (概算)。



表 39.ADC 変換レートおよびセトリング・タイム

Chop Enabled	Averaging Factor	Running Average	$f_{ADC}$	$t_{SETTLING}^1$
Disabled	Disabled	Disabled	$\frac{512,000}{[SF+1] \times 64}$	$\frac{3}{f_{ADC}}$
Disabled	Disabled	Enabled	$\frac{512,000}{[SF+1] \times 64}$	$\frac{4}{f_{ADC}}$
Disabled	Enabled	Disabled	$\frac{512,000}{[SF+1] \times 64 \times [3+AF]}$	$\frac{1}{f_{ADC}}$
Disabled	Enabled	Enabled	$\frac{512,000}{[SF+1] \times 64 \times [3+AF]}$	$\frac{2}{f_{ADC}}$
Enabled	N/A	N/A	$\frac{512,000}{[SF+1] \times 64 \times [3+AF] + 3}$	$\frac{2}{f_{ADC}}$

<sup>1</sup> 最初の ADC が使用可能になるまでに、ADC あたり約 60 $\mu$ s の追加時間が必要です。

表 40.SF と AF の可能な組み合わせ

SF Value	AF Value		
	0	1 to 7	8 to 63
0 to 31	Yes	Yes	Yes
32 to 63	Yes	Yes	No
64 to 127	Yes	No	No

**ADC 設定レジスタ**

名前: ADCCFG

アドレス: 0xFFFF051C

デフォルト値: 0x00

アクセス: 読み書き可能

機能: 8 ビットの ADC 設定 MMR は、内蔵 ADC に関する拡張機能を制御します。

表 41.ADCCFG MMR のビット説明

Bit	Description
7	<p>Analog ground switch enable.</p> <p>Set to 1 by user software to connect the external GND_SW pin (Pin 15) to an internal analog ground reference point. This bit can be used to connect and disconnect external circuits and components to ground under program control and thereby minimize dc current consumption when the external circuit or component is not being used. This bit is used in conjunction with ADCMDE[6] to select a 20 kΩ resistor to ground.</p> <p>Cleared by user code to disconnect the external GND_SW pin.</p>
6, 5	<p>Current channel (32-bit) accumulator enable.</p> <p>00 = accumulator disabled and reset to 0. The accumulator must be disabled for a full ADC conversion (ADCSTA[0] set twice) before the accumulator can be re-enabled to ensure the accumulator is reset.</p> <p>01 = accumulator active.</p> <p>Positive current values are added to the accumulator total; the accumulator can overflow if allowed to run for &gt;65,535 conversions.</p> <p>Negative current values are subtracted from the accumulator total; the accumulator is clamped to a minimum value of 0.</p> <p>10 = accumulator active.</p> <p>Positive current values are added to the accumulator total; the accumulator can overflow if allowed to run for &gt;65,535 conversions.</p> <p>The absolute values of negative current are subtracted from the accumulator total; the accumulator in this mode continues to subtract current even after 0 is reached.</p> <p>11 = not defined.</p>
4, 3	<p>Current channel ADC comparator enable.</p> <p>00 = comparator disabled.</p> <p>01 = comparator active. An interrupt is asserted if the absolute value of the I-ADC conversion result is <math> I  \geq \text{ADC0TH}</math>.</p> <p>10 = comparator count reset mode active. An interrupt is asserted if the absolute value of the I-ADC conversion result is <math> I  \geq \text{ADC0TH}</math> for the number of ADC0TCL conversions. A conversion value of <math> I  &lt; \text{ADC0TH}</math> resets the threshold counter value (ADC0THV) to 0.</p> <p>11 = comparator count decrement mode active. An interrupt is asserted if the absolute value of the I-ADC conversion result is <math> I  \geq \text{ADC0TH}</math> for the number of ADC0TCL conversions. A conversion value of <math> I  &lt; \text{ADC0TH}</math> decrements the threshold counter value (ADC0THV) toward 0.</p>
2	<p>Current channel ADC overrange enable.</p> <p>Set by user code to enable a coarse comparator on the current channel ADC. If the current reading is more than approximately 30% overrange for the active gain setting, the overrange bit in the ADCSTA MMR is set. The current must be outside the set range for more than 125 μs for the flag to be set. This feature should not be used in ADC low power mode.</p> <p>Cleared by user code to disable the overrange feature.</p>
1	Not used. This bit is reserved for future functionality and should be written as 0 by user code.
0	<p>Current channel ADC, result counter enable.</p> <p>Set by user to enable the result count mode. In this mode, an I-ADC interrupt is generated only when ADC0RCV = ADC0RCL. This allows the I-ADC to continuously monitor current and interrupt the MCU core only after a defined number of conversions. The voltage/temperature ADC also continues to convert if enabled, but only the last conversion result is available (intermediate V-/T-ADC conversion results are not stored) when the ADC counter interrupt occurs.</p>

**電流チャンネル ADC データ・レジスタ**

名前: ADC0DAT

アドレス: 0xFFFF0520

デフォルト値: 0x0000

アクセス: 読み出し専用

機能: この ADC データ MMR は I-ADC の 16 ビット変換結果を格納します。ADC0 変換結果レディ・ビット(ADCSTA[0])がセットされると、ADC はこの MMR を更新しません。MCU からこの MMR を読み出すと、すべてのアサートされているレディ・フラグ(ADCSTA[2: 0])がクリアされます。

**電圧チャンネル ADC データ・レジスタ**

名前: ADC1DAT

アドレス: 0xFFFF0524

デフォルト値: 0x0000

アクセス: 読み出し専用

機能: この ADC データ MMR は V/T-ADC の 16 ビット電圧変換結果を格納します。電圧変換結果レディ・ビット(ADCSTA[1])がセットされると、ADC はこの MMR を更新しません。I-ADC がアクティブでないときに、MCU からこの MMR を読み出すと、すべてのアサートされているレディ・フラグ(ADCSTA[2: 1])がクリアされます。

**温度チャンネル ADC データ・レジスタ**

名前: ADC2DAT

アドレス: 0xFFFF0528

デフォルト値: 0x0000

アクセス: 読み出し専用

機能: この ADC データ MMR は V/T-ADC の 16 ビット温度変換結果を格納します。ADC 変換結果レディ・ビット(ADCSTA[2])がセットされると、ADC はこの MMR を更新しません。この MMR を読み出すと、ADCSTA[2]がクリアされます。

**電流チャンネル ADC オフセット・キャリブレーション・レジスタ**

名前: ADC0OF

アドレス: 0xFFFF0530

デフォルト値: デバイスに固有、出荷時に書き込みを行います

アクセス: 読み書き可能

機能: この ADC オフセット MMR は、I-ADC の 16 ビット・オフセット・キャリブレーション係数を格納します。このレジスタにはパワーオン時に出荷時デフォルト値が設定されます。ただし、ADCMDE MMR 内のビットを使って I-ADC のオフセット・キャリブレーションが起動されると、このレジスタは自動的に上書きされます。ADC が 23 $\mu$ s 以上アイドル・モードの場合、このキャリブレーション・レジスタにはユーザー・コードから書き込みのみが可能です。ADC をイネーブルし、23  $\mu$ s 間以上アイドル・モードにした後に、オフセットまたはゲイン・レジスタに書き込みを行う必要があります。

**電圧チャンネル ADC オフセット・キャリブレーション・レジスタ**

名前: ADC1OF

アドレス: 0xFFFF0534

デフォルト値: デバイスに固有、出荷時に書き込みを行います

アクセス: 読み書き可能

機能: このオフセット MMR は、電圧チャンネルの 16 ビット・オフセット・キャリブレーション係数を格納します。このレジスタにはパワーオン時に出荷時デフォルト値が設定されます。ただし、ADCMDE MMR 内のビットを使って電圧チャンネルのオフセット・キャリブレーションが起動されると、このレジスタは自動的に上書きされます。ADC が 23 $\mu$ s 以上アイドル・モードの場合、このキャリブレーション・レジスタにはユーザー・コードから書き込みのみが可能です。ADC をイネーブルし、23  $\mu$ s 間以上アイドル・モードにした後に、オフセットまたはゲイン・レジスタに書き込みを行う必要があります。

**温度チャンネル ADC オフセット・キャリブレーション・レジスタ**

名前: ADC2OF

アドレス: 0xFFFF0538

デフォルト値: デバイスに固有、出荷時に書き込みを行います

アクセス: 読み書き可能

機能: この ADC オフセット MMR は、温度チャンネルの 16 ビット・オフセット・キャリブレーション係数を格納します。このレジスタにはパワーオン時に出荷時デフォルト値が設定されます。ただし、ADCMDE MMR 内のビットを使って温度チャンネルのオフセット・キャリブレーションが起動されると、このレジスタは自動的に上書きされます。ADC が 23 $\mu$ s 以上アイドル・モードの場合、このキャリブレーション・レジスタにはユーザー・コードから書き込みのみが可能です。ADC をイネーブルし、23  $\mu$ s 間以上アイドル・モードにした後に、オフセットまたはゲイン・レジスタに書き込みを行う必要があります。

**電流チャンネル ADC ゲイン・キャリブレーション・レジスタ**

名前: ADC0GN

アドレス: 0xFFFF053C

デフォルト値: デバイスに固有、出荷時に書き込みを行います

アクセス: 読み書き可能

機能: このゲイン MMR は、I-ADC 変換結果をスケールするときに使う 16 ビット・ゲイン・キャリブレーション係数を格納します。このレジスタにはパワーオン時に出荷時デフォルト値が設定されます。ただし、ADCMDE MMR 内のビットを使って I-ADC のゲイン・キャリブレーションが起動されると、このレジスタは自動的に上書きされます。ADC が 23 $\mu$ s 以上アイドル・モードの場合、このキャリブレーション・レジスタにはユーザー・コードから書き込みのみが可能です。ADC をイネーブルし、23  $\mu$ s 間以上アイドル・モードにした後に、オフセットまたはゲイン・レジスタに書き込みを行う必要があります。

**電圧チャンネル・ゲイン・キャリブレーション・レジスタ**

名前: ADC1GN

アドレス: 0xFFFFF0540

デフォルト値: デバイスに固有、出荷時に書き込みを行います

アクセス: 読み書き可能

機能: このゲイン MMR は、電圧チャンネルの変換結果をスケールするときに使う 16 ビット・ゲイン・キャリブレーション係数を格納します。このレジスタにはパワーオン時に出荷時デフォルト値が設定されます。ただし、ADCMDE MMR 内のビットを使って電圧チャンネルのゲイン・キャリブレーションが起動されると、このレジスタは自動的に上書きされます。ADC が 23 $\mu$ s 以上アイドル・モードの場合、このキャリブレーション・レジスタにはユーザー・コードから書き込みのみが可能です。ADC をイネーブルし、23  $\mu$ s 間以上アイドル・モードにした後に、オフセットまたはゲイン・レジスタに書き込みを行う必要があります。

**温度チャンネル・ゲイン・キャリブレーション・レジスタ**

名前: ADC2GN

アドレス: 0xFFFFF0544

デフォルト値: デバイスに固有、出荷時に書き込みを行います

アクセス: 読み書き可能

機能: このゲイン MMR は、温度チャンネルの変換結果をスケールするときに使う 16 ビット・ゲイン・キャリブレーション係数を格納します。このレジスタにはパワーオン時に出荷時デフォルト値が設定されます。ただし、ADCMDE MMR 内のビットを使って温度チャンネルのゲイン・キャリブレーションが起動されると、このレジスタは自動的に上書きされます。ADC が 23 $\mu$ s 以上アイドル・モードの場合、このキャリブレーション・レジスタにはユーザー・コードから書き込みのみが可能です。ADC をイネーブルし、23  $\mu$ s 間以上アイドル・モードにした後に、オフセットまたはゲイン・レジスタに書き込みを行う必要があります。

**電流チャンネル ADC リザルト・カウンタ限界値レジスタ**

名前: ADC0RCL

アドレス: 0xFFFFF0548

デフォルト値: 0x0001

アクセス: 読み書き可能

機能: この 16 ビット MMR は、ADC 割り込みが発生するまでに必要な変換回数を設定します。デフォルトでは、このレジスタに 0x01 が設定されます。ADCCFG MMR 内にある ADC 変換結果カウンタ・イネーブル・ビットを使って ADC カウンタ機能をイネーブルする必要があります。

**電流チャンネル ADC リザルト・カウンタ・レジスタ**

名前: ADC0RCV

アドレス: 0xFFFFF054C

デフォルト値: 0x0000

アクセス: 読み出し専用

機能: この 16 ビットの読み出し専用 MMR は、現在の I-ADC 変換結果数を格納しています。ADC0RCL レジスタと組み合わせて使い、I-ADC 割り込みをマスクして、割り込み発生レートを小さくします。また、アキュムレータ(ADC0ACC)と組み合わせて使って、平均電流計算を開始させることもできます。いずれの場合でも、変換結果カウンタは、ADCCFG[0]を使ってイネーブルする必要があります。ADC0RCV = ADC0RCL のとき、ADC0RCV 値は 0 にリセットされて、カウントを再開します。さらに、I-ADC の設定が変更されたとき、すなわち ADC0CON または ADCMDE が書き込まれたとき、この MMR も 0 にリセットされます。

**電流チャンネル ADC スレッシュホールド・レジスタ**

名前: ADC0TH

アドレス: 0xFFFFF0550

デフォルト値: 0x0000

アクセス: 読み書き可能

機能: この 16 ビット MMR は、I-ADC 変換結果の絶対値が比較されるスレッシュホールドを格納します。ユニポーラ・モードでは、ADC0TH[15: 0]が比較され、2 の補数モードでは、ADC0TH[14: 0]が比較されます。

**電流チャンネル ADC スレッシュホールド・カウンタ限界値レジスタ**

名前: ADC0TCL

アドレス: 0xFFFFF0554

デフォルト値: 0x01

アクセス: 読み書き可能

機能: この 8 ビット MMR は、ADCSTA MMR 内の I-ADC コンパレータ・スレッシュホールド・ビットがセットされて、ADC 割り込みが発生されるまでに必要な ADC0TH を上回る I-ADC 変換結果の累積出現回数値を指定します(スレッシュホールドを下回る値はカウントをデクリメントまたは 0 にリセットします)。ADC0THV = ADC0TCL になると、ただちに I-ADC コンパレータ・スレッシュホールド・ビットがアサートされます。

## 電流チャンネル ADC スレッシュホールド・カウント・レジスタ

名前: ADC0THV

アドレス: 0xFFFF0558

デフォルト値: 0x00

アクセス: 読み出し専用

機能: この 8 ビット MMR は、I-ADC 変換結果の絶対値 $|I|$ が ADC0TH 以上の値になるごとに、インクリメントされます。このレジスタは、I-ADC 変換結果の絶対値 $|I|$ が ADC0TH の値を下回るごとにデクリメントされるか、0 にリセットされます。この機能の設定は、ADCCFG MMR 内にある電流チャンネル ADC コンパレータ・ビットを使ってイネーブルされます。

## 電流チャンネル ADC アキュムレータ・レジスタ

名前: ADC0ACC

アドレス: 0xFFFF055C

デフォルト値: 0x00000000

アクセス: 読み出し専用

機能: この 32 ビット MMR は、電流アキュムレータ値を格納します。ADCSTA MMR 内の I-ADC レディ・ビットを使って、この MMR を読み出す安全なタイミングをチェックする必要があります。ADCCFG MMR 内のアキュムレータをディスエーブルするか、または電流チャンネル ADC を再設定すると、MMR 値は 0 にリセットされます。

## 低消費電力リファレンス電圧スケーリング・ファクタ・レジスタ

名前: ADCREF

アドレス: 0xFFFF057C

デフォルト値: デバイスに固有、出荷時に書き込みを行います

アクセス: 読み書き可能。このレジスタの書き込みには注意が必要です。

機能: このレジスタを使うと、ユーザー・コードから LPM リファレンスの初期誤差を補正することができます。ノーマル・モード・リファレンスと比較したとき、0x8000 は誤差なしに対応します。低消費電力リファレンスの実際の値を補正するときは、ADC 変換結果の振幅に ADCREF の値を乗算し、0x8000 で除算する必要があります。LPM リファレンス電圧が 1.200 V より 1% 低い場合、ADCREF の値は約 0x7EB9 になります。LPM リファレンス電圧が 1.200 V より 1% 高い場合、ADCREF の値は約 0x8147 になります。

このレジスタは、アナログ・デバイスでの製造時にリファレンスを測定した温度(25°C)での LPM リファレンスの実効値を補正します。ADCREF MMR を使用した場合には、LPM リファレンスの温度係数に変化はありません。

低消費電力モードで高精度リファレンスを使用している場合(ADCMDE[5]をセット)、このレジスタは使用できません。

## ADC 低消費電力動作モード

ADCMDE[4: 3]を適切に設定して、ADC を種々の省電力モードまたはフル・パワー動作モードに設定することができます。ARM7 MCU も低消費電力動作モードに設定することができます(POWCON[5: 3])。コアの消費電力モードは独立に制御されるため、このセクションで説明する ADC の消費電力モードとは関係ありません。

### ADC ノーマル消費電力モード

ノーマル・モードでは、電流チャンネルと電圧/温度チャンネルがイネーブルされます。ADC 変調器クロックは 512 kHz であり、ADC がイネーブルされて 4 Hz~8 kHz のレートで通常の変換結果を出力します(ADC フィルタ・レジスタのセクション参照)。両チャンネルは MCU から制御され、何時でも再設定可能です。すべてのチャンネルのデフォルトの ADC 更新レートは、このモードでは 1.0 kHz です。

ADC フル・パワーダウン・モードに戻る前に、I-ADC チャンネルと V/T-ADC チャンネルは、周期的起動、ノーマル消費電力モード、高精度、シングル変換サイクルに設定することができます。ADCMDE MMR を使った MCU 制御により、この柔軟性が可能になっています。平均 DC 消費電流を最小に維持しながらでも、バッテリーの電流設定、電圧設定、温度設定の連続的な周期モニターが可能です。

ADC ノーマル・モードでは、PLL をパワーダウンさせることはできません。

### ADC 低消費電力モード

ADC 低消費電力モードでは、I-ADC が低消費電力かつ低精度構成でイネーブルされます。このモードでは、ADC 変調器クロックが内蔵の 131 kHz 低消費電力発振器から直接駆動されるため、ADC 更新レートを 1 Hz まで低くすることができます(ADCFLT)。ADC ゲインは、このモードでは 128 に固定されます。

ADC ノーマル消費電力モードのセクションで説明したすべての ADC パリフェラル機能(変換結果カウンタ、デジタル・コンパレータ、アキュムレータ)は、低消費電力モードでもイネーブルすることができます。

一般に、低消費電力モードでは、I-ADC のみが、低更新レートでのバッテリー電流の連続モニター用に設定されます。MCU はパワーダウン・モードにあり、I-ADC から MCU への割り込みでウェイクアップします。これは、予め設定されたスレッシュホールド、セットポイント、または変換回数を超えた電流変換を I-ADC が検出した後に発生します。

また、ADCMDE[5]を使って、ADC 高精度リファレンス電圧または ADC 低消費電力モード・リファレンス電圧を選択することもできます。

### ADC 低消費電力プラス・モード

低消費電力プラス・モードでは、I-ADC チャンネルが低消費電力モードとほぼ同じモードでイネーブルされます(ADCMDE[4: 3])。ただし、このモードでは、I-ADC ゲインが 512 固定であり、ADC の消費電流が約 200  $\mu$ A 増えるため、低消費電力モード構成よりノイズ性能が改善されます。

ADC ノーマル消費電力モードのセクションで説明したすべての ADC パリフェラル機能(変換結果カウンタ、デジタル・コンパレータ、アキュムレータ)は、低消費電力プラス・モードでもイネーブルすることができます。

低消費電力モードの場合と同様に、I-ADC のみが、低更新レートでのバッテリー電流の連続モニター用に設定されます。MCU が

パワーダウン・モードにあり、I-ADC からの MCU への割り込みによってウェイクアップします。これは、予め設定されたスレッシュホールド、セットポイント、または変換回数を越えた電流変換を I-ADC が検出したときに発生します。

また、ADCMDE[5]を使って、ADC 高精度リファレンス電圧または ADC 低消費電力モード・リファレンス電圧を選択することもできます。

## ADC コンパレータとアキュムレータ

I-ADC にコンパレータ・ロジックを内蔵したことにより、I-ADC 変換結果を使って、所定の変換回数が終わった後、または I-ADC 変換結果がプログラマブルなスレッシュホールド値を超えたときに、割り込みを発生させることができるようになっています。

各 I-ADC 変換結果を、設定されているスレッシュホールド・レベル(ADC0TH)と比較するように、ADCCFG[4: 3]を使って設定することもできます。この場合、ADC 変換結果の絶対値(符号に無関係)が予め設定されているコンパレータ・スレッシュホールド・レベルより大きいとき、MCU 割り込みが発生します。あるいは、このコンパレータ機能の拡張機能を使うと、ユーザー・コードからスレッシュホールド・カウンタ(ADC0THV)を設定して、設定されているスレッシュホールド・レベルより大きいまたは小さい値の I-ADC 変換結果の発生回数をモニターすることができます。この場合も、スレッシュホールド・カウンタが設定されている値(ADC0TCL)に一致すると、ADC 割り込みが発生します。

また、内蔵の 32 ビットのアキュムレータ(ADC0ACC)機能を設定して(ADCCFG[6: 5])、I-ADC を複数の I-ADC サンプル変換結果に対して加算または減算することができます。ユーザー・コードから、それ以外のソフトウェア処理なしで累積値(ADC0ACC)を直接読み出すことができます。

## ADC Sinc3 デジタル・フィルタの応答

すべての ADuC7034 ADC の全体周波数応答は、内蔵の Sinc3 デジタル・フィルタのローパス・フィルタ応答により支配されます。Sinc3 フィルタは、ADC  $\Sigma$ - $\Delta$  変調器出力データ・ビット・ストリームをデシメートして有効な 16 ビット・データ変換結果を得るために使われます。デジタル・フィルタ応答すべての ADC に対して同じで、16 ビットの ADC フィルタ(ADCFLT)レジスタを使って設定されます。このレジスタは、ADC の全体のスループット・レートに指定します。ADC のノイズ分解能は、書き込まれた ADC スループット・レートにより決定されます。電流チャンネル ADC の場合、ノイズ分解能はスループット・レートと選択されたゲインにより決定されます。

全体周波数応答と ADC スループットは、Sinc3 フィルタ・デシメーション・ファクタ(SF)ビット(ADCFLT[6: 0])と平均化係数(AF)ビット(ADCFLT[13: 8])の設定により支配されます。デジタル・フィルタ内部データ・パスの制限のため、所望の ADC 出力レートを発生させるために使用できる SF と AF との使用可能な組み合わせに幾つか制限があります。この制約により、ノーマル消費電力モードでは最小 ADC 更新が 4 Hz に、低消費電力モードでは 1 Hz に、それぞれ制限されます。ADC スループット・レートの計算は、ADCFLT MMR ビット配置表で説明してあります(表 38 参照)。AF 値と SF 値の可能な組み合わせの制限は表 40 に示してあります。

デフォルトでは、ADCFLT = 0x0007 により、ADC のスループットが 1 kHz に設定され、他のすべてのフィルタ・オプション(チョップ、running average、平均化係数、Sinc3 モデファイ)がディスエーブルされています。このデフォルト設定を採用したフィルタ応答(typ)を図 21 に示します。

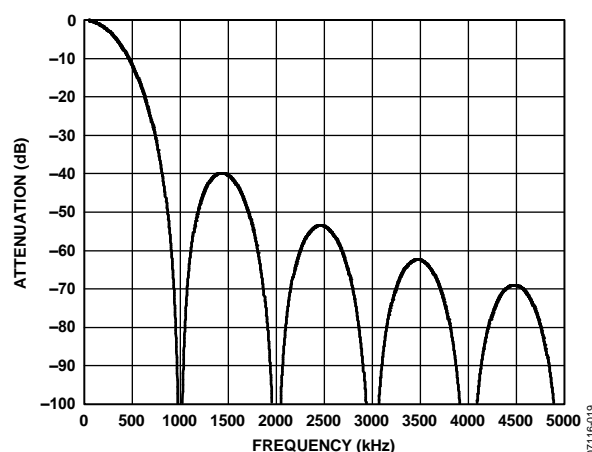


図 21. デジタル・フィルタの応答(Typ)、 $f_{\text{ADC}} = 1 \text{ kHz}$   
(ADCFLT = 0x0007)

ADCFLT レジスタには、その他の Sinc3 モデファイ・ビット(ADCFLT[7])もあります。ユーザー・コードからこのビットをセットして、標準 Sinc3 周波数応答のフィルタ阻止帯域除去比を約 5 dB 大きくすることができます。これは、2 つ目のノッチを次の周波数に挿入して実現されます。

$$f_{\text{NOTCH2}} = 1.333 \text{ } f_{\text{NOTCH}}$$

ここで、 $f_{\text{NOTCH}}$  は応答内の 1 つ目のノッチの位置。

このビットをアクティブにすると、ADC ノイズが少し増加します。図 22 に、Sinc3 モデファイ・ビットをアクティブにしたときの変化した 1 kHz フィルタ応答を示します。新しいノッチが明らかに 1.33 kHz に見られます。標準の 1 kHz 応答と比較して阻止帯域除去比が改善されています。

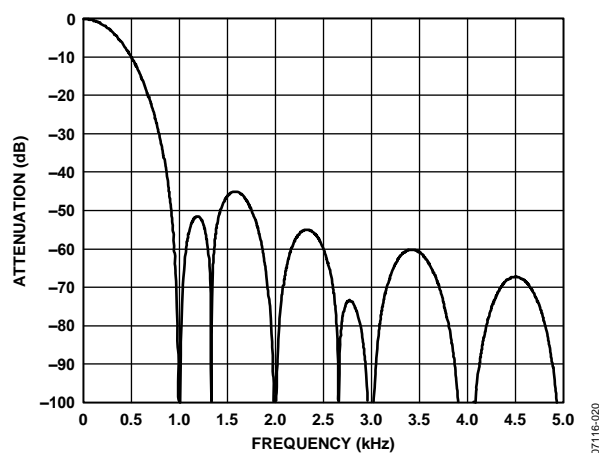


図 22. 修正した Sinc3 デジタル・フィルタの応答、 $f_{\text{ADC}} = 1 \text{ kHz}$   
(ADCFLT = 0x0087)

ADC ノーマル消費電力モードでは、最大 ADC スループット・レートは 8 kHz です。この設定は、ADCFLT MMR 内の SF ビットと AF ビットに 0 を設定して、その他のすべてのフィルタ・オプションをディスエーブルして実現されます。これにより、ADCFLT に変換結果 0x0000 が書き込まれます。図 23 に、これらの設定を採用した 8 kHz フィルタ応答(typ)を示します。

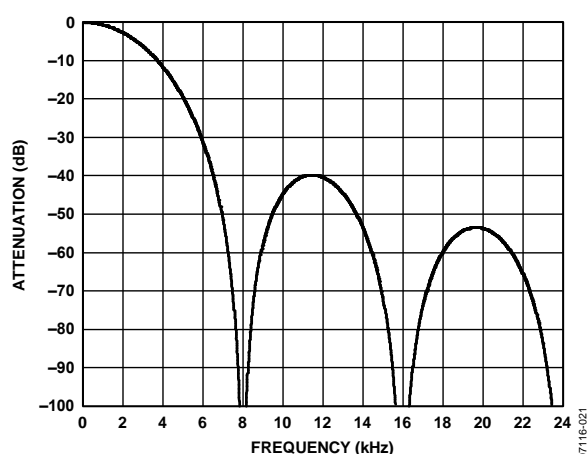


図 23. デジタル・フィルタの応答(Typ)、 $f_{\text{ADC}} = 8 \text{ kHz}$  (ADCFLT = 0x0000)

8 kHz フィルタ応答の修正バージョンは、running average ビット (ADCFLT[14]) をセットすることにより、設定することができます。このため、すべての ADC 出力サンプルに対して running-average-by-two フィルタを追加する効果があり、ADC 出力ノイズがさらに減少します。さらに 8 kHz ADC スループット・レートを維持することにより、ADC セトリング・タイムが 1 変換周期だけ増えます。この設定の修正した周波数応答を図 24 に示します。

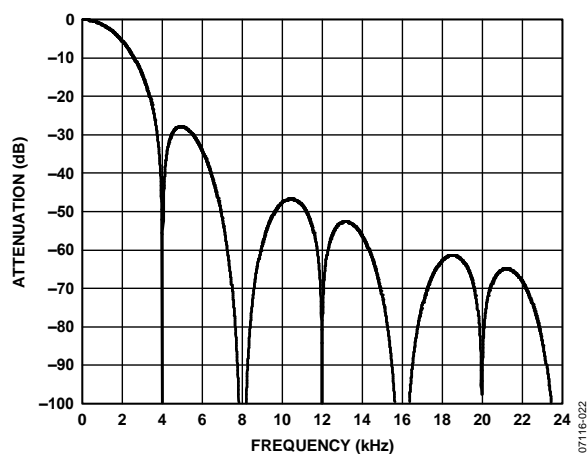


図 24. デジタル・フィルタの応答(Typ)、 $f_{\text{ADC}} = 8 \text{ kHz}$  (ADCFLT = 0x4000)

非常に低いスループット・レートでは、ADCFLT レジスタのチョップ・ビットをイネーブルして、オフセット誤差を小さくし、さらに重要なことには、ADC オフセット誤差の温度ドリフトを小さくすることができます。チョップをイネーブルすると、2つの主要変数(Sinc3 デシメーション・ファクタと平均化係数)が使用可能になり、フィルタ帯域幅と ADC ノイズとのトレードオフにより、最適フィルタ応答を選択することができます。

たとえば、チョップ・イネーブル・ビット ADCFLT[15] に 1 を設定し、SF 値(ADCFLT[6: 0])を 0x1F (10 進数で 31)に増やし、AF 値(ADCFLT[13: 8]) = 0x16 (10 進数で 22)にすると、ADC スループットは 10 Hz になります。この場合の周波数応答を図 25 に示します。

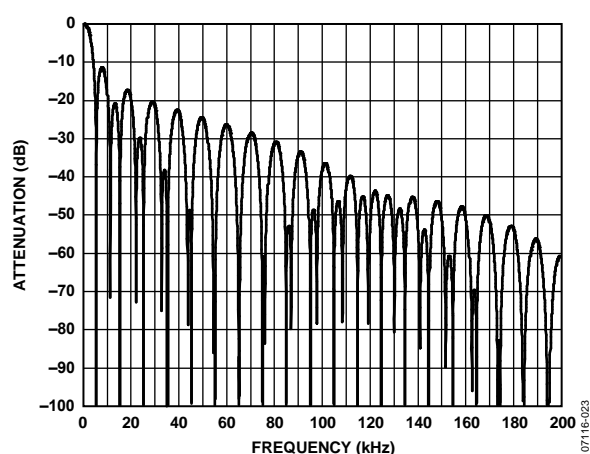


図 25. デジタル・フィルタの応答(Typ)、 $f_{\text{ADC}} = 10 \text{ Hz}$  (ADCFLT = 0x961F)

SF を 0x1D に変更し、AF に 0x3F を設定し、チョップ・ビットをイネーブルし、ADC をノーマル・モードでの最小スループット・レート 4 Hz に設定します。この設定でのデジタル・フィルタ周波数応答を図 26 に示します。

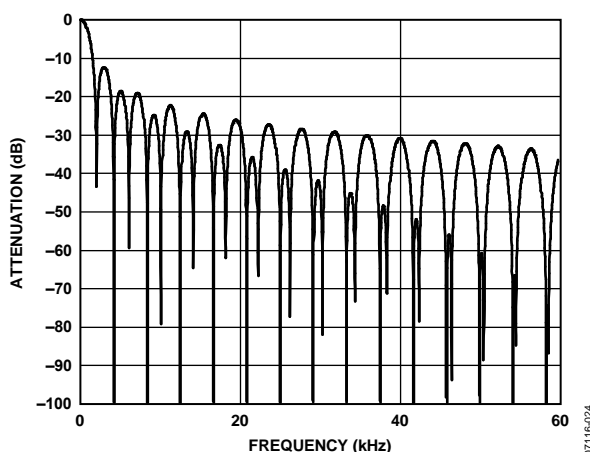


図 26. デジタル・フィルタの応答(Typ)、 $f_{\text{ADC}} = 4 \text{ Hz}$  (ADCFLT = 0xBF1D)

ADC 低消費電力モードでは、ADC の  $\Sigma$ - $\Delta$  変調器クロックは 512 kHz で駆動されなくなりますが、内蔵の低消費電力発振器(131 kHz)から直接駆動されるようになります。したがって、ノーマル・モードの同じ ADCFLT 設定の場合、すべてのフィルタ値は係数約 4 でスケールする必要があります。これは、低消費電力モードで ADC を 1 Hz のスループットに設定できることを意味します。この設定に対するフィルタ周波数応答を図 27 に示します。

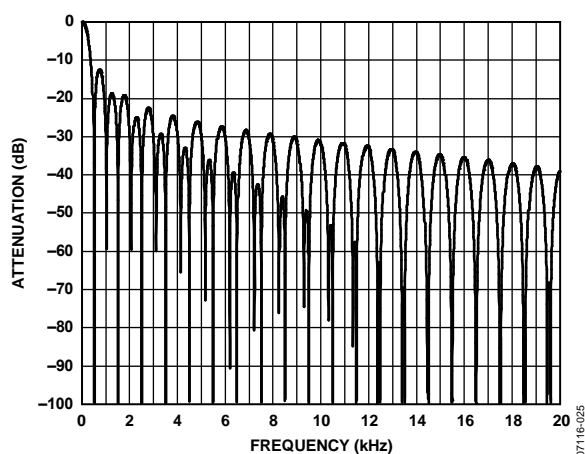


図 27. デジタル・フィルタの応答(Typ)  
 $f_{\text{ADC}} = 1 \text{ Hz}$  (ADCFLT = 0xBD1F)

一般に、ADCFLT レジスタの SF と AF に異なる値を書き込んで、同じ ADC 更新レートを実現することが可能です。実際には、ADCFLT 値のトレードオフは、周波数応答と ADC ノイズとの間で行われます。SF と AF の組み合わせを使った際に最適なフィルタ応答と ADC ノイズを得るためには、SF を 10 進値で 16～40 (0x10～0x28) の範囲から選択し、AF 値を増加させて所望の ADC スループットを実現するようにする方法が良く採用されています。

表 42 に一般的な ADCFLT の設定を示します。

表 42. 一般的な ADCFLT 設定

ADC Mode	SF	AF	Other Config	ADCFLT	$f_{\text{ADC}}$	$t_{\text{SETTLE}}$
Normal	0x1D	0x3F	Chop enabled	0xBF1D	4 Hz	0.5 sec
Normal	0x1F	0x16	Chop enabled	0x961F	10 Hz	0.2 sec
Normal	0x07	0x00	None	0x0007	1 kHz	3 ms
Normal	0x07	0x00	Sinc3 modify	0x0087	1 kHz	3 ms
Normal	0x03	0x00	Running average	0x4003	2 kHz	2 ms
Normal	0x00	0x00	Running average	0x4000	8 kHz	0.5 ms
Low Power	0x10	0x03	Chop enabled	0x8310	20 Hz	100 ms
Low Power	0x10	0x09	Chop enabled	0x8910	10 Hz	200 ms
Low Power	0x1F	0x3D	Chop enabled	0xBD1F	1 Hz	2 sec



## ブロック図

## ADC のキャリブレーション

図 17 と図 18)に示すように、すべての ADC チャンネルを通過する信号は簡単なステップで記述することができます。

1. 入力電圧は入力バッファ(さらに I-ADC の場合は PGA)を経て  $\Sigma$ - $\Delta$  変調器に入力されます。
2. 変調器出力はプログラマブル・デジタル・デシメーション・フィルタに入力されます。
3. チョッピングを使う場合には、フィルタ出力の変換結果は平均処理されます。
4. 変換結果からオフセット値(ADCxOF)が減算されます。
5. この変換結果は、ゲイン値(ADCxGN)を使ってスケールングされます。
6. 変換結果は 16 ビットに丸められるか、または±フルスケールにクランプされて、2 の補数/オフセット・バイナリとしてフォーマットされます。

各 ADC は、対応した固有のオフセットとゲイン補正またはキャリブレーション係数を持っています。これらは、MMR ベースのオフセット・レジスタとゲイン・レジスタ(ADCxOF と ADCxGN)に格納されています。オフセット・レジスタとゲイン・レジスタは、デバイス内部に発生するオフセット誤差とゲイン誤差、さらにシステム・レベル・オフセットとデバイス外部のゲイン誤差を除去する際に使うことができます。

これらのレジスタには、デバイス出荷時に書き込まれたキャリブレーション値がパワーオン時に設定されます。これらの出荷時キャリブレーション値は、内部 ADC 回路の製造時の変動を反映してデバイスごとに異なります。ただし、これらのレジスタは、ユーザー・コードから上書き可能で(ADC がアイドル・モードのときのみ)、さらに ADCMDE[2: 0] MMR 内にあるモード・ビットを使ってユーザーがオフセットまたはゲイン・キャリブレーション・サイクルを起動した場合、自動的に上書きされます。セルフ・キャリブレーションとシステム・キャリブレーションの 2 つのタイプの自動キャリブレーションがユーザーから使用できます。

## セルフ・キャリブレーション

セルフ・キャリブレーションでは、セルフ・オフセット・キャリブレーションの場合は内部で発生した 0 V を使って、セルフ・ゲイン・キャリブレーションの場合はフル・スケール電圧を使って、ADC がキャリブレーション係数を発生します。セルフ・キャリブレーションでは、ADC 内のオフセットとゲインを補正できますが、シャント抵抗偏差/ドリフトや外付けオフセット電圧などのようなシステム内の他の外部誤差を補正することはできません。

セルフ・キャリブレーション・モードでは、キャリブレーションを開始する前に、ADC0GN に PGA = 1 の値を設定しておく必要があります。

## システム・キャリブレーション

セルフ・キャリブレーションでは、セルフ・オフセット・キャリブレーションの場合は内部で発生したゼロ・スケール電圧を使って、セルフ・ゲイン・キャリブレーションの場合はフル・スケール電圧を使って、ADC がキャリブレーション係数を発生します。キャリブレーション係数は、キャリブレーションの間外部 ADC 入力に加えられます。

オフセット・キャリブレーションに要する時間は 1 変換サイクル(チョップ・オフ時は  $3/f_{\text{ADC}}$ 、チョップ・オン時は  $2/f_{\text{ADC}}$ )で、その後に ADC はアイドル・モードに戻ります。ゲイン・キャリブレーションは 2 ステージ処理であるため、オフセット・キャリブレーション・サイクルの 2 倍の時間を要します。キャリブレーション・サイクルが開始されると、実行中の ADC 変換が直ちに停止され、キャリブレーションが自動的に ADCFLT に設定された ADC 更新レートで実行され、ADC はキャリブレーション・サイクルが終了したとき必ずアイドルに戻ります。ADC キャリブレーションはできるだけ低い ADC 更新レート(したがって ADCFLT に大きな SF 値を設定)で開始して、キャリブレーション時の ADC ノイズによる影響を小さくすることが推奨されます。

## オフセットとゲインのキャリブレーションの使い方

チョップ・ビット ADCFLT[15]がイネーブルされている場合、内部 ADC オフセット誤差が小さくなるので、オフセット・キャリブレーションは不要になると思われます。ただし、チョッピングがディスエーブルされている場合には、初期オフセット・キャリブレーションが必要となるため、特に大きな温度の後には、繰り返すことが必要な場合があります。

ゲイン・キャリブレーションは、特に I-ADC (内部 PGA 使用)では、システムの精度要求に応じて、すべての関連するシステム・ゲイン・レンジで実行することが必要となる場合があります。すべてのゲイン・レンジで外部フル・スケール電流を入力することができない場合は、小さい電流を入力して、キャリブレーションで得られた変換結果をスケールすることができます。たとえば、50%の電流を入力し、得られた ADC0GN 値を 2 で除算して、この値を ADC0GN に書き込みます。ADC0GN は 16 ビット・レジスタであるため、システム・キャリブレーションで入力できる入力信号に下限があることに注意してください。入力スパン(システム・ゼロ・スケール値とシステム・フル・スケール値との間の差)は、公称フル・スケール入力範囲の 40%より大きい必要があります( $V_{\text{REF}}$ /ゲインの 40%より大)。

複数のキャリブレーション係数を保存するときは、内蔵フラッシュ/EE メモリを使うことができます。これらの係数は、ユーザー・コードにより該当するキャリブレーション・レジスタへ直接コピーされます(システム構成によりそのように設定されている場合)。一般に、キャリブレーション・レジスタを使う最も容易な方法は、ADC 自動キャリブレーション・モードの一部として必要とされる値を ADC に計算させることです。

I-ADC の出荷時キャリブレーションでは、次の 2 ステップの手順を使っています。

1. 0 A 電流を入力します。ADC に必要とされる PGA 設定などを行い、ADCMDE[2: 0]に書き込みを行って、システム・ゼロ・スケール・キャリブレーションを実行します。これにより、新しいオフセット・キャリブレーション値が ADC0OF に書き込まれます。
2. 選択した PGA 設定に対応したフル・スケール電流を入力します。ADCMDE に書き込みを行って、システム・フル・スケール・キャリブレーションを実行します。これにより、新しいゲイン・キャリブレーション値が ADC0GN に書き込まれます。

## オフセットとゲインのキャリブレーション・レジスタの説明

ADC 信号フロー内の平均ブロックの出力(ADC Sinc3 デジタル・フィルタの応答のセクションからオフセットとゲインのキャリブレーションの使い方のセクションで既に説明)は、±フル・スケール入力スパンが約±0.75 である非整数値と見なすことができます。入力信号である程度のオーバーレンジ機能を許容するために変調器で減衰が発生するため、スパンは±1.0 より小さくなります。この減衰の正確な値は、製造時の偏差のためデバイスごとに異なります。

オフセット係数は、ADC0OF キャリブレーション・レジスタから読み出され、16 ビットの 2 の補数です。シグナル・チェーン内でのこの値の範囲は実質的に±1.0 です。したがって、ADC0OF レジスタの 1 LSB は、ADC0DAT の 1 LSB と一致しません。

ADC0OF の正の値はフィルタ出力からオフセットが減算されたことを意味し、負の値は加算されたことを意味します。このレジスタの公称値は 0x0000 であり、ゼロ・オフセットが除去されることを表しています。ADC の実際のオフセットは、様々な PGA ゲインでデバイスごとに少し異なります。チョッピング・モードをイネーブルすると(ADCFLT[15] = 1)、ADC 内のオフセットを小さくすることができます。

ゲイン係数は AD0GN レジスタから読み出される単位のないスケール・ファクタです。このレジスタの 16 ビット値は 16,384 で除算され、オフセット補正された値で乗算されます。このレジスタの公称値は 0x5555 であり、乗算係数 1.3333 に対応し、公称±0.75 信号にスケールされて±1.0 のフル・スケール出力信号になります。オーバーフロー/アンダーフローがチェックされた後に、2 の補数またはユニポーラ・モードに変換され、その後データ・レジスタに出力されます。

実際のゲインとゼロ・ゲイン誤差に必要とされるスケール係数は、様々な PGA 設定とノーマル/低消費電力モードで、デバイスごとに少し異なります。パワーオン・リセット時に ADC0GN にダウンロードされる値は、PGA ゲイン= 1 に対するスケール係数を表しています。この値を異なる PGA 設定で使うと、あるレベルのゲイン誤差が発生します。この誤差を補正するときは、ユーザー・コードからの書き込みまたは ADC キャリブレーションを実行してキャリブレーション係数を上書きします。

簡素化した ADC 伝達関数は次のようになります。

$$ADC_{OUT} = \left[ \frac{V_{IN} \times PGA}{V_{REF}} - ADCOF \right] \times \frac{ADCGN}{ADCGN_{NOM}}$$

この式は電圧/温度チャンネル ADC に対して有効です。

電流チャンネル ADC に対しては、

$$ADC_{OUT} = \left[ \frac{V_{IN} \times PGA}{V_{REF}} - K \times ADCOF \right] \times \frac{ADCGN}{ADCGN_{NOM}}$$

ここで、 $K$  は PGA ゲイン設定と ADC モードに依存します。

### ノーマル動作モード

PGA ゲインが 1、4、8、16、32、64 の場合、 $K$  係数は 1 です。PGA ゲインが 2 と 128 の場合、 $K$  係数は 2 です。PGA ゲインが 256 の場合、 $K$  係数は 4 です。PGA ゲインが 512 の場合、 $K$  係数は 8 です。

### 低消費電力モード

PGA ゲインが 128 の場合、 $K$  係数は 32 です。さらに、REG\_AVDD/2 リファレンスを使用する場合、 $K$  係数は 2 倍になります。

### 低消費電力プラス・モード

PGA ゲインが 512 の場合、 $K$  係数は 8 です。さらに、REG\_AVDD/2 リファレンスを使用する場合、 $K$  係数は 2 倍になります。

## ADC 診断

ADuC7034 は、両 ADC の診断機能を内蔵しています。

### 電流 ADC の診断

ADuC7034 は、アプリケーション・ボード上の断線状態を検出する機能を内蔵しています。これは、IIN+と IIN-上の 2 つの電流源を使って実現されています。これらは ADC0CON[14: 13]を使って制御されます。

IIN+と IIN-の電流源は±30%の偏差を持っていることに注意してください。したがって、電流源をイネーブルするときは、PGA ゲイン≥ 2 (ADC0CON[3: 0] ≥ 0001)を使用する必要があります。

### 電圧/温度 ADC の診断

ADuC7034 は、電圧/温度チャンネル入力の断線状態を検出する機能を内蔵しています。これは VTEMP と GND\_SW の 2 の電流源を使って実現され、ADC1CON[14: 13]を使って制御されます。

## 電源サポート回路

ADuC7034 は、ロー・ドロップアウト(LDO)レギュレータを 2 つ内蔵しています。これらは、バッテリー電圧から直接駆動されて 2.6 V の内部電源を発生します。この 2.6 V 電源は、ARM7 MCU と内蔵の高精度アナログ回路などのペリフェラルの電源電圧として使われます。

デジタル LDO は、REG\_DVDD に並列接続した 2.2  $\mu$ F と 0.1  $\mu$ F の 2 個の出力コンデンサを使って動作し、アナログ LDO は REG\_AVDD の出力コンデンサ(0.47  $\mu$ F)を使って動作します。

出力コンデンサの ESR は、LDO 制御ループの安定性に影響を与えます。レギュレータの安定性のために、32 kHz 以上の周波数で 5  $\Omega$  以下の ESR の使用が推奨されます。

さらに、MCU の安全な動作とバッテリー電源の連続モニターのために、パワーオン・リセット(POR)機能、電源モニター(PSM)機能、低電圧フラグ(LVF)機能も内蔵されています。

POR 回路は、100  $\mu$ s 以上の VDD パワーオン時間(0 V から 12 V へ)で動作するようにデザインされています。したがって、外部電源のデカップリング部品を注意深く選択して、VBAT パワーオン状態とは無関係に、VDD 電源のパワーオン時間が常に 100  $\mu$ s 以上になるようにすることが推奨されます。VDD の直列抵抗とデカップリング・コンデンサの組み合わせを選択して、RC 時定数が少なくとも 100  $\mu$ s になるようにします。図 57 に 10  $\Omega$  と 10  $\mu$ F の例を示します。

図 28 に示すように、電源電圧(VDD)が 3 V の最小動作電圧に到達すると、POR 信号により ARM コアが 20 ms 間リセット状態に維持されます。これにより、ARM コアと関連ペリフェラルへ供給されるレギュレーションされた電源電圧(REG\_DVDD)が、フル機能を保証する最小動作電圧より確実に高くなることが保証されます。RSTSTA MMR 内の POR フラグがセットされて、POR リセット・イベントが発生したことが表示されます。

また、ADuC7034 は電源モニター(PSM)機能も内蔵しています。PSM を HVCFG0[3]を使ってイネーブルすると、VDD ピンで電圧を連続的にモニターします。この電圧が 6.0 V (typ)を下回ると、PSM フラグが自動的にアサートされシステム割り込みが発生します(IRQ/FIQEN[16]を使って高電圧 IRQ がイネーブルされている場合)。この動作例を図 28 に示します。

POR レベルより低い電圧では、さらに低電圧フラグをイネーブルすることができます(HVCFG0[2])。このフラグを使うと、リセット・イベント後に SRAM 値が有効であることを表示することができます。低電圧フラグの動作を図 28 に示します。HVCFG0[2]がイネーブルされると、このビット状態を HVMON[3]を使ってモニターすることができます。HVCFG0[2]ビットがセットされている場合、SRAM 値が有効であることを示しています。HVCFG0[2]ビットがクリアされている場合、SRAM 値が壊れていることを示しています。

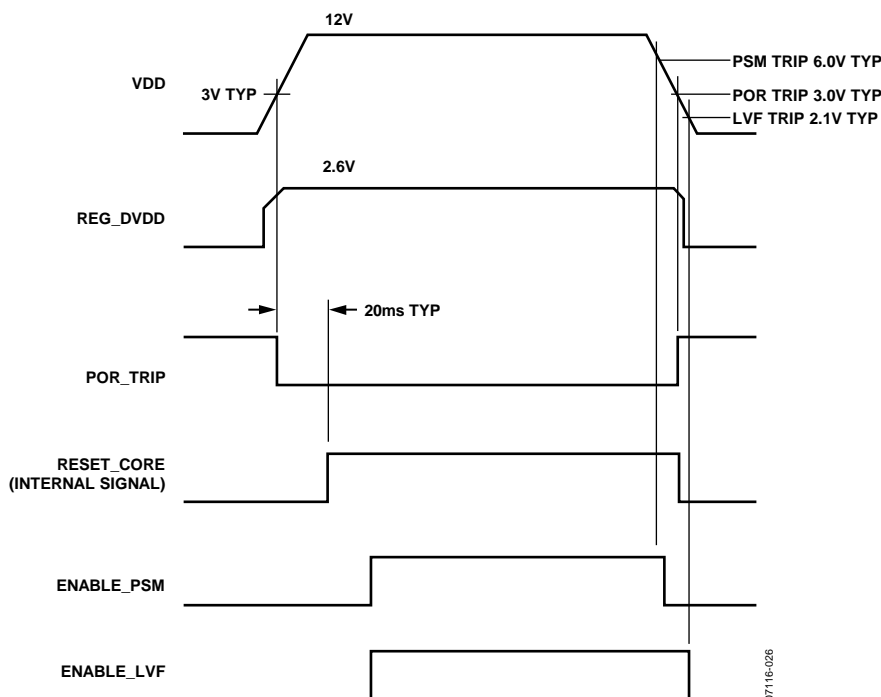


図 28.代表的なパワーオン・サイクル

## ADuC7034のシステム・クロック

ADuC7034 は、内蔵の高精度発振器、内蔵の低消費電力発振器、または外付け時計水晶の 3 つのクロック・ソースから駆動できる非常に柔軟なクロック・システムを内蔵しています。これらの 3 つのオプションを図 29 に示します。

各内部発振器は 4 分周されて 32.768 kHz のクロック周波数を発生します。PLL は、内部発振器または外付け水晶から供給される 32.768 kHz の倍数(625)にロックして、システムに安定な 20.48 MHz のクロックを供給します。コアはこの周波数またはそのバイナリ分周で動作できるため、ピーク性能が不要の場合には省電力が可能です。

デフォルトでは、PLL は低消費電力発振器から駆動され、20.48 MHz のクロック・ソースを発生します。ARM7TDMI コアは、PLL 出力から分周されたクロック( POWCON レジスタの CD ビッ

トにより設定)で駆動されます。デフォルトでは、CD ビットが PLL 出力の 2 分周に設定されるため、10.24 MHz のコア・クロックが発生されます。分周比はバイナリ重みの分周比 1~128 となるように設定可能であるため、ユーザー・コードから動的に変更することができます。

ADC は PLL 出力を分周したクロックで駆動され、512 kHz の ADC クロック・ソースを発生します。低消費電力モードでは、ADC クロック・ソースが標準の 512 kHz から 131 kHz の低消費電力発振器へ切り替えられます。

低消費電力発振器駆動は 4 分周回路を経由してウォッチドッグとコア・ウェイクアップ・タイマーを駆動していることに注意してください。ADuC7034 クロック・システムの詳しいブロック図を図 29 に示します。

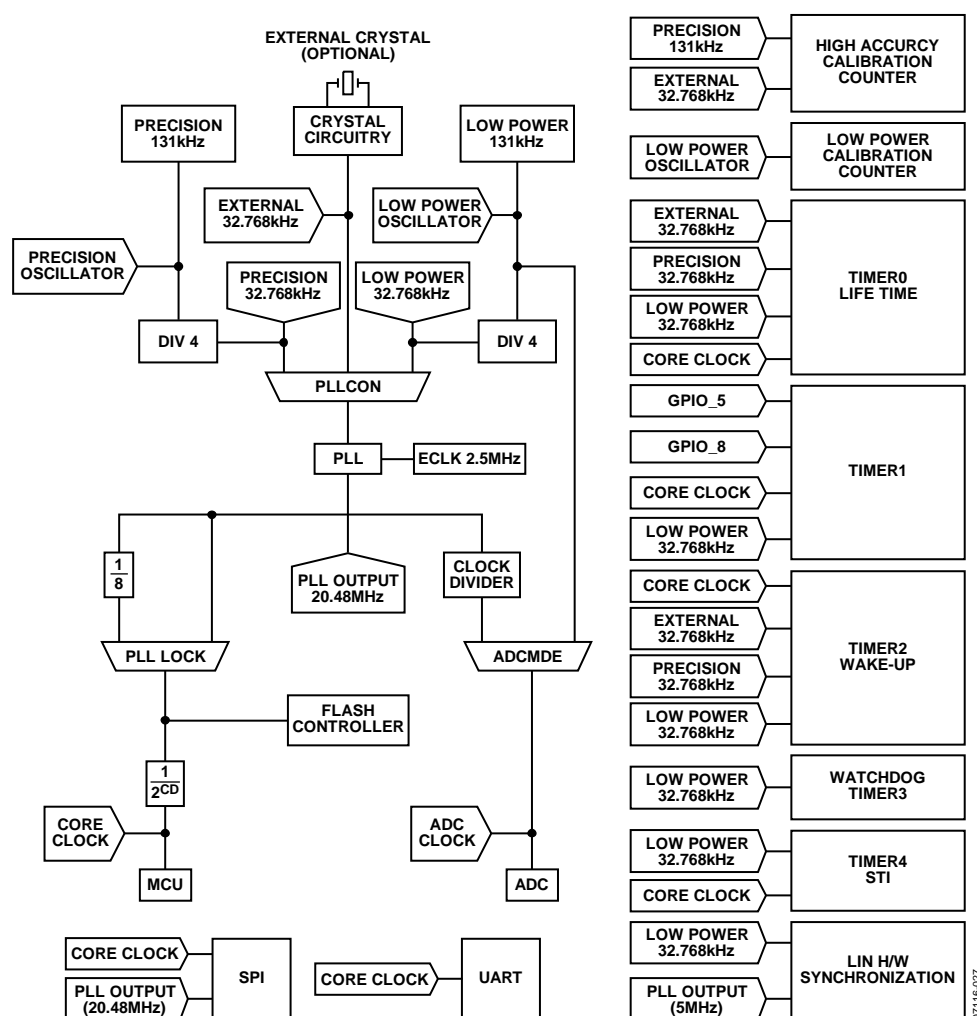


図 29. ADuC7034 のシステム・クロックの発生

動作モード、クロック・モード、プログラマブルなクロック分周器は、PLLCON と POWCON の 2 つの MMR を使って制御され、PLL のステータスは PLLSTA で表示されます。PLLCON はクロック・システムの動作モードを制御し、POWCON はコア・クロック周波数とパワーダウン・モードを制御します。PLLSTA は、XTAL1 ピン上の発振器の存在、PLL ロック・ステータス、PLL 割り込みを表示します。

ADuC7034 をパワーダウンさせる前に、PLL クロック・ソースを 131 kHz の低消費電力発振器に切り替えてウェイクアップ時間を短くすることが推奨されます。低消費電力発振器は常にアクティブです。

ADuC7034 がパワーダウンからウェイクアップすると、PLL が発振を開始すると直ちに MCU コアはコードの実行を開始します。これは、PLL が周波数 20.48 MHz にロックする前に発生します。

フラッシュ/EE メモリ・コントローラが有効なクロックを使って実行できるように、PLL がロックしている間は、コントローラは PLL 出力を 8 分周したクロック・ソースで駆動されます。PLL がロックすると、PLL 出力は PLL 出力の 8 分周からロックされた PLL 出力へ切り替えられます。

ユーザー・コードが正確な PLL 出力を必要とする場合は、ユーザー・コードはウェイクアップ後に通常のコード実行を開始する前に、ロック・ステータス・ビット PLLSTA[1]をポーリングする必要があります。

PLL がウェイクアップ後に 131 kHz の低消費電力発振器のようなアクティブ・クロック・ソースから駆動されると、PLL は 2 ms 以内にロックします。

PLLCON は、PLLKEY0 (書き込み前キー)と PLLKEY1 (書き込み後キー)の 2 つの 32 ビット・キーで保護される MMR です。キーの値は次のようになります。

PLLKEY0 = 0x000000AA

PLLKEY1 = 0x00000055

POWCON は、POWKEY0 (書き込み前キー)と POWKEY1 (書き込み後キー)の 2 つの 32 ビット・キーで保護される MMR です。キーの値は次のようになります。

POWKEY0 = 0x00000001

POWKEY1 = 0x000000F4

両 MMR への書き込み例を次に示します。

```
POWKEY0      =      0x01    //POWCON key
POWCON       =      0x00    //Full power-down
POWKEY1      =      0xF4    //POWCON key
iA1*iA2      //Dummy cycle to
clear the pipeline, where iA1 and iA2 are
defined as longs and are not 0

PLLKEY0      =      0xAA    //PLLCON key
PLLCON       =      0x0     //Switch to low
power osc.

PLLKEY1      =      0x55    //PLLCON key
iA1*iA2      //Dummy cycle to
prevent Flash/EE access during clock change
```

## システム・クロック・レジスタ

### PLLSTA レジスタ

名前: PLLSTA

アドレス: 0xFFFF0400

デフォルト値: 0xXX

アクセス: 読み出し専用

機能: この 8 ビット・レジスタを使うと、ユーザー・コードから PLL のロック状態と外付け水晶のステータスをモニターすることができます。

表 43.PLLSTA MMR のビット説明

Bit	Description
7 to 3	Reserved.
2	XTAL clock. This read only bit is a live representation of the current logic level on XTAL1. It indicates if an external clock source is present by alternating between high and low at a frequency of 32.768 kHz.
1	PLL lock status bit. This is a read only bit. Set when the PLL is locked and outputting 20.48 MHz. Cleared when the PLL is not locked and outputting an $f_{\text{CORE}}$ divide-by-8 clock source.
0	PLL interrupt. Set if the PLL lock status bit signal goes low. Cleared by writing 1 to this bit.

**PLLCON プリライト・キーレジスタ**

名前: PLLKEY0

アドレス: 0xFFFFF0410

アクセス: 書き込み専用

キー: 0x000000AA

機能: PLLKEY0 は PLLCON の書き込み前キーです。PLLCON は、PLLCON の前および後に 32 ビット・キー値を書き込む必要のあるキー・レジスタです。

**PLLCON ポストライト・キーレジスタ**

名前: PLLKEY1

アドレス: 0xFFFFF0418

アクセス: 書き込み専用

キー: 0x00000055

機能: PLLKEY1 は PLLCON の書き込み後キーです。PLLCON は、PLLCON の前および後に 32 ビット・キー値を書き込む必要のあるキー・レジスタです。

**PLLCON レジスタ**

名前: PLLCON

アドレス: 0xFFFFF0414

デフォルト値: 0x00

アクセス: 読み書き可能

機能: この 8 ビット・レジスタを使うと、ユーザー・コードから、3 種類の発振器ソースから PLL ソース・クロックを動的に選択できます。

表 44.PLLCON MMR のビット説明<sup>1</sup>

Bit	Description
7 to 2	Reserved. These bits should be written as 0 by user code.
1 to 0	PLL clock source. 00 = low power 131 kHz oscillator. 01 = precision 131 kHz oscillator. 10 = external 32.768 kHz crystal. 11 = reserved.

<sup>1</sup> ユーザー・コードから MCU クロック・ソースを切り替えると、クロック・スイッチが PLLCON に書き込まれた後にダミーMCU サイクルが挿入されます。

**POWCON プリライト・キーレジスタ**

名前: POWKEY0

アドレス: 0xFFFFF0404

アクセス: 書き込み専用

キー: 0x00000001

機能: POWKEY0 は POWCON の書き込み前キーです。POWCON は、POWCON の前および後に 32 ビット・キー値を書き込む必要のあるキー・レジスタです。

**POWCON ポストライト・キーレジスタ**

名前: POWKEY1

アドレス: 0xFFFFF040C

アクセス: 書き込み専用

キー: 0x000000F4

機能: POWKEY1 は POWCON の書き込み後キーです。POWCON は、POWCON の前および後に 32 ビット・キー値を書き込む必要のあるキー・レジスタです。

**POWCON レジスタ**

名前: POWCON

アドレス: 0xFFFFF0408

デフォルト値: 0x079

アクセス: 読み書き可能

機能: この 8 ビット・レジスタを使うと、ユーザー・コードから、種々の低消費電力モードを動的に開始させることができ、ARM7TDMI コアの速度を制御する分周器を変更することができます。

表 45.POWCON MMR のビット説明

Bit	Description
7	<p>Precision 131 kHz input enable.</p> <p>Set by the user to enable the precision 131 kHz input enable. The precision 131 kHz oscillator must also be enabled using HVCFG0[6]. Setting this bit increases current consumption by approximately 50 <math>\mu</math>A and should be disabled when not in use.</p> <p>Cleared by the user to power down the precision 131 kHz input enable.</p>
6	<p>XTAL power-down.</p> <p>Set by the user to enable the external crystal circuitry.</p> <p>Cleared by the user to power down the external crystal circuitry.</p>
5	<p>PLL power-down. Timer peripherals power down if driven from the PLL output clock. Timers driven from an active clock source remain in normal power mode.</p> <p>Set by default, or set by hardware upon a wake-up event.</p> <p>Cleared to 0 to power down the PLL. The PLL cannot be powered down if either the core or peripherals are enabled; therefore, Bit 3, Bit 4, and Bit 5 must be cleared simultaneously.</p>
4	<p>Peripherals power-down. The peripherals that are powered down by this bit are as follows: SRAM, Flash/EE memory and GPIO interfaces, and SPI and UART serial ports.</p> <p>Set by default, or set by hardware upon a wake-up event. The wake-up timer (Timer2) can be active if the device is driven from the low power oscillator even if this bit is set.</p> <p>Cleared to power down the peripherals. The peripherals cannot be powered down if the core is enabled; therefore, Bit 3 and Bit 4 must be cleared simultaneously. LIN can respond to wake-up events even if this bit is cleared.</p>
3	<p>Core power-down. If user code powers down the MCU, include a dummy MCU cycle after the power-down command is written to POWCON.</p> <p>Set by default, or set by hardware on a wake-up event.</p> <p>Cleared to power down the ARM core.</p>
2 to 0	<p>Core clock divider (CD) bits.</p> <p>000 = 20.48 MHz, 48.83 ns.</p> <p>001 = 10.24 MHz, 97.66 ns.</p> <p>010 = 5.12 MHz, 195.31 ns.</p> <p>011 = 2.56 MHz, 390.63 ns.</p> <p>100 = 1.28 MHz, 781.25 ns.</p> <p>101 = 640 kHz, 1.56 <math>\mu</math>s.</p> <p>110 = 320 kHz, 3.125 <math>\mu</math>s.</p> <p>111 = 160 kHz, 6.25 <math>\mu</math>s.</p>

## 低消費電力クロックのキャリブレーション

高精度の 131 kHz 発振器または外付け 32.768 kHz 時計水晶を使って、131 kHz の低消費電力発振器をキャリブレーションすることができます。この機能には、2 つの専用キャリブレーション・カウンタと発振器トリム・レジスタが使用されます。

1 つ目のカウンタ(カウンタ 0)は 9 ビット幅で、高精度発振器または外付け時計水晶からクロック駆動されます。2 つ目のカウンタ(カウンタ 1)は 10 ビット幅で、低消費電力発振器から直接 131 kHz で、または 4 分周された 32.768 kHz でクロック駆動されます。各キャリブレーション・カウンタのソースは同じ周波数である必要があります。トリム・レジスタ(OSC0TRM)は 8 ビット幅のレジスタで、下位 4 ビットはユーザーからアクセス可能なトリム・ビットです。OSC0TRM 値を大きくすると低消費電力発振器の周波数は低くなり、値を小さくすると周波数は高くなります。131 kHz の公称周波数に基づき、トリム範囲(typ)は 127 kHz~135 kHz です。

次の MMR を使って、クロック・キャリブレーション・モードを設定/制御します。

- OSC0CON: control bits for calibration.
- OSC0STA: calibration status register.
- OSC0VAL0: 9-bit counter、Counter 0.
- OSC0VAL1: 10-bit counter、Counter 1.
- OSC0TRM: oscillator trim register.

図 30 にキャリブレーション・ルーチンのフローチャートを示します。ユーザー・コードから、OSC0CON を使ってキャリブレーション・シーケンスを設定し、イネーブルします。高精度発振器キャリブレーション・カウンタ(OSC0VAL0)が 0x1FF に到達すると、両カウンタがディスエーブルされます。ユーザー・コードから、低消費電力発振器キャリブレーション・カウンタの値を読み出します。次の 3 つの場合があります:

- OSC0VAL0 = OSC0VAL1。これ以上の動作は不要。
- OSC0VAL0 > OSC0VAL1。低消費電力発振器は低速で動作中。OSC0TRM を減少させることが必要。
- OSC0VAL0 < OSC0VAL1。低消費電力発振器は高速で動作中。OSC0TRM を増加させることが必要。

OSC0TRM を変更すると、ルーチンが再度実行され、新しい周波数がチェックされます。

内部の高精度 131 kHz 発振器を使うと、キャリブレーション・ルーチンの実行に約 4 ms を要します。外付け 32.768 kHz 水晶を使うと、この時間は 16 ms に増えます。

クロック・キャリブレーション・ルーチンを起動する前に、PLL クロック・ソースとして高精度 131 kHz 発振器または外付け 32.768 kHz 時計水晶に切り替える必要があります。これを行わないと、OSC0TRM が変更されるごとに、PLL はロックから外れるので、低消費電力発振器のキャリブレーションに要する時間が増えます。

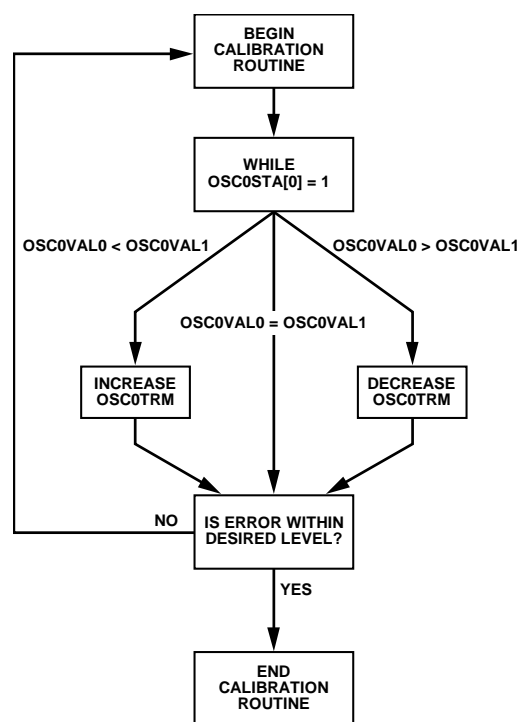


図 30.OSC0TRM キャリブレーション・ルーチンのフローチャート

07116-028



**OSC0TRM レジスタ**

名前: OSC0TRM

アドレス: 0xFFFF042C

デフォルト値: 0xX8

アクセス: 読み書き可能

機能: この 8 ビット・レジスタは、低消費電力発振器トリムを制御します。

表 46.OSC0TRM MMR のビット説明

Bit	Description
7 to 4	Reserved. Should be written as 0s.
3 to 0	User-defined trim bits.

**OSC0CON レジスタ**

名前: OSC0CON

アドレス: 0xFFFF0440

デフォルト値: 0x00

アクセス: 読み書き可能

機能: この 8 ビット・レジスタは、低消費電力発振器キャリブレーション・ルーチンを制御します。

表 47.OSC0CON MMR のビット説明

Bit	Description
7 to 5	Reserved. Should be written as 0.
4	Calibration source. Set to select external 32.768 kHz crystal. Cleared to select internal precision 131 kHz oscillator.
3	Calibration reset. Set to reset the calibration counters and disable the calibration logic. Cleared by user code after a calibration reset.
2	OSC0VAL1 reset. Set by user code to clear OSC0VAL1. Cleared by user code after an OSC0VAL1 reset.
1	OSC0VAL0 reset. Set by user code to clear OSC0VAL0. Cleared by user code after an OSC0VAL0 reset.
0	Calibration enable. Set to begin calibration. Cleared to abort calibration.

**OSC0STA レジスタ**

名前: OSC0STA

アドレス: 0xFFFF0444

デフォルト値: 0x00

アクセス: 読み出し専用

機能: この 8 ビット・レジスタは、低消費電力発振器キャリブレーション・ルーチンのステータスを表示します。

表 48.OSC0STA MMR のビット説明

Bit	Description
7 to 2	Reserved.
1	Calibration complete. Set by hardware upon completion of a calibration cycle. Cleared by a read of OSC0VAL1.
0	Calibration busy. Set by hardware if calibration is in progress. Cleared by hardware if calibration is completed.

**OSC0VAL0 レジスタ**

名前: OSC0VAL0

アドレス: 0xFFFF0448

デフォルト値: 0x00

アクセス: 読み出し専用

機能: この 9 ビット・カウンタは、131 kHz の高精度発振器または 32.768 kHz の外付け水晶からクロック駆動されます。

**OSC0VAL1 レジスタ**

名前: OSC0VAL1

アドレス: 0xFFFF044C

デフォルト値: 0x00

アクセス: 読み出し専用

機能: この 10 ビット・カウンタは、131 kHz の低消費電力発振器からクロック駆動されます。

## プロセッサ参照ペリフェラル

### 割り込みシステム

ADuC7034 には 16 の割り込み原因があり、割り込みコントローラから制御されます。大部分の割り込みは、ADC と UART の内蔵ペリフェラルから発生します。ARM7TDMI CPU コアは、通常の割り込み要求(IRQ)と高速割り込み要求(FIQ)の 2 タイプの割り込みのみを認識します。すべての割り込みは個別にマスクできます。

割り込みシステムの制御と設定は、9 個の割り込み関連レジスタを使って管理します。その内の 4 個は IRQ 専用、4 個は FIQ 専用、残りの 1 個は割り込み原因の選択用です。表 49 に示すように、選択された割り込み原因が IRQ レジスタと FIQ レジスタ内の対応するビットで表示されます。

割り込みサービス・ルーチン (ISR) に入ると直ぐ IRQSTA/FIQSTA を待避させて、すべての有効な割り込み原因をサービスできるようにする必要があります。

ARM7TDMI コアまでの割り込み発生ルートを図 31 に示します。

1 ms ごとにタイムアウトするように設定されたタイマー0 の例をとりあげます。最初の 1 ms タイムアウトの後、FIQSIG/IRQSIG[2]がセットされ、T0CLRI への書き込みによってクリアされます。IRQEN または FIQEN でタイマー0 がイネーブルされない場合、FIQSTA/IRQSTA[2]はセットされないため、割り込みは発生しません。IRQEN または FIQEN でタイマー0 がイネーブルされると、FIQSTA/IRQSTA[2]がセットされて、割り込み(FIQ または IRQ)が発生します。

CPSR 内の IRQ と FIQ の割り込みビット定義は、ARM コアによる割り込み認識のみを制御し、ペリフェラルによる認識は制御しないことに注意してください。たとえば、IRQEN を使って、IRQ を発生するようにタイマー2 を設定すると、CPSR 内の IRQ 割り込みビットがセットされ(ディスエーブルされ)、ADuC7034 がパワーダウンします。割り込みが発生すると、ペリフェラルはウェイクアップしますが、ARM コアはパワーダウンを維持します。これは POWCON = 0x71 と同じことを意味します。ARM コアは、リセット・イベント(発生した場合)でのみパワーアップすることができます。

表 49.IRQ/FIQ MMR のビット説明

Bit	Description	Comments
0	All interrupts OR'ed (FIQ only)	
1	SWI: not used in IRQEN/CLR and FIQEN/CLR	
2	Timer0	See the Timer0—Lifetime Timer section.
3	Timer1	See the Timer1 section.
4	Timer2 or wake-up timer	See the Timer2—Wake-Up Timer section.
5	Timer3 or watchdog timer	See the Timer3—Watchdog Timer section.
6	Timer4 or STI timer	See the Timer4—STI Timer section.
7	LIN hardware	See the LIN (Local Interconnect Network) Interface section.
8	Flash/EE interrupt	See the Flash/EE Control Interface section.
9	PLL lock	See the ADuC7034 System Clocks section.
10	ADC	See the 16-Bit $\Sigma$ - $\Delta$ Analog-to-Digital Converters section.
11	UART	See the UART Serial Interface section.
12	SPI master	See the Serial Peripheral Interface section.
13	XIRQ0 (GPIO IRQ0)	See the General-Purpose I/O section.
14	XIRQ1 (GPIO IRQ1)	See the General-Purpose I/O section.
15	Reserved	
16	IRQ3 high voltage IRQ	High voltage interrupt; see the High Voltage Peripheral Control Interface section.
17	SPI slave	See the Serial Peripheral Interface section.
18	XIRQ4 (GPIO IRQ4)	See the General-Purpose I/O section.
19	XIRQ5 (GPIO IRQ5)	See the General-Purpose I/O section.

### 通常割り込み(IRQ)要求

IRQ は、プロセッサの IRQ モードを開始させる例外信号です。内部イベントと外部イベントの汎用割り込み処理のサービスに使用されます。

32 ビットの論理和をとり、ARM7TDMI コアへの 1 本の IRQ 信号が発生されます。4 個の 32 ビット・レジスタが IRQ 専用に設けてあります(IRQSIG～IRQSTA のセクション参照)。

#### IRQSIG レジスタ

名前: IRQSIG

アドレス: 0xFFFF0004

デフォルト値: 0x00000000

アクセス: 読み出し専用

機能: この 32 ビット・レジスタは、すべての IRQ 割り込み原因の現在の状態を表示します。ペリフェラルが IRQ 信号を発生すると、IRQSIG の対応するビットがセットされます。その他の場合はクリアされます。ペリフェラル内の割り込みがクリアされると、IRQSIG ビットがクリアされます。すべての IRQ 原因は、IRQEN MMR 内でマスクすることができます。

#### IRQSTA レジスタ

名前: IRQSTA

アドレス: 0xFFFF0000

デフォルト値: 0x00000000

アクセス: 読み出し専用

機能: IRQSTA は読み出し専用レジスタで、現在イネーブル中の IRQ 原因のステータス(IRQSIG ビットと IRQEN ビットの論理積)を表示します。1 に設定されると、その原因が ARM7TDMI コアへアクティブ IRQ 要求を発生します。優先順位エンコーダまたは割り込みベクタ生成はありません。この機能は、共通の割り込み処理ルーチン内でソフトウェアにより実現されます。

#### IRQEN レジスタ

名前: IRQEN

アドレス: 0xFFFF0008

デフォルト値: 0x00000000

アクセス: 読み書き可能

機能: IRQEN は、現在のイネーブル・マスク値を提供します。ビットが 1 に設定されると、対応する要求原因がイネーブルされて IRQ 例外信号が発生します。ビットが 0 に設定されると、対応する要求原因がディスエーブルされ(マスクされ)、IRQ 例外が発生しなくなります。IRQEN レジスタは、割り込みをディスエーブルするために使用することはできません。

#### IRQCLR レジスタ

名前: IRQCLR

アドレス: 0xFFFF000C

アクセス: 書き込み専用

機能: IRQCLR は、割り込み原因をマスクする IRQEN レジスタのクリアに使用します。1 に設定された各ビットが IRQEN レジスタ内の対応するビットをクリアし、残りのビットは変化しません。IRQEN と IRQCLR のレジスタ対として使うと、アトミックなリード・モデファイ・ライト命令を使用せずにイネーブル・マスクの独立な操作が可能になります。

### 高速割り込み要求(FIQ)

FRQ は、プロセッサの FRQ モードを開始させる例外信号です。この割り込みは、データ転送または通信チャンネルを小さいレイテンシでサービスします。FIQ インターフェースは IRQ インターフェースと同じで、第 2 レベルの割り込み(最高優先順位)を提供します。4 個の 32 ビット・レジスタ(FIQSIG、FIQEN、FIQCLR、FIQSTA)が設けてあります。

FIQSTA のビット 32～ビット 1 の論理和がとられてコアに対する FIQ 信号がつくられ、さらに FIQ レジスタおよび IRQ レジスタ(FIQ 原因)のビット 0 に対する FIQ 信号にも使われます。

FIQEN と FIQCLR のロジックは、IRQ マスクと FIQ マスクの両方で割り込み原因がイネーブルされるのを防止しています。このため、FIQEN 内でビットが 1 に設定されると、IRQEN 内の同じビットがクリアされます。同様に、IRQEN 内でビットが 1 に設定されると、FIQEN 内の同じビットがクリアされます。割り込み原因は、IRQEN マスクと FIQEN マスクの両方でディスエーブルすることができます。

### プログラム割り込み

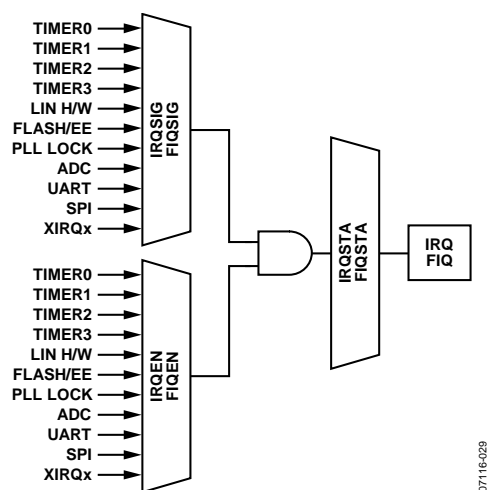
プログラム割り込みはマスク可能ではないため、別のレジスタ(SWICFG)を使って制御します。このレジスタは、IRQSTA レジスタと IRQSIG レジスタおよび/または FIQSTA レジスタと FIQSIG レジスタの両方に、同時に書き込みを行います。

ソフトウェア割り込み専用の 32 ビット・レジスタ SWICFG を表 50 に示します。この MMR を使うと、プログラム原因の割り込みを制御することができます。

表 50.SWICFG MMR のビット説明

Bit	Description
31 to 3	Reserved.
2	Programmed interrupt FIQ. Setting/clearing this bit corresponds to setting/clearing Bit 1 of FIQSTA and FIQSIG.
1	Programmed interrupt IRQ. Setting/clearing this bit corresponds to setting/clearing Bit 1 of IRQSTA and IRQSIG.
0	Reserved.

割り込みコントローラから検出されるため、さらに IRQSTA レジスタと FIQSTA レジスタでユーザーから検出されるため、すべての割り込み信号は、少なくとも最小割り込みレイテンシ時間アクティブである必要があることに注意してください。



07116-029

図 31.割り込みの構造

## タイマー

ADuC7034 は次の 5 個の汎用タイマー/カウンタを内蔵しています。

- タイマー0、寿命時間タイマー
- タイマー1
- タイマー2、ウェイクアップ・タイマー
- タイマー3、ウォッチドッグ・タイマー
- タイマー4、STI タイマー

5 個のタイマーはノーマル動作モードでは、フリー・ランニングまたは周期動作を行います。

フリー・ランニング・モードでは、カウンタは最大/最小値からゼロ/フルスケールまでデクリメント/インクリメントし、最大/最小値で再度動作を開始します。

周期モードでは、カウンタはロード・レジスタ(TxLD MMR)の値からゼロ/フルスケールまでデクリメント/インクリメントし、ロード・レジスタに格納されている値で再度動作を開始します。TxCON MMR の前に TxLD MMR を設定する必要があることに注意してください。

対応する値レジスタ(TxVAL)をアクセスすると、何時でもカウンタ値を読み出すことができます。対応するタイマーのコントロール・レジスタ(TxCON)に書き込みを行うと、タイマーが起動されます。

ノーマル・モードでは、カウンタ値がゼロ(カウントダウンの場合)またはフルスケール(カウントアップの場合)になるごとに、IRQ が発生します。IRQ をクリアするときは、そのタイマーのクリア・レジスタ(TxCLRI)に任意の値を書き込みます。

さらに、タイマー0、タイマー1、タイマー4 にはキャプチャ・レジスタ(それぞれ T0CAP、T1CAP、T4CAP)があり、イネーブ

ルされた IRQ イベントでキャプチャした値を格納します。IRQ を表 51 に示します。

表 51. キャプチャ・レジスタに対する IRQ イベント

Event Number	Description
0	Timer0, or the lifetime timer
1	Timer1
2	Timer2, or the wake-up timer
3	Timer3, or the watchdog timer
4	Timer4, or the STI timer
5	LIN hardware
6	Flash/EE interrupt
7	PLL lock
8	ADC
9	UART
10	SPI master
11	XIRQ0 (GPIO_0)
12	XIRQ1 (GPIO_5)
13	Reserved
14	IRQ3 high voltage interrupt
15	SPI slave
16	XIRQ4 (GPIO_7); see the General-Purpose I/O section
17	XIRQ5 (GPIO_8); see the General-Purpose I/O section

## タイマー0—寿命タイマー

タイマー0 はプログラマブルなプリスケアラが付いた、汎用の 48 ビット・カウントアップ・タイマー、または 16 ビット・カウントアップ/ダウン・タイマーです。タイマー0 はコア・クロックまたは 32.768 kHz の低消費電力発振器からクロック駆動することができ、1、16、256、または 32,768 分周のプリスケアラが付いています。コアが 20.48 MHz で動作し、プリスケアラが 1 のとき、最小分解能は 48.83 ns になります。

48 ビット・モードでは、タイマー0 はゼロからカウントアップします。カウンタの現在値は、T0VAL0 と T0VAL1 から読み出すことができます。

16 ビット・モードでは、タイマー0 はカウントアップまたはカウントダウンすることができます。16 ビット値を TOLD に書き込んで、カウンタにロードすることができます。カウンタの現在値は、T0VAL0 から読み出すことができます。タイマー0 キャプチャ・レジスタ(T0CAP)は、選択した最初の IRQ の原因からトリガーすることができます。キャプチャ・レジスタがトリガーされると、タイマーの現在値が T0CAP にコピーされ、タイマーは動作を続けます。この機能を使うと、割り込みサービスの場合だけより高い精度で、イベントの開始をとらえることができます。

タイマー0 は、タイマー0 がオーバーフローしたとき、TOLD からの値を再ロードします。

タイマー0 のインターフェースは次の 6 個の MMR から構成されています。

- TOLD は 16 ビット・レジスタで、カウンタにロードされる 16 ビット値を格納します。TOLD は 16 ビット・モードでのみ使用できます。
- T0CAP は、イネーブルされた IRQ イベントによりキャプチャされた 16 ビット値を格納する 16 ビット・レジスタです。T0CAP は 16 ビット・モードでのみ使用できます。
- T0VAL0 と T0VAL1 は 16 ビットおよび 32 ビット・レジスタであり、それぞれ下位 16 ビットと上位 32 ビットを格納します。T0VAL0 と T0VAL1 は読み出し専用です。16 ビット・モードでは、16 ビットの T0VAL0 が使用されます。48 ビット・モードでは、16 ビットの T0VAL0 と 32 ビットの T0VAL1 が使用されます。
- T0CLRI は 8 ビット・レジスタです。このレジスタに任意の値を書き込むと、割り込みがクリアされます。T0CLRI は 16 ビット・モードでのみ使用できます。

T0CON は設定 MMR であり表 52 に示します。

## タイマー0 ロード・レジスタ

名前: TOLD

アドレス: 0xFFFFF0300

デフォルト値: 0x0000

アクセス: 読み書き可能

機能: TOLD0 は 16 ビット・レジスタで、カウンタにロードされる 16 ビット値を格納します。このレジスタは 16 ビット・モードでのみ使用できます。

## タイマー0 クリア・レジスタ

名前: T0CLRI

アドレス: 0xFFFFF0310

アクセス: 書き込み専用

機能: この 8 ビット書き込み専用 MMR には、割り込みをクリアするときに、ユーザー・コードから任意の値が書き込まれます。

## タイマー0 値レジスタ

名前: T0VAL0、T0VAL1

アドレス: 0xFFFFF0304、0xFFFFF0308

デフォルト値: 0x0000、0x00000000

アクセス: 読み出し専用

機能: T0VAL0 と T0VAL1 は 16 ビットおよび 32 ビット・レジスタであり、それぞれ下位 16 ビットと上位 32 ビットを格納します。T0VAL0 と T0VAL1 は読み出し専用です。16 ビット・モードでは、16 ビットの T0VAL0 が使用されます。48 ビット・モードでは、16 ビットの T0VAL0 と 32 ビットの T0VAL1 が使用されます。

## タイマー0 キャプチャ・レジスタ

名前: T0CAP

アドレス: 0xFFFFF0314

デフォルト値: 0x0000

アクセス: 読み出し専用

機能: このレジスタは、イネーブルされた IRQ イベントによりキャプチャされた 16 ビット値を格納する 16 ビット・レジスタです。このレジスタは 16 ビット・モードでのみ使用できます。

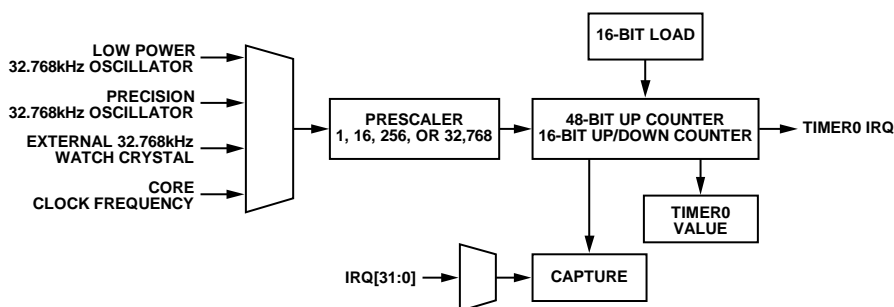


図 32.タイマー0 のブロック図

07116-030

**タイマー0 コントロール・レジスタ**

名前: T0CON

アドレス: 0xFFFF030C

デフォルト値: 0x00000000

アクセス: 読み書き可能

機能: この 32 ビット MMR は、タイマー0 の動作モードを設定します。

表 52.T0CON MMR のビット説明

Bit	Description
31 to 18	Reserved.
17	Event select bit. Set by user to enable time capture of an event. Cleared by user to disable time capture of an event.
16 to 12	Event number (0 to 17). The events are defined in Table 51.
11	Reserved.
10 to 9	Clock select. 00 = core clock (default). 01 = low power 32.768 kHz oscillator. 10 = external 32.768 kHz watch crystal. 11 = precision 32.768 kHz oscillator.
8	Count up. Available in 16-bit mode only. Set by user for Timer0 to count up. Cleared by user for Timer0 to countdown (default).
7	Timer0 enable bit. Set by user to enable Timer0. Cleared by user to disable Timer0 (default).
6	Timer0 mode. Set by user to operate in periodic mode. Cleared by user to operate in free running mode (default).
5	Reserved.
4	Timer0 mode of operation. 0 = 16-bit operation (default). 1 = 48-bit operation.
3 to 0	Prescaler. 0000 = source clock/1 (default). 0100 = source clock/16. 1000 = source clock/256. 1111 = source clock/32,768.

## タイマー1

タイマー1 はプログラマブルなプリスケアラ付きの 32 ビット汎用タイマー(カウントダウンまたはカウントアップ)です。プリスケアラは、32.768 kHz の低消費電力発振器(コア・クロック)、または外部 GPIO(2 本)から駆動することができます。このソースには 1、16、256、32,768 分周が可能です。コアが 20.48 MHz で動作し、プリスケアラが 1 のとき(外部 GPIO は無視)、CD = 0 で最小分解能は 48.83 ns になります。

カウンタのフォーマットとしては、標準 32 ビット値または hours: minutes: seconds: hundredths を選択することができます。

タイマー1 には選択した IRQ 原因が最初にアサーションされたときトリガーされるキャプチャ・レジスタ(TICAP)があります。キャプチャ・レジスタがトリガーされると、タイマーの現在値が TICAP にコピーされ、タイマーは動作を続けます。この機能を使うと、高い精度で、イベントの開始をとらえることができます。

タイマー1 のインターフェースは次の 5 個の MMR から構成されています。

- TILD、TIVAL、TICAP は 32 ビット・レジスタで、32 ビット符号なし整数を格納します。TIVAL と TICAP は読み出し専用です。
- T1CLR は 8 ビット・レジスタです。このレジスタに任意の値を書き込むと、割り込みがクリアされます。
- T0CON は設定 MMR であり、表 53 に示します。

タイマー1 にはポストプリスケアラが付いており、これを使うとタイマー1 がタイムアウトする回数を 1~256 でカウントすることができます。ポストプリスケアラをアクティブにするときは、ビット 23 をセットし、所望のカウント値を T1CON のビット[24: 31]に書き込みます。タイムアウト回数に到達すると、タイマー1 は T1CON[18]がセットされている場合割り込みを発生します。

デバイスが低消費電力モードにあり、かつタイマー1 が GPIO または低消費電力発振器ソースからクロック駆動される場合、タイマー1 は動作を続けることに注意してください。

タイマー1 は、タイマー1 がオーバーフローしたとき、TILD から値を再ロードします。

### タイマー1 ロード・レジスタ

名前: TILD

アドレス: 0xFFFF0320

デフォルト値: リセットで、このレジスタに組み立てロット ID の上位桁が格納されます。

アクセス: 読み書き可能

機能: TILD は 32 ビット・レジスタで、カウンタにロードされる 32 ビット値を格納します。

### タイマー1 クリア・レジスタ

名前: T1CLR

アドレス: 0xFFFF032C

アクセス: 書き込み専用

機能: この 8 ビット書き込み専用 MMR には、割り込みをクリアするときに、ユーザー・コードから任意の値が書き込まれます。

### タイマー1 値レジスタ

名前: TIVAL

アドレス: 0xFFFF0324

デフォルト値: 0xFFFFFFFF

アクセス: 読み出し専用

機能: TIVAL は 32 ビット・レジスタで、タイマー1 の現在値を格納します。

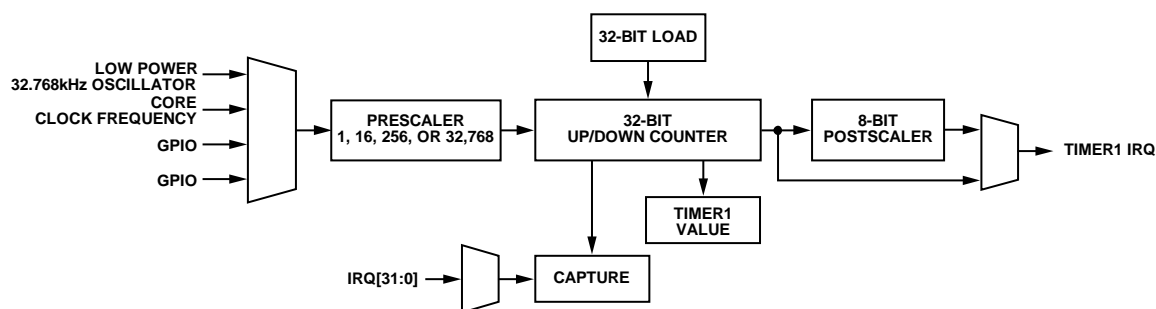


図 33.タイマー1 のブロック図

07116-031



**タイマー1 キャプチャ・レジスタ**

名前: TICAP

アドレス: 0xFFFFF0330

デフォルト値: 0x00000000

アクセス: 読み出し専用

機能: この 32 ビット・レジスタは、イネーブルされた **IRQ** イベントによりキャプチャされた 32 ビット値を格納するレジスタです。

**タイマー1 コントロール・レジスタ**

名前: TICON

アドレス: 0xFFFFF0328

デフォルト値: 0x01000000

アクセス: 読み書き可能

機能: この 32 ビット MMR は、タイマー1 の動作モードを設定します。

表 53.T1CON MMR のビット説明

Bit	Description
31 to 24	8-bit postscaler. By writing to these eight bits, a value is written to the postscaler. Writing 0 is interpreted as a 1. By reading these eight bits, the current value of the counter is read.
23	Timer1 enable postscaler. Set to enable the Timer1 postscaler. Cleared to disable the Timer1 postscaler.
22 to 20	Reserved. These bits are reserved and should be written as 0 by user code.
19	Postscaler compare flag. Read only. Set if the number of Timer1 overflows is equal to the number written to the postscaler.
18	Timer1 interrupt source. Set to select interrupt generation from the postscaler counter. Cleared to select interrupt generation directly from Timer1.
17	Event select bit. Set by user to enable time capture of an event. Cleared by user to disable time capture of an event.
16 to 12	Event number (0 to 17). The events are defined in 表 51.
11 to 9	Clock select. 000 = core clock (default). 001 = low power 32.768 kHz oscillator. 010 = GPIO_8. 011 = GPIO_5.
8	Count up. Set by user for Timer1 to count up. Cleared by user for Timer1 to count down (default).
7	Timer1 enable bit. Set by user to enable Timer1. Cleared by user to disable Timer1 (default).
6	Timer1 mode. Set by user to operate in periodic mode. Cleared by user to operate in free running mode (default).
5 to 4	Format. 00 = binary (default). 01 = reserved. 10 = hours: minutes: seconds: hundredths (23 hours to 0 hours). 11 = hours: minutes: seconds: hundredths (255 hours to 0 hours).
3 to 0	Prescaler. 0000 = source clock/1 (default). 0100 = source clock/16. 1000 = source clock/256. 1111 = source clock/32,768.

## タイマー2、ウェイクアップ・タイマー

タイマー2 はプログラマブルなプリスケアラ付きの 32 ビットのウェイクアップ・タイマー(カウントダウンまたはカウントアップ)です。プリスケアラは、コア・クロック(デフォルト選択)、32.768 kHz の低消費電力発振器、32.768 kHz の外付け時計水晶、32.768 kHz の高精度発振器の 4 つのクロック・ソースの内の 1 つから直接クロック駆動されます。選択されたクロック・ソースは 1、16、256 または 32,768 分周することができます。コア・クロックがディスエーブルされている場合には、ウェイクアップ・タイマーは動作を続けます。コアが 20.48 MHz で動作し、プリスケアラが 1 のとき、CD = 0 での最小分解能は 48.83 ns になります。

カウンタのフォーマットとしては、標準 32 ビット値または hours: minutes: seconds: hundredths を選択することができます。

タイマー2 は、タイマー2 がオーバーフローしたとき、T2LD からの値を再ロードします。

タイマー2 のインターフェースは次の 4 個の MMR から構成されています。

- T2LD と T2VAL は 32 ビット・レジスタで、32 ビット符号なし整数を格納します。T2VAL は読み出し専用レジスタです。
- T2CLRI は 8 ビット・レジスタです。このレジスタに任意の値を書き込むと、タイマー2 割り込みがクリアされます。
- T2CON は設定 MMR であり、表 54 に示します。

### タイマー2 ロード・レジスタ

名前: T2LD

アドレス: 0xFFFF0340

デフォルト値: 0x00000000

アクセス: 読み書き可能

機能: T2LD は 32 ビット・レジスタで、カウンタにロードされる 32 ビット値を格納します。

### タイマー2 クリア・レジスタ

名前: T2CLRI

アドレス: 0xFFFF034C

アクセス: 書き込み専用

機能: この 8 ビット書き込み専用 MMR には、割り込みをクリアするときに、ユーザー・コードから任意の値が書き込まれます。

### タイマー2 値レジスタ

名前: T2VAL

アドレス: 0xFFFF0344

デフォルト値: 0xFFFFFFFF

アクセス: 読み出し専用

機能: T2VAL は 32 ビット・レジスタで、タイマー2 の現在値を格納します。

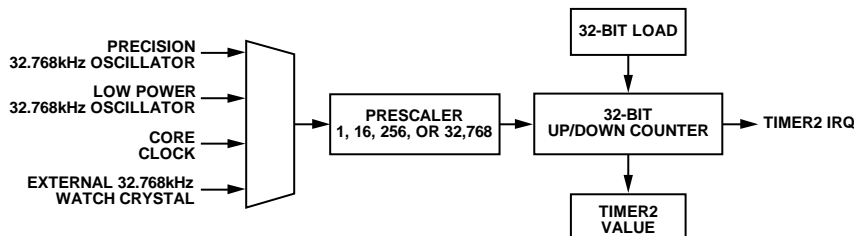


図 34.タイマー2 のブロック図

07116-032

**タイマー2 コントロール・レジスタ**

名前: T2CON

アドレス: 0xFFFFF0348

デフォルト値: 0x0000

アクセス: 読み書き可能

機能: この 16 ビット MMR は、タイマー2 の動作モードを設定します。

表 54.T2CON MMR のビット説明

Bit	Description
15 to 11	Reserved.
10 to 9	Clock source select. 00 = core clock (default). 01 = low power 32.768 kHz oscillator. 10 = external 32.768 kHz watch crystal. 11 = precision 32.768 kHz oscillator.
8	Count up. Set by user for Timer2 to count up. Cleared by user for Timer2 to count down (default).
7	Timer2 enable bit. Set by user to enable Timer2. Cleared by user to disable Timer2 (default).
6	Timer2 mode. Set by user to operate in periodic mode. Cleared by user to operate in free running mode (default).
5 to 4	Format. 00 = binary (default). 01 = reserved. 10 = hours: minutes: seconds: hundredths (23 hours to 0 hours). These bits are only valid with a 32 kHz clock. 11 = hours: minutes: seconds: hundredths (255 hours to 0 hours). These bits are only valid with a 32 kHz clock.
3 to 0	Prescaler. 0000 = source clock/1 (default). 0100 = source clock/16. 1000 = source clock/256. This setting should be used in conjunction with Timer2 in the hours: minutes: seconds: hundredths format. See the formats listed for the 10 and 11 settings of Bits[5: 4] in this table. 1111 = source clock/32,768.

## タイマー3、ウォッチドッグ・タイマー

タイマー3 には、ノーマル・モードとウォッチドッグ・モードの 2 つの動作モードがあります。ウォッチドッグ・タイマーは、違法ソフトウェア状態から復帰する際に使います。イネーブルされると、プロセッサがリセットされるのを防止するために周期的なサービスを要求します。

タイマー3 は、タイマー3 がオーバーフローしたとき、T3LD からの値を再ロードします。

### ノーマル動作モード

ノーマル・モードのタイマー3 は 16 ビット動作モードのタイマー0 と同じですが、クロック・ソースが異なります。クロック・ソースは、32.768 kHz の低消費電力発振器を 1、16、または 256 分周したものです。

### ウォッチドッグ・モード

ウォッチドッグ・モードは、T3CON[5]をセットすると開始されます。タイマー3 は、T3LD レジスタで指定されるタイムアウト値からゼロになるまでデクリメントします。最大タイムアウトは、256 分周の最大プリスケアラと T3LD のフルスケール値を使ったとき 512 sec です。

ユーザー・ソフトウェアからは、30 ms より短いタイムアウト周期を設定できません。これにより、ページ消去 1 サイクルとカーネルの実行に 20 ms を要するフラッシュ/EE メモリ・ページ消去サイクルとの競合を回避します。

T3VAL が 0 に到達すると、T3CON[1]に応じてリセットまたは割り込みが発生します。リセットまたは割り込みイベントを防止するため、T3VAL がゼロに到達する前に、任意の値を T3CLRI に書き込む必要があります。これにより、カウンタに T3LD 値が再ロードされて、新しいタイムアウト周期が開始されます。

ウォッチドッグ・モードになると、T3LD と T3CON への書き込みが禁止されます。これらの 2 つのレジスタは、パワーオン・リセット・イベントにより、ウォッチドッグ・タイマーがリセットされるまで、変更することはできません。他のすべてのリセット・イベントの後では、ウォッチドッグ・タイマーはカウントを続けます。ウォッチドッグ・タイマーは、ウォッチドッグ・リセットの無限ループを回避するため、ユーザー・コードの先頭行で設定する必要があります。ユーザー・ソフトウェアは、30 ms の最小タイムアウト周期のみを設定する必要があります。

タイマー3 は JTAG デバッグ・アクセス時自動的に停止し、JTAG が ARM7 コアの制御を放棄したときにのみ、カウントを開始します。デフォルトでは、パワーダウン時にタイマー3 はカウントを続けます。この機能は、T3CON のビット 0 をセットしてディスエーブルすることができます。デフォルト値の使用、

すなわちウォッチドッグ・タイマーはパワーダウン時もカウントを続けることが推奨されます。

### タイマー3 インターフェース

タイマー3 のインターフェースは次の 4 個の MMR から構成されています。

- T3CON は設定 MMR であり、表 55 に示します。
- T3LD と T3VAL は 16 ビット・レジスタで、16 ビット符号なし整数を格納します。T3VAL は読み出し専用レジスタです。
- T3CLRI は 8 ビット・レジスタです。このレジスタに任意の値を書き込むと、ノーマル・モードではタイマー3 割り込みがクリアされ、ウォッチドッグ・モードでは新しいタイムアウト周期が再設定されます。

### タイマー3 ロード・レジスタ

名前: T3LD

アドレス: 0xFFFFF0360

デフォルト値: 0x0040

アクセス: 読み書き可能

機能: この 16 ビット MMR は、タイマー3 の再ロード値を格納します。

### タイマー3 クリア・レジスタ

名前: T3CLRI

アドレス: 0xFFFFF036C

アクセス: 書き込み専用

機能: この 8 ビット書き込み専用 MMR には、ウォッチドッグ・モードでウォッチドッグ・タイマーのリセット・イベントを防止するために、タイマー3 をリフレッシュ(再ロード)するときに、ユーザー・コードから任意の値が書き込まれます。

### タイマー3 値レジスタ

名前: T3VAL

アドレス: 0xFFFFF0364

デフォルト値: 0x0040

アクセス: 読み出し専用

機能: この 16 ビットは読み出し専用 MMR で、タイマー3 の現在カウント値を格納します。

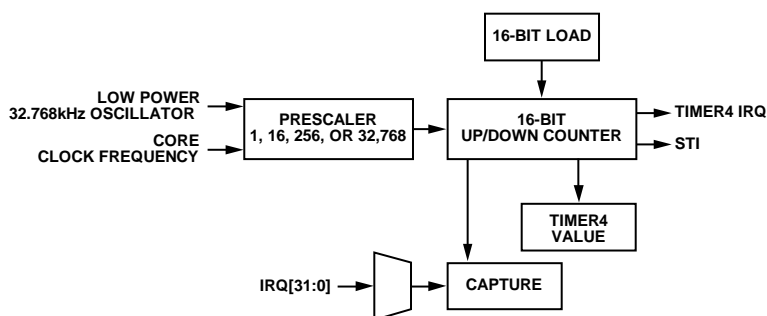


図 35.タイマー3 のブロック図

**タイマー3 コントロール・レジスタ**

名前: T3CON

アドレス: 0xFFFFF0368

デフォルト値: 0x0000

アクセス: 読み書き可能

機能: この 16 ビット MMR は、表 55 に示すタイマー3 の動作モードを設定します。

表 55.T3CON MMR のビット説明

Bit	Description
15 to 9	Reserved. These bits are reserved and should be written as 0 by user code.
8	Count up/count down enable. Set by user code to configure Timer3 to count up. Cleared by user code to configure Timer3 to count down.
7	Timer3 enable. Set by user code to enable Timer3. Cleared by user code to disable Timer3.
6	Timer3 operating mode. Set by user code to configure Timer3 to operate in periodic mode. Cleared by user to configure Timer3 to operate in free running mode.
5	Watchdog timer mode enable. Set by user code to enable watchdog mode. Cleared by user code to disable watchdog mode.
4	Reserved. This bit is reserved and should be written as 0 by user code.
3 to 2	Timer3 clock (32.768 kHz) prescaler. 00 = source clock/1 (default). 01 = source clock/16. 10 = source clock/256. 11 = reserved.
1	Watchdog timer IRQ enable. Set by user code to produce an IRQ instead of a reset when the watchdog reaches 0. Cleared by user code to disable the IRQ option.
0	PD_OFF. Set by user code to stop Timer3 when the peripherals are powered down using Bit 4 in the POWCON MMR. Cleared by user code to enable Timer3 when the peripherals are powered down using Bit 4 in the POWCON MMR.

## タイマー4—STI タイマー

タイマー4 はプログラマブルなプリスケラ付きの 16 ビット汎用タイマー(カウントダウンまたはカウントアップ)です。タイマー4 は、コア・クロックまたは 32.768 kHz の低消費電力発振器の 1、16、256、32,768 分周でクロック駆動することができます。

タイマー4 には選択した IRQ 原因が最初にアサーションされたときトリガーされるキャプチャ・レジスタ(T4CAP)があります。キャプチャ・レジスタがトリガーされると、タイマーの現在値が T4CAP にコピーされ、タイマーは動作を続けます。この機能を使うと、高い精度で、イベントの開始をとらえることができます。

タイマー4 は、シリアル・テスト・インターフェース(STI)ペリフェラルの駆動にも使われます。

タイマー4 のインターフェースは次の 5 個の MMR から構成されています。

- T4LD、T4VAL、T4CAP は 16 ビット・レジスタで、16 ビット符号なし整数を格納します。T4VAL と T4CAP は読み出し専用です。
- T4CLRRI は 8 ビット・レジスタです。このレジスタに任意の値を書き込むと、割り込みがクリアされます。

T4CON は設定 MMR であり、表 56 に示します。

### タイマー4 ロード・レジスタ

名前: T4LD

アドレス: 0xFFFFF0380

デフォルト値: 0x00000

アクセス: 読み書き可能

機能: この 16 ビット・レジスタで、カウンタにロードされる 16 ビット値を格納します。

### タイマー4 クリア・レジスタ

名前: T4CLRRI

アドレス: 0xFFFFF038C

アクセス: 書き込み専用

機能: この 8 ビット書き込み専用 MMR には、割り込みをクリアするときに、ユーザー・コードから任意の値が書き込まれます。

### タイマー4 値レジスタ

名前: T4VAL

アドレス: 0xFFFFF0384

デフォルト値: 0xFFFFF

アクセス: 読み出し専用

機能: この 16 ビット・レジスタは、タイマー4 の現在値を保持しています。

### タイマー4 キャプチャ・レジスタ

名前: T4CAP

アドレス: 0xFFFFF0390

デフォルト値: 0x0000

アクセス: 読み出し専用

機能: この 16 ビット・レジスタは、イネーブルされた IRQ イベントによりキャプチャされた 32 ビット値を格納するレジスタです。

### タイマー4 コントロール・レジスタ

名前: T4CON

アドレス: 0xFFFFF0388

デフォルト値: 0x00000000

アクセス: 読み書き可能

機能: この 32 ビット MMR は、タイマー4 の動作モードを設定します。

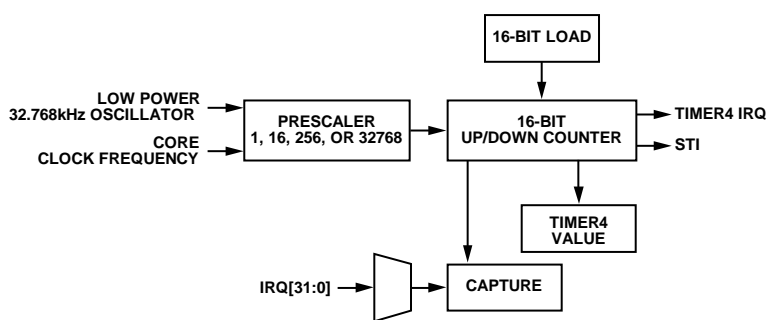


図 36. タイマー4 のブロック図

表 56.T4CON MMR のビット説明

Bit	Description
31 to 18	Reserved.
17	Event select bit. Set by user to enable time capture of an event. Cleared by user to disable time capture of an event.
16 to 12	Event number (0 to 17). The events are defined in 表 51.
11 to 10	Reserved.
9	Clock select. 0 = core clock (default). 1 = low power 32.768 kHz oscillator.
8	Count up. Set by user for Timer4 to count up. Cleared by user for Timer4 to count down (default).
7	Timer4 enable bit. Set by user to enable Timer0. Cleared by user to disable Timer0 (default).
6	Timer4 mode. Set by user to operate in periodic mode. Cleared by user to operate in free running mode (default).
5 to 4	Reserved.
3 to 0	Prescaler. 0000 = source clock/1 (default). 0100 = source clock/16. 1000 = source clock/256. 1111 = source clock/32,768.

## 汎用I/O

ADuC7034 は 9 本の汎用双方向入力/出力(GPIO)ピンを持っています。一般に、大部分の GPIO ピンはユーザー・コードから設定できる複数の機能を持っています。デフォルトでは、GPIO ピンは GPIO モードに設定されています。すべての GPIO ピンには、0.8 mA のシンク能力と 0.1 mA のソース能力を持つ内部プルアップ抵抗が付いています。

9 本の GPIO は、ポート 0、ポート 1、ポート 2 からなる 3 個のポートにグループ化されています。ポート 0 は 5 ビット幅です。ポート 1 とポート 2 は 2 ビット幅です。各ポート内の GPIO 配置を表 57 に示します。代表的な GPIO 構造は図 37 に示します。

外部割り込みは、GPIO\_0、GPIO\_5、GPIO\_7、GPIO\_8 に入力されます。これらの割り込みはレベル検出でアクティブ・ハイです。これらの割り込みはラッチされないため、IRQSTA または FIQSTA が調べられるまで割り込み原因を維持しておく必要があります。割り込み原因が認識されるためには、少なくともコア・クロックの 1CD 分周だけアクティブである必要があります。

すべてのポート・ピンは、4 ポートに固有の MMR の次の 4 セット(各ポートに 1 セット)により設定/制御されます。

- GPxCON: ポート x コントロール・レジスタ
- GPxDAT: ポート x 設定/データ・レジスタ
- GPxSET: データ・セット・ポート x
- GPxCLR: データ・クリア・ポート x

ここで、x はポート番号(0、1、2)。

ノーマル動作では、ユーザー・コードから、これらの汎用レジスタを使って、外部 GPIO ピンの機能と状態を制御することができます。すべての GPIO ピンは、パワーダウン・モード(POWCON)で外部レベル(ハイ・レベルまたはロー・レベル)を維持します。

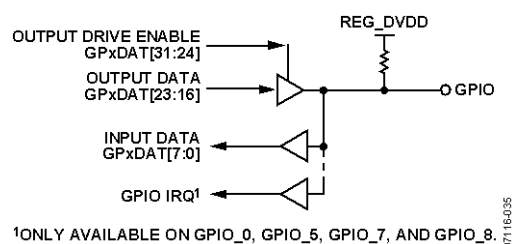


図 37.ADuC7034 GPIO



表 57. 外部 GPIO ピンと内部ポート信号の割り当て

Port	GPIO PIN	PORT SIGNAL	Functionality (Defined by GPxCON)
Port0	GPIO_0	P0.0 IRQ0 SS	General-purpose I/O. External Interrupt Request 0 Slave select I/O for SPI.
	GPIO_1	P0.1 SCLK	General-purpose I/O. Serial clock I/O for SPI.
	GPIO_2	P0.2 MISO	General-purpose I/O. Master input, slave output for SPI.
	GPIO_3	P0.3 MOSI	General-purpose I/O. Master output, slave input for SPI.
	GPIO_4	P0.4 ECLK P0.5 <sup>1</sup> P0.6	General-purpose I/O 2.56 MHz clock output. High voltage serial interface. High voltage serial interface.
Port1	GPIO_5	P1.0 IRQ1 RxD	General-purpose I/O. External Interrupt Request 1 Pin for UART.
	GPIO_6	P1.1 TxD	General-purpose I/O. Pin for UART.
Port2	GPIO_7	P2.0 IRQ4 LIN Output Pin.	General-purpose I/O. External Interrupt Request 4. Used to read directly from LIN pin for conformance testing.
	GPIO_8	P2.1 IRQ5 LIN HV Input Pin.	General-purpose I/O. External Interrupt Request 5. Used to directly drive LIN pin for conformance testing.
	GPIO_11 <sup>2</sup>	P2.4 LINRX	General-purpose I/O. LIN input pin.
	GPIO_12	P2.5 LINTX	General-purpose I/O. LIN output pin.
	GPIO_13	P2.6	General-purpose I/O, STI data output.

<sup>1</sup> これらの信号は内部専用信号であるため外部ピンには出力されません。これらのピンは HVCON と組み合わせて、高電圧インターフェース回路に対する 2 線式インターフェースとして使用されます。

<sup>2</sup> これらの信号/信号は内部専用信号であるため外部ピンには出力されません。両信号は、外部ピン診断書き込み機能 (GPIO\_12) とリードバック機能 (GPIO\_11) を提供するときに使用されます。

## General-Purpose I/O レジスタ s

### GPIO ポート 0 コントロール・レジスタ

名前: GP0CON

アドレス: 0xFFFF0D00

デフォルト値: 0x11100000

アクセス: 読み書き可能

機能: この 32 ビット MMR は、各ポート 0 ピンのピン機能を選択します。

表 58.GP0CON MMR のビット説明

Bit	Description
31 to 29	Reserved. These bits are reserved and should be written as 0 by user code.
28	Reserved. This bit is reserved and should be written as 1 by user code.
27 to 25	Reserved. These bits are reserved and should be written as 0 by user code.
24	Internal P0.6 enable bit. This bit must be set to 1 by user software before the HVCON and HVDAT MMRs can be used to indirectly access the high voltage serial interface.
23 to 21	Reserved. These bits are reserved and should be written as 0 by user code.
20	Internal P0.5 enable bit. This bit must be set to 1 by user software before the HVCON and HVDAT MMRs can be used to indirectly access the high voltage serial interface.
19 to 17	Reserved. These bits are reserved and should be written as 0 by user code.
16	GPIO_4 function select bit. Set to 1 by user code to configure the GPIO_4 pin as ECLK, enabling a 2.56 MHz clock output on this pin. Cleared by user code to 0 to configure the GPIO_4 pin as a general-purpose I/O (GPIO) pin.
15 to 13	Reserved. These bits are reserved and should be written as 0 by user code.
12	GPIO_3 function select bit. Set to 1 by user code to configure the GPIO_3 pin as MOSI (master output, slave input) data for the SPI port. Cleared by user code to 0 to configure the GPIO_3 pin as a general-purpose I/O (GPIO) pin.
11 to 9	Reserved. These bits are reserved and should be written as 0 by user code.
8	GPIO_2 Function Select Bit. Set to 1 by user code to configure the GPIO_2 pin as MISO (master input, slave output) data for the SPI port. Cleared to 0 by user code to configure the GPIO_2 pin as a general-purpose I/O (GPIO) pin.
7 to 5	Reserved. These bits are reserved and should be written as 0 by user code.
4	GPIO_1 function select bit. Set to 1 by user code to configure the GPIO_1 pin as SCLK I/O for the SPI port. Cleared to 0 by user code to configure the GPIO_1 pin as a general-purpose I/O (GPIO) pin.
3 to 1	Reserved. These bits are reserved and should be written as 0 by user code.
0	GPIO_0 function select bit. Set to 1 by user code to configure the GPIO_0 pin as $\overline{SS}$ I/O for the SPI port. Cleared to 0 by user code to configure the GPIO_0 pin as a general-purpose I/O (GPIO) pin.

**GPIO ポート 1 コントロール・レジスタ**

名前: GP1CON

アドレス: 0xFFFF0D04

デフォルト値: 0x10000000

アクセス: 読み書き可能

機能: この 32 ビット MMR は、各ポート 1 ピンのピン機能を選択します。

表 59.GP1CON MMR のビット説明

Bit	Description
31 to 5	Reserved. These bits are reserved and should be written as 0 by user code.
4	GPIO_6 function select bit. Set to 1 by user code to configure the GPIO_6 pin as TxD, the transmit data for the UART serial port. Cleared by user code to 0 to configure the GPIO_6 pin as a general-purpose I/O (GPIO) pin.
3 to 1	Reserved. These bits are reserved and should be written as 0 by user code.
0	GPIO_5 function select bit. Set by user code to 1 to configure the GPIO_5 pin as RxD, the receive data for the UART serial port. Cleared by user code to 0 to configure the GPIO_5 pin as a general-purpose I/O (GPIO) pin.

**GPIO ポート 2 コントロール・レジスタ**

名前: GP2CON

アドレス: 0xFFFF0D08

デフォルト値: 0x01000000

アクセス: 読み書き可能

機能: この 32 ビット MMR は、各ポート 2 ピンのピン機能を選択します。

表 60.GP2CON MMR のビット説明

Bit	Description
31 to 25	Reserved. These bits are reserved and should be written as 0 by user code.
24	GPIO_13 function select bit. Set to 1 by user code to route the STI data output to the STI pin. Cleared to 0 by user code, and then the STI data is not routed to the external STI pin even if the STI interface is enabled correctly.
23 to 21	Reserved. These bits are reserved and should be written as 0 by user code.
20	GPIO_12 function select bit. Set to 1 by user code to route the UART TxD (transmit data) to the LIN/BSD data pin. This configuration is used in LIN mode. Cleared to 0 by user code to route the LIN/BSD transmit data to an internal general-purpose I/O (GPIO_12) pad that can then be written via the GP2DAT MMR. This configuration is used in BSD mode to allow user code to write output data to the BSD interface, and it can also be used to support diagnostic write capability to the high voltage I/O pins (see HVCFG1[2: 0]).
19 to 17	Reserved. These bits are reserved and should be written as 0 by user code.
16	GPIO_11 function select bit. Set to 1 by user code to route input data from the LIN/BSD interface to both the LIN/BSD hardware timing/synchronization logic and to the UART RxD (receive data). This mode must be configured by user code when using LIN or BSD modes. Cleared to 0 by user code to internally disable the LIN/BSD input data path. In this configuration, GPIO_11 is used to support diagnostic readback on all external high voltage I/O pins (see HVCFG1[2: 0]).
15 to 5	Reserved. These bits are reserved and should be written as 0 by user code.
4	GPIO_8 function select bit. Set to 1 by user code to route the LIN/BSD input data to the GPIO_8 pin. This mode can be used to drive the LIN transceiver interface as a standalone component without any interaction from MCU or UART. Cleared to 0 by user code to configure the GPIO_8 pin as a general-purpose I/O (GPIO) pin.
3 to 1	Reserved. These bits are reserved and should be written as 0 by user code.
0	GPIO_7 function select bit. Set to 1 by user code to route data driven into the GPIO_7 pin through the on-chip LIN transceiver to be output at the LIN/BSD pin. This mode can be used to drive the LIN transceiver interface as a standalone component without any interaction from MCU or UART. Cleared to 0 by user code to configure the GPIO_7 pin as a general-purpose I/O (GPIO) pin.

**GPIO ポート 0 データ・レジスタ**

名前: GP0DAT

アドレス: 0xFFFF0D20

デフォルト値: 0x000000XX

アクセス: 読み書き可能

機能: この 32 ビット MMR は、ポート 0 に割り当てられた GPIO ピンの方向を設定します(表 57 参照)。また、このレジスタは、出力として設定された GPIO ピンの出力値を設定し、入力として設定された GPIO ピンのステータスを読み出します。

表 61.GP0DAT MMR のビット説明

Bit	Description
31 to 29	Reserved. These bits are reserved and should be written as 0 by user code.
28	Port0.4 direction select bit. Set to 1 by user code to configure the GPIO pin assigned to Port0.4 as an output. Cleared to 0 by user code to configure the GPIO pin assigned to Port0.4 as an input.
27	Port0.3 direction select bit. Set to 1 by user code to configure the GPIO pin assigned to Port0.3 as an output. Cleared to 0 by user code to configure the GPIO pin assigned to Port0.3 as an input.
26	Port0.2 direction select bit. Set to 1 by user code to configure the GPIO pin assigned to Port0.2 as an output. Cleared to 0 by user code to configure the GPIO pin assigned to Port0.2 as an input.
25	Port0.1 direction select bit. Set to 1 by user code to configure the GPIO pin assigned to Port0.1 as an output. Cleared to 0 by user code to configure the GPIO pin assigned to Port0.1 as an input.
24	Port0.0 direction select bit. Set to 1 by user code to configure the GPIO pin assigned to Port0.0 as an output. Cleared to 0 by user code to configure the GPIO pin assigned to Port0.0 as an input.
23 to 21	Reserved. These bits are reserved and should be written as 0 by user code.
20	Port0.4 data output. The value written to this bit appears directly on the GPIO pin assigned to Port0.4.
19	Port0.3 data output. The value written to this bit appears directly on the GPIO pin assigned to Port0.3.
18	Port0.2 data output. The value written to this bit appears directly on the GPIO pin assigned to Port0.2.
17	Port0.1 data output. The value written to this bit appears directly on the GPIO pin assigned to Port0.1.
16	Port0.0 data output. The value written to this bit appears directly on the GPIO pin assigned to Port0.0.
15 to 5	Reserved. These bits are reserved and should be written as 0 by user code.
4	Port0.4 data input. This bit is a read only bit that reflects the current status of the GPIO pin assigned to Port0.4. User code should write 0 to this bit.
3	Port0.3 data input. This bit is a read only bit that reflects the current status of the GPIO pin assigned to Port0.3. User code should write 0 to this bit.
2	Port0.2 data input. This bit is a read only bit that reflects the current status of the GPIO pin assigned to Port0.2. User code should write 0 to this bit.
1	Port0.1 data input. This bit is a read only bit that reflects the current status of the GPIO pin assigned to Port0.1. User code should write 0 to this bit.
0	Port0.0 data input. This bit is a read only bit that reflects the current status of the GPIO pin assigned to Port0.0. User code should write 0 to this bit.

**GPIO ポート 1 データ・レジスタ**

名前: GPIDAT

アドレス: 0xFFFF0D30

デフォルト値: 0x000000XX

アクセス: 読み書き可能

機能: この 32 ビット MMR は、ポート 1 に割り当てられた GPIO ピンの方向を設定します(表 57 参照)。また、このレジスタは、出力として設定された GPIO ピンの出力値を設定し、入力として設定された GPIO ピンのステータスを読み出します。

表 62.GP1DAT MMR のビット説明

Bit	Description
31 to 26	Reserved. These bits are reserved and should be written as 0 by user code.
25	Port1.1 direction select bit. Set to 1 by user code to configure the GPIO pin assigned to Port1.1 as an output. Cleared to 0 by user code to configure the GPIO pin assigned to Port1.1 as an input.
24	Port1.0 direction select bit. Set to 1 by user code to configure the GPIO pin assigned to Port1.0 as an output. Cleared to 0 by user code to configure the GPIO pin assigned to Port1.0 as an input.
23 to 18	Reserved. These bits are reserved and should be written as 0 by user code.
17	Port1.1 data output. The value written to this bit appears directly on the GPIO pin assigned to Port1.1.
16	Port1.0 data output. The value written to this bit appears directly on the GPIO pin assigned to Port1.0.
15 to 2	Reserved. These bits are reserved and should be written as 0 by user code.
1	Port1.1 data input. This bit is a read only bit that reflects the current status of the GPIO pin assigned to Port1.1. User code should write 0 to this bit.
0	Port1.0 data input. This bit is a read only bit that reflects the current status of the GPIO pin assigned to Port1.0. User code should write 0 to this bit.

**GPIO ポート 2 データ・レジスタ**

名前: GP2DAT

アドレス: 0xFFFF0D40

デフォルト値: 0x000000XX

アクセス: 読み書き可能

機能: この 32 ビット MMR は、ポート 2 に割り当てられた GPIO ピンの方向を設定します(表 57 参照)。また、このレジスタは、出力として設定された GPIO ピンの出力値を設定し、入力として設定された GPIO ピンのステータスを読み出します。

表 63.GP2DAT MMR のビット説明

Bit	Description
31	Reserved. This bit is reserved and should be written as 0 by user code.
30	Port2.6 direction select bit. Set to 1 by user code to configure the GPIO pin assigned to Port2.6 as an output. Cleared to 0 by user code to configure the GPIO pin assigned to Port2.6 as an input.
29	Port2.5 direction select bit. Set to 1 by user code to configure the GPIO pin assigned to Port2.5 as an output. This configuration is used to support diagnostic write capability to the high voltage I/O pins. Cleared to 0 by user code to configure the GPIO pin assigned to Port2.5 as an input.
28	Port2.4 direction select bit. Set to 1 by user code to configure the GPIO pin assigned to Port2.4 as an output. Cleared to 0 by user code to configure the GPIO pin assigned to Port2.4 as an input. This configuration is used to support diagnostic readback capability from the high voltage I/O pins (see HVCFG1[2: 0]).
27 to 26	Reserved. These bits are reserved and should be written as 0 by user code.
25	Port2.1 direction select bit. Set to 1 by user code to configure the GPIO pin assigned to Port2.1 as an output. Cleared to 0 by user code to configure the GPIO pin assigned to Port2.1 as an input.
24	Port2.0 direction select bit. Set to 1 by user code to configure the GPIO pin assigned to Port2.0 as an output. Cleared to 0 by user code to configure the GPIO pin assigned to Port2.0 as an input.
23	Reserved. This bit is reserved and should be written as 0 by user code.
22	Port2.6 data output. The value written to this bit appears directly on the GPIO pin assigned to Port2.6.
21	Port2.5 data output. The value written to this bit appears directly on the GPIO pin assigned to Port2.5.
20 to 18	Reserved. These bits are reserved and should be written as 0 by user code.
17	Port2.1 data output. The value written to this bit appears directly on the GPIO pin assigned to Port2.1.
16	Port2.0 data output. The value written to this bit appears directly on the GPIO pin assigned to Port2.0.
15 to 7	Reserved. These bits are reserved and should be written as 0 by user code.
6	Port2.6 data input. This bit is a read only bit that reflects the current status of the GPIO pin assigned to Port2.6. User code should write 0 to this bit.
5	Port2.5 data input. This bit is a read only bit that reflects the current status of the GPIO pin assigned to Port2.5. User code should write 0 to this bit.
4	Port2.4 data input. This bit is a read only bit that reflects the current status of the GPIO pin assigned to Port2.4. User code should write 0 to this bit.
3 to 2	Reserved. These bits are reserved and should be written as 0 by user code.
1	Port2.1 data input. This bit is a read only bit that reflects the current status of the GPIO pin assigned to Port2.1. User code should write 0 to this bit.
0	Port2.0 data input. This bit is a read only bit that reflects the current status of the GPIO pin assigned to Port2.0. User code should write 0 to this bit.

## GPIO ポート 0 セット・レジスタ

名前: GP0SET

アドレス: 0xFFFFF0D24

アクセス: 書き込み専用

機能: この 32 ビット MMR を使うと、ユーザー・コードから外部 GPIO ピンを個別にビット指定してハイ・レベルに設定することができます。ユーザー・コードは、GP0SET MMR を使って、他の GPIO ピンのステータスを変更または維持することなく (GP0DAT を使うときにはユーザー・コードが必要とされます)、これを実行することができます。

表 64.GP0SET MMR のビット説明

Bit	Description
31 to 21	Reserved. These bits are reserved and should be written as 0 by user code.
20	Port0.4 set bit. Set to 1 by user code to set the external GPIO_4 pin high. Clearing this bit to 0 via user software has no effect on the external GPIO_4 pin.
19	Port0.3 set bit. Set to 1 by user code to set the external GPIO_3 pin high. Clearing this bit to 0 via user software has no effect on the external GPIO_3 pin.
18	Port0.2 set bit. Set to 1 by user code to set the external GPIO_2 pin high. Clearing this bit to 0 via user software has no effect on the external GPIO_2 pin.
17	Port0.1 set bit. Set to 1 by user code to set the external GPIO_1 pin high. Clearing this bit to 0 via user software has no effect on the external GPIO_1 pin.
16	Port0.0 set bit. Set to 1 by user code to set the external GPIO_0 pin high. Clearing this bit to 0 via user software has no effect on the external GPIO_0 pin.
15 to 0	Reserved. These bits are reserved and should be written as 0 by user code.

## GPIO ポート 1 セット・レジスタ

名前: GP1SET

アドレス: 0xFFFFF0D34

アクセス: 書き込み専用

機能: この 32 ビット MMR を使うと、ユーザー・コードから外部 GPIO ピンを個別にビット指定してハイ・レベルに設定することができます。ユーザー・コードは、GP1SET MMR を使って、他の GPIO ピンのステータスを変更または維持することなく (GP1DAT を使うときにはユーザー・コードが必要とされます)、これを実行することができます。

表 65.GP1SET MMR のビット説明

Bit	Description
31 to 18	Reserved. These bits are reserved and should be written as 0 by user code.
17	Port1.1 set bit. Set to 1 by user code to set the external GPIO_6 pin high. Clearing this bit to 0 via user software has no effect on the external GPIO_6 pin.
16	Port1.0 set bit. Set to 1 by user code to set the external GPIO_5 pin high. Clearing this bit to 0 via user software has no effect on the external GPIO_5 pin.
15 to 0	Reserved. These bits are reserved and should be written as 0 by user code.



**GPIO ポート 2 セット・レジスタ**

名前: GP2SET

アドレス: 0xFFFF0D44

アクセス: 書き込み専用

機能: この 32 ビット MMR を使うと、ユーザー・コードから外部 GPIO ピンを個別にビット指定してハイ・レベルに設定することができます。ユーザー・コードは、GP2SET MMR を使って、他の GPIO ピンのステータスを変更または維持することなく (GP2DAT を使うときにはユーザー・コードが必要とされます)、これを実行することができます。

表 66.GP2SET MMR のビット説明

Bit	Description
31 to 23	Reserved. These bits are reserved and should be written as 0 by user code.
22	Port2.6 set bit. Set to 1 by user code to set the external GPIO_13 pin high. Clearing this bit to 0 via user software has no effect on the external GPIO_13 pin.
21	Port2.5 set bit. Set to 1 by user code to set the external GPIO_12 pin high. Clearing this bit to 0 via user software has no effect on the external GPIO_12 pin.
20 to 18	Reserved. These bits are reserved and should be written as 0 by user code.
17	Port2.1 set bit. Set to 1 by user code to set the external GPIO_8 pin high. Clearing this bit to 0 via user software has no effect on the external GPIO_8 pin.
16	Port2.0 set bit. Set to 1 by user code to set the external GPIO_7 pin high. Clearing this bit to 0 via user software has no effect on the external GPIO_7 pin.
15 to 0	Reserved. These bits are reserved and should be written as 0 by user code.

**GPIO ポート 0 クリア・レジスタ**

名前: GP0CLR

アドレス: 0xFFFF0D28

アクセス: 書き込み専用

機能: この 32 ビット MMR を使うと、ユーザー・コードから外部 GPIO ピンを個別にビット指定してロー・レベルに設定することができます。ユーザー・コードは、GP0CLR MMR を使って、他の GPIO ピンのステータスを変更または維持することなく (GP0DAT を使うときにはユーザー・コードが必要とされます)、これを実行することができます。

表 67.GP0CLR MMR のビット説明

Bit	Description
31 to 21	Reserved. These bits are reserved and should be written as 0 by user code.
20	Port0.4 clear bit. Set to 1 by user code to clear the external GPIO_4 pin low. Clearing this bit to 0 via user software has no effect on the external GPIO_4 pin.
19	Port0.3 clear bit. Set to 1 by user code to clear the external GPIO_3 pin low. Clearing this bit to 0 via user software has no effect on the external GPIO_3 pin.
18	Port0.2 clear bit. Set to 1 by user code to clear the external GPIO_2 pin low. Clearing this bit to 0 via user software has no effect on the external GPIO_2 pin.
17	Port0.1 clear bit. Set to 1 by user code to clear the external GPIO_1 pin low. Clearing this bit to 0 via user software has no effect on the external GPIO_1 pin.
16	Port0.0 Clear Bit. Set to 1 by user code to clear the external GPIO_0 pin low. Clearing this bit to 0 via user software has no effect on the external GPIO_0 pin.
15 to 0	Reserved. These bits are reserved and should be written as 0 by user code.

**GPIO ポート 1 クリア・レジスタ**

名前: GP1CLR

アドレス: 0xFFFF0D38

アクセス: 書き込み専用

機能: この 32 ビット MMR を使うと、ユーザー・コードから外部 GPIO ピンを個別にビット指定してロー・レベルに設定することができます。ユーザー・コードは、GP1CLR MMR を使って、他の GPIO ピンのステータスを変更または維持することなく (GP1DAT を使うときにはユーザー・コードで必要とされます)、これを実行することができます。

表 68.GP1CLR MMR のビット説明

Bit	Description
31 to 18	Reserved. These bits are reserved and should be written as 0 by user code.
17	Port1.1 clear bit. Set to 1 by user code to clear the external GPIO_6 pin low. Clearing this bit to 0 via user software has no effect on the external GPIO_6 pin.
16	Port1.0 clear bit. Set to 1 by user code to clear the external GPIO_5 pin low. Clearing this bit to 0 via user software has no effect on the external GPIO_5 pin.
15 to 0	Reserved. These bits are reserved and should be written as 0 by user code.

**GPIO ポート 2 クリア・レジスタ**

名前: GP2CLR

アドレス: 0xFFFF0D48

アクセス: 書き込み専用

機能: この 32 ビット MMR を使うと、ユーザー・コードから外部 GPIO ピンを個別にビット指定してロー・レベルに設定することができます。ユーザー・コードは、GP2CLR MMR を使って、他の GPIO ピンのステータスを変更または維持することなく (GP2DAT を使うときにはユーザー・コードで必要とされます)、これを実行することができます。

表 69.GP2CLR MMR のビット説明

Bit	Description
31 to 23	Reserved. These bits are reserved and should be written as 0 by user code.
22	Port2.6 clear bit. Set to 1 by user code to clear the external GPIO_13 pin low. Clearing this bit to 0 via user software has no effect on the external GPIO_8 pin.
21	Port2.5 clear bit. Set to 1 by user code to clear the external GPIO_12 pin low. Clearing this bit to 0 via user software has no effect on the external GPIO_7 pin.
20 to 18	Reserved. These bits are reserved and should be written as 0 by user code.
17	Port2.1 clear bit. Set to 1 by user code to clear the external GPIO_8 pin low. Clearing this bit to 0 via user software has no effect on the external GPIO_8 pin.
16	Port2.0 clear bit. Set to 1 by user code to clear the external GPIO_7 pin low. Clearing this bit to 0 via user software has no effect on the external GPIO_7 pin.
15 to 0	Reserved. These bits are reserved and should be written as 0 by user code.

## 高電圧ペリフェラル・コントロール・インターフェース

ADuC7034 は、HVCON と HVDAT の 2 つの MMR で構成されるレジスタ化されたインターフェースを使って制御/モニターされる多数の高電圧回路機能を内蔵しています。HVCON レジスタはコマンド・バイト・インタープリタとして機能し、マイクロコントローラが 4 個の高電圧ステータスまたは設定レジスタとの間で 8 ビット・データ(HVDAT 値)を間接的に読み出しまたは書き込みできるようにします。これらの高電圧ステータス・レジスタと設定レジスタは MMR ではありませんが、一般に間接レジスタと呼ばれるレジスタです。これらのレジスタは、HVCON MMR と HVDAT MMR を経由して間接的にアクセスされます(名前はここから由来しています)。

HVCON レジスタと間接高電圧レジスタとの間の物理的インターフェースは 2.56 MHz シリアル・クロックを採用した 2 線式(データとクロック)シリアル・インターフェースです。このため、HVCON への MCU コアからの書き込みコマンドからそのコマンドまたはデータが間接高電圧レジスタに届くまでの間には有限の 10  $\mu$ s (最大)のレイテンシがあります。また、MCU コアから HVCON への書き込みコマンドから間接レジスタ・データ

が HVDAT レジスタへ読み込まれるまでの間にも有限の 10  $\mu$ s のレイテンシがあります。MCU からビジー・ビット(たとえば MCU からの読み出し時、HVCON のビット 0)をポーリングして、リード/ライト・コマンドの完了を確認することができます。

次の高電圧回路機能は、このインターフェースを経由して制御/モニターされます。図 38 に、高電圧インターフェースと関連回路のアーキテクチャを示します。

- 高精度発振器
- ウェイクアップ(WU)ピンの機能
- 電源モニター(PSM)
- 低電圧フラグ(LVF)
- LIN 動作モード
- STI 診断
- 高電圧診断
- 高電圧減衰器/バッファ回路
- 高電圧(HV)温度モニター

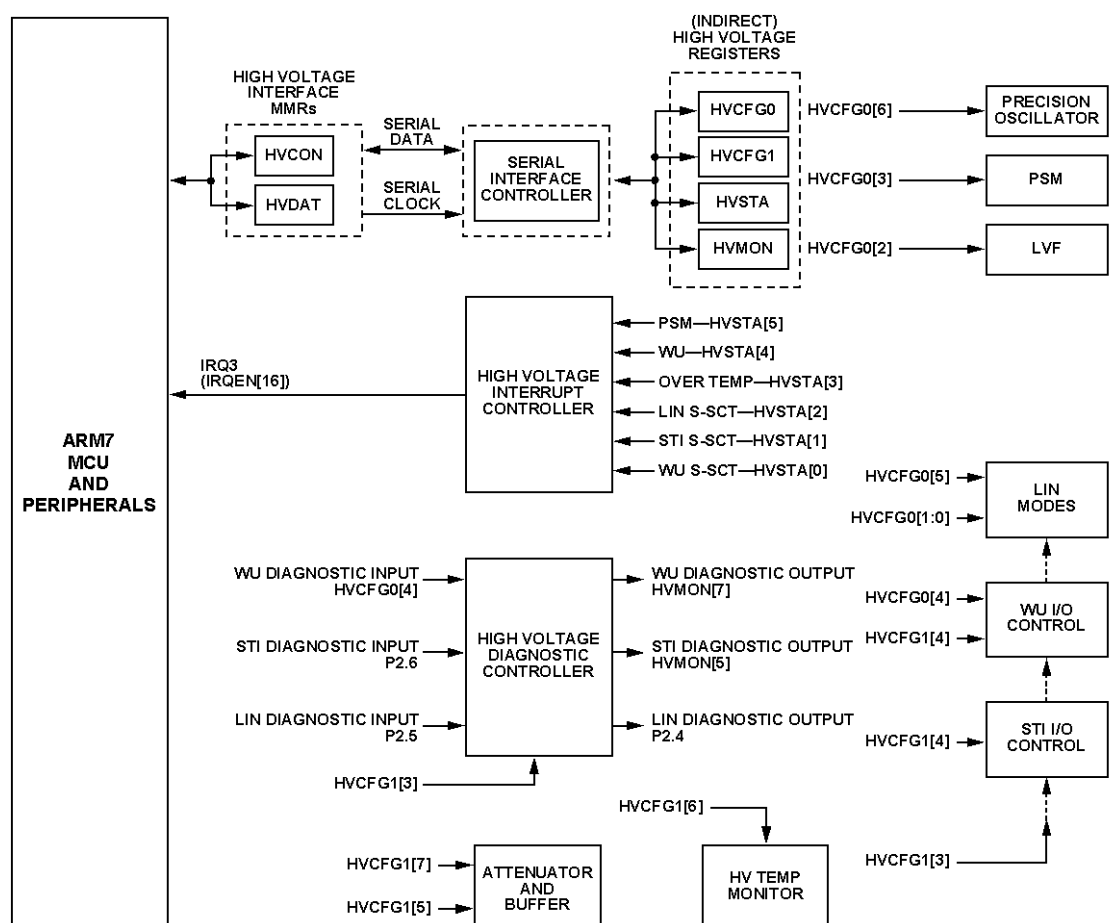


図 38.高電圧インターフェースのブロック図

## 高電圧ペリフェラル・コントロール・インターフェース・レジスタ

### 高電圧インターフェース・コントロール・レジスタ

名前: HVCON

アドレス: 0xFFFF0804

デフォルト値: カーネルにより更新

アクセス: 読み書き可能

機能: この 8 ビット・レジスタは、高電圧コントロール・インターフェースのコマンド・バイト・インタープリタとして機能します。このレジスタに書き込まれたバイトは、高電圧回路に関係する 4 個の間接レジスタを設定する読み出しコマンドまたは書き込みコマンドとして解釈されます。HVDAT レジスタは、間接レジスタに対する書き込みまたは読み出しの対象となるデータの格納に使用されます。

表 70.HVCON MMR 書き込みビットの説明

Bit	Description
7 to 0	Command byte. Interpreted as 0x00 = read back the HVCFG0 high voltage register into HVDAT. 0x01 = read back the HVCFG1 high voltage register into HVDAT. 0x02 = read back the HVSTA high voltage status register into HVDAT. 0x03 = read back the HVMON high voltage status register into HVDAT. 0x08 = write the value in HVDAT to the HVCFG0 high voltage register. 0x09 = write the value in HVDAT to the HVCFG1 high voltage register.

表 71.HVCON MMR 読み出しビットの説明

Bit	Description
7 to 3	Reserved.
2	Transmit command to high voltage die status. 1 = command completed successfully. 0 = command failed.
1	Read command from high voltage die status. 1 = command completed successfully. 0 = command failed.
0	Bit 0 (read only) busy bit. When user code reads this register, Bit 0 should be interpreted as the busy signal for the high voltage interface. This bit can be used to determine if a read request has completed. High voltage (read/write) commands, as described in this table, should not be written to HVCON unless busy = 0. 1 = high voltage interface is busy and has not completed the previous command written to HVCON. Bit 1 and Bit 2 are not valid. 0 = high voltage interface is not busy and has completed the command written to HVCON. Bit 1 and Bit 2 are valid.

**高電圧データ・レジスタ**

名前: HVDAT

アドレス: 0xFFFF080C

デフォルト値: カーネルにより更新

アクセス: 読み書き可能

機能: HVDAT は、次の高電圧インターフェース・レジスタに対して間接的に書き込まれる、または間接的に読み出されるデータの格納に使用される 12 ビット・レジスタです。

表 72.HVDAT MMR のビット説明

Bit	Description
11 to 8	<p>Command with which HVDAT[7: 0] high voltage data is associated. These bits are read only and should be written as 0s.</p> <p>0x00 = read back the HVCFG0 high voltage register into HVDAT.</p> <p>0x01 = read back the HVCFG1 high voltage register into HVDAT.</p> <p>0x02 = read back the HVSTA high voltage status register into HVDAT.</p> <p>0x03 = read back the HVMON high voltage status register into HVDAT.</p> <p>0x08 = write the value in HVDAT to the HVCFG0 high voltage register.</p> <p>0x09 = write the value in HVDAT to the HVCFG1 high voltage register.</p>
7 to 0	High voltage data to read/write.

## 高電圧設定 0 レジスタ

名前: HVCFG0

アドレス: HVCON 高電圧インターフェースを経由して間接アドレス指定

デフォルト値: 0x00

アクセス: 読み書き可能

機能: この 8 ビット・レジスタは、ADuC7034 上の高電圧回路の機能を制御します。このレジスタは MMR ではないため、全 MMR のリストのセクションに記載されません。HVCON MMR を経由して間接的にアクセスされ、このレジスタのデータは HVDAT MMR を介して読み書きされます。

表 73.HVCFG0 のビット説明

Bit	Description
7	Wake-up/STI thermal shutdown disable. Set to 1 to disable the automatic shutdown of the wake/STI driver when a thermal event occurs. Cleared to 0 to enable the automatic shutdown of the wake/STI driver when a thermal event occurs.
6	Precision oscillator enable bit. Set to 1 to enable the precision 131 kHz oscillator. The oscillator start-up time is typically 70 $\mu$ s (including a high voltage interface latency of 10 $\mu$ s). Cleared to 0 to power down the precision 131 kHz oscillator.
5	Bit serial device (BSD) mode enable bit. Set to 1 to disable the internal (LIN) pull-up and to configure the LIN/BSD pin for BSD operation. Cleared to 0 to enable an internal (LIN) pull-up resistor on the LIN/BSD pin.
4	Wake-up (WU) assert bit. Set to 1 to assert the external WU pin high. Cleared to 0 to pull the external WU pin low via an internal 10 k $\Omega$ pull-down resistor.
3	Power supply monitor (PSM) enable bit. Set to 1 to enable the power supply (voltage at the VDD pin) monitor. When IRQ3 is enabled (via IRQEN[16]), the PSM generates an interrupt if the voltage at the VDD pin drops below 6.0 V. Cleared to 0 to disable the power supply (voltage at the VDD pin) monitor.
2	Low voltage flag (LVF) enable bit. Set to 1 to enable the LVF function. The low voltage flag can be interrogated via HVMON[3] after power-up to determine if the REG_DVDD voltage previously dropped below 2.1 V. Cleared to 0 to disable the LVF function.
1 to 0	LIN operating mode. These bits enable/disable the LIN driver. 00 = LIN disabled. 01 = reserved (not LIN V2.0 compliant). 10 = LIN enabled. 11 = reserved, not used.

## 高電圧設定 1 レジスタ

名前: HVCFG1

アドレス: HVCON 高電圧インターフェースを経由して間接アドレス指定

デフォルト値: 0x00

アクセス: 読み書き可能

機能: この 8 ビット・レジスタは、ADuC7034 上の高電圧回路の機能を制御します。このレジスタは MMR ではないため、全 MMR のリストのセクションに記載されません。HVCON MMR を経由して間接的にアクセスされ、このレジスタのデータは HVDAT MMR を介して読み書きされます。

表 74.HVCFG1 のビット説明

Bit	Description
7	Voltage attenuator diagnostic enable bit. Set to 1 to turn on a 1.29 $\mu$ A current source, which adds 170 mV differential voltage to the voltage channel measurement. Cleared to 0 to disable the voltage attenuator diagnostic.
6	High voltage temperature monitor. The high voltage temperature monitor is an uncalibrated temperature monitor located on chip, close to the high voltage circuits. This monitor is completely separate from the on-chip precision temperature sensor (controlled via ADC1CON[7:6]) and allows user code to monitor die temperature change close to the hottest part of the ADuC7034 die. The monitor generates a typical output voltage of 600 mV at 25°C and has a negative temperature coefficient of typically $-2.1$ mV/°C. Set to 1 to enable the on-chip high voltage temperature monitor. When enabled, this voltage output temperature monitor is routed directly to the voltage channel ADC. Cleared to 0 to disable the on-chip high voltage temperature monitor.
5	Voltage channel short enable bit. Set to 1 to enable an internal short (at the attenuator before the ADC input buffers) on the voltage channel ADC and allows noise to be measured as a self-diagnostic test. Cleared to 0 to disable an internal short on the voltage channel.
4	WU and STI readback enable bit. Set to 1 to enable input capability on the external WU and STI pins. In this mode, a rising or falling edge transition on the WU and STI pins generates a high voltage interrupt. When this bit is set, the state of the WU and STI pins can be monitored via the HVMON register (HVMON[7] and HVMON[5]). Cleared to 0 to disable input capability on the external WU/STI pins.
3	High voltage I/O driver enable bit. Set to 1 to re-enable any high voltage I/O pins (LIN/BSD, STI, and WU) that have been disabled as a result of a short-circuit current event lasting more than 20 $\mu$ s for LIN/BSD and STI pins and more than 400 $\mu$ s for the WU pin. This bit must also be set to 1 to re-enable the WU and STI pins if they were disabled by a thermal event. It should be noted that pending interrupts are not automatically cleared even if the event has passed; therefore, this bit must be manually set to clear any pending interrupt generated by the short-circuit event and to re-enable the high voltage I/O pins. Cleared to 0 automatically.
2	Enable/disable short-circuit protection (LIN/BSD and STI). Set to 1 to enable passive short-circuit protection on the LIN pin. In this mode, a short-circuit event on the LIN/BSD pin generates a high voltage interrupt, IRQ3 (if enabled in IRQEN[16]), and asserts the appropriate status bit in HVSTA but does not disable the short-circuiting pin. Cleared to 0 to enable active short-circuit protection on the LIN/BSD pin. In this mode during a short-circuit event, the LIN/BSD pin generates a high voltage interrupt (IRQ3), asserts HVSTA[16], and automatically disables the short-circuiting pin. When disabled, the I/O pin can only be re-enabled by writing to HVCFG1[3].
1	WU pin timeout (monoflop) counter enable/disable. Set to disable the WU I/O timeout counter. Cleared to enable a timeout counter that automatically deasserts the WU pin 1.3 sec after user code has asserted the WU pin via HVCFG0[4].
0	WU open-circuit diagnostic enable. Set to enable an internal WU I/O diagnostic pull-up resistor to the VDD pin, thus allowing detection of an open-circuit condition on the WU pin. Cleared to disable an internal WU I/O diagnostic pull-up resistor.

## 高電圧モニター・レジスタ

名前: HVMON

アドレス: HVCON 高電圧インターフェースを経由して間接アドレス指定

デフォルト値: 0x00

アクセス: 読み出し専用

機能: この 8 ビットの読み出し専用レジスタは、高電圧機能のステータスを表示します。このレジスタは MMR ではないため、全 MMR のリストのセクションに記載されません。HVCON MMR を経由して間接的にアクセスされ、このレジスタのデータは HVDAT MMR を介して読み出されます。

表 75.HVMON のビット説明

Bit	Description
7	WU pin diagnostic readback. When enabled via HVCFG1[4], this read only bit reflects the state of the external WU pin.
6	Overtemperature. 0 = a thermal shutdown event has not occurred. 1 = a thermal shutdown event has occurred.
5	STI pin diagnostic readback. When enabled via HVCFG1[4], this read only bit reflects the state of the external STI pin.
4	Buffer enabled. 0 = the voltage channel ADC input buffer is disabled. 1 = the voltage channel ADC input buffer is enabled.
3	Low voltage flag status bit. Only valid if enabled via HVCFG0[2]. 0 (on power-on) = REG_DVDD has dropped below 2.1 V. In this state, RAM contents can be deemed corrupt. 1 (on power-on) = REG_DVDD has not dropped below 2.1 V. In this state, RAM contents can be deemed valid. It is only cleared by re-enabling the low voltage flag in HVCFG0[2].
2	LIN/BSD short-circuit status flag. 0 = the LIN/BSD driver is operating normally. 1 = the LIN/BSD driver has experienced a short-circuit condition and is cleared automatically by writing to HVCFG1[3].
1	STI short-circuit status flag. 0 = the STI driver is operating normally. 1 = the STI driver has experienced a short-circuit condition, and it is cleared automatically by writing to HVCFG1[3].
0	Wake-up short-circuit status flag. 0 = the wake-up driver is operating normally. 1 = the wake-up driver has experienced a short-circuit condition.



## 高電圧ステータス・レジスタ

名前: HVSTA

アドレス: HVCON 高電圧インターフェースを経由して間接アドレス指定

デフォルト値: 0x00

アクセス: 読み出し専用。このレジスタは高電圧割り込みでのみ読み出されます。

機能: この 8 ビットの読み出し専用レジスタは、HVMON レジスタ内のすべての対応するビットの状態の変化を表示します。このレジスタは MMR ではないため、全 MMR のリストのセクションに記載されません。HVCON MMR レジスタ・インターフェースを経由して間接的にアクセスされ、このレジスタのデータは HVDAT MMR を介して読み出されます。高電圧割り込みコントローラは高電圧割り込みイベントに応答して、高電圧ステータス・レジスタ(HVSTA)の現在の値を HVDAT レジスタに同時に自動的にロードします。

表 76.HVSTA のビット説明

Bit	Description
7 to 6	Reserved. These bits should not be used and are reserved for future use.
5	PSM status. Only valid if enabled via HVCFG0[3]. This bit is not latched and the IRQ needs to be enabled to detect it. 0 = the voltage at the VDD pin stays above 6.0 V. 1 = the voltage at the VDD pin drops below 6.0 V.
4	WU request status bit. Only valid if enabled via HVCFG1[4]. When enabled via HVCFG1[4], this bit is set to 1 to indicate that a rising or falling edge transition on the WU pin generated a high voltage interrupt.
3	Overtemperature. This bit is always enabled. 0 = a thermal shutdown event has not occurred. 1 = a thermal shutdown event has occurred. All high voltage pin drivers (LIN/BSD, WU, and STI) are automatically disabled after a thermal shutdown occurs.
2	LIN/BSD short-circuit status flag. 0 = normal LIN/BSD operation. This bit is cleared automatically by reading the HVSTA register. 1 = a LIN/BSD short circuit is detected. In this condition, the LIN driver is automatically disabled.
1	STI short-circuit status flag. 0 = the STI driver is operating normally and is cleared automatically by reading the HVSTA register. 1 = the STI driver has experienced a short-circuit condition.
0	Wake-up short-circuit status flag. 0 = normal wake-up operation. 1 = a wake-up short circuit is detected.

## ウェイクアップ(WU)ピン

ウェイクアップ(WU)ピンは、HVCON と HVDAT を使って制御される高電圧 GPIO です。

### ウェイクアップ(WU)ピン回路の説明

デフォルトでは、WU ピンは 10 k $\Omega$  の内部プルダウン抵抗とハイサイド FET ドライバを持つ出力として設定されます。外部システム WU バスをハイ・レベルにすると、デフォルトの動作モードにある WU ピンがアクティブ・ハイのシステム・ウェイクアップ要求を発生するように指定されます。HVCFG0[4]へ直接書き込みを行うと、ユーザー・コードから WU 出力をアサートすることができます。

出力は 10  $\mu$ s のレイテンシ後にのみ応答することに注意してください。このレイテンシは HVCON MMR または HVDAT MMR と高電圧インターフェースとの間のシリアル・コミュニケーション・インターフェースで発生するものです(高電圧ペリフェラル・コントロール・インターフェースのセクション参照)。

内部 FET は大きな電流を供給する能力を持つため、このドライバを長時間アサートすると、チップ上で大きな自己発熱が発生

します。このため、モノフロップ(1.3sec のタイムアウト・タイマー)が内蔵されています。デフォルトでは、モノフロップがイネーブルされているため、1.3 sec 後にウェイクアップ・ドライバがディスエーブルされます。このモノフロップは、HVCFG1[1]を使ってディスエーブルすることができます。ウェイクアップ・モノフロップがディスエーブルされると、ウェイクアップ・ドライバは 1.3 sec 後にディスエーブルされます。

また、WU ピンは短絡検出機能も内蔵しています。ウェイクアップ・ピンが 100 mA (typ)以上の電流を 400  $\mu$ s 間供給すると、HVMON[0]がセットされて高電圧割り込みが発生します。

サーマル・シャットダウン・イベントにより、WU ドライバはディスエーブルされます。WU ドライバは、サーマル・イベント後に、HVCFG1[3]を使って手動で再イネーブルする必要があります。

HVCFG1[4]に 1 を書き込むと、WU ピンを I/O モードに設定することができます。このモードでは、立ち上がりエッジまたは立ち下がりエッジにより直ちに高電圧割り込みが発生します。HVMON[7]は外部 WU ピンの状態を直接表し、外部ウェイクアップ・バス( $R_{LOAD} = 1\text{ k}\Omega$ ,  $C_{LOAD} = 91\text{ nF}$ ,  $R_{LIMIT} = 39\text{ }\Omega$ を含む)が代表値の 3 V 以上か否かを表示します。

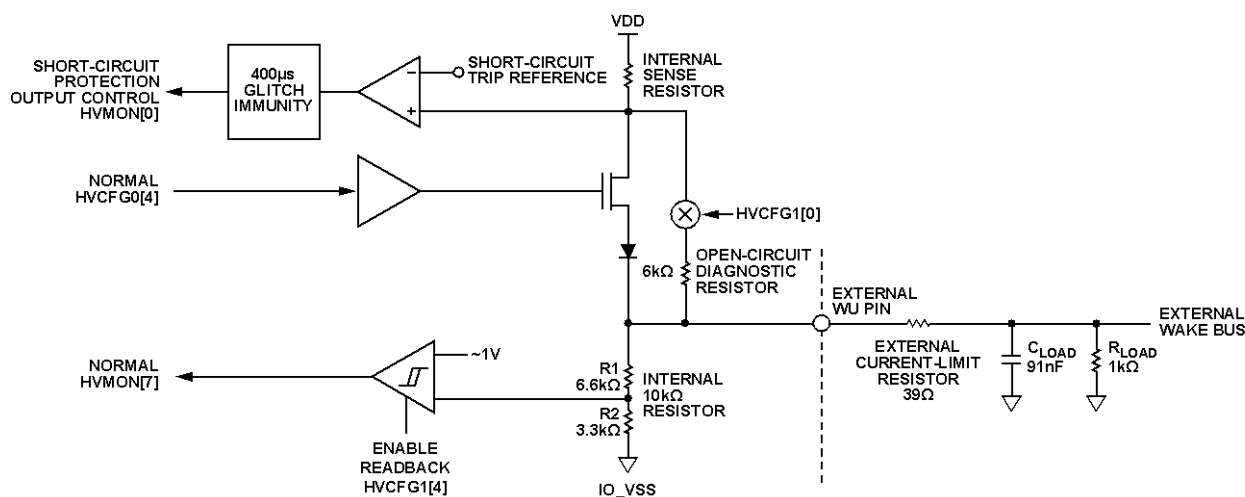


図 39.WU 回路のブロック図

07116-037

## 高電圧ペリフェラル・コントロール・インターフェースからの割り込みの処理

高電圧回路には、割り込みコントローラも内蔵されています。IRQEN[16]を使ってイネーブルすると、6 個の高電圧割り込み原因の内の 1 つが高電圧割り込み(IRQ3)信号をアサートして、MCU コアへ割り込むことができます。

この割り込みイベントに対する通常の MCU 応答では、IRQ または FIQ 割り込みベクタ・アドレスへジャンプしますが、高電圧割り込みコントローラは同時かつ自動的に高電圧ステータス・レジスタ(HVSTA)の現在値を HVDAT レジスタへロードします。この間、ビジー・ビット HVCON[0]がセットされて、転送中を表示し、さらに 10  $\mu$ s 後にクリアされて、HVSTA 値が HVDAT で使用可能になったことを表示します。

このため、割り込み処理では、HVCON 内のビジー・ビットのアサート解除をポーリングすることができます。ビジー・ビットがクリアされたとき、HVCON[1]をチェックしてデータが正常に読み出されたことを確認する必要があります。その後で、HVDAT レジスタを読み出すことができます。この時点で、表 77 のように診断することができます。

表 77.高電圧診断

High Voltage Pin	Fault Condition	Method	Result
LIN or STI	Short between LIN or STI and VBAT	Drive LIN or STI low	LIN or STI short-circuit interrupt is generated after 20 $\mu$ s if more than 100 mA is continuously drawn.
	Short between LIN or STI and GND	Drive LIN or STI high	LIN or STI readback is low.
WU	Short between WU and VBAT	Drive WU low	Readback high in HVMON[7].
	Short between WU and GND	Drive WU high	WU short-circuit interrupt is generated after 400 $\mu$ s if more than 100 mA typically is sourced.
	Open circuit	Enable OC diagnostic resistor with WU disabled	HVMON[7] is cleared if the load is connected and set if WU is open-circuited.

HVDAT には HVSTA レジスタ値が格納されます。ステータス・フラグを調べて、高電圧割り込み原因の詳細と該当する割り込み処理を知ることができます。

## 低電圧フラグ(LVF)

ADuC7034 には、低電圧フラグ(LVF)があります。この機能をイネーブルすると、ユーザーは REG\_DVDD をモニターできるようになります。低電圧フラグを HVCFG0[2]使ってイネーブルすると、HVMON[3]を使ってモニターすることができます。REG\_DVDD が 2.1 V より低くなると、HVMON[3]がクリアされて、RAM の内容が壊れます。低電圧フラグをイネーブルした後、REG\_DVDD を 2.1 V より低くするか、または HVCFG0[2]を使って LVF 機能をディスエーブルすることによってのみこの機能がリセットされます。

## 高電圧診断

WU、LIN、STI バス上の故障状態を

## UARTシリアル・インターフェース

ADuC7034 は 16,450 互換の UART を内蔵しています。この UART は、全二重のユニバーサル同期レシーバ/トランスミッタです。UART はペリフェラル・デバイスから受信されたデータ文字のシリアル/パラレル変換を行い、さらに ARM7TDMI から受信されたデータ文字のパラレル/シリアル変換を行います。UART には非整数の分周器が内蔵されているため、高精度のボー・レートの発生とネットワーク・アドレス可能モードが可能です。UART 機能は、ADuC7034 の GPIO\_5/RxD ピンと GPIO\_6/TxD ピンで使用可能です。

このシリアル通信では非同期プロトコルを採用し、種々のワード長、ストップ・ビット、設定レジスタを使って選択可能なパリティ発生オプションをサポートしています。

### ボー・レートの発生

ADuC7034 は、通常の 450 UART ボー・レート発生と ADuC7034 非整数分周器の 2 つの UART ボー・レート発生方法をサポートしています。

#### 通常の 450 UART ボー・レートの発生

ボー・レートは、COMDIV0 MMR と COMDIV1 MMR の値(16 ビット値 DL)を使ってコア・クロックを分周して発生されます。標準のボー・レート・ジェネレータを次式に示します。

$$Baud\ Rate = \frac{20.48\ MHz}{2^{CD} \times 16 \times 2 \times DL} \quad (1)$$

表 78 に、一般的なボー・レート値を示します。

表 78.標準ボー・レート・ジェネレータによるボー・レート

Baud Rate (bps)	CD	DL	Actual Baud Rate	% Error
9600	0	0x43	9552	0.50%
19,200	0	0x21	19,394	1.01%
115,200	0	0x6	106,667	7.41%
9600	3	0x8	10,000	4.17%
19,200	3	0x4	20,000	4.17%
115,200	3	0x1	80,000	30.56%

### ADuC7034 の非整数分周器によるボー・レートの発生

非整数分周器と通常のボー・レート・ジェネレータを組み合わせると、正確な高速ボー・レートの発生が可能になります。

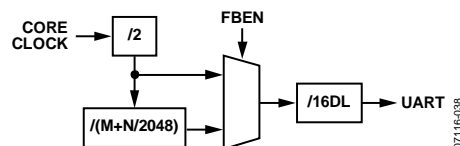


図 40.非整数分周器によるボー・レートの発生

非整数分周器を使ったボー・レートの計算は次のようになります。

$$Baud\ Rate = \frac{20.48\ MHz}{2^{CD} \times 16 \times DL \times 2 \times \left(M + \frac{N}{2048}\right)} \quad (2)$$

$$M + \frac{N}{2048} = \frac{20.48\ MHz}{Baud\ Rate \times 2^{CD} \times 16 \times DL \times 2}$$

ここで、CD はクロック分周比。DL は分周比ラッチ。M は分周比の整数部、非整数の分周比は入力为非整数 M.N で分周します。N は分周比の小数部、非整数の分周比は入力为非整数 M.N で分周します。

表 79 に、一般的なボー・レート値を示します。

表 79.非整数ボー・レート・ジェネレータによるボー・レート

Baud Rate (bps)	CD	DL	M	N	Actual Baud Rate	% Error
9600	0	0x42	1	21	9598.55	0.015%
19,200	0	0x21	1	21	19,197.09	0.015%
115,200	0	0x5	1	228	115,177.51	0.0195%

## UART レジスタの定義

UART インターフェースは次の 9 個のレジスタから構成されています。

- COMTX: 8 ビット送信レジスタ
- COMRX: 8 ビット受信レジスタ
- COMDIV0: 除数ラッチ(下位バイト)
- COMDIV1: 除数ラッチ(上位バイト)
- COMCON0: ライン・コントロール・レジスタ
- COMSTA0: ライン・ステータス・レジスタ
- COMIEN0: 割り込みイネーブル・レジスタ
- COMIID0: 割り込み識別レジスタ
- COMDIV2: 16 ビット非整数ボー分周レジスタ

COMTX、COMRX、COMDIV0 は、同じアドレス・ロケーションを共用しています。COMTX と COMRX は、COMCON0 レジスタのビット 7 がクリアされているときにアクセスできます。COMDIV0 は COMCON0 レジスタのビット 7 がセットされているときにアクセスできます。

### UART TX レジスタ

名前: COMTX

アドレス: 0xFFFF0700

アクセス: 書き込み専用

機能: UART を使って送信するデータをこの 8 ビット・レジスタに書き込みます。

### UART RX レジスタ

名前: COMRX

アドレス: 0xFFFF0700

デフォルト値: 0x00

アクセス: 読み出し専用

機能: UART を使って送信された受信データをこの 8 ビット・レジスタから読み出します。

### UART 除数ラッチ・レジスタ 0

名前: COMDIV0

アドレス: 0xFFFF0700

デフォルト値: 0x00

アクセス: 読み書き可能

機能: この 8 ビット・レジスタは、UART が動作するボー・レートを制御する除数ラッチの下位バイトを格納します。

### UART 除数ラッチ・レジスタ 1

名前: COMDIV1

アドレス: 0xFFFF0704

デフォルト値: 0x00

アクセス: 読み書き可能

機能: この 8 ビット・レジスタは、UART が動作するボー・レートを制御する除数ラッチの上位バイトを格納します。

### UART コントロール・レジスタ 0

名前: COMCON0

アドレス: 0xFFFF070C

デフォルト値: 0x00

アクセス: 読み書き可能

機能: この 8 ビット・レジスタと COMCON1 との組み合わせにより、UART の動作を制御します。

表 80.COMCON0 MMR のビット説明

Bit	Name	Description
7	DLAB	Divisor latch access. Set by user to enable access to COMDIV0 and COMDIV1. Cleared by user to disable access to COMDIV0 and COMDIV1 and to enable access to COMRX, COMTX, and COMIEN0.
6	BRK	Set break. Set by user to force TxD to 0. Cleared to operate in normal mode.
5	SP	Stick parity. Set by user to force parity to defined values. 1 if EPS = 1 and PEN = 1. 0 if EPS = 0 and PEN = 1.
4	EPS	Even parity select bit. Set for even parity. Cleared for odd parity.
3	PEN	Parity enable bit. Set by user to transmit and check the parity bit. Cleared by user for no parity transmission or checking.
2	STOP	Stop bit. Set by the user to transmit 1.5 stop bits if the word length is five bits, or 2 stop bits if the word length is six, seven, or eight bits. The receiver checks the first stop bit only, regardless of the number of stop bits selected. Cleared by the user to generate 1 stop bit in the transmitted data.
1 to 0	WLS	Word length select. 00 = five bits. 01 = six bits. 10 = seven bits. 11 = eight bits.

**UART コントロール・レジスタ 1**

名前: COMCON1

アドレス: 0xFFFF0710

デフォルト値: 0x00

アクセス: 読み書き可能

機能: この 8 ビット・レジスタと COMCON0 との組み合わせにより、UART の動作を制御します。

表 81.COMCON1 MMR のビット説明

Bit	Name	Description
7 to 6	SMS	UART input mux. 00 = Rx/D driven by LIN input; required for LIN communications using the LIN pin. 01 = reserved. 10 = Rx/D driven by GP5; required for serial communication using GPIO_5 pin (Rx/D). 11 = reserved.
5	N/A	Reserved. Not used.
4	LOOPBACK	Loopback. Set by user to enable loopback mode. In loopback mode, the TxD is forced high.
3 to 0	N/A	Reserved. Not used.

**UART ステータス・レジスタ 0**

名前: COMSTA0

アドレス: 0xFFFF0714

デフォルト値: 0x60

アクセス: 読み出し専用

機能: この 8 ビットの読み出し専用レジスタは、UART の現在のステータスを表示します。

表 82.COMSTA0 MMR のビット説明

Bit	Name	Description
7	N/A	Reserved.
6	TEMT	COMTX and shift register empty status bit. Set automatically if COMTX and the shift register are empty. This bit indicates that the data has been transmitted, that is, no more data is present in the shift register. Cleared automatically by writing to COMTX.
5	THRE	COMTX empty status bit. Set automatically if COMTX is empty. COMTX can be written to as soon as the THRE bit is set, but the previous data might not have been transmitted yet and may still be present in the shift register. Cleared automatically by writing to COMTX.
4	BI	Break indicator. Set when SIN is held low for more than the maximum word length. Cleared automatically.
3	FE	Framing error. Set when the stop bit is invalid. Cleared automatically.
2	PE	Parity error. Set when a parity error occurs. Cleared automatically.
1	OE	Overrun error. Set automatically if data is overwritten before being read. Cleared automatically.
0	DR	Data ready. Set automatically when COMRX is full. Cleared by reading COMRX.

**UART 割り込みイネーブル・レジスタ 0**

名前: COMIEN0

アドレス: 0xFFFFF0704

デフォルト値: 0x00

アクセス: 読み書き可能

機能: この 8 ビット・レジスタは、UART 割り込み原因を個別にイネーブル/ディスエーブルします。

表 83.COMIEN0 MMR のビット説明

Bit	Name	Description
7 to 4	N/A	Reserved. Not used.
3	N/A	Reserved. This bit should be written as 0.
2	ELSI	RxD status interrupt enable bit. Set by the user to enable generation of an interrupt if any of the COMSTA0[3: 1] register bits are set. Cleared by the user.
1	ETBEI	Enable transmit buffer empty interrupt. Set by the user to enable an interrupt when the buffer is empty during a transmission, that is, when COMSTA[5] is set. Cleared by the user.
0	ERBFI	Enable receive buffer full interrupt. Set by the user to enable an interrupt when the buffer is full during a reception. Cleared by the user.

**UART 割り込み識別レジスタ 0**

名前: COMIID0

アドレス: 0xFFFFF0708

デフォルト値: 0x01

アクセス: 読み出し専用

機能: この 8 ビット・レジスタは、UART 割り込み原因を表示します。

表 84.COMIID0 MMR のビット説明

Bits[2: 1] Status Bits	Bit 0 NINT	Priority	Description	Clearing Operation
00	1	N/A	No interrupt	N/A
11	0	1	Receive line status interrupt	Read COMSTA0
10	0	2	Receive buffer full interrupt	Read COMRX
01	0	3	Transmit buffer empty interrupt	Write data to COMTX or read COMIID0
00	0	4	Modem status interrupt	Read COMSTA1 register



**UART 非整数分周器レジスタ**

名前: COMDIV2

アドレス: 0xFFFF072C

デフォルト値: 0x0000

アクセス: 読み書き可能

機能: この 16 ビット・レジスタは、ADuC7034 の非整数分周器の動作を制御します。

表 85.COMDIV2 MMR のビット説明

Bit	Name	Description
15	FBEN	Fractional baud rate generator enable bit. Set by the user to enable the fractional baud rate generator. Cleared by the user to generate the baud rate using the standard 450 UART baud rate generator.
14 to 13		Reserved.
12 to 11	FBM[1: 0]	Fractional Divider M. If FBM = 0, M = 4. See Equation 2 for the calculation of the baud rate using the M fractional divider and Table 79 for common baud rate values.
10 to 0	FBN[10: 0]	Fractional Divider N. See Equation 2 for the calculation of the baud rate using the N fractional divider and Table 79 for common baud rate values.

## シリアル・ペリフェラル・インターフェース

ADuC7034 には、ハードウェアによるシリアル・ペリフェラル・インターフェース(SPI)が内蔵されています。SPI は業界標準の同期シリアル・インターフェースであり、8 ビットのデータを同時に同期送受信することができます(全二重動作)。

SPI インターフェースは、コア・クロック分周器ビット(POWCON[2: 0]=0 または 1)を使った場合のみ動作します。

SPI ポートはマスター動作またはスレーブ動作に設定することができ、4 本の GPIO と 4 本のピンを共用しています。この 4 本の SPI ピンは、MISO、MOSI、SCLK、SSです(表 86 参照)。

表 86.SPI の出力ピン

Pin <sup>1</sup>	SPI Pin Function	Description
GPIO_0	<u>SS</u>	Slave select
GPIO_1	SCLK	Serial clock
GPIO_2	MISO	Master input, slave output
GPIO_3	MOSI	Master output, slave input

<sup>1</sup> 大部分の GPIO ピンはユーザー・コードから設定できる複数の機能を持っています。デフォルトでは、GPIO ピンは GPIO モードに設定されています。

### MISO ピン

この MISO (マスター入カスレーブ出力)ピンは、マスター・モードでは入力ラインに、スレーブ・モードでは出力ラインに、それぞれ設定されます。マスターの MISO ライン(データ入力)は、スレーブ・デバイスの MISO ライン(データ出力)に接続します。データは、MSB 先頭のバイト幅(8 ビット)シリアル・データで転送されます。

### MOSI ピン

この MOSI (マスター入カスレーブ出力)ピンは、マスター・モードでは入力ラインに、スレーブ・モードでは出力ラインに、それぞれ設定されます。マスターの MOSI ライン(データ出力)は、スレーブ・デバイスの MOSI ライン(データ入力)に接続します。データは、MSB 先頭のバイト幅(8 ビット)シリアル・データで転送されます。

### SCLK ピン

SCLK(マスター・シリアル・クロック)は、MOSI SCLK 周期内で送受信するデータを同期化するために使います。したがって、

1 バイトの送受信には SCLK の 8 周期が必要です。SCLK ピンは、マスター・モードでは出力に、スレーブ・モードでは入力に、それぞれ設定されます。

マスター・モードでは、クロックの極性と位相は SPICON レジスタにより制御され、ビット・レートは SPIDIV レジスタにより次式の SPI ボー・レート計算を使って決定されます。

$$f_{\text{SERIALCLOCK}} = \frac{20.48 \text{ MHz}}{2 \times (1 + \text{SPIDIV})} \quad (3)$$

SPI クロックの最大速度は、クロック分周器ビットに依存し、表 87 にまとめます。

表 87.マスタ・モードでの SPI 速度とクロック分周器ビットの対応

Setting of CD Bits	SPIDIV	Maximum SCLK (MHz)
0	0x05	1.667
1	0x0B	0.833

スレーブ・モードでは、SPICON レジスタには、該当する入力クロックの位相と極性が設定される必要があります。スレーブは、CD = 0 のとき最大 5.12 Mb で外部マスターからデータを受信します。最大速度の式は次のようになります。

$$f_{\text{SERIALCLOCK}} = \frac{f_{\text{HCLK}}}{4}$$

マスター・モードとスレーブ・モードの両方で、データは SCL 信号の一方のエッジで送信され、他方のエッジでサンプルされます。したがって、極性と位相は、マスター・デバイスとスレーブ・デバイスで同じに設定されることが重要です。

### SS ピン

SPI スレーブ・モードでは、転送はアクティブ・ロー入力信号であるSSのアサーションによって開始されます。SPI ポートは、8 ビットのデータを送信/受信し、この転送はSSのアサーション解除まで続きます。スレーブ・モードでは、SSは常に入力になります。

### SPI レジスタの定義

SPI インターフェースの制御には次の MMR レジスタを使います。

- SPICON: 16 ビット・コントロール・レジスタ
- SPISTA: 8 ビット読み出し専用ステータス・レジスタ
- SPIDIV: 8 ビット・シリアル・クロック分周器レジスタ
- SPITX: 8 ビット書き込み専用送信レジスタ
- SPIRX: 8 ビット読み出し専用受信レジスタ

## SPI コントロール・レジスタ

名前: SPICON

アドレス: 0xFFFF0A10

デフォルト値: 0x0000

アクセス: 読み書き可能

機能: この 16 ビット MMR は、シリアル・ペリフェラル・インターフェースを設定します。

表 88.SPICON MMR のビット説明

Bit	Description
15 to 13	Reserved.
12	Continuous transfer enable. Set by the user to enable continuous transfer. In master mode, the transfer continues until no valid data is available in the SPITX register. $\overline{SS}$ is asserted and remains asserted for the duration of each 8-bit serial transfer until SPITX is empty. Cleared by the user to disable continuous transfer. Each transfer consists of a single 8-bit serial transfer. If valid data exists in the SPITX register, a new transfer is initiated after a stall period.
11	Loopback enable. Set by the user to connect MISO to MOSI and test software. Cleared by the user to be in normal mode.
10	Slave output enable. Set by the user to enable the slave output. Cleared by the user to disable slave output.
9	Slave select input enable. Set by the user in master mode to enable the output. Cleared by user code to disable the output.
8	SPIRX overflow overwrite enable. Set by the user; the valid data in the SPIRX register is overwritten by the new serial byte received. Cleared by the user; the new serial byte received is discarded.
7	SPITX underflow mode. Set by the user to transmit the previous data. Cleared by the user to transmit 0.
6	Transfer and interrupt mode (master mode). Set by the user to initiate a transfer with a write to the SPITX register. An interrupt occurs when SPITX is empty. Cleared by the user to initiate a transfer with a read of the SPIRX register. An interrupt occurs when SPIRX is full.
5	LSB first transfer enable bit. Set by the user; the LSB is transmitted first. Cleared by the user; the MSB is transmitted first.
4	Reserved.
3	Serial clock polarity mode bit. Set by the user; the serial clock idles high. Cleared by the user; the serial clock idles low.
2	Serial clock phase mode bit. Set by the user; the serial clock pulses at the beginning of each serial bit transfer. Cleared by the user; the serial clock pulses at the end of each serial bit transfer.
1	Master mode enable bit. Set by the user to enable master mode. Cleared by the user to enable slave mode.
0	SPI enable bit. Set by the user to enable the SPI. Cleared by the user to disable the SPI.

**SPI ステータス・レジスタ**

名前: SPISTA

アドレス: 0xFFFF0A00

デフォルト値: 0x00

アクセス: 読み出し専用

機能: この 8 ビット MMR は、シリアル・ペリフェラル・インターフェースの現在のステータスを表示します。

表 89.SPISTA MMR のビット説明

Bit	Description
7 to 6	Reserved.
5	SPIRX data register overflow status bit. Set if SPIRX is overflowing. Cleared by reading the SPIRX register.
4	SPIRX data register IRQ. Set automatically if Bit 3 or Bit 5 is set. Cleared by reading the SPIRX register.
3	SPIRX data register full status bit. Set automatically if valid data is present in the SPIRX register. Cleared by reading the SPIRX register.
2	SPITX data register underflow status bit. Set automatically if SPITX is underflowing. Cleared by writing in the SPITX register.
1	SPITX data register IRQ. Set automatically if Bit 0 is cleared or Bit 2 is set. Cleared by either writing in the SPITX register or, if the transmission is finished, by disabling the SPI.
0	SPITX data register empty status bit. Set by writing to SPITX to send data. This bit is set during transmission of data. Cleared when SPITX is empty.

**SPI 受信レジスタ**

名前: SPIRX

アドレス: 0xFFFF0A04

デフォルト値: 0x00

アクセス: 読み出し専用

機能: この 8 ビット MMR は、シリアル・ペリフェラル・インターフェースを使って受信したデータを格納します。

**SPI 送信レジスタ**

名前: SPITX

アドレス: 0xFFFF0A08

アクセス: 書き込み専用

機能: シリアル・ペリフェラル・インターフェースを使って送信するデータをこの 8 ビット MMR に書き込みます。

**SPI 分周器レジスタ**

名前: SPIDIV

アドレス: 0xFFFF0A0C

デフォルト値: 0x1B

アクセス: 読み書き可能

機能: この 8 ビット MMR は、シリアル・ペリフェラル・インターフェースが動作している周波数を表示します。ポー・レートの計算については式 3 を参照してください。

## シリアル・テスト・インターフェース

ADuC7034 は 1 本のピンからなるシリアル・テスト・インターフェース(STI)ポートを内蔵しており、完成製品に対する最終顧客による評価または診断に使うことができます。

STI ポートは、12 ビットのパケットで 1~6 バイトのデータを転送することができます。図 41 に示すように、各送信パケットには、スタート・ビット、送信バイト(8 ビット)、偶数パリティ・ビット、2 ビット幅のストップ・ビットが含まれています。STI データは STI ピンで送信され、ボー・レートはタイマー4 のオーバーフロー・レートで決定されます。

STI ポートは、次の 6 個の MMR を使って設定/制御されます。

- STIKEY0: シリアル・テスト・インターフェース・キー0
- STIKEY1: シリアル・テスト・インターフェース・キー1
- STIDAT0: データ 0 (16 ビット)は 2 バイトを保持
- STIDAT1: データ 1 (16 ビット)は 2 バイトを保持
- STIDAT2: データ 2 (16 ビット)は 2 バイトを保持
- STICON: シリアル・テスト・インターフェースを制御

### シリアル・テスト・インターフェース・レジスタ

#### シリアル・テスト・インターフェース・キー0 レジスタ

名前: STIKEY0

アドレス: 0xFFFF0880

アクセス: 書き込み専用

機能: STIKEY0 MMR と STIKEY1 MMR は組み合わせて使用され、STICON MMR を保護します。STICON へ書き込む直前に、STIKEY0 に 0x0007 を書き込む必要があります。STICON に書き込みを行った直後に STIKEY1 に 0x00B9 を書き込んで、STICON の書き込みシーケンスを正常に完了させる必要があります。STIKEY0 に書き込を行わない場合、シーケンス外で書き込んだ場合、または正常に書き込まれなかった場合には、STICON MMR に対する後続書き込みはすべて無視されます。

#### シリアル・テスト・インターフェース・キー1 レジスタ

名前: STIKEY1

アドレス: 0xFFFF0888

アクセス: 書き込み専用

機能: STIKEY1 MMR と STIKEY0 MMR は組み合わせて使用され、STICON MMR を保護します。STICON へ書き込んだ直後に、STIKEY1 に 0x00B9 を書き込む必要があります。STICON に書き

込む直前に STIKEY0 に 0x0007 を書き込んで、STICON の書き込みシーケンスを正常に完了させる必要があります。STIKEY1 に書き込を行わない場合、シーケンス外で書き込んだ場合、または正常に書き込まれなかった場合には、STICON MMR に対する前の書き込みはすべて無視されます。

#### シリアル・テスト・インターフェース・データ 0 レジスタ

名前: STIDAT0

アドレス: 0xFFFF088C

デフォルト値: 0x0000

アクセス: 読み書き可能

機能: STIDAT0 MMR は、STI ポートがイネーブルされると直ちに STI ピンから送信される 1 番目と 2 番目のデータ・バイトを格納する 16 ビット・レジスタです。送信される 1 番目のバイトはビット[0: 7]を、2 番目のバイトはビット[8: 15]を、それぞれコピーします。

#### シリアル・テスト・インターフェース・データ 1 レジスタ

名前: STIDAT1

アドレス: 0xFFFF0890

デフォルト値: 0x0000

アクセス: 読み書き可能

機能: STIDAT1 MMR は、STI ポートがイネーブルされると STI ピンから送信される 3 番目と 4 番目のデータ・バイトを格納する 16 ビット・レジスタです。送信される 3 番目のバイトはビット[0: 7]を、4 番目のバイトはビット[8: 15]を、それぞれコピーします。

#### シリアル・テスト・インターフェース・データ 2 レジスタ

名前: STIDAT2

アドレス: 0xFFFF0894

デフォルト値: 0x0000

アクセス: 読み書き可能

機能: STIDAT2 MMR は、STI ポートがイネーブルされると STI ピンから送信される 5 番目と 6 番目のデータ・バイトを格納する 16 ビット・レジスタです。送信される 5 番目のバイトはビット[0: 7]を、6 番目のバイトはビット[8: 15]を、それぞれコピーします。

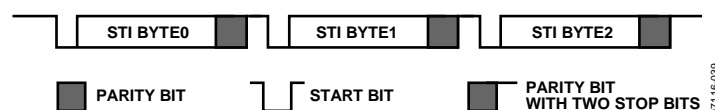


図 41. シリアル ADC テスト・インターフェースの例—3 バイト送信

## シリアル・テスト・インターフェース・コントロール・レジスタ

名前: STICON

アドレス: 0xFFFF0884

デフォルト値: 0x0000

アクセス: 読み書き可能。2つのキー・レジスタ(STIKEY0とSTIKEY1)により書き込みが禁止されます。次の3回の書き込みシーケンスに従った場合にのみ、STICONへの書き込みアクセスが正常に完了します。

1. STIKEY0 MMRに0x0007を書き込みます。
2. STICONに書き込みを行います。
3. 0x00B9をSTIKEY1へ書き込むことによって、シーケンスが完了します。

機能: STIコントロールMMRは、シリアル・テスト・インターフェースの動作モードを設定する16ビット・レジスタです。

注: GPIO\_13は、STI通信のGP2CON内でSTI動作用に設定する必要があります。

表 90.STICON MMR のビット説明

Bit	Description
15 to 9	Reserved. These bits are reserved for future use and should be written as 0 by user code.
8 to 5	State bits. Read only. If the interface is in the middle of a transmission, these bits are not 0.
4 to 2	Number of bytes to transmit. These bits select the number of bytes to be transmitted. User code must subsequently write the bytes to be transmitted into the STIDAT0, STIDAT1, and STIDAT2 MMRs. 000 = 1-byte transmission. 001 = 2-byte transmission. 010 = 3-byte transmission. 011 = 4-byte transmission. 100 = 5-byte transmission. 101 = 6-byte transmission.
1	Reset serial test interface. 1 = resets the serial test interface. A subsequent read of STICON returns all 0s. 0 = operates in normal mode (default).
0	Serial test interface enable. This bit is set by user code. 1 = enables the serial test interface. 0 = disables the serial test interface.

## シリアル・テスト・インターフェースの出力構造

シリアル・テスト・インターフェースは、ローサイド・ドライバ、短絡保護、診断ピンの読み込み機能を持つ高電圧出力です。出力ドライバの回路構成を図 42 に示します。

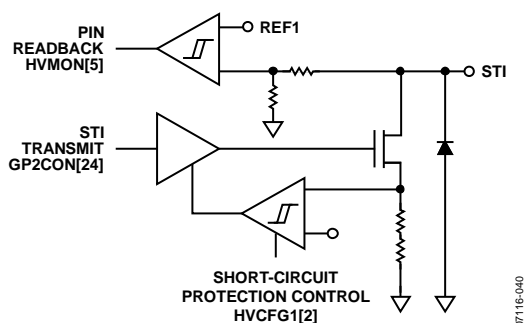


図 42. STI の出力構造

## シリアル・テスト・インターフェースの使用方法

次のシーケンスに従って STI ポートを設定した場合にのみ、データの送信が開始されます。

1. ボー・レート発生用のタイマー4を設定します。
2. アクセスを保護するため STIKEY0 と STIKEY1 を使って STICON を正常にイネーブルします。
3. 送信するバイトを STIDAT0、STIDAT1、STIDAT2 に書き込みます。

タイマー4 には、所要ボー・レートでオーバーフローする正しい値を設定します。STI ポートを使って ADC 変換結果を送信する場合は、次の ADC 変換結果が得られる前に各 ADC 変換結果 (16 ビット) を出力できる十分なボー・レートを使う必要があります。

たとえば、ADC のサンプリングが 1 kHz の場合、次に示す 36 ビットを出力するために十分なボー・レートである必要があります:  $(3 \times 8 \text{ ビット (たとえば 16 ビット ADC 変換結果とチェックサム・バイト)}) + (3 \times 1 \text{ スタート・ビット}) + (3 \times 1 \text{ パリティ・ビット}) + (3 \times 2 \text{ ストップ・ビット}) = 36 \text{ ビット}$

したがって、シリアル・テスト・インターフェースは、36 kbps 以上でデータを送信する必要があります。最も近い標準ボー・レートは 38.4 kbps です。この場合、タイマー4 ロード MMR (T4LD) に書き込まれる再ロード値は 0x0106 (10 進で 267) になります。この値は次のように計算され、コア・クロック = 10.24 MHz でプリスケアラ=1 を使うと、

$$T4LD = \frac{\text{Core Clock Frequency}}{\text{Desired Baud Rate}} = \frac{10.24 \text{ MHz}}{38.4 \text{ kbps}} = 267$$

タイマー4 のロード値を書き込み、さらに T4CON MMR を使ってタイマー自体を設定してイネーブルすると、STI ポートが設定されます。これは、前のセクションで説明したように STIKEY0 MMR と STIKEY1 MMR を使う特別なシーケンスで STICON MMR に対して書き込みを行うことにより実行されます。

最後に、所要数の送信バイトが STIDATx MMR に書き込まれた後に、STI ポートは送信を開始します。STI が送信を開始すると直ちに、STICON MMR 内の値がこのレジスタに最初書き込まれた値から変更されます。ユーザー・コードからすべてのデータが送信されたことを確認するときは、STICON MMR を連続的にポーリングして最初書き込まれた値に戻るのを確認します。このシリアル・インターフェースをディスエーブルするときは、ユーザー・コードから STICON[0]へ0を書き込みます。



まず 5 バイト送信し、次に 2 バイトを送信するように STI ポートを設定するコード・セグメントの例を次に示します。

```
T4LD = 267;                // Timer4 reload value
T4CON = 0xC0;              // Enable T4, selecting core clock in periodic mode

STIKEY0 = 07;              // STICON start write sequence
STICON = 0x11;            // Enable and transmit five bytes
STIKEY1 = 0xb9;           // STICON complete write

STIDAT0 = 0xAABB;          // Five bytes for
STIDAT1 = 0xCCDD;          // transmission
STIDAT2 = 0xFF;

while(STICON != 0x09)      // Wait for transmission to complete
{

    STIKEY0 = 07;          // STICON start write sequence
    STICON = 0x05;        // Enable and transmit two bytes
    STIKEY1 = 0xb9;       // STICON complete write

    STIDAT0 = 0xEEFF;      // Two bytes for transmission

    while(STICON != 0x09) // Wait for transmission to complete
    {
```

## LIN (ローカル・インターコネクト・ネットワーク)インターフェース

ADuC7034 は、ARM7 MCU コアと外部 LIN バスとの間の高電圧物理インターフェースを内蔵しています。この LIN インターフェースはスレーブ専用インターフェースとして 1 k~20 k ボード動作し、LIN 2.0 規格と互換性を持っています。スレーブ・ノードに必要とされるプルアップ抵抗を内蔵しているため、外付け回路数が削減できます。LIN プロトコルは、図 43 に示すように、内蔵 UART、IRQ、専用 LIN タイマー、高電圧トランシーバ(これも内蔵)を使って、エミュレートされています。この LIN は、ブレーク・タイマー用の低消費電力発振器からのクロックで駆動され、同期バイト・タイミングには PLL からの 5 MHz 出力が使われています。

### LIN MMR の説明

LIN ハードウェア同期(LHS)機能は、5 個の MMR を使って制御されます。各 MMR の機能を次に示します。

- **LHSSTA:** LHS ステータス・レジスタ。この MMR はインターフェースの現在のステータスを示す情報フラグを格納します。
- **LHSCON0:** LHS コントロール・レジスタ 0 は、LHS タイマーの設定を制御します。
- **LHSCON1:** LHS はスタートとストップのコントロール・レジスタです。この MMR は、LHS がカウントを開始/停止する LIN 同期バイトのエッジを指定します。
- **LHSVAL0:** LHS 同期 16 ビット・タイマー。この MMR は LHSCON0 から制御されます。
- **LHSVAL1:** LHS ブレーク・タイマー・レジスタ。

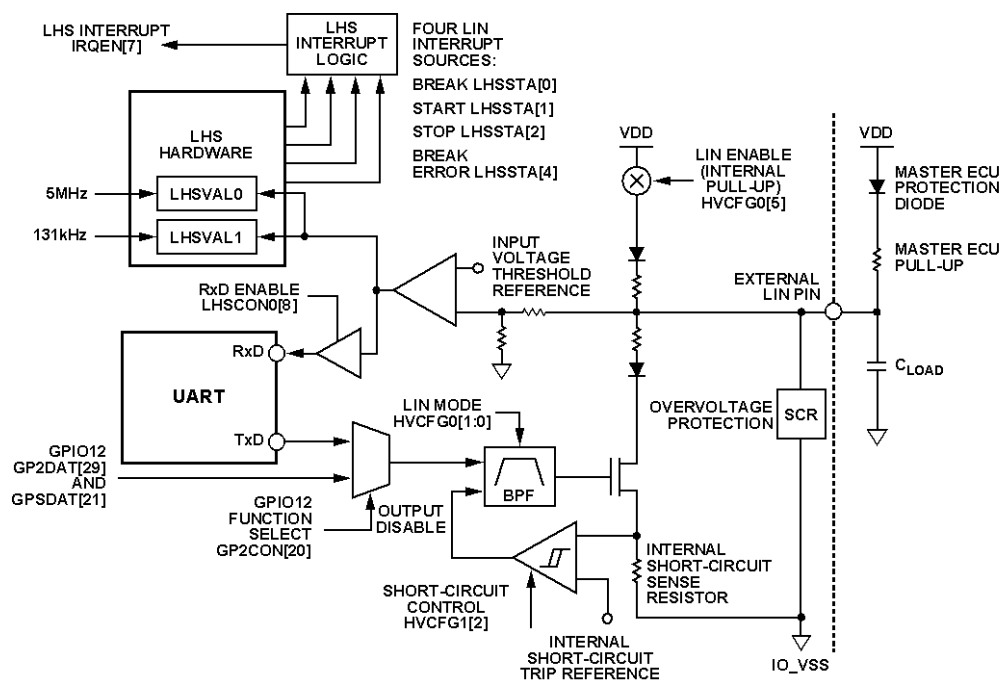


図 43. LIN I/O Block Diagram

**LIN ハードウェア同期ステータス・レジスタ**

名前: LHSSTA

アドレス: 0xFFFF0780

デフォルト値: 0x00

アクセス: 読み出し専用

機能: LHS ステータス・レジスタは 8 ビット・レジスタであり、各ビットは ADuC7034 LIN インターフェースの現在の動作ステータスを表示します。

表 91.LHSSTA MMR のビット説明

Bit	Description
7	Reserved. These read only bits are reserved for future use.
6	Rising edge detected (BSD mode only). Set to 1 by hardware to indicate a rising edge has been detected on the BSD bus. Cleared to 0 after user code reads the LHSSTA MMR.
5	LHS reset complete flag. Set to 1 by hardware to indicate a LHS reset command has completed successfully. Cleared to 0, after user code reads the LHSSTA MMR.
4	Break field error. Set to 1 by hardware and generates an LHS interrupt (IRQEN[7]) when the 12-bit break timer (LHSVAL1) register overflows to indicate the LIN bus has stayed low too long, thus suggesting a possible LIN bus error. Cleared to 0 after user code reads the LHSSTA MMR.
3	LHS compare interrupt. Set to 1 by hardware when the value in LHSVAL0 (LIN synchronization bit timer) equals the value in the LHSCMP register. Cleared to 0 after user code reads the LHSSTA MMR.
2	Stop condition interrupt. Set to 1 by hardware when a stop condition is detected. Cleared to 0 after user code reads LHSSTA MMR.
1	Start condition interrupt. Set to 1 by hardware when a start condition is detected. Cleared to 0 after user code reads LHSSTA MMR.
0	Break timer compare interrupt. Set to 1 by hardware when a valid LIN break condition is detected. A LIN break condition is generated when the LIN break timer value reaches the break timer compare value (see LHSVAL1 in the LIN Hardware Break Timer1 Register section for more information). Cleared to 0 after user code reads the LHSSTA MMR.

## LIN ハードウェア同期コントロール・レジスタ 0

名前: LHSCON0

アドレス: 0xFFFF0784

デフォルト値: 0x0000

アクセス: 読み書き可能

機能: 16 ビット・レジスタのこの LHS コントロール・レジスタは LHSCON1 レジスタと組み合わせて使い、LIN の動作モードを設定します。

表 92.LHSCON0 MMR のビット説明

Bit	Description	
16 to 13	Reserved. These bits are reserved for future use and should be written as 0 by user software.	
12	Rising edge detected interrupt disable.	
	Mode	Description
	BSD Mode	Set to 1 to disable the rising edge detected interrupt. Cleared to 0 to enable the break rising edge detected interrupt.
11	LIN Mode	Set to 1 to enable the rising edge detected interrupt. Cleared to 0 to disable the break rising edge detected interrupt.
10	Break timer error interrupt disable. Set to 1 to disable the break timer error interrupt. Cleared to 0 to enable the break timer error interrupt.	
9	LIN transceiver, standalone test mode. Set to 1 by user code to enable external GPIO_7 and GPIO_8 pins to drive the LIN transceiver TxD and LIN transceiver RxD, respectively, independent of the UART. The functions of GPIO_7 and GPIO_8 should first be configured by user code via the GPIO Function Select Bit 0 and GPIO Function Select Bit 4 in the GP2CON register. Cleared to 0 by user code to operate the LIN in normal mode; it is driven directly from the on-chip UART.	
8	Gate UART/BSD R/W bit.	
	Mode	Description
	UART Mode	Set to 1 by user code to disable the internal UART RxD (receive data) by gating it high until both the break field and the subsequent LIN sync byte are detected. This ensures that during break or sync field periods the UART does not receive any spurious serial data, which would have to be flushed out of the UART before valid data fields could be received. Cleared to 0 by user code to enable the internal UART RxD (receive data) after the break field and the subsequent LIN sync byte have been detected so that the UART can receive the subsequent LIN data fields.
	BSD Read Mode <sup>1</sup>	Set to 1 by user code to enable the generation of a break condition interrupt (LHSSTA[0]) on a rising edge of the BSD bus. The break timer (LHSVAL1) starts counting on the falling edge and stops counting on the rising edge, where an interrupt is generated, allowing user code to determine if a 0, 1, or sync pulse width has been received. The break timer generates an interrupt if the value in the LIN break timer (LHSVAL1 read value) equals the break timer compare value (LHSVAL1 write value) and if the break timer overflows. This configuration can be used in BSD read mode to detect fault conditions on the BSD bus.
7	BSD Write Mode	Cleared to 0 by user code to disable the generation of break condition interrupts on a rising edge of the BSD bus. The LHS compare interrupt (LHSSTA[3]) is used to determine when the MCU should release the BSD bus when transmitting data. If the break condition interrupt is still enabled, it generates an unwanted interrupt as soon as the BSD bus is deasserted. As in BSD read mode, the break timer stops counting on a rising edge; therefore, the break timer can also be used in this mode to allow user code to confirm the pulse width in transmitted data bits.
6	Sync timer stop edge type bit. Set to 1 by user code to stop the sync timer on the rising edge count configured through the LHSCON1[7: 4] register. Cleared to 0 by user code to stop the sync timer on the falling edge count configured through the LHSCON1[7: 4] register.	
5	Mode of operation bit. Set to 1 by user code to select BSD mode of operation. Cleared to 0 by user code to select LIN mode of operation.	
4	Enable compare interrupt bit. Set to 1 by user code to generate an LHS interrupt (IRQEN[7]) when the value in LHSVAL0 (the LIN synchronization bit timer) equals the value in the LHSCMP register. The LHS compare interrupt bit (LHSSTA[3]) is set when this interrupt occurs. This configuration is used in BSD write mode to allow user code to correctly time the output pulse widths of BSD bits to be transmitted. Cleared to 0 by user code to disable compare interrupts.	
3	Enable stop interrupt. Set to 1 by user code to generate an interrupt when a stop condition occurs. Cleared to 0 by user code to disable interrupts when a stop condition occurs.	

Bit	Description
3	Enable start interrupt. Set to 1 by user code to generate an interrupt when a start condition occurs. Cleared to 0 by user code to disable interrupts when a start condition occurs.
2	LIN sync enable bit. Set to 1 by user code to enable LHS functionality. Cleared to 0 by user code to disable LHS functionality.
1	Edge counter clear bit. Set to 1 by user code to clear the internal edge counters in the LHS peripheral. Cleared automatically to 0 after a 15 $\mu$ s delay.
0	LHS reset bit. Set to 1 by user code to reset all LHS logic to default conditions. Cleared automatically to 0 after a 15 $\mu$ s delay.

<sup>1</sup> BSD モードでは LHSCON0[6]は1に設定されます。 BSD 送信(MCU から外部ピンへ)と受信(外部ピンからMCUへ)のパスでの伝搬遅延が有限であるため、MCU が外部 BSD ピンのアサート解除を確認するまで、ユーザー・コードは BSD の書き込みモードと読み出しモードとの間で切り替えを行わないようにする必要があります。この条件を満たさないと、ユーザー・コードが switches from BSD 書き込みモードから BSD 読み出しモードに切り替えた後に、予期しないブレーク状態割り込みが発生します。 ストップ条件割り込みを使うと、この問題を回避することができます。

## LIN ハードウェア同期コントロール・レジスタ 1

名前: LHSCON1

アドレス: 0xFFFF078C

デフォルト値: 0x32

アクセス: 読み書き可能

機能: 8 ビット・レジスタのこの LHS コントロール・レジスタは LHSCON0 レジスタと組み合わせて使い、LIN の動作モードを設定します。

表 93.LHSCON1 MMR のビット説明

ビット	説明
7～4	LIN stop edge count.These bits are set by user code to the number of falling or rising edges on which to stop the internal LIN synchronization counter.The stop value of this counter can be read by user code via LHSVAL0.The type of edge、either rising or falling、is configured by LHSCON0[7].The default value of these bits is 0x3、which configures the hardware to stop counting on the third falling edge.It should be noted that the first falling edge is considered to be the falling edge at the start of the LIN break pulse.
3～0	LIN start edge count.These four bits are set by user code to the number of falling edges that must occur before the internal LIN synchronization timer starts counting.The stop value of this counter can be read by user code via LHSVAL0.The default value of these bits is 0x2、which configures the hardware to start counting on the second falling edge.Note that the first falling edge is considered to be the falling edge at the start of the LIN break pulse.

## LIN ハードウェア同期タイマー0 レジスタ

名前: LHSVAL0

アドレス: 0xFFFF0788

デフォルト値: 0x0000

アクセス: 読み出し専用

機能: この 16 ビットの読み出し専用レジスタは、内部 LIN 同期タイマーの値を格納します。LIN 同期タイマーは内部 5 MHz クロックで駆動され、コア・クロックとボー・レート周波数から独立しています。LIN モードでは、ユーザー・コードにより LHSVAL0 レジスタから読み出された値を使って、マスターLIN のボー・レートを計算することができます。この計算は、ADuC7034 スレーブの UART から LIN マスター・ノードまでの LIN 通信を正しく行うための内部 UART ボー・レートの設定に使われます。

## LIN ハードウェア・ブ레이크・タイマー1 レジスタ

名前: LHSVAL1

アドレス: 0xFFFF0790

デフォルト値: 0x000 (読み出し)または 0x047 (書き込み)

アクセス: 読み書き可能

機能: ユーザー・コードからこのロケーションを読み出すと、内部 LIN ブ레이크・タイマーの 12 ビット値が返されます。このブ레이크・タイマーは内蔵の低消費電力発振器(131 kHz)から直接クロックされ、LIN ブ레이크・パルスのタイミングを決定します。LIN バスの負エッジまたは LHSVAL1 を読み出すユーザー・コードにより、タイマーとレジスタの値が 0 にリセットされます。

ユーザー・コードからこのロケーションへ書き込みを行うと、12 ビット値は LIN ブ레이크・タイマーではなく、LIN ブ레이크・コンペア・レジスタへ書き込まれます。LIN 動作モードでは、コンペア・レジスタの値が連続的にブ레이크・タイマー値と比較されます。タイマー値が比較値と一致すると、LIN ブ레이크割り込み(IRQEN[7]と LHSSTA[0])が発生します。ブ레이크状態割り込みの後、LIN ブ레이크・タイマーはブ레이크信号の立ち上がりエッジまでカウントを続けます。立ち上がりエッジが検出されずに 12 ビット・タイマーがオーバーフローすると(4096 × 1/131 kHz = 31 ms)、ブ레이크・フィールド・エラー割り込み(IRQEN[7]と LHSSTA[4])が発生します。デフォルトでは、コンペア・レジスタ値が 0x47 に設定され、11 ビット周期に対応します。これは、20 kbps での LIN ブ레이크・パルスの最小パルス幅です。異なるボー・レートに対しては、LHSVAL1 に書き込みを行ってこの値を変更することができます。有効なブ레이크割り込みが受信されない場合、後続同期パルスの LHSVAL0 レジスタを使ったタイミングは行われないことに注意してください。

## LIN ハードウェア・インターフェース

### LIN フレーム・プロトコル

LIN フレーム・プロトコルは、ブ레이크・シンボル、同期バイト、保護識別子、データ・バイトの主要 4 種類に分類されます。フレーム・ヘッダー、ブ레이크、同期バイト、保護識別子のフォーマットを図 44 に示します。本来、LIN を採用した送受信をサポート/管理するために、UART、LIN ハードウェア同期ロジック、高電圧トランシーバ・インターフェースをすべてまとめて内蔵しています。

### LIN フレーム・ブ레이크・シンボル

図 45 に示すように、LIN ブ레이크・シンボル(少なくとも 3 ビット長)を使って新しいフレームの開始が通知されます。スレーブは、データ待ちまたは受信中でもブ레이크・シンボルを検出できる必要があります。LIN ハードウェア・ブ레이크・タイマー1 レジスタのセクションの説明のように ADuC7034 は、LHSVAL1 ブ레이크状態とブ레이크・エラー検出機能を使ってこれを実行します。ブ레이크周期を正確に計測する必要はありませんが、バス故障状態が発生した場合(バスがロー・レベルに固定)、フラグで表示する必要があります。

### LIN フレーム同期バイト

LIN を使用する通信のボー・レートは、同期バイトから図 46 に示すように計算されます。同期フィールドの最初の立ち下がりエッジと同期フィールドの 5 番目の立ち下がりエッジの間の時間が計測されます。この値を 8 で除算して送信するデータのボー・レートを決定します。ADuC7034 では、この同期バイトのタイミングをハードウェアで実現しています。この機能の詳細については、LIN ハードウェア同期ステータス・レジスタのセクションを参照してください。

### LIN フレーム保護識別子

LIN 同期フィールドを受信した後、UART に必要とされるボー・レートが計算されます。次に UART が設定されて、ADuC7034 は保護識別子を受信できるようになります(図 47 参照)。保護識別子は、識別子と識別子パリティの 2 つのサブフィールドから構成されています。6 ビットの識別子には、フレームのターゲットの識別子が含まれています。この識別子は、受送信されるデータ・バイト数を表示します。バイト数は、システム・レベルのデザインでユーザーが設定します。識別子についてパリティが計算され、システムがデザインされた LIN のレビジョンに依存します。

### LIN フレームのデータ・バイト

データ・バイト・フレームは、1~8 バイトのデータを伝送します。フレームに含まれるバイト数は、LIN マスターに依存します。データ・バイト・フレームはデータ・バイトに分割されず(図 48)。

## LIN フレーム・データの送信と受信

ブレイク・シンボルと同期バイトが正しく受信されると、UART を所要ボー・レートに設定した後、COMTX MMR と COMRX MMR を使ってデータが送受信されます。LIN を UART と組み合わせて使用するよう設定するときは、次の UART MMR を使います。

- COMDIV0: 除数ラッチ(下位バイト)
- COMDIV1: 除数ラッチ(上位バイト)
- COMDIV2: 16 ビット非整数ボー分周レジスタ。COMDIV0、COMDIV1、COMDIV2 に必要な値は、LHSVAL0 から導出して、所要ボー・レートを発生します。
- COMCON0: ライン・コントロール・レジスタ。UART が正しく設定されると直ちに、データを送受信する LIN プロトコルは UART 仕様に一致します。

LIN バス上のデータの管理には、次の UART MMR の使用が必要です。

- COMTX: 8 ビット送信レジスタ
- COMRX: 8 ビット受信レジスタ
- COMCON0: ライン・コントロール・レジスタ
- COMSTA0: ライン・ステータス・レジスタ

LIN バス上でデータを送信するためには、関係するデータを COMTX に格納する必要があります。さらに、LIN バス上の受信データを読み出すためには、COMRX のモニタリングが必要です。データの送受信を正しく行うためには、COMSTA0 をモニターする必要があります。詳細については、UART シリアル・インターフェースと UART レジスタの定義のセクションを参照してください。

ソフトウェア制御のもとで、UART データ・ライン(TxD と RxD)と外部 GPIO ピン(GPIO\_7 と GPIO\_8)を共用することが可能です。詳細については、GPIO ポート 1 コントロール・レジスタ (GPICON)のセクションを参照してください。

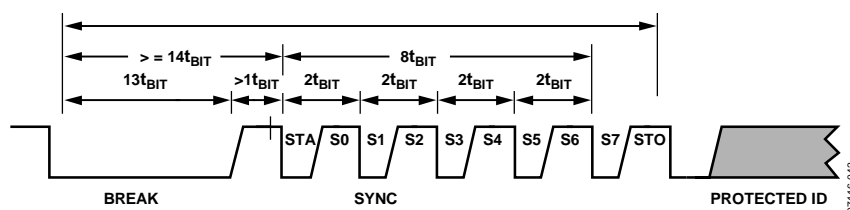


図 44.LIN インターフェースのタイミング

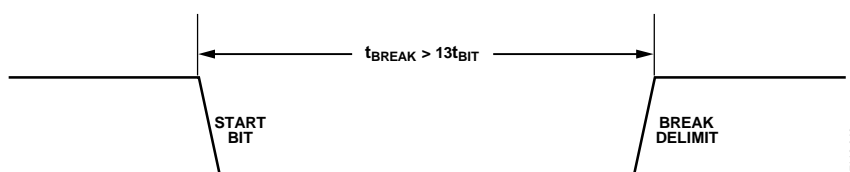


図 45.LIN ブレイク・フィールド

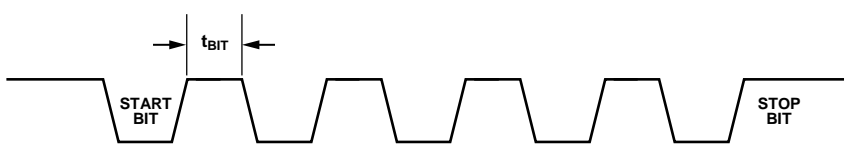


図 46.LIN 同期バイト・フィールド

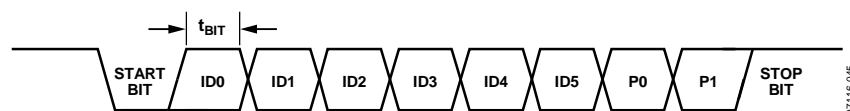


図 47.LIN 識別子バイト・フィールド

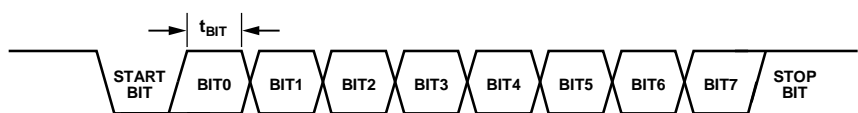


図 48.LIN データ・バイト・フィールド

### LIN ハードウェア同期ルーチンの例

次に LIN 初期化ルーチンの C ソース・コード例を示します。

```
void LIN_INIT(void )
{
    char HVstatus;
    GP2CON = 0x110000;           // Enable LHS on GPIO pins

    LHSCON0 = 0x1;               // Reset LHS interface

    do{
        HVDAT = 0x02;           // Enable normal LIN TX mode
        HVCON = 0x08;           // Write to HVCFG0
        do{
            HVstatus = HVCON;
        }
        while(HVstatus & 0x1);   // Wait until command is finished
    }
    while (!(HVstatus & 0x4));    // Transmit command is correct

    while((LHSSTA & 0x20) == 0 )
    {
        // Wait until the LHS hardware is reset
    }

    LHSCON1 = 0x062;             // Sets stop edge as the fifth falling edge
                                // and the start edge as the first falling
                                // edge in the sync byte

    LHSCON0 = 0x0114;            // Gates UART RX line, ensuring no interference
                                // from the LIN into the UART
                                // Selects the stop condition as a falling edge
                                // Enables generation of an interrupt on the
                                // stop condition
                                // Enables the interface

    LHSVAL1 = 0x03F;             // Sets number of 131 kHz periods to generate a break
                                // interrupt
                                // 0x3F/131 kHz~480 μs, which is just over 9.5 tBIT
}
}
```



この設定を使い、LHSVAL1 は LIN バス上で受信した最初の立ち下がりエッジでカウントを開始します。LHSVAL1 が LHSVAL1 に書き込まれた値(この場合 0x3F)を超えると、ブレーク・コンペア割り込みが発生します。

次の立ち下がりエッジで、LHSVAL0 がカウントを始めます。LHSVAL0 は立ち下がりエッジ数をモニターし、これと LHSCON1[7: 4]に書き込まれた値を比較します。この例では、モニターするエッジ数は LIN フレームの 6 個の立ち下がりエ

ジ、すなわち同期バイトの 5 個の立ち下がりエッジです。この立ち下がりエッジ数が受信されると、ストップ条件割り込みが発生します。UART が保護識別子の受信に設定されるのはこのポイントです。

LIN バスがハイ・レベルに戻る前に、UART がゲーティングされる必要があります(LHSCON0[8]を使用)。ゲーティングされないと、UART 通信エラー発生します。この処理の詳細を図 49 に示します。コード例ではこれを次のように保証しています。

```
while((GP2DAT & 0x10 ) == 0 )
{
    // Wait until LIN bus returns high
    LHSCON0 = 0x4;           // Enable LHS to detect break condition ungate RX line
    // Disable all Interrupts except break compare interrupt
    IRQEN = 0x800;          // Enable UART interrupt
    // The UART is now configured and ready to be used for LIN
}
```

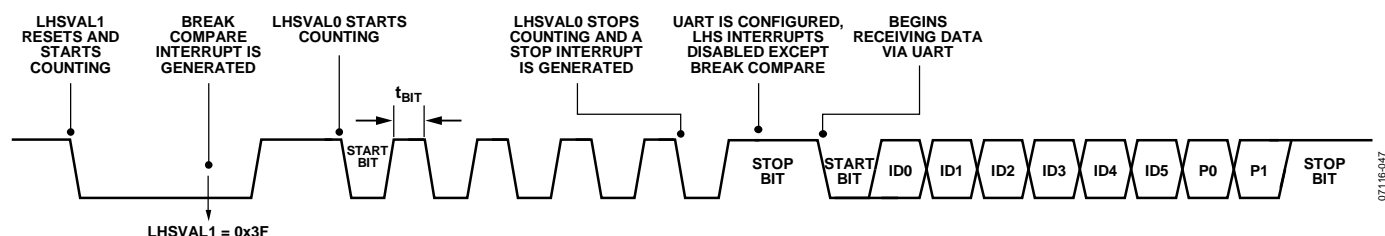


図 49. LIN 例の設定

## LIN 診断

ADuC7034 は、LIN ピンの現在の状態を検出する機能を内蔵しています。このリードバック機能は、GPIO\_11 を使って実現しています。LIN ピンの現在の状態は GP2DAT[4]に格納されています。

ユーザー・ソフトウェアから LIN ピンをハイ・レベルとロー・レベルに駆動して、ユーザーが断線状態を検出できるようにすることもできます。この機能は GPIO\_12 を使って実現しています。まず、GPIO を GP2CON[20]を使って GPIO に設定すると、GP2DAT を使ってハイ・レベルまたはロー・レベルにすることができます。

また、ADuC7034 は LIN ピンの短絡保護機能も内蔵しています。LIN ピン上で短絡状態が検出されると、HVSTA[2]がセットされます。HVCFG1[3]を使って LIN ドライバを再イネーブルすると、このビットはクリアされます。この機能は HVCFG1[2]を使ってディスエーブルすることができます。

## サーマル・シャットダウン時の LIN の動作

サーマル・イベントが発生しても(すなわち HVSTA[3]がセットされても)、LIN 通信は中断しないで継続されます。

# ビット・シリアル・デバイス(BSD)インターフェース

BSD は、同期、1、0 の 3 つの状態を持つパルス幅変調信号です。

これらの状態とその偏差を表 94 に示します。

フレーム長は 19 ビットで、通信は  $1200 \text{ bps} \pm 3\%$ で行われます。

表 94.BSD ビット・レベルの説明

Parameter	Min	Typ	Max	Unit
TxD Rate	1164	1200	1236	bps
Bit Encoding				
$t_{\text{SYNC}}$	1/16	2/16	3/16	$t_{\text{PERIOD}}$
$t_0$	5/16	6/16	8/16	$t_{\text{PERIOD}}$
$t_1$	10/16	12/16	14/16	$t_{\text{PERIOD}}$

## BSD 通信のハードウェア・インターフェース

ADuC7034 は、GPIO、IRQ、LIN 同期ハードウェアを使って BSD 通信プロトコルをエミュレートし、すべてがソフトウェア制御のもとで行われます。

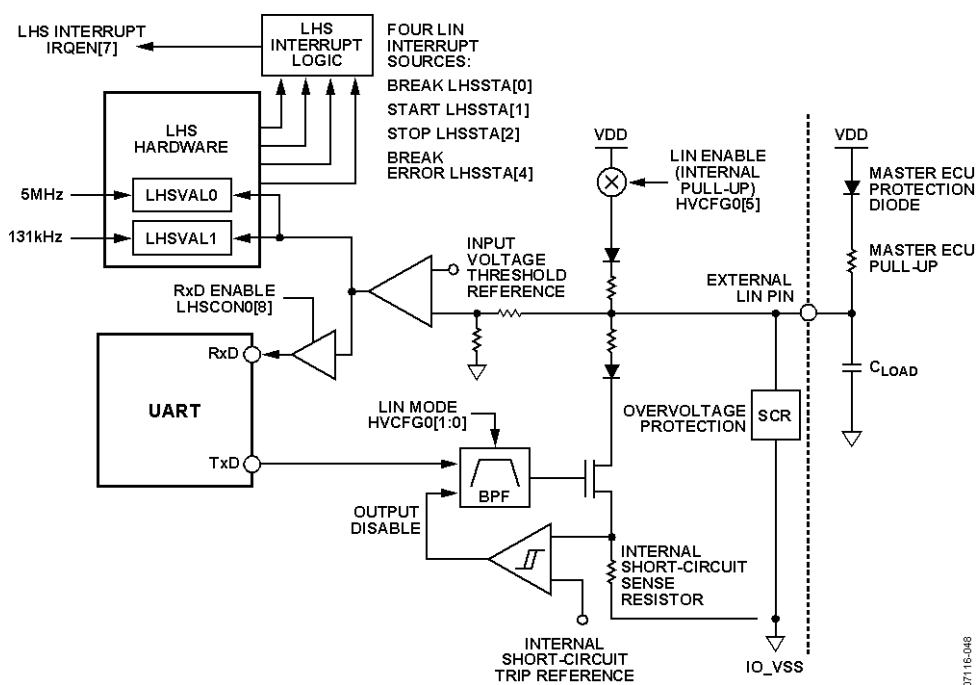


図 50. BSD I/O のハードウェア・インターフェース

## BSD 関連の MMR

ADuC7034 は、ソフトウェア(ビット・バング)インターフェースを使い、さらに LIN ハードウェア同期ロジックからのある程度のハードウェア支援を受けて BSD 通信プロトコルをエミュレートします。ADuC7034 BSD インターフェースは次のプロトコルを使います。

- 内部 GPIO 信号(GPIO\_12)。これは外部 LIN/BSD ピンに接続され、ソフトウェアから直接制御されて 0 と 1 を発生します。
- ビットを読み出すときは、LIN 同期ハードウェアが LHSVAL1 を使って着信パルスの幅をカウントし、ユーザー・コードがビットを同期、0、または 1 として識別できるようにします。
- ビットを書き込むときは、ユーザー・コードから GPIO ピンをドグルし、LHSCAP レジスタと LHSCMP レジスタを使ってパルス幅のタイミングを決め、BSD 出力パルス幅が所要幅に到達すると、割り込みを発生させます。

BSD 通信で必要とされる ADuC7034 MMR を次に示します。

- LHSSTA: LIN ハードウェア同期ステータス・レジスタ。
- LHSCON0: LIN ハードウェア同期コントロール・レジスタ。
- LHSVAL0: LIN ハードウェア同期タイマー0 (16 ビット・タイマー)。
- LHSCON1: LIN ハードウェア同期エッジ・セットアップ・レジスタ。
- LHSVAL1: LIN 同期ブレーク・タイマー。
- LHSCAP: LIN 同期キャプチャ・レジスタ。
- LHSCMP: LIN 同期コンペア・レジスタ。
- IRQEN/CLR: 割り込みイネーブル・レジスタ。
- FIQEN/CLR: 高速割り込みイネーブル・レジスタ。
- GP2DAT: GPIO データ・レジスタ。
- GP2SET: GPIO セット・レジスタ。
- GP2CLR: GPIO クリア・レジスタ。

これら大部分の MMR の詳しいビット定義は既に表示してあります。LIN MMR の説明のセクションで説明したレジスタの他に、BSD インターフェースの動作に必要なレジスタは LHSCAP と LHSCMP です。これらのレジスタについては、LIN ハードウェア同期キャプチャ・レジスタのセクションと LIN ハードウェア同期コンペア・レジスタのセクションで説明します。

## LIN ハードウェア同期キャプチャ・レジスタ

名前: LHSCAP

アドレス: 0xFFFF0794

デフォルト値: 0x0000

アクセス: 読み出し専用

機能: この 16 ビットの読み出し専用レジスタ LHSCAP は、内部 LIN 同期化タイマー(LHSVAL0)の直前にキャプチャされた値を格納します。BSD モードでは、LHSVAL0 は内部 5 MHz クロックから直接駆動されます。この値は、BSD バスの各立ち下がりエッジでキャプチャ・レジスタにロードされます。

## LIN ハードウェア同期コンペア・レジスタ

名前: LHSCMP

アドレス: 0xFFFF0798

デフォルト値: 0x0000

アクセス: 読み書き可能

機能: LHSCMP レジスタは BSD 出力パルス幅のタイミングの決定に使用されます。LHSCON0[5]を使ってイネーブルされ、LHSCAP の値と LHSCMP に書き込まれた値が一致すると、LIN 割り込みが発生します。この機能を使うと、ユーザー・コードからバス上で BSD 送信ビット(同期、0、または 1)をアサートする長さを決定することができます。

## BSD 通信フレーム

マスターとスレーブとの間でデータを転送するときは、BSD フレーム構成が必要です。BSD フレームには、ポーズ/同期、方向ビット、スレーブ・アドレス、レジスタ・アドレス、データ、パリティ・ビット 1 (P1)、パリティ・ビット 2 (P2)、スレーブからのアクノリッジの 7 個の主要コンポーネントが含まれます。

マスターがデータを送信する場合は、アクノリッジ・ビットを除くすべてのビットがマスターから送信されます。

マスターがスレーブからデータを要求する場合には、マスターがポーズ/同期、方向ビット、スレーブ・アドレス、レジスタ・アドレス、P1 ビットを送信します。次に、スレーブがデータ・バイト、P2、アクノリッジを次のシーケンスで送信します。

1. PAUSE: 同期パルス 3 個以上。
2. DIR: データ転送の方向を指定。  
マスターが要求を送信する場合はゼロ(0)。  
マスターが要求を送信する場合はゼロ(1)。
3. スレーブ・アドレス。
4. レジスタ・アドレス: 読み書き対象のレジスタを指定。
5. 書き込みの場合はビット 3 をセット、読み出しの場合はクリア。
6. データ: 8 ビットの読み出し専用の受信レジスタ。
7. P1 と P2。  
P1 = 8 ビット前に 1 が偶数個ある場合は 0。  
P1 = 8 ビット前に 1 が奇数個ある場合は 1。  
P2 = データ・ワード内に 1 が偶数個ある場合は 0。  
P2 = データ・ワード内に 1 が奇数個ある場合は 1。
8. アクノリッジ。  
アクノリッジ: 送信が成功した場合は 0。

アクノリッジはスレーブから常に送信され、情報が受信または送信されたことを表示します。

表 95. BSD プロトコルの説明

Pause	DIR	Slave Address	Register Address	P1	Data	P2	ACK
3 bits	1 bit	3 bits	4 bits	1 bit	8 bits	1 bit	1 bit

## BSD パルス幅の例

様々なパルス幅の例を図 51 に示します。各ビットで、バスがロー・レベルに維持される時間が、そのビットのタイプを決定します。ビットが同期ビットである場合、パルスは 1 ビット間ロー・レベルに維持されます。ビットがゼロ・ビットの場合、パルスは 3 ビット間ロー・レベルに維持されます。ビットが 1 のビットの場合、パルスは 6 ビット間ロー・レベルに維持されます。

マスターがデータを送信する場合は、マスターにより信号は信号の継続区間ロー・レベルに維持されます。マスターがゼロを送信する例を図 52 に示します。スレーブがデータを送信する場合は、マスターがバスをロー・レベルにして通信を開始します。スレーブは  $t_{\text{SYNC}}$  が経過する前にバスをロー・レベルにし、 $t_0$  または  $t_1$  が経過するまでバスをロー・レベルに維持する必要があります。この時間が経過するとスレーブはバスを解放します。ゼロを送信するスレーブの例を図 53 に示します。

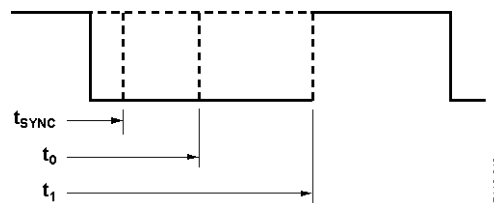


図 51. BSD ビットの送信

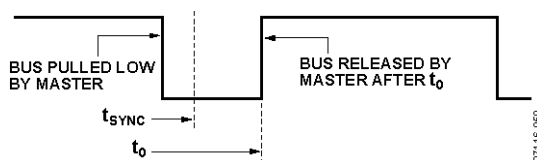


図 52. BSD マスタによるゼロの送信

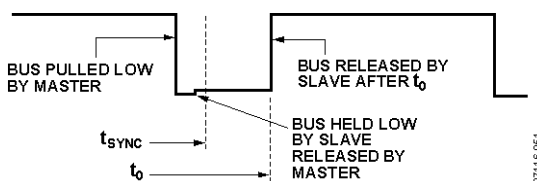


図 53. BSD スレーブによるゼロの送信

## 代表的な BSD プログラム・フロー

BSD はソフトウェアから制御される PWM 通信プロトコルであるため、ユーザーは各ビットから必要なデータを組み立てる必要があります。たとえば、スレーブ・アドレスを組み立てるとき、スレーブ・ノードが 3 ビットを受信し、ユーザーがそのアドレスを組み立てます。

マスターが BSD 通信を開始すると、スレーブ・ノードがデータを送信/受信します。このプロセスのフロー図を図 54 に示します。

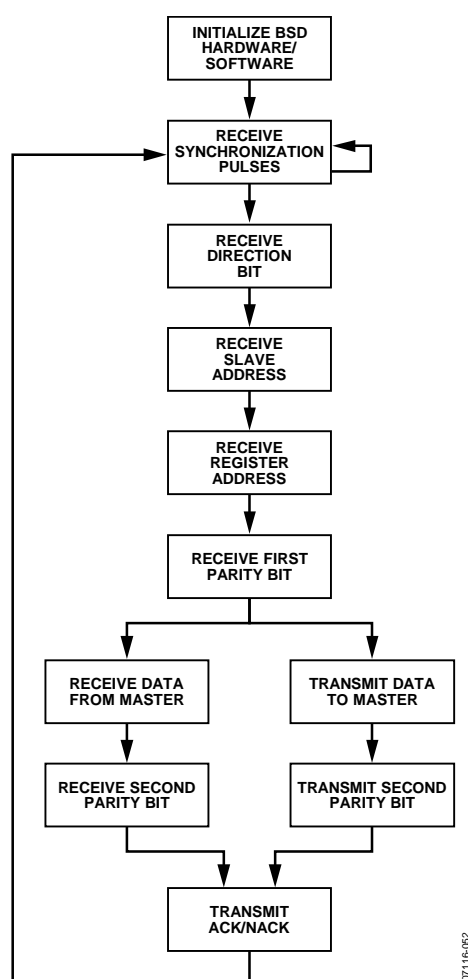


図 54. BSD スレーブ・ノードのステート・マシン

## BSD データの受信

データを受信するときは、LIN/BSL ペリフェラルを先に BSD モードに設定する必要があります(LHSCON[6] = 1)。このモードでは、LHSCON[8]をセットして LHS ブレーク・タイマー(LIN ハードウェア・ブレーク・タイマー1 レジスタのセクション参照)が BSD バスの立ち上がりエッジ割り込みを発生するようにする必要があります。

LHS ブレーク・タイマーがクリアされて、BSD バスの立ち下がりがエッジでカウントが開始され、次に BSD バスの立ち上がりエッジで停止して割り込みが発生します。LHS ブレーク・タイマーが低消費電力発振器(131 kHz)から駆動される場合は、LHVAL1 の値がユーザー・コードから解釈されて、受信データ・ビットが BSD 同期パルス、0、または 1 のいずれであるかが識別されます。

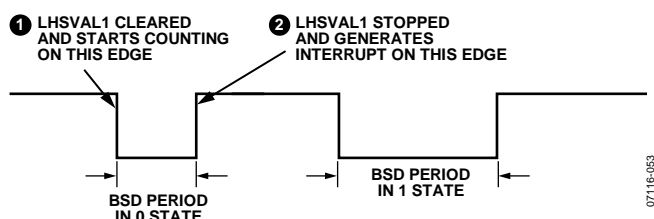


図 55. マスタ送信、スレーブ読み出し

## BSD データの送信

ユーザー・コードから GPIO\_12 信号を所定時間ロー・レベルにすると、BSD モードでデータの送信が開始されます。さらに、ユーザー・コードは同期タイマー(LHVAL0)、LHS 同期キャプチャ・レジスタ(LHSCAP)、LHS 同期コンペア・レジスタ(LHSCMP)を使って、0 または 1 ビットの送信のために BSD バスがロー・レベルを維持する時間を決めます。

BSD パルス幅の例のセクションの説明のように、スレーブが送信するときでも、マスターは BSD バスをロー・レベルにして常にビット送信区間を開始します。BSD モードが選択されると(LHSCON[6] = 1)、LIN 同期タイマー値 BSD バスの各立ち下がりがエッジで LHSCAP へキャプチャされます。BSD モードでは、LIN 同期タイマーは連続動作します。

ユーザー・コードは直ちに GPIO\_12 をロー・レベルにして、キャプチャされたタイマー値を LHSCAP から読み出すことができます。GPIO\_12 が 0 または 1 のパルス幅の間ハイ・レベルに駆動される前に経過しなければならない(5 MHz)クロック周期数の計算が行われます。この値が LHSCAP 値に加算されて、LHSCMP レジスタに書き込まれます。LHSCON[5]がセットされた場合、同期タイマー(5 MHz のクロックで駆動され連続カウント)が LHSCMP 値に一致すると、LHS 比較割り込み(LHSSTA[3])が発生します。

この割り込みに対する応答では、GPIO\_12 信号(したがって BSD バス)をハイ・レベルにする必要があります。GPIO\_12 信号のソフトウェア制御と LIN 同期タイマーの正しい使用の組み合わせにより、有効な 0 と 1 のパルス幅が ADuC7034 から送信されます(図 56 参照)。この場合も、LHSCON[8]で説明したように、BSD 書き込みモードから BSD 読み出しモードへの切り替えタイミングに注意する必要があります。

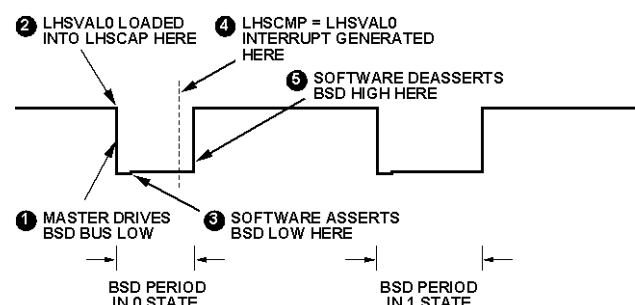


図 56. マスタ読み出し、スレーブ送信

## BSD インターフェースからのウェイクアップ

MCU コアは、BSD 物理インターフェースを介してパワーダウンからウェイクアップすることができます。パワーダウン・モードに入る前に、ユーザー・コードからスタート条件割り込み(LHSCON[3])をイネーブルする必要があります。この割り込みがイネーブルされた場合、LIN/BSL ピン上でハイ・レベルからロー・レベルへの変化があると、割り込みイベントが発生して、the MCU コアがウェイクアップします。

## デバイスの識別

2 個のレジスタが MMR スペースに配置されており、これらを使ってユーザー・コードによる製造ロット ID 情報、部品 ID 番号、シリコン・マスク・レビジョン、カーネル・レビジョンの追跡が可能になっています。この情報は、SYSSER0 MM と SYSSER1 MMR に格納されています(詳細については、表 97 と表 98 参照)。

さらに、FFEE0ADR MMR にはパワーアップ時に ADuC7034 ファミリー・メンバーを識別する情報が格納されます。

直接追跡できるように、組み立てロット ID も提供します。この組み立てロット ID は 64 ビット長まで可能です。SYSALI MMR には組み立てロット ID の下位 32 ビットが格納されます。上位ビットはパワーアップ時に TILD MMR に格納されます。

SYSSER0、SYSSER1、SYSALI、TILD の値により、各デバイスを完全に追跡することができます。

ロット番号はパッケージ上の表示に含まれています(表 96 参照)。

### デバイス識別レジスタ

#### システム・シリアル ID レジスタ 0

名前: SYSSER0

アドレス: 0xFFFF0238

デフォルト値: 0x00000000 (パワーオン時にカーネルが更新)

アクセス: 読み書き可能

機能: パワーオン時、この 32 ビット・レジスタはこの特定の ADuC7034 ユニットが製造された元の製造ロット番号の値を格納します(ボトム・チップの場合)。このロット番号を SYSSER1 と組み合わせて使うと、このデバイスの製造履歴を追跡することができます(ボトム・チップの場合)。

表 96.表示例

Line	LFCSP
Line 1	ADuC7034
Line 2	BCPZ S1
Line 3	A4Y #date code
Line 4	Assembly lot number

表 97.SYSSER0 MMR のビット説明

Bit	Description
31 to 27	Wafer number. These five bits provide the wafer number (1 to 24) from the wafer fabrication lot ID (from which this device originated). When used in conjunction with SYSSER0[26: 0], these bits provide individual wafer traceability.
26 to 22	Wafer lot fabrication plant. These five bits reflect the manufacturing plant associated with this wafer lot. When used in conjunction with SYSSER0[21: 0], these bits provide wafer lot traceability.
21 to 16	Wafer lot fabrication ID. These six bits form part of the wafer lot fabrication ID. When used in conjunction with SYSSER0[26: 22] and SYSSER0[15: 0], these bits provide wafer lot traceability.
15 to 0	Wafer lot fabrication ID. These 16 LSBs hold a 16-bit number that is interpreted as the wafer fabrication lot ID number. When used in conjunction with the value in SYSSER1 (that is, the manufacturing lot ID), this number is a unique identifier of the part.

## システム・シリアル ID レジスタ 1

名前: SYSSER1

アドレス: 0xFFFFF023C

デフォルト値: 0x00000000 (パワーオン時にカーネルが更新)

アクセス: 読み書き可能

機能: パワーオン時、この 32 ビット・レジスタは表 98 に示すように、部品 ID 番号、シリコン・マスク・レビジョン番号、カーネル・レビジョン番号の値を格納します(ボトム・チップの場合)。

表 98.SYSSER1 MMR のビット説明

Bit	Description
31 to 28	Silicon mask revision ID. These four bits reflect the silicon mask ID number. Specifically, the hexadecimal value in this nibble should be decoded as the lower nibble, reflecting the ASCII characters in the range of A to O. The allowable range for this value is 1 to 15, which is interpreted as 41 to 4F, or ASCII Character A to ASCII Character O. For example, if Bits[19: 16] = 0001 = 0x1, this value should be interpreted as 41, which is ASCII Character A corresponding to Silicon Mask Revision A. If Bits[19: 16] = 1011 = 0xB, the number is interpreted as 4B, which is ASCII Character K corresponding to Silicon Mask Revision K.
27 to 20	Kernel revision ID. This byte contains a hexadecimal number that is interpreted as an ASCII character indicating the revision of the kernel firmware embedded in the on-chip Flash/EE memory. For example, reading 0x41 from this byte should be interpreted as ASCII Character A, indicating a Revision A kernel is on chip.
19 to 16	Reserved. For prerelease samples, these bits refer to the kernel minor revision number of the device.
15 to 0	Part ID. These 16 LSBs hold a 16-bit number that is interpreted as the part ID number. When used in conjunction with the value in SYSSER0 (that is, the manufacturing lot ID), this number is a unique identifier of the part.



**システム組み立てロット ID レジスタ**

名前: SYSALI

アドレス: 0xFFFF0560

デフォルト値: 0x00000000 (パワーオン時にカーネルが更新)

アクセス: 読み書き可能

機能: パワーオン時、この 32 ビット・レジスタには、組み立てロット ID の下位半分が格納されます。

たとえば、組み立てロット ID が 01308640 の場合、SYSALI には 0x38363430 が、T1LD には 0x30313330 が、それぞれパワーアップ時に格納されます。

**システム・カーネル・チェックサムレジスタ**

名前: SYSCHK

アドレス: 0xFFFF0240

デフォルト値: 0x00000000 (パワーオン時にカーネルが更新)

アクセス: 読み書き可能

機能: パワーオン時、この 32 ビット・レジスタはカーネルのチェックサムを格納します。

**システム識別レジスタ**

名前: FEE0ADR

アドレス: 0xFFFF0E10

デフォルト値: 非ゼロ

アクセス: 読み書き可能

機能: この 16 ビット・レジスタは、FEE0CON を使って実行されたすべてのフラッシュ/EE コマンドが処理対象とするアドレスを制御します。

注: この MMR は ADuC7034 ファミリー・メンバーとプリリリース・シリコン・レビジョンの識別にも使われます。

表 99.FEE0ADR システム識別 MMR ビットの説明

Bit	Description
15 to 4	Reserved
3 to 0	ADuC703x family ID 0x0 = <a href="#">ADuC7030</a> 0x2 = <a href="#">ADuC7032</a> 0x3 = <a href="#">ADuC7033</a> 0x4 = ADuC7034 0x6 = <a href="#">ADuC7036</a> Others = reserved for future use

## 回路図

この回路図例では、基本機能回路を示します。システムが EMC とその他の過電圧/過電流コンプライアンス条件を満たすためには、部品を追加する必要があります。

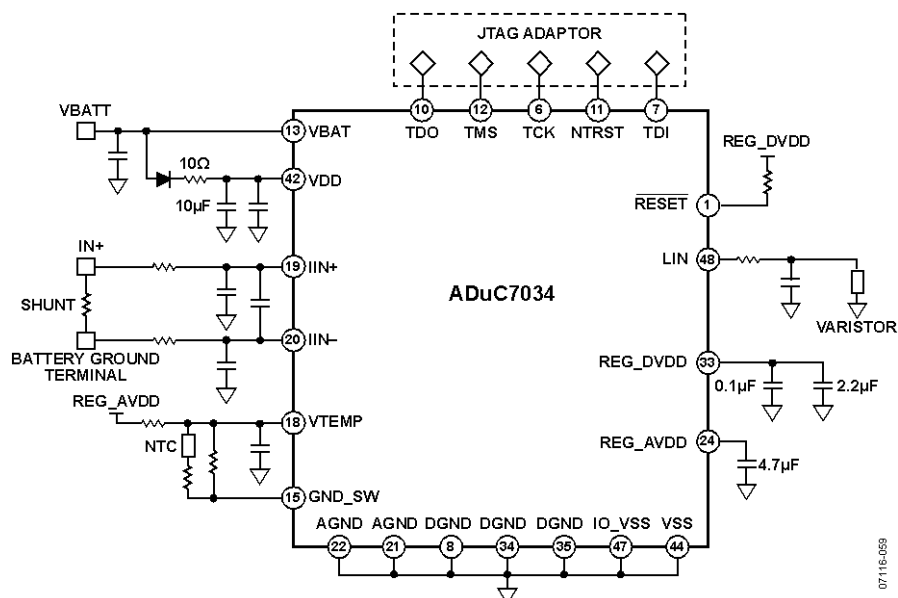


図 57. 回路図

07116-059

## 外形寸法

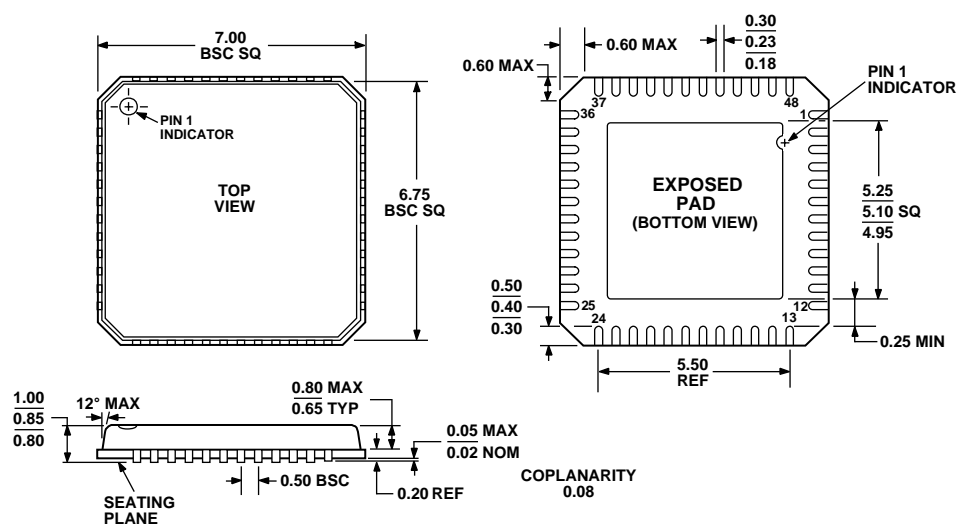


図 58. 48 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_VQ]  
 7 mm × 7 mm ボディ、極薄クワッド  
 (CP-48-1)  
 寸法: mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADuC7034BCPZ <sup>1</sup>	-40°C to +115°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-1
ADuC7034BCPZ-RL	-40°C to +115°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-1
EVAL-ADuC7034QSPZ		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品