

特長

シングル・チップに全機能内蔵の角速度ジャイロスコープ
 角速度測定レンジ：±300°/sec
 広い周波数範囲で高い振動除去率
 優れたゼロオフセット安定性：25°/時
 電源投入状態で2000 gの衝撃耐性
 16ビット・データ長のSPI デジタル出力
 低ノイズと低消費電力
 動作電圧：3.3 Vおよび5 V
 動作温度範囲：-40~+105°C
 超小型、軽量、RoHS 準拠
 2つのパッケージ・オプション

ヨー角速度（Z軸）計測向けの低価格 SOIC_CAV パッケージ
 革新的なセラミック縦型実装パッケージ（ピッチ、ロール、ヨー
 角速度計測のいずれかに対応）

アプリケーション

回転センシング型の医用アプリケーション
 回転センシング型の工業用/計測用
 高性能なプラットフォーム安定化

概要

ADXRS450 は、工業用、医用、計測用、安定化用、その他の高性能アプリケーション向けの角速度センサー（ジャイロスコープ）です。革新的な差動クワッド・センサー構成によって直線加速度の影響が排除されるため、衝撃や振動が存在する厳しい環境での動作が可能です。

ADXRS450 は、動作中にバックグラウンドで行われる連続セルフテスト・アーキテクチャを持ちます。電気機械システムの動作をチェックするために、センサー構造に高周波の静電気を印加して、製品に加えられた各速度のデータと区別できるセルフテスト用の角速度信号を生成し、製品の動作中にバックグラウンドでの故障診断を行います。

ADXRS450 は、±300°/秒までの角速度を測定することができます。角速度データは、32 ビットの SPI データフレーム中の 16 ビット・ワードで提供されます。

ADXRS450 は、キャビティ・プラスチック 16 ピン SOIC (SOIC_CAV) および SMT 互換の縦型実装 (LCC_V) パッケージを採用し、広い電圧範囲 (3.3~5 V) と温度範囲 (-40~+105°C) で動作します。

機能ブロック図

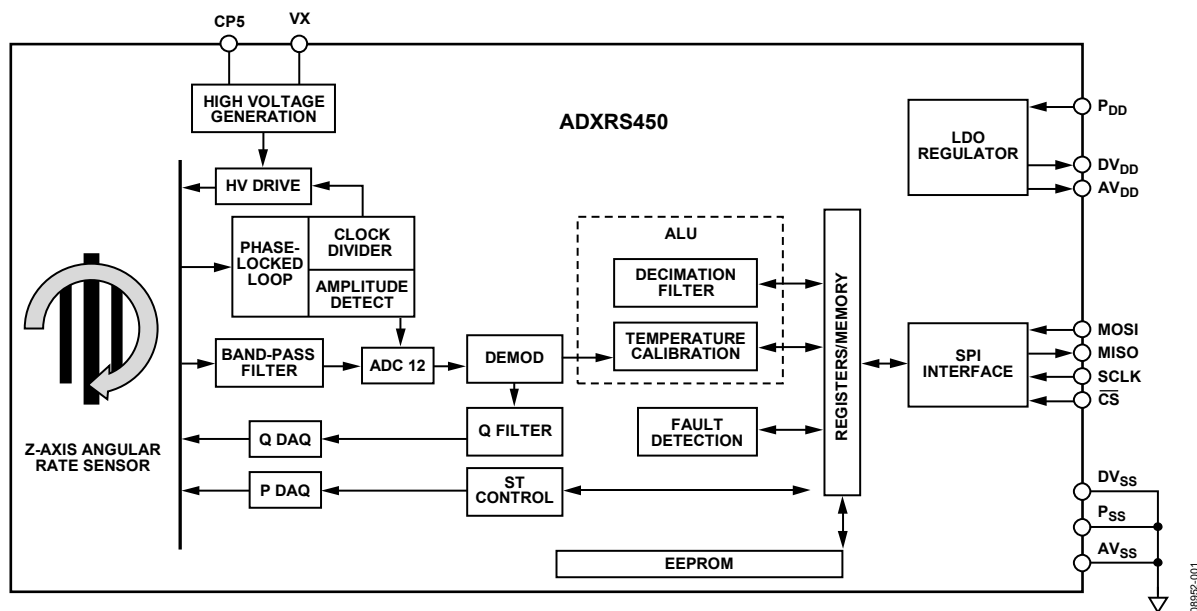


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2011 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	取付けの際の機械上の留意点.....	10
アプリケーション.....	1	アプリケーション回路.....	10
概要.....	1	ADXRS450 シグナル・チェーンのタイミング.....	10
機能ブロック図.....	1	SPI通信プロトコル.....	12
改訂履歴.....	2	コマンド／応答.....	12
仕様.....	3	SPI通信の特性.....	13
絶対最大定格.....	4	SPIアプリケーション.....	14
熱抵抗.....	4	SPIレート・データ・フォーマット.....	18
レート感度軸.....	4	メモリ・マップとレジスタ.....	19
ESDに関する注意.....	4	メモリ・マップ.....	19
ピン配置と機能の説明.....	5	メモリ・レジスタの定義.....	20
代表的な性能特性.....	7	パッケージの向きとレイアウト情報.....	22
動作原理.....	9	パッケージのマーキング・コード.....	25
連続セルフテスト.....	9	外形寸法.....	26
アプリケーション情報.....	10	オーダー・ガイド.....	27
キャリブレーション済みの性能.....	10		

改訂履歴

1/11—Revision 0: Initial Version

仕様

仕様条件： $T_A = T_{MIN} \sim T_{MAX}$ 、 $P_{DD} = 5\text{ V}$ 、角速度 = $0^\circ/\text{秒}$ 、帯域幅 = $80\text{ Hz} \pm 1\text{ g}$ 、連続セルフテストはオン。

表 1.

Parameter	Test Conditions/Comments	Symbol	Min	Typ	Max	Unit
MEASUREMENT RANGE	Full-scale range	FSR	± 300		± 400	$^\circ/\text{sec}$
SENSITIVITY	See Figure 2					
Nominal Sensitivity				80		LSB/ $^\circ/\text{sec}$
Sensitivity Tolerance				± 3		%
Nonlinearity ¹	Best fit straight line			0.05	0.25	% FSR rms
Cross Axis Sensitivity ²				± 3		%
NULL						
Null Accuracy				± 3		$^\circ/\text{sec}$
NOISE PERFORMANCE						
Rate Noise Density	$T_A = 25^\circ\text{C}$			0.015		$^\circ/\text{sec}/\sqrt{\text{Hz}}$
LOW-PASS FILTER						
Cut-Off (-3 dB) Frequency	$f_0/200$, see Figure 6	f_{LP}		80		Hz
Group Delay ³	$f = 0\text{ Hz}$	t_{LP}	3.25	4	4.75	ms
SHOCK AND VIBRATION IMMUNITY						
Sensitivity to Linear Acceleration	DC to 5 kHz			0.03		$^\circ/\text{sec}/\text{g}$
Vibration Rectification				0.003		$^\circ/\text{sec}/\text{g}^2$
SELF TEST	See Continuous Self-Test section					
Magnitude				2559		LSB
Fault Register Threshold	Compared to LOCST data		2239		2879	LSB
Sensor Data Status Threshold	Compared to LOCST data		1279		3839	LSB
Frequency	$f_0/32$	f_{ST}		500		Hz
ST Low-Pass Filter						
-3 dB Frequency	$f_0/800$, see Figure 7			2		Hz
Group Delay			52	64	76	ms
SPI COMMUNICATIONS						
Clock Frequency					8.08	MHz
Voltage Input High	MOSI, $\overline{\text{CS}}$, SCLK		$0.85 \times P_{DD}$		$P_{DD} + 0.3$	V
Voltage Input Low	MOSI, $\overline{\text{CS}}$, SCLK		-0.3		$P_{DD} \times 0.15$	V
Output Voltage Low	MISO, current = 3 mA				0.5	V
Output Voltage High	MISO, current = -2 mA		$P_{DD} - 0.5$			V
Pull-Up Current	$\overline{\text{CS}}$, $P_{DD} = 3.3\text{ V}$, $\overline{\text{CS}} = 0.75 \times P_{DD}$			50	200	μA
	$\overline{\text{CS}}$, $P_{DD} = 5\text{ V}$, $\overline{\text{CS}} = 0.75 \times P_{DD}$			70	300	μA
MEMORY REGISTERS	See the Memory Register Definitions section					
Temperature Sensor						
Value at 45°C				0		LSB
Scale Factor				5		LSB/ $^\circ\text{C}$
Quad, ST, Rate, DNC Registers						
Scale Factor				80		LSB/ $^\circ/\text{sec}$
POWER SUPPLY						
Supply Voltage		P_{DD}	3.15		5.25	V
Quiescent Supply Current		I_{DD}		6.0	10.0	mA
Turn-On Time	Power on to $0.5^\circ/\text{sec}$ of final			100		ms
TEMPERATURE RANGE	Independent of package type	T_{MIN} , T_{MAX}	-40		+105	$^\circ\text{C}$

¹最大値は、アナログ・デバイセズ社の特性評価により保証しています。²交差軸感度仕様には、プリント回路基板 (PCボード) へのデバイス実装による影響は含まれていません。³最小値と最大値は、設計により保証しています。

ADXRS450

絶対最大定格

表 2.

Parameter	Rating
Acceleration (Any Axis, 0.5 ms)	
Unpowered	2000 g
Powered	2000 g
Supply Voltage (P_{DD})	-0.3 V to +6.0 V
Output Short-Circuit Duration (Any Pin to Ground)	Indefinite
Temperature Range	
Operating	
LCC_V Package	-40°C to +125°C
SOIC_CAV Package	-40°C to +125°C
Storage	
LCC_V Package	-65°C to +150°C
SOIC_CAV Package	-40°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわちプリント回路基板 (PCボード) に表面実装パッケージをハンダ付けした状態で規定しています。

表 3. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
16-Lead SOIC_CAV	191.5	25	°C/W
14-Lead Ceramic LCC_V	185.5	23	°C/W

レート感度軸

ADXRS450 には、2つのパッケージ・オプションが用意されています。

- SOIC_CAV パッケージ構成は、z 軸 (ヨー) 角速度計測を必要とするアプリケーション向けです。
- 縦型実装パッケージ (LCC_V) オプションは、基板面に平行な軸 (ピッチとロール) の角速度計測が必要なアプリケーション向けです。

詳細は図 2 を参照してください。

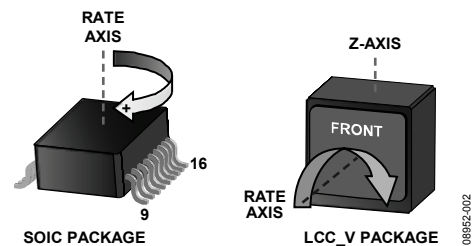


図 2. レート信号は時計回りに増加

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

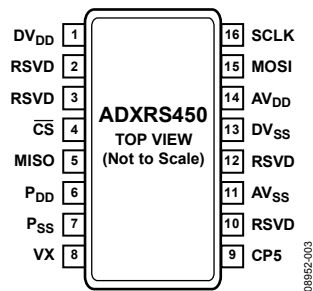


図 3. SOIC_CAV のピン配置

表 4. 14 ピン SOIC_CAV のピン機能の説明

ピン番号	記号	説明
1	DV _{DD}	デジタル回路用の安定化された電源。アプリケーション回路図については図 21を参照。
2	RSVD	予備。DV _{SS} に接続。
3	RSVD	予備。DV _{SS} に接続。
4	\overline{CS}	チップ・セレクト。
5	MISO	マスター入力/スレーブ出力。
6	P _{DD}	電源電圧。
7	P _{SS}	スイッチング・レギュレータ・グラウンド。
8	VX	高電圧スイッチング・ノード。アプリケーション回路図については図 21を参照。
9	CP5	高圧電源。アプリケーション回路図については図 21を参照。
10	RSVD	予備。DV _{SS} に接続。
11	AV _{SS}	アナログ・グラウンド。
12	RSVD	予備。DV _{SS} に接続。
13	DV _{SS}	デジタル信号グラウンド。
14	AV _{DD}	アナログ回路用の安定化された電源。アプリケーション回路図については図 21を参照。
15	MOSI	マスター出力/スレーブ入力。
16	SCLK	SPI クロック。

ADXRS450

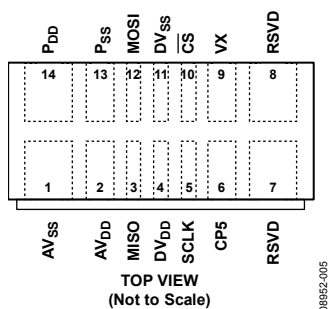


図 4. LCC_V のピン配置

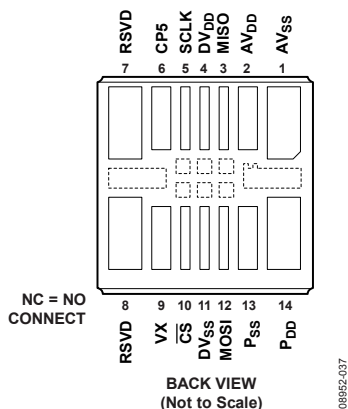


図 5. LCC_V のピン配置、横型レイアウト

表 5. 14 ピン LCC_V のピン機能の説明

ピン番号	記号	説明
1	AV _{SS}	アナログ・グラウンド。
2	AV _{DD}	アナログ回路用の安定化された電源。アプリケーション回路図については図 22を参照。
3	MISO	マスター入力/スレーブ出力。
4	DV _{DD}	デジタル回路用の安定化された電源。アプリケーション回路図については図 22を参照。
5	SCLK	SPI クロック。
6	CP5	高圧電源。アプリケーション回路図については図 22を参照。
7	RSVD	予備。DV _{SS} に接続。
8	RSVD	予備。DV _{SS} に接続。
9	VX	高電圧スイッチング・ノード。アプリケーション回路図については図 22を参照。
10	CS	チップ・セレクト。
11	DV _{SS}	デジタル信号グラウンド。
12	MOSI	マスター出力/スレーブ入力。
13	P _{SS}	スイッチング・レギュレータ・グラウンド。
14	P _{DD}	電源電圧。

代表的な性能特性

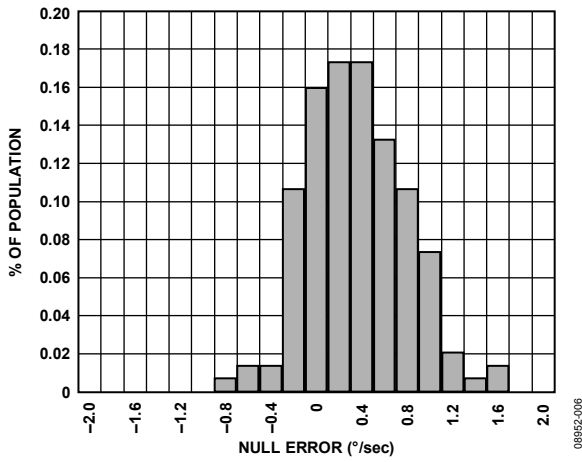


図 6. SOIC_CAV のヌル精度 (@ 25°C)

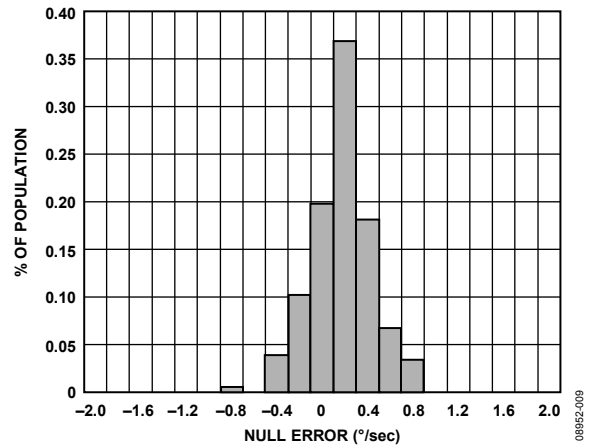


図 9. LCC_V のヌル精度 (@ 25°C)

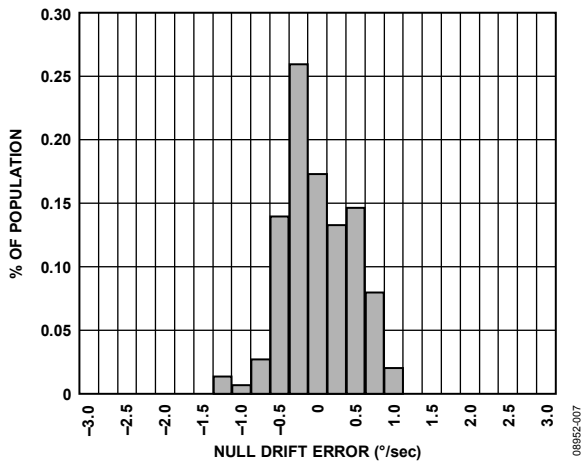


図 7. SOIC_CAV の温度に対するヌル・ドリフト

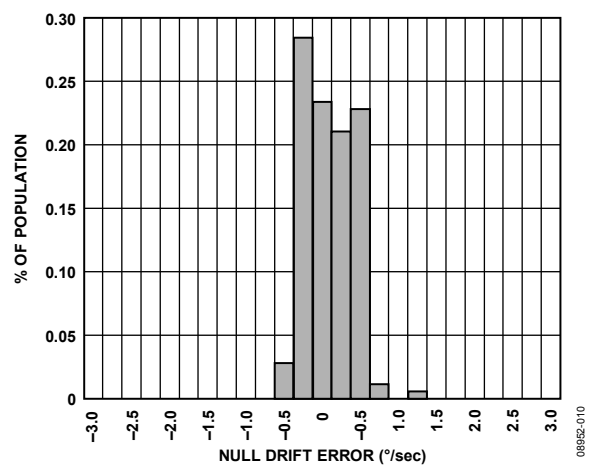


図 10. LCC_V の温度に対するヌル・ドリフト

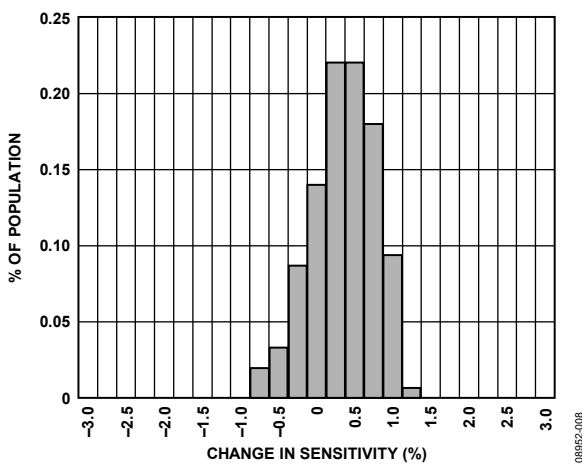


図 8. SOIC_CAV の感度誤差 (@ 25°C)

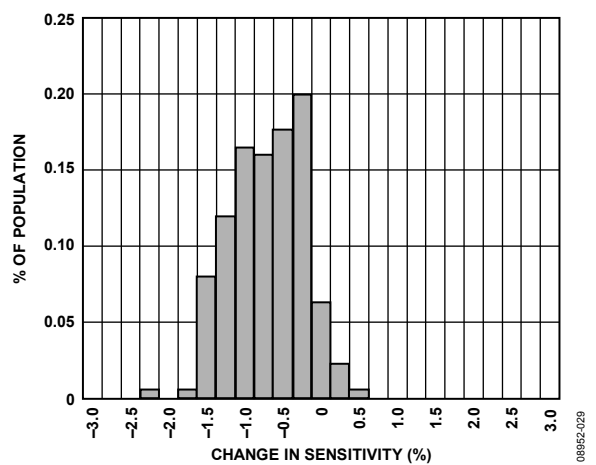


図 11. LCC_V の感度誤差 (@ 25°C)

ADXRS450

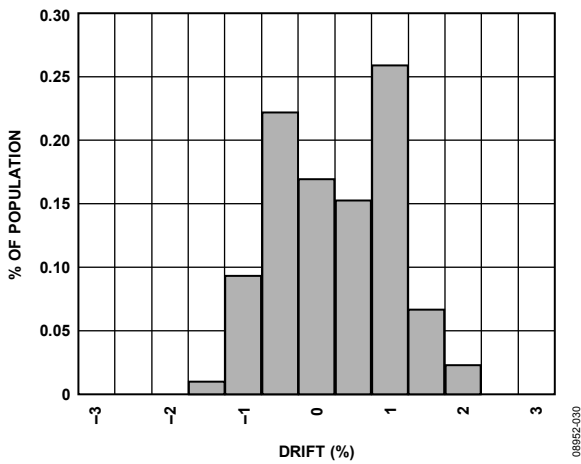


図 12. SOIC_CAV の温度に対する感度ドリフト

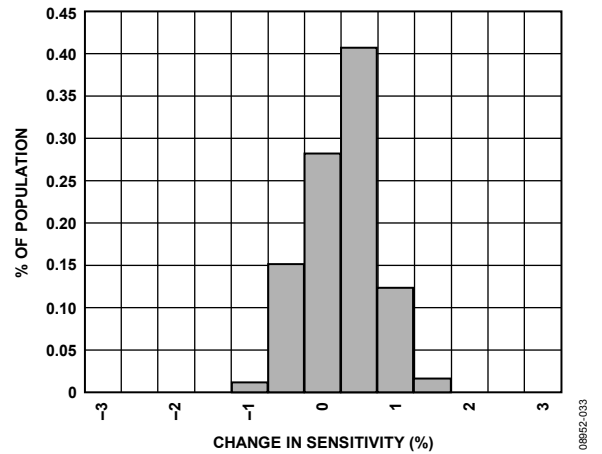


図 15. LCC_V の温度に対する感度ドリフト

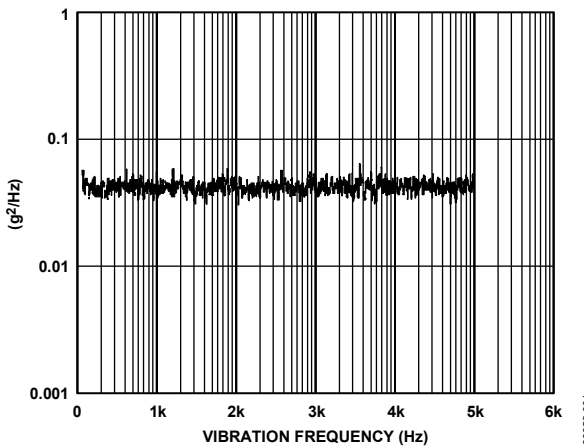


図 13. ランダム振動への応答 (15 g rms、50 Hz~5 kHz)

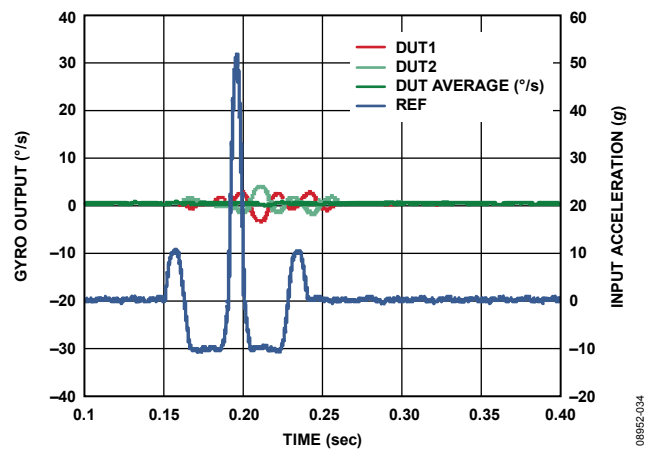


図 16. 衝撃応答

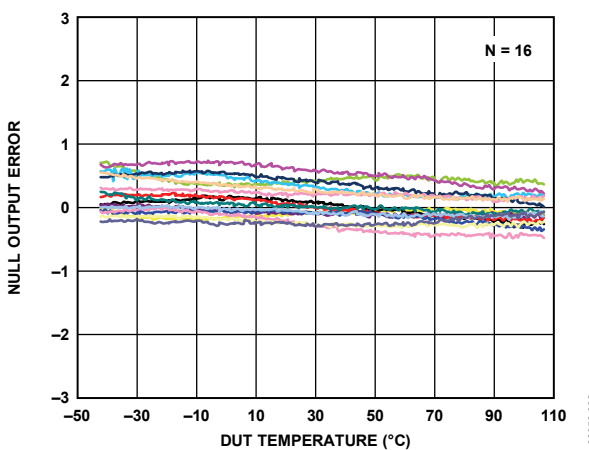


図 14. 温度に対するヌル出力、デバイスは PCB にハンダ付け

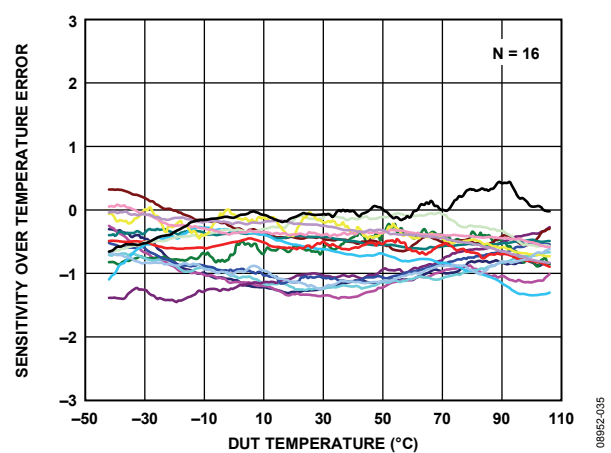


図 17. 温度に対する感度、デバイスは PCB にハンダ付け

動作原理

ADXRS450は振動ジャイロスコープの原理で動作します。図18に、ポリシリコンで形成される4つのセンシング構造のうち1つの簡略図を示します。各センシング構造には、静電駆動によって共振する振動子構造があります。これによって、角速度が生じたときにコリオリ力を生成するために必要な速度が得られます。SOIC_CAVパッケージのADXRS450はz軸（ヨー）の角速度検出用に設計されています。縦型実装パッケージ（LCC_V）は、同じ基板上のx軸（ピッチ）角速度またはy軸（ロール）角速度を検出できるようにデバイスを配置します。

センシング構造に角速度が加えられると、振動子構造に発生したコリオリ力が外周のセンス・フレームに伝わります。櫛歯を持ち、この櫛歯を可動櫛歯と呼びます。可動櫛歯と可動櫛歯の間にはシリコンダイ上に固定された櫛歯が配置されています。可動櫛歯と固定櫛歯によって形成される静電容量は、コリオリ力が発生すると変化し、その結果得られた信号はゲイン段と復調段に送られ、角速度信号出力が生成されます。クワッド・センサー設計により直線加速度と角加速度を排除することができ、これには重力加速度と振動も含まれます。4つのセンシング構造を機械的に結合することにより、外部加速度をコモンモード信号として取り出し、ADXRS450 に実装された完全差動アーキテクチャで除去することが出来るためです。

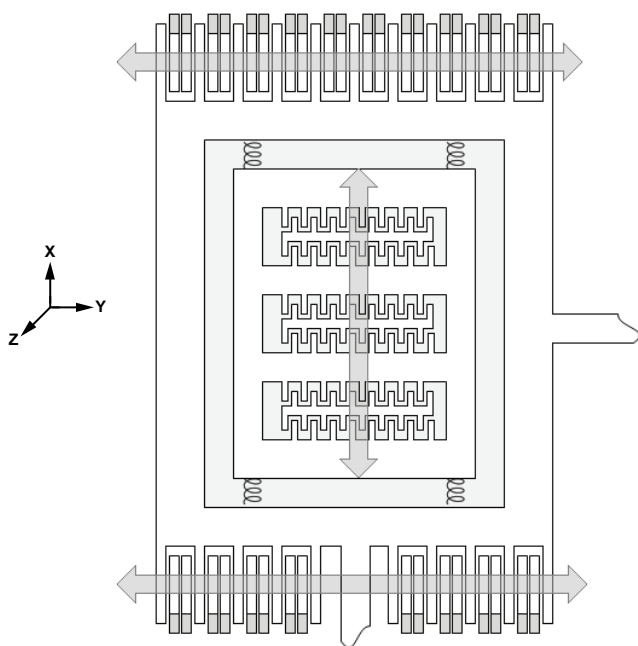


図 18. ジャイロスコープ・センシング構造の簡略図

振動子の動作には、22.5 V (typ) が必要です。大部分のアプリケーションでは一般に 5 V しか使用できないため、ADXRS450 はスイッチング・レギュレータを内蔵しています。

連続セルフテスト

ADXRS450 ジャイロスコープは、動作中にバックグラウンドで動作する連続セルフテストを内蔵しています。センス・フレームに静電気が加わると、可動櫛歯の位置が変位します。この変位は、角速度信号入力により発生する変位とまったく等価です。静電気力によって発生するセンス・フレームからの出力が、角速度信号と同じ信号処理回路によって処理されるため、製品全体の電気/機械部の動作診断を行うことができます。

連続セルフテストは、デバイスの動作中にバックグラウンドで、出力信号の帯域幅よりも高い周波数で実行されます。セルフテスト・ルーチンは、正と負の等価な角速度信号の変位を生成します。その後、この情報は製品内部でフィルタされるため、通常の角速度信号は連続セルフテストに影響されません。

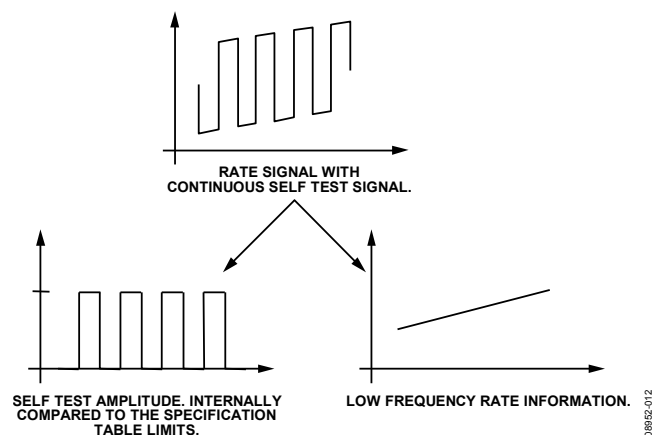


図 19. 連続セルフテスト復調

正と負のセルフテスト変位量の差分は 2 Hz にフィルタされ、継続的な監視によってハード的に実装されたセルフテスト限界値との比較が行われます。測定された振幅がこれらの限界値（表 1 に記載）から外れる場合、セルフテスト変位量の大きさに応じて、2 つの故障モードのうち的一方が SPI 通信を通じてマスターに通知されます。

- セルフテスト誤差が小さい場合、フォルト・レジスタの CST ビットがアサートされますが、センサー・データ応答のステータス・ビット (ST[1:0]) は有効なセンサー・データに対応する 0b01 に設定されたままです。
- セルフテスト誤差が大きい場合は、フォルト・レジスタの CST ビットがアサートされ、センサー・データ応答のステータス・ビット (ST[1:0]) は無効なセンサー・データに対応する 0b00 に設定されます。

表 1 は、これらの障害条件に対する閾値を示しています。必要であれば、LOCST レジスタ (アドレス 0x04) に Read コマンドを発行してセルフテスト情報に直接アクセスすることができます。故障診断結果通知の詳細については、「SPI 通信プロトコル」を参照してください。

ADXRS450

アプリケーション情報

キャリブレーション済みの性能

各 ADXRS450 ジャイロスコープは、内部 EEPROM メモリを使用して温度補正情報を格納します。補正情報は、工場での出荷テスト時にデバイスにエンコードされます。ADXRS450 は補正データを使用して、温度に対するオフセット/感度/セルフテスト変位量を補正します。この情報が製品内部に格納されているので、ほとんどの場合においてシステム・レベルでの温度補正は不要となります。

取付けの際の機械上の留意点

ADXRS450 は、基板支持点の近くに取り付けることを推奨します。ジャイロスコープは基板の共振の影響を受けやすいため、図 20 に示すように、ADXRS450 を基板の支持がない場所（レバーの端やトランポリンの中央など）に取り付けると、基板の共振による測定誤差が大きくなることがあります。一般的に基板支持点は共振周波数が高いため、ジャイロスコープを基板支持点の近くに配置すれば、基板の振動による有害なエイリアシングが発生しにくくなります。エイリアシング信号が角速度の測定帯域に混入しないように、最初のシステム・レベル共振周波数が 800 Hz より高くなるようにモジュールを設計する事を推奨します。

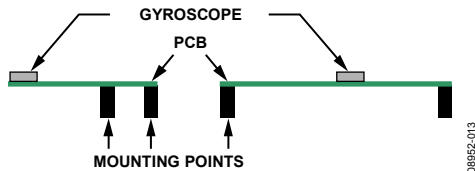


図 20. ジャイロスコープの悪い配置例

アプリケーション回路

図 21 と図 22 は、ADXRS450 ジャイロスコープの推奨アプリケーション回路です。このアプリケーション回路をそれぞれのパッケージ・タイプの接続の参考にしてください。DV_{DD}、AV_{DD}、P_{DD} は、それぞれ 1 μF コンデンサを介して接地します。これらの電源電圧同士を接続しないでください。さらに、内部シャント・レギュレータの正しい動作のために、外部ダイオードとインダクタを接続する必要があります。これらの部品（表 6 に記載）によって、内部振動子を駆動する為に必要な電圧が生成されます。

表 6. 内部シャント・レギュレータの部品

Component	Qty.	Description
Inductor	1	470 μH
Diode	1	>24 V breakdown voltage
Capacitor	3	1 μF
Capacitor	1	100 nF

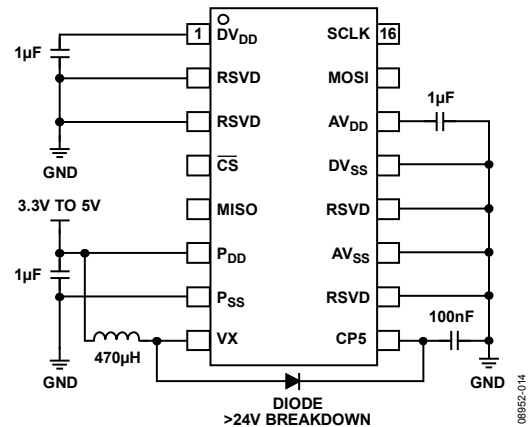


図 21. 推奨するアプリケーション回路 (SOIC_CAV パッケージ)

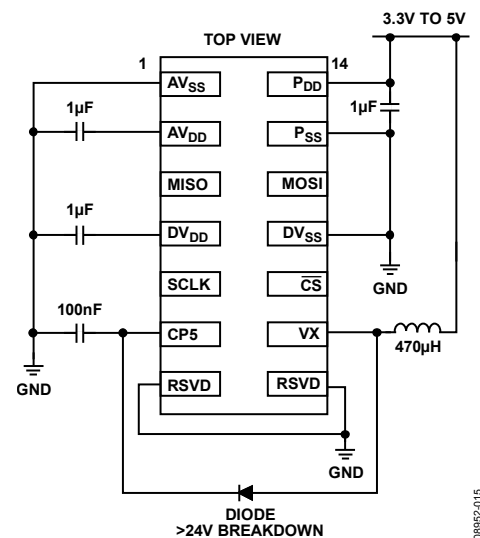


図 22. 推奨するアプリケーション回路 (セラミック型 LCC_V パッケージ)

ADXRS450 シグナル・チェーンのタイミング

ADXRS450 の主要なシグナル・チェーンを図 23 に示します。これが、角速度データを生成および処理するために必要な機能回路ブロックの集合になります。デバイスが外部の角速度入力を SPI ワードに変換してマスター・デバイスに送信するまでの時間は、この電気機械部の特性によって決まります。群遅延はフィルタ特性に依存しますが、ローパス・フィルタの出力が外部レート入力の 10% 以内に収まるために必要な時間であり、約 4 ms と考えられます。これに加えて、SPI トランザクションのタイミングや内部デバイス・レジスタへのレート・データの取込みに起因する遅延も発生します。図 23 には、この遅延をシグナル・チェーンの要素ごとに分けて示しています。

角速度データ LPF の伝達関数は次式で表すことができます。

$$\left[\frac{1-Z^{-64}}{1-Z^{-1}} \right]^2$$

ここで、

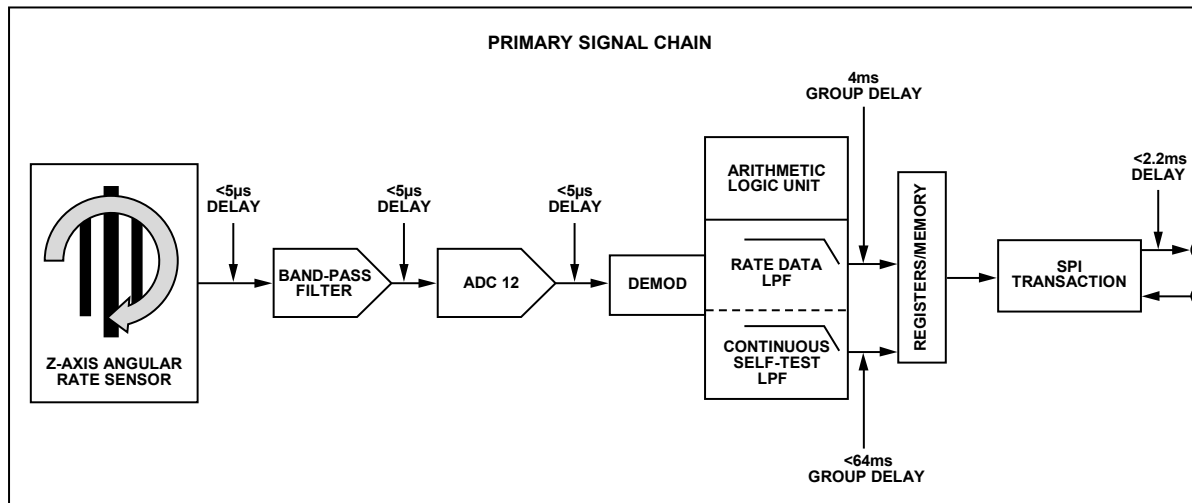
$$T = \frac{1}{f_0} = \frac{1}{16 \text{ kHz (typ)}}$$

連続セルフテスト LPF の伝達関数は次式で表すことができます。

$$\frac{1}{64 - 63Z^{-1}}$$

ここで、

$$T = \frac{16}{f_0} = 1 \text{ ms (typ)}$$



09892-016

図 23. 主要なシグナル・チェーンと関連する遅延

ADXRS450

SPI通信プロトコル

コマンド/応答

入出力は、32ビットデータフレームのコマンド/応答 SPI インターフェースを介して処理されます。各コマンド・セットとインターフェースのフォーマットは、次のように定義されます。

$$\text{Clock phase} = \text{clock polarity} = 0$$

さらに、最初のコマンドに対するデバイス応答は 0x00000001 です。これによって、最初のコマンド/応答交換時にマスター・デバイスにランダム・データが送信されないようにします。

表 7. SPI 信号

Signal	Symbol	Description
Serial Clock	SCLK	Exactly 32 clock cycles during $\overline{\text{CS}}$ active
Chip Select	$\overline{\text{CS}}$	Active low
Master Out Slave In	MOSI	Data sent to the gyroscope device from the main controller
Master In Slave Out	MISO	Data sent to the main controller from the gyroscope

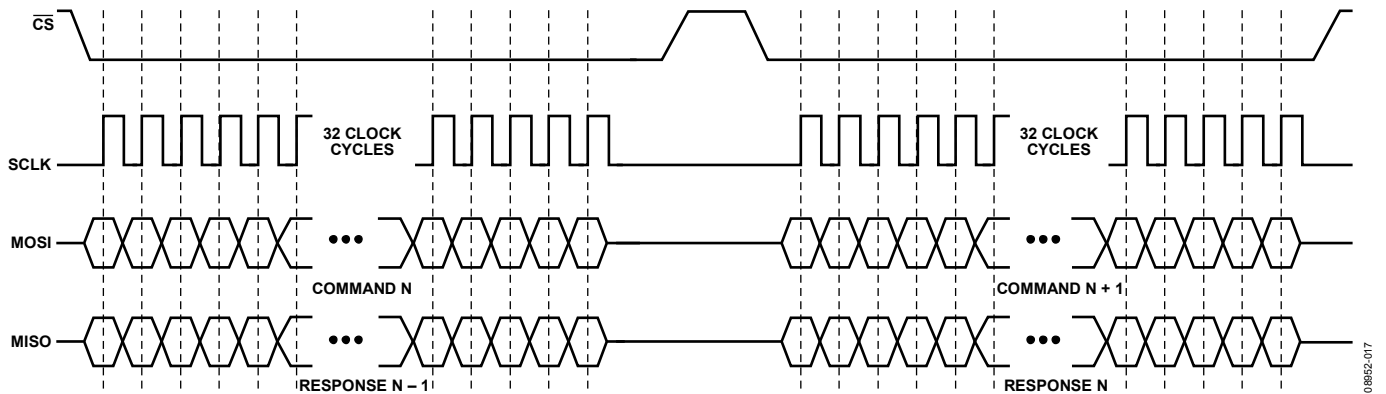


図 24. SPI プロトコル

表 8. SPI コマンド

Command	Bit																																
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Sensor Data	SQ1	SQ0	1	SQ2																												CHK	P
Read	1	0	0	SM2	SM1	SM0	A8	A7	A6	A5	A4	A3	A2	A1	A0																		P
Write	0	1	0	SM2	SM1	SM0	A8	A7	A6	A5	A4	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0		P

表 9. SPI 応答

Command	Bit																																	
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Sensor Data	SQ2	SQ1	SQ0	P0	ST1	ST0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0					PLL	Q	NVM	POR	PWR	CST	CHK	P1
Read	0	1	0	P0	1	1	1	0	SM2	SM1	SM0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0							P1
Write	0	0	1	P0	1	1	1	0	SM2	SM1	SM0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0							P1
R/W Error	0	0	0	P0	1	1	1	0	SM2	SM1	SM0	0	0	SPI	RE	DU										PLL	Q	NVM	POR	PWR	CST	CHK	P1	

SPI通信の特性

表 10では以下の条件にご注意ください。

- タイミングのすべての最小値と最大値は、特性評価により保証されています。
- すべてのタイミングは、10% V_{DD} と実際に出力された電圧波形の90%に対するものです。
- タイミングのすべての最小値と最大値は、 $3.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ の場合に有効です。
- すべての信号の容量性負荷は、 $\leq 80\text{ pF}$ と想定しています。
- 周囲温度は $-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$ です。
- $47\text{ k}\Omega$ または $110\text{ }\mu\text{A}$ のMISOプルアップ。
- 書込み動作後の逐次伝達は 17 ms まで増加し、EEPROMによって制限されます。

表 10. SPI コマンド/応答のタイミング特性

Symbol	Description	Min	Max	Unit
f_{OP}	SPI operating frequency		8.08	MHz
t_{SCLKH}	Clock (SCLK) high time	$1/2t_{SCLK} - 13$		ns
t_{SCLKL}	Clock (SCLK) low time	$1/2t_{SCLK} - 13$		ns
t_{SCLK}	SCLK period	123.7		ns
t_F	Clock (SCLK) fall time	5.5	13	ns
t_R	Clock (SCLK) rise time	5.5	13	ns
t_{SU}	Data input (MOSI) setup time	37		ns
t_{HIGH}	Data input (MOSI) hold time	49		ns
t_A	Data output (MISO) access time		20	ns
t_V	Data output (MISO) valid after SCLK		20	ns
t_{LAG}	Data output (MISO) lag time	0		ns
t_{DIS}	Data output (MISO) disable time		40	ns
t_{LEAD}	Enable (\overline{CS}) lead time	$1/2t_{SCLK}$		ns
t_{LAG}	Enable (\overline{CS}) lag time	$1/2t_{SCLK}$		ns
t_D	Sequential transfer delay	0.1		ms
f_0	Gyroscope resonant frequency	13	19	kHz

ADXRS450

SPIアプリケーション

デバイス・データのラッチ機能

ADXRS450 からデータを短時間に取得できるように、図 26に示すように、デバイス・データのラッチ機能が実装されています。チップ・セレクト (\overline{CS}) のアサーションと同時に、デバイスに存在するデータはメモリにラッチされます。すべてのMOSIコマンドが受信された後に \overline{CS} ピンのアサートが解除されると、次の

逐次コマンド/応答交換に備えて、ラッチされていたデータがSPIポート・レジスタにシフトインされます。これによって、0.1 msというきわめて高速な逐次伝達遅延が実現します(表 10を参照)。設計においては、送信されるデータの新鮮さはより限定されません。逐次伝達遅延が数秒という条件では、取得する最新のデータは常に数秒古いデータとなってしまいます。

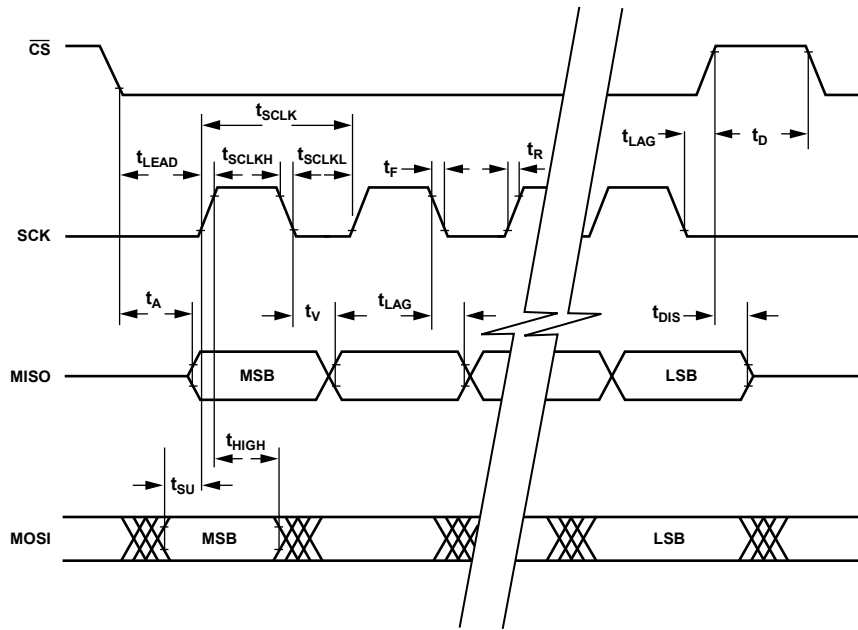


図 25. SPI タイミング

デバイス・データは、 \overline{CS} のアサーション後にラッチされます。ラッチされたデータは、次の逐次コマンド/応答交換時に送信されます。

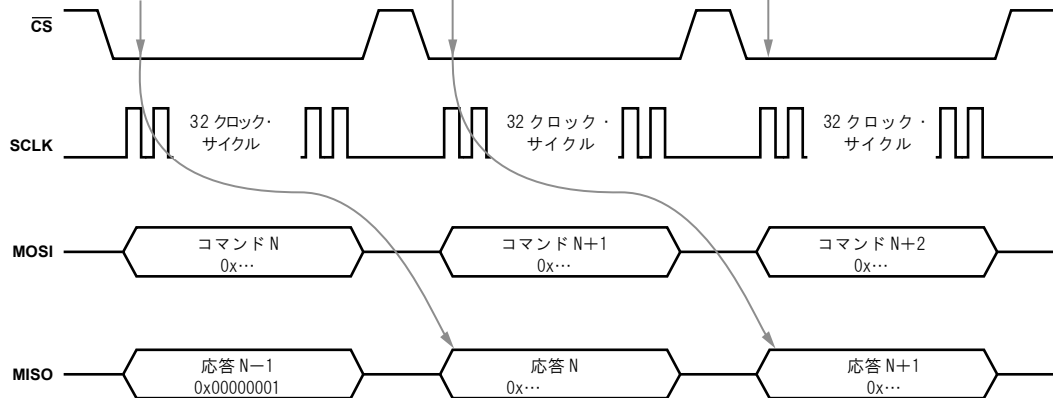


図 26. デバイス・データのラッチ機能

コマンド/応答ビット定義

表 11. クイック・ガイド—SPI インターフェースのビット定義

Bit	Description
SQ2 to SQ0	Sequence bits (from master)
SM2 to SM0	Sensor module bits (from master)
A8 to A0	Register address
D15 to D0	Data
SPI	SPI command/response
ST1 to ST0	Status bits
P	Command odd parity
P0	Response, odd parity, Bits[31:16]
P1	Response, odd parity, Bits[31:0]
RE	Request error
DU	Data unavailable

SQ2~SQ0

SQ2~SQ0 ビットによって、マスター・デバイスは複数のセンサーから受信したデータ・サンプルを同期することができます。正しく同期を行うために、ADXRS453 ジャイロスコープは各コマンドリクエストに対応した応答シーケンスの中に SQ[2:0]ビットがあります。

SM2~SM0

SM2~SM0 ビットは、マスター・デバイスから送信されるセンサー・モジュール・ビットです。ADXRS450 には実装されていないため、必ず 000 にハードコードされています。

A8~A0

A8~A0 ビットは、デバイス・データの読出しや情報の書込みに使用するメモリ・アドレスです。メモリ・レジスタへのアクセス時にマスター・デバイスから供給されるだけで、Sensor Data コマンドではすべて無視されます。使用可能なメモリ・レジスタの詳細については、「メモリ・レジスタの定義」を参照してください。

D15~D0

次のいずれかの 16 ビットのデバイス・データ。

- マスター—A8~A0で指定したメモリ・レジスタに書き込む為のマスター・デバイスからのデータ。
- ADXRS450 からの角速度出力データ。
- スレーブ—A8~A0で指定されたメモリ・レジスタから読み出されるデバイス・データ、ならびに次の連続したレジスタからのデータ。
- スレーブ—書込みコマンドの場合、指定のメモリ・レジスタに書き込まれた 16 ビット・データが相関するようにマスター・デバイスに反映されます。

SPI

SPI ビットがセットされるのは、送信するビットが多すぎるか少なすぎる場合、または制御モジュールからのメッセージにパリティ・エラーが含まれる場合です。さらに、センサー・データのリクエスト時にエラーが発生すると、デバイスが読出し/書込みエラーを発行します。

ST1~ST0

ステータス・ビット (ST1 と ST0) は、応答メッセージに含まれているデータのタイプをマスター・デバイスに通知するときに使用します。ステータス・ビットは、表 12 に示すようにデコードされます。

表 12. ステータス・ビットのコード定義

ST1:ST0	Content in Bits[D15:D0]
00	Error data for sensor data response
01	Valid sensor data
10	Sensor self-test data
11	Read/write response

センサーのデータ応答時に ST ビットが 0b00 に設定されるのは、セルフテストまたは PLL の 2 つの独立した条件の場合です。セルフテスト応答は、その公称値から十分にかけ離れています。適切な限界値については、「外形寸法」を参照してください。センサーのデータ応答が PLL であるとき、PLL 障害がアクティブです。

P

マスターからスレーブへのすべてのデータ伝送には、パリティ・ビット (P) が必要です。32 ビット・コマンド全体に奇数パリティを実現するには、通信プロトコルにパリティ・ビットが 1 つ必要になります。ドント・ケア位置にあるビットもパリティ計算の中に入ります。

P0

P0 は、デバイス応答のビット [31:16] に奇数パリティを設定するパリティ・ビットです。

P1

P1 は、32 ビットのデバイス応答全体に奇数パリティを設定するパリティ・ビットです。

RE

RE は、ADXRS450 デバイスから制御モジュールに送信される通信エラー・ビットです。リクエスト・エラー (RE) は、次のときに発生します。

- 制御モジュールから無効なコマンドが送信されたとき。
- 読出し/書込みコマンドで無効なメモリ・レジスタが指定されたとき。
- 書込み不可のメモリ・レジスタに書込みコマンドが実行されたとき。

DU

表 10 に示したように、メモリ・レジスタ (たとえば、DNC0) にデータを書き込むための逐次伝達遅延によって、0.1 ms の逐次伝達遅延が生じます。逐次伝達遅延の完了前にデバイスに連続する書込みコマンドが発行された場合、そのコマンドは無視され、デバイスはデータ無効 (DU) エラー応答を発行します。ただし、わずか 10 μs の逐次伝達遅延があれば、読出しコマンドまたはセンサー・データのリクエストを発行することができます。デバイスに発行されるコマンドには関係なく、書込み手順が開始されると、その動作は最後まで行われます (所要時間 17 ms)。

フォルト・レジスタのビット定義

ここでは、ユーザに故障診断の結果を通知するためのビットを説明します。フォルト・レジスタの個々のビットは、それぞれの判定基準に応じて非同期で更新されます。ただし、フォルト・レジスタの読出しは 250 Hz 以上の周波数で行うことをお勧めします。各ステータス・ビットがアサートされると、マスター・デバイスによって読み出されるまでアサートが解除されません。フォルト・レジスタの読出し後にエラーが解消していない場合は、ステータス・ビットがすぐに再度アサートされ、次のデータ呼び出しまでアサートされたままの状態になります。どのセンサー・データのリクエストにも完全なフォルト・レジスタが付加されています。レジスタ 0x0A の読出しコマンドの発行によって、このレジスタにアクセスすることもできます。

ADXRS450

表 13. クイック・ガイド・フォルト・レジスタのビット定義

Bit Name	Description
PLL	PLL failure
Q	Quadrature error
NVM	Nonvolatile memory fault (NVM)
POR	Power-on reset failed to initialize
UV	Regulator undervoltage
Amp	Amplitude detection failure
PWR	Power regulation failed: overvoltage/undervoltage
CST	Continuous self-test failure
CHK	Check: generate faults
OV	Regulator overvoltage
Fail	Failure that sets the ST[1:0] bits to 0b00

PLL

PLL は、デバイスの位相ロックループ機能回路ブロックに障害が発生したことを示すビットです。PLL が共振器構造との同期に失敗したときに発生します。PLL ステータス・フラグがアクティブである場合、センサー・データ応答の ST ビットは 0b00 に設定され、この応答に無効なレート・データが含まれている可能性があることを示します。

Q

Q 障害は、2つの独立した直交計算に基づいてアサートすることができます。クワッド・メモリ（レジスタ 0x08）にあるのは、デバイスに存在する合計瞬時直交に相当する値です。この値が 4096 LSB を上回ると、Q 障害が発行されます。直交ビルドアップはオフセット誤差の原因となるため、ADXRS450 には直交の影響を動的にキャンセルする方法が備わっています。内部直交アキュムレータは、ADXRS450 が実行した直交補正の量を記録します。過度の直交はオフセット誤差に関連します。デバイスの直交誤差 (Q) が 4°/秒 (typ) に相当するレート・オフセットの原因になると、Q 障害が発行されます。

NVM

内部 NVM データがチェックサム計算に失敗すると、制御モジュールに NVM エラーが送信されます。このチェックは 50 μs ごとに実行されますが、DNC0 や PID メモリ・レジスタは含まれません。

POR

デバイスの揮発性メモリが機能することを確認するため、デバイスの起動時に内部チェックが行われます。そのために、デバイス ROM 内の既知の値を揮発性メモリ・レジスタに設定します。その後のデバイス動作の間、1 μs ごとにこの値と ROM 内の既知の値を連続的に比較します。揮発性メモリ内の値が変化した場合、つまり ROM 内の値と一致しないと、POR エラー・フラグがアサートされます。デバイスのパワー・サイクルと同時に ROM 内の値が揮発性メモリに再度書き込まれます。

PWR

デバイスは、内部 3 V 安定化電圧レベルを連続的にチェックします。オーバー電圧 (OV) またはアンダー電圧 (UV) 障害がアサートされると、パワー (PWR) ビットもアサートされます。安定化電圧が 3.3 V を上回るか 2.77 V を下回ると、この状態になります。PWR ビットが必要以上にアサートされることを防ぐため、内部ローパス・フィルタによって高周波数のグリッチ効果を除去します。障害の原因がオーバー電圧またはアンダー電圧条件かどうかを判定するには、OV と UV のフォルト・ビットを解析する必要があります。

CST

ADXRS450 には、連続セルフテスト (CST) 機能があります。測定されたセルフテスト振幅と表 1 に示した限界値を比較します。この値からのずれが、セルフテスト誤差としてレポートされます。セルフテスト障害には 2 つの閾値があります。

- セルフテスト値のずれが公称値の ±512 LSB を上回ると、フォルト・レジスタのセルフテスト・フラグがアサートされます。
- セルフテスト値のずれが公称値の ±1856 LSB を上回ると、フォルト・レジスタのセルフテスト・フラグがアサートされ、さらに ST[1:0] ビットが 0b00 に設定されて、センサー・データ応答に含まれているレート・データが無効の可能性を示します。

CHK

制御モジュールは、障害を生成する方法として、ADXRS450 にチェック (CHK) ビットを送信します。CHK ビットをアサートすることによって、デバイスは、フォルト・レジスタによって示されるすべての障害を生成する状態になります。たとえば、セルフテスト振幅が意図的に障害検出の閾値を上回る値に変化し、セルフテスト・エラーが生じます。このようにすることで、デバイスは、障害状態の検出機能だけでなく、その障害を制御モジュールにレポートする機能もチェックできます。

複数の障害状態がほとんど同時に始まります。しかし、CHK ビットのアサート時に障害コードを受信するタイミングは、各障害の生成に必要な時間に依存します。すべての内部障害を生成し、フォルト・レジスタが更新されてデバイスの状態が反映されるまでの時間は 50 ms 以下です。CHK ビットがクリアされるまで、ステータス・ビット (ST[1:0]) は 0b10 に設定され、制御モジュールがデータをセルフテスト・データと判断すべきことを示します。CHK ビットがアサート解除された後、障害状態の減衰とデバイスが通常動作に戻るためにさらに 50 ms が必要です。

OV

内部調整された電圧 (公称 3 V) が 3.3 V を上回ると、OV ビットがセットされます。ノイズ・スパイクなどで障害状態が発生しないように、電圧測定値はローパス・フィルタ処理が行われた後に規格値と比較されます。OV 障害が発生すると、PWR ビットもセットされます。OV ビットは Sensor Data 応答では送信されないため、PWR ビットがセットされると同時に FAULT1 と FAULT0 のメモリ・レジスタを読み出して、具体的なエラー状態を確認することを推奨します。

UV

内部調整された電圧 (公称 3 V) が 2.77 V を下回ると、UV ビットがセットされます。ノイズ・スパイクなどで障害状態が発生しないように、電圧測定値はローパス・フィルタ処理が行われた後に規格値と比較されます。UV 障害が発生すると、PWR ビットもセットされます。UV ビットは Sensor Data 応答では送信されないため、PWR ビットがセットされると同時に FAULT1 と FAULT0 のメモリ・レジスタを読み出して、具体的なエラー状態を確認することを推奨します。

Fail

ST[1:0] ビットが 00 にセットされると、Fail ビットがセットされます (「ST1~ST0」を参照)。Fail ビットの発生は、デバイスに大きな障害が発生しており、デバイス・データが無効である可能性があることを示しています。

Amp

シリコン振動子の振幅測定値が大幅に減少すると、Amp ビットがセットされます。CP5 に供給される電圧が内部電圧レギュレータの条件を下回ると、この条件が発生することがあります。AMP 障害と CST 障害は論理和 (OR) の関係にあります。したがって Sensor Data 応答データフレーム内の CST ビット位置は AMP 障害または CST 障害を示します。その後メモリから 2 つのフォルト・レジスタ (FAULT0 と FAULT1 レジスタ) を読み出すことで、具体的な障害を確認することができます。

CHK ビット・アサーション：推奨スタートアップ・ルーチン

図 27 は、ADXRS450 の推奨スタートアップ・ルーチンです。これとは異なるスタートアップ・シーケンスも使用することができますが、ADXRS450 からの応答が正しく処理されるように注意して

ください。デバイスへの電力印加後直ちに実行する場合、下に示す推奨ルーチンの実行に必要な合計時間は、およそ 200 ms です。「デバイス・データのラッチ機能」で説明したように、CS 信号のアサート時点でデバイスに存在するデータは、次の逐次コマンド/応答交換でマスターに送信されます。このため、CHK コマンドのアサートによって得られたデータがデバイスによって送信されるまでに見かけ上 SPL 通信 1 回分の遅延が生じます。デバイスとのこれ以外の読出し/書込み操作では、このような遅延はなく。マスターからのコマンドは常に次の SPI 通信時に応答が帰って来ます。

CHK ビットがアサート解除されたとき、CST フォルト・フラグがまだクリアされていないのにデバイスからデータを取得しようとする、デバイスはエラー・データを送信しますので注意してください。

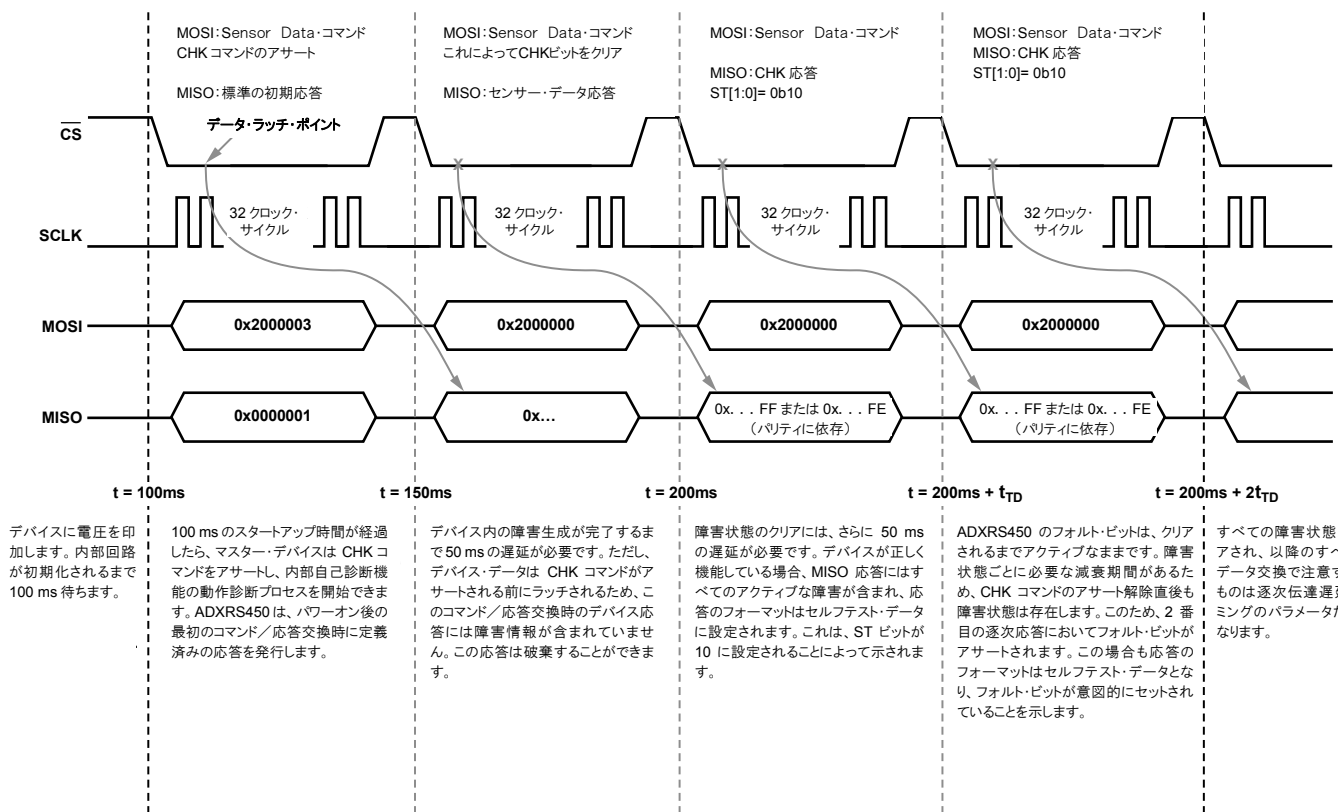


図 27. 推奨するスタートアップ・シーケンス

ADXRS450

SPIレート・データ・フォーマット

ADXRS450 ジャイロスコープは、32 ビット SPI データ・フレームの中で 16 ビット・フォーマットの角速度データを送信します。Sensor Data 応答の完全な 32 ビット・フォーマットについては、表 9 を参照してください。角速度データは、D15 から D0 まで MSB ファーストで送信されます。80 LSB/°/秒のスケール係数で、2 の

補数のフォーマットです。したがって、正（時計回り）回転の最大値は 0x7FFF（10 進+32,767）、反時計回り回転では 0x8000（10 進-32,768）になります。デバイスは、±24,000 LSB（±300°/秒）が性能の保証範囲となります。

表 14. レート・データ

14-Bit Rate Data		Data Type	Description
Decimal (LSBs)	Hex (D15:D0)		
+32,767	0x7FFF	Rate data (not guaranteed)	Maximum possible positive data value
...
+24,000	0x5DC0	Rate data	+300 degrees per second rotation (positive FSR)
...
+160	0x00A0	Rate data	+2 degrees per second rotation
+80	0x0050	Rate data	+1 degree per second rotation
...
+40	0x0028	Rate data	+1/2 degree per second rotation
+20	0x0014	Rate data	+1/4 degree per second rotation
...
0	0x 0000	Rate data	Zero rotation value
...
-20	0xFFEC	Rate data	-1/4 degree per second rotation
-40	0xFFD8	Rate data	-1/2 degree per second rotation
...
-80	0xFFB0	Rate data	-1 degree per second rotation
-160	0xFF60	Rate data	-2 degree per second rotation
...
-24,000	0xA240	Rate data	-300 degree per second rotation (negative FSR)
...
-32,768	0x8000	Rate data (not guaranteed)	Maximum possible negative data value

メモリ・マップとレジスタ

メモリ・マップ

次に、ユーザによる読み出し/書き込みが可能なメモリ・レジスタの一覧を示します。特定のメモリ・レジスタの読み出し/書き込みの正しい入力シーケンスについては、前述の「SPI通信プロトコル」を参照してください。各メモリ・レジスタは8ビットのデータが格納されていますが、読み出し要求が行われると、必ず16ビット・

メッセージでデータを返します。指定されたメモリ・アドレスに次の連続したレジスタからのデータを付加します。データはMSBファーストで送信されます。メモリ・レジスタから正しいデータ・アクイジションを実行するには、偶数番号のレジスタ・アドレスにだけ読み出し要求を行って下さい。メモリ・マップ (表15を参照) の後で、各メモリ・レジスタの意味を説明します。

表 15. メモリ・レジスタ・マップ

Address	Register Name	MSB	D6	D5	D4	D3	D2	D1	LSB
0x00	RATE1	RTE15	RTE14	RTE13	RTE12	RTE11	RTE10	RTE9	RTE8
0x01	RATE0	RTE7	RTE6	RTE5	RTE4	RTE3	RTE2	RTE1	RTE0
0x02	TEM1	TEM9	TEM8	TEM7	TEM6	TEM5	TEM4	TEM3	TEM2
0x03	TEM0	TEM1	TEM0	(Unused)	(Unused)	(Unused)	(Unused)	(Unused)	(Unused)
0x04	LOCST1	LCST15	LCST14	LCST13	LCST12	LCST11	LCST10	LCST9	LCST8
0x05	LOCST0	LCST7	LCST6	LCST5	LCST4	LCST3	LCST2	LCST1	LCST0
0x06	HICST1	HCST15	HCST14	HCST13	HCST12	HCST11	HCST10	HCST9	HCST8
0x07	HICST0	HCST7	HCST6	HCST5	HCST4	HCST3	HCST2	HCST1	HCST0
0x08	QUAD1	QAD15	QAD14	QAD13	QAD12	QAD11	QAD10	QAD9	QAD8
0x09	QUAD0	QAD7	QAD6	QAD5	QAD4	QAD3	QAD2	QAD1	QAD0
0x0A	FAULT1	(Unused)	(Unused)	(Unused)	(Unused)	FAIL	AMP	OV	UV
0x0B	FAULT0	PLL	Q	NVM	POR	PWR	CST	CHK	0
0x0C	PID1	PIDB15	PIDB14	PIDB13	PIDB12	PIDB11	PIDB10	PIDB9	PIDB8
0x0D	PID0	PIDB7	PIDB6	PIDB5	PIDB4	PIDB3	PIDB2	PIDB1	PIDB0
0x0E	SN3	SNB31	SNB30	SNB29	SNB28	SNB27	SNB26	SNB25	SNB24
0x0F	SN2	SNB23	SNB22	SNB21	SNB20	SNB19	SNB18	SNB17	SNB16
0x10	SN1	SNB15	SNB14	SNB13	SNB12	SNB11	SNB10	SNB9	SNB8
0x11	SN0	SNB7	SNB6	SNB5	SNB4	SNB3	SNB2	SNB1	SNB0
0x12	DNC1	(Unused)	(Unused)	(Unused)	(Unused)	(Unused)	(Unused)	DNCB9	DNCB8
0x13	DNC0	DNCB7	DNCB6	DNCB5	DNCB4	DNCB3	DNCB2	DNCB1	DNCB0

ADXRS450

メモリ・レジスタの定義

ここでは、SPIでアクセスできるメモリ・レジスタについて説明します。前述のように、メモリ・レジスタのデータを要求するときは、2バイトデータのうち最初の1バイトのメモリ・アドレスだけをアドレス指定する必要があります。デバイスが返すデータには、16ビットのメモリ・レジスタ情報が含まれています。ビット[15:8]には要求された情報のMSB、ビット[7:0]にはLSBが格納されます。

レート・レジスタ

アドレス: 0x00 (RATE1)
0x01 (RATE0)
レジスタ更新レート: 500 Hz
スケール係数: 80 LSB/°/秒

レート・レジスタには、温度補償済みのレート出力が80 Hzにフィルタ処理されて格納されます。このデータには、デバイスにSensor Data コマンドを発行することによってもアクセスできます。データは、16ビットの2の補数値で示されます。

MSB							LSB
D15	D14	D13	D12	D11	D10	D9	D8
D7	D6	D5	D4	D3	D2	D1	D0

温度 (TEMx) レジスタ

アドレス: 0x02 (TEM1),
0x03 (TEM0)
レジスタ更新レート: 500 Hz
スケール係数: 5 LSB/°C

TEM レジスタには、デバイスの温度に対応する値が格納されます。データは、10ビットの2の補数値で示されます。0 LSBは約45°Cの温度に対応します。

MSB							LSB
D9	D8	D7	D6	D5	D4	D3	D2
D1	D0	(Unused)					

表 16.

Temperature	Value of TEM1:TEM0
45°C	0000 0000 00XX XXXX
85°C	0011 0010 00XX XXXX
0°C	1100 0111 11XX XXXX

低CST (LOCST) メモリ・レジスタ

アドレス: 0x04 (LOCST1)
0x05 (LOCST0)
レジスタ更新レート: 1000 Hz
スケール係数: 80 LSB/°/秒

LOCSTメモリ・レジスタには、温度補償とローパス・フィルタ処理が行われた連続的なセルフテスト値の変位量が格納されます。この値は、正と負のセルフテスト変位間の差の大きさであり、表1に示す値に対応します。セルフテストの値が設定されたセルフテスト規格値の仕様外となる場合、デバイスはCSTエラーを発生します。CSTフォルト・ビットが誤ってトリガされないようにセルフテスト・データは2 Hzにフィルタ処理された後に規格値と比較されます。データは、80 LSB/°/秒のスケール係数で、16ビットの2の補数で示されます。

MSB							LSB
D15	D14	D13	D12	D11	D10	D9	D8
D7	D6	D5	D4	D3	D2	D1	D0

高CST (HICST) メモリ・レジスタ

アドレス: 0x06 (HICST1),
0x07 (HICST0)
レジスタ更新レート: 1000 Hz
スケール係数: 80 LSB/°/秒

HICSTレジスタには、フィルタ処理なしのセルフテスト情報が格納されます。HICSTデータを使用すればセルフテスト応答における急激な変動を検出できるため、安全性が重要なアプリケーションの障害診断を補完できます。ただし、HICSTデータがセルフテスト規格値の仕様外となっても、フォルト・レジスタのCSTビットはセットされません。CSTビットの状態を制御できるのは、外部擾乱等に起因する一時的なセルフテスト変位量変化やノイズをフィルタ処理した後のLOCSTメモリ・レジスタだけです。データは、16ビットの2の補数値で示されます。

MSB							LSB
D15	D14	D13	D12	D11	D10	D9	D8
D7	D6	D5	D4	D3	D2	D1	D0

クワッド・メモリ・レジスタ

アドレス: 0x08 (QUAD1)
0x09 (QUAD0)
レジスタ更新レート: 250 Hz
スケール係数: 80 LSB/°/秒等価

クワッド・メモリ・レジスタには、所定の時間にデバイスに存在する直交誤差の量に対応する値が格納されます。直交誤差は、振動子構造の運動の誤差のようなものであり、ストレスと経年変化の影響によって生じることがあります。直交誤差データは、80 Hzにフィルタ処理され、直交誤差レベルの突然の変動を検出したい場合は頻繁に読み出すことができます。データは、16ビットの2の補数値で示されます。

MSB							LSB
D15	D14	D13	D12	D11	D10	D9	D8
D7	D6	D5	D4	D3	D2	D1	D0

フォルト・レジスタ

アドレス: 0x0A (FAULT1)
 0x0B (FAULT0)
 レジスタ更新レート: なし
 スケール係数: なし

フォルト・レジスタは、デバイス内のエラー・フラグの状態を格納します。すべてのデバイス・データ送信の最後にFAULT0レジスタが付加されますが（表 13を参照）、これとは別にレジスタのメモリ位置からアクセスすることもできます。チップに障害状態が生じると、個々のフォルト・ビットは直ちに非同期で更新されます。アクティブ化の所要時間は<5 μsです。一度アクティブになると、各フォルト・ビットはフォルト・レジスタが読み出されるかSensor Dataコマンドが受信されるまでアクティブ状態のままです。ビットが読み出されてもアクティブ状態が続く場合は、そのフォルト・ビットが自動的に再度アサートされます。

MSB				LSB			
(Unused)				FAIL	AMP	OV	UV
PLL	Q	NVM	POR	PWR	ST	CHK	0

製品ID (PID) レジスタ

アドレス: 0x0C (PID1)
 0x0D (PID0)
 レジスタ更新レート: なし
 スケール係数: なし

製品識別レジスタには、ADXRS450 のバージョンを識別する 16 ビット数値が格納されています。この情報とシリアル番号によって、個々のデバイスの高度な特定とトラッキングが可能です。最初の製品 ID は R01 (0x5201) で、それ以降のバージョンは値が R02、R03 と増えていきます。

MSB							LSB
D15	D14	D13	D12	D11	D10	D9	D8
D7	D6	D5	D4	D3	D2	D1	D0

シリアル番号 (SN) レジスタ

アドレス: 0x0E (SN3)
 0x0F (SN2)
 0x10 (SN1)
 0x11 (SN0)
 レジスタ更新レート: なし
 スケール係数: なし

シリアル番号レジスタには、デバイスを一意に識別する 32 ビットの識別番号が格納されています。シリアル番号全体を読み出すには、2つのメモリ読み出し要求を行う必要があります。レジスタ 0x0E の最初の読み出し要求ではシリアル番号の上位 16 ビット、レジスタ 0x10 の次の読み出し要求でシリアル番号の下位 16 ビットが返されます。

MSB						LSB	
D31	D30	D29	D28	D27	D26	D25	D24
D23	D22	D21	D20	D19	D18	D17	D16
D15	D14	D13	D12	D11	D10	D9	D8
D7	D6	D5	D4	D3	D2	D1	D0

ダイナミック・ゼロ補正 (DNC) レジスタ

アドレス: 0x12 (DNC1)
 0x13 (DNC0)
 レジスタ更新レート: なし
 スケール係数: 80 LSB/°/秒

ダイナミック・ゼロ補正レジスタは、ユーザーが書き込むことができる唯一のレジスタです。これらのビットをアサートすることによって、デバイスのレート出力を微調整できます。この 10 ビット・レジスタによって、デバイスのスタティックなレート出力を最大±6.4°/秒まで調整できます。

MSB						LSB	
(Unused)						D9	D8
D7	D6	D5	D4	D3	D2	D1	D0

パッケージの向きとレイアウト情報

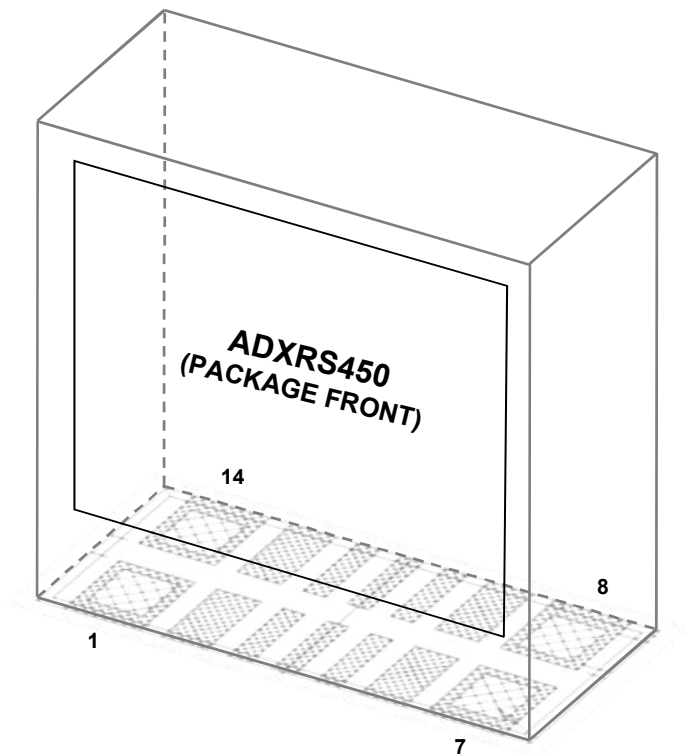


図 28. 14 端子のセラミック型 LCC_V、縦型実装

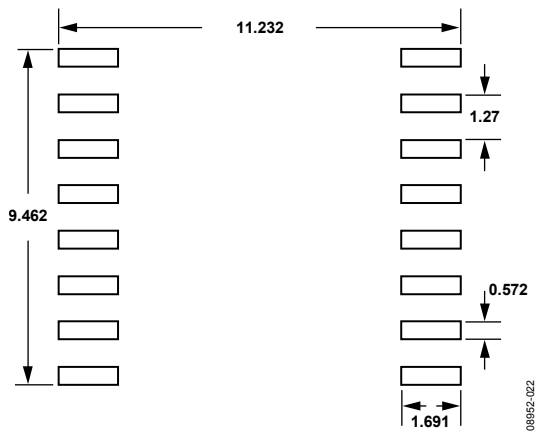


図 29. SOIC_CAV のハンダ・パッド・レイアウト例 (ランド・パターン)、寸法単位は mm、実寸ではありません

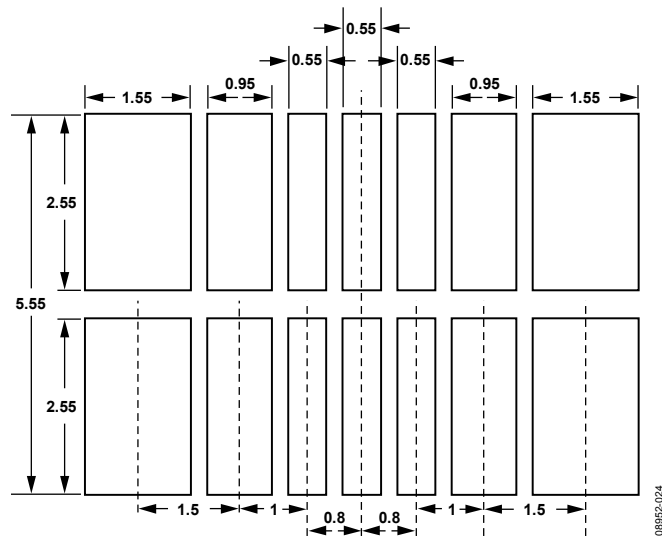
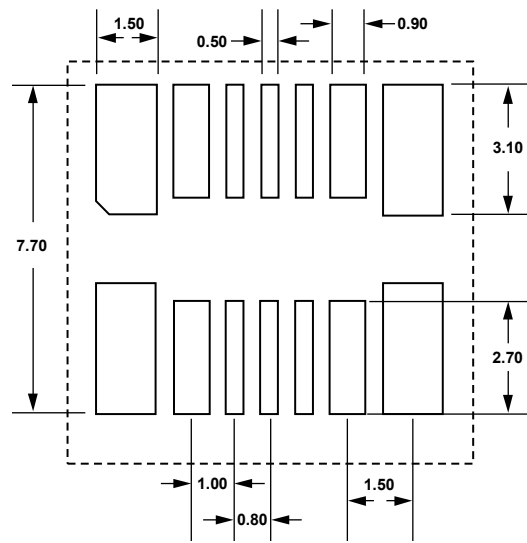


図 30. LCC_V のハンダ・パッド・レイアウト、寸法単位は mm、実寸ではありません



08952-025

図 31. LCC_V のハンダ・パッド・レイアウト例、横型実装、寸法単位は mm、実寸ではありません

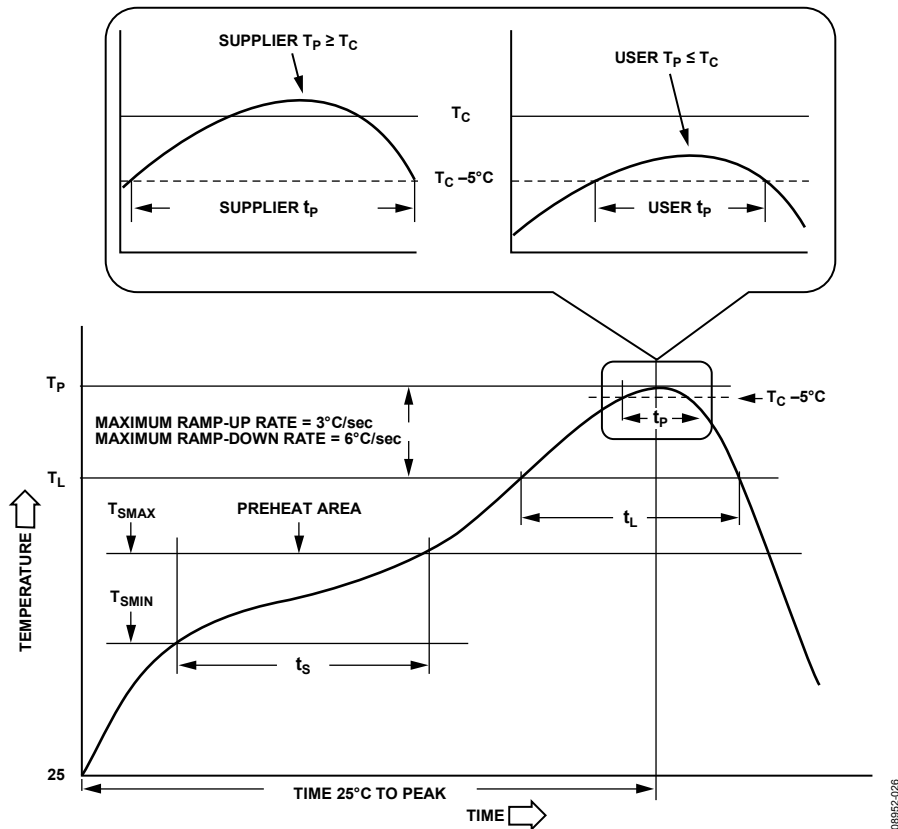


図 32. 推奨するハンダ付けプロファイル

表 17. ハンダ付けプロファイルの条件

Profile Feature	Conditions	
	Sn63/Pb37	Pb Free
Average Ramp Rate (T_L to T_P)	3°C/sec maximum	
Preheat		
Minimum Temperature (T_{SMIN})	100°C	150°C
Maximum Temperature (T_{SMAX})	150°C	200°C
Time (T_{SMIN} to T_{SMAX}) (t_s)	60 sec to 120 sec	60 sec to 120 sec
T_{SMAX} to T_L		
Ramp-Up Rate	3°C/sec maximum	
Time Maintained above Liquidous		
Liquidous Temperature (T_L)	183°C	217°C
Time (t_L)	60 sec to 150 sec	60 sec to 150 sec
Peak Temperature (T_P)	240°C + 0°C/-5°C	260°C + 0°C/-5°C
Time Within 5°C of Actual Peak Temperature (t_p)	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate	6°C/sec maximum	
Time 25°C to Peak Temperature	6 minutes maximum	8 minutes maximum

パッケージのマーキング・コード

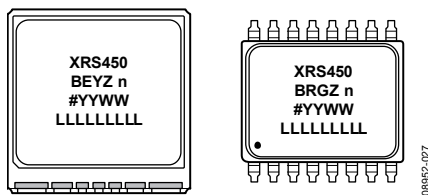
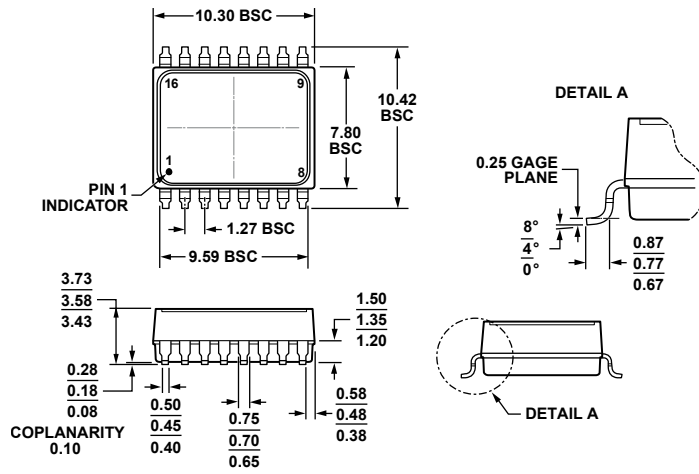


図 33. LCC_V および SOIC_CAV パッケージのマーキング・コード

表 18. パッケージのコード記号

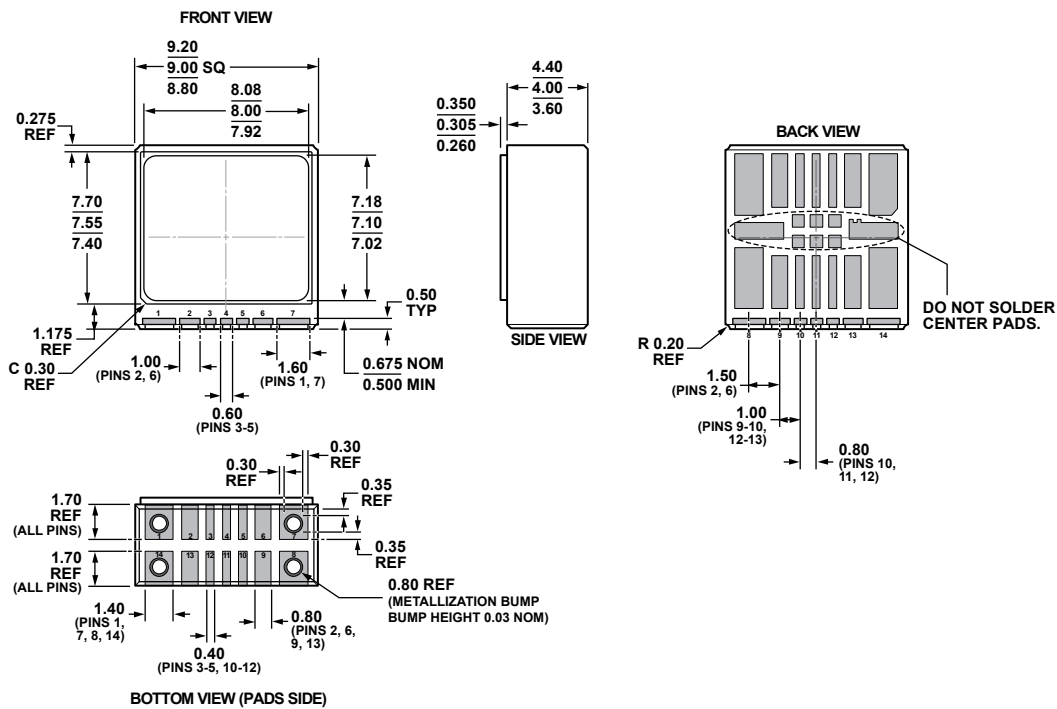
Marking	Significance
XRS	Angular rate sensor
450	Series number
B	Temperature Grade (-40°C to +105°C)
RG	Package designator (SOIC_CAV package)
EY	Package designator (LCC_V package)
Z	RoHS compliant
n	Revision number
#	Pb-Free designation
YYWW	Assembly date code
LLLLLLLLL	Assembly lot code (up to 9 characters)

外形寸法



072405-B

図 34. 16ピン・スモール・アウトライン、プラスチック・キャビティ・パッケージ [SOIC_CAV] (RG-16-1)
寸法単位：mm



04-08-2010-A

図 35. 14端子セラミック型リードレス・チップ・キャリア [LCC_V] (EY-14-1)
寸法単位：mm

オーダー・ガイド

Model ^{1, 2, 3}	Temperature Range	Package Description	Package Option
ADXRS450BEYZ EVAL-ADXRS450Z EVAL-ADXRS450Z-V EVAL-ADXRS450Z-M EVAL-ADXRS450Z-S	-40°C to +105°C	14-Terminal Ceramic Leadless Chip Carrier [LCC_V] Evaluation Board SOIC_CAV Evaluation Board LCC_V Analog Devices Inertial Sensor Evaluation System, Includes ADXRS450 Satellite ADXRS450 Satellite, Standalone, to be used with Inertial Sensor Evaluation System	EY-14-1

¹ Z = RoHS準拠製品。

² ADXRSBEYZのテープ&リール版（14端子LCC_V）は、2011年の第2四半期にリリースします。

³ ADXRS450BRGのSOIC版（16ピンSOIC_CAV）は、2011年の第2四半期にリリースします。