

この製品の英文および和文データシートにおいて、説明の改善点が発生しましたのでお知らせ致します。

この正誤表は、2017年9月8日現在、アナログ・デバイセズ株式会社で確認した動作に関する訂正内容を記したものです。

正誤表作成年月日：2017年9月8日

製品名：ADXL354 / 355

対象となるデータシートのリビジョン(Rev)：Rev.0 (英文・和文)

該当箇所：P.29

#### ***EXT\_SYNC = 01—External Sync and External Clock***

In this case, an external source provides an external clock at a frequency of  $4 \times 64 \times \text{ODR}$ . The external clock becomes the master clock source for the device. In addition, an external synchronization signal is needed to align the decimation filter output to a specific clock edge, which provides full external synchronization and is commonly used when a fixed external clock captures and processes data, and asynchronous clock(s) are not allowed. When using multiple sensors, synchronization with an external master clock is beneficial and requires time alignment.

When configured for  $\text{EXT\_SYNC} = 01$  with an ODR of 4 kHz, the user must supply an external clock at 1.024 MHz ( $64 \times 4 \times 4$  kHz) on the INT2 pin (Pin 13), and an external synchronization on DRDY pin (Pin 14), as shown in Table 12.

Special restrictions when using this mode include the following:

- An external clock (EXT\_CLK) must be provided as well as an external sync.
- The frequency of EXT\_CLK must be exactly  $4 \times 64 \times \text{ODR}$ .
- The width of sync must be a minimum of four EXT\_CLK periods.
- The phase of sync must meet an approximate 25 ns setup time to the EXT\_CLK rising edge.

(誤) ODR が変数のような記述となっている

(正) ODR は 4KHz 固定で、外部クロックは 1.024MHz となります。

(1.024MHz のクロックが選択出来ない場合は、1MHz でも使用可能です)