

特長

超低消費電力：VRR_S = 3.3 V時に測定モードで 57 μA (Typ)、スタンバイ・モードで 0.1 μA (Typ)

選択した帯域幅によって消費電力を自動的に調整

アプリケーションに合わせて分解能を選択可能

10 ビット固定分解能モード

最大分解能モード：分解能は g レンジに従って増加し、±12 g で最大 13 ビットの分解能 (全 g レンジで約 2.9 mg/LSB の分解能)

特許申請中の FIFO 技術内蔵によってホストプロセッサの負荷を低減
モーション検出機能内蔵によってアクティブ/インアクティブの検出
電源電圧および I/O 電圧範囲：2.0~3.6 V

SPI (3 線式または 4 線式) および I²C デジタル・インターフェース

すべての割込みはいずれの割込み出力ピンにもマッピング可能

測定範囲はシリアルコマンドで選択可能

帯域幅はシリアルコマンドで選択可能

温度範囲 (-40~+105°C)

衝撃耐性：10,000 g

鉛フリー/RoHS 準拠

小型・薄型パッケージ：5 mm × 5 mm × 1.45 mm LFCSP パッケージ
オートモーティブ・アプリケーション用に認定

アプリケーション

自動車警報装置
坂道発進補助装置 (HSA)
電子パーキング・ブレーキ
データ・レコーダ

概要

ADXL312 は、小型、薄型、低消費電力の 3 軸加速度センサーで、最大±12 g の測定範囲で高分解能 (13 ビット) の加速度計測が可能です。デジタル出力データは、16 ビットの「2 の補数」フォーマットで、SPI (3 線式または 4 線式) あるいは I²C のデジタル・インターフェースでアクセスできます。

ADXL312 は、自動車警報装置やブラック・ボックスのアプリケーションに最適です。この製品は、傾き検出アプリケーションにおける重力の静的加速度のほか、動き、衝撃、振動による動的加速度も計測できます。傾き検出の場合は、その高分解能 (2.9 mg/LSB) によってわずか 0.25° の傾きの変化に対応できます。FIFO 内蔵により、オーバーサンプリング技術を使用しわずかに 0.05° まで傾き分解能を改善できます。

この製品は、内蔵アルゴリズムに基づいた複数のセンシング機能も提供します。アクティブ/インアクティブ機能は、動き (モーション) の有無や、いずれかの軸の加速度がユーザ設定レベルを超えたかどうかを検出します。これらの機能は、割込み出力ピンにマッピングできます。内蔵の 32 レベル FIFO を使用してデータを格納することで、ホストプロセッサの負荷を最小限に抑えることができます。

低消費電力で動作させる場合では、加速度の入力信号に基づいたパワー・マネジメントを実現し、きわめて低い消費電力でアクティブ検出と加速度測定を行います。

ADXL312 は、小型、薄型の 5 mm × 5 mm × 1.45 mm 32 ピン LFCSP パッケージを採用しています。

機能ブロック図

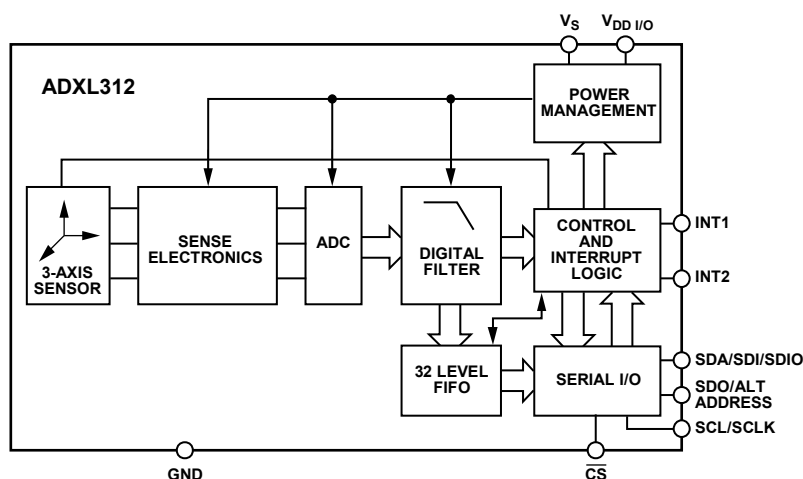


図 1. ADXL312 の簡略ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2010 Analog Devices, Inc. All rights reserved.

目次

TT特長.....	1	FIFO.....	17
アプリケーション.....	1	セルフテスト.....	18
概要.....	1	レジスタ・マップ.....	19
機能ブロック図.....	1	レジスタ定義.....	20
改訂履歴.....	2	アプリケーション情報.....	24
仕様.....	3	電源のデカップリング.....	24
絶対最大定格.....	4	取付けに関する機構上の留意点.....	24
熱抵抗.....	4	閾値.....	24
ESDに関する注意.....	4	リンク・モード.....	24
ピン配置と機能の説明.....	5	スリープ・モードと低消費電力モード.....	24
代表性能特性.....	6	セルフテストの使用方法.....	25
動作原理.....	9	高データレートのデータ・フォーマッティング.....	26
電源シーケンシング.....	9	ノイズ性能.....	27
節電.....	9	加速度検出軸.....	28
シリアル通信.....	11	ハンダ・プロファイル.....	29
SPI.....	11	外形寸法.....	30
I ² C.....	14	オーダー・ガイド.....	31
割込み.....	16	オートモーティブ製品.....	31

改訂履歴

Revision 0: Initial Version

仕様

特に指定のない限り、 $T_A = -40 \sim +105^\circ\text{C}$ 、 $V_S = V_{DD\text{ I/O}} = 3.3\text{ V}$ 、加速度 = 0 g。

表 1. 仕様¹

Parameter	Conditions	Min	Typ	Max	Unit
SENSOR INPUT					
Measurement Range	Each axis User selectable		±1.5, 3, 6, 12		g
Nonlinearity	Percentage of full scale		±0.5		%
Inter-Axis Alignment Error			±0.1		Degrees
Cross-Axis Sensitivity ²			±1		%
OUTPUT RESOLUTION					
All g Ranges	Each axis Default resolution		10		Bits
±1.5 g Range	Full resolution enabled		10		Bits
±3 g Range	Full resolution enabled		11		Bits
±6 g Range	Full resolution enabled		12		Bits
±12 g Range	Full resolution enabled		13		Bits
SENSITIVITY					
Scale Factor at X_{OUT} , Y_{OUT} , Z_{OUT}	Each axis ±1.5 g, 10-bit or full resolution	2.6	2.9	3.2	mg/LSB
Scale Factor at X_{OUT} , Y_{OUT} , Z_{OUT}	±3 g, 10-bit resolution	5.2	5.8	6.4	mg/LSB
Scale Factor at X_{OUT} , Y_{OUT} , Z_{OUT}	±6 g, 10-bit resolution	10.4	11.6	12.8	mg/LSB
Scale Factor at X_{OUT} , Y_{OUT} , Z_{OUT}	±12 g, 10-bit resolution	20.9	23.2	25.5	mg/LSB
Sensitivity at X_{OUT} , Y_{OUT} , Z_{OUT}	±1.5 g, 10-bit or full resolution	312	345	385	LSB/g
Sensitivity at X_{OUT} , Y_{OUT} , Z_{OUT}	±3 g, 10-bit resolution	156	172	192	LSB/g
Sensitivity at X_{OUT} , Y_{OUT} , Z_{OUT}	±6 g, 10-bit resolution	78	86	96	LSB/g
Sensitivity at X_{OUT} , Y_{OUT} , Z_{OUT}	±12 g, 10-bit resolution	39	43	48	LSB/g
Sensitivity Change Due to Temperature			±0.01		%/°C
0 g BIAS LEVEL					
Initial 0 g Output	Each axis $T = 25^\circ\text{C}$, X_{OUT} , Y_{OUT}	-150		+150	Mg
Initial 0 g Output	$T = 25^\circ\text{C}$, Z_{OUT}	-250		+250	Mg
0 g Output over Temperature	$-40^\circ\text{C} < T < 105^\circ\text{C}$, X_{OUT} , Y_{OUT} , Z_{OUT}	-250		+250	Mg
0 g Offset Tempco	X_{OUT} , Y_{OUT}		±0.8		mg/°C
0 g Offset Tempco	Z_{OUT}		±1.5		mg/°C
NOISE PERFORMANCE					
Noise Density (X-, Y-axes)		200	340	440	$\mu\text{g}/\sqrt{\text{Hz}}$
Noise Density (Z-axis)		200	470	595	$\mu\text{g}/\sqrt{\text{Hz}}$
OUTPUT DATA RATE/BANDWIDTH					
Measurement Rate ³	User selectable	6.25		3200	Hz
SELF-TEST⁴					
Output Change in X-Axis	Data rate $\geq 100\text{ Hz}$, $2.0 \leq V_S \leq 3.6$	0.20		2.10	G
Output Change in Y-Axis		-2.10		-0.20	G
Output Change in Z-Axis		0.30		3.40	G
POWER SUPPLY					
Operating Voltage Range (V_S)		2.0		3.6	V
Interface Voltage Range ($V_{DD\text{ I/O}}$)		1.7		V_S	V
Supply Current	Data rate $> 100\text{ Hz}$	100	170	300	μA
	Data rate $< 10\text{ Hz}$	30	55	110	μA
Standby Mode Leakage Current			0.1	2	μA
Turn-On (Wake-Up) Time ⁵			1.4		Ms
TEMPERATURE					
Operating Temperature Range		-40		+105	°C

¹ すべての仕様のMin値とMax値は保証されています。仕様のTyp値は保証されていません。

² 交差軸感度は、任意の2軸間のカップリングとして定義されています。

³ 帯域幅は出力データレートの半分になります。

⁴ セルフテスト変動は、SELF_TESTビット=1 (DATA_FORMATレジスタ) の場合の出力 (g) からSELF_TESTビット=0 (DATA_FORMATレジスタ) の場合の出力 (g) を減算した値です。デバイス内蔵のフィルタによって、出力が安定するのはセルフテストをオン/オフしてから $4 \times \tau$ 後になります。ここで、 $\tau = 1/(\text{データレート})$ です。

⁵ ターンオン時間とウェークアップ時間は、ユーザ定義の帯域幅によって決まります。100 Hzのデータレートでは、ターンオン時間とウェークアップ時間は、それぞれ約11.1 msです。それ以外のデータレートでは、それぞれ約 $\tau + 1.1$ ミリ秒です。ここで、 $\tau = 1/(\text{データレート})$ です。

ADXL312

絶対最大定格

表 2.

Parameter	Rating
Acceleration	
Any Axis, Unpowered	10,000 g
Any Axis, Powered	10,000 g
V _S	-0.3 V to 3.9 V
V _{DD I/O}	-0.3 V to 3.9 V
All Other Pins	-0.3 V to V _{DD I/O} + 0.3 V or 3.9 V, whichever is less
Output Short-Circuit Duration (Any Pin to Ground)	Indefinite
Temperature Range	
Powered	-40°C to +125°C
Storage	-40°C to +125°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわち回路ボードに表面実装パッケージをハンダ付けした状態で規定しています。

表 3. 熱抵抗

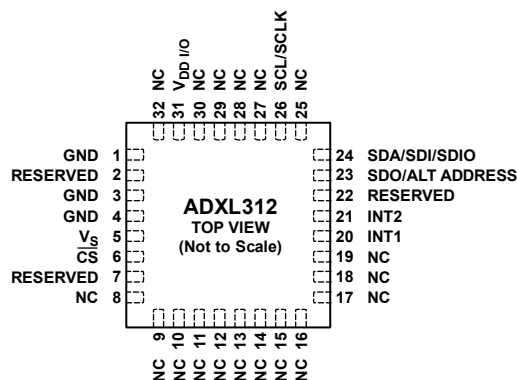
Package Type	θ_{JA}	θ_{JC}	Unit
32-Lead LFCSP Package	27.27	30	°C/W

ESDに関する注意



TTESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明



NOTES

1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED PAD MUST BE SOLDERED TO THE GROUND PLANE.

09791-002

図 2. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	GND	グラウンド
2	予備	無接続もしくは V_S
3	GND	グラウンド
4	GND	グラウンド
5	V_S	電源電圧
6	\overline{CS}	チップ・セレクト
7	予備	無接続
8 to 19	NC	無接続
20	INT1	割込み 1 出力
21	INT2	割込み 2 出力
22	予備	無接続もしくはグラウンド
23	SDO/ALT ADDRESS	シリアル・データ出力、または I ² C アドレス・セレクト
24	SDA/SDI/SDIO	シリアル・データ (I ² C)、シリアル・データ入力 (SPI 4 線式)、シリアル・データ入出力 (SPI 3 線式)
25	NC	無接続
26	SCL/SCLK	シリアル通信クロック
27 to 30	NC	無接続
31	$V_{DD I/O}$	デジタル・インターフェース電源電圧
32	NC	無接続
	EP	Eパッドはグラウンド・プレーンにハンダ付けすること

代表性能特性

特に指定のない限り、N>1000。

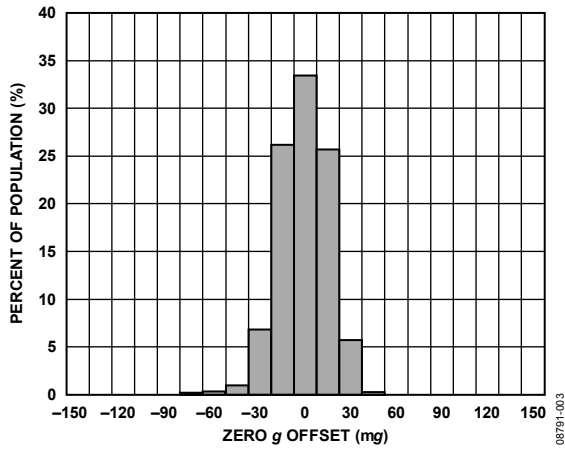


図 3. X軸の0g バイアス (25°C、 $V_S = V_{DD I/O} = 3.3 V$)

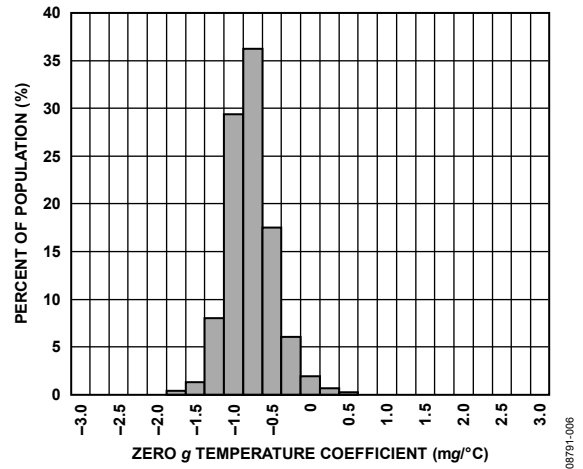


図 6. X軸の0g バイアス・ドリフト ($V_S = V_{DD I/O} = 3.3 V$)

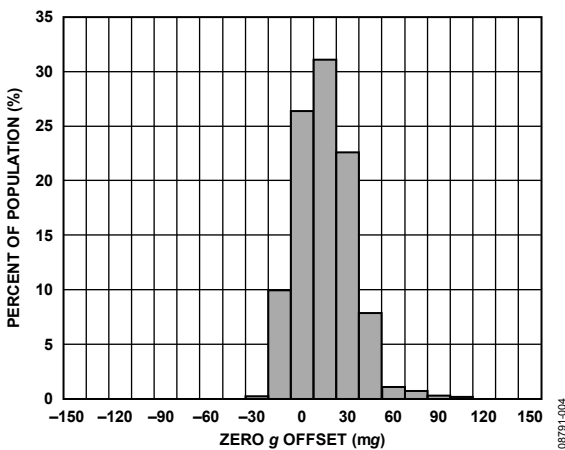


図 4. Y軸の0g バイアス (25°C、 $V_S = V_{DD I/O} = 3.3 V$)

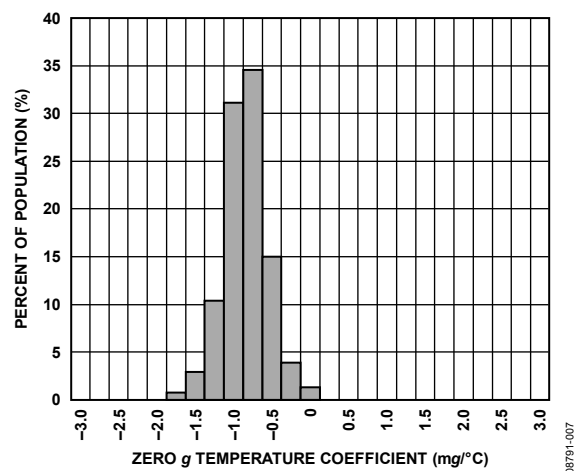


図 7. Y軸の0g バイアス・ドリフト ($V_S = V_{DD I/O} = 3.3 V$)

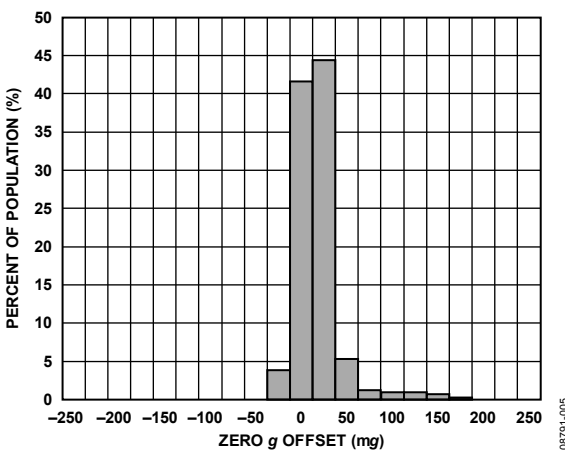


図 5. Z軸の0g バイアス (25°C、 $V_S = V_{DD I/O} = 3.3 V$)

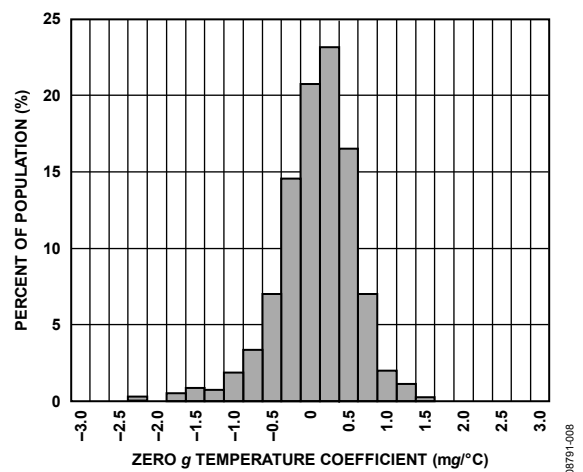


図 8. Z軸の0g バイアス・ドリフト ($V_S = V_{DD I/O} = 3.3 V$)

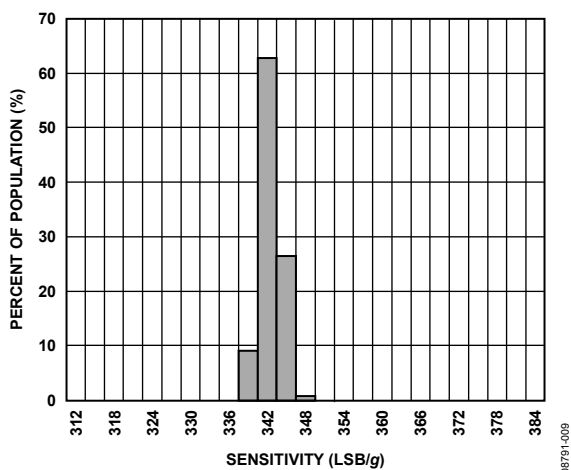


図 9. X 軸の感度 ($V_S = V_{DD I/O} = 3.3 V, 25^\circ C$)

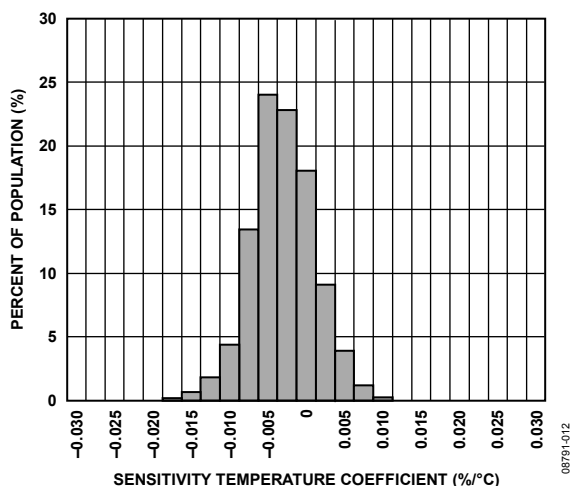


図 12. X 軸の感度温度係数 ($V_S = V_{DD I/O} = 3.3 V$)

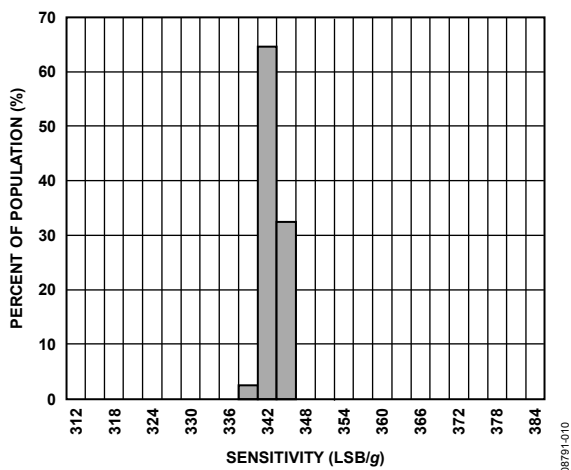


図 10. Y 軸の感度 ($V_S = V_{DD I/O} = 3.3 V, 25^\circ C$)

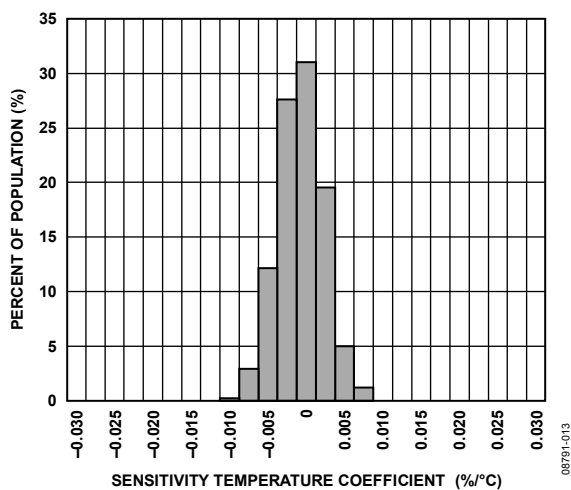


図 13. Y 軸の感度温度係数 ($V_S = V_{DD I/O} = 3.3 V$)

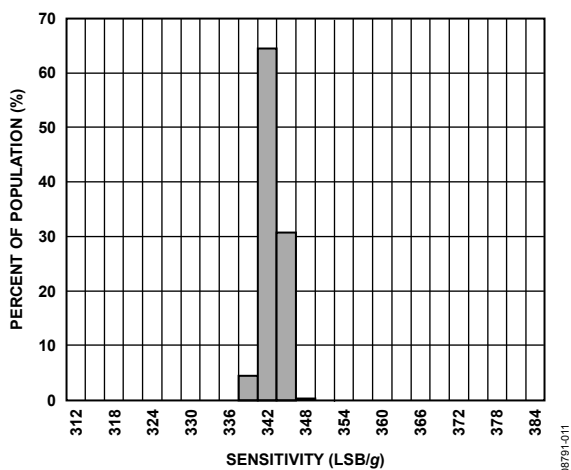


図 11. Z 軸の感度 ($V_S = V_{DD I/O} = 3.3 V, 25^\circ C$)

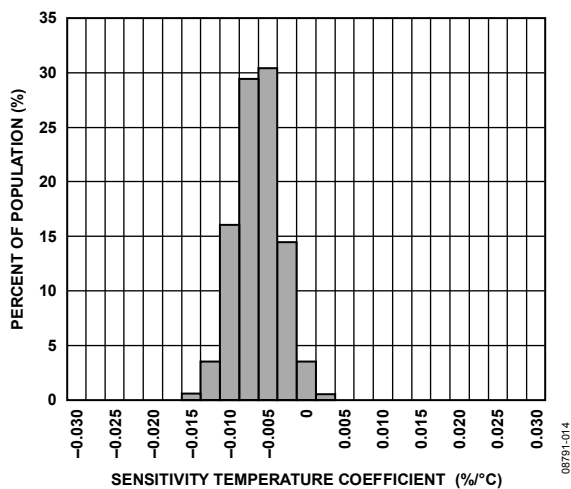


図 14. Z 軸の感度温度係数 ($V_S = V_{DD I/O} = 3.3 V$)

ADXL312

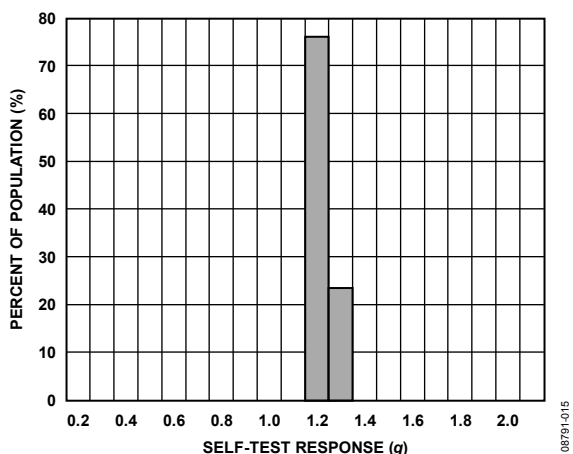


図 15. X軸のセルフテストの変動 ($V_S = V_{DD\ I/O} = 3.3\text{ V}$, 25°C)

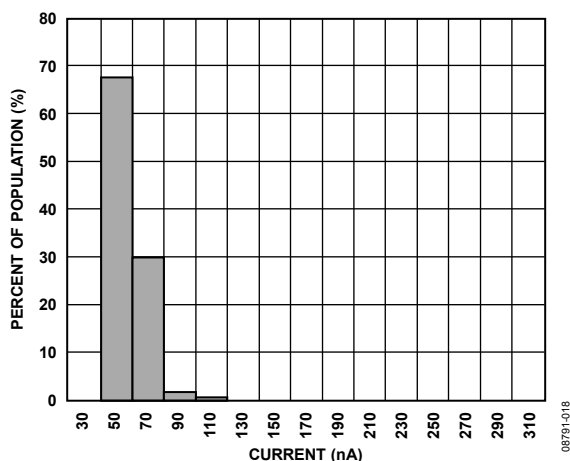


図 18. スタンバイ・モードの消費電流 ($V_S = V_{DD\ I/O} = 3.3\text{ V}$, 25°C)

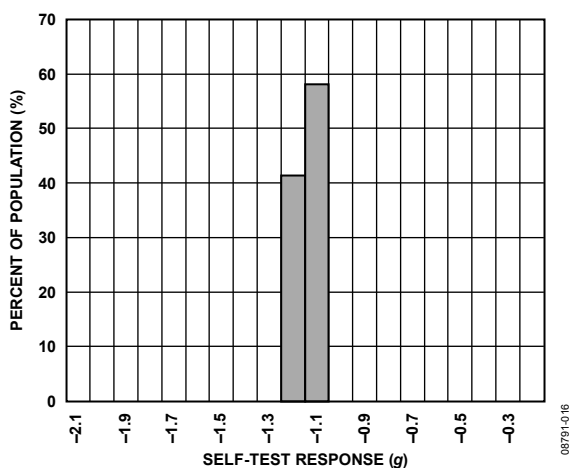


図 16. Y軸のセルフテストの変動 ($V_S = V_{DD\ I/O} = 3.3\text{ V}$, 25°C)

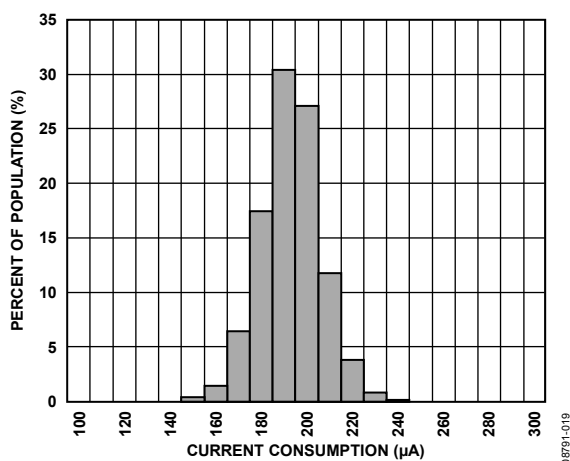


図 19. 消費電流、測定モード、データレート = 100 Hz、 $V_S = V_{DD\ I/O} = 3.3\text{ V}$ 、 25°C

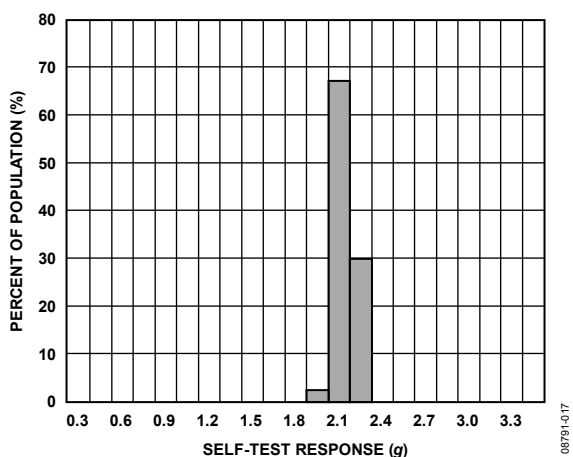


図 17. Z軸のセルフテストの変動 ($V_S = V_{DD\ I/O} = 3.3\text{ V}$, 25°C)

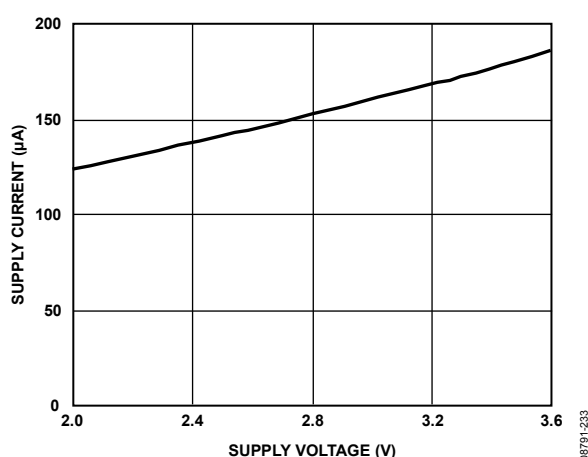


図 20. 電源電圧 対 電源電流 (25°C)

動作原理

ADXL312は、 $\pm 1.5g$ 、 $\pm 3g$ 、 $\pm 6g$ 、 $\pm 12g$ の測定範囲を選択できる、全機能装備3軸加速度計測システムです。この加速度センサーは、動きや衝撃による動的加速度だけでなく、重力などの静的加速度も測定できるため、傾斜センサーとして使用できます。

センサーは、シリコン・ウェーハの上面に構成されるポリシリコン表面マイクロマシン構造となっています。ポリシリコンのスプリングがこの構造部をウェーハ表面上に支え、加速度に対する抵抗を与えます。構造部の変位は、独立した固定プレートと可動部に取り付けられたプレートで構成される、差動コンデンサによって測定します。固定プレートは、 180° 位相のずれた矩形波が印加されます。加速度は可動部を偏向させ、差動コンデンサを不平衡にするため、センサー出力の振幅は加速度に比例します。次いで、位相検波方式の復調技法を用いて、加速度の大きさと方向を決定します。

電源シーケンシング

どのようなシーケンスで電源を V_S や $V_{DD\ I/O}$ に印加しても、ADXL312が損傷することはありません。表5に、可能な電源オン・モードをすべて示します。インターフェース電圧レベルを設定するのはインターフェース電源電圧 ($V_{DD\ I/O}$) で、ADXL312が通信バス上で競合しないようにするためにインターフェース電源電圧を供給することが必要です。単電源動作では、 $V_{DD\ I/O}$ を主電源 (V_S) と接続することができます。両電源アプリケーションでは、 V_S が $V_{DD\ I/O}$ より大きい限り、 $V_{DD\ I/O}$ と V_S を別にして所望のインターフェース電圧を利用することもできます。

V_S が印加された後、デバイスはスタンバイ・モードに入ります。このモードで、デバイスは $V_{DD\ I/O}$ の印加と測定モードに入るためのコマンド受信を待ちます。(このコマンドを実行するには、POWER_CTLレジスタ(アドレス0x2D)のMeasureビットをセットします)。また、デバイスがスタンバイ・モードにある間も、任意のレジスタに読み出し/書き込みを行ってデバイスを設定できます。デバイスの設定はスタンバイ・モードで行い、設定終了後に測定モードを有効にすることを推奨します。Measureビットをクリアすると、デバイスはスタンバイ・モードに戻ります。

表 5. 電源シーケンシング

状態	V_S	$V_{DD\ I/O}$	説明
電源オフ	Off	Off	デバイスは完全にオフですが、通信バスの競合が生じる可能性があります。
バス・ディセーブル	On	Off	デバイスはスタンバイ・モードでオンですが、通信は利用できず、通信バス上に競合を生じさせる可能性があります。競合を防ぐため、電源投入時にこの状態になる時間を最小にする必要があります。
バス・イネーブル	Off	On	センサー機能は利用できませんが、デバイスが通信バス上に競合を生じさせることはありません。
スタンバイまたは測定	On	On	電源投入時に、デバイスはスタンバイ・モードにあって、測定モードに入るためのコマンドを待ちます。センサー機能はすべてオフです。デバイスが測定モードに入るよう指示された後、すべてのセンサー機能が利用できるようになります。

節電

電力モード

表6に示すように、ADXL312は消費電力を設定された出力データレートに基づいて自動的に調整します。それ以上の節電が必要な場合は、低消費電力モードを使用します。このモードでは、内部サンプリング・レートを低減することで12.5~400 Hzデータレートで節電が可能ですが、ノイズが若干増大します。低消費電力モードに入るには、BW_RATEレジスタ(アドレス0x2C)のLOW_POWERビット(ビット4)をセットします。表7に、12.5~400 Hzデータレートでの、低消費電力モードにおける消費電流を示します。表7に記載されていないデータレートで低消費電力モードを使用しても、通常の消費電力モードでの同じデータレートと比べて何の改善も得られません。このため、低消費電力モードでは表7に記載されているデータレートのみを推奨します。表6と表7に示す消費電流は、 V_S が3.3 Vの場合の値です。

ADXL312

表 6. 消費電流とデータレートの関係
($T_A = 25^\circ\text{C}$, $V_S = V_{DD\ I/O} = 3.3\text{ V}$)

Output Data Rate (Hz)	Bandwidth (Hz)	Rate Code	I_{DD} (μA)
3200	1600	1111	170
1600	800	1110	115
800	400	1101	170
400	200	1100	170
200	100	1011	170
100	50	1010	170
50	25	1001	115
25	12.5	1000	82
12.5	6.25	0111	65
6.25	3.125	0110	57

表 7. 消費電流とデータレートの関係、低消費電力モード
($T_A = 25^\circ\text{C}$, $V_S = V_{DD\ I/O} = 3.3\text{ V}$)

Output Data Rate (Hz)	Bandwidth (Hz)	Rate Code	I_{DD} (μA)
400	200	1100	115
200	100	1011	82
100	50	1010	65
50	25	1001	57
25	12.5	1000	50
12.5	6.25	0111	43

自動スリープ・モード

ADXL312 がインアクティブを検出すると自動的にスリープ・モードに切り替わるようにすると、さらに節電が可能になります。この機能を有効にするには、THRESH_INACT レジスタ (アドレス 0x25) に加速度閾値を設定します。加速度のレベルがこの閾値を下回る場合、インアクティブ・レベルと見なされます。TIME_INACT (アドレス 0x26) に適切なインアクティブ検出までの時間を設定します。その後、POWER_CTL レジスタ (アドレス 0x2D) の AUTO_SLEEP ビットと Link ビットをセットします。デバイスが TIME_INACT 秒にわたって THRESH_INACT を上回る加速度レベルを検出しなかった場合、デバイスは自動的にスリープ・モードに移行します。このモードで使用される 8 Hz 未満のデータレートにおける消費電流は、 V_S が 3.3 V の場合、30 μA (typ) です。

スタンバイ・モード

消費電力をさらに抑えるには、スタンバイ・モードを使用します。スタンバイ・モードでは、消費電流は 0.1 μA (typ) になりますが、このモードでは加速度の測定はできません。スタンバイ・モードに入るには、POWER_CTL レジスタ (アドレス 0x2D) の Measure ビット (ビット 3) をクリアします。デバイスをスタンバイ・モードに入れても、FIFO の内容は保持されます。

シリアル通信

ADXL312 は I^2C とSPIのデジタル・コミュニケーションのどちらでも通信できます。いずれの場合も、ADXL312 がスレープになります。 \overline{CS} ピンが $V_{DD\ I/O}$ に接続された場合、 I^2C モードになります。 \overline{CS} ピンが未接続の場合のデフォルト・モードがないため、 \overline{CS} ピンは必ず $V_{DD\ I/O}$ にハイレベル接続するか外部コントローラによって駆動する必要があります。この点の注意を怠ると、デバイスとの通信ができなくなることがあります。SPIモードでは、バス・マスターが \overline{CS} ピンを制御します。SPIモードと I^2C モードでADXL312 に書き込みコマンドが通信されている間は、ADXL312 からマスター・デバイスに送られるデータは無視するようにしてください。

SPI

SPIの場合、図 21 と図 22 の接続図に示すように、3 線式または 4 線式の設定が可能です。4 線式モードを選択するには、DATA_FORMATレジスタ (アドレス 0x31) のSPIビット(ビット D6)をクリアします。3 線式モードを選択するには、SPIビットをセットします。最大SPIクロック速度は 100 pF (max) の負荷で 5 MHzです。タイミング方式はクロック極性 (CPOL) = 1 とクロック位相 (CPHA) = 1 に従います。ホスト・プロセッサのクロック極性とクロック位相を設定する前にADXL312 に電源を印加する場合は、 \overline{CS} ピンをハイレベルにしてからクロック極性とクロック位相を変更してください。3 線式SPIを使用する場合は、10 k Ω 抵抗を用いてSDOピンをGNDまでプルダウンするか $V_{DD\ I/O}$ までプルアップすることを推奨します。

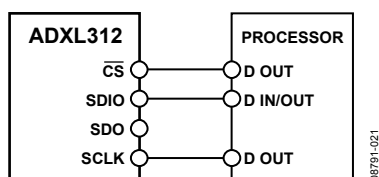


図 21. 3 線式 SPI 接続図

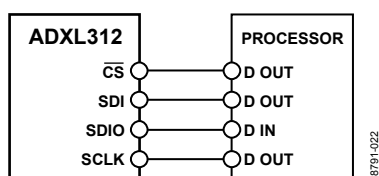


図 22. 4 線式 SPI 接続図

\overline{CS} はシリアル・ポート・イネーブル・ラインであり、SPI マスターが制御します。図 23 に示すように、このラインは、伝送開始時にローレベル、伝送終了時にハイレベルにする必要があります。SCLK はシリアル・ポート・クロックであり、SPI マスターが供給します。非伝送時 (\overline{CS} がハイレベルの時) には SCLK はハイレベルにしてください。SDI と SDO は、それぞれシリアル・データの入力と出力です。データは、SCLK の立上がりエッジでサンプリングしてください。

1 回の通信で複数のバイトの読出し/書込みを行うには、最初のバイト転送時に R/\overline{W} ビットの後にあるマルチバイト・ビット (図 23 ~ 図 25 の MB) をセットする必要があります。1 バイトのレジスタ・アドレス転送と 1 バイトのデータ転送の後、それに続く各クロック・パルス・セット (8 クロック・パルス) に同期して ADXL312 は最初にアクセスした次のアドレスのレジスタから読出し、もしくは書込みを行います。このような動作は、クロック・パルスが停止して \overline{CS} がハイレベルになるまで続きます。連続していない別のレジスタ上で読出し/書込みを実行するには、伝送と伝送の間に \overline{CS} をハイレベルにし、新しいレジスタをアドレス指定する必要があります。

図 25 に、3 線式 SPI 読出し/書込みのタイミング図を示します。図 23 と図 24 に、4 線式 SPI の読出し/書込みのタイミング図を示します。デバイスの正しい動作のために、表 8 と表 9 の論理閾値とタイミング・パラメータに従ってください。

3200 Hz と 1600 Hz の出力データレートの使用は、2 MHz 以上の SPI 通信速度の場合にのみ推奨します。800 Hz の出力データレートは、400 kHz 以上の通信速度の場合にのみ推奨します。残りのデータレートについても、これに比例した速度にしてください。たとえば、200 Hz の出力データレートに対する最小の推奨通信速度は 100 kHz です。推奨最小値を下回る出力データレートでの動作は、サンプル・データの欠落やノイズの増加など、加速度データに予期しない影響が生じる可能性があります。

ADXL312

表 8. SPI デジタル入出力電圧

Parameter	Test Conditions	Limit ¹		Unit
		Min	Max	
Digital Input				
Low Level Input Voltage (V_{IL})	$V_{IN} = V_{DD I/O}$ $V_{IN} = 0 V$	$0.7 \times V_{DD I/O}$	$0.3 \times V_{DD I/O}$	V
High Level Input Voltage (V_{IH})				V
Low Level Input Current (I_{IL})			0.1	μA
High Level Input Current (I_{IH})		-0.1		μA
Digital Output				
Low Level Output Voltage (V_{OL})	$I_{OL} = 10 mA$		$0.2 \times V_{DD I/O}$	V
High Level Output Voltage (V_{OH})	$I_{OH} = -4 mA$	$0.8 \times V_{DD I/O}$		V
Low Level Output Current (I_{OL})	$V_{OL} = V_{OL, max}$	10		mA
High Level Output Current (I_{OH})	$V_{OH} = V_{OH, min}$		-4	mA
Pin Capacitance	$f_{IN} = 1 MHz, V_{IN} = 2.5 V$		8	pF

¹ 特性評価の結果に基づく使用であり、出荷テストは行っていません。

表 9. SPI タイミング ($T_A = 25^\circ C$, $V_S = V_{DD I/O} = 3.3 V$)¹

Parameter	Limit ^{2,3}		Unit	Description
	Min	Max		
f_{SCLK}		5	MHz	SPI clock frequency.
t_{SCLK}	200		ns	$1/(SPI \text{ clock frequency})$ mark-space ratio for the SCLK input is 40/60 to 60/40.
t_{DELAY}	5		ns	\overline{CS} falling edge to SCLK falling edge.
t_{QUIET}	5		ns	SCLK rising edge to \overline{CS} rising edge.
t_{DIS}		10	ns	\overline{CS} rising edge to SDO disabled.
$t_{CS,DIS}$	150		ns	\overline{CS} deassertion between SPI communications.
t_S	$0.3 \times t_{SCLK}$		ns	SCLK low pulse width (space).
t_M	$0.3 \times t_{SCLK}$		ns	SCLK high pulse width (mark).
t_{SETUP}	5		ns	SDI valid before SCLK rising edge.
t_{HOLD}	5		ns	SDI valid after SCLK falling edge.
t_{SDO}		40	ns	SCLK falling edge to SDO/SDIO output transition.
t_R^4		20	ns	SDO/SDIO output high to output low transition.
t_F^4		20	ns	SDO/SDIO output low to output high transition.

¹ \overline{CS} 、SCLK、SDI、SDOの各ピンは、内部的にプルアップ/ダウンされません。正しく動作させるには外部から駆動する必要があります。

² 特性評価の結果 ($f_{SCLK} = 5 MHz$ 、バス負荷容量 = 100 pF) に基づく仕様であり、出荷テストは行っていません。

³ タイミング値は、表 8 に示す入力閾値 (V_{IL} と V_{IH}) に応じて測定されています。

⁴ 出力の立上がり/立下がり時間は、150 pFの容量性負荷で測定しています。

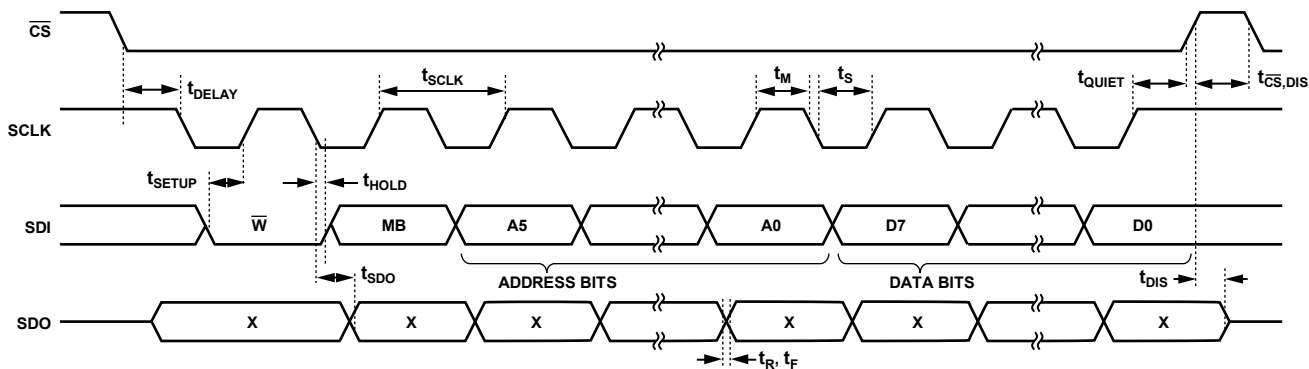


図 23. SPI 4 線式書込み

08791-129

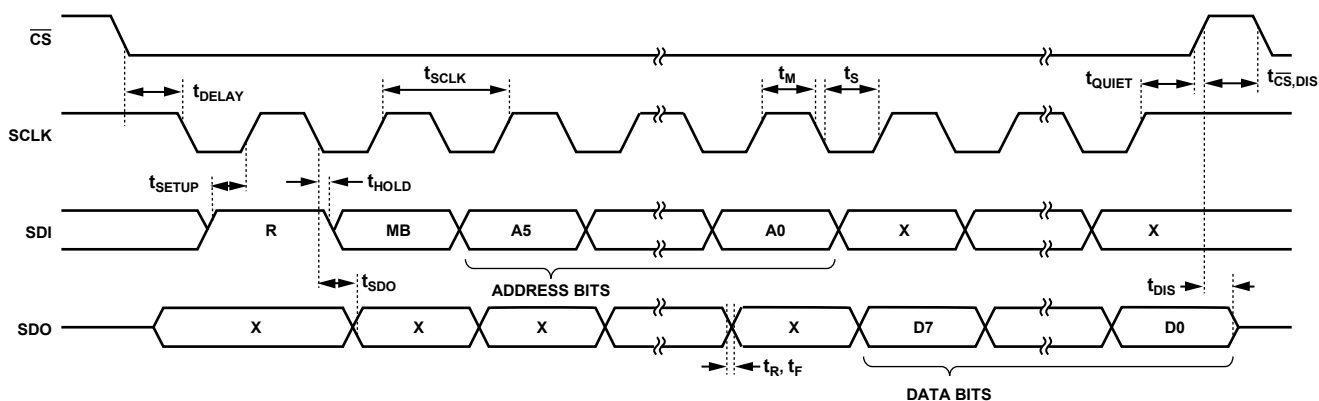
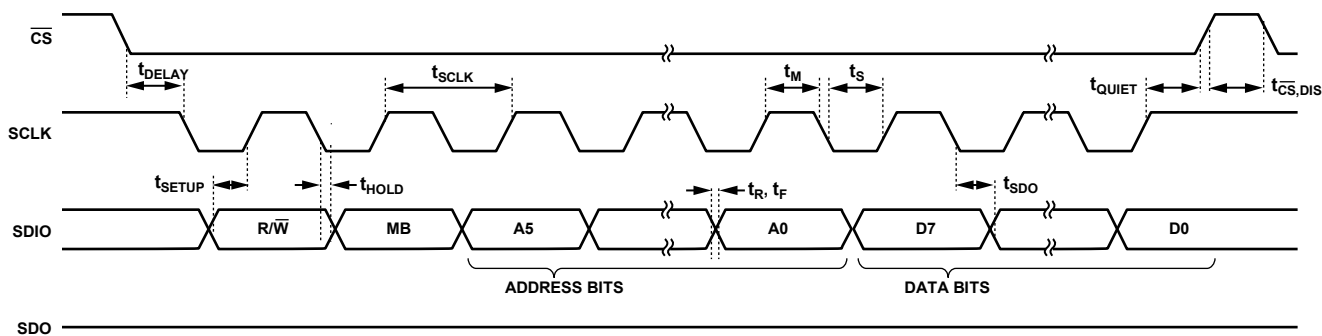


図 24. SPI 4 線式読出し

08791-130



NOTES
1. t_{SDO} IS ONLY PRESENT DURING READS.

図 25. SPI 3 線式読出し/書込み

08791-131

ADXL312

I²C

\overline{CS} が $V_{DD I/O}$ に接続されると、ADXL312 は I²C モードになり、図 26 に示す簡単な 2 線式接続で動作します。ADXL312 は、NXP Semiconductor 社が提供している『UM10204 I²C-Bus Specification and User Manual』 (Rev. 03—19 June 2007) に準拠し、表 10 と表 11 で与えられるタイミング・パラメータののっとり、標準 (100 kHz) と高速 (400 kHz) のデータ転送モードに対応します。図 27 に示すように、1 バイトまたは複数バイトの読出し/書込みが可能です。SDO/ALT ADDRESS ピンがハイレベルの場合、デバイスの 7 ビット I²C アドレスは 0x1D であり、その後に R/ \overline{W} ビットが続きます。これは、書込みの場合は 0x3A、読出しの場合は 0x3B になります。SDO/ALT ADDRESS ピン (ピン 7) を接地することで、0x53 が I²C アドレス (その後に R/ \overline{W} ビットが続く) となります。この場合、書込みは 0xA6、読出しの場合は 0xA7 になります。

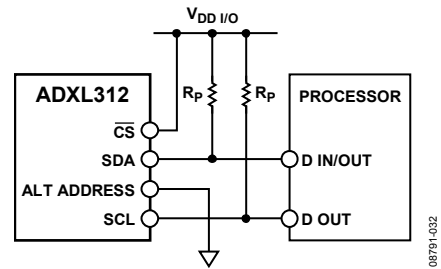


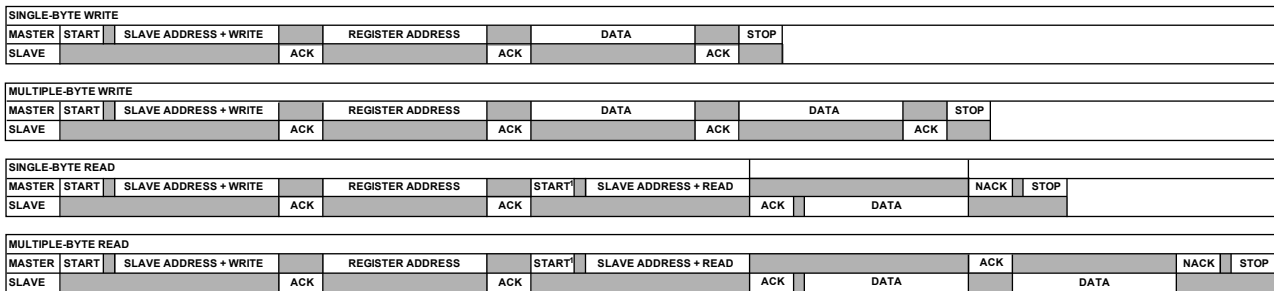
図 26. I²C 接続図 (アドレス 0x53)

同じ I²C バスにほかのデバイスを接続する場合、それらのデバイスの公称動作電圧レベルは $V_{DD I/O}$ を 0.3 V 以上超えないようにしてください。I²C が正しく動作するには、外部プルアップ抵抗 (R_p) が必要です。正しい動作のためのプルアップ抵抗値を選択するには、『UM10204 I²C-Bus Specification and User Manual』 (Rev. 03—19 June 2007) を参照してください。

表 10. I²C のデジタル入出力電圧

Parameter	Test Conditions	Limit ¹		Unit
		Min	Max	
Digital Input				
Low Level Input Voltage (V_{IL})			$0.3 \times V_{DD I/O}$	V
High Level Input Voltage (V_{IH})		$0.7 \times V_{DD I/O}$		V
Low Level Input Current (I_{IL})	$V_{IN} = V_{DD I/O}$		0.1	μA
High Level Input Current (I_{IH})	$V_{IN} = 0 V$	-0.1		μA
Digital Output				
Low Level Output Voltage (V_{OL})	$V_{DD I/O} < 2 V, I_{OL} = 3 mA$ $V_{DD I/O} \geq 2 V, I_{OL} = 3 mA$		$0.2 \times V_{DD I/O}$	V
Low Level Output Current (I_{OL})	$V_{OL} = V_{OL, max}$	3	400	mV mA
Pin Capacitance	$f_{IN} = 1 MHz, V_{IN} = 2.5 V$		8	pF

¹ 特性評価の結果に基づく仕様であり、出荷テストは行っていません。



NOTES

1. THIS START IS EITHER A RESTART OR A STOP FOLLOWED BY A START.
2. THE SHADED AREAS REPRESENT WHEN THE DEVICE IS LISTENING.

図 27. I²C デバイス・アドレッシング

表 11. I²C タイミング (TTT_A = 25°C, V_S = V_{DD I/O} = 3.3 V)

Parameter	Limit ^{1,2}		Unit	Description
	Min	Max		
f _{SCL}		400	kHz	SCL clock frequency
t ₁	2.5		μs	SCL cycle time
t ₂	0.6		μs	t _{HIGH} , SCL high time
t ₃	1.3		μs	t _{LOW} , SCL low time
t ₄	0.6		μs	t _{HD, STA} , start/repeated start condition hold time
t ₅	100		ns	t _{SU, DAT} , data setup time
t ₆ ^{3,4,5,6}	0	0.9	μs	t _{HD, DAT} , data hold time
t ₇	0.6		μs	t _{SU, STA} , setup time for repeated start
t ₈	0.6		μs	t _{SU, STO} , stop condition setup time
t ₉	1.3		μs	t _{BUF} , bus-free time between a stop condition and a start condition
t ₁₀		300	ns	t _R , rise time of both SCL and SDA when receiving
	0		ns	t _R , rise time of both SCL and SDA when receiving or transmitting
t ₁₁		250	ns	t _F , fall time of SDA when receiving
		300	ns	t _F , fall time of both SCL and SDA when transmitting
	20 + 0.1 C _b ⁷		ns	t _F , fall time of both SCL and SDA when transmitting or receiving
C _b		400	pF	Capacitive load for each bus line

¹ 特性評価 (f_{SCL} = 400 kHz, 3 mAのシンク電流) の結果に基づく仕様であり、出荷テストは行っていません。

² すべての値は、表 10 のV_{IH}とV_{IL}のレベルを基準にしています。

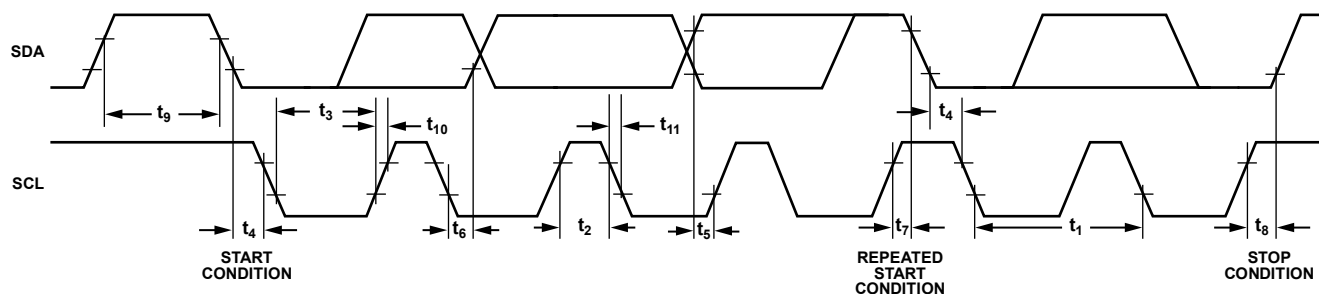
³ t₆は、SCLの立下がりエッジから測定したデータ・ホールド時間です。伝送時とアクノレージ時のデータに適用されます。

⁴ SDA信号が (SCL信号のV_{IH} (min)を基準にして) SCLの立下がりエッジの未定義領域を越えるには、送信側デバイスが内部的に 300 ns以上の出力ホールド時間を設ける必要があります。

⁵ デバイスがSCL信号のロー期間 (t₃) を拡大すると、t₆の最大値を満たすことができないようにする必要があります。

⁶ t₆の最大値は、クロックのロー時間 (t₃)、クロックの立上がり時間 (t₁₀)、最小のデータ・セットアップ時間 (t₅(min)) の関数です。t₆(max) = t₃ - t₁₀ - t₅(min) という計算になります。

⁷ C_bは、1本のバス・ラインの合計容量です (単位: pF)。

図 28. I²C タイミング図

08791-1034

ADXL312

割込み

ADXL312には、割込みを駆動する2本の出力ピン(INT1とINT2)があります。いずれの割込みピンも、表12に示す出力仕様を備えたプッシュプル・低インピーダンス・ピンです。割込みピンのデフォルト設定はアクティブ・ハイです。これをアクティブ・ローに変更するには、DATA_FORMAT (アドレス 0x31) レジスタのINT_INVERTビット (ビットD5) をセットします。すべての機能は同時に使用できますが、場合によっては割込みピンを共有する必要があります。

割込みは、INT_ENABLE レジスタ (アドレス 0x2E) の適切なビットをセットすることで有効になり、INT_MAP レジスタ (アドレス 0x2F) の内容によってINT1ピンまたはINT2ピンにマッピングされます。割込みピンを初めて設定するときは、機能と割込みのマッピングを行ってから、割込みを有効にすることを推奨します。割込み機能の設定を変更するときは、まずINT_ENABLEレジスタでその機能に対応するビットをクリアして割込みを無効にしてから、機能の設定を変更し、割込みを再び有効にすることを推奨します。割込みを無効にしてから機能を設定すれば、予期しないタイミングで割込みが発生することを防げます。

割込みが発生すると対応する割込みピンはラッチします。クリアするには、データ関連の割込みに関しては割込み条件が有効でなくなるまでDATA_X、DATA_Y、DATA_Z レジスタ (アドレス 0x32~0x37) を読み出してください。その他の割込みに関しては、INT_SOURCE レジスタ (アドレス 0x30) を読み出します。ここでは、INT_ENABLE レジスタで設定でき、INT_SOURCE レジスタで監視できる割込みについて説明します。

DATA_READY

DATA_READY ビットは、新しいデータがデータ・レジスタ (アドレス 0x32~0x37) にアップデートされるとセットされ、データ・レジスタを読むことでクリアされます。

アクティブ

Activity ビットは、THRESH_ACT レジスタ (アドレス 0x24) に格納された閾値より大きい加速度が、ACT_INACT_CTL レジスタ (アドレス 0x27) で設定した検出軸に生じた場合にセットされます。

インアクティブ

Inactivity ビットは、THRESH_INACT レジスタ (アドレス 0x25) に格納された値より小さい加速度が TIME_INACT レジスタ (アドレス 0x26) で指定された値よりも長い時間、ACT_INACT_CTL レジスタ (アドレス 0x27) で設定した検出軸に発生した場合にセットされます。TIME_INACT の最大値は 255 秒です。

ウォーターマーク

Watermark ビットは、FIFO 内のサンプル数が Samples ビット (FIFO_CTL レジスタ、アドレス 0x38) で指定されている値以上になるとセットされます。FIFO が読み出され、FIFO 内のサンプル数がサンプル・ビットで指定された値未満になると Watermark ビットは自動的にクリアされます。

オーバーラン

Overrun ビットは、データが未読のまま新しいデータがアップデートされたときにセットされます。オーバーラン機能の動作は、FIFO モードに依存します。バイパス・モードでは、オーバーラン・ビットは、データ・レジスタ (アドレス 0x32~0x37) 内のデータが未読のまま新しいデータがアップデートされたときにセットされます。それ以外のモードでは、Overrun ビットは、FIFO 内のデータ数が最大値になったときにセットされ、FIFO の内容が読み出されたときに自動的にクリアされます。

表 12. 割込みピン・デジタル出力

Parameter	Test Conditions	Limit ¹		Unit
		Min	Max	
Digital Output				
Low Level Output Voltage (V _{OL})	I _{OL} = 300 μA		0.2 × V _{DD1/0}	V
High Level Output Voltage (V _{OH})	I _{OH} = -150 μA	0.8 × V _{DD1/0}		V
Low Level Output Current (I _{OL})	V _{OL} = V _{OL,max}	300		μA
High Level Output Current (I _{OH})	V _{OH} = V _{OH,min}		-150	μA
Pin Capacitance	f _{IN} = 1 MHz, V _{IN} = 2.5 V		8	pF
Rise/Fall Time				
Rise Time (t _R) ²	C _{LOAD} = 150 pF		210	Ns
Fall Time (t _F) ³	C _{LOAD} = 150 pF		150	Ns

¹ 特性評価の結果に基づく仕様であり、出荷テストは行っていません。

² 立上がり時間は、割込みピンのV_{OL,max}からV_{OH,min}までの遷移時間として測定しています。

³ 立下がり時間は、割込みピンのV_{OH,min}からV_{OL,max}までの遷移時間として測定しています。

FIFO

ADXL312は、特許申請中の32レベルFIFOバッファ機能によって、ホスト・プロセッサの負荷を低減することができます。このバッファには、バイパス、FIFO、ストリーム、トリガの4つのモードがあります(表21を参照)。各モードの選択は、FIFO_CTLレジスタ(アドレス0x38)のFIFO_MODEビット(ビット[D7:D6])の設定で行います。

バイパス・モード

バイパス・モードでは、FIFOは動作せず空のままです。

FIFOモード

FIFOモードでは、x軸、y軸、z軸の測定データがFIFOに格納されます。FIFO内のサンプル数がFIFO_CTLレジスタ(アドレス0x38)のSamplesビットで指定された値以上になった場合は、ウォーターマーク割込みがセットされます。FIFOは、満杯(x軸、y軸、z軸の測定サンプルが32個)になるまでサンプルの蓄積を続け、満杯になった時点でデータの収集を停止します。FIFOがデータの収集を停止した後もデバイスは動作を続行します。したがって、アクティブ検出などの各機能は、FIFOが満杯になった後も使用できます。ウォーターマーク割込みは、FIFO内のサンプル数がFIFO_CTLレジスタのサンプル・ビットに格納された値より小さくなるまで発生し続けます。

ストリーム・モード

ストリーム・モードでは、x軸、y軸、z軸の測定データがFIFOに格納されます。FIFO内のサンプル数がFIFO_CTLレジスタ(アドレス0x38)のSamplesビットで指定された値以上になった場合は、ウォーターマーク割込みがセットされます。ストリーム・モードでは、FIFOが満杯になっても、サンプルの蓄積は続けられ、FIFOはx軸、y軸、z軸の最新の32個の測定サンプルを保持します。FIFOが満杯の状態新しいデータが測定されると古いデータから順に破棄していきま。ウォーターマーク割込みは、FIFO内のサンプル数がFIFO_CTLレジスタのSamplesビットに格納された値より小さくなるまで発生し続けます。

トリガ・モード

トリガ・モードでは、FIFOは指定された割込みピンの状態と連動して、x軸、y軸、z軸の32個の測定サンプルを保持します。FIFO_CTLレジスタのTriggerビットにより選択された割込みピ

ンが、割込みイベントによってセットされると、FIFOはその時点で最新のn個のサンプル(ここでnは、FIFO_CTLレジスタのSamplesビットによって指定された値)を保存してから、FIFOモードで動作して、FIFOが満杯になるまで新しいサンプルを収集します。FIFOをトリガ・モードで使用している場合には、トリガ・イベントの発生からFIFOのデータ読出し開始までに、5 μ s以上空ける必要があります。新しいトリガ・イベントは、トリガ・モードがリセットされるまで認識されません。トリガ・モードをリセットするには、デバイスをバイパス・モードに設定してから、トリガ・モードに設定し直します。なお、デバイスをバイパス・モードにするとFIFOがクリアされるため、FIFO内のデータをバイパス・モードに設定する前に読み出す必要があります。

FIFOからのデータ取出し

FIFOデータは、DATA_X、DATA_Y、DATA_Zの各レジスタ(アドレス0x32~0x37)から読み出します。FIFOが、FIFOモード、ストリーム・モード、トリガ・モードにあるとき、DATA_X、DATA_Y、DATA_Zレジスタからの読出しによって、FIFOに格納されたデータが読み出されます。データがDATA_X、DATA_Y、DATA_Zの各レジスタから読み出されるたびに、x軸、y軸、z軸の一番古いデータがDATA_X、DATA_Y、DATA_Zの各レジスタに入ります。

シングル・バイト読出しを行った場合でも、通信が終了した時点でDATA_X、DATA_Y、DATA_Zレジスタのデータが更新されます。したがって、所望の動作に応じて複数バイト読出し動作でデータを読み出す必要があります。FIFO内のデータがデータ・レジスタに格納される(つまり、DATA_X、DATA_Y、DATA_Zの各レジスタに新しいデータが完全に移動する)には、データ・レジスタの読出し終了からFIFOの新しい読出しの開始またはFIFO_STATUSレジスタ(アドレス0x39)の読出しの開始までに、5 μ s以上の間隔が必要です。データ・レジスタの読出し終了は、複数バイト読出し動作でレジスタ0x37からレジスタ0x38への遷移、またはCSピンがハイレベルになることで認識されます。

1.6 MHz以下のSPI動作では、伝送のレジスタ・アドレッシング部分のみの遅延で5 μ s以上の遅延になります。1.6 MHzを超えるSPI動作では、5 μ sの合計遅延を確保するためにCSピンをハイレベルにする必要がある場合があります。5 MHz動作に必要な合計遅延は3.4 μ s以下です。I²Cモードを使用する場合は、このような配慮は必要ありません。通信速度が遅いため、特に意図することなくFIFOの読出しと読出しの間に十分な遅延を確保できるためです。

ADXL312

セルフテスト

ADXL312は、内蔵しているセルフテスト機能によって、センサー素子と信号処理回路の動作確認を行うことができます。セルフテスト機能が（DATA_FORMATレジスタ（アドレス 0x31）のSELF_TESTビットによって）有効にされると、センサー素子に静電気が働きます。この静電気力は加速度が入力された場合と同様にセンサー素子を移動させ、この静電気力によってx軸、y軸、z軸の出力変化が起こります。静電気力は V_S^2 に比例するため、出力変化は V_S によって変動します。この影響を図 29に示します。表 13に示すスケール係数を使用して、さまざまな電源電圧（ V_S ）に対して想定されるセルフテストの出力限度を調値を計算することができます。ADXL312のセルフテスト機能はバイモーダル特性（二峰性）を示します。表 1および表 14～表 17に示すセルフテストの出力変動値は、二峰性の影響を考慮に入れた値です。100 Hz未満または1600 Hzのデータレートでセルフテスト機能を使用すると、セルフテストの出力変動は表 1(および表 14～表 17)に記載されている値を外れる可能性があります。したがって、セルフテストの正しい動作のために、デバイスを通常電力動作（アドレス 0x2CのBW_RATEレジスタのLOW_POWERビット=0）状態にし、データレートを100～800 Hzまたは3200 Hzにする必要があります。

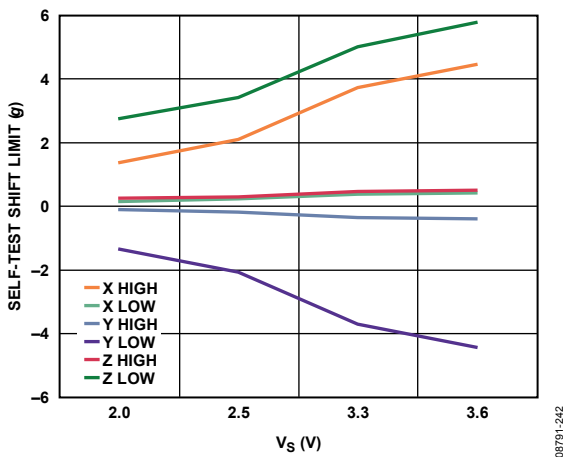


図 29. セルフテスト出力変化リミット 対 電源電圧 (V_S)

表 13. 電源電圧 V_S によるセルフテスト出力スケール係数

Supply Voltage, V_S	X-, Y-Axes	Z-Axis
2.00 V	0.64	0.8
2.50 V	1.00	1.00
3.00 V	1.77	1.47
3.30 V	2.11	1.69

表 14. $\pm 1.5 g$ 最大分解能での LSB のセルフテスト出力 ($T_A = 25^\circ C$, $V_S = V_{DD I/O} = 2.5 V$)

Axis	Min	Max	Unit
X	65	725	LSB
Y	-725	-65	LSB
Z	100	1175	LSB

表 15. $\pm 3 g$ 、10 ビット分解能での LSB のセルフテスト出力 ($T_A = 25^\circ C$, $V_S = V_{DD I/O} = 2.5 V$)

Axis	Min	Max	Unit
X	32	362	LSB
Y	-362	-32	LSB
Z	50	588	LSB

表 16. $\pm 6 g$ 、10 ビット分解能での LSB のセルフテスト出力 ($T_A = 25^\circ C$, $V_S = V_{DD I/O} = 2.5 V$)

Axis	Min	Max	Unit
X	16	181	LSB
Y	-181	-16	LSB
Z	25	294	LSB

表 17. $\pm 12 g$ 、10 ビット分解能での LSB のセルフテスト出力 ($T_A = 25^\circ C$, $V_S = V_{DD I/O} = 2.5 V$)

Axis	Min	Max	Unit
X	8	90	LSB
Y	-90	-8	LSB
Z	12	147	LSB

レジスタ・マップ

表 18. レジスタ・マップ

Address		Name	Type	Reset Value	Description
Hex	Dec				
0x00	0	DEVID	R	11100101	Device ID.
0x01 to 0x1D	1 to 29	Reserved			Reserved. Do not access.
0x1E	30	OFSX	R/ \overline{W}	00000000	X-axis offset.
0x1F	31	OFSY	R/ \overline{W}	00000000	Y-axis offset.
0x20	32	OFSZ	R/ \overline{W}	00000000	Z-axis offset.
0x21	33	Reserved			Reserved. Do not access.
0x22	34	Reserved			Reserved. Do not access.
0x23	35	Reserved			Reserved. Do not access.
0x24	36	THRESH_ACT	R/ \overline{W}	00000000	Activity threshold.
0x25	37	THRESH_INACT	R/ \overline{W}	00000000	Inactivity threshold.
0x26	38	TIME_INACT	R/ \overline{W}	00000000	Inactivity time.
0x27	39	ACT_INACT_CTL	R/ \overline{W}	00000000	Axis enable control for activity and inactivity detection.
0x28	40	Reserved			Reserved. Do not access.
0x29	41	Reserved			Reserved. Do not access.
0x2A	42	Reserved			Reserved. Do not access.
0x2B	43	Reserved			Reserved. Do not access.
0x2C	44	BW_RATE	R/ \overline{W}	00001010	Data rate and power mode control.
0x2D	45	POWER_CTL	R/ \overline{W}	00000000	Power-saving features control.
0x2E	46	INT_ENABLE	R/ \overline{W}	00000000	Interrupt enable control.
0x2F	47	INT_MAP	R/ \overline{W}	00000000	Interrupt mapping control.
0x30	48	INT_SOURCE	R	00000010	Source of interrupts.
0x31	49	DATA_FORMAT	R/ \overline{W}	00000000	Data format control.
0x32	50	DATA0	R	00000000	X-Axis Data 0.
0x33	51	DATA1	R	00000000	X-Axis Data 1.
0x34	52	DATAY0	R	00000000	Y-Axis Data 0.
0x35	53	DATAY1	R	00000000	Y-Axis Data 1.
0x36	54	DATAZ0	R	00000000	Z-Axis Data 0.
0x37	55	DATAZ1	R	00000000	Z-Axis Data 1.
0x38	56	FIFO_CTL	R/ \overline{W}	00000000	FIFO control.
0x39	57	FIFO_STATUS	R	00000000	FIFO status.

ADXL312

レジスタ定義

レジスタ 0x00—DEVID (読出し専用)

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	0	0	1	0	1

DEVID レジスタは、0xE5 の固定のデバイス ID コードを格納します。

レジスタ 0x1E、レジスタ 0x1F、レジスタ 0x20—OFSX、OFSY、OFSZ (読出し/書込み)

OFSX、OFSY、OFSZ の各レジスタは 8 ビットです。スケール係数は 11.6 mg/LSB (つまり、0x7F = +1.5 g) です。2 の補数フォーマットで補正值をこのレジスタに書き込むと、計測された加速度値とこのレジスタに書き込んだ値が自動的に加算されデータ・レジスタに書き込まれます。

レジスタ 0x24—THRESH_ACT (読出し/書込み)

THRESH_ACT レジスタは 8 ビットで符号なしの加速度閾値を格納します。スケール係数は 46.4 mg/LSB です。アクティブ割り込みを検出するための閾値を設定します。データ・フォーマットは符号なしであり、アクティブ割り込みは加速度信号の絶対値と THRESH_ACT レジスタの値とを比較します。アクティブ割り込みが有効の場合、このレジスタの値を 0 にすると予期しない動作が生じる可能性があります。

レジスタ 0x25—THRESH_INACT (読出し/書込み)

THRESH_INACT レジスタは 8 ビットで符号なしの加速度閾値を格納します。スケール係数は 46.4 mg/LSB です。インアクティブ割り込みを検出するための閾値を設定します。データ・フォーマットは符号なしであり、インアクティブ割り込みは加速度信号の絶対値と THRESH_INACT レジスタの値とを比較します。インアクティブ割り込みが有効の場合、このレジスタの値を 0 にすると予期しない動作が生じる可能性があります。

レジスタ 0x26—TIME_INACT (読出し/書込み)

TIME_INACT レジスタは 8 ビットで、符号なしの時間値を格納します。スケール係数は 1 sec/LSB です。加速度信号が THRESH_INACT レジスタの値を下回ったままこのレジスタで設定した時間を経過した時点でインアクティブが検出されます。フィルタ処理なしのデータ (「閾値」を参照) を使用するほかの割り込み機能とは異なり、インアクティブ機能ではフィルタ処理済みの出力データを使用します。インアクティブ割り込みを発生させるには、1 つ以上の加速度データが加速度センサー内部で測定されている必要があります。このため、TIME_INACT レジスタに出力データレートの時定数より低い値が設定されている場合、この機能が応答していないように見える可能性があります。このレジスタの値を 0 にすると出力データが THRESH_INACT レジスタの値を下回った時点で割り込みが発生します。

レジスタ 0x27—ACT_INACT_CTL (読出し/書込み)

D7	D6	D5	D4
ACT ac/dc	ACT_X enable	ACT_Y enable	ACT_Z enable
D3	D2	D1	D0
INACT ac/dc	INACT_X enable	INACT_Y enable	INACT_Z enable

ACT ac/dc ビットと INACT ac/dc ビット

0 を設定すると DC カップリング動作が選択され、1 を設定すると AC カップリング動作が選択されます。DC カップリング動作では、現在の加速度の大きさを THRESH_ACT および THRESH_INACT と直接比較して、アクティブ/インアクティブの検出を判定します。

アクティブ検出のための AC カップリング動作では、アクティブ検出の開始時 (INT_ENABLE レジスタでアクティブ検出を有効にしたとき、もしくはアクティブ割り込みが発生した後に INT_SOURCE を読んで割り込みをクリアしたとき) の加速度値が基準値になります。測定された加速度値をこの基準値と比較し、その差が THRESH_ACT 値を上回ると、デバイスがアクティブ割り込みをトリガします。

同様に、インアクティブ検出の AC カップリング動作でも、比較のために基準値を使用し、インアクティブ検出の開始時 (INT_ENABLE レジスタでインアクティブ検出を有効にしたとき、もしくはインアクティブ割り込みが発生した後に INT_SOURCE を読んで割り込みをクリアしたとき) およびデバイスがインアクティブ閾値を上回った場合に基準値が更新されず。デバイスは、基準値と現在の加速度との差を THRESH_INACT と比較します。その差が THRESH_INACT の値を下回ったまま THRESH_TIME の時間を経過すると、デバイスはインアクティブと見なされ、インアクティブ割り込みが発生します。

ACT_x enable ビットと INACT_x enable ビット

1 を設定すると、アクティブ/インアクティブの検出に選択されている軸を加えることができます。0 を設定すると、選択されている軸が対象から除外されます。すべての軸が除外されると、この機能は無効になります。アクティブ検出の場合、関係するすべての軸の論理和になるため、関係するいずれかの軸が閾値を上回るとアクティブ機能がトリガされます。インアクティブ検出の場合は、関係するすべての軸の論理積になるため、関係する全軸が規定された時間閾値を下回る場合にのみ、インアクティブ機能がトリガされます。

レジスタ 0x2C—BW_RATE (読出し/書込み)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	LOW_POWER	Rate			

LOW_POWER ビット

LOW_POWER ビットに 0 を設定すると通常動作が選択され、1 を設定すると低消費電力動作が選択されます。これによって、消費電力を抑えることが可能になりますが、ノイズが若干大きくなります (詳細は「電力モード」を参照)。

Rate ビット

これらのビットは、デバイスの帯域幅と出力データレートを選択します (詳細は表 6 と表 7 を参照)。デフォルト値は 0x0A であり、100 Hz の出力データレートになります。出力データレートは、測定したい周波数帯域と通信プロトコルにあったレートを選択してください。低い通信速度で、選択した出力データレートが高すぎると、データの読出しがデータレジスタの更新速度に追いつかなくなる可能性があります。

レジスタ 0x2D—POWER_CTL (読出し/書込み)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	Link	AUTO_SLEEP	Measure	Sleep	Wakeup	

Link ビット

アクティブ機能とインアクティブ機能を有効にした状態で Link ビットに 1 を設定すると、インアクティブが検出されるまでアクティブ機能を待機状態にします。インアクティブが検出されると、インアクティブ検出が待機状態にされ、アクティブ検出が開始されます。その後アクティブが検出されると、インアクティブ検出が開始され、アクティブの検出が待機状態にされます。このビットを 1 に設定すると、アクティブ機能とインアクティブ機能を連続的にリンクする動作になります。このビットに 0 を設定すると、インアクティブ機能とアクティブ機能が同時に動作します。詳細については「リンク・モード」を参照してください。

Link ビットをクリアするときは、デバイスをスタンバイ・モードにすることを推奨します。デバイスが加速度を測定中に Link ビットをクリアすると、特にビットのクリア時にデバイスがスリープ状態だった場合は、Link ビットがクリアされた後の最初の数サンプル分のデータでノイズが増えることがあります。

AUTO_SLEEP ビット

Link ビットがセットされている場合、AUTO_SLEEP ビットに 1 を設定すると、インアクティブが検出されたとき（つまり、TIME_INACT で示された時間以上、加速度が THRESH_INACT 値を下回ったとき）ADXL312 はスリープ・モードに切り替わります。AUTO_SLEEP ビットに 0 が設定されると、スリープ・モードへの自動切替えは無効になります。詳細については、このセクションのスリープ・ビットの説明を参照してください。

AUTO_SLEEP ビットをクリアするときは、デバイスをスタンバイ・モードにすることを推奨します。デバイスが加速度を測定中に AUTO_SLEEP ビットをクリアすると、特にビットのクリア時にデバイスがスリープ状態だった場合は、AUTO_SLEEP ビットがクリアされた後の最初の数サンプル分のデータでノイズが増えることがあります。

Measure ビット

Measure ビットに 0 を設定するとデバイスはスタンバイ・モードに入り、1 を設定すると測定モードに入ります。

Sleep ビット

Sleep ビットに 0 を設定するとデバイスは通常動作モードに入り、1 を設定するとスリープ・モードに入ります。スリープ・モードは、DATA_READY 割込みの発生を抑制し（レジスタ 0x2E、レジスタ 0x2F、レジスタ 0x30 を参照）、FIFO へのデータ伝送を停止し、サンプリング・レートを Wakeup ビットで指定された値に切り替えます。スリープ・モードで使用できるのは、アクティブ検出機能のみです。

Sleep ビットをクリアするときは、デバイスをスタンバイ・モードにすることを推奨します。デバイスが加速度を測定中に Sleep ビットをクリアすると、Sleep ビットがクリアされた後の最初の数サンプル分のデータでノイズが増えることがあります。

Wake-Up ビット

これらのビットは、表 19 に示すように、スリープ・モード中の加速度センサー内部でのデータ読出し周波数を制御します。

表 19. スリープモードでのデータ読出し周波数

Setting		Frequency (Hz)
D1	D0	
0	0	8
0	1	4
1	0	2
1	1	1

レジスタ 0x2E—INT_ENABLE (読出し/書込み)

D7	D6	D5	D4
DATA_READY	N/A	N/A	Activity
D3	D2	D1	D0
Inactivity	N/A	Watermark	Overrun

このレジスタのビットに 1 を設定すると、対応するそれぞれの割込み機能を有効にします。0 を設定したビットに対応する割込み機能は無効になります。DATA_READY、Watermark、Overrun の各ビットは、物理的な割込み出力だけを有効にし、これらの機能はこのレジスタの設定に関わらず常に有効です。各割込みの閾値を設定してから、割込みを有効にすることを推奨します。

レジスタ 0x2F—INT_MAP (読出し/書込み)

D7	D6	D5	D4
DATA_READY	N/A	N/A	Activity
D3	D2	D1	D0
Inactivity	N/A	Watermark	Overrun

このレジスタで 0 に設定されたビットに対応する割込みは、それぞれの割込みを INT1 ピンに送信します。1 に設定されたビットに対応する割込みは、それぞれの割込みを INT2 ピンに送信します。複数の割込み出力を各 INT ピンに対して設定した場合は、すべての割込みの論理和が INT ピンの出力となります。

レジスタ 0x30—INT_SOURCE (読出し専用)

D7	D6	D5	D4
DATA_READY	N/A	N/A	Activity
D3	D2	D1	D0
Inactivity	N/A	Watermark	Overrun

このレジスタで 1 が設定されたビットに対応する割込みは、それぞれの機能の割込みが発生したことを示し、値 0 は対応する割込みが発生していないことを示します。DATA_READY、Watermark、Overrun の各ビットは、対応するイベントが発生した場合に INT_ENABLE レジスタの設定に関係なくセットされ、DATA_X、DATA_Y、DATA_Z の各レジスタからのデータ読出しによってクリアされます。「FIFO」の FIFO モードに関する説明で示すように、DATA_READY ビットと Watermark ビットをクリアするには複数の読出しが必要になります。ほかのビットに対応する割込みは、INT_SOURCE レジスタの読出しによってクリアされます。

ADXL312

レジスタ 0x31—DATA_FORMAT (読出し/書込み)

D7	D6	D5	D4	D3	D2	D1	D0
SELF_TEST	SPI	INT_INVERT	0	FULL_RES	Justify	Range	

DATA_FORMAT レジスタは、レジスタ 0x32~0x37 へのデータフォーマットを設定します。

SELF_TESTビット

SELF_TEST ビットに 1 を設定すると、セルフテストが有効になり、出力データが変化します。値 0 はセルフテストを無効にします。

SPIビット

SPI ビットの値 1 はデバイスを 3 線式 SPI モードに設定し、値 0 は 4 線式 SPI モードに設定します。

INT_INVERTビット

INT_INVERT ビットの値 0 は割込みをアクティブ・ハイに設定し、値 1 は割込みをアクティブ・ローに設定します。

FULL_RESビット

このビットが値 1 に設定されると、デバイスは最大分解能モードになり、出力分解能が Range ビットによって設定された g レンジに従って増加して 2.9 mg/LSB のスケール係数を維持します。FULL_RES ビットが 0 に設定されると、デバイスは 10 ビット・モードになり、Range ビットが最大の g レンジとスケール係数を決めます。

Justifyビット

Justify ビットに 1 を設定すると左寄せモードが選択され、0 を設定すると符号を拡張した右寄せモードが選択されます。

Rangeビット

これらのビットは、表 20 に示す g レンジを設定します。

表 20. g レンジの設定

Setting		g Range
D1	D0	
0	0	±1.5 g
0	1	±3 g
1	0	±6 g
1	1	±12 g

レジスタ 0x32~0x37—DATA_X0、DATA_X1、DATA_Y0、DATA_Y1、DATA_Z0、DATA_Z1 (読出し専用)

これら 6 つのバイト (レジスタ 0x32~0x37) はそれぞれ 8 ビットであり、各軸の出力データを格納します。レジスタ 0x32 とレジスタ 0x33 は x 軸の出力データ、レジスタ 0x34 とレジスタ 0x35 は y 軸の出力データ、レジスタ 0x36 とレジスタ 0x37 は z 軸の出力データを格納します。

出力データは 2 の補数であり、DATA_X0 が最下位バイト、DATA_X1 が最上位バイトです (ここで、x は X、Y、または Z を示します)。DATA_FORMAT レジスタ (アドレス 0x31) で設定したデータのフォーマットに依存してデータが各レジスタに格納されます。連続したレジスタの読出しの間でデータが変化しないように、すべてのレジスタを複数バイト読出しによって読み出すことを推奨します。

レジスタ 0x38—FIFO_CTL (読出し/書込み)

D7	D6	D5	D4	D3	D2	D1	D0
FIFO_MODE		Trigger	Samples				

FIFO_MODE ビット

これらのビットは、表 21 に示す FIFO モードを設定します。

表 21. FIFO モード

設定		モード	機能
D7	D6		
0	0	バイパス	FIFO がバイパスされます。
0	1	FIFO	FIFO は FIFO が満杯になるまで新しいデータを収集し、データの取得を終了します。FIFO が満杯でないときのみ新しいデータを FIFO に格納します。
1	0	ストリーム	FIFO は最新の 32 個のデータ値を格納します。FIFO が満杯になると、古いデータから新しいデータによって上書きされます。
1	1	トリガ	Trigger ビットによってトリガされると、FIFO はトリガ・イベントの前の最後のデータ・サンプルを保持してから、満杯になるまでデータ収集を続けます。FIFO が満杯になるまで新しいデータを収集します。

Trigger ビット

Trigger ビットの値 0 はトリガ・モードのトリガ・イベントを INT1 にリンクし、値 1 はトリガ・イベントを INT2 にリンクします。

Samples ビット

これらのビットの機能は、選択された FIFO モードによります (表 22 を参照)。サンプル・ビットに値 0 を入力すると、選択されている FIFO モードに関係なく、INT_SOURCE レジスタの Watermark ビットが直ちに設定されます。トリガ・モードの使用時にサンプル・ビットに値 0 を使用すると、予期しない動作が生じる可能性があります。

表 22. Samples ビットの機能

FIFO モード	Samples ビットの機能
バイパス	なし。
FIFO	ウォーターマーク割込みのトリガに必要な FIFO に格納されているデータ数を指定します。
ストリーム	ウォーターマーク割込みのトリガに必要な FIFO に格納されているデータ数を指定します。
トリガ	トリガ・イベントの発生時に FIFO バッファに保持されるトリガ・イベント発生前のデータ数を指定します。

0x39—FIFO_STATUS (読出し専用)

D7	D6	D5	D4	D3	D2	D1	D0
FIFO_TRIG	0	Entries					

FIFO_TRIGビット

FIFO_TRIG ビットの 1 はトリガ・イベントが発生していることを示し、0 は FIFO トリガ・イベントが発生していないことを示しています。

Entriesビット

これらのビットは、FIFO に格納されているデータ値の数を示します。FIFO からのデータ読出しは、DATA_X、DATA_Y、DATA_Z の各レジスタから行います。FIFO からのデータ読出しは、複数バイト読出しで行うことを推奨します。これは、各 FIFO レベルにあるデータがデータ・レジスタへのアクセス（シングルバイトまたは複数バイト）後にクリアされるためです。FIFO は各軸最大 32 個のデータを格納します。データ・レジスタと合わせて、常に各軸最大 33 個のデータ保持が可能であることとなります。

アプリケーション情報

電源のデカップリング

ADXL312には、電源ノイズから加速度センサーを十分にデカップリングするために V_S の $1\mu\text{F}$ タンタル・コンデンサ (C_S) と $V_{DD\text{ I/O}}$ の $0.1\mu\text{F}$ セラミック・コンデンサ ($C_{\text{I/O}}$) の使用を推奨します。それ以上のデカップリングが必要な場合は、 100Ω 以下の抵抗かフェライト・ビーズを V_S と直列に挿入すると効果的です。さらに、 V_S に $10\mu\text{F}$ タンタル・コンデンサと並列に $0.1\mu\text{F}$ セラミック・コンデンサを設置すると、さらにノイズを改善することができます。

グラウンドから伝わるノイズには、 V_S からのノイズと同じような影響があるため、ADXL312 のグラウンドから電源グラウンドへの接続は必ず低インピーダンスになるようにしてください。 V_S へのデジタル・クロック・ノイズを最小限に抑えるには、 V_S と $V_{DD\text{ I/O}}$ を別電源にすることを推奨します。これが不可能な場合は、前述のように電源にフィルタを追加しなければならないことがあります。

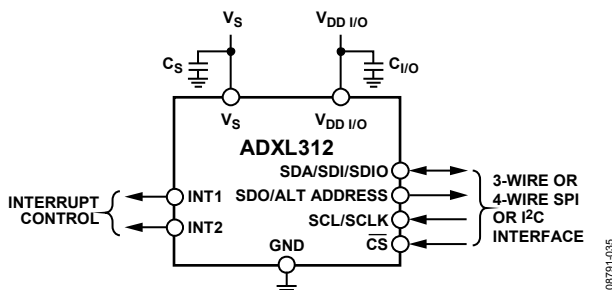


図 30. アプリケーション図

取付けに関する機構上の留意点

ADXL312 は、プリント基板の支持点近くで基板に取り付けることを推奨します。図 31 に示すように、プリント基板の適切でない場所に ADXL312 を取り付けると、基板の振動が、減衰されないうま加速度センサーに伝わり測定誤差が大きくなる可能性があります。加速度センサーを基板支持点の近くに配置すれば、基板振動の加速度センサーへの影響を最小限に抑えることができます。センサーの近くに複数の支持点を設けたり、プリント基板を厚くしたりすることも、基板共振のセンサー性能に対する影響の低減に効果的です。

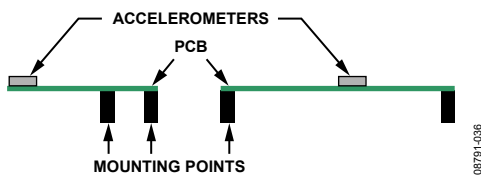


図 31. 加速度センサーの誤った配置

閾値

ADXL312 はデバイス内のサンプリング周波数で測定されたデータのデシメーションを行うことによって、低い出力データレートを得ています。アクティブ検出の機能は、デシメーション前のデータを用いて実行されます。出力データの帯域幅はデータレートによって異なり、デシメーション前のデータの帯域幅より狭いため、データレジスタ内の加速度センサー出力と、アクティブの判定に使用する高周波/高 g データに差異がある可能性があります。このため、加速度データがユーザの設定した条件を満たしていないと思われる場合でも、その機能がトリガされることがあります。

リンク・モード

Link ビットは、インアクティブ後のアクティブだけを検出するようにデバイスを設定することによって、プロセッサで対応しなければならない割込みの数を低減します。この機能が正常に動作するには、割込みの発生に応じてプロセッサは INT_SOURCE レジスタ (アドレス $0x30$) を読み出し割込みをクリアする必要があります。アクティブ割込みがクリアされない限り、インアクティブ割込みの検出は開始されないため、デバイスは自動的にスリープ・モードに入りません。

スリープ・モードと低消費電力モード

データレートと消費電力の低下が求められ、ノイズ性能の犠牲が許容できるアプリケーションでは、低消費電力モードの使用を推奨します。低消費電力モード使用時にも、データレジスタ内の加速度値はアップデートされ DATA_READY 割込みと FIFO の機能は測定モード時と変わりません。スリープ・モードを使用した場合もデータレートと消費電力が低くなりますが、加速度値の測定を意図した動作モードではありません。

スリープ・モードを AUTO_SLEEP モードおよびリンク・モードと組み合わせて使用すると、インアクティブの検出に応じてデバイスは低消費電力で低サンプリング・レートのスリープ・モードに自動的に切り替わります。インアクティブが検出された後に、インアクティブ割込みは自動的に無効にされ、アクティブが有効にされます。ADXL312 がスリープ・モードのとき、ホスト・プロセッサもスリープ・モードや低消費電力モードにすることで、システムの電力を大幅に低減することができます。アクティブが検出されると、加速度センサーは、Rate ビットで設定したデータレートに自動的に戻り、アクティブ割込みを発生します。これをホスト・プロセッサのウェイクアップに使用することができます。アクティブが検出された後に、アクティブ割込みは自動的に無効にされ、インアクティブ割込みが有効になります。

セルフテストの使用法

セルフテスト変動とは、セルフテストを有効にした時のある軸の加速度出力と、セルフテストを無効にした時の加速度出力の差を意味します（表 1の脚注4を参照）。この定義では、これら 2つの測定の間センサーに印加されている加速度が変わらないことを前提としています。セルフテストOn/Offの前後でセンサーに印加されている加速度が変化した場合、セルフテストに起因しない出力変化のために正確なセルフテスト変動の計算が困難になります。

正確なセルフテスト測定には、ADXL312 を正しく設定する必要があります。ADXL312 のデータレートは、100 Hz 以上で 1600Hz 以外に設定してください。このためには、BW_RATE レジスタ（アドレス 0x2C）の Rate ビット（ビット D3~D0）に 0x0A 以上で 0x0E 以外の値を書き込む必要があります。また、正確なセルフテスト測定には、BW_RATE レジスタの LOW_POWER ビット（ビット D4）をクリアして（LOW_POWER ビット= 0）、デバイスを通常電力動作にする必要があります。セルフテストによる出力変動によって出力が飽和しないように、十分なダイナミック・レンジを得る必要性からデバイスを 12 g モードに設定し、最大分解能モードに設定することを推奨します。このためには、FULL_RES ビット（ビット D3）をセットし、DATA_FORMAT レジスタ（アドレス 0x31）の Range ビット（ビット D1 と D0）に 0x03 の値を書き込みます。これにより、±12 g のダイナミック・レンジと 2.9 mg/LSB のスケール係数が得られます。

デバイスをセルフテスト測定用に設定した後は、x 軸、y 軸、z 軸の加速度データをいくつかセンサーから読み出して平均値をとることを推奨します。平均化の対象とするサンプル数は、システム設計者の選択となりますが、まずは 0.1 秒相当のデータ（100 Hz のデータレートで 10 個のサンプル）を使用することを推奨します。平均値は、セルフテスト無効時のデータ X_{ST_OFF} 、 Y_{ST_OFF} 、 Z_{ST_OFF} としてシステム内に保存してください。

次に、DATA_FORMAT レジスタ（アドレス 0x31）のビット D7 をセットしてセルフテストを有効にします。セルフテストを有効

にした後、出力が安定するまでに待ち時間（約 4 個のサンプル）が必要です。出力が安定した後、x 軸、y 軸、z 軸の加速度データを再び読み込み、平均値をとります。平均値をとるには、前と同じ数のサンプルを使用することを推奨します。これらの平均値は、セルフテストを有効にした値 X_{ST_ON} 、 Y_{ST_ON} 、 Z_{ST_ON} として再びシステム内に保存してください。その後、DATA_FORMAT レジスタ（アドレス 0x31）のビット D7 をクリアして、セルフテストを無効にしてください。

セルフテストを有効にしたときと無効にしたときの保存値から、セルフテスト変動を次のように表すことができます。

$$X_{ST} = X_{ST_ON} - X_{ST_OFF}$$

$$Y_{ST} = Y_{ST_ON} - Y_{ST_OFF}$$

$$Z_{ST} = Z_{ST_ON} - Z_{ST_OFF}$$

各軸の測定された出力は LSB 単位で表されるため、 X_{ST} 、 Y_{ST} 、 Z_{ST} も LSB 単位になります。これらの値を g の加速度に変換するには、最大分解能で 12 g モードの設定の場合、各値に 2.9 mg/LSB のスケール係数を乗算します。また、表 14~表 17 は 2.5V 動作時での LSB 換算のセルフテスト変動を示しています。ほかの電圧の場合、表 13 に示すスケール係数に基づいて（スケール係数を乗算して）、最小と最大のセルフテスト出力値を計算する必要があります。デバイスが 2.9mg/LSB の分解能を持つように設定されている場合は、表 14 に示す値を使用してください。10 ビットの固定モードや 12 g 以外のレンジも使用できますが、表 15~表 17 に示すように、それぞれのレンジと分解能に合った値を使用してください。6 g 未満のレンジを使用するとダイナミック・レンジが不足する可能性がありますので、セルフテストを測定するための動作レンジを選択する際には注意してダイナミック・レンジを選択してください。

セルフテスト変動が仕様内に収まった場合、テストは成功したと考えられます。一般に、セルフテスト変動が仕様の最小値以上であった場合、デバイスは正常であると考えられます。ただし、セルフテスト変動が仕様の最大値を超えていても、そのデバイスが異常であるとは限りません。

ADXL312

高データレートのデータ・フォーマッティング

3200 Hz と 1600 Hz の出力データレートにおける出力データのフォーマッティングは、動作モード（最大分解能または固定 10 ビット）と選択した出力レンジによって異なります。

最大分解能または $\pm 1.5\text{ g}$ 、10 ビット動作の場合、出力データワードのLSBは常に 0 です。データが右詰めの場合、図 32に示すように、DATAx0 レジスタのビットD0 に対応します。データが左詰めの場合、デバイスが $\pm 1.5\text{ g}$ 、10 ビット・モードで動作する場合、出力データワードのLSBは、DATAx0 レジスタのビットD6 になります。最大分解能の動作でデータが左詰めの場合、LSBの位置は選択した出力レンジによって異なります。 $\pm 1.5\text{ g}$ のレンジの場合のLSBはDATAx0 レジスタのビットD6、 $\pm 3\text{ g}$ の場合はDATAx0 レジ

スタのビットD5、 $\pm 6\text{ g}$ の場合はDATAx0 レジスタのビットD4、 $\pm 12\text{ g}$ の場合はDATAx0 レジスタのビットD3 です。これを図 33に示します。

$\pm 3\text{ g}$ 、 $\pm 6\text{ g}$ 、 $\pm 12\text{ g}$ の出力レンジの固定 10 ビット動作で 3200 Hz と 1600 Hz の出力データレートを使用すると、有効な LSB が得られますが、これは与えられた加速度によって変化します。したがって、これらの動作モードでは、出力データが右詰めの場合にビット D0 は必ずしも 0 ではなく、また出力データが左詰めの場合はビット D6 は必ずしも 0 ではありません。800 Hz 以下のデータレートでの動作でも、すべてのレンジとモードで有効な LSB が得られますが、これも与えられた加速度によって変化します。

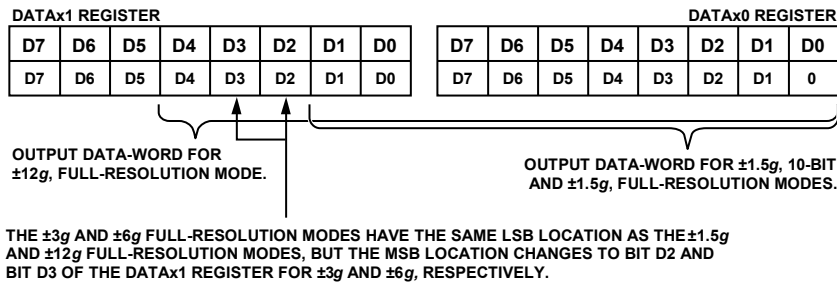


図 32. 出力データが右詰めの際のデータ形式

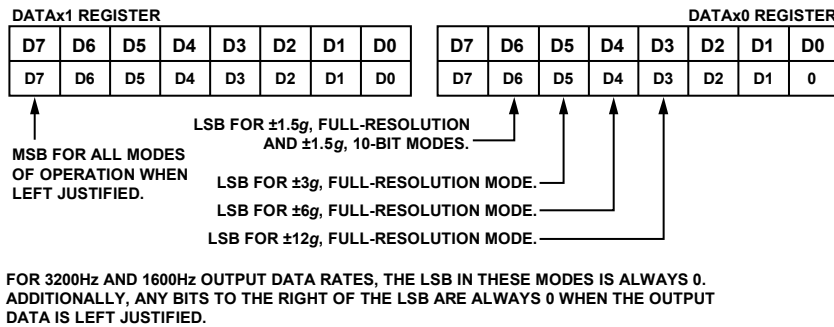


図 33. 出力データが左詰めの際のデータ形式

ノイズ性能

表 1に示したノイズの仕様は、通常電力動作（アドレス 0x2Cの BW_RATEレジスタの LOW_POWERビット= 0）における ADXL312 の最適な環境でのノイズ性能に対応します。100 Hzを下回るデータレートでの通常電力動作の場合、ADXL312 のノイズは、LSB単位で、ODRを 100Hzに設定した時のノイズに相当します。100 Hzを超えるデータレートでは、データレートが増加するごとに、ノイズはおおよそ $\sqrt{2}$ 倍に増加します。たとえば、400 HzのODRでは、x軸とy軸のノイズは 2.0 LSB rms以下(Typ値)、z軸のノイズは 3.0 LSB rms以下となります(Typ値)。

低消費電力動作（アドレス 0x2Cの BW_RATEレジスタの LOW_POWERビット=1）の場合、ADXL312 のノイズは、表 7に示したすべての有効なデータレートに対して一定で通常測定モード時では 2.4 LSB rms以下(Typ値)、z軸では 3.5 LSB rms以下となります(Typ値)。

図 34には、ADXL312 のアラン分散を示します。この図に示すように、デバイスの $1/f$ コーナーはきわめて低いため、信号処理によって約 100 μg の分解能を達成する事が可能です(十分な積分時間があるものとします)。この図から、x軸とy軸ではノイズ密度が 340 $\mu\text{g}/\sqrt{\text{Hz}}$ 、z軸では 470 $\mu\text{g}/\sqrt{\text{Hz}}$ であることもわかります。

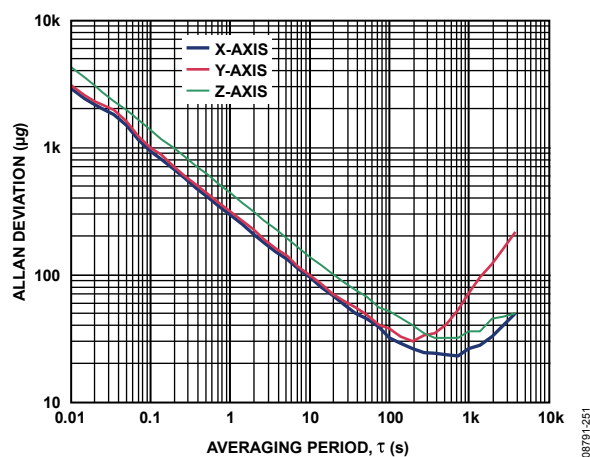


図 34. アラン分散

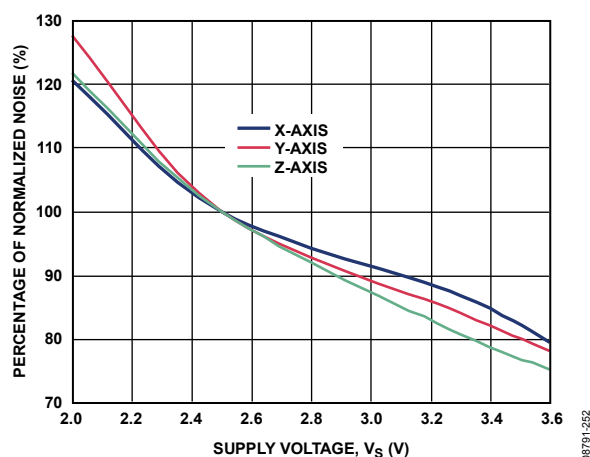


図 35. 電源電圧 対 正規化されたノイズ

加速度検出軸

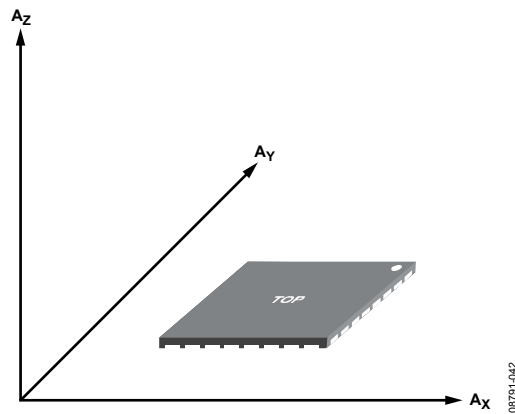


図 36. 加速度検出軸（検出軸で加速が生じると、対応する軸の出力値が増加）

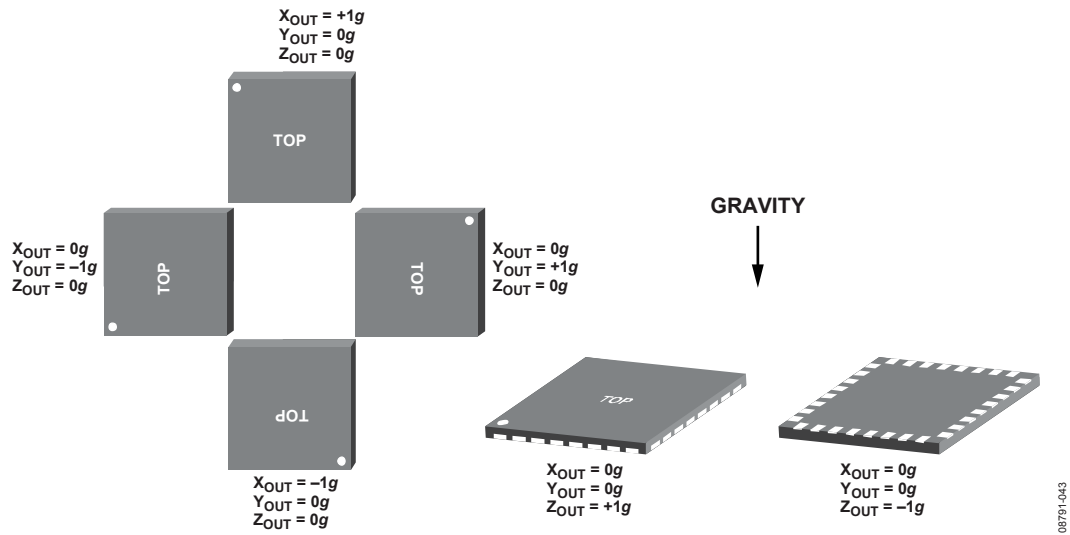
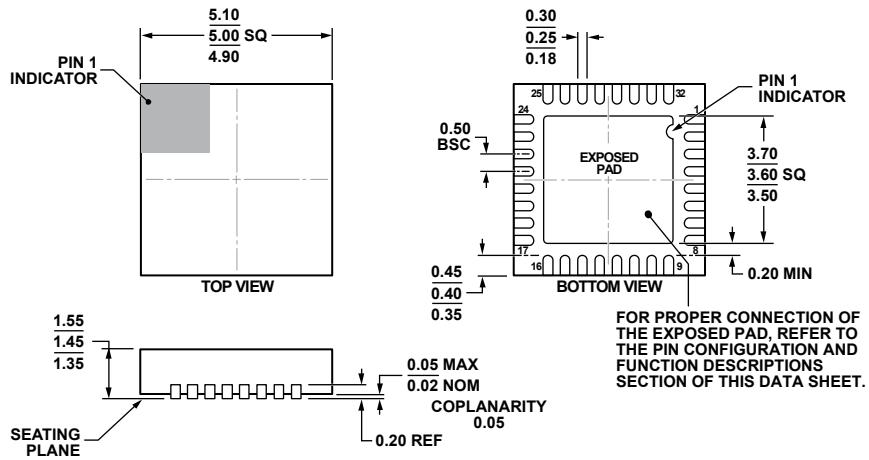


図 37. 重力方向と出力応答の関係

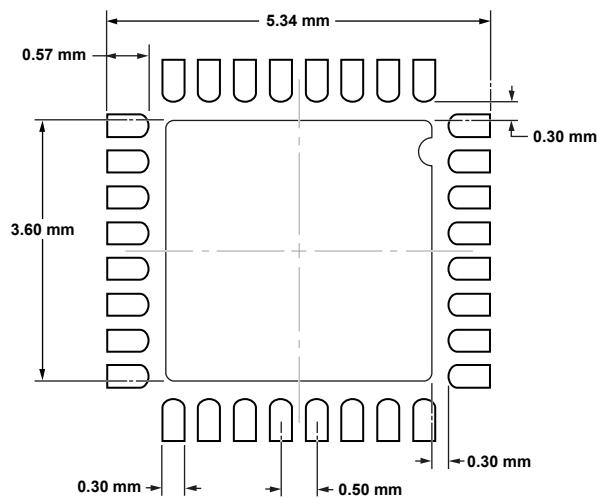
外形寸法



COMPLIANT TO JEDEC STANDARDS MO-254-LJJD.

12-03-2010-B

図 39. 32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_LQ]
 5 mm × 5 mm ボディ
 (CP-32-17)
 寸法単位：mm



08791-03B

図 40. ハンダ・パッドのレイアウト例 (ランド・パターン)

オーダー・ガイド

Model ^{1, 2}	Measurement Range	Specified Voltage (V)	Temperature Range	Package Description	Package Option
ADXL312WACPZ	±1.5 g, ±3 g, ±6 g, ±12 g	3.3	-40°C to +105°C	32-Lead Lead Frame Chip Scale Package [LFCSP_LQ]	CP-32-17
ADXL312WACPZ-RL	±1.5 g, ±3 g, ±6 g, ±12 g	3.3	-40°C to +105°C	32-Lead Lead Frame Chip Scale Package [LFCSP_LQ]	CP-32-17
ADXL312ACPZ	±1.5 g, ±3 g, ±6 g, ±12 g	3.3	-40°C to +105°C	32-Lead Lead Frame Chip Scale Package [LFCSP_LQ]	CP-32-17
ADXL312ACPZ-RL	±1.5 g, ±3 g, ±6 g, ±12 g	3.3	-40°C to +105°C	32-Lead Lead Frame Chip Scale Package [LFCSP_LQ]	CP-32-17
EVAL-ADXL312Z				Evaluation Board	
EVAL-ADXL312Z-M				Evaluation Board	
EVAL-ADXL312Z-S				Evaluation Board	

¹ Z = RoHS準拠製品。

² W = オートモーティブ・アプリケーション用に認定。

オートモーティブ製品

ADXL312Wモデルは、オートモーティブ・アプリケーションの品質と信頼性の条件に対応するために特別な製造方法を採用しています。なお、これらのオートモーティブ・モデルの仕様は、コマーシャル・モデルとは異なる場合がありますので、設計にあたってはこのデータシートの「仕様」を注意してお読みください。オートモーティブ・アプリケーションにご利用できるのは、自動車グレードの製品のみです。製品の具体的なオーダー情報や、これらのモデルの具体的な自動車信頼性レポートについては、アナログ・デバイセズの販売代理店にご相談ください。

I²Cは、フィリップス・セミコンダクターズ社（現在のNXPセミコンダクターズ）が開発した情報通信プロトコルです。