

この製品の日本語データシート (Rev.A) に間違いがありましたので、お詫びして訂正いたします。この正誤表は、2018年12月19日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート (Rev.C) では、改訂時に誤りが訂正されております。

正誤表作成年月日：2018年12月19日

製品名：ADV7613

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：

P.12

【誤】

LVDS 出力ポート 1 は**奇数**のビデオ・ストリームを出力します。LVDS 出力ポート 2 は**偶数**のビデオ・ストリームを出力します。

【正】

LVDS 出力ポート 1 は**偶数**のビデオ・ストリームを出力します。LVDS 出力ポート 2 は**奇数**のビデオ・ストリームを出力します。



低消費電力 HDMI/LVDS ディスプレイ・ブリッジ

データシート

ADV7613

特長

シングル入力 HDMI レシーバ、デュアル・チャンネル LVDS トランスミッタ出力

HDMI レシーバに対応

最大 148.5 MHz の TMDS クロック周波数

広帯域幅デジタル・コンテンツ・プロテクション (HDCP) 1.4 に対応、HDCP キー内蔵

適応型 HDMI イコライザ

HDMI ポート用の 5 V 検出と Hot Plug アサート

sYCC601、Adobe RGB、Adobe YCC 601、xvYCC 拡張色域を含む拡張色彩

LVDS トランスミッタ

デュアル・チャンネル 24 ビット OpenLDI インターフェース

6 ビット/8 ビット不平衡型 OpenLDI フォーマットまたは 8 ビット・ビデオ・エレクトロニクス・スタンダード・アソシエーション (VESA) フォーマットに対応

高ビット・レート (HBR)、ダイレクト・ストリーム・デジタル (DSD) を含むオーディオに対応

S/PDIF (IEC 60958 互換) デジタル・オーディオに対応

専用のフレキシブル・オーディオ出力ポート

Dolby® TrueHD、DTS-HD Master Audio™

一般的な機能

内部 EDID RAM

民生用電子機器制御 (CEC) コントローラ内蔵

標準識別 (STDI) 回路

Any-to-Any (3 × 3) カラー・スペース変換 (CSC) マトリックス

100 ボール、9 mm × 9 mm CSP_BGA パッケージ

車載アプリケーション用に認定済み

アプリケーション

プロジェクタ

車載用インフォテイメント・ヘッドユニット

車載用インフォテイメント・ディスプレイ

デジタル標識

機能ブロック図

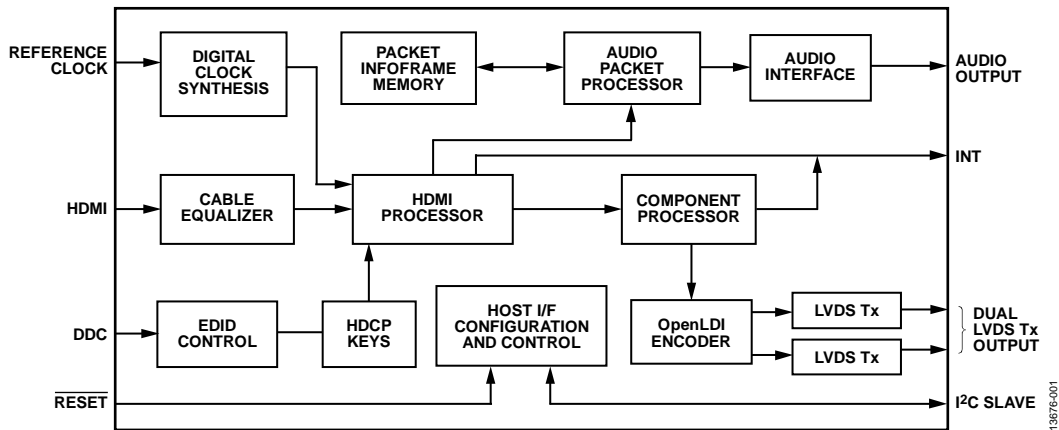


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2016 Analog Devices, Inc. All rights reserved.

Rev. A

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	パワーアップ・シーケンス.....	11
アプリケーション.....	1	パワーダウン・シーケンス.....	11
機能ブロック図.....	1	動作原理.....	12
改訂履歴.....	2	HDMI レシーバ.....	12
概要.....	3	HDCP リピータ機能.....	12
詳細機能ブロック図.....	3	コンポーネント・プロセッサ (CP)	12
仕様.....	4	LVDS トランスミッタの特長.....	12
電気的特性.....	4	I ² C インターフェース.....	12
LVDS トランスミッタ (OpenLDI マッピング)	5	その他の特長.....	12
データと I ² C のタイミング特性.....	5	オーディオ出力データ.....	12
絶対最大定格.....	7	外形寸法.....	13
熱抵抗.....	7	オーダー・ガイド.....	13
ESD に関する注意	7	車載製品	13
ピン配置と機能の説明.....	8		
電源の推奨事項.....	11		

改訂履歴

12/15—Rev. 0 to Rev. A

Changes to Ordering Guide	13
---------------------------------	----

10/15—Revision 0: Initial Version

概要

ADV7613 は、高品質、低消費電力、シングル入力の HDMI/LVDS ディスプレイ・ブリッジです。このデバイスには、最大 1080p (60 Hz) をサポートする HDMI 対応レシーバが組み込まれています。HDMI ポートは、専用の 5V 検出ピンと Hot Plug アサート・ピンを備えています。また、HDMI レシーバは、長いケーブルでも堅牢なインターフェース動作を保証するイコライザも内蔵しています。

ADV7613 は、HDMI ストリームからオーディオ・データを抽出するためのオーディオ出力ポートを備えています。HDMI オーディオ・フォーマットには、Direct Stream Digital® (DSD) と HBR を使ったスーパー・オーディオ CD (SACD) が含まれます。HDMI レシーバは、オーディオ出力に外部可聴ノイズが混入するのを防止する高度なミュート・コントローラを備えています。

ADV7613 は、HDMI レシーバからのビデオ信号を処理するコンポーネント・プロセッサ (CP) を内蔵しています。このプロセッ

サは、コントラスト調整、輝度調整、飽和度調整、STDI 検出ブロック、自走および同期アライメント制御などの機能を提供します。

LVDS エンコーダは、6 ビットまたは 8 ビットの DC 不平衡型 OpenLDI マッピングまたは 8 ビットの VESA マッピングにデータをパッケージ化できます。ADV7613 は、入力で受け取った最大解像度 1080p (60 Hz) までの 24 ビット OpenLDI データをデュアル・チャンネル LVDS トランスミッタを介して出力できます。各 LVDS 出力ポートは最大 92 MHz の出力クロックまで対応します。

ADV7613 には、車載用グレードと民生用グレードがあります。動作温度範囲は -40°C ~ +85°C です。

最新の CMOS 製造プロセスで製造された ADV7613 は、RoHS 準拠の 9 mm × 9 mm、100 ボール CSP_BGA パッケージを採用しています。

詳細機能ブロック図

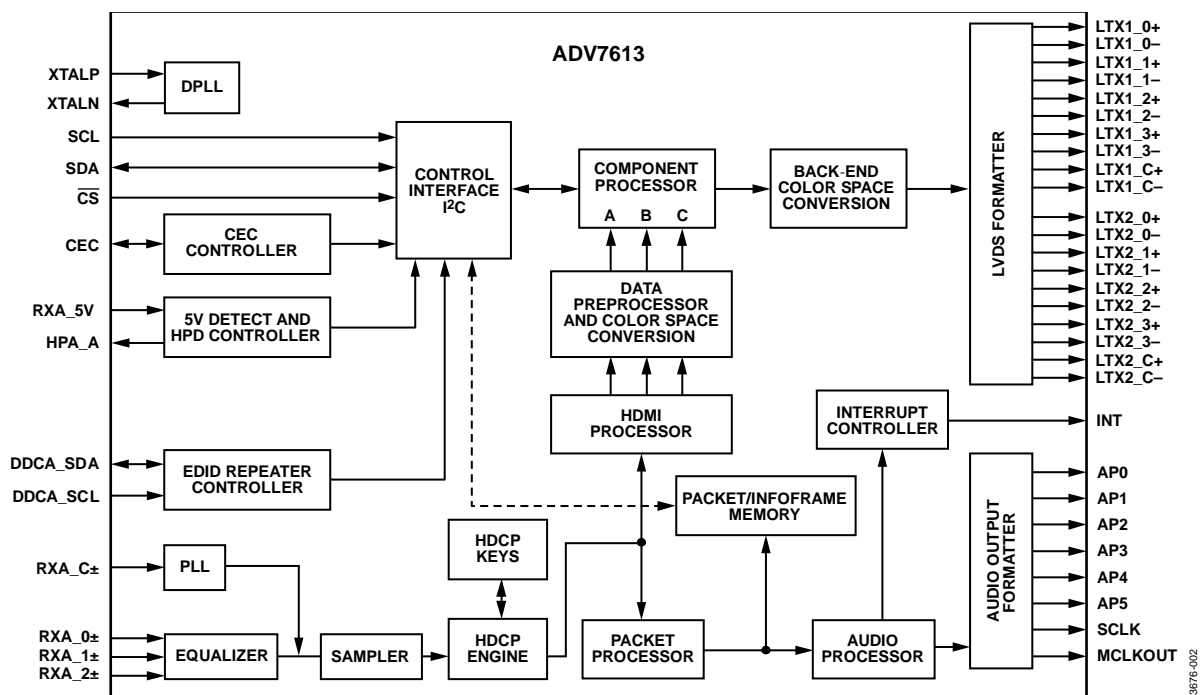


図 2. 詳細機能ブロック図

仕様

電気的特性

DVDD = 1.71 V ~ 1.89 V、DVDDIO = 3.135 V ~ 3.465 V、PVDD = 1.71 V ~ 1.89 V、TVDD = 3.135 V ~ 3.465 V、CVDD = 1.71 V ~ 1.89 V、LTX_VDD = 1.71 V ~ 1.89 V。特に指定がない限り、 $T_{MIN} \sim T_{MAX} = -40^{\circ}C \sim +85^{\circ}C$ 。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DIGITAL INPUTS						
Input High Voltage	V_{IH}	XTALN and XTALP pins Other digital inputs	1.2 2			V V
Input Low Voltage	V_{IL}	XTALN and XTALP pins Other digital inputs			0.4 0.8	V V
Input Current	I_{IN}	CS pin XTALN and XTALP pins Other digital inputs	-60		+60	μA μA μA
Input Capacitance ¹	C_{IN}				10	pF
DIGITAL INPUTS (5 V TOLERANT)²						
Input High Voltage	V_{IH}	DDCA_SCL, DDCA_SDA	2.6			V
Input Low Voltage	V_{IL}				0.8	V
Input Current	I_{IN}		-80		+80	μA
Input Leakage Current	I_{IN}	RXA_5V	-100		+100	μA
DIGITAL OUTPUTS						
Output High Voltage	V_{OH}		2.4			V
Output Low Voltage	V_{OL}				0.4	V
High Impedance Leakage Current	I_{LEAK}	HPA_A ³ Other digital outputs	-100 -10		+100 +10	μA μA
Output Capacitance ⁴	C_{OUT}				20	pF
POWER REQUIREMENTS						
Termination Power Supply	TVDD		3.135	3.3	3.465	V
Digital Input/Output (I/O) Power Supply	DVDDIO		3.135	3.3	3.465	V
Digital Core Power Supply	DVDD		1.71	1.8	1.89	V
Phase-Locked Loop (PLL) Power Supply	PVDD		1.71	1.8	1.89	V
Comparator Power Supply	CVDD		1.71	1.8	1.89	V
LVDS Power Supply	LTX_VDD		1.71	1.8	1.89	V
CURRENT CONSUMPTION⁴						
Configuration 1						
Termination Power Supply	I_{TVDD}	Pseudorandom test pattern; 1360 × 768p at 60 Hz input resolution; 85 MHz pixel clock; 25°C operating temperature; DVDD, PVDD, CVDD, and LTX_DVDD = 1.8 V; DVDDIO and TVDD = 3.3 V; LVDS Port 2 used		50		mA
Digital I/O Power Supply	I_{DVDDIO}			6		mA
Digital Core Power Supply	I_{DVDD}			68		mA
PLL Power Supply	I_{PVDD}			29		mA
Comparator Power Supply	I_{CVDD}			65		mA
LVDS Power Supply	I_{LTX_VDD}			45		mA
Configuration 2						
Termination Power Supply	I_{TVDD}	Checker one-dot × one-dot test pattern; 1920 × 720p at 60 Hz input resolution; 92 MHz pixel clock; 25°C operating temperature; DVDD, PVDD, CVDD, and LTX_DVDD = 1.8 V; DVDDIO and TVDD = 3.3 V; LVDS Port 2 used		58		mA
Digital I/O Power Supply	I_{DVDDIO}			6		mA
Digital Core Power Supply	I_{DVDD}			102		mA

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
PLL Power Supply	I _{PVDD}	Pseudorandom test pattern; 1920 × 1080p at 60 Hz input resolution; 148.5 MHz pixel clock; 85°C operating temperature; DVDD, PVDD, CVDD, and LTX_DVDD = 1.89 V; DVDDIO and TVDD = 3.465 V; LVDS Port 1 and LVDS Port 2 used		29		mA
Comparator Power Supply	I _{CVDD}			66		mA
LVDS Power Supply Configuration 3	I _{LTX_VDD}			43		mA
Termination Power Supply	I _{TVDD}				70	mA
Digital I/O Power Supply	I _{DVDDIO}				15	mA
Digital Core Power Supply	I _{DVDD}				147	mA
PLL Power Supply	I _{PVDD}				44	mA
Comparator Power Supply	I _{CVDD}				96	mA
LVDS Power Supply	I _{LTX_VDD}				88	mA
POWER-DOWN CURRENT⁴						
Terminator Power Supply	I _{TVDD_PD}			327	μA	
Digital I/O Power Supply	I _{DVDDIO_PD}			387	μA	
Digital Core Power Supply	I _{DVDD_PD}			102	μA	
PLL Power Supply	I _{PVDD_PD}			223	μA	
Comparator Power Supply	I _{CVDD_PD}			74	μA	
LVDS Power Supply	I _{LTX_VDD_PD}			323	μA	

¹ データは特性評価されています。

² 5 V 許容入力ピンは DDCA_SCL、DDCA_SDA、および RXA_5V です。

³ HPA_A ピンは 5 V 許容出力です。

⁴ データは特性評価されています。

LVDS トランスミッタ (OpenLDI マッピング)

表 2.

Parameter	Symbol	Min	Typ	Max	Unit
OpenLDI OUTPUTS¹					
Differential Output Voltage	V _{OD}	247	350	454	mV
Offset Output Voltage	V _{OS}	1.125	1.2	1.375	V
Change in V _{OD} Mismatch				50	mV
Change in V _{OS} Mismatch				50	mV
OpenLDI TRANSMITTER²					
OpenLDI Output Rise Time	t _R		0.21 × UI	0.3 × UI	ps
OpenLDI Output Fall Time	t _F		0.21 × UI	0.3 × UI	ps

¹ 測定は 100 Ω の終端抵抗を使って行われています。

² データは 100 Ω のソース終端抵抗を使って特性評価されています。UI は単位間隔 (ビット幅) です。

データと I²C のタイミング特性

表 3.

Parameter	Symbol	Min	Typ	Max	Unit
CLOCK AND CRYSTAL					
Crystal (XTAL) Frequency			28.63636		MHz
XTAL Frequency Stability				±50	ppm
Input Clock Range (TMDS)		25		148.5	MHz
OpenLDI Output Clock Range		25		92	MHz
I²C PORTS					
SCL Frequency				400	kHz
SCL Minimum Pulse Width High	t ₁	600			ns
SCL Minimum Pulse Width Low	t ₂	1.3			μs

Parameter	Symbol	Min	Typ	Max	Unit
Start Condition Hold Time	t_3	600			ns
Start Condition Setup Time	t_4	600			ns
SDA Setup Time	t_5	100			ns
SCL and SDA Rise Time	t_6			300	ns
SCL and SDA Fall Time	t_7			300	ns
Stop Condition Setup Time	t_8	0.6			μ s
RESET FEATURE					
Reset Pulse Width		5			ms
Reset Pulse to First I ² C Transaction		5			ms
I²S PORT, MASTER MODE					
SCLK Mark to Space Ratio	$t_{15}:t_{16}$	45:55		55:45	% Duty Cycle
Left/Right Clock (LRCLK) Data Transition Time	t_{17}			10	ns
	t_{18}			10	ns
I ² Sx ¹ Data Transition Time	t_{19}			5	ns
	t_{20}			5	ns

¹I²Sx 信号 (ここで、x=0、1、2、3) は AP1 ピン ~ AP4 ピンで得られます (表 6 参照)。

タイミング図

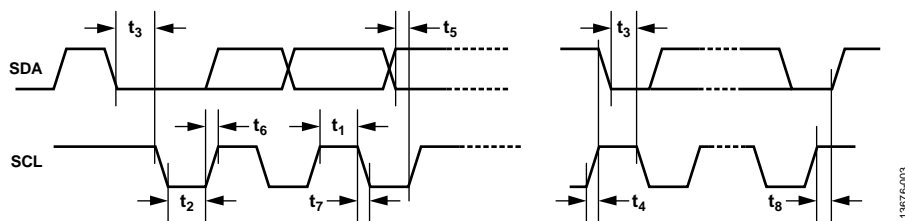
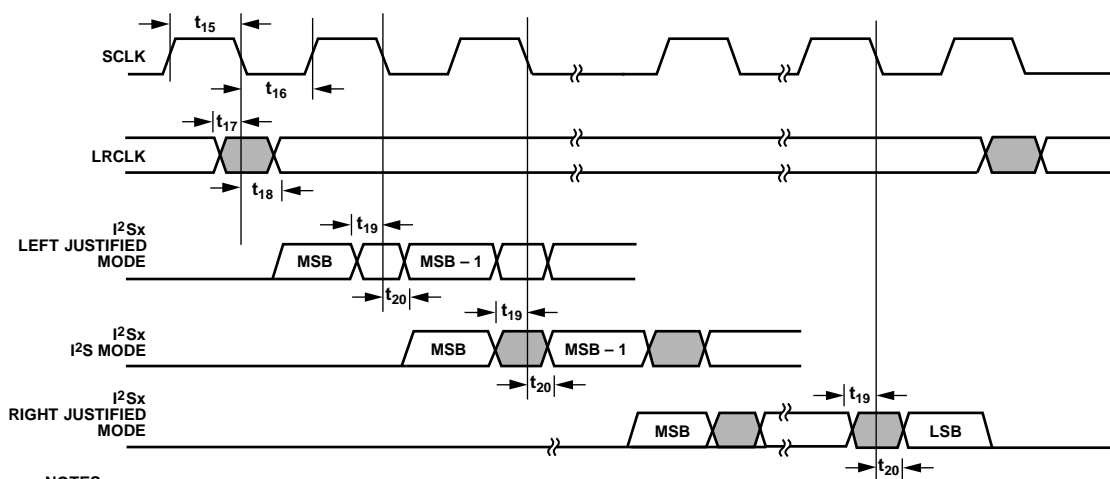


図 3. I²C のタイミング



- NOTES
 1. THE LRCLK SIGNAL IS AVAILABLE ON THE AP5 PIN.
 2. I²Sx SIGNALS (WHERE x = 0, 1, 2, OR 3) ARE AVAILABLE ON THE FOLLOWING PINS: AP1, AP2, AP3, AND AP4.

図 4. I²S のタイミング

絶対最大定格

表 4.

Parameter	Rating
DVDD to GND	2.2 V
PVDD to GND	2.2 V
DVDDIO to GND	4.0 V
CVDD to GND	2.2 V
TVDD to GND	4.0 V
LTX_VDD to GND	2.2 V
Digital Inputs to GND	GND - 0.3 V to DVDDIO + 0.3 V
5 V Tolerant Digital Inputs to GND ¹	5.3 V
Digital Outputs to GND	GND - 0.3 V to DVDDIO + 0.3 V
XTALP, XTALN	-0.3 V to PVDD + 0.3 V
SCL, SDA Data Pins to DVDDIO	DVDDIO - 0.3 V to DVDDIO + 3.6 V
Maximum Junction Temperature (T _{J MAX})	125°C
Storage Temperature Range	-60°C to +150°C
Infrared Reflow Soldering (20 sec)	260°C
Operating Temperature Range	-40°C to +85°C

¹ DDCA_SCL と DDCA_SDA は 3.3 V 入力ですが、5 V を許容します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

ADV7613 の使用時に消費電力を低減するには、デバイスの使用していない部分をオフにします。

プリント回路ボード (PCB) の金属の違いにより PCB の熱伝導率が異なるため、 θ_{JA} の値は PCB によって異なります。

パッケージの表面温度を使ってダイの温度を推定することにより、最も効率の良い測定方法が得られます。この方法で θ_{JA} 値による差異をなくすことができます。

デバイスを使用する際には、最大ジャンクション温度 (T_{J MAX}) が 125°C を超えないようにしてください。次式で、測定したパッケージ表面温度からジャンクション温度を計算します。この式は、テスト対象デバイス (DUT) にヒート・シンクを使用していない場合のみ有効です。

$$T_J = T_S + (\Psi_{JT} \times W_{TOTAL})$$

ここで、

T_J はジャンクション温度、

T_S はパッケージ表面温度 (°C)、

$\Psi_{JT} = 0.81^\circ\text{C}/\text{W}$ (100 ボール CSP_BGA の場合) (JEDEC 仕様で規定された 2s2p テスト・ボードによる)

$$W_{TOTAL} = ((PVDD \times I_{PVDD}) + (0.2 \times TVDD \times I_{TVDD}) + (CVDD \times I_{CVDD}) + (DVDD \times I_{DVDD}) + (DVDDIO \times I_{DVDDIO}) + (LTX_VDD \times I_{LTX_VDD}))$$

ここで、0.2 はデバイス自体で消費する TVDD 電力の 20% です。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

	1	2	3	4	5	6	7	8	9	10	
A	GND	DDCA_SDA	DDCA_SCL	GND	XTALP	PVDD	RESET	SCL	AP5	GND	A
B	RXA_5V	HPA_A	CEC	GND	XTALN	CS	INT	SDA	AP4	AP3	B
C	RXA_C+	RXA_C-	CVDD	GND	GND	DVDD	TEST0	TEST1	AP2	AP1	C
D	RXA_0+	RXA_0-	CVDD	GND	GND	DVDD	TEST2	TEST3	MCLKOUT	SCLK	D
E	RXA_1+	RXA_1-	CVDD	GND	GND	DVDD	DVDD	TEST4	TEST5	AP0	E
F	RXA_2+	RXA_2-	TVDD	GND	GND	GND	DVDDIO	TEST6	TEST7	TEST8	F
G	CVDD	CVDD	TVDD	GND	GND	GND	DVDDIO	TEST9	TEST10	TEST11	G
H	LTX2_3-	LTX_VDD	LTX_VDD	GND	GND	LTX_VDD	LTX_VDD	TEST12	TEST13	LTX1_0-	H
J	LTX2_3+	LTX2_C-	LTX2_2-	LTX2_1-	LTX2_0-	LTX1_3-	LTX1_C-	LTX1_2-	LTX1_1-	LTX1_0+	J
K	GND	LTX2_C+	LTX2_2+	LTX2_1+	LTX2_0+	LTX1_3+	LTX1_C+	LTX1_2+	LTX1_1+	GND	K

DATA LINES (INPUT AND OUTPUT)
 POWER SUPPLIES
 GND
 TEST PINS

13876-005

図 5. ピン配置

表 5. ピン機能の説明

Pin No	Mnemonic	Type	Description
A1, A4, A10, B4, C4, C5, D4, D5, E4, E5, F4 to F6, G4 to G6, H4, H5, K1, K10	GND	Ground	グラウンド。
A2	DDCA_SDA	HDMI Rx DDC	HDMI ポート A の HDCP スレーブ・シリアル・データ。
A3	DDCA_SCL	HDMI Rx DDC	HDMI ポート A の HDCP スレーブ・シリアル・クロック。
A5	XTALP	Miscellaneous analog	ADV7613 をクロック駆動するための 28.63636 MHz 水晶発振器または外付けの 1.8 V、28.63636 MHz クロック発振器用の入力。
A6	PVDD	Power	デジタル PLL 電源電圧 (1.8 V)。
A7	RESET	Miscellaneous digital	アクティブ・ローのシステム・リセット入力。ADV7613 の回路をリセットするには、最小幅 5 ms のロー・レベル・リセット・パルスが必要です。
A8	SCL	Miscellaneous digital	I ² C ポートのシリアル・クロック入力。SCL は制御ポートのクロック・ラインです。
A9	AP5	Audio output	オーディオ出力ピン 5。このピンは、S/PDIF デジタル・オーディオ、HBR、または DSD の出力に設定できます。AP5 ピンは通常、IPS モードの LRCLK 信号を供給します。
B1	RXA_5V	HDMI input	HDMI ポート A の 5 V 検出ピン。

Pin No	Mnemonic	Type	Description
B2	HPA_A	Miscellaneous digital	Hot Plug アサート。このピンは、HDMI ポート A の Hot Plug アサート信号を出力するように設定できます。
B3	CEC	Digital input/output	民生用電子機器制御チャンネル。
B5	XTALN	Miscellaneous analog	水晶発振器出力。
B6	$\overline{\text{CS}}$	Miscellaneous digital	チップ・セレクト。ADV7613 が I ² C メッセージを処理するには、このピンをロー・レベルに設定する必要があります。このラインをプルアップすると、I ² C ステート・マシンは I ² C 送信を無視します。
B7	INT	Miscellaneous digital	割込み。このピンは、アクティブ・ローまたはアクティブ・ハイのオープン・ドレインまたはトランジスタ・トランジスタ・ロジック (TTL) に設定できます。割込みをトリガするイベントはユーザーの設定に従います。
B8	SDA	Miscellaneous digital	I ² C ポートのシリアル・データ入力/出力。SDA は制御ポートのデータ・ラインです。
B9	AP4	Audio output	オーディオ出力 4。このピンは、S/PDIF デジタル・オーディオ、HBR、または I ² S の出力に設定できます。
B10	AP3	Audio output	オーディオ出力 3。このピンは、S/PDIF デジタル・オーディオ、HBR、または I ² S の出力に設定できます。
C1	RXA_C+	HDMI input	HDMI ポート A のデジタル入力クロックの + 側。
C2	RXA_C-	HDMI input	HDMI ポート A のデジタル入力クロックの - 側。
C3, D3, E3, G1, G2	CVDD	Power	HDMI アナログ・ブロック電源電圧 (1.8 V)。
C6, D6, E6, E7	DVDD	Power	デジタル・コア電源電圧 (1.8 V)。
C7, C8, D7, D8, E8, E9, F8 to F10, G8 to G10, H8, H9	TEST0 to TEST13	Miscellaneous	テスト・ピン。これらのピンは 1 k Ω 抵抗を介してグラウンドに接続します。
C9	AP2	Audio output	オーディオ出力 2。このピンは、S/PDIF デジタル・オーディオ、HBR、DSD、または I ² S モードの出力に設定できます。
C10	AP1	Audio output	オーディオ出力 1。このピンは、S/PDIF デジタル・オーディオ、HBR、または DSD の出力に設定できます。
D1	RXA_0+	HDMI input	HDMI ポート A のデジタル入力チャンネル 0 の + 側。
D2	RXA_0-	HDMI input	HDMI ポート A のデジタル入力チャンネル 0 の - 側。
D9	MCLKOUT	Audio output	マスター・クロック。このピンは、オーディオ・マスター・クロック信号の出力に設定できます。
D10	SCLK	Audio output	シリアル・クロック。このピンは、オーディオ・シリアル・クロックの出力に設定できます。
E1	RXA_1+	HDMI input	HDMI ポート A のデジタル入力チャンネル 1 の + 側。
E2	RXA_1-	HDMI input	HDMI ポート A のデジタル入力チャンネル 1 の - 側。
E10	AP0	Audio Output	オーディオ出力 0。このピンは、S/PDIF デジタル・オーディオ、HBR、DSD、または I ² S の出力に設定できます。
F1	RXA_2+	HDMI input	HDMI ポート A のデジタル入力チャンネル 2 の + 側。
F2	RXA_2-	HDMI input	HDMI ポート A のデジタル入力チャンネル 2 の - 側。
F3, G3	TVDD	Power	終端電源電圧 (3.3 V)。
F7, G7	DVDDIO	Power	デジタル I/O 電源電圧 (3.3 V)。
H1	LTX2_3-	LVDS output	LVDS 出力ポート 2 の LVDS 出力チャンネル 3 の - 側。
H2, H3, H6, H7	LTX_VDD	Power	LVDS 電源電圧 (1.8 V)。
H10	LTX1_0-	LVDS output	LVDS 出力ポート 1 の LVDS 出力チャンネル 0 の - 側。
J1	LTX2_3+	LVDS output	LVDS 出力ポート 2 の LVDS 出力チャンネル 3 の + 側。
J2	LTX2_C-	LVDS output	LVDS 出力ポート 2 の LVDS クロックの - 側。
J3	LTX2_2-	LVDS output	LVDS 出力ポート 2 の LVDS 出力チャンネル 2 の - 側。
J4	LTX2_1-	LVDS output	LVDS 出力ポート 2 の LVDS 出力チャンネル 1 の - 側。
J5	LTX2_0-	LVDS output	LVDS 出力ポート 2 の LVDS 出力チャンネル 0 の - 側。
J6	LTX1_3-	LVDS output	LVDS 出力ポート 1 の LVDS 出力チャンネル 3 の - 側。
J7	LTX1_C-	LVDS output	LVDS 出力ポート 1 の LVDS クロックの - 側。
J8	LTX1_2-	LVDS output	LVDS 出力ポート 1 の LVDS 出力チャンネル 2 の - 側。
J9	LTX1_1-	LVDS output	LVDS 出力ポート 1 の LVDS 出力チャンネル 1 の - 側。
J10	LTX1_0+	LVDS output	LVDS 出力ポート 1 の LVDS 出力チャンネル 0 の + 側。
K2	LTX2_C+	LVDS output	LVDS 出力ポート 2 の LVDS クロックの + 側。
K3	LTX2_2+	LVDS output	LVDS 出力ポート 2 の LVDS 出力チャンネル 2 の + 側。

Pin No	Mnemonic	Type	Description
K4	LTX2_1+	LVDS output	LVDS 出力ポート 2 の LVDS 出力チャンネル 1 の + 側。
K5	LTX2_0+	LVDS output	LVDS 出力ポート 2 の LVDS 出力チャンネル 0 の + 側。
K6	LTX1_3+	LVDS output	LVDS 出力ポート 1 の LVDS 出力チャンネル 3 の + 側。
K7	LTX1_C+	LVDS output	LVDS 出力ポート 1 の LVDS クロックの + 側。
K8	LTX1_2+	LVDS output	LVDS 出力ポート 1 の LVDS 出力チャンネル 2 の + 側。
K9	LTX1_1+	LVDS output	LVDS 出力ポート 1 の LVDS 出力チャンネル 1 の + 側。

電源の推奨事項

パワーアップ・シーケンス

ADV7613 のパワーアップ・シーケンスでは、最初に 3.3 V 電源、その次に 1.8 V 電源の順でパワーアップすることを推奨します。電源がパワーアップしたら、5 ms 以上 RESET ラインをロー・レベルにしておきます。さらに 5 ms 以上経過してから最初の I²C トランザクションを行います。

あるいは、全ての電源を同時にアサートすることにより、ADV7613 をパワーアップします。この場合、電源が安定化されるまで、低い方の電源が高い方の電源電圧のレベルを超えないように注意する必要があります。電源がパワーアップしたら、5 ms 以上 RESET ラインをロー・レベルにしておきます。最初の I²C トランザクションを行う前に、さらに 5 ms 以上ロー・レベルにします。

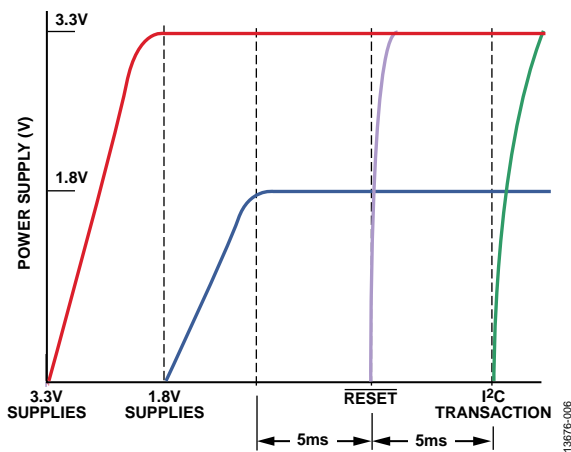


図 6. 推奨パワーアップ・シーケンス

パワーダウン・シーケンス

ADV7613 の電源は、高い定格の電源（例えば、TVDD/DVDDIO）が低い定格の電源（例えば、DVDD）よりも低い電圧レベルまで低下せず、かつ絶対最大定格の仕様に従っている限り、同時にデアサートすることができます。

動作原理

HDMI レシーバ

HDMI レシーバは、最大 1080p の HDTV フォーマットに対応します。HDMI 互換レシーバは、HDMI データ信号のアクティブ・イコライゼーション機能を提供します。このイコライゼーション機能は、HDMI および DVI ケーブル配線（特に、ケーブルが長い場合や周波数が高い場合）に固有の高周波損失を補償します。HDMI 互換レシーバは、最大 20 メートルのケーブルのイコライゼーションが可能で、堅牢なレシーバ性能を実現します。HDMI レシーバは先進的なオーディオ機能を提供します。このレシーバは、オーディオ出力に外部可聴ノイズを生じるおそれのあるさまざまな条件を検出可能なオーディオ・ミュート・コントロールを内蔵しています。これらの条件を検出したら、オーディオ信号をミュートしてオーディオ・クリック/ポップを防止することができます。HDMI レシーバは、以下のような HDMI 仕様に記載されているあらゆるタイプのオーディオ・データの受信をサポートします。

- LPCM（非圧縮オーディオ）
- IEC 61937（圧縮オーディオ）
- DSD オーディオ（1 ビット・オーディオ）
- HBR オーディオ（高ビット・レート圧縮オーディオ）
- オーディオ・サンプリング、HBR、DSD パケットに対応
- EDID RAM に対応

ADV7613 は Deep Color に対応していません。

HDCP リピータ機能

HDCP を備えているため、ディスプレイは暗号化されたビデオ・コンテンツを受け取ることができます。ADV7613 の HDMI インターフェースにより、HDCP 1.4 仕様の規定に従って、ビデオ・レシーバの認証、レシーバでの符号化データの解読、および送信時における認証の更新が可能となります。

コンポーネント・プロセッサ（CP）

ADV7613 は、2 個の Any-to-Any（3×3）カラー・スペース変換（CSC）マトリックスを備えています。1 個目の CSC ブロックは CP 部分の前側にあります。2 個目の CSC ブロックは CP 部分の後側にあります。それぞれの CSC により、YCrCb から RGB への変換と RGB から YCrCb への変換が可能です。CP には以下の特長があります。

- 525p、625p、720p、1080p、およびグラフィックス標準（WVGA、WXGA）に対応
- ゲイン（コントラスト）、オフセット（輝度）、色相、飽和度などを手動調整
- ビデオ入力がないときにタイミングを安定させる自走出力モード
- STDI ブロックで対応する標準規格識別

LVDS トランスミッタの特長

LVDS エンコーダは、6 ビットまたは 8 ビットの DC 不平衡型 OpenLDI マッピングまたは 8 ビットの VESA マッピングにデータをパッケージ化できます。ADV7613 は、最大 1080p（60 Hz）の入力解像度の 2 個の LVDS トランスミッタを介して、24 ビットの OpenLDI データを出力することができます。2 個の LVDS 出力ポート（ポート 1 とポート 2）は、HDMI レシーバが受け取った 1 つのビデオ・データ・ストリームによるビデオ・ストリームで 2 個の LVDS ディスプレイ・パネルを駆動することができます。HDMI レシーバは、1 つのビデオ・ストリームを奇数と偶数の 2 つのビデオ・ストリームに分割します。LVDS 出力ポート 1 は奇数のビデオ・ストリームを出力します。LVDS 出力ポート 2 は偶数のビデオ・ストリームを出力します。1 つの LVDS 出力ポートで対応する最大ビデオ解像度では、92 MHz 以下のクロック周波数にする必要があります。

I²C インターフェース

ADV7613 は、I²C 互換の 2 線式シリアル・インターフェースに対応しています。

その他の特長

ADV7613 はその他に以下の特長があります。

- プログラマブル割込み出力ピン、INT
- チップ・セレクト、CS

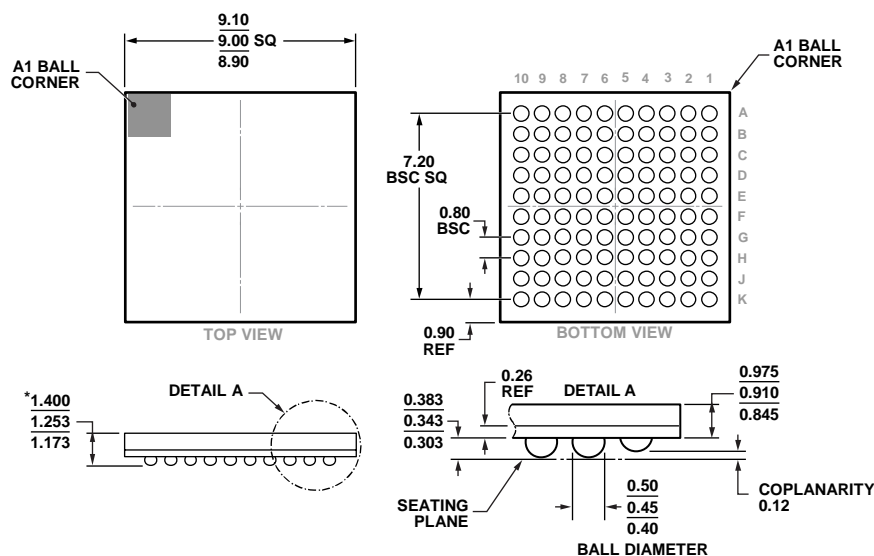
オーディオ出力データ

オーディオ出力ピン（AP0 ~ AP5）は、表 6 に示すいくつかのフォーマットのオーディオ・データを出力することができます。

表 6. 対応するオーディオ・フォーマットの概要

Pin No.	Mnemonic	I ² S/SPDIF Interface	DSD Interface
E10	AP0	SPDIF0	DSD0A (first DSD channel)
C10	AP1	I ² S0/SPDIF0	DSD0B (second DSD channel)
C9	AP2	I ² S1/SPDIF1	DSD1A (third DSD channel)
B10	AP3	I ² S2/SPDIF2	DSD1B (fourth DSD channel)
B9	AP4	I ² S3/SPDIF3	DSD2A (fourth DSD channel)
A9	AP5	LRCLK (left/right channel clock output)	DSD2B (fifth DSD channel)
D9	MCLKOUT	Master clock output (MCLK)	Not applicable
D10	SCLK	Bit or serial clock output (SCLK)	Not applicable

外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-275-DDAB-1
WITH THE EXCEPTION OF THE PACKAGE HEIGHT

03-14-2013-A

図 7.100 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA]
(BC-100-4)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADV7613BBCZ	-40°C to +85°C	100-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-100-4
ADV7613BBCZ-RL	-40°C to +85°C	100-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-100-4
ADV7613WBBCZ	-40°C to +85°C	100-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-100-4
ADV7613WBBCZ-RL	-40°C to +85°C	100-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-100-4
ADV7613WBBCZ-P	-40°C to +85°C	100-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-100-4
ADV7613WBBCZ-P-RL	-40°C to +85°C	100-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-100-4

車載製品

ADV7613W モデルは、車載アプリケーションの品質と信頼性の要件に対応するため管理された製造により提供しています。これらの車載モデルの仕様は商用モデルと異なる場合があるため、設計者はこのデータシートの仕様のセクションを慎重にレビューしてください。上記の車載グレード製品のみを、車載アプリケーション用として提供しています。特定製品のオーダー情報とこれらのモデルの特定の車載信頼性レポートについては最寄りのアナログ・デバイセズ販売代理店にお問い合わせください。

FC は、Philips Semiconductors 社（現在の NXP Semiconductors 社）が独自に開発した通信プロトコルです。