



# 差動入力とデインターレーサ付きの 10ビット4xオーバーサンプルSDTV ビデオ・デコーダ

データシート

ADV7282

## 特長

- 世界の NTSC/PAL/SECAM カラー復調をサポート
- 1 個の 10 ビット A/D コンバータ (ADC) を内蔵
  - CVBS、Y/C、YPrPb の各モードのチャンネルに対して 4x オーバーサンプリングをサポート
- ADV7282:** 折り返し防止フィルタ付きのアナログ・ビデオ入力を 4 チャンネルをサポート
- ADV7282-M:** 折り返し防止フィルタ付きのアナログ・ビデオ入力を 6 チャンネルをサポート
- CVBS (コンポジット)、Y/C (S ビデオ)、YPrPb (コンポーネント) 用のビデオ入力をサポート
- フル差動、疑似差動、シングルエンド CVBS ビデオ入力をサポート
- NTSC/PAL/SECAM 自動検出
- 2 つのビデオ入力でのバッテリー短絡 (STB) 診断
- 最大 4 V の同相モード入力範囲ソリューション
- 優れた同相モード・ノイズ除去能力
- 5 ライン適応型 2D 櫛型フィルタと CTI ビデオ・エンハンスメント
- 適応型デジタル・ライン長トラッキング (ADLLT)、信号処理、高度な FIFO 管理によるミニ・タイム・ベース補正 (TBC) 機能
- 適応型ピーク・ホワイト・モードと自動ゲイン制御 (AGC) を統合
- 高速スイッチング機能
- インターレース/プログレッシブ (I2P) ビデオ出力コンバータ (デインターレーサ) を内蔵
- 適応型コントラスト・エンハンスメント (ACE)
- ダウン・ディザ (8 ビット→6 ビット)
- Rovi (Macrovision) コピー保護検出
- 8 ビット ITU-R BT.656 YCrCb 4:2:2 出力 (ADV7282)
- MIPI CSI-2 出力インターフェース (ADV7282-M の場合)
- フル機能の垂直ブランキング・インターバル (VBI) データ・ストライプ、およびワールド・システム・テレテキスト (WST) のサポート
- パワーダウン・モードのサポート
- 2 線式 I<sup>2</sup>C 互換シリアル・インターフェース
- 車載アプリケーション用に認定済み
- 40°C~+105°C の温度グレード
- 32 ピン、5 mm x 5 mm、RoHS 準拠 LFCSP パッケージを採用

## アプリケーション

- スマートフォン/マルチメディア・ハンドセット
- 車載インフォテインメント
- ビデオ・セキュリティ用 DVR
- メディア・プレーヤ

## 概要

- ADV7282/ADV7282-M は、多機能のワンチップ・マルチフォーマット・ビデオ・デコーダです。ADV7282/ADV7282-M は、コンポジット、S ビデオ、コンポーネント・ビデオ形式の世界の NTSC、PAL、SECAM 標準と互換性を持つ標準アナログ・ベースバンド・ビデオ信号を自動的に検出します。
- ADV7282 は、アナログ・ビデオ信号を 8 ビット ITU-R BT.656 インターフェース標準と互換性を持つ YCrCb 4:2:2 ビデオ・データ・ストリームへ変換します。
- ADV7282-M は、アナログ・ビデオ信号をモバイル業界プロセッサ・インターフェース (MIPI<sup>®</sup>) の CSI-2 インターフェースから出力される 8 ビット YCrCb 4:2:2 ビデオ・データ・ストリームへ変換します。
- ADV7282/ADV7282-M のアナログ・ビデオ入力には、シングルエンド、疑似差動、フル差動の信号を入力することができます。ADV7282/ADV7282-M は、デインターレーサ (I2P コンバータ) と 2 本の STB 診断ピンを使うバッテリー短絡検出機能を内蔵しています。ADV7282 には 4 個のアナログ入力があります。ADV7282-M には 6 個のアナログ入力と 3 個の汎用出力があります。
- ADV7282/ADV7282-M は、2 線式シリアル双方向ポート (I<sup>2</sup>C 互換) を使って設定し、1.8 V CMOS プロセスで製造されています。ADV7282/ADV7282-M は、省スペース RoHS 準拠の LFCSP 表面実装パッケージを採用しています。
- ADV7282/ADV7282-M の温度範囲は -40°C~+105°C です。このため、ADV7282/ADV7282-M は車載アプリケーションに最適です。

## 目次

特長.....	1	入力回路.....	16
アプリケーション.....	1	シングルエンド入力回路.....	16
概要.....	1	差動入力回路.....	16
改訂履歴.....	2	バッテリー短絡保護機能.....	16
機能ブロック図.....	3	入力の構成.....	17
仕様.....	4	バッテリー短絡 (STB) 診断.....	18
電氣的仕様.....	4	STB 診断機能の設定.....	18
ビデオ仕様.....	5	適応型コントラスト・エンハンスメント (ACE).....	20
アナログ仕様.....	6	I2P 機能.....	21
クロックと I <sup>2</sup> C のタイミング仕様.....	6	ITU-R BT.656 TX の設定 (ADV7282 の場合).....	22
MIPI ビデオ出力仕様 (ADV7282-M の場合).....	7	MIPI CSI-2 出力 (ADV7282-M の場合).....	23
ピクセル・ポートのタイミング仕様 (ADV7282 の場合).....	9	I <sup>2</sup> C ポートの説明.....	24
絶対最大定格.....	10	レジスタ・マップ.....	25
熱抵抗.....	10	PCB レイアウトの推奨事項.....	27
ハンダ・リフロー.....	10	アナログ・インターフェース入力.....	27
ESD の注意.....	10	電源のデカップリング.....	27
ピン配置およびピン機能説明.....	11	VREFN ピンと VREFP ピン.....	27
動作原理.....	13	デジタル出力.....	27
アナログ・フロントエンド (AFE).....	13	エクスポーズド金属パッド.....	27
標準定義プロセッサ (SDP).....	14	デジタル入力.....	27
電源シーケンシング.....	15	MIPI 出力 (D0P、D0N、CLKP、CLKN) ADV7282-M の場合.....	27
最適なパワーアップ・シーケンス.....	15	代表的な回路接続.....	28
簡略化したパワーアップ・シーケンス.....	15	外形寸法.....	30
パワーダウン・シーケンス.....	15	オーダー・ガイド.....	30
D <sub>VDDIO</sub> 電源電圧.....	15	車載製品.....	30

## 改訂履歴

## 3/14—Rev. A to Rev. B

Changes to General Description.....	1
Change to Single CVBS Input, Analog Supply Current, Power Requirements Parameter, Table 1.....	4
Changes to Table 7.....	10
Changes to Theory of Operation Section.....	13
Changes to D <sub>VDDIO</sub> Supply Voltage Section.....	15
Changes to Short-to-Battery Protection Section.....	16
Changes to Ordering Guide.....	30

## 11/13—Rev. 0 to Rev. A

Changes to Features Section and General Description Section.....	1
Added Figure 1; Renumbered Sequentially.....	3
Changes to Table 1.....	4
Added Pixel Port Timing Specifications (ADV7282 Only) Section.....	9
Added Endnote 1; Table 7.....	10

Added Figure 6 and Table 9.....	11
Changes to Theory of Operation Section.....	13
Changes to D <sub>VDDIO</sub> Supply Voltage Section.....	15
Changes to Table 12.....	17
Changes to Programming the STB Diagnostic Function Section.....	18
Added ITU-R BT.656 Tx Configuration (ADV7282 Only) Section.....	22
Changes to Register Maps Section.....	25
Changes to Power Supply Decoupling Section and Digital Outputs Section.....	27
Changes to Typical Circuit Connections Section.....	28
Changes to Ordering Guide.....	30

## 8/13—Revision 0: Initial Version

機能ブロック図

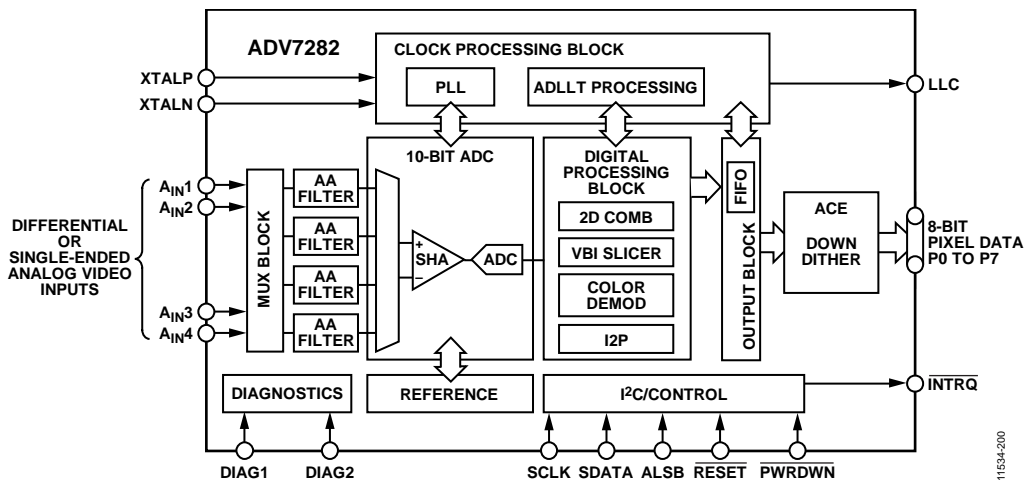


図 1.ADV7282 の機能ブロック図

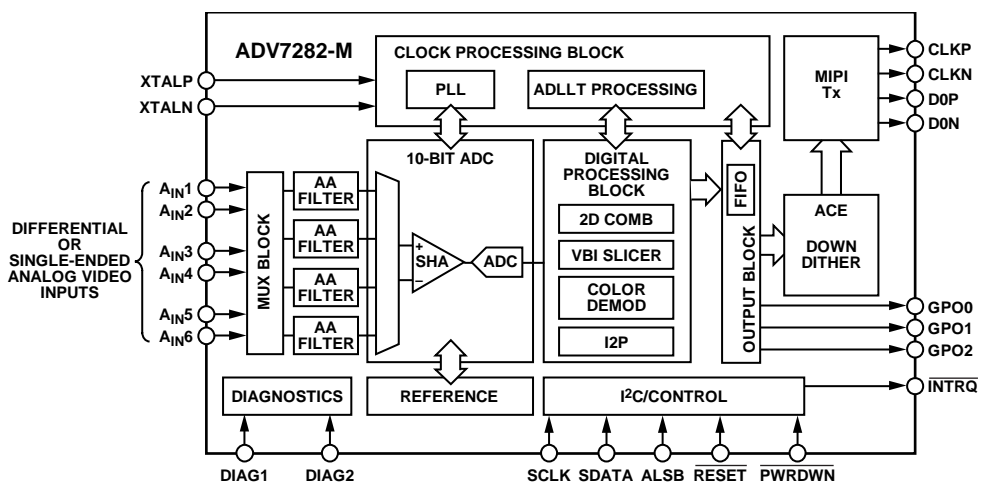


図 2.ADV7282-M の機能ブロック図

## 仕様

## 電気的仕様

特に指定がない限り、 $A_{VDD}$ 、 $D_{VDD}$ 、 $P_{VDD}$ 、 $M_{VDD} = 1.71\text{ V} \sim 1.89\text{ V}$ 、 $D_{VDDIO} = 2.97\text{ V} \sim 3.63\text{ V}$ 、動作温度範囲で規定。 $M_{VDD}$ はADV7282-Mにのみ適用。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
<b>STATIC PERFORMANCE</b>						
ADC Resolution	N				10	Bits
Integral Nonlinearity	INL	CVBS mode		2		LSB
Differential Nonlinearity	DNL	CVBS mode		$\pm 0.6$		LSB
<b>DIGITAL INPUTS</b>						
Input High Voltage	$V_{IH}$	$D_{VDDIO} = 3.3\text{ V}$ $D_{VDDIO} = 1.8\text{ V}$ , ADV7282 only	2 1.2			V V
Input Low Voltage	$V_{IL}$	$D_{VDDIO} = 3.3\text{ V}$ $D_{VDDIO} = 1.8\text{ V}$ , ADV7282 only			0.8 0.4	V V
Input Leakage Current	$I_{IN}$	RESET pin SDATA, SCLK pins PWRDWN, ALSB pins	-10 -10 -10		+10 +15 +50	$\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$
Input Capacitance	$C_{IN}$				10	pF
<b>CRYSTAL INPUT</b>						
Input High Voltage	$V_{IH}$	XTALN pin	1.2			V
Input Low Voltage	$V_{IL}$	XTALN pin			0.4	V
<b>DIGITAL OUTPUTS</b>						
Output High Voltage	$V_{OH}$	$D_{VDDIO} = 3.3\text{ V}$ , $I_{SOURCE} = 0.4\text{ mA}$ $D_{VDDIO} = 1.8\text{ V}$ , $I_{SOURCE} = 0.4\text{ mA}$ , ADV7282 only	2.4 1.4			V V
Output Low Voltage	$V_{OL}$	$D_{VDDIO} = 3.3\text{ V}$ , $I_{SINK} = 3.2\text{ mA}$ $D_{VDDIO} = 1.8\text{ V}$ , $I_{SINK} = 1.6\text{ mA}$ , ADV7282 only			0.4 0.2	V V
High Impedance Leakage Current	$I_{LEAK}$				10	$\mu\text{A}$
Output Capacitance	$C_{OUT}$				20	pF
<b>POWER REQUIREMENTS<sup>1, 2, 3</sup></b>						
Digital I/O Power Supply	$D_{VDDIO}$	ADV7282-M ADV7282	2.97 1.62	3.3 3.3	3.63 3.63	V V
PLL Power Supply	$P_{VDD}$		1.71	1.8	1.89	V
Analog Power Supply	$A_{VDD}$		1.71	1.8	1.89	V
Digital Power Supply	$D_{VDD}$		1.71	1.8	1.89	V
MIPI Tx Power Supply	$M_{VDD}$	ADV7282-M only	1.71	1.8	1.89	V
Digital I/O Supply Current	$I_{DVDDIO}$	ADV7282-M ADV7282		1.5 5		mA mA
PLL Supply Current	$I_{PVDD}$			12		mA
MIPI Tx Supply Current	$I_{MVDD}$	ADV7282-M only		14		mA
Analog Supply Current	$I_{AVDD}$					
Single-Ended CVBS Input				47		mA
Differential CVBS Input		Fully differential and pseudo differential CVBS		69		mA
Y/C Input				60		mA
YPrPb Input				75		mA
Digital Supply Current	$I_{DVDD}$					
Single-Ended CVBS Input				70		mA
Differential CVBS Input		Fully differential and pseudo differential CVBS		70		mA
Y/C Input				70		mA
YPrPb Input				70		mA

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
<b>POWER-DOWN CURRENTS<sup>1</sup></b>						
Digital I/O Supply Power-Down Current	I <sub>DVDDIO_PD</sub>			73		μA
PLL Supply Power-Down Current	I <sub>PVDD_PD</sub>			46		μA
Analog Supply Power-Down Current	I <sub>AVDD_PD</sub>			0.2		μA
Digital Supply Power-Down Current	I <sub>DVDD_PD</sub>			420		μA
MIPI Tx Supply Power-Down Current	I <sub>MVDD_PD</sub>			4.5		μA
Total Power Dissipation in Power-Down Mode				1		mW

<sup>1</sup> キャラクタライゼーションにより保証。

<sup>2</sup> 消費電流値(typ)は公称電源電圧レベルと SMPTE バー・テスト・パターンで測定。

<sup>3</sup> 特に指定のない限り、I2P コアが起動したときすべての仕様を適用。

## ビデオ仕様

特に指定がない限り、A<sub>VDD</sub>、D<sub>VDD</sub>、P<sub>VDD</sub>、M<sub>VDD</sub> = 1.71 V~1.89 V、D<sub>VDDIO</sub> = 2.97 V~3.63 V、動作温度範囲で規定。仕様はキャラクタライゼーションにより保証。M<sub>VDD</sub>は ADV7282-M にのみ適用。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
<b>NONLINEAR SPECIFICATIONS<sup>1</sup></b>						
Differential Phase	DP	CVBS input, modulated 5-step		0.9		Degrees
Differential Gain	DG	CVBS input, modulated 5-step		0.5		%
Luma Nonlinearity	LNL	CVBS input, 5-step		2.0		%
<b>NOISE SPECIFICATIONS</b>						
Signal-to-Noise Ratio, Unweighted	SNR	Luma ramp Luma flat field		57.1		dB
Analog Front-End Crosstalk				58		dB
Common-Mode Rejection Ratio <sup>2</sup>	CMRR			60		dB
				73		dB
<b>LOCK TIME SPECIFICATIONS</b>						
Horizontal Lock Range			-5		+5	%
Vertical Lock Range			40		70	Hz
f <sub>sc</sub> Subcarrier Lock Range				±1.3		kHz
Color Lock-In Time				60		Lines
Synchronization Depth Range			20		200	%
Color Burst Range			5		200	%
Vertical Lock Time				2		Fields
Autodetection Switch Speed <sup>3</sup>				100		Lines
Fast Switch Speed <sup>4</sup>				100		ms
<b>LUMA SPECIFICATIONS</b>						
Luma Brightness Accuracy		CVBS, 1 V input		1		%
Luma Contrast Accuracy				1		%

<sup>1</sup> これらの仕様は、すべての CVBS 入力タイプ (NTSC、PAL、SECAM)、さらにシングルエンド入力および差動 CVBS 入力に適用します。

<sup>2</sup> この回路デザインの CMRR は、回路入力の外付け抵抗の一致に強く依存します(入力回路のセクション参照)。CMRR の測定は、許容誤差 0.1% の抵抗、1 V の同相モード電圧、10 kHz の同相モード周波数で測定されています。

<sup>3</sup> 自動検出スイッチ速度は、ADV7282/ADV7282-M が入力のビデオ・フォーマット(例えば PAL 1 や NTSC M)を検出するために必要な時間です。

<sup>4</sup> 高速スイッチ速度は、ADV7282/ADV7282-M が、あるアナログ入力(シングルエンドまたは差動)から別のアナログ入力へ切り替わる(例えば A<sub>IN1</sub> から A<sub>IN2</sub> へ)ために要する時間です。

アナログ仕様

特に指定がない限り、 $A_{VDD}$ 、 $D_{VDD}$ 、 $P_{VDD}$ 、 $M_{VDD} = 1.71\text{ V} \sim 1.89\text{ V}$ 、 $D_{VDDIO} = 2.97\text{ V} \sim 3.63\text{ V}$ 、動作温度範囲で規定。仕様はキャラクタライゼーションにより保証。 $M_{VDD}$ はADV7282-Mにのみ適用。

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
CLAMP CIRCUITRY					
External Clamp Capacitor	Clamps switched off		0.1		$\mu\text{F}$
Input Impedance			10		$\text{M}\Omega$
Large Clamp Source Current			0.4		$\text{mA}$
Large Clamp Sink Current			0.4		$\text{mA}$
Fine Clamp Source Current			10		$\mu\text{A}$
Fine Clamp Sink Current			10		$\mu\text{A}$

クロックとI<sup>2</sup>Cのタイミング仕様

特に指定がない限り、 $A_{VDD}$ 、 $D_{VDD}$ 、 $P_{VDD}$ 、 $M_{VDD} = 1.71\text{ V} \sim 1.89\text{ V}$ 、 $D_{VDDIO} = 2.97\text{ V} \sim 3.63\text{ V}$ 、動作温度範囲で規定。仕様はキャラクタライゼーションにより保証。 $M_{VDD}$ はADV7282-Mにのみ適用。

表 4.

Parameter	Symbol	Min	Typ	Max	Unit
SYSTEM CLOCK AND CRYSTAL					
Nominal Frequency			28.63636		MHz
Frequency Stability				$\pm 50$	ppm
I <sup>2</sup> C PORT					
SCLK Frequency				400	kHz
SCLK Minimum Pulse Width High	$t_1$	0.6			$\mu\text{s}$
SCLK Minimum Pulse Width Low	$t_2$	1.3			$\mu\text{s}$
Hold Time (Start Condition)	$t_3$	0.6			$\mu\text{s}$
Setup Time (Start Condition)	$t_4$	0.6			$\mu\text{s}$
SDATA Setup Time	$t_5$	100			ns
SCLK and SDATA Rise Times	$t_6$			300	ns
SCLK and SDATA Fall Times	$t_7$			300	ns
Setup Time (Stop Condition)	$t_8$		0.6		$\mu\text{s}$
RESET INPUT					
RESET Pulse Width		5			ms

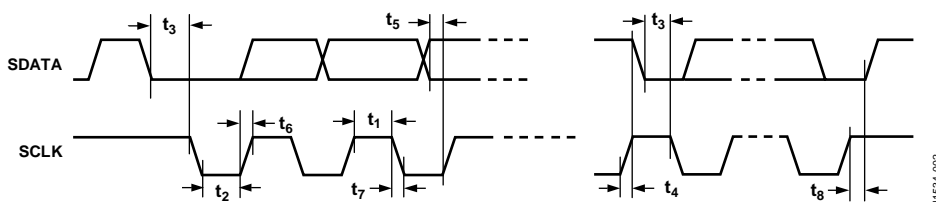


図 3. I<sup>2</sup>Cのタイミング図

## MIPI ビデオ出力仕様 (ADV7282-M の場合)

特に指定がない限り、 $A_{VDD}$ 、 $D_{VDD}$ 、 $P_{VDD}$ 、 $M_{VDD} = 1.71\text{ V} \sim 1.89\text{ V}$ 、 $D_{VDDIO} = 2.97\text{ V} \sim 3.63\text{ V}$ 、動作温度範囲で規定。データ・レーンが低消費電力 (LP) モードになったときでも ADV7282-M の CSI-2 クロック・レーンは高速 (HS) モードを維持します。このため、低消費電力モードになるクロック・レーンでの幾つかの測定値には適用されません。特に指定がない限り、すべての高速測定は、プログレッシブ・モードおよび公称 432 Mbps 出力データレートの ADV7282-M 動作で行われています。仕様はキャラクタライゼーションにより保証。

表 5.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
UNIT INTERVAL	UI					
Interlaced Output				4.63		ns
Progressive Output				2.31		ns
DATA LANE LP TX DC SPECIFICATIONS <sup>1</sup>						
Thevenin Output High Level	$V_{OH}$		1.1	1.2	1.3	V
Thevenin Output Low Level	$V_{OL}$		-50	0	+50	mV
DATA LANE LP TX AC SPECIFICATIONS <sup>1</sup>						
Rise Time, 15% to 85%					25	ns
Fall Time, 85% to 15%					25	ns
Rise Time, 30% to 85%					35	ns
Data Lane LP Slew Rate vs. $C_{LOAD}$						
Maximum Slew Rate over Entire Vertical Edge Region		Rising edge			150	mV/ns
		Falling edge			150	mV/ns
Minimum Slew Rate						
400 mV $\leq V_{OUT} \leq 930\text{ mV}$		Falling edge	30			mV/ns
400 mV $\leq V_{OUT} \leq 700\text{ mV}$		Rising edge	30			mV/ns
700 mV $\leq V_{OUT} \leq 930\text{ mV}$		Rising edge	>0			mV/ns
Pulse Width of LP Exclusive-OR Clock		First clock pulse after stop state or last pulse before stop state	40			ns
		All other clock pulses	20			ns
Period of LP Exclusive-OR Clock			90			ns
CLOCK LANE LP TX DC SPECIFICATIONS <sup>1</sup>						
Thevenin Output High Level	$V_{OH}$		1.1	1.2	1.3	V
Thevenin Output Low Level	$V_{OL}$		-50	0	+50	mV
CLOCK LANE LP TX AC SPECIFICATIONS <sup>1</sup>						
Rise Time, 15% to 85%					25	ns
Fall Time, 85% to 15%					25	ns
Clock Lane LP Slew Rate						
Maximum Slew Rate over Entire Vertical Edge Region		Rising edge			150	mV/ns
		Falling edge			150	mV/ns
Minimum Slew Rate						
400 mV $\leq V_{OUT} \leq 930\text{ mV}$		Falling edge	30			mV/ns
400 mV $\leq V_{OUT} \leq 700\text{ mV}$		Rising edge	30			mV/ns
700 mV $\leq V_{OUT} \leq 930\text{ mV}$		Rising edge	>0			mV/ns
DATA LANE HS TX SIGNALING REQUIREMENTS		See Figure 4				
Low Power to High Speed Transition Stage	$t_9$	Time that the DOP pin is at $V_{OL}$ and the DON pin is at $V_{OH}$	50			ns
	$t_{10}$	Time that the DOP and DON pins are at $V_{OL}$	$40 + (4 \times UI)$		$85 + (6 \times UI)$	ns
	$t_{11}$	$t_{10}$ plus the HS-zero period	$145 + (10 \times UI)$			ns
High Speed Differential Voltage Swing	$ V_I $		140	200	270	mV p-p
Differential Voltage Mismatch					10	mV
Single-Ended Output High Voltages					360	mV
Static Common-Mode Voltage Level			150	200	250	mV
Static Common-Mode Voltage Mismatch					5	mV

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Dynamic Common Level Variations 50 MHz to 450 MHz Above 450 MHz					25 15	mV mV
Rise Time, 20% to 80%			0.15		$0.3 \times UI$	ns
Fall Time, 80% to 20%			0.15		$0.3 \times UI$	ns
High Speed to Low Power Transition Stage	$t_{12}$	Time that the ADV7282-M drives the flipped last data bit after sending the last payload data bit of an HS transmission burst	$60 + (4 \times UI)$			ns
	$t_{13}$	Post-end-of-transmission rise time (30% to 85%)			35	ns
	$t_{14}$	Time from start of $t_{12}$ to start of low power state following an HS transmission burst			$105 + (12 \times UI)$	ns
	$t_{15}$	Time that a low power state is transmitted after an HS transmission burst			100	ns
CLOCK LANE HS TX SIGNALING REQUIREMENTS		See Figure 4				
Low Power to High Speed Transition Stage <sup>2</sup>		Time that the CLKP pin is at $V_{OL}$ and the CLKN pin is at $V_{OH}$	50			ns
		Time that the CLKP and CLKN pins are at $V_{OL}$	38		95	ns
		Clock HS-zero period	300	500		ns
High Speed Differential Voltage Swing	$ V_2 $		140	200	270	mV p-p
Differential Voltage Mismatch					10	mV
Single-Ended Output High Voltages					360	mV
Static Common-Mode Voltage Level			150	200	250	mV
Static Common-Mode Voltage Mismatch					5	mV
Dynamic Common Level Variations 50 MHz to 450 MHz Above 450 MHz					25 15	mV mV
Rise Time, 20% to 80%			0.15		$0.3 \times UI$	ns
Fall Time, 80% to 20%			0.15		$0.3 \times UI$	ns
HS TX CLOCK TO DATA LANE TIMING REQUIREMENTS						
Data to Clock Skew			$0.35 \times UI$		$0.65 \times UI$	ns

<sup>1</sup> これらの測定は、 $C_{LOAD} = 50 \text{ pF}$ で行われています。

<sup>2</sup> クロック・レーンは、通常動作中高速モードを維持します。これらの結果は、スタートアップ時に ADV7282-M にのみ適用されます。

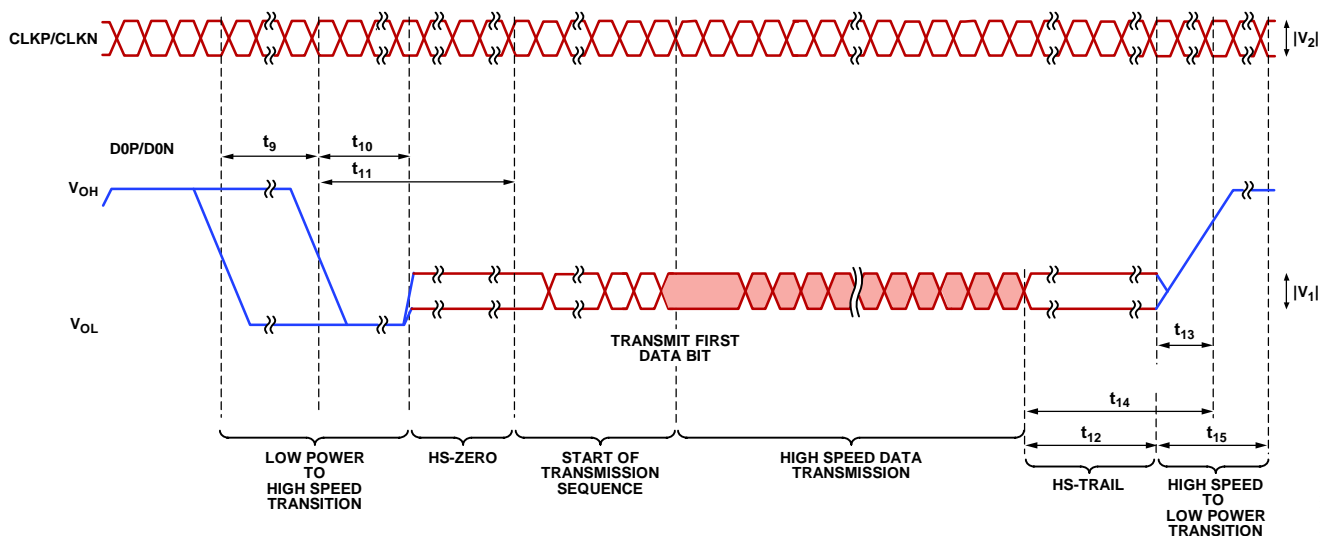


図 4.ADV7282-M の出力タイミング図 (MIPI CSI-2 仕様に準拠)



ピクセル・ポートのタイミング仕様 (ADV7282 の場合)

特に指定がない限り、 $A_{VDD}$ 、 $D_{VDD}$ 、 $P_{VDD} = 1.71\text{ V} \sim 1.89\text{ V}$ 、 $D_{VDDIO} = 1.62\text{ V} \sim 3.63\text{ V}$ 、動作温度範囲で規定。仕様はキャラクタライゼーションにより保証。

表 6.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
CLOCK OUTPUTS						
LLC Mark Space Ratio	$t_{16}:t_{17}$		45:55		55:45	% duty cycle
DATA AND CONTROL OUTPUTS						
Data Output Transitional Time	$t_{18}$	Negative clock edge to start of valid data ( $t_{SETUP} = t_{17} - t_{18}$ )			3.8	ns
	$t_{19}$	End of valid data to negative clock edge ( $t_{HOLD} = t_{16} - t_{19}$ )			6.9	ns

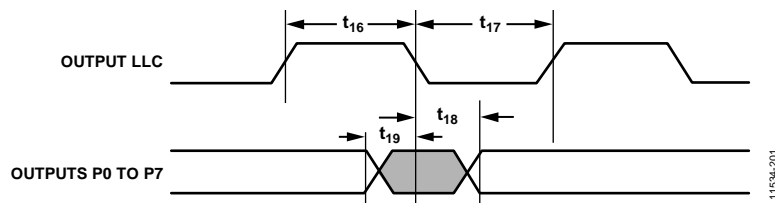


図 5.ADV7282 ピクセル・ポートとコントロール出力のタイミング図

## 絶対最大定格

表 7.

Parameter <sup>1</sup>	Rating
A <sub>VDD</sub> to GND	2.2 V
D <sub>VDD</sub> to GND	2.2 V
P <sub>VDD</sub> to GND	2.2 V
M <sub>VDD</sub> to GND <sup>2</sup>	2.2 V
D <sub>VDDIO</sub> to GND	4 V
P <sub>VDD</sub> to D <sub>VDD</sub>	-0.9 V to +0.9 V
M <sub>VDD</sub> to D <sub>VDD</sub> <sup>2</sup>	-0.9 V to +0.9 V
A <sub>VDD</sub> to D <sub>VDD</sub>	-0.9 V to +0.9 V
Digital Inputs Voltage	GND - 0.3 V to D <sub>VDDIO</sub> + 0.3 V
Digital Outputs Voltage	GND - 0.3 V to D <sub>VDDIO</sub> + 0.3 V
Analog Inputs to Ground	GND - 0.3 V to A <sub>VDD</sub> + 0.3 V
Maximum Junction Temperature (T <sub>J</sub> max)	140°C
Storage Temperature Range	-65°C to +150°C
Infrared Reflow Soldering (20 sec)	260°C

<sup>1</sup> 絶対最大定格では、ADV7282/ADV7282-M の DGND ピンとエクスポート・パッドを接続してコモン・グラウンド・プレーン (GND) へ接続しています。これは推奨レイアウト方式に含まれています。詳細については、PCB レイアウトの推奨事項のセクションを参照してください。絶対最大定格は、このコモン・グラウンド・プレーンを基準にして規定されています。

<sup>2</sup> M<sub>VDD</sub> は ADV7282-M にのみ適用されます。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

このデバイスは、2 kV の ESD 定格を持ち、ESD に敏感な高性能集積回路です。取り扱いと組み立てでは適切な注意が必要です。

## 熱抵抗

表 8 の熱抵抗値は、コモン・グラウンド・プレーンを持つ 4 層プリント回路ボード (PCB) にデバイスをハンダ付けし、デバイスのエクスポート・パッドを DGND へ接続して、規定しています。表 8 の値は最大値です。

表 8.32 ピン LFCSP の熱抵抗

Thermal Characteristic	Symbol	Value	Unit
Junction-to-Ambient Thermal Resistance (Still Air)	θ <sub>JA</sub>	32.5	°C/W
Junction-to-Case Thermal Resistance	θ <sub>JC</sub>	2.3	°C/W

## ハンダ・リフロー

ADV7282/ADV7282-M は鉛フリーの環境対応製品です。最新の材料と製造プロセスを採用して製造されています。各デバイスのピンのコーティングは純度 100% の Sn 電気メッキです。デバイスは鉛フリー・アプリケーションに適合し、最大 255°C (±5°C) の表面実装ハンダ処理に耐えることができます。

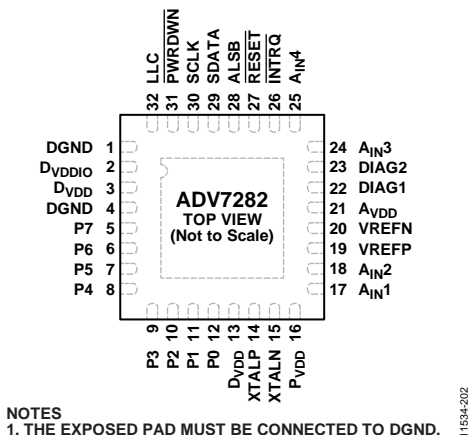
さらに、ADV7282/ADV7282-M は従来型 SnPb ハンダ処理と後方互換性を持っています。これは電気メッキされた Sn コーティングが Sn/Pb ハンダ・ペーストを使って従来型リフロー温度 220°C~235°C でハンダ付けできることを意味しています。

## ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

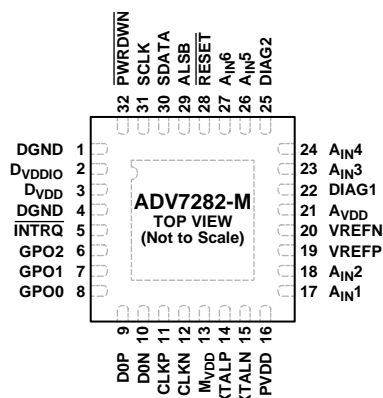


NOTES  
1. THE EXPOSED PAD MUST BE CONNECTED TO DGND. 11534-202

図 6.ADV7282 のピン配置

表 9.ピン機能説明、ADV7282

ピン番号	記号	タイプ	説明
1、4	DGND	グラウンド	デジタル電源のグラウンド。
2	DVDDIO	電源	デジタル I/O 電源 (1.8 V または 3.3 V)。
3、13	DVDD	電源	デジタル電源 (1.8 V)。
5 to 12	P7 to P0	出力	ビデオ・ピクセル出力ポート。
14	XTALP	出力	このピンを外付け 28.63636 MHz 水晶に接続するか、あるいは外付け 1.8 V、28.63636 MHz のクロック発振器を使って ADV7282 クロックを発生する場合は未接続のままにします。ADV7282 に使用する水晶は基本波水晶である必要があります。
15	XTALN	入力	外付け 28.63636 MHz 水晶の入力ピン。ADV7282 に使用する水晶は基本波水晶である必要があります。外付け 1.8 V、28.63636 MHz のクロック発振器を使って ADV7282 クロックを発生する場合は、XTALN ピンに発振器出力を接続してください。
16	PVDD	電源	PLL 電源 (1.8 V)。
17、18、24、25	AIN1 to AIN4	入力	アナログ・ビデオ入力チャンネル。
19	VREFP	出力	内蔵リファレンス電圧出力。
20	VREFN	出力	内蔵リファレンス電圧出力。
21	AVDD	電源	アナログ電源 (1.8 V)。
22	DIAG1	入力	診断入力 1。
23	DIAG2	入力	診断入力 2。
26	INTRQ	出力	割込み要求出力。入力ビデオで所定の信号が検出されると、割込みが発生します。
27	RESET	入力	システム・リセット入力 (アクティブ・ロー)。ADV7282 の回路をリセットするためには、最小パルス幅 5 ms のロー・レベルを入力する必要があります。
28	ALSB	入力	このピンで ADV7282 の I <sup>2</sup> C 書込みアドレスを選択します。ALSB をロジック 0 に設定すると、書込みアドレスが 0x40 に設定されます。ALSB をロジック 1 に設定すると、アドレスが 0x42 に設定されます。
29	SDATA	入力/出力	I <sup>2</sup> C ポート・シリアル・データ入力/出力。
30	SCLK	入力	I <sup>2</sup> C ポート・シリアル・クロック入力。最大クロック・レートは 400 kHz です。
31	PWRDWN	入力	パワーダウン・ピン。このピンにロジック・ロー・レベルを入力すると、ADV7282 はパワーダウン・モードになります。
32	LLC	出力	出力ピクセル・データのライン・ロック出力クロック。クロック出力は公称 27 MHz ですが、ビデオ・ライン長に応じて増減します。
	EPAD (EP)		エクスポーズド・パッド。エクスポーズド・パッドは DGND へ接続する必要があります。



NOTES  
1. THE EXPOSED PAD MUST BE CONNECTED TO DGND.

11534-004

図 7.ADV7282-M のピン配置

表 10.ピン機能説明、ADV7282-M

ピン番号	記号	タイプ	説明
1、4	DGND	グラウンド	デジタル電源のグラウンド。
2	D <sub>VDDIO</sub>	電源	デジタル I/O 電源 (3.3 V)。
3	D <sub>VDD</sub>	電源	デジタル電源 (1.8 V)。
5	INTRQ	出力	割込み要求出力。入力ビデオで所定の信号が検出されると、割込みが発生します。
6 to 8	GPO2 to GPO0	出力	汎用出力。これらのピンを I <sup>2</sup> C を介して設定して、外部デバイスを制御することができます。
9	D0P	出力	正の MIPI 差動データ出力。
10	D0N	出力	負の MIPI 差動データ出力。
11	CLKP	出力	正の MIPI 差動クロック出力。
12	CLKN	出力	負の MIPI 差動クロック出力。
13	M <sub>VDD</sub>	電源	MIPI デジタル電源 (1.8 V)。
14	XTALP	出力	このピンを外付け 28.63636 MHz 水晶に接続するか、あるいは外付け 1.8 V、28.63636 MHz のクロック発振器を使って ADV7282-M クロックを発生する場合は未接続のままにします。ADV7282-M に使用する水晶は基本波水晶である必要があります。
15	XTALN	入力	外付け 28.63636 MHz 水晶の入力ピン。ADV7282-M に使用する水晶は基本波水晶である必要があります。外付け 1.8 V、28.63636 MHz のクロック発振器を使って ADV7282-M クロックを発生する場合は、XTALN ピンに発振器出力を接続してください。
16	P <sub>VDD</sub>	電源	PLL 電源 (1.8 V)。
17、18、23、24、26、27	A <sub>IN1</sub> to A <sub>IN6</sub>	入力	アナログ・ビデオ入力チャンネル。
19	VREFP	出力	内蔵リファレンス電圧出力。
20	VREFN	出力	内蔵リファレンス電圧出力。
21	A <sub>VDD</sub>	電源	アナログ電源 (1.8 V)。
22	DIAG1	入力	診断入力 1。
25	DIAG2	入力	診断入力 2。
28	RESET	入力	システム・リセット入力 (アクティブ・ロー)。ADV7282-M の回路をリセットするためには、最小パルス幅 5 ms のロー・レベルを入力する必要があります。
29	ALSB	入力	このピンで ADV7282-M の I <sup>2</sup> C 書込みアドレスを選択します。ALSB をロジック 0 に設定すると、書込みアドレスが 0x40 に設定されます。ALSB をロジック 1 に設定すると、アドレスが 0x42 に設定されます。
30	SDATA	入力/出力	I <sup>2</sup> C ポート・シリアル・データ入力/出力。
31	SCLK	入力	I <sup>2</sup> C ポート・シリアル・クロック入力。最大クロック・レートは 400 kHz です。
32	PWRDWN	入力	パワーダウン・ピン。このピンにロジック・ロー・レベルを入力すると、ADV7282-M はパワーダウン・モードになります。
	EPAD (EP)		エクスポーズド・パッド。エクスポーズド・パッドは DGND へ接続する必要があります。

## 動作原理

ADV7282/ADV7282-M は、多機能のワンチップ・マルチフォーマット・ビデオ・デコーダです。ADV7282/ADV7282-M は、コンポジット、S ビデオ、コンポーネント・ビデオ形式の世界の NTSC、PAL、SECAM 標準と互換性を持つ標準アナログ・ベースバンド・ビデオ信号を自動的に検出します。

ADV7282 は、アナログ・ビデオ信号を 8 ビット ITU-R BT.656 インターフェース標準と互換性を持つ 8 ビット YCrCb 4:2:2 ビデオ・データ・ストリームへ変換します。

ADV7282-M は、アナログ・ビデオ信号を MIPI CSI-2 インターフェースから出力される 8 ビット YCrCb 4:2:2 ビデオ・データ・ストリームへ変換します。

MIPI CSI-2 出力インターフェースは、広範囲なビデオ・プロセッサと FPGA に接続されます。10 ビットの高精度 A/D 変換により、業務用品質のビデオ性能を真の 8 ビット・データ分解能を持つ民生用アプリケーション向けに提供します。

ADV7282/ADV7282-M のアナログ・ビデオ入力には、シングルエンド、疑似差動、フル差動コンポジットのビデオ信号を入力することができ、さらに S ビデオと YPrPb のビデオ信号も入力することができるため、広範囲な民生および車載ビデオ・ソースをサポートします。

差動 CVBS モードでは、ADV7282/ADV7282-M は外付け抵抗分圧器と組み合わせて、最大 4V の同相モード入力範囲が可能のため、ビデオ・ライン上の大信号同相モード過渡電圧を除去することができます。

高度なインターレース/プログレッシブ (I2P) 機能により、ADV7282/ADV7282-M はインターレース・ビデオ入力をプログレッシブ・ビデオ出力へ変換します。この機能は、外付けメモリなしで実行することができます。ADV7282/ADV7282-M では、エッジ適応型技術を使って低角度ラインのビデオ欠陥を小さくします。

自動ゲイン制御 (AGC) とクランプ再生回路により、ADV7282/ADV7282-M のアナログ・ビデオ入力ピンで 0V ~ 1.0V の入力ビデオ信号ピーク to ピーク範囲が可能です。あるいは、AGC とクランプ再生回路をバイパスしてマニュアル設定することができます。

入力ビデオ信号の AC 結合により、バッテリー短絡 (STB) 保護機能を提供します。STB 診断は、2 つの入力ビデオ信号上で実行することができます。

ADV7282/ADV7282-M は、8 ビットから 6 ビットへのダウン・ディザ・モードや適応型コントラスト・エンハンスメント (ACE) など、その他の多くの機能をサポートしています。

ADV7282/ADV7282-M は、2 線式シリアル双方向ポート (I<sup>2</sup>C 互換) を使って設定し、1.8V CMOS プロセスで製造されています。ADV7282/ADV7282-M はモノリシック CMOS 構造を採用しているため、小さい消費電力で多くの機能を動作させることができます。ADV7282/ADV7282-M の温度範囲は -40°C ~ +105°C です。このため、ADV7282/ADV7282-M は車載アプリケーションに最適です。

## アナログ・フロントエンド (AFE)

ADV7282/ADV7282-M のアナログ・フロントエンド (AFE) は、アナログ・ビデオ信号をデジタル化する 1 個の 10 ビット ADC で構成され、この出力は標準定義プロセッサ (SDP) に供給されます。この AFE では、ミックスド・シグナル・アプリケーションで高性能を保証し、さらに差動 CVBS 入力を直接 ADV7282/ADV7282-M へ接続できるようにするため ADC に対して差動チャンネルを採用しています。

また、この AFE には、複数のビデオ信号を ADV7282/ADV7282-M に入力するために入力マルチプレクサも内蔵されています。入力マルチプレクサを使うと、最大 4 個のコンポジット・ビデオ信号を ADV7282 へ入力でき、最大 6 個のコンポジット・ビデオ信号を ADV7282-M へ入力できます。

ADC の前には電流クランプが配置されているため、ビデオ信号が確実にコンバータの範囲内に入っています。

入力信号を ADC 範囲内に維持するために各アナログ入力チャンネルの前に抵抗分圧器回路が必要です (入力回路のセクション参照)。ビデオ信号微調整クランプは、ADV7282/ADV7282-M に内蔵されているデジタル微調整クランプ機能を使ってダウンストリームで実行されます。

表 11 に、処理対象ビデオ入力フォーマットで決まる 3 種類の ADC クロック・レートを示します。これらのクロック・レートは、CVBS、Y/C、YPrPb の各モードに対して各チャンネルで 4x オーバーサンプリングを可能にします。

表 11. ADC クロック・レート

Input Format	ADC Clock Rate (MHz) <sup>1</sup>	Oversampling Rate per Channel
CVBS	57.27	4x
Y/C (S-Video)	114	4x
YPrPb	172	4x

<sup>1</sup> XTALP ピンと XTALN ピンの間に 28.63636 MHz の水晶を接続。

ADV7282/ADV7282-M のフル差動 AFE は、固有の小信号/大信号ノイズ除去機能、電磁干渉 (EMI) 保護、グラウンド・バウンズ吸収機能を提供します。サポートは真の差動信号と疑似差動信号を対象にしています。

## 標準定義プロセッサ(SDP)

ADV7282/ADV7282-M は、コンポジット・フォーマット(シングルエンドと差動)、S ビデオ・フォーマット、コンポーネント・フォーマットの様々なベースバンド・ビデオ信号をデコーディングすることができます。このビデオ・プロセッサがサポートするビデオ標準には次が含まれます。

- PAL B、PAL D、PAL G、PAL H、PAL I、PAL M、PAL N、PAL Nc、PAL 60
- NTSC J、NTSC M、NTSC 4.43
- SECAM B、SECAM D、SECAM G、SECAM K、SECAM L

ADV7282/ADV7282-M は標準定義プロセッサ (SDP)を使用して、ビデオ標準を自動的に検出してそれを処理します。

ADV7282/ADV7282-M は 5 ライン適応 2D 楕型フィルタを内蔵しています。この楕型フィルタは、コンポジット・ビデオ信号をデコーディングする際に色信号と輝度信号の優れた分離性能を持っています。この適応型フィルタは、ビデオ標準と信号品質に応じて自動的に処理モードを調節するためユーザーの介入は不要です。ADV7282/ ADV7282-M では、輝度、コントラスト、飽和度、色相などのユーザーによるビデオ制御も行うことができます。

ADV7282/ADV7282-M は、VCR などのような信号源から出力されるライン長が変化するビデオ信号をトラッキングする特許取得済みの適応型デジタル・ライン長トラッキング(ADLLT™)アルゴリズムを採用しています。ADLLT を使うと、ADV7282/ADV7282-M は低品質のビデオ信号源をトラッキング/デコードできるようになります。このような信号源としては、VCR、チューナからのノイズの多い信号源、ビデオ・カメラなどがあり

ます。ADV7282/ADV7282-M は、色度信号変化のエッジをシャープにして、垂直変化をシャープにする CTI (Chroma Transient Improvement)プロセッサを内蔵しています。

適応型コントラスト・エンハンスメント (ACE)は、ピクチャ細部を強調するためコントラスト・レベルを自動的に変えるアルゴリズムを使ってビジュアル詳細を向上させます。ACE は、イメージの白領域を飽和させることなくイメージの黒領域のコントラストを強化します。この機能は、灰色領域で物体を識別することが重要となる車載アプリケーションで特に役立ちます。

ダウン・ディザリングは、ADV7282/ ADV7282-M 出力を 8 ビットから 6 ビット出力へ変換して、標準 LCD パネルのデザインを容易にします。

I2P ブロックは、外部メモリなしでインターレース・ビデオ入力をプログレッシブ・ビデオ出力へ変換します。

この SDP は、クローズド・キャプション(CCAP)、ワイド・スクリーン・シグナリング(WSS)、コピー生成マネジメント・システム(CGMS)、ワールド・システム・テレテキスト(WST)用のテレテキスト・データ・スライスなどの様々な VBI データ・サービスを処理することができます。VBI データは、補助データ・パケットとして MIPI CSI-2 リンクを介して送信されます。

ADV7282/ADV7282-M は Rovi® (Macrovision®)に準拠しており、検出回路は Type I、II、III の保護レベルを識別してユーザーに報告します。また、デコーダはすべての Macrovision 信号入力に対して十分強固です。

## 電源シーケンシング

### 最適なパワーアップ・シーケンス

ADV7282/ADV7282-M の最適パワーアップ・シーケンスでは、3.3 V  $D_{VDDIO}$  電源を最初にパワーアップさせ、続いて 1.8 V 電源 ( $D_{VDD}$ 、 $P_{VDD}$ 、 $A_{VDD}$ 、 $M_{VDD}$ ) をパワーアップさせます。 $M_{VDD}$  は ADV7282-M にのみ適用されることに注意してください。

ADV7282/ADV7282-M をパワーアップさせた後、次のステップに従います。パワーアップ時、すべての電源は絶対最大定格のセクションに示す仕様に従う必要があります。

1.  $\overline{PWRDWN}$  ピンと  $\overline{RESET}$  ピンをアサートします (ピンをロー・レベルにします)。
2.  $D_{VDDIO}$  電源をパワーアップさせます。
3.  $D_{VDDIO}$  がフル・アサートした後、1.8 V 電源をパワーアップさせます。
4. 1.8 V 電源がフル・アサートした後、 $\overline{PWRDWN}$  ピンをハイ・レベルにします。
5. 5 ms 待った後、 $\overline{RESET}$  ピンをハイ・レベルにします。
6. すべての電源、 $\overline{PWRDWN}$  ピン、 $\overline{RESET}$  ピンがパワーアップして安定したら、さらに 5 ms 待った後に ADV7282-M との  $I^2C$  通信を開始します。

### 簡略化したパワーアップ・シーケンス

あるいは、すべての電源、 $\overline{PWRDWN}$  ピン、 $\overline{RESET}$  ピンを同時にアサートして、ADV7282/ADV7282-M をパワーアップさせることができます。この動作の後、ソフトウェア・リセットを実行し、10 ms 待った後に、ADV7282/ADV7282-M との  $I^2C$  通信を開始させます。

電源の立上がり中に、低定格電源が高定格電源レベルを超えないように注意してください。パワーアップ時、すべての電源は絶対最大定格のセクションに示す仕様に従う必要があります。

### パワーダウン・シーケンス

ADV7282/ADV7282-M の電源は、 $D_{VDDIO}$  が低定格電源を下回らない限り同時にデアサートすることができます。

### $D_{VDDIO}$ 電源電圧

ADV7282-M の正常動作のためには、 $D_{VDDIO}$  電源は 2.97 V ~ 3.63 V である必要があります。

ただし、ADV7282 は、1.8 V の公称  $D_{VDDIO}$  電圧で動作することができます。この場合、前述のパワーアップ・シーケンスを使用してください。唯一の違いは、 $D_{VDDIO}$  が 3.3 V ではなく 1.8 V へパワーアップし、ADV7282 の  $\overline{PWRDWN}$  ピンと  $\overline{RESET}$  ピンは、3.3 V ではなく 1.8 V へパワーアップすることです。

ADV7282 が 1.8 V の公称  $D_{VDDIO}$  電圧で動作する場合、すべてのデジタル出力の駆動強度を最大に設定することに注意してください。

$D_{VDDIO}$  が 1.8 V の場合、3.3 V にプルアップされる ADV7282 ピンがないことに注意してください。例えば、ADV7282 の  $I^2C$  ピン (SCLK と SDATA) も 3.3 V へではなく 1.8 V へプルアップ抵抗する必要があります。

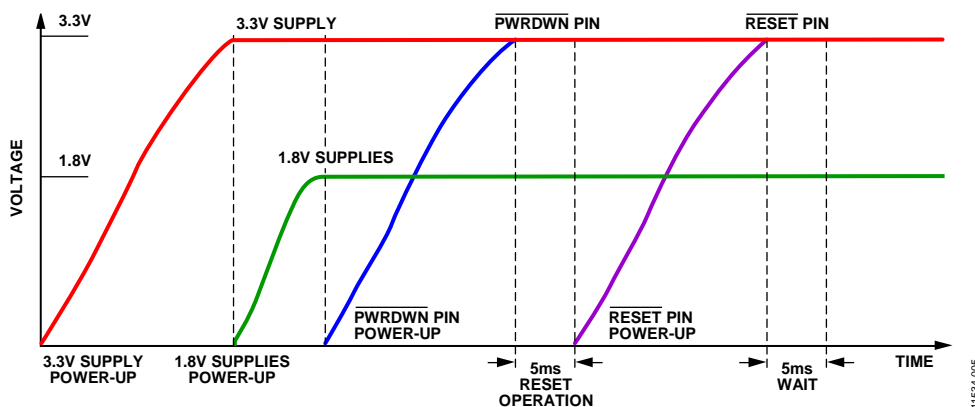


図 8.最適パワーアップ・シーケンス

## 入力回路

ADV7282/ADV7282-M の  $A_{INX}$  入力ピンには入力回路 (外付け抵抗とコンデンサ回路) が必要です。入力回路の部品は、アナログ入力に対して選択したビデオ・フォーマットに依存します。

### シングルエンド入力回路

図 9 に、次のビデオ入力フォーマットを使う際に ADV7282/ADV7282-M の各  $A_{INX}$  入力ピンで使う入力回路を示します。

- シングルエンド CVBS
- YC (S ビデオ)
- YPrPb

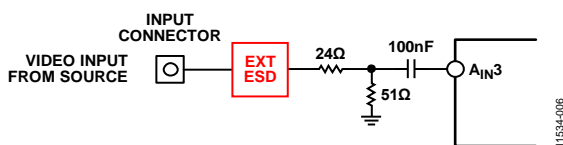


図 9. シングルエンド入力回路

24 Ω と 51 Ω の抵抗は、アナログ・ビデオ入力に必要な 75 Ω 終端を構成します。これらの抵抗は、ゲイン = 0.68 の抵抗分圧器も構成します。抵抗分圧器は入力アナログ・ビデオの振幅を減衰させて、ADV7282/ADV7282-M の ADC 入力範囲に合わせます。これにより、ADV7282/ADV7282-M の入力範囲を最大 1.47 V p-p まで可能にします。信号対ノイズ比 (SNR) 性能を維持するように入力信号振幅を ADC 内のアンプが再生することに注意してください。

100 nF の AC 結合コンデンサでアナログ入力ビデオの DC バイアスを除去した後、ADV7282/ADV7282-M の  $A_{INX}$  ピンへ入力されます。ADV7282/ADV7282-M 内のクランプ回路が入力信号の DC バイアスを最適レベルに再生した後、ADV7282/ADV7282-M の ADC へ入力されます。

### 差動入力回路

図 10 に、ADV7282/ADV7282-M の  $A_{INX}$  入力ピンに差動 CVBS ビデオが入力される際に使う入力回路を示します。

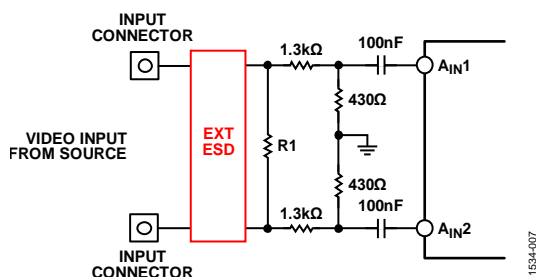


図 10. 差動入力回路

フル差動ビデオ伝送には、2 本の相補 CVBS 信号の伝送が含まれます。擬似差動ビデオ伝送には、CVBS 信号とソース・グラウンド信号の伝送が含まれます。

差動ビデオ伝送にはシングルエンド伝送に比べて次のような重要な利点があります。

- 小信号と大信号ノイズ除去機能を備えている
- EMI 性能が向上する
- グラウンド・バウンスを吸収できる

抵抗 R1 は、差動 CVBS 入力ラインに対する RF 終端を提供します。擬似差動 CVBS 入力の場合、75 Ω が R1 に対する推奨値です。フル差動 CVBS 入力の場合、150 Ω が R1 に対する推奨値です。

1.3 kΩ と 430 Ω の抵抗が、ゲイン = 0.25 の抵抗分圧器を構成します。抵抗分圧器は入力アナログ・ビデオ振幅を減衰させますが、ADV7282/ADV7282-M の入力同相モード範囲を 4 V p-p に広げます。ADC 内のアンプが SNR 性能を維持するように入力信号振幅を再生することに注意してください。

100 nF の AC 結合コンデンサでアナログ入力ビデオの DC バイアスを除去した後、ADV7282/ADV7282-M の  $A_{INX}$  ピンへ入力されます。ADV7282/ADV7282-M 内のクランプ回路が入力信号の DC バイアスを最適レベルに再生した後、ADV7282/ADV7282-M の ADC へ入力されます。

1.3 kΩ および 430 Ω の抵抗と 100 nF の AC 結合コンデンサの組み合わせにより、バッテリー短絡 (STB) 時に ADV7282/ADV7282-M に流れる電流を制限します (バッテリー短絡保護機能のセクション参照)。

最適性能を実現するためには、1.3 kΩ と 430 Ω の抵抗を一致させる必要があります。すなわち、すべての 1.3 kΩ と 430 Ω の抵抗は同じ抵抗許容誤差を持ち、この許容誤差はできるだけ小さい必要があります。

### バッテリー短絡保護機能

差動モードでは、100 nF の外付け AC 結合コンデンサによりバッテリー短絡 (STB) 時に ADV7282/ADV7282-M が保護されます (図 10 参照)。外部入力回路の抵抗サイズは、STB 時に電流が制限されるように十分大きく、かつ ADV7282/ADV7282-M 動作への影響を小さくするために十分小さくする必要があります。

入力回路抵抗の電力定格は、STB 時の高電圧に耐えるように選択する必要があります。同様に、AC 結合コンデンサのブレークダウン電圧は、STB 時に耐えるように選択する必要があります。R1 抵抗は、STB 時には電流が流れないか、制限されるため、保護されています。

ADV7282/ADV7282-M は STB 発生時に割込みの発生に使用できる 2 本の STB 診断ピンを提供しています。詳細については、バッテリー短絡 (STB) 診断のセクションを参照してください。



## 入力の構成

ADV7282/ADV7282-M の入力フォーマットは、INSEL[4:0] ビットを使って指定されます (表 12 参照)。これらのビットを使って、CVBS、差動 CVBS、Y/C (S ビデオ)、またはコンポーネント (YPrPb) フォーマットも処理するように SDP コアを設定します。INSEL[4:0] ビットは、レジスタ・スペースのアドレス 0x00[4:0] のユーザー・サブ・マップに配置してあります。レジスタの詳細については、レジスタ・マップのセクションを参照してください。

INSEL[4:0] ビットは、既定のアナログ入力ルーティング方式を指定し、マルチプレクサのマニュアル設定を不要にして、ユーザーが種々のビデオ信号タイプをデコーダルーティングできるようにします。例えば、CVBS 入力を選択する場合、残りのチャンネルはパワーダウンします。

表 12. INSEL[4:0] ビットで指定する入力フォーマット

INSEL[4:0] Bit Value	Video Format	Analog Inputs	
		ADV7282	ADV7282-M
00000	CVBS	CVBS input on A <sub>IN</sub> 1	CVBS input on A <sub>IN</sub> 1
00001	CVBS	CVBS input on A <sub>IN</sub> 2	CVBS input on A <sub>IN</sub> 2
00010	CVBS	Reserved	CVBS input on A <sub>IN</sub> 3
00011	CVBS	Reserved	CVBS input on A <sub>IN</sub> 4
00100	Reserved	Reserved	Reserved
00101	Reserved	Reserved	Reserved
00110	CVBS	CVBS input on A <sub>IN</sub> 3	CVBS input on A <sub>IN</sub> 5
00111	CVBS	CVBS input on A <sub>IN</sub> 4	CVBS input on A <sub>IN</sub> 6
01000	Y/C (S-Video)	Y input on A <sub>IN</sub> 1; C input on A <sub>IN</sub> 2	Y input on A <sub>IN</sub> 1; C input on A <sub>IN</sub> 2
01001	Y/C (S-Video)	Reserved	Y input on A <sub>IN</sub> 3; C input on A <sub>IN</sub> 4
01010	Reserved	Reserved	Reserved
01011	Y/C (S-Video)	Y input on A <sub>IN</sub> 3; C input on A <sub>IN</sub> 4	Y input on A <sub>IN</sub> 5; C input on A <sub>IN</sub> 6
01100	YPrPb	Reserved <sup>1</sup>	Y input on A <sub>IN</sub> 1; Pb input on A <sub>IN</sub> 2; Pr input on A <sub>IN</sub> 3
01101	Reserved	Reserved	Reserved
01110	Differential CVBS	Positive input on A <sub>IN</sub> 1; Negative input on A <sub>IN</sub> 2	Positive input on A <sub>IN</sub> 1; Negative input on A <sub>IN</sub> 2
01111	Differential CVBS	Reserved	Positive input on A <sub>IN</sub> 3; Negative input on A <sub>IN</sub> 4
10000	Reserved	Reserved	Reserved
10001	Differential CVBS	Positive input on A <sub>IN</sub> 3; Negative input on A <sub>IN</sub> 4	Positive input on A <sub>IN</sub> 5; Negative input on A <sub>IN</sub> 6
10010 to 11111	Reserved	Reserved	Reserved

<sup>1</sup> ADV7282 は YPbPr フォーマットを受信できますが、マニュアル・マルチプレクス方式が必要なことに注意してください。この場合、輝度信号 (Y) が A<sub>IN</sub>1 または A<sub>IN</sub>3 に、青の色度信号 (Pb) が A<sub>IN</sub>4 に、赤の色度信号 (Pr) が A<sub>IN</sub>2 に、それぞれ入力されます。

## バッテリー短絡 (STB) 診断

ADV7282/ADV7282-M は、DIAG1 ピンと DIAG2 ピンを使って STB イベントを検出します。DIAG1 ピンと DIAG2 ピンでは、正または負の差動入力で STB イベントを検出することができます。これは、抵抗 R1 の電圧降下を無視できるためです。

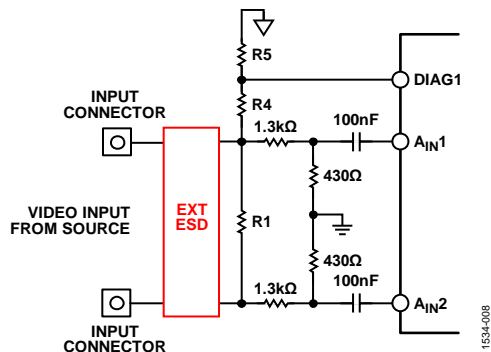


図 11. 診断接続

抵抗 R4 と R5 は、入力コネクタの電圧を分割して STB イベントから DIAGx ピンを保護します。DIAGx ピン回路は、この電圧を診断スライス・レベルと呼ばれるプログラマブルなリファレンス電圧と比較します。診断スライス・レベルを超えると、STB イベントが発生します。

DIAGx ピン電圧が診断スライス・レベル電圧を超えると、ハードウェア割込みが発生して、`INTRQ` ピンにより表示されます。リードバック・レジスタも用意してあります。このレジスタを使うと、ユーザーは STB イベントが発生した DIAGx ピンを知ることができます。

式 1 を使って、選択した診断スライス・レベルに対するトリガ電圧を求めてください。

$$V_{STB\_TRIGGER} = \frac{R5 + R4}{R5} \times DIAGNOSTIC\_SLICE\_LEVEL \quad (1)$$

ここで、

$V_{STB\_TRIGGER}$  は、ADV7282/ADV7282-M で STB 割込みを発生させるために入力コネクタで必要とされる最小電圧。

$DIAGNOSTIC\_SLICE\_LEVEL$  は、プログラマブルなリファレンス電圧。

### STB 診断機能の設定

デフォルトで、ADV7282/ADV7282-M の STB 診断機能はディスエーブルされています。イネーブルを診断機能するときには、このセクションの説明に従ってください。

#### DIAG1 ピン

DIAG1\_SLICER\_PWRDN、ユーザー・サブ・マップ、アドレス 0x5D[6]

このビットは、DIAG1 ピンの診断回路をパワーアップまたはパワーダウンさせます。

表 13. DIAG1\_SLICER\_PWRDN 機能

DIAG1_SLICER_PWRDN	Diagnostic Slice Level
0	Power up the diagnostic circuitry for the DIAG1 pin.
1 (default)	Power down the diagnostic circuitry for the DIAG1 pin.

#### DIAG1\_SLICE\_LEVEL[2:0]、ユーザー・サブ・マップ アドレス 0x5D[4:2]

DIAG1\_SLICE\_LEVEL[2:0] ビットを使うと、ユーザーは DIAG1 ピンの診断スライス・レベルを設定することができます。診断スライス・レベルより高い電圧が DIAG1 ピンで検出されると、STB 割込みが発生します。

診断スライス・レベルを正しく設定するためには、DIAG1 ピンの診断回路がパワーアップしている必要があります (表 13 参照)。

表 14. DIAG1\_SLICE\_LEVEL[2:0] の設定値

DIAG1_SLICE_LEVEL[2:0]	Diagnostic Slice Level
000	75 mV
001	225 mV
010	375 mV
011 (default)	525 mV
100	675 mV
101	825 mV
110	975 mV
111	1.125 V

**DIAG2 ピン****DIAG2\_SLICER\_PWRDN、ユーザー・サブ・マップ  
アドレス 0x5E[6]**

このビットは、DIAG2 ピンの診断回路をパワーアップまたはパワーダウンさせます。

表 15. DIAG2\_SLICER\_PWRDN 機能

DIAG2_SLICER_PWRDN	Diagnostic Slice Level
0	Power up the diagnostic circuitry for the DIAG2 pin.
1 (default)	Power down the diagnostic circuitry for the DIAG2 pin.

**DIAG2\_SLICE\_LEVEL[2:0]、ユーザー・サブ・マップ  
アドレス 0x5E[4:2]**

DIAG2\_SLICE\_LEVEL[2:0] ビットを使うと、ユーザーは DIAG2 ピンの診断スライス・レベルを設定することができます。診断スライス・レベルより高い電圧が DIAG2 ピンで検出されると、STB 割込みが発生します。

診断スライス・レベルを正しく設定するためには、DIAG2 ピンの診断回路がパワーアップしている必要があります (表 15 参照)。

表 16. DIAG2\_SLICE\_LEVEL[2:0] の設定値

DIAG2_SLICE_LEVEL[2:0]	Diagnostic Slice Level
000	75 mV
001	225 mV
010	375 mV
011 (default)	525 mV
100	675 mV
101	825 mV
110	975 mV
111	1.125 V

## 適応型コントラスト・エンハンスメント (ACE)

ADV7282/ADV7282-M は、ピクチャの内容に応じて、イメージのコントラストを強化することができるため、白領域をさらに明るく、黒領域をさらに暗くすることができます。オプションのこの ACE 機能は、黒領域内のコントラストの強化を白領域に大きな影響を与えることなく可能にします。ACE 機能は、灰色領域で物体を識別することが重要となる車載アプリケーションで特に役立ちます。

ACE 機能はデフォルトでディスエーブルされています。ACE 機能をイネーブルするときは、表 17 に示すレジスタ書き込みを行います。ACE 機能をディスエーブルするときは、表 18 に示すレジスタ書き込みを行います。

表 17.ACE 機能をイネーブルするレジスタ書き込み

Register Map	Register Address	Register Write	Description
User Sub Map (0x40 or 0x42)	0x0E	0x40	Enter User Sub Map 2
User Sub Map 2 (0x40 or 0x42)	0x80	0x80	Enable ACE
User Sub Map 2 (0x40 or 0x42)	0x0E	0x00	Reenter user sub map

表 18.ACE 機能をディスエーブルするレジスタ書き込み

Register Map	Register Address	Register Write	Description
User Sub Map (0x40 or 0x42)	0x0E	0x40	Enter User Sub Map 2
User Sub Map 2 (0x40 or 0x42)	0x80	0x00	Disable ACE
User Sub Map 2 (0x40 or 0x42)	0x0E	0x00	Reenter user sub map

## I2P 機能

高度なインターレース/プログレッシブ (I2P) 機能により、ADV7282/ADV7282-M はインターレース・ビデオ入力をプログレッシブ・ビデオ出力へ変換します。この機能は、外付けメモリなしで実行することができます。ADV7282/ ADV7282-M では、エッジ適応型技術を使って低角度ラインのビデオ欠陥を小さくします。

I2P 機能はデフォルトでディスエーブルされています。I2P 機能をイネーブルするときは、アナログ・デバイセスが提供する推奨スクリプトを使用してください。

## ITU-R BT.656 TX の設定 (ADV7282の場合)

ADV7282 はアナログ・ビデオを受信し、ITU-R BT.656 仕様に従ってデジタル・ビデオを出力します。ADV7282 は、P0～P7 のデータ・ピンに ITU-R BT.656 ビデオ・データ・ストリームを出力し、ライン・ロック・クロック (LLC) ピンを持っています。

ビデオ・データは、YCrCb 4:2:2 フォーマットで P0～P7 ピンに出

力されます。同期信号は、ITU-R BT.656 仕様に従ってビデオ・データ信号に自動的に組み込まれます。

LLC 出力を使って、公称周波数 27 MHz で P0～P7 ピンにデータを出力します。

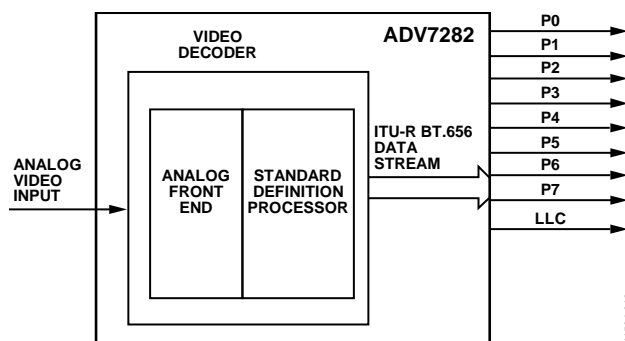


図 12. ADV7282 の ITU-R BT.656 出カステージ

## MIPI CSI-2出力 (ADV7282-M の場合)

ADV7282-M のデコーダは、ITU-R BT.656 データ・ストリームを出力します。ITU-R BT.656 データ・ストリームは、CSI-2 Tx モジュールに接続されます。CSI-2 Tx モジュールからのデータは、D-PHY 物理層に入力され、デバイスからシリアルに出力されます。

ADV7282-M の出力は、D0P レーンと D0N レーンのシングル・データ・チャンネル、および CLKP レーンと CLKN レーンのクロック・チャンネルから構成されています。

ビデオ・データは、高速モードでデータ・レーンから出力されます。データ・レーンは、水平と垂直のブランキング区間で低消費電力モードになります。

クロック・レーンは、出力ビデオをクロック駆動するときに使

用されます。ADV7282-M を設定した後、クロック・レーンは低消費電力モードを抜け出して、デバイスのリセットまたはパワーダウンまで高速モードを維持します。

ADV7282-M は、ビデオ・データを 8 ビット YCrCb 4:2:2 フォーマットで出力します。I2P コアがディスエーブルされると、ビデオ・データは公称データレート 216 Mbps のインターレース・フォーマットで出力されます。I2P コアがイネーブルされると、ビデオ・データは公称データレート 432 Mbps のプログレッシブ・フォーマットで出力されます (詳細については、I2P 機能のセクションを参照してください)。

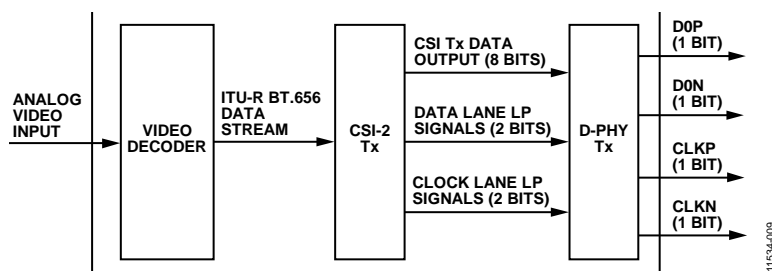


図 13. ADV7282-M の MIPI CSI-2 出力ステージ

## I<sup>2</sup>C ポートの説明

ADV7282/ADV7282-M は、2 線式の I<sup>2</sup>C 互換シリアル・インターフェースをサポートしています。シリアル・データ (SDATA) とシリアル・クロック (SCLK) の 2 本の入力、ADV7282/ADV7282-M とシステム I<sup>2</sup>C マスター・コントローラとの間で情報を転送します。ADV7282/ADV7282-M の I<sup>2</sup>C ポートを使うと、ユーザーはデコーダをセットアップ/設定することができ、キャプチャした VBI データをリードバックすることができます。

ADV7282/ADV7282-M は複数の I<sup>2</sup>C スレーブ・アドレスとサブアドレスを持っています (レジスタ・マップのセクションを参照してください)。ADV7282/ADV7282-M のメイン・マップは、ALSIB ピンのロジック・レベルに応じて、読出し動作と書き込み動作に対して 4 個のスレーブ・アドレスを持ちます (表 19 参照)。

表 19. ADV7282-M のメイン・マップ I<sup>2</sup>C アドレス

ALSIB Pin	R/W Bit	Slave Address
0	0	0x40 (write)
0	1	0x41 (read)
1	0	0x42 (write)
1	1	0x43 (read)

ALSIB ピンは、スレーブ・アドレスのビット 1 を制御します。ALSIB ピンのロジック・レベルを変更することにより、1 つのアプリケーション内で同じ I<sup>2</sup>C スレーブ・アドレスを使わずに 2 個の ADV7282/ADV7282-M デバイスを制御することができます。LSB (ビット 0) は、読出し動作または書き込み動作を指定します。ロジック 1 は読出し動作に、ロジック 0 は書き込み動作に、それぞれ対応します。

バス上のデバイスを制御するときは、特定のプロトコルに従う必要があります。

1. マスターはスタート条件を設定してデータ転送を開始します。このスタート条件は、SCLK がハイ・レベルの間の、SDATA 上のハイ・レベルからロー・レベルへの変化として定義されています。さらにアドレス/データ・ストリームが続くことを表示します。
2. すべてのペリフェラルはスタート状態に回答して、次の 8 ビット (7 ビット・アドレス + R/W ビット) をシフトします。各ビットは、MSB から LSB への順に転送されます。
3. 送信されたアドレスに対応するアドレスを持つペリフェラルは、9 番目のクロック・パルス区間中に、データラインをロー・レベルにプルダウンして応答します。これはアック (ACK) ビットと呼ばれています。

4. バス上の他のすべてのデバイスが接続を辞退して、アイドル状態を維持します。このアイドル状態では、各デバイスは SDATA ラインと SCLK ラインをモニタして、スタート条件と正しい送信アドレスの受信を待ちます。

R/W ビットによりデータの転送方向が指定されます。先頭バイトの LSB がロジック 0 のとき、マスターがペリフェラルに情報を書込むことを意味します。先頭バイトの LSB がロジック 1 のとき、マスターがペリフェラルから情報を読出すことを意味します。

ADV7282/ADV7282-M はバス上の標準 I<sup>2</sup>C スレーブ・デバイスとして機能します。SDATA ピン上のデータは 8 ビット長で、7 ビット・アドレス + R/W ビットをサポートしています。デバイスは内部レジスタへのアクセスを可能にするサブアドレスを持っているため、先頭バイトをデバイス・アドレスとして、2 番目のバイトを開始サブアドレスとして、それぞれ解釈します。サブアドレスのオートインクリメント機能により、サブアドレスの先頭からデータの書き込みまたは読出しが可能になっています。データ転送は常にストップ状態により終了します。すべてのレジスタを更新することなく、個別のサブアドレス・レジスタを 1 個ずつアクセスすることもできます。

ストップ状態とスタート状態は、データ転送の任意のステージで検出することができます。通常読出し動作と書き込み動作で、これらの状態が検出されると、直ちにアイドル状態になります。SCLK のハイ・レベルの区間に、1 スタート状態、1 ストップ状態、または 1 ストップ状態に続いて 1 スタート状態を発生させることができます。無効なサブアドレスが指定されると、ADV7282/ADV7282-M はアックを発生しないでアイドル状態に戻ります。

オートインクリメント・モードで最高サブアドレスを超えると、次の動作が実行されます。

- 読出しモードでは、マスター・デバイスが読出しの終了を表示するナックを発行するまで、最高サブアドレス・レジスタの値が出力され続けます。ナック状態は、9 番目のパルスで SDATA ラインがロー・レベルにならないときに発生します。
- 書き込みモードでは、無効バイトのデータはサブアドレス・レジスタにロードされません。ADV7282/ADV7282-M はアックノリッジを発行しないで、アイドル状態に戻ります。

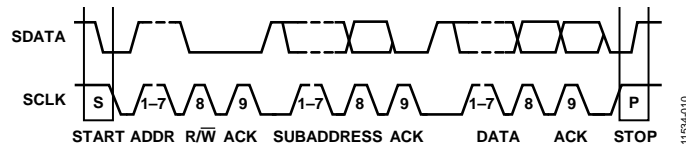


図 14. バス・データの転送

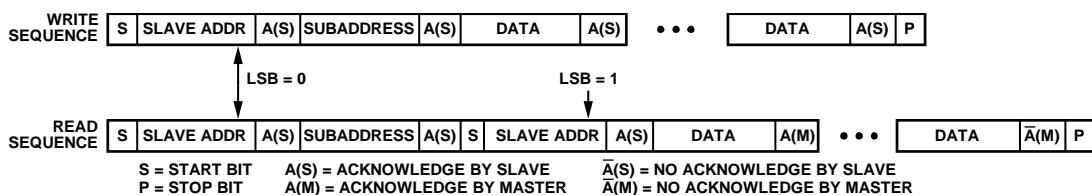


図 15. 読み書きシーケンス



## レジスタ・マップ

ADV7282 は、メイン・レジスタ・マップと VPP レジスタ・マップの2つのレジスタ・マップを持っています。

ADV7282-M は、メイン・レジスタ・マップ、VPP レジスタ・マップ、CSI レジスタ・マップの3つのレジスタ・マップを持っています(図 16 参照)。

ADV7282/ADV7282-M のメイン・マップには、ユーザー・サブ・マップ、割込み/VDP マップ、ユーザー・サブ・マップ 2 の3つのサブ・マップが含まれることに注意してください。

## メイン・マップ

ADV7282/ ADV7282-M のメイン・マップの I<sup>2</sup>C スレーブ・アドレスは、ALSB ピンによって設定されます(表 19 参照)。メイン・マップを使って、VPP マップと CSI マップの I<sup>2</sup>C スレーブ・アドレスを設定することができます。メイン・マップには、ユーザー・サブ・マップ、割込み/VDP サブ・マップ、ユーザー・サブ・マップ 2 の3つのサブ・マップが含まれます。これら3つのサブ・マップは、メイン・マップ内で SUB\_USR\_EN ビット(アドレス 0x0E[6:5])に書き込みを行うことによりアクセスされます(図 16 と表 20 参照)。

## ユーザー・サブ・マップ

ユーザー・サブ・マップには、ADV7282/ADV7282-M のアナログ・フロントエンドとデジタル・コアを設定するレジスタが含まれています。ユーザー・サブ・マップは、メイン・マップと同じ I<sup>2</sup>C スレーブ・アドレスを持っています。ユーザー・サブ・マップをアクセスするときは、メイン・マップ(アドレス 0x0E[6:5])の SUB\_USR\_EN ビットに 00 を設定します。

## 割込み/VDP サブ・マップ

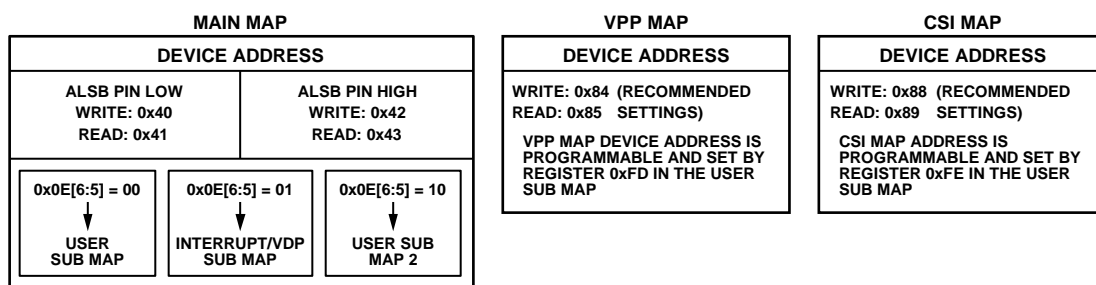
割込み/VDP サブ・マップには、内部割込みの設定、 $\overline{\text{INTRQ}}$  ピンの制御、垂直ブランキング・インターバル (VBI) データのデコードに使用できるレジスタが含まれています。

割込み/VDP サブ・マップは、メイン・マップと同じ I<sup>2</sup>C スレーブ・アドレスを持っています。割込み/VDP サブ・マップをアクセスするときは、メイン・マップ(アドレス 0x0E[6:5])の SUB\_USR\_EN ビットに 01 を設定します。

## ユーザー・サブ・マップ 2

ユーザー・サブ・マップ 2 には、ACE、ダウン・ディザ、高速ロック機能の制御に使用するレジスタが含まれています。ADV7282/ ADV7282-M がフリー・ラン・モードとカラー・キル・モードになる前の輝度と色度の許容入力限界値を設定する制御も含まれています。

ユーザー・サブ・マップ 2 は、メイン・マップと同じ I<sup>2</sup>C スレーブ・アドレスを持っています。ユーザー・サブ・マップ 2 をアクセスするときは、メイン・マップ(アドレス 0x0E[6:5])の SUB\_USR\_EN ビットに 10 を設定します。



### NOTES

1. CSI MAP ONLY APPLIES TO THE ADV7282-M MODEL.

11534-012

図 16. レジスタ・マップとサブ・マップ・アクセス

表 20. I<sup>2</sup>C レジスタ・マップとサブ・マップ・アドレス

ALSB Pin	R/W Bit	Slave Address	SUB_USR_EN Bits (Address 0x0E[6:5])	Register Map or Sub Map
0	0 (write)	0x40	00	User sub map
0	1 (read)	0x41	00	User sub map
0	0 (write)	0x40	01	Interrupt/VDP sub map
0	1 (read)	0x41	01	Interrupt/VDP sub map
0	0 (write)	0x40	10	User Sub Map 2
0	1 (read)	0x41	10	User Sub Map 2
1	0 (write)	0x42	00	User sub map
1	1 (read)	0x43	00	User sub map
1	0 (write)	0x42	01	Interrupt/VDP sub map
1	1 (read)	0x43	01	Interrupt/VDP sub map
1	0 (write)	0x42	10	User Sub Map 2
1	1 (read)	0x43	10	User Sub Map 2
X <sup>1</sup>	0 (write)	0x84	XX <sup>1</sup>	VPP map
X <sup>1</sup>	1 (read)	0x85	XX <sup>1</sup>	VPP map
X <sup>1</sup>	0 (write)	0x88	XX <sup>1</sup>	CSI map (ADV7282-M only)
X <sup>1</sup>	1 (read)	0x89	XX <sup>1</sup>	CSI map (ADV7282-M only)

<sup>1</sup> X と XX は don't care を意味します。

### VPP マップ

ビデオ・ポストプロセッサ (VPP) マップには、I2P コア (インターレース/プログレッシブ・コンバータ) を制御するレジスタが含まれています。

VPP マップはプログラマブルな I<sup>2</sup>C スレーブ・アドレスを持ち、このアドレスはメイン・マップのユーザー・サブ・マップ内にあるレジスタ 0xFD を使って設定します。VPP マップ・アドレスのデフォルト値は 0x00 ですが、I<sup>2</sup>C スレーブ・アドレスがリセットされるまで VPP マップをアクセスすることはできません。VPP マップの推奨 I<sup>2</sup>C スレーブ・アドレスは 0x84 です。

VPP マップの I<sup>2</sup>C スレーブ・アドレスをリセットするときは、メイン・レジスタ・マップ (アドレス 0xFD[7:1]) 内の VPP\_SLAVE\_ADDRESS[7:1] ビットに書き込みを行います。これらのビットに値 0x84 を設定してください (I<sup>2</sup>C 書き込みアドレス; I<sup>2</sup>C 読み出しアドレスは 0x85)。

### CSI マップ (ADV7282-M の場合)

CSI マップには、ADV7282-M からの MIPI CSI-2 出力ストリームを制御するレジスタが含まれています。

CSI マップはプログラマブルな I<sup>2</sup>C スレーブ・アドレスを持ち、このアドレスはメイン・マップのユーザー・サブ・マップ内にあるレジスタ 0xFE を使って設定します。CSI マップ・アドレスのデフォルト値は 0x00 ですが、I<sup>2</sup>C スレーブ・アドレスがリセットされるまで CSI マップをアクセスすることはできません。CSI マップの推奨 I<sup>2</sup>C スレーブ・アドレスは 0x88 です。

CSI マップの I<sup>2</sup>C スレーブ・アドレスをリセットするときは、メイン・レジスタ・マップ (アドレス 0xFE[7:1]) 内の CSI\_TX\_SLAVE\_ADDRESS[7:1] ビットに書き込みを行います。これらのビットに値 0x88 を設定してください (I<sup>2</sup>C 書き込みアドレス; I<sup>2</sup>C 読み出しアドレスは 0x89)。

### SUB\_USR\_EN ビット、アドレス 0x0E[6:5]

ADV7282/ADV7282-M メイン・マップには、ユーザー・サブ・マップ、割込み/VDP サブ・マップ、ユーザー・サブ・マップ 2 の 3 つのサブ・マップが含まれています (図 16 参照)。ユーザー・サブ・マップは、デフォルトで使用可能です。他の 2 つのサブ・マップは、SUB\_USR\_EN ビットを使ってアクセスされます。割込み/VDP マップまたはユーザー・サブ・マップ 2 の設定が完了したとき、ユーザー・サブ・マップに戻るため SUB\_USR\_EN ビットへの書き込みが必要です。

## PCBレイアウトの推奨事項

ADV7282/ADV7282-M は高精度の高速ミックス・シグナル・デバイスです。製品の最大性能を引き出すためには、PCB ボードの優れたデザインが重要です。このセクションでは、ADV7282/ADV7282-M 用 PCB デザインのガイドラインを示します。

### アナログ・インターフェース入力

PCB 上でアナログ・インターフェース入力を配線するときは、パターン長を最小にしてください。可能な場合は  $75 \Omega$  パターン・インピーダンスを使用してください。 $75 \Omega$  以外のパターン・インピーダンスは、反射の可能性を大きくします。

### 電源のデカップリング

各電源ピンに  $100 \text{ nF}$  と  $10 \text{ nF}$  のコンデンサを接続してデカップリングすることが推奨されます。デカップリング・コンデンサは、各電源ピンの約  $0.5 \text{ cm}$  以内に配置することが基本です。デカップリング・コンデンサは ADV7282/ADV7282-M と反対側の PCB に配置しないでください。これは、パス内に誘導性ビアが発生してしまうためです。

デカップリング・コンデンサは、電源プレーンと電源ピンの間に配置します。電流は、電源プレーンからコンデンサを経由して電源ピンへ流れるようにします。コンデンサと電源ピンの間に電源接続を設けないでください。コンデンサ・パッドの近くまたは下から電源プレーンへビアを配置することは、最適な方法です(図 17 参照)。

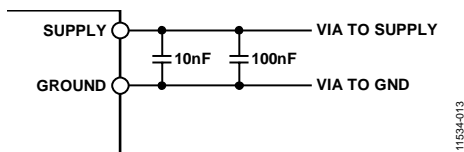


図 17. 推奨電源デカップリング

$P_{VDD}$  ピンのノイズを小さくし、優れた安定性を維持することは特に重要です。レギュレーション、フィルタ、デカップリングには特別な注意を払う必要があります。各回路グループ ( $A_{VDD}$ 、 $D_{VDD}$ 、 $D_{VDDIO}$ 、 $M_{VDD}$ 、 $P_{VDD}$ ) に対して個別に安定化した電源を使用することが強く推奨されます。 $M_{VDD}$  は ADV7282-M にのみ適用されることに注意してください。

グラフィック・コントローラによっては、アクティブ時(アクティブ・ピクチャ区間)とアイドル時(水平および垂直の同期区間)で、消費電力レベルが大幅に異なるものがあります。この相違のためにアナログ電源レギュレータに加えられる電圧に大きな変化が発生して、この変化が安定化されたアナログ電源電圧へ出力されることがあります。アナログ電源の安定化により、または少なくとも  $P_{VDD}$  電源だけでも別のクリーンな電源(例えば  $12 \text{ V}$  電源)を使うことによって、この問題は緩和されます。

ボード全体に対して 1 枚のグラウンド・プレーンを使うことも推奨されます。一枚のグラウンド・プレーンを使用すると、ノイズ性能が同じか良くなることが経験的に示されています。複数に分けたグラウンド・プレーンを使用すると、各グラウンド・プレーンが小さくなり、グラウンド・ループが長くなるため、良い結果が得られません。

### VREFN ピンと VREFP ピン

VREFN ピンと VREFP ピンに接続される回路は ADV7282/ADV7282-M のできるだけ近くに配置し、デバイスと同じ側の PCB に配置してください。

### デジタル出力

ADV7282 デジタル出力は、 $\overline{\text{INTRQ}}$ 、LLC、P0:P7 です。ADV7282-M デジタル出力は、 $\text{INTRQ}$ 、GPO0~GPO2 です。

デジタル出力が駆動しなければならないパターン長を最小にしてください。パターンを長くすると容量も増えて、電流も増えるため、内部デジタル・ノイズが大きくなります。パターンを短くすると、反射の可能性も小さくなります。

$30 \Omega \sim 50 \Omega$  の直列抵抗を接続すると、反射、EMI、ADV7282/ADV7282-M 内部の電流スパイクを小さくすることができます。直列抵抗を使う場合は、ADV7282/ADV7282-M ピンのできるだけ近くに配置します。ただし、抵抗を近くに配置するために、ビアの追加や出力パターンを長くすることは避けてください。

可能な場合、各デジタル出力が駆動する容量を  $15 \text{ pF}$  以下に制限してください。これは、パターンを短くし、出力を 1 個のデバイスだけへ接続することにより容易に実現することができます。出力の負荷容量が大きくなると、ADV7282/ADV7282-M 内部で電流トランジェントが増えて、電源のデジタル・ノイズが大きくなります。

### エクスポーズド金属パッド

ADV7282/ADV7282-M にはパッケージ底面にエクスポーズド金属パッドがあります。このパッドはグラウンドへハンダ付けする必要があります。エクスポーズド・パッドは、適切な熱放散、ノイズ抑圧、機械的強度のために使用されます。

### デジタル入力

ADV7282/ADV7282-M のデジタル入力は  $1.8 \text{ V}$  信号 ( $D_{VDDIO}$  は  $3.3 \text{ V}$ ) で動作するようにデザインされているため、 $5 \text{ V}$  信号に耐えることはできません。デコーダに  $5 \text{ V}$  ロジック信号を入力する場合は、追加部品が必要です。

### MIPI 出力 (D0P、D0N、CLKP、CLKN) ADV7282-M の場合

MIPI 出力パターンはできるだけ短くし、PCB の ADV7282-M デバイスと同じ側に設けることが推奨されます。また、MIPI パターンと隣接する層に厚いプレーン (望ましくはグラウンド・プレーン) を配置して厚いリファレンス・プレーンを提供することも推奨されます。

MIPI 伝送は、差動モードとシングルエンド・モードで動作します。高速伝送時、出力対は 差動モードで動作し、低消費電力モードでは、この対は 2 つの独立したシングルエンド・パターンで動作します。このため、各出力対は 2 本の密に結合する  $50 \Omega$  シングルエンド・パターンとして配線して、低消費電力モードでの 2 本のパターン間のクロストークの危険性を少なくすることが推奨されます。

代表的な回路接続

図 18 に、ADV7282 の接続方法の例を示します。ADV7282 評価用ボードの詳しい回路図については、最寄りのアナログ・デバイセズ代理店にお尋ねください。

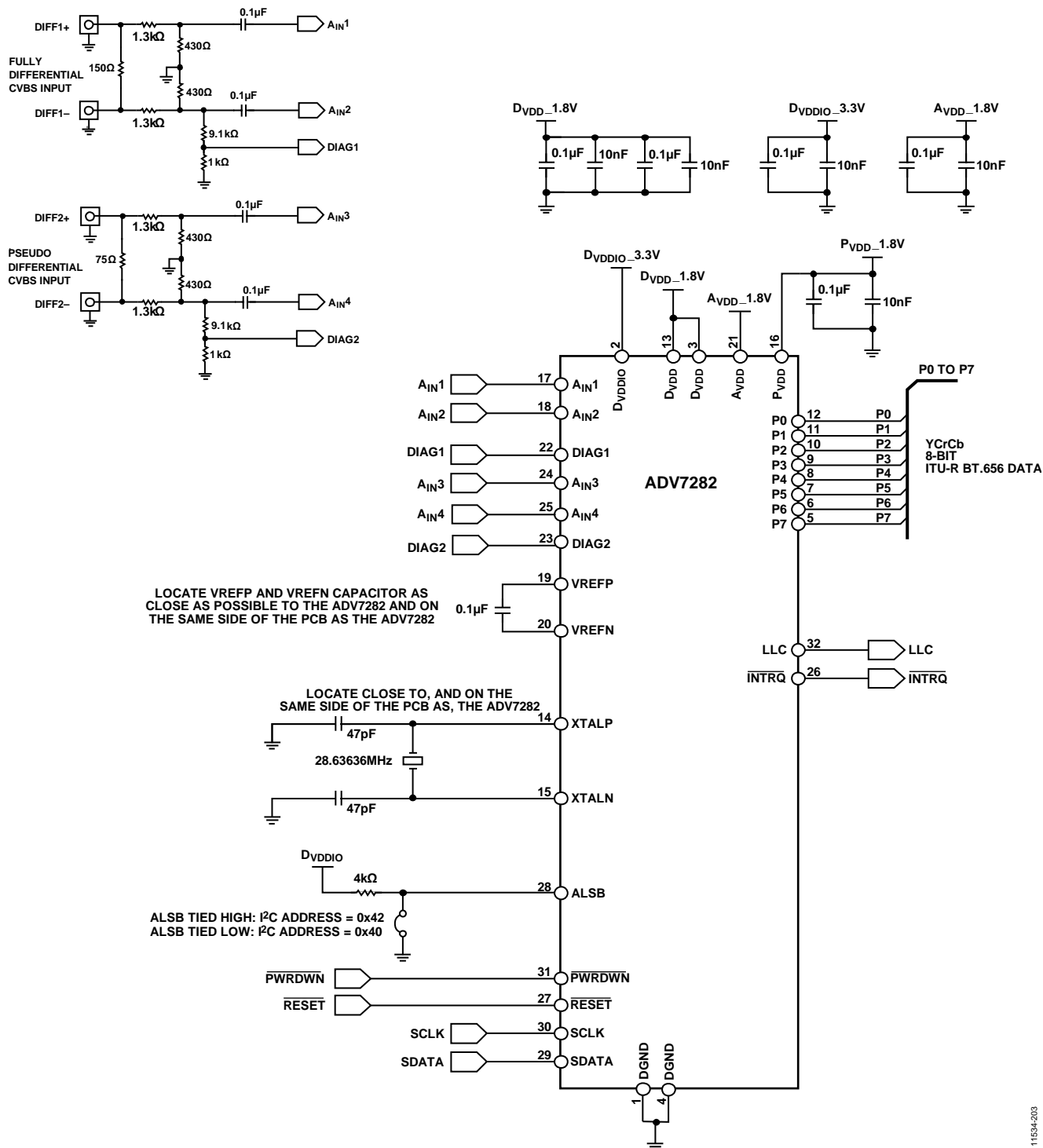


図 18.代表的な接続図、ADV7282

11594-203

図 19 に、ADV7282-M の接続方法の例を示します。ADV7282-M 評価用ボードの詳しい回路図については、最寄りのアナログ・デバイス代理店にお尋ねください。

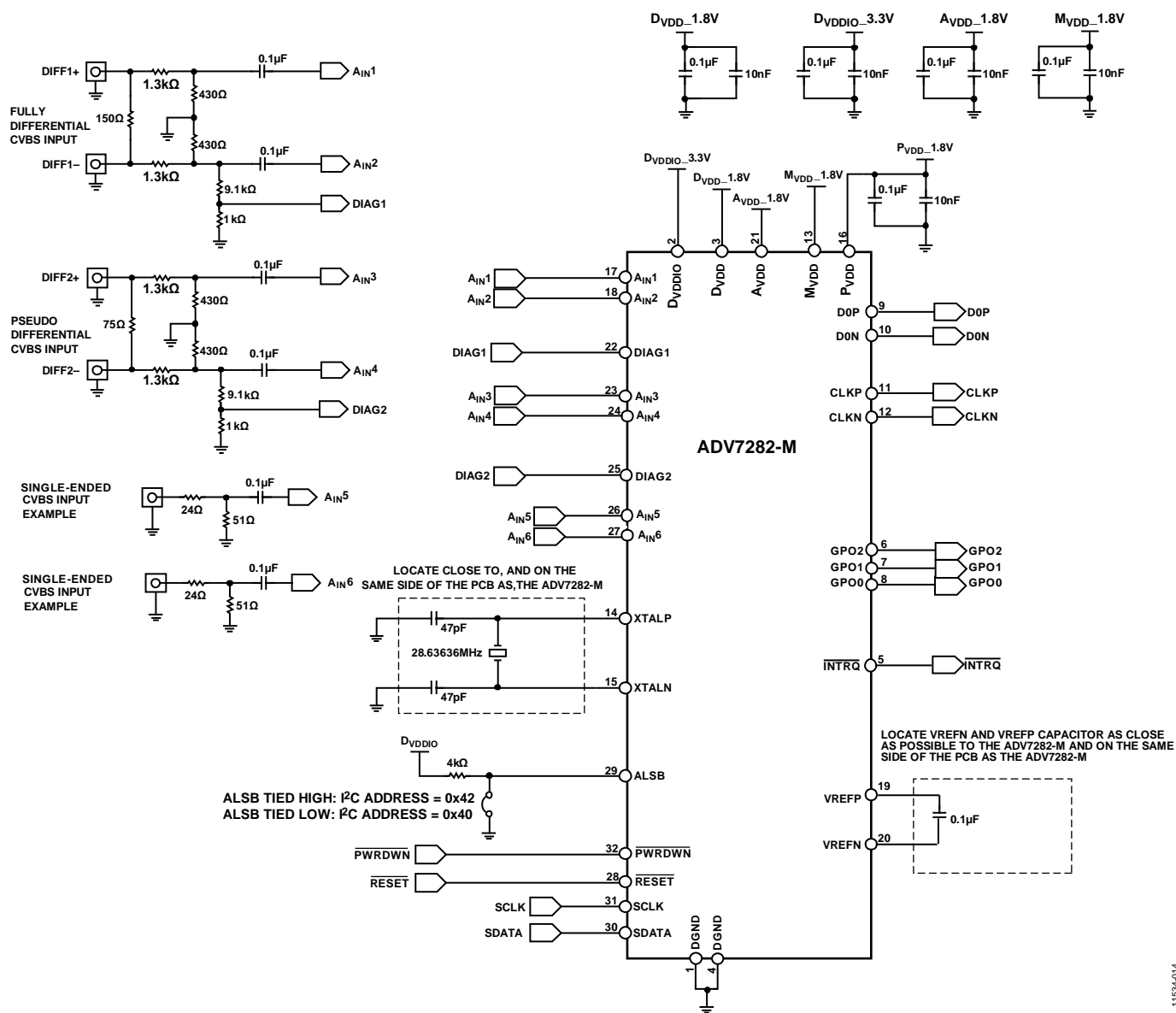
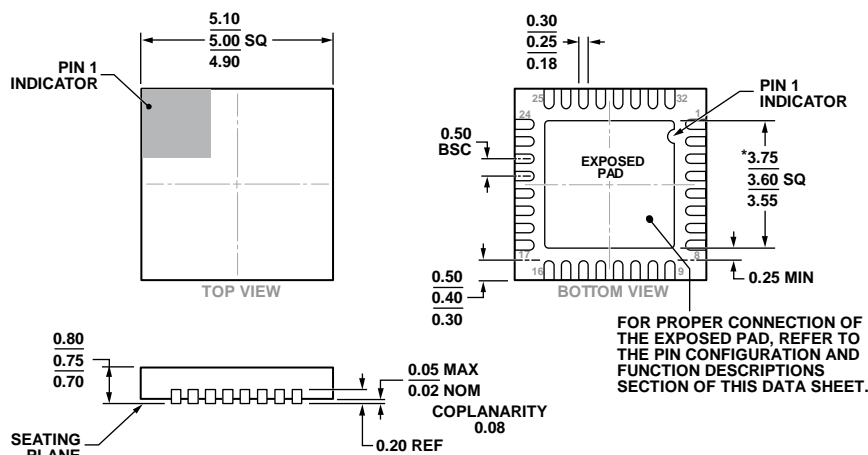


図 19.代表的な接続図

11534-014

外形寸法



\*COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5 WITH THE EXCEPTION OF THE EXPOSED PAD DIMENSION.

08-16-2010-B

図 20.32 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WQ]  
5 mm x 5 mm ボディ、極薄クワッド  
(CP-32-12)  
寸法: mm

オーダー・ガイド

Model <sup>1,2</sup>	Temperature Range	Package Description	Package Option
ADV7282WBCPZ	-40°C to +105°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
ADV7282WBCPZ-RL	-40°C to +105°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
ADV7282WBCPZ-M	-40°C to +105°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
ADV7282WBCPZ-M-RL	-40°C to +105°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
EVAL-ADV7282EBZ		Evaluation Board for the ADV7282	
EVAL-ADV7282MEBZ		Evaluation Board for the ADV7282-M	

<sup>1</sup> Z = RoHS 準拠製品。

<sup>2</sup> W = 車載アプリケーション用に認定済み。

車載製品

ADV7282W モデルは、車載アプリケーションの品質と信頼性の要求をサポートするため管理した製造により提供しています。これらの車載モデルの仕様は商用モデルと異なる場合があるため、設計者はこのデータシートの仕様のセクションを慎重にレビューしてください。表示した車載グレード製品のみを、車載アプリケーション用として提供しています。特定製品のオーダー情報とこれらのモデルの特定の車載信頼性レポートについては最寄りのアナログ・デバイス販売代理店へご連絡ください

<sup>1</sup>C は、Philips Semiconductors 社(現在の NXP Semiconductors 社)が制定した通信プロトコルです。