

特長

サンプリング周波数最大 110 MHz の 10 ビット ADCx4
アナログ入力チャンネルx6
SCART 高速ブランクをサポート
折り返し防止フィルタを内蔵
NTSC、PAL、SECAM カラー規格をサポート
525p/625p コンポーネント・プログレッシブ・スキャンをサポート
720p/1080i コンポーネント HDTV をサポート
最大 1280 x 1024(SXGA)の RGB グラフィックスを 60 Hz でデジタル化
3 x 3 カラー・スペース変換マトリックス
工業用温度範囲: -40°C ~ +85°C
12 ビット 4:4:4 DDR、8/10/16/20 ビット SDR ピクセル出力インターフェース
プログラマブルな割り込み要求出力ピンを装備
小型パッケージを採用
少ないパッケージ・ピン数
ビデオとグラフィックス用にフロント・エンドを共用

アプリケーション

車載エンタテインメント
HDTV
LCD/DLP プロジェクタ
パーソナル・ビデオ・レコーダ(PVR)付き HDTV セット・トップ・ボックス(STB)
プログレッシブ・スキャン入力をサポートする DVD レコーダ
AVR レシーバ

概要

ADV7181C は、シングルチップ・マルチフォーマットの高品質なビデオ・デコーダ/グラフィックス・デジタイザです。このマルチフォーマット・デコーダは、コンポジット形式または S ビデオ形式の PAL、NTSC、SECAM 規格からデジタル ITU-R BT.656 フォーマットへの変換をサポートします。また、ADV7181C はコンポーネント RGB/YPrPb ビデオ信号からデジタル YCrCb または RGB DDR ピクセル出力ストリームへのデコーディングもサポートします。コンポーネント・ビデオのサポートには、525i、625i、525p、625p、720p、1080i のような規格やその他多くの HD および SMPTE 規格が含まれます。ADV7181C はグラフィックスのデジタル化もサポートしています。VGA レートから SXGA レートまでの RGB グラフィックス信号をデジタル化することができ、さらにこれらをデジタル DDR RGB または YCrCb ピクセル出力ストリームへ変換することができます。ADV7181C は、SCART 機能とオーバレイ機能を可能にするため、CVBS と標準 RGB 信号を同時処理することができます。これらの信号のミキシングは、高速ブランク・ピンにより制御されます。

ADV7181C は、次の 2 つのメイン処理セクションから構成されています。1 つ目のセクションは標準プロセッサ(SDP)と呼ばれ、すべての PAL、NTSC、SECAM 信号タイプを処理します。2 つ目のセクションは、コンポーネント・プロセッサ(CP)と呼ばれ、RGB グラフィックスを含む YPrPb および RGB コンポーネント・フォーマットを処理します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長.....	1	SDP ピクセル・データ出力モード.....	11
アプリケーション.....	1	CP ピクセル・データ出力モード.....	11
概要.....	1	コンポジットと S ビデオの処理.....	11
改訂履歴.....	2	コンポーネント・ビデオ処理.....	12
機能ブロック図.....	3	RGB グラフィックス処理.....	12
仕様.....	4	一般的な機能.....	12
電気的特性.....	4	詳細説明.....	13
ビデオ仕様.....	5	アナログ・フロントエンド.....	13
タイミング特性.....	6	標準プロセッサ(SDP).....	13
アナログ仕様.....	7	コンポーネント・プロセッサ(CP).....	13
絶対最大定格.....	8	アナログ入力のマルチプレキシング.....	14
パッケージの熱性能.....	8	ピクセル出力フォーマット.....	16
熱仕様.....	8	推奨外付けループ・フィルタ部品.....	17
ESD の注意.....	8	一般的な接続図.....	18
ピン配置およびピン機能説明.....	9	外形寸法.....	19
機能の詳細.....	11	オーダー・ガイド.....	20
アナログ・フロントエンド.....	11		

改訂履歴

8/08—Revision 0: Initial Version

機能ブロック図

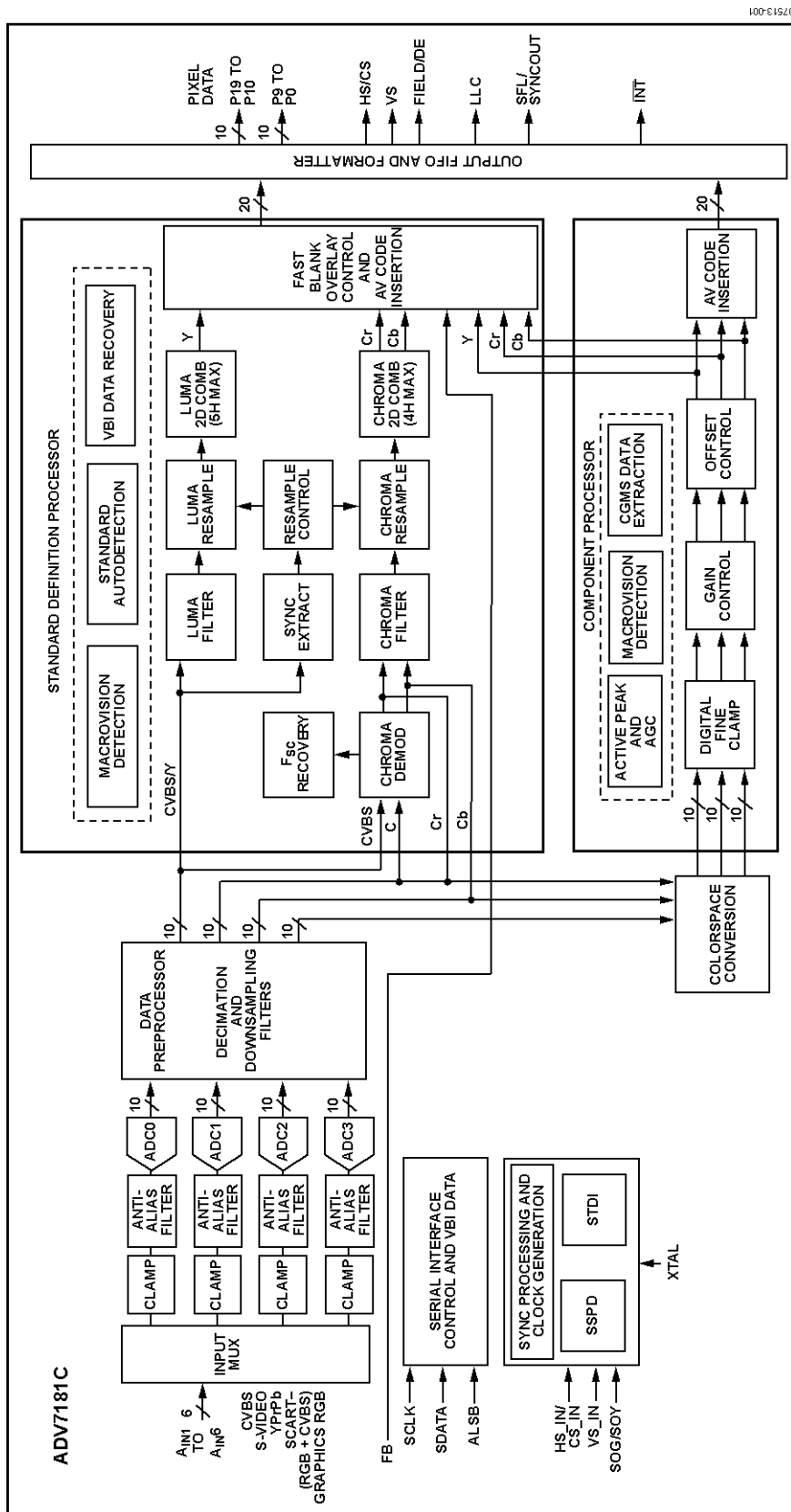


図 1.

仕様

電気的特性

特に指定のない限り、AVDD = 3.15 V~3.45 V、DVDD = 1.65 V~2.0 V、DVDDIO = 3.0 V~3.6 V、PVDD = 1.71 V~1.89 V、公称入力範囲 1.6 V、 $T_{MIN} \sim T_{MAX} = -40^{\circ}C \sim +85^{\circ}C$ 。

表 1.

Parameter ^{1,2}	Symbol	Test Conditions	Min	Typ	Max	Unit
STATIC PERFORMANCE ^{3,4}						
Resolution (each ADC)	N				10	Bits
Integral Nonlinearity	INL	BSL at 27 MHz (10-bit level)		±0.6	±2.5	LSB
		BSL at 54 MHz (10-bit level)		-0.6/+0.7		LSB
		BSL at 74 MHz (10-bit level)		±1.4		LSB
		BSL at 110 MHz (8-bit level)		±0.9		LSB
Differential Nonlinearity	DNL	At 27 MHz (10-bit level)		-0.2/+0.25	-0.99/+2.5	LSB
		At 54 MHz (10-bit level)		-0.2/+0.25		LSB
		At 74 MHz (10-bit level)		±0.9		LSB
		At 110 MHz (8-bit level)		-0.2/+1.5		LSB
DIGITAL INPUTS ⁵						
Input High Voltage ⁶	V _{IH}	HS_IN, VS_IN low trigger mode	2			V
			0.7			V
Input Low Voltage ⁷	V _{IL}	HS_IN, VS_IN low trigger mode			0.8	V
					0.3	V
Input Current	I _{IN}		-10		+10	μA
Input Capacitance ⁵	C _{IN}				10	pF
DIGITAL OUTPUTS						
Output High Voltage ⁸	V _{OH}	I _{SOURCE} = 0.4 mA	2.4			V
Output Low Voltage ⁸	V _{OL}	I _{SINK} = 3.2 mA			0.4	V
High Impedance Leakage Current	I _{LEAK}	Pin 1			60	μA
		All other output pins			10	μA
Output Capacitance ⁵	C _{OUT}				20	pF
POWER REQUIREMENTS ⁵						
Digital Core Power Supply	DVDD		1.65	1.8	2	V
Digital I/O Power Supply	DVDDIO		3.0	3.3	3.6	V
PLL Power Supply	PVDD		1.71	1.8	1.89	V
Analog Power Supply	AVDD		3.15	3.3	3.45	V
Digital Core Supply Current	IDVDD	CVBS input sampling at 54 MHz		105		mA
		Graphics RGB sampling at 110 MHz		113		mA
		SCART RGB FB sampling at 54 MHz		106		mA
Digital I/O Supply Current	IDVDDIO	CVBS input sampling at 54 MHz		4		mA
		Graphics RGB sampling at 110 MHz		16		mA
PLL Supply Current	IPVDD	CVBS input sampling at 54 MHz		11		mA
		Graphics RGB sampling at 110 MHz		12		mA
Analog Supply Current ⁹	IAVDD	CVBS input sampling at 54 MHz		99		mA
		Graphics RGB sampling at 110 MHz		198		mA
		SCART RGB FB sampling at 54 MHz		269		mA
Power-Down Current	IPWRDN			2.25		mA
Green Mode Power-Down	IPWRDNG	Synchronization bypass function		16		mA
Power-Up Time	TPWRUP			20		ms

¹ max/min 仕様はこの範囲で保証。

² すべての仕様は、アナログ・デバイスサイズの推奨プログラミング・スクリプトを使用して取得。

³ すべての ADC 直線性テストは、フルスケール-12.5%~ゼロ・スケール+12.5%の入力範囲で実施。

⁴ 最大 INL と最大 DNL の仕様は、デバイスをコンポーネント・ビデオ入力に設定して取得。

⁵ キャラクタライゼーションにより保証。

⁶ ピン 22 で規定の V_{IH} レベルを得るために、レジスタ 0x13 (WO) に値 0x04 を設定。レジスタ 0x13 に値 0x00 を設定した場合、ピン 22 の V_{IH} は 1.2 V。

⁷ ピン 22 で規定の V_{IL} レベルを得るために、レジスタ 0x13 (WO) に値 0x04 を設定。レジスタ 0x13 に値 0x00 を設定した場合、ピン 22 の V_{IL} は 0.4 V。

⁸ V_{OH} レベルと V_{OL} レベルは、デフォルトの駆動強度値(0xD5)をレジスタ・サブアドレス 0xF4 に設定して取得。

⁹ CVBS 電流測定の場合、ADC0 が動作。RGB 電流の場合、ADC0、ADC1、ADC2 が動作。SCART FB 電流測定の場合、すべての ADC が動作。

ビデオ仕様

特に指定のない限り、AVDD = 3.15 V~3.45 V、DVDD = 1.65 V~2.0 V、DVDDIO = 3.0 V~3.6 V、PVDD = 1.71 V~1.89 V、T_{MIN}~T_{MAX} = -40°C~+85°C。

表 2.

Parameter ^{1,2}	Symbol	Test Conditions	Min	Typ	Max	Unit
NONLINEAR SPECIFICATIONS						
Differential Phase	DP	CVBS input, modulated 5 step		0.5		Degrees
Differential Gain	DG	CVBS input, modulated 5 step		0.5		%
Luma Nonlinearity	LNL	CVBS input, 5 step		0.5		%
NOISE SPECIFICATIONS						
SNR Unweighted		Luma ramp	54	56		dB
SNR Unweighted		Luma flat field	58	60		dB
Analog Front-End Crosstalk				60		dB
LOCK TIME SPECIFICATIONS						
Horizontal Lock Range			-5		+5	%
Vertical Lock Range			40		70	Hz
F _{SC} Subcarrier Lock Range				±1.3		kHz
Color Lock in Time				60		Lines
Sync Depth Range ³			20		200	%
Color Burst Range			5		200	%
Vertical Lock Time				2		Fields
Horizontal Lock Time				100		Lines
CHROMA SPECIFICATIONS						
Hue Accuracy	HUE			1		Degrees
Color Saturation Accuracy	CL_AC			1		%
Color AGC Range			5		400	%
Chroma Amplitude Error				0.5		%
Chroma Phase Error				0.4		Degrees
Chroma Luma Intermodulation				0.2		%
LUMA SPECIFICATIONS						
Luma Brightness Accuracy		CVBS, 1 V input		1		%
Luma Contrast Accuracy		CVBS, 1 V input		1		%

¹ max/min 仕様はこの範囲で保証。

² キャラクタライゼーションにより保証。

³ 公称同期深度は、100%の同期深度範囲で 300 mV。

タイミング特性

特に指定のない限り、AVDD = 3.15 V~3.45 V、DVDD = 1.65 V~2.0 V、DVDDIO = 3.0 V~3.6 V、PVDD = 1.71 V~1.89 V、 $T_{MIN} \sim T_{MAX} = -40^{\circ}C \sim +85^{\circ}C$ 。

表 3.

Parameter ^{1,2}	Symbol	Test Conditions	Min	Typ	Max	Unit
SYSTEM CLOCK AND CRYSTAL						
Crystal Nominal Frequency				28.63636		MHz
Crystal Frequency Stability					±50	ppm
LLC Frequency Range ³			12.825		110	MHz
I²C PORT⁴						
SCLK Frequency					400	kHz
SCLK Min Pulse Width High	t ₁		0.6			μs
SCLK Min Pulse Width Low	t ₂		1.3			μs
Hold Time (Start Condition)	t ₃		0.6			μs
Setup Time (Start Condition)	t ₄		0.6			μs
SDA Setup Time	t ₅		100			ns
SCLK and SDA Rise Time	t ₆				300	ns
SCLK and SDA Fall Time	t ₇				300	ns
Setup Time for Stop Condition	t ₈			0.6		μs
RESET FEATURE						
Reset Pulse Width			5			ms
CLOCK OUTPUTS						
LLC Mark Space Ratio	t ₉ :t ₁₀		45:55		55:45	% duty cycle
DATA and CONTROL OUTPUTS						
Data Output Transition Time SDR (SDP) ⁵	t ₁₁	Negative clock edge to start of valid data			3.6	ns
Data Output Transition Time SDR (SDP) ⁵	t ₁₂	End of valid data to negative clock edge			2.4	ns
Data Output Transition Time SDR (CP) ⁶	t ₁₃	End of valid data to negative clock edge			2.8	ns
Data Output Transition Time SDR (CP) ⁶	t ₁₄	Negative clock edge to start of valid data			0.1	ns
Data Output Transition Time DDR (CP) ^{6,7}	t ₁₅	Positive clock edge to end of valid data	-4 + TLLC/4			ns
Data Output Transition Time DDR (CP) ^{6,7}	t ₁₆	Positive clock edge to start of valid data	0.25 + TLLC/4			ns
Data Output Transition Time DDR (CP) ^{6,7}	t ₁₇	Negative clock edge to end of valid data	-2.95 + TLLC/4			ns
Data Output Transition Time DDR (CP) ^{6,7}	t ₁₈	Negative clock edge to start of valid data	-0.5 + TLLC/4			ns

¹ max/min 仕様はこの範囲で保証。

² キャラクタライゼーションにより保証。

³ LLCの最大周波数は 110 MHz。

⁴ TTL 入力値は 0 V~3 V、入力の立ち上がり/立ち下がり時間 3 ns 以下、10%と 90%のポイントで測定。

⁵ SDPのタイミング図は、デフォルトの駆動強度値 (0xD5) をレジスタ・サブアドレス 0xF4 に設定して取得。

⁶ CPのタイミング図は、デフォルトの駆動強度値 (0xFF) をレジスタ・サブアドレス 0xF4 に設定して取得。

⁷ DDRのタイミング仕様は、LLC出力ピクセル・クロックに依存。LLC = 27 MHz で TLCC/4 = 9.25 ns。

アナログ仕様

特に指定のない限り、AVDD = 3.15 V~3.45 V、DVDD = 1.65 V~2.0 V、DVDDIO = 3.0 V~3.6 V、PVDD = 1.71 V~1.89 V、 $T_{MIN} \sim T_{MAX} = -40^{\circ}C \sim +85^{\circ}C$ 。アナログ入力ビデオ信号の推奨範囲: 0.5 V~1.6 V、1 V p-p (typ)

表 4.

Parameter ^{1,2}	Test Conditions	Min	Typ	Max	Unit
CLAMP CIRCUITRY					
External Clamp Capacitor			0.1		μF
Input Impedance; Except Pin 34 (FB)	Clamps switched off		10		$M\Omega$
Input Impedance of Pin 34 (FB)			20		$k\Omega$
CML			1.86		V
ADC Full-Scale Level			CML + 0.8 V		V
ADC Zero-Scale level			CML - 0.8 V		V
ADC Dynamic Range			1.6		V
Clamp Level (When Locked)	CVBS input		CML - 0.292 V		V
	SCART RGB input (R, G, B signals)		CML - 0.4 V		V
	S-Video input (Y signal)		CML - 0.292 V		V
	S-Video input (C signal)		CML - 0 V		V
	Component input (Y, Pr, Pb signals)		CML - 0.3 V		V
	PC RGB input (R, G, B signals)		CML - 0.3 V		V
Large Clamp Source Current	SDP only		0.75		mA
Large Clamp Sink Current	SDP only		0.9		mA
Fine Clamp Source Current	SDP only		17		μA
Fine Clamp Sink Current	SDP only		17		μA

¹ max/min 仕様はこの範囲で保証。

² キャラクタライゼーションにより保証。

絶対最大定格

表 5.

Parameter	Rating
AVDD to AGND	4 V
DVDD to DGND	2.2 V
PVDD to AGND	2.2 V
DVDDIO to DGND	4 V
DVDDIO to AVDD	-0.3 V to +0.3 V
PVDD to DVDD	-0.3 V to +0.3 V
DVDDIO to PVDD	-0.3 V to +2 V
DVDDIO to DVDD	-0.3 V to +2 V
AVDD to PVDD	-0.3 V to +2 V
AVDD to DVDD	-0.3 V to +2 V
Digital Inputs Voltage to DGND	DGND - 0.3 V to DVDDIO + 0.3 V
Digital Outputs Voltage to DGND	DGND - 0.3 V to DVDDIO + 0.3 V
Analog Inputs to AGND	AGND - 0.3 V to AVDD + 0.3 V
Operating Temperature	-40°C to +85°C
Maximum Junction Temperature (T_{JMAX})	125°C
Storage Temperature Range	-65°C to +150°C
Infrared Reflow Soldering (20 sec)	260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージの熱性能

デバイス使用中に消費電力を削減するときは、未使用の ADC をターンオフすることをお勧めします。

SCART、720p、1080i、およびすべての RGB グラフィック規格の高電流モードには、推奨スクリプトを使用することが不可欠です。推奨スクリプトを使用すると、熱性能が保証されます。これらのスクリプトは、最寄りの当社 FAE から提供しています。

ジャンクション温度は、最大ジャンクション温度(T_{JMAX}) 125°C を超えることはできません。次式を使って、ジャンクション温度を計算してください。

$$T_J = T_{A MAX} + (\theta_{JA} \times W_{MAX})$$

ここで、 $T_{A MAX} = 85^\circ\text{C}$ 、 $\theta_{JA} = 45.5^\circ\text{C/W}$ 、 $W_{MAX} = ((AVDD \times I_{AVDD}) + (DVDD \times I_{DVDD}) + (DVDDIO \times I_{DVDDIO}) + (PVDD \times I_{PVDD}))$ 。

熱仕様

表 6.

Package Type	θ_{JA} ¹	θ_{JC} ²	Unit
64-Lead LQFP	45.5	9.2	°C/W
64-Lead LFCSP_VQ	20.3	1.2	°C/W

¹厚いグラウンド・プレーンを持つ 4 層 PCB (自然空冷)。

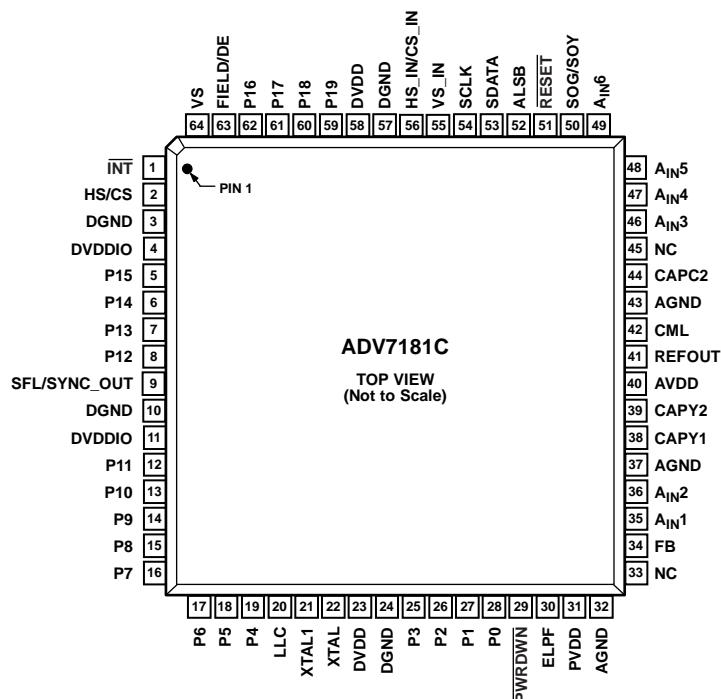
²厚いグラウンド・プレーンを持つ 4 層 PCB。

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



- NOTES
 1. NC = NO CONNECT.
 2. THE LFCSP_VQ HAS AN EXPOSED PADDLE THAT MUST BE CONNECTED TO GND.

07513-002

図 2. ピン配置

表 7. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
3、10、24、57	DGND	G	デジタル・グラウンド。
32、37、43	AGND	G	アナログ・グラウンド。
4、11	DVDDIO	P	デジタル I/O 電源電圧(3.3 V)。
23、58	DVDD	P	デジタル・コア電源電圧(1.8 V)。
40	AVDD	P	アナログ電源電圧(3.3 V)。
31	PVDD	P	PLL 電源電圧(1.8 V)。
34	FB	I	高速スイッチ・オーバレイ入力。このピンは、CVBS アナログ信号と RGB アナログ信号の間で切り替えます。
35、36、46、47、48、49	A _{IN1} ~A _{IN6}	I	アナログ・ビデオ入力チャンネル。
28~25、19~12、8~5、62~59	P0~P19	O	ビデオ・ピクセル出力ポート。出力設定モードについては表 1 参照。
1	INT	O	割り込み。このピンはアクティブ・ローまたはアクティブ・ハイになることができます。SDP/CP ステータス・ビットが変化すると、このピンがトリガーされます。割り込みをトリガーするイベントのセットはユーザが制御します。
2	HS/CS	O	HS:水平同期出力信号(SDP モードと CP モード)。CS:デジタル・コンボジット同期信号(CP モード)。
64	VS	O	垂直同期出力信号(SDP モードと CP モード)。
63	FIELD/DE	O	フィールド同期出力信号(すべてのインターレース・ビデオ・モード)。このピンは、CP モードで HDMI/DVI Tx IC への直接接続を可能にするデータ・イネーブル信号(DE)としてイネーブルすることもできます。
53	SDATA	I/O	I ² C ポートのシリアル・データ入力/出力ピン。
54	SCLK	I	I ² C ポートのシリアル・クロック入力。最大クロック・レートは 400 kHz。
52	ALSB	I	このピンは、ADV7181C のコントロール・ポートと VBI リードバック・ポートの

ピン番号	記号	タイプ ¹	説明
			I ² C アドレスを選択します。ALSB をロジック 0 に設定すると、コントロール・ポートの書き込みアドレスが 0x40 に、VBI ポートのリードバック・アドレスが 0x21 に、それぞれ設定されます。ALSB をロジック 1 に設定すると、コントロール・ポートの書き込みアドレスが 0x42 に、VBI ポートのリードバック・アドレスが 0x23 に、それぞれ設定されます。
51	<u>RESET</u>	I	アクティブ・ローのシステム・リセット入力。ADV7181C の回路をリセットするためには、最小パルス幅 5 ms のロー・レベル・リセット・パルスを入力する必要があります。
20	LLC	O	ライン・ロック出力クロック。このピンはピクセル・データ用です(範囲: 12.825 MHz~110 MHz)。
22	XTAL	I	28.63636 MHz 水晶の入力ピン、または ADV7181C をクロック駆動する外付けの 3.3 V、28.63636 MHz クロック発振器を接続します。
21	XTAL1	O	このピンは 28.63636 MHz の水晶発振器に接続するか、または ADV7181C に対して外付け 3.3 V、28.63636 MHz クロック発振器を使う場合には開放のままにします。水晶発振器モードでは、基本波水晶発振器を使う必要があります。
30	ELPF	O	推奨外部ループ・フィルタをこの ELPF ピンに接続する必要があります。
9	SFL/SYNC_OUT	O	SFL:サブキャリア周波数ロック。このデコーダをアナログ・デバイセズの任意のデジタル・ビデオ・エンコーダに接続する際に、サブキャリア周波数をロックするために使うことができるシリアル出力ストリームがこのピンから出力されます。SYNC_OUT:スライスされた同期出力信号(CP モードの場合)。
41	REFOUT	O	内蔵リファレンス電圧出力。このピンに対する推奨コンデンサ回路については図 5 を参照してください。
42	CML	O	内蔵 ADC の同相モード・レベル・ピン(CML)。このピンに対する推奨コンデンサ回路については図 5 を参照してください。
38、39	CAPY1、CAPY2	I	ADC のコンデンサ回路。このピンに対する推奨コンデンサ回路については図 5 を参照してください。
44	CAPC2	I	ADC のコンデンサ回路。このピンに対する推奨コンデンサ回路については図 5 を参照してください。
56	HS_IN/CS_IN	I	このピンは、CP モードで 5 線式または 4 線式 RGB モードでタイミングの抽出に使うデジタル HS 入力信号またはデジタル CS 入力信号に設定することができます。
55	VS_IN	I	VS 入力信号。CP モードで 5 線式タイミング・モードに使われます。
50	<u>SOG/SOY</u>	I	輝度入力の緑/同期に同期。組み込み型同期モードで使用。
29	<u>PWRDWN</u>	I	このピンにロジック・ロー・レベルを入力すると、ADV7181C はパワーダウン・モードになります。
33、45	NC		未接続。内部で未接続。

¹G = グラウンド、I = 入力、O = 出力、I/O = 入出力。

機能の詳細

アナログ・フロントエンド

アナログ・フロントエンド・セクションには、4 個の高品質 10 ビット ADC が含まれ、6 個のアナログ入力チャンネル・マルチプレクサが、外付けのマルチプレクサなしでマルチソース接続を可能にします。また、次の機能も含まれています。

- ビデオ信号から DC オフセットを除去する 4 個の電流および電圧クランプ制御ループ
- SCART 機能、および高速ブランク入力で制御される CVBS への SD RGB オーバレイ機能
- 標準入力ビデオ信号の帯域外ノイズを除去する、4 個の折り返し防止フィルタ

SDP ピクセル・データ出力モード

- タイム・コードおよび/または HS、S、FIELD を埋め込んだ、8/10 ビット ITU-R BT.656 4:2:2 YCrCb
- タイム・コードおよび/または HS、S、FIELD を埋め込んだ、16/20 ビット YCrCb

CP ピクセル・データ出力モード

CP ピクセル・データ出力モードには、シングル・データ・レート(SDR)とダブル・データ・レート(DDR)が次のように含まれます。

- 525i、625i の SDR 8/10 ビット 4:2:2 YCrCb
- すべての規格の SDR 16/20 ビット 4:2:2 YCrCb
- すべての規格の DDR 8/10 ビット 4:2:2 YCrCb
- グラフィックス入力の DDR 12 ビット 4:4:4 RGB

コンポジットと S ビデオの処理

コンポジットと S ビデオの処理機能は、CVBS と S ビデオ形式の NTSC M/J、NTSC 4.43、PAL B/D/I/G/H、PAL60、PAL M、PAL N、SECAM (B、D、G、K、L)規格をサポートします。さらに、NTSC と PAL を対象とするスーパーアダプティブ、2D、5 ラインのコーム・フィルタが、コンポジット・ビデオに対して優れたクロミナンスとルミナンスの分離を提供します。また、世界中のすべての規格(PAL、NTSC、SECAM)の全自動検出機能と自動切り替え機能、さらにビデオ処理範囲を失うことなく常にビデオが処理されるようにする白のピーク・モードを使った自動ゲイン制御機能も含まれています。その他の機能としては、

- アダプティブ・デジタル・ライン長トラッキング機能 (ADLLT™)
- VCR やチューナのようなノイズの多い不安定な弱いビデオ・ソースに対してロックする当社独自のアーキテクチャ
- チューナの SAW フィルタに起因する高周波輝度減衰を補償する IF フィルタ・ブロック
- カラー・トランジェント・インブルーメント機能(CTI)
- ルミナンス・デジタル・ノイズ削減(DNR)
- カラー制御には、色相、輝度、飽和度、コントラスト、Cr オフセットと Cb オフセットの各制御が含まれます。
- 世界中のすべてのフォーマット(PAL/NTSC/SECAM)を対象とするコンポジットと S ビデオでの認定済み Macrovision® コピー保護検出機能
- CVBS、S ビデオ、YUV の各モードを対象とする 4 倍のオーバーサンプリング(54 MHz)
- ライン・ロック・クロック出力(LLC)
- レターボックス検出のサポート
- ビデオ入力がないときに安定なタイミングを提供するフリーラン出力モード
- 垂直ブランキング・インターバル・データ・プロセッサ・テレテキスト、ビデオ・プログラミング・システム(VPS)、垂直インターバル・タイム・コード(VITC)、クローズド・キャプション(CC)と拡張データ・サービス(EDS)、ワイド・スクリーン・シグナリング(WSS)、コピー生成管理システム(CGMS)、GemStar™ 1×2×電子プログラム・ガイドとの互換性などクロック駆動に 1 つの 28.63636 MHz 水晶発振器を使用
- ダウンストリーム・ビデオ・エンコーダ用のサブキャリア周波数ロック(SFL)出力
- 差動ゲイン 0.5%(typ)
- 微分位相 0.5°(typ)

コンポーネント・ビデオ処理

コンポーネント・ビデオ処理は、525i、625i、525p、625p、720p、1080i などのフォーマットやその他の多くの HDTV フォーマットをサポートし、さらにゲイン(コントラスト)やオフセット(輝度)などの自動調整、およびマニュアル調整制御機能をサポートします。コンポーネント・ビデオ処理でサポートされるその他の機能は、

- 同期込みまたはセパレート HS、VS、CS のアナログ・コンポーネント YPrPb/RGB ビデオ・フォーマット
- YCrCb から DDR RGB への変換と RGB から YCrCb への変換をサポートするカラー・スペース変換マトリックス
- システム・レベルでコンポーネント・フォーマット検出を可能にする規格識別(STDI)機能
- 入力ビデオに付随する同期信号のソースと極性を決定する同期ソース極性検出器(SSPD)
- コンポーネント・フォーマット(525i、625i、525p、625p)での認定済み Macrovision コピー保護検出機能
- ビデオ入力がないときに安定なタイミングを提供するフリーラン出力モード
- 非標準ビデオ・ソースを対象とする任意ピクセル・サンプリングのサポート

RGB グラフィックス処理

RGB グラフィックス処理は、60 Hz (SXGA)で最大 1280 × 1024 の RGB 入力解像度をサポートする 110 MSPS の変換レート、グラフィックス・モードを対象とする自動または手動のクランプとゲイン制御、コントラストと輝度の制御機能を提供します。その他の機能としては、

- 最適ピクセル・クロック・サンプリングを可能にする 32 相 DLL
- SSPD ブロックによる、同期ソースと極性の自動検出
- STDI ブロックによる規格識別
- ビデオ中心のバックエンド IC インターフェース用に YCrCb へカラー・スペース変換して 4:2:2 フォーマットへデシメート可能な RGB
- HDMI/DVI Tx IC への直接接続用を使用するデータ・インイーブル(DE)出力信号
- 非標準ビデオ・ソースを対象とする任意ピクセル・サンプリングのサポート
- RGB グラフィックスを 12 ビット DDR フォーマットでサポート

一般的な機能

DV7181C の一般的な機能には、プログラマブルな位置、極性、幅を持つ HS/CS、VS、FIELD/DE 出力信号、さらにプログラマブルな割り込み要求出力ピンINT(SDP/CP)のステータス変化を通知が含まれます。その他の機能としては、

- 低消費電力: 1.8 V デジタル・コア、3.3 V のアナログおよびデジタル I/O、低消費電力、パワーダウン・モード、グリーン PC モード
- 工業用温度範囲: -40°C~+85°C
- 64 ピン、10 mm × 10 mm、Pb フリーLQFP を採用
- 強化されたダイナミック・レンジと性能を提供する 3.3 V ADC

詳細説明

アナログ・フロントエンド

ADV7181C のアナログ・フロント・エンドは、SDP または CP へ出力する前にアナログ・ビデオ信号をデジタル化する 4 個の 10 ビット ADC から構成されています。アナログ・フロント・エンドでは、ミックスド・シグナル・アプリケーションで高性能を提供するため各 ADC まで差動チャンネルを採用しています。

また、このフロント・エンドには、複数のビデオ信号を ADV7181C に入力するために 6 チャンネル入力のマルチプレクサも用意されています。各 ADC の前には電流クランプと電圧クランプが配置されているため、ビデオ信号は確実にコンバータの範囲内に入るようになっています。ビデオ信号微調整クランプには、CP または SDP に内蔵されているデジタル微調整クランプ機能を使ってダウンストリームで実行されます。

オプションの折り返し防止フィルタは、各 ADC の前に配置されています。これらのフィルタは、標準ビデオ信号の帯域制限に使用して、帯域外のスプリアス・ノイズを除去することができます。

ADC は、コンボジットと S ビデオ入力のデコーディングの場合は 4 倍のオーバーサンプリング・モードに、コンポーネント 525i、625i、525p、625p ソースの場合には 2 倍のオーバーサンプリングに、それぞれ設定することができます。その他すべてのビデオ規格では、1 倍のオーバーサンプリングが行われます。ビデオ信号をオーバーサンプリングすると、コスト削減と外付け折り返し防止フィルタの複雑さがなくなり、信号対ノイズ比 (SNR) が良くなる利点があります。

ADV7181C は、SCART 互換性とオーバレイ機能を可能にする、CVBS 信号と RGB 標準信号の同時処理をサポートすることができます。I²C レジスタと高速ブランク・ピンの制御のもとで、CVBS 入力と RGB 入力の組み合わせをミックスして出力することができます。

標準プロセッサ(SDP)

SDP セクションは、コンボジット・フォーマット、S ビデオ・フォーマット、YUV フォーマットの様々なベースバンド・ビデオ信号をデコーディングすることができます。SDP でサポートするビデオ規格としては、PAL B/D/I/G/H、PAL60、PAL M、PAL N、NTSC M/J、NTSC 4.43、SECAM B/D/G/K/L などがあります。ADV7181C は s the ビデオ規格を自動的に検出して処理します。

SDP は、5 ライン、スーパーアダプティブ 2D コーム・フィルタを内蔵しています。このコーム・フィルタは、コンボジット・ビデオ信号をデコーディングする際に優れた色信号と輝度信号の分離性能を持っています。このアダプティブ・フィルタは、ビデオ標準と信号品質に応じて自動的に処理モードを調節するためユーザの介入は不要です。SDP は、チューナ SAW フィルタに起因する高周波輝度スペクトルの減衰を補償する IF フィルタ・ブロックを内蔵しています。

SDP は、輝度、コントラスト、飽和度、色相に対する特定のルミナンスおよびクロミナンス・パラメータ制御を持っています。

ADV7181C は、VCR などのような信号源から出力されるライン長が変化するビデオ信号をトラッキングする特許取得済みのアダプティブ・デジタル・ライン長トラッキング (ADLLT) アルゴリズムを採用しています。ADLLT を使うと、ADV7181C は VCR、ノイズの多いチューナ出力、VCD プレイヤ、ビデオ・カ

メラなどのような低品質のビデオ・ソースをトラックレコードできるようになります。また、SDP はカラー・トランジェント・インブループメント (CTI) プロセッサも内蔵しています。このプロセッサは、色差変化のエッジ・レートを大きくして、ビデオ・イメージをシャープにします。

SDP は、テレテキスト、クローズド・キャプション (CC)、ワイド・スクリーン・シグナリング (WSS)、ビデオ・プログラミング・システム (VPS)、垂直インターバル・タイム・コード (VITC)、コピー生成管理システム (CGMS)、GemStar 1x2x、拡張データ・サービス (XDS) などの多様な VBI データ・サービスを処理することができます。ADV7181C の SDP セクションは、タイプ I、タイプ II、タイプ III の保護レベルを検出できる Macrovision 7.1 検出回路を内蔵しています。また、デコーダはすべての Macrovision 信号入力に対して十分強固です。

コンポーネント・プロセッサ(CP)

CP セクションは、任意のカラー・スペースで広範囲なコンポーネント・ビデオ・フォーマットをデコーディング/デジタル化することができます。CP でサポートするコンポーネント・ビデオ規格としては、525i、625i、525p、625p、720p、1080i、グラフィックス最大 SXGA at 60 Hz、その他多くの規格があります。

ADV7181C の CP セクションには、AGC ブロックがあります。同期信号が含まれていない場合、ビデオ・ゲインを手動で設定することができます。AGC セクションの後ろにはデジタル・クランプ回路が続き、ビデオ信号を正しいブランキング・レベルにクランプします。CP 内部の自動調整機能には、ゲイン (コントラスト) とオフセット (輝度) が含まれます。手動調整制御もサポートされています。

固定モード・グラフィックス RGB からのコンポーネント出力もあります。

カラー・スペース変換マトリックスは、アナログ・フロント・エンドと CP セクションの間に配置されています。この機能により、YPrPb から DDR RGB への変換と RGB から YCrCb への変換が可能になります。カラー・スペースのその他の多くの規格をカラー・スペース・コンバータを使って実現することができます。

CP の出力セクションは非常に柔軟です。クロック・サイクルあたり 1 データ・パケットの SDR モードまたはクロックの立ち上がりエッジと立ち下がりエッジでデータを出力する DDR モードに設定することができます。SDR モードでは、20 ビット 4:2:2 が可能です。これらのモードでは、HS/CS、VS、FIELD/DE (該当する場合) タイミング・リファレンス信号が提供されます。DDR モードでは、ADV7181C を対応するタイミング信号を持つ 8 ビット 4:2:2 YCrCb または 12 ビット 4:4:4 RGB ピクセル出力インターフェースに設定することができます。

CP セクションは、525i、625i、525p、625p を対象とする Macrovision でエンコードされた YPrPb 信号の検出を可能にする回路を内蔵しています。これらのタイプの信号をデコーディングする際に強固にデザインされています。

コンポーネント・データの VBI 抽出は、インターレース、プログレッシブ、高規格スキャン・レートに対して ADV7181C の CP セクションによって行われます。抽出されたデータは、I²C インターフェースを介してリードバックすることができます。

アナログ入力のマルチプレキシング

ADV7181Cは、複数のビデオ信号ソースをデコーダに接続できるアナログ・マルチプレキシング・セクションを内蔵しています。図3に、ADV7181Cの入力マルチプレキシング機能の全体構造を示します。

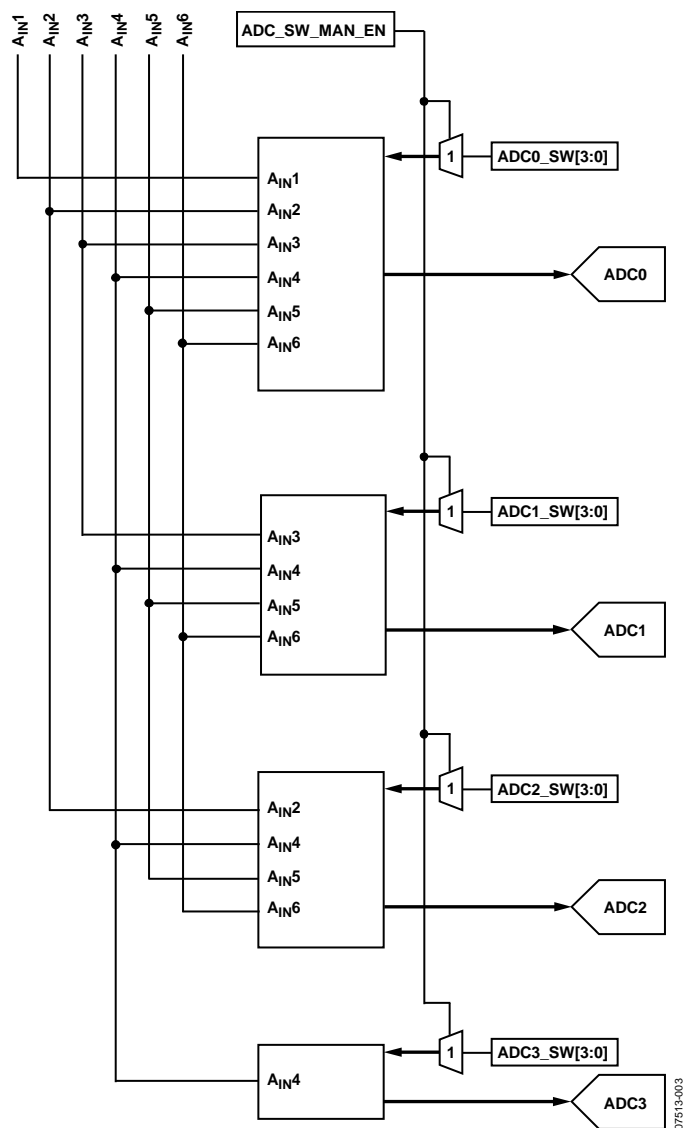


図3.ADV7181C ピンの内部接続

ADV7181Cでは、表8に示すADCマッピングの使用が推奨されます。

表8.推奨ADCマッピング

Mode	Required ADC Mapping	AIN Channel	Core	Configuration ¹
CVBS	ADC0	CVBS = A _{IN1}	SD	INSEL[3:0] = 0000 SDM_SEL[1:0] = 00 PRIM_MODE[3:0] = 0000 VID_STD[3:0] = 0010
YC/YC auto	Y = ADC0 C = ADC1	Y = A _{IN2} C = A _{IN3}	SD	INSEL[3:0] = 0000 SDM_SEL[1:0] = 11 PRIM_MODE[3:0] = 0000 VID_STD[3:0] = 0010
Component YUV	Y = ADC0 U = ADC2 V = ADC1	Y = A _{IN6} U = A _{IN4} V = A _{IN5}	SD	INSEL[3:0] = 1001 SDM_SEL[1:0] = 00 PRIM_MODE[3:0] = 0000 VID_STD[3:0] = 0010
Component YUV	Y = ADC0 U = ADC2 V = ADC1	Y = A _{IN6} U = A _{IN4} V = A _{IN5}	CP	INSEL[3:0] = 0000 SDM_SEL[1:0] = 00 PRIM_MODE[3:0] = 0000 VID_STD[3:0] = 1010
SCART RGB	CBVS = ADC0 G = ADC1 B = ADC3 R = ADC2	CVBS = A _{IN2} G = A _{IN6} B = A _{IN4} R = A _{IN5}	SD	INSEL[3:0] = 0000 SDM_SEL[1:0] = 00 PRIM_MODE[3:0] = 0000 VID_STD[3:0] = 0010
Graphics RGB Mode	G = ADC0 B = ADC2 R = ADC1	G = A _{IN6} B = A _{IN4} R = A _{IN5}	CP	INSEL[3:0] = 0000 SDM_SEL[1:0] = 00 PRIM_MODE[3:0] = 0001 VID_STD[3:0] = 1100

¹ 後続ブロックを正しいフォーマットでフォーマットする設定。

表9.すべてのADCに対する手動マルチプレクサ設定

ADC_SWITCH_MAN to 1

ADC0_SW_SE L[3:0]	ADC0 Connection	ADC1_SW_SEL[3: 0]	ADC1 Connection	ADC2_SW_SEL[3: 0]	ADC2 Connection	ADC3_SW_SEL[3: 0]	ADC3 Connection
0001	A _{IN1}	0001	N/A	0001	N/A	0001	N/A
0010	A _{IN2}	0010	N/A	0010	A _{IN2}	0010	N/A
0100	A _{IN4}	0100	A _{IN4}	0100	A _{IN4}	0100	A _{IN4}
0101	A _{IN5}	0101	A _{IN5}	0101	A _{IN5}	0101	N/A
0110	A _{IN6}	0110	A _{IN6}	0110	A _{IN6}	0110	N/A
1100	A _{IN3}	1100	A _{IN3}	1100	N/A	1100	N/A

ADV7181Cのアナログ入力マルチプレクサは、直接制御する必要があります。これを、手動入力マルチプレクシングと呼びます。ADC_SWITCH_MANビット(表9参照)を設定すると、この手動マルチプレクシングが起動されます。ADCの前にあるアナログ・スイッチだけが影響を受けます。この場合でも、後続のブロックでビデオ・データが正しいフォーマットで処理されるように、INSEL、SDM_SEL、PRIM_MODE、VID_STDを設定する必要があります。

すべての入力ピンをADCへ接続できるわけではありません。IC内のアナログ信号接続にはチャンネル接続についての制限があります。チップ内部の接続機能については、表9を参照してください。3つのマルチプレクサ・セクションは、予約済みのコントロール信号バスADC0_SW[3:0]/ADC1_SW[3:0]/ADC2_SW[3:0]を使って制御することができます。

表9に、次のADCマッピング設定を示します。

- ADC_SWITCH_MAN、手動入力マルチプレキシング・イネーブル、IOマップ、アドレス0C[7]
- ADC0_SW[3:0]、ADC0マルチプレクサ設定、IOマップ、アドレス0D[3:0]
- ADC1_SW[3:0]、ADC1マルチプレクサ設定、IOマップ、アドレス0D[7:4]
- ADC2_SW[3:0]、ADC2マルチプレクサ設定、IOマップ、アドレス0E[3:0]
- ADC3_SW[3:0]、ADC3マルチプレクサ設定、IOマップ、アドレス0E[7:4]

ピクセル出力フォーマット

表 10. ピクセル出力フォーマット

Processor, Format, and Mode		Pixel Port Pins P[19:0]																					
		19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
SDP	Video output 8-bit 4:2:2	YCrCb[7:0]																					
SDP	Video output 10-bit 4:2:2	YCrCb[9:0]																					
SDP	Video output 16-bit 4:2:2	Y[7:0]											CrCb[7:0]										
SDP	Video output 20-bit 4:2:2	Y[9:0]											CrCb[7:0]										
CP	Video output 12-bit 4:4:4 RGB DDR	D7 [↑] B[7] ↑ R[3] ↓	D6 B[6] ↑ R[2] ↓	D5 B[5] ↑ R[1] ↓	D4 B[4] ↑ R[0] ↓	D3 B[3] ↑ G[7] ↓	D2 B[2] ↑ G[6] ↓	D1 B[1] ↑ G[5] ↓	D0 B[0] [↑] G[4] [↓]			D11 G[3] ↑ R[7] ↓	D10 G[2] ↑ R[6] ↓	D9 G[1] ↑ R[5] ↓	D8 G[0] ↑ R[4] ↓								
CP	Video output 16-bit 4:2:2	CHA[7:0] (for example, Y[7:0])											CHB/C[7:0] (for example, Cr/Cb[7:0])										
CP	Video output 20-bit 4:2:2	CHA[9:0] (for example, Y[9:0])											CHB/C[9:0] (for example, Cr/Cb[9:0])										

[↑]は LLC の立ち上がりエッジで、[↓]は LLC の立ち下がりエッジで、それぞれデータを駆動すること示します。

推奨外付けループ・フィルタ部品

ELPF ピンの外付けループ・フィルタ部品は、該当するピンのできるだけ近くに配置する必要があります。図 4 に推奨部品値を示します。

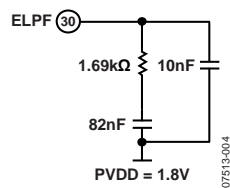
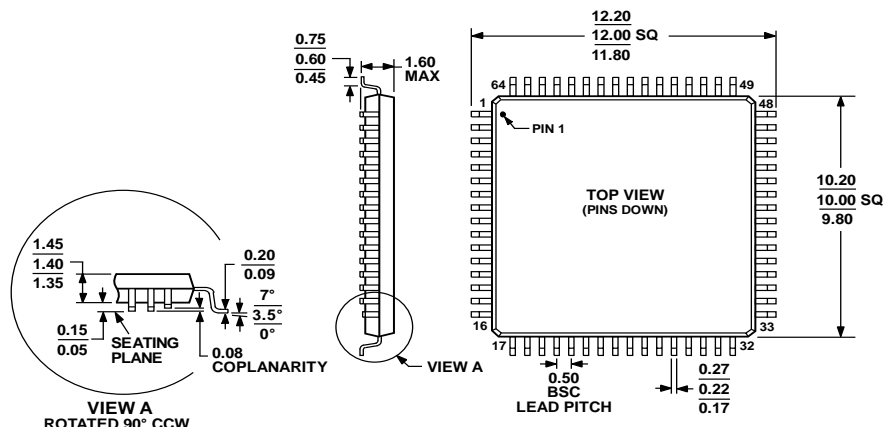


図 4.ELPF 部品

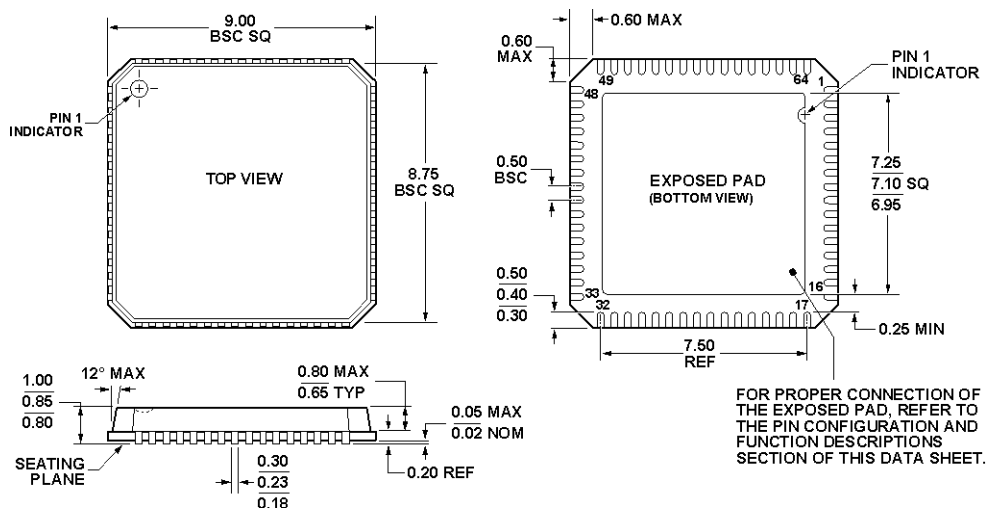
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

05706-A

図 6.64 ピン・ロー・プロファイル・クワッド・フラット・パッケージ [LQFP] (ST-64) 寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-220-VMM4

080108-C

図 7.64 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_VQ] 9 mm x 9 mm ボディ、極薄クワッド (CP-64-3) 寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADV7181CBCPZ ¹	-40°C to +85°C	64-Lead LFCSP_VQ	CP-64-3
ADV7181CBCPZ-REEL ¹	-40°C to +85°C	64-Lead LFCSP_VQ	CP-64-3
ADV7181CBSTZ ¹	-40°C to +85°C	64-Lead LQFP	ST-64
ADV7181CBSTZ-REEL ¹	-40°C to +85°C	64-Lead LQFP	ST-64
ADV7181WBCPZ ¹	-40°C to +85°C	64-Lead LFCSP_VQ	CP-64-3
ADV7181WBCPZ-REEL ¹	-40°C to +85°C	64-Lead LFCSP_VQ	CP-64-3
ADV7181WBSTZ ¹	-40°C to +85°C	64-Lead LQFP	ST-64
ADV7181WBSTZ-REEL ¹	-40°C to +85°C	64-Lead LQFP	ST-64

¹ Z = RoHS 準拠製品

ライセンスを受けたアナログ・デバイスまたはサブライセンスを受けた関連会社の 1 つから I²C 部品を購入すると、Phillips 社の制定する I²C 規格仕様にシステムが準拠している場合、I²C システム内でこれらのデバイスを使うための Phillips 社の I²C 特許権のもとにライセンスが購入者に移転されます。