

### 特長

ビデオおよび静止画像用のフル機能シングルチップJPEG圧縮/伸長ソリューション

ADV202とピン配置およびフットプリントが同じで、ADV202のすべての機能に対応

ADV202に比べ消費電力を30%以上削減

JTAG/バウンダリ・スキャン

特許取得済みのSURF® (Spatial Ultraefficient Recursive Filtering) 技術による低消費電力低価格のウェーブレットを採用した圧縮が可能

最大6レベルの変換をサポートする9/7および5/3ウェーブレット変換

ビデオ・インターフェースは次のビデオ・フォーマットを直接サポート:

ITU-R BT.656、SMPTE 125M PAL/NTSC、SMPTE 274M、SMPTE 293M (525p)、ITU-R BT.1358 (625p)のフォーマット

最大入力レートが可逆モードで40 MSPSまたは非可逆モードで65 MSPSの任意のビデオ・フォーマット

プログラマブルなタイル/画像サイズ:

シングル・コンポーネント・モードでの最大幅: 4096ピクセル

タイル/画像最大高さ: 4096ピクセル

複数のADV212を組み合わせて、フルフレームのSMPTE 274M HDTV (1080i)またはSMPTE 296M (720p)をサポート

フレキシブルな非同期SRAM型インターフェースにより、ほぼすべての16/32ビット・マイクロコントローラおよびASICに外付け部品なしで接続可能

入出力用電源: 2.5Vまたは3.3V、コア電源: 1.5V

使用パッケージ:

スピード・グレード115MHz: 12mm×12mmの121ボール CSPBGA

スピード・グレード150MHz: 13mm×13mmの144ボール CSPBGA

### アプリケーション

ネットワーク用ビデオ/画像配信システム

ワイヤレス・ビデオ/画像配信

画像のアーカイブ/検索

デジタルCCTVおよび監視システム

デジタル・シネマ・システム

業務用ビデオ編集/録画システム

デジタルカメラ

デジタル・ビデオカメラ

### 概要

ADV212は、JPEG 2000 (J2K)-ISO/IEC15444-1画像圧縮規格の提供する高品質高機能を利用できるビデオと広帯域画像の圧縮アプリケーションを対象としたシングルチップJPEG 2000コーデックです。このデバイスは、JPEG 2000画像圧縮規格に規定された大量の計算処理を実現し、ほとんどのアプリケーションに対して同規格に準拠したコード・ストリーム発生します。

ADV212の専用ビデオ・ポートは、ITU-R BT.656、SMPTE 125M、SMPTE 293M (525p)、ITU-R BT.1358 (625p)、SMPTE 274M (1080i)、SMPTE 296M (720p)などの一般的なデジタル・ビデオ規格に対して外付け部品なしで接続できます。これ以外のさまざまな高速、同期ピクセル/ビデオ・フォーマットについては、プログラマブルなフレーミング信号と確認信号を使ってサポートすることができます。

ADV212は、ADV202のアップグレード・バージョンであり、両者のピン配置とフットプリントは同じです。ADV202の機能は全てサポートしており、さらに次の新しい機能が追加されています。

- JTAG/バウンダリスキャン
- ADV202と比べて消費電力を30%以上削減

機能ブロック図

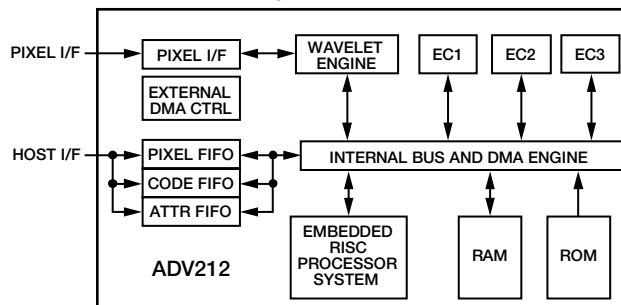


図1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
© 2006 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル  
電話03 (5402) 8200

大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号  
電話06 (6350) 6868

# ADV212

特長	1	内部DMAエンジン	25
アプリケーション	1	ADV212インターフェース	26
概要	1	ビデオ・インターフェース (VDATAバス)	26
改訂履歴	2	ホスト・インターフェース (HDATAバス)	26
JPEG 2000の機能をサポート	3	直接レジスタおよび間接レジスタ	26
仕様	4	コントロール・アクセス・レジスタ	27
電源電圧と電流	4	ピン配置とバスのサイズ/モード	27
入出力仕様	4	ステージ・レジスタ	27
クロックおよびRESETの仕様	5	JDATAモード	27
ノーマル・ホスト・モード—書き込み動作	6	外部DMAエンジン	27
ノーマル・ホスト・モード—読み出し動作	7	内部レジスタ	28
DREQ/DACK DMAモード—シングルFIFO書き込み動作	8	直接レジスタ	28
DREQ/DACK DMAモード—シングルFIFO読み出し動作	10	間接レジスタ	29
外部DMAモード—FIFO書き込み、バースト・モード	12	PLL	30
外部DMAモード—FIFO読み出し、バースト・モード	13	ハードウェア・ブート	31
ストリーミング・モード (JDATA)—FIFO読み出し/書き込み	14	ビデオ入力フォーマット	32
VDATAモードのタイミング	15	アプリケーション	34
生ピクセル・モードのタイミング	17	エンコード—マルチチップ・モード	34
JTAGタイミング	18	デコード—マルチチップ・マスタ/スレーブ	35
絶対最大定格	19	デジタルカメラ/ビデオカメラ	36
熱抵抗	19	SDTVビデオ・アプリケーション	
ESDに関する注意	19	(エンコード/デコード・モード)	37
ピン配置と機能の説明	20	32ビット・ホスト・アプリケーション	38
動作原理	25	HIPI (ホスト・インターフェース—ピクセル・	
ウェーブレット・エンジン	25	インターフェース)	39
エントロピ・コーデック	25	JDATAインターフェース	40
組込みプロセッサ・システム	25	外形寸法	41
メモリ・システム	25	オーダー・ガイド	42

## 改訂履歴

10/06—Revision 0: Initial Version

ADV212は、可逆モードの場合は40MSPSの速度で画像を処理でき、非可逆モードの場合はさらに速い速度で処理を実行できます。専用のウェーブレット変換エンジン、3個のエントロピ・コーデック、メモリ・システム、それに組み込み型縮小命令セット・コンピュータ（RISC）プロセッサを内蔵しているため、JPEG 2000圧縮／伸長の完全なソリューションを提供できます。

ウェーブレット・プロセッサは、9/7非可逆ウェーブレット変換と、可逆モードおよび非可逆モードの5/3ウェーブレット変換をサポートしています。エントロピ・コーデックは、最大シフト対象領域（ROI）を除き、「JPEG 2000 Part 1」仕様のすべての機能を持っています。

ADV212は、タイルと呼ばれる矩形のピクセル・サンプル・アレイに対して処理を実行します。タイルには、対応可能な最大サイズの画像またはその一部分を含むことができます。横方向の最大タイル・サイズは、選択したウェーブレット変換やタイル内のサンプル数によって決まります。ADV212の最大タイル・サイズより大きな画像は、小さなタイルに区分して順次デバースに送信できます。送信時は、画像全体に対応した1個のJPEG 2000完全準拠のコード・ストリームを維持します。

## JPEG 2000の機能をサポート

ADV212は、JPEG 2000規格のPart 1（ISO/IEC 15444）に含まれる広範な機能をサポートしています。ADV212が提供するJPEG 2000の機能については、ADV212のユーザーズ・ガイドを参照してください。

ADV212は、個々のアプリケーションの条件に応じて、さまざまなレベルのJPEG 2000圧縮が可能です。生のコード・ブロックと属性データ出力を持っているため、ホスト・ソフトウェアはJPEG 2000コード・ストリームの発生、その他の圧縮プロセスにおける個別の処理（ビットレート制御など）を完全に制御できます。またJPEG 2000に完全準拠したコード・ストリーム（J2C）や、JP2などの高度・ファイル・フォーマットを作成できます。

# ADV212

## 仕様

特に指定のない限り、仕様はIOVDD = 2.5 Vまたは3.3 V、動作温度範囲で規定。

### 電源電圧と電流

表1

Parameter	Mnemonic	Min	Typ	Max	Unit
DC Supply Voltage, Core	VDD	1.425	1.5	1.575	V
DC Supply Voltage, Input/Output	IOVDD	2.375	2.5	2.625	V
DC Supply Voltage, Input/Output	IOVDD	3.135	3.3	3.465	V
Input Range	$V_{IN}$	-0.3		$V_{DD/IO} + 0.3$	V
Operating Ambient Temperature Range in Free Air	T	-40	+25	+85	°C
Static Current <sup>1</sup>	$I_{DD}$		15	30	mA
Dynamic Current, Core (JCLK Frequency = 150 MHz) <sup>2</sup>			380	440	mA
Dynamic Current, Core (JCLK Frequency = 108 MHz)			280	320	mA
Dynamic Current, Core (JCLK Frequency = 81 MHz)			210	290	mA
Dynamic Current, Input/Output			40	50	mA

<sup>1</sup> クロックまたは入出力動作なし

<sup>2</sup> ADV212-150のみ

### 入出力仕様

表2

Parameter	Mnemonic	Min	Typ	Max	Unit	Test Conditions
High Level Input Voltage	$V_{IH(3.3V)}$	2.2			V	VDD = maximum
High Level Input Voltage	$V_{IH(2.5V)}$	1.9			V	VDD = maximum
Low Level Input Voltage	$V_{IL(3.3V, 2.5V)}$			0.6	V	VDD = minimum
High Level Output Voltage	$V_{OH(3.3V)}$	2.4			V	VDD = minimum, $I_{OH} = -0.5$ mA
High Level Output Voltage	$V_{OH(2.5V)}$	2.0			V	VDD = minimum, $I_{OH} = -0.5$ mA
Low Level Output Voltage	$V_{OL(3.3V, 2.5V)}$			0.4	V	VDD = minimum, $I_{OL} = +2$ mA
High Level Input Current	$I_{IH}$			1.0	μA	VDD = maximum, $V_{IN} = VDD$
Low Level Input Current	$I_{IL}$			1.0	μA	VDD = maximum, $V_{IN} = 0$ V
High Level Three-State Leakage Current	$I_{OZH}$			1.0	μA	VDD = maximum, $V_{IN} = VDD$
Low Level Three-State Leakage Current	$I_{OZL}$			1.0	μA	VDD = maximum, $V_{IN} = 0$ V
Input Pin Capacitance	$C_1$			8	pF	
Output Pin Capacitance	$C_0$			8	pF	

クロックおよび $\overline{\text{RESET}}$ の仕様

表3

Parameter	Mnemonic	Min	Typ	Max	Unit
MCLK Period	$t_{\text{MCLK}}$	13.3		100	ns
MCLK Frequency	$f_{\text{MCLK}}$	10		75.18	MHz
MCLK Width Low	$t_{\text{MCLKL}}$	6			ns
MCLK Width High	$t_{\text{MCLKH}}$	6			ns
VCLK Period	$t_{\text{VCLK}}$	13.4		50	ns
VCLK Frequency	$f_{\text{VCLK}}$	20		74.60	MHz
VCLK Width Low	$t_{\text{VCLKL}}$	5			ns
VCLK Width High	$t_{\text{VCLKH}}$	5			ns
$\overline{\text{RESET}}$ Width Low	$t_{\overline{\text{RESET}}}$	5			MCLK cycles <sup>1</sup>

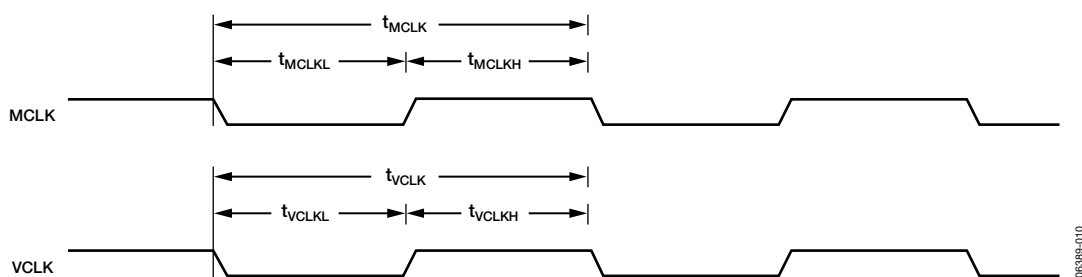
<sup>1</sup> MCLKの定義については、図32を参照。

図2. 入力クロック

# ADV212

## ノーマル・ホスト・モード—書込み動作

表4

Parameter	Mnemonic	Min	Typ	Max	Unit
$\overline{WE}$ to $\overline{ACK}$ , Direct Registers and FIFO Accesses	$t_{\overline{ACK}}$ (direct)	5		$1.5 \times JCLK + 7.0$	ns
$\overline{WE}$ to $\overline{ACK}$ , Indirect Registers	$t_{\overline{ACK}}$ (indirect)	5		$2.5 \times JCLK + 7.0$	ns
Data Setup	$t_{SD}$	3.0			ns
Data Hold	$t_{HD}$	1.5			ns
Address Setup	$t_{SA}$	2			ns
Address Hold	$t_{HA}$	2			ns
$\overline{CS}$ to $\overline{WE}$ Setup	$t_{SC}$	0			ns
$\overline{CS}$ Hold	$t_{HC}$	0			ns
Write Inactive Pulse Width (Minimum Time Until Next $\overline{WE}$ Pulse)	$t_{WH}$	$2.5 JCLK^1$			ns
Write Active Pulse Width	$t_{WL}$	$2.5 JCLK$			ns
Write Cycle Time	$t_{WCYC}$	$5 JCLK$			ns

<sup>1</sup> JCLKの定義については、図32を参照。

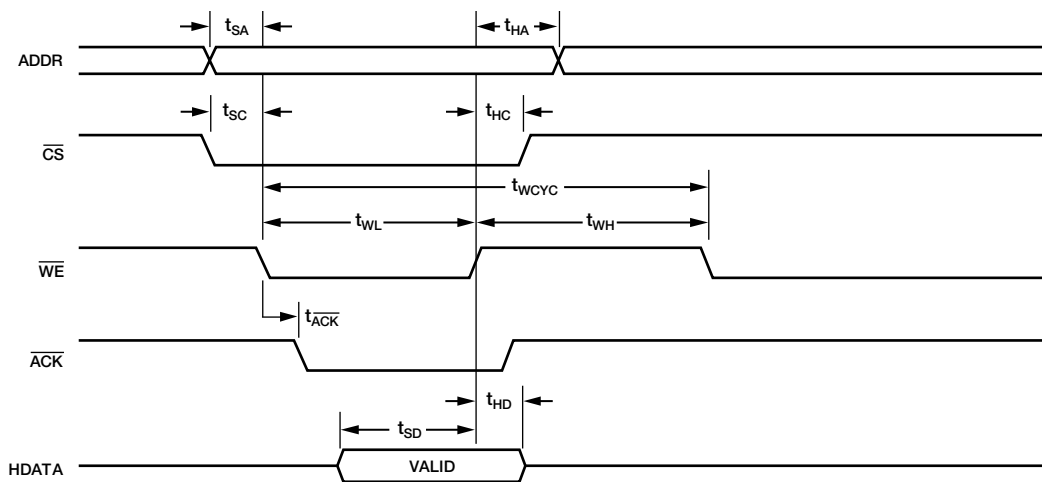


図3. ノーマル・ホスト・モード—書込み動作

06389-012

## ノーマル・ホスト・モード—読出し動作

表5

Parameter	Mnemonic	Min	Typ	Max	Unit
$\overline{\text{RD}}$ to $\overline{\text{ACK}}$ , Direct Registers and FIFO Accesses	$t_{\overline{\text{ACK}}}^{\text{(direct)}}^1$	5		$1.5 \times \text{JCLK} + 7.0$	ns
$\overline{\text{RD}}$ to $\overline{\text{ACK}}$ , Indirect Registers	$t_{\overline{\text{ACK}}}^{\text{(indirect)}}^1$	$10.5 \times \text{JCLK}$		$15.5 \times \text{JCLK} + 7.0$	ns
Read Access Time, Direct Registers	$t_{\text{DRD}}^{\text{(direct)}}$	5		$1.5 \times \text{JCLK} + 7.0$	ns
Read Access Time, Indirect Registers	$t_{\text{DRD}}^{\text{(indirect)}}$	$10.5 \times \text{JCLK}$		$15.5 \times \text{JCLK} + 7.0$	ns
Data Hold	$t_{\text{HZRD}}$	2		8.5	ns
$\overline{\text{CS}}$ to $\overline{\text{RD}}$ Setup	$t_{\text{SC}}$	0			ns
Address Setup	$t_{\text{SA}}$	2			ns
$\overline{\text{CS}}$ Hold	$t_{\text{HC}}$	0			ns
Address Hold	$t_{\text{HA}}$	2			ns
Read Inactive Pulse Width	$t_{\text{RH}}$	$2.5 \text{ JCLK}^2$			ns
Read Active Pulse Width	$t_{\text{RL}}$	$2.5 \text{ JCLK}$			ns
Read Cycle Time, Direct Registers	$t_{\text{RCYC}}$	$5.0 \text{ JCLK}$			ns

<sup>1</sup>  $\overline{\text{ACK}}$ 立下がり変化とHDATAのVALIDとのタイミング関係は保証されません。HDATA VALIDのホールド時間は、 $\overline{\text{RD}}$ 立上がり変化に対して保証されます。 $\overline{\text{ACK}}$ アサートから $\overline{\text{RD}}$ アサート解除までは、3 JCLKサイクル以上を推奨します。

<sup>2</sup> JCLKの定義については、図32を参照。

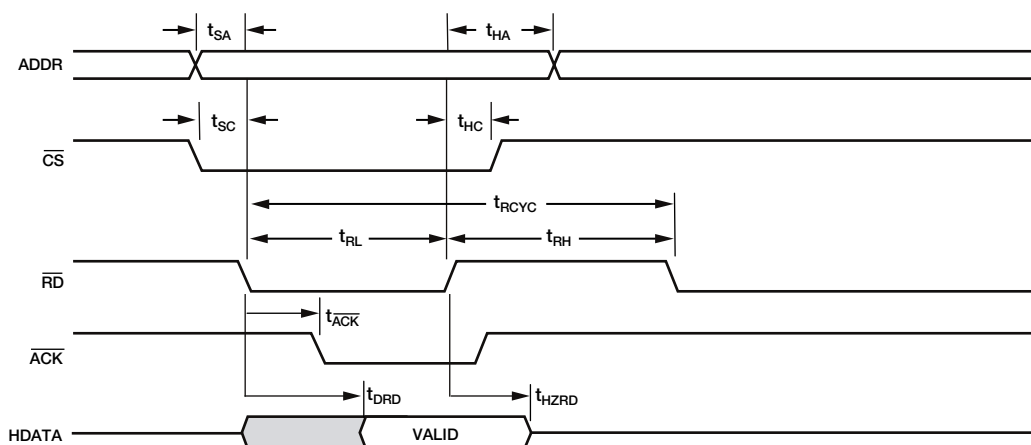


図4. ノーマル・ホスト・モード—読出し動作

06389-011

# ADV212

## DREQ/DACK DMAモード—シングルFIFO書込み動作

表6

Parameter	Mnemonic	Min	Typ	Max	Unit
$\overline{\text{DREQ}}$ Pulse Width	$\overline{\text{DREQ}}_{\text{PULSE}}$	1 JCLK <sup>1</sup>		15 JCLK	ns
$\overline{\text{DACK}}$ Assert to Subsequent $\overline{\text{DREQ}}$ Delay	$t_{\overline{\text{DREQ}}}$	2.5 JCLK		$3.5 \times \text{JCLK} + 8.5$	ns
$\overline{\text{WE}}$ to $\overline{\text{DACK}}$ Setup	$t_{\overline{\text{WE}}\text{SU}}$	0			ns
Data to $\overline{\text{DACK}}$ Deassert Setup	$t_{\text{SU}}$	2			ns
Data to $\overline{\text{DACK}}$ Deassert Hold	$t_{\text{HD}}$	2			ns
$\overline{\text{DACK}}$ Assert Pulse Width	$\overline{\text{DACK}}_{\text{LO}}$	2 JCLK			ns
$\overline{\text{DACK}}$ Deassert Pulse Width	$\overline{\text{DACK}}_{\text{HI}}$	2 JCLK			ns
$\overline{\text{WE}}$ Hold After $\overline{\text{DACK}}$ Deassert	$t_{\overline{\text{WE}}\text{HD}}$	0			ns
$\overline{\text{WE}}$ Assert to $\overline{\text{FSRQ}}$ Deassert (FIFO Full)	$\overline{\text{WFSRQ}}$	1.5 JCLK		$2.5 \times \text{JCLK} + 7.5$	ns
$\overline{\text{DACK}}$ to $\overline{\text{DREQ}}$ Deassert ( $\text{DR} \times \text{PULS} = 0$ )	$t_{\overline{\text{DREQ}}\text{RTN}}$	2.5 JCLK		$3.5 \times \text{JCLK} + 9.0$	ns

<sup>1</sup> JCLKの定義については、図32を参照。

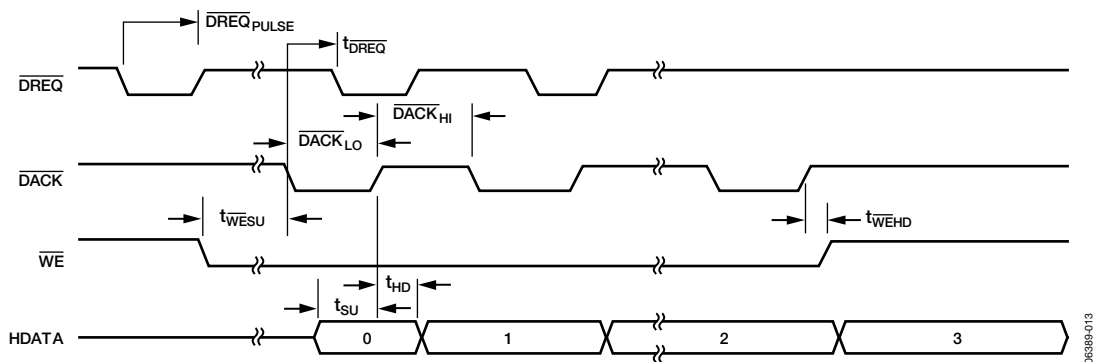


図5. 割り当てられたDMAチャンネルに対する $\overline{\text{DREQ}}/\overline{\text{DACK}}$  DMAモードの単一書込み (EDMOD0/EDMOD1 <14:11>は値0000に設定されていません)

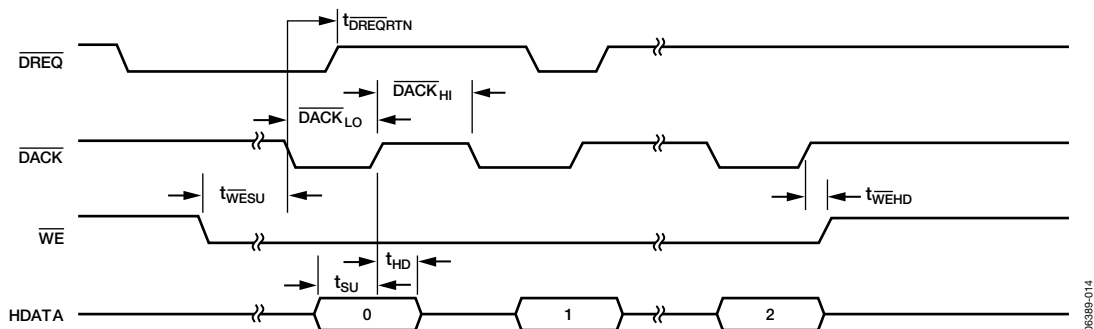


図6. 割り当てられたDMAチャンネルに対する $\overline{\text{DREQ}}/\overline{\text{DACK}}$  DMAモードの単一書込み (EDMOD0/EDMOD1 <14:11>は値0000に設定されています)



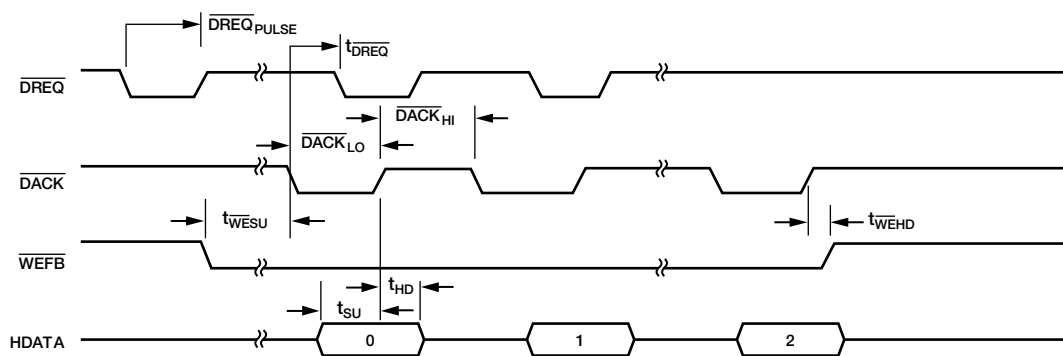


図7. フライバイDMAモードの単一書き込みサイクル (DREQパルス幅が設定可能)

06389-015

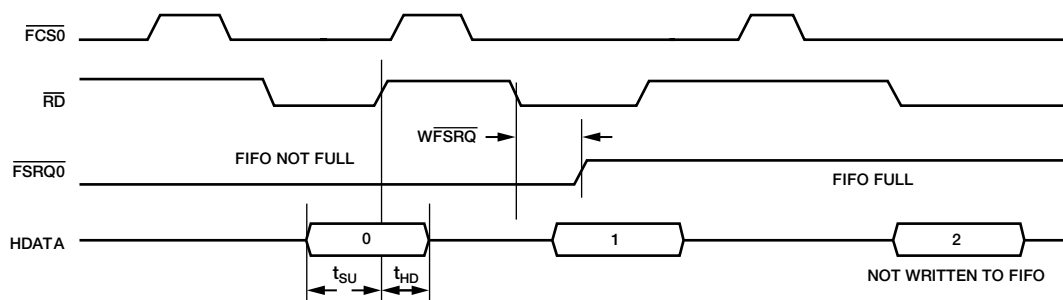


図8. DCS DMAモードの単一書き込みアクセス

06389-021

# ADV212

## DREQ/DACK DMAモード—シングルFIFO読出し動作

表7

Parameter	Mnemonic	Min	Typ	Max	Unit
$\overline{\text{DREQ}}$ Pulse Width	$\overline{\text{DREQ}}_{\text{PULSE}}$	1 JCLK <sup>1</sup>		15 JCLK	ns
$\overline{\text{DACK}}$ Assert to Subsequent $\overline{\text{DREQ}}$ Delay	$t_{\overline{\text{DREQ}}}$	2.5 JCLK		$3.5 \times \text{JCLK} + 9.0$	ns
$\overline{\text{RD}}$ to $\overline{\text{DACK}}$ Setup	$t_{\overline{\text{RD}}\text{SU}}$	0			ns
$\overline{\text{DACK}}$ to Data Valid	$t_{\overline{\text{RD}}}$	2.5		11	ns
Data Hold	$t_{\text{HD}}$	1.5			ns
$\overline{\text{DACK}}$ Assert Pulse Width	$\overline{\text{DACK}}_{\text{LO}}$	2 JCLK			ns
$\overline{\text{DACK}}$ Deassert Pulse Width	$\overline{\text{DACK}}_{\text{HI}}$	2 JCLK			ns
$\overline{\text{RD}}$ Hold after $\overline{\text{DACK}}$ Deassert	$t_{\overline{\text{RD}}\text{HD}}$	0			ns
$\overline{\text{RD}}$ Assert to $\overline{\text{FSRQ}}$ Deassert (FIFO Empty)	$\overline{\text{RDFS}}_{\text{RQ}}$	1.5 JCLK		$2.5 \times \text{JCLK} + 9.0$	ns
$\overline{\text{DACK}}$ to $\overline{\text{DREQ}}$ Deassert ( $\text{DR} \times \text{PULS} = 0$ )	$t_{\overline{\text{DREQ}}\text{RTN}}$	2.5 JCLK		$3.5 \times \text{JCLK} + 9.0$	ns

<sup>1</sup> JCLKの定義については、図32を参照。

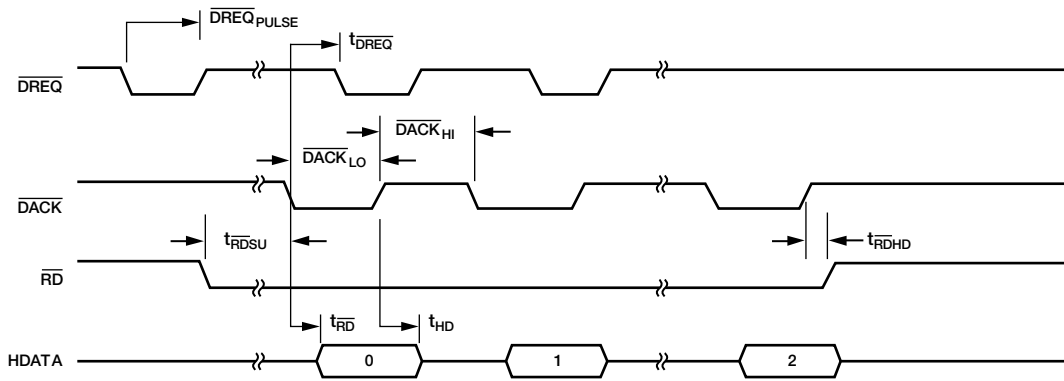


図9. 割り当てられたDMAチャンネルに対するDREQ/DACK DMAモードの単一読出し (EDMOD0/EDMOD1 <14:11>は値0000に設定されていません)

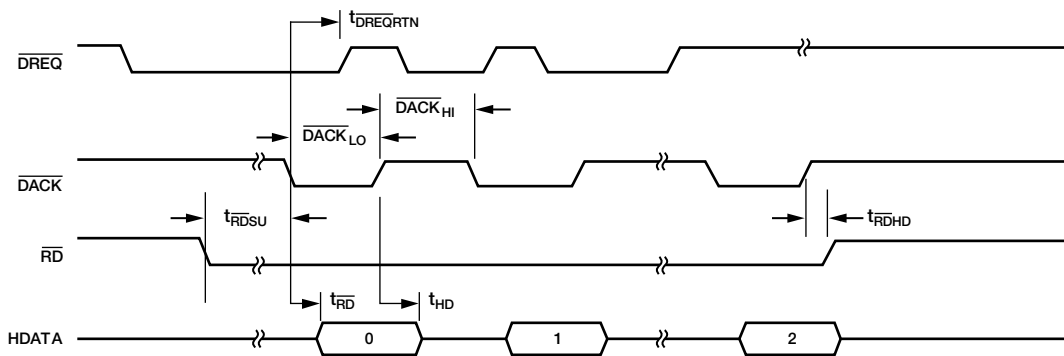


図10. 割り当てられたDMAチャンネルに対するDREQ/DACK DMAモードの単一読出し (EDMOD0/EDMOD1 <14:11>は値0000に設定されています)

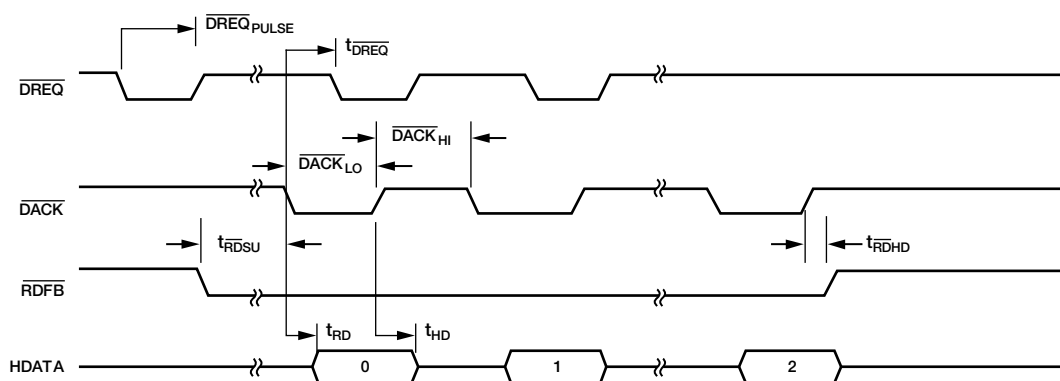


図11. フライバイDMAモードの単一読出しサイクル (DREQパルス幅が設定可能)

06389-020

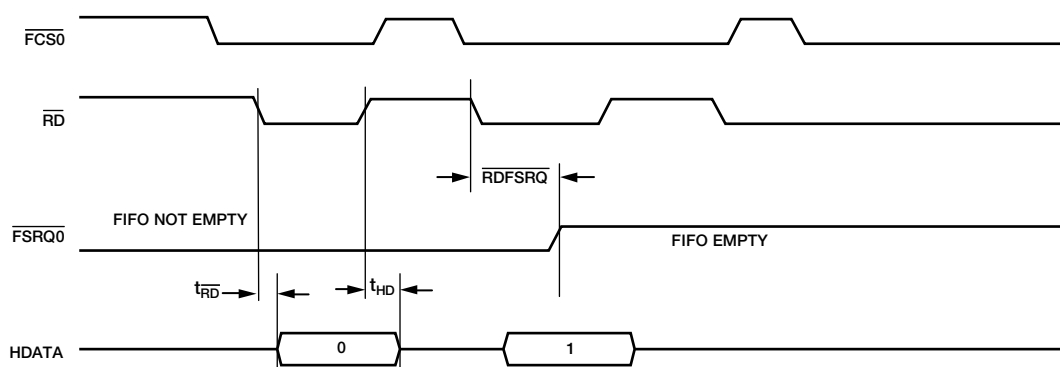


図12. DCS DMAモードの単一読出しアクセス

06389-060

# ADV212

## 外部DMAモード—FIFO書込み、バースト・モード

表8

Parameter	Mnemonic	Min	Typ	Max	Unit
$\overline{\text{DREQ}}$ Pulse Width <sup>1</sup>	$\overline{\text{DREQ}}_{\text{PULSE}}$	1 JCLK <sup>2</sup>		15 JCLK	ns
$\overline{\text{WE}}$ to $\overline{\text{DREQ}}$ Deassert ( $\text{DR} \times \text{PULS} = 0$ )	$t_{\overline{\text{DREQRTN}}}$	2.5 JCLK		$3.5 \times \text{JCLK} + 7.5$	ns
$\overline{\text{DACK}}$ to $\overline{\text{WE}}$ Setup	$t_{\overline{\text{DACKSU}}}$	0			ns
Data Setup	$t_{\text{SU}}$	2.5			ns
Data Hold	$t_{\text{HD}}$	2			ns
$\overline{\text{WE}}$ Assert Pulse Width	$\overline{\text{WE}}_{\text{LO}}$	1.5 JCLK			ns
$\overline{\text{WE}}$ Deassert Pulse Width	$\overline{\text{WE}}_{\text{HI}}$	1.5 JCLK			ns
$\overline{\text{WE}}$ Deassert to Next $\overline{\text{DREQ}}$	$t_{\overline{\text{DREQWAIT}}}$	2.5 JCLK		$4.5 \times \text{JCLK} + 9.0$	ns
$\overline{\text{WE}}$ Deassert to $\overline{\text{DACK}}$ Deassert	$t_{\overline{\text{WE\_DACK}}}$	0			ns

<sup>1</sup> EDMOD0またはEDMOD1 <14:11>がゼロ以外の値に設定されている場合は、割り当てられているDMAチャンネルに適用されます。

<sup>2</sup> JCLKの定義については、図32を参照。

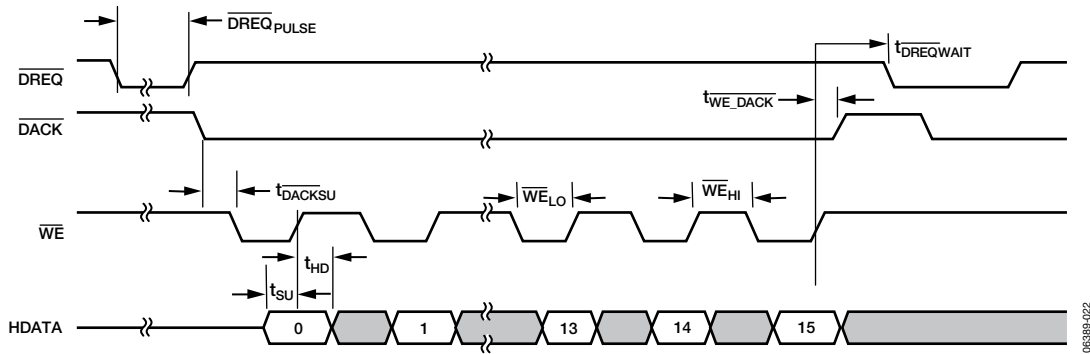


図13. 割り当てられたDMAチャンネルに対する $\overline{\text{DREQ}}/\overline{\text{DACK}}$  DMAモードのバースト書込みサイクル (EDMOD0/EDMOD1 <14:11>は値0000に設定されていません)

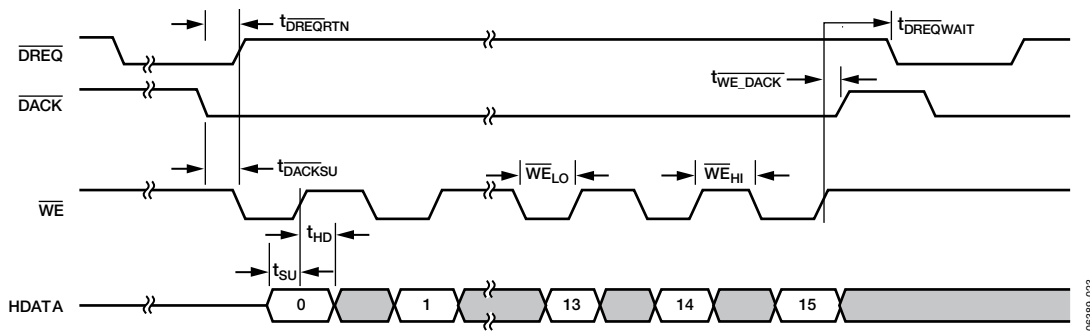


図14. 割り当てられたDMAチャンネルに対する $\overline{\text{DREQ}}/\overline{\text{DACK}}$  DMAモードのバースト書込みサイクル (EDMOD0/EDMOD1 <14:11>は値0000に設定されています)

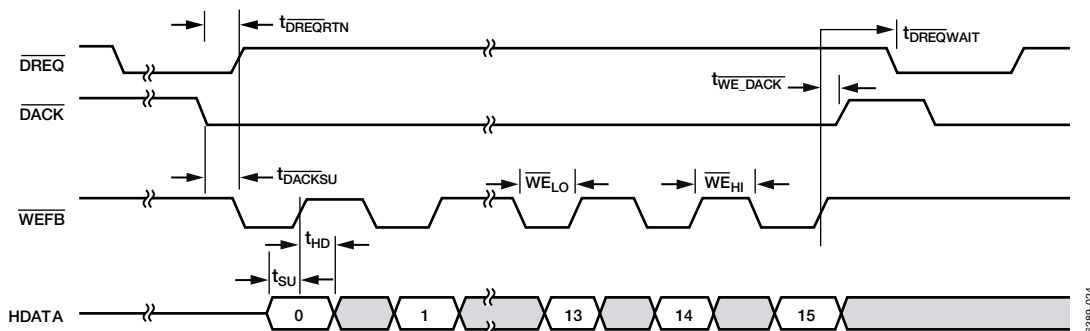


図15. フライバイDMAモードのバースト書込みサイクル

外部DMAモード—FIFO読出し、バースト・モード

表9

Parameter	Mnemonic	Min	Typ	Max	Unit
$\overline{DREQ}$ Pulse Width <sup>1</sup>	$\overline{DREQ}_{PULSE}$	1 JCLK <sup>2</sup>		15 JCLK	ns
$\overline{RD}$ to $\overline{DREQ}$ Deassert ( $DR \times PULS = 0$ )	$t_{\overline{DREQ}RTN}$	2.5 JCLK		$3.5 \times JCLK + 7.5$	ns
$\overline{DACK}$ to $\overline{RD}$ Setup	$t_{\overline{DACK}SU}$	0			ns
$\overline{RD}$ to Data Valid	$t_{\overline{RD}}$	2.5		9.7	ns
Data Hold	$t_{HD}$	2.5			ns
$\overline{RD}$ Assert Pulse Width	$\overline{RD}_{LO}$	1.5 JCLK			ns
$\overline{RD}$ Deassert Pulse Width	$\overline{RD}_{HI}$	1.5 JCLK			ns
$\overline{RD}$ Deassert to Next $\overline{DREQ}$	$t_{\overline{DREQ}WAIT}$	2.5 JCLK		$3.5 \times JCLK + 7.5$	ns
$\overline{RD}$ Deassert to $\overline{DACK}$ Deassert	$t_{\overline{RD\_DACK}}$	0			ns

<sup>1</sup> EDMOD0またはEDMOD1 <14:11>がゼロ以外の値に設定されている場合は、割り当てられているDMAチャンネルに適用されます。

<sup>2</sup> JCLKの定義については、図32を参照。

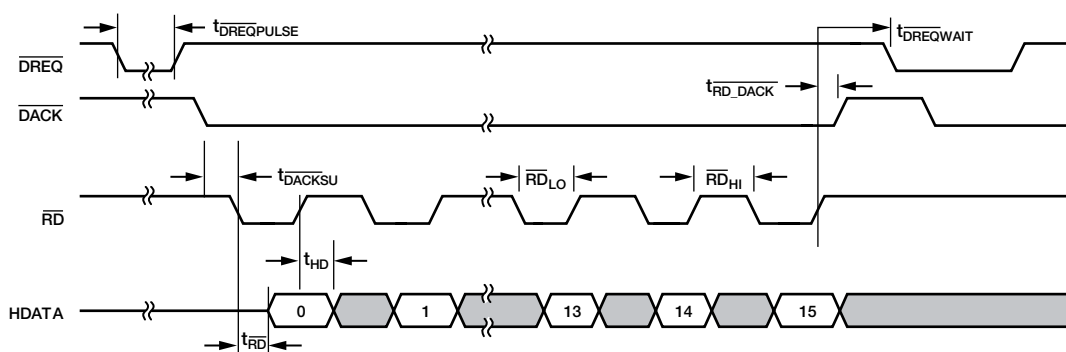


図16. 割り当てられたDMAチャンネルに対する $\overline{DREQ}/\overline{DACK}$  DMAモードのバースト読出しサイクル (EDMOD0/EDMOD1 <14:11>は値0000に設定されていません)

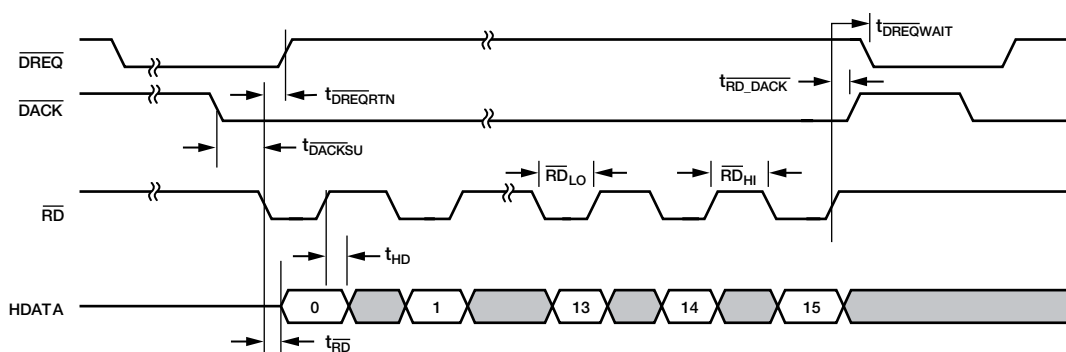


図17. 割り当てられたDMAチャンネルに対する $\overline{DREQ}/\overline{DACK}$  DMAモードのバースト読出しサイクル (EDMOD0/EDMOD1 <14:11>は値0000に設定されています)

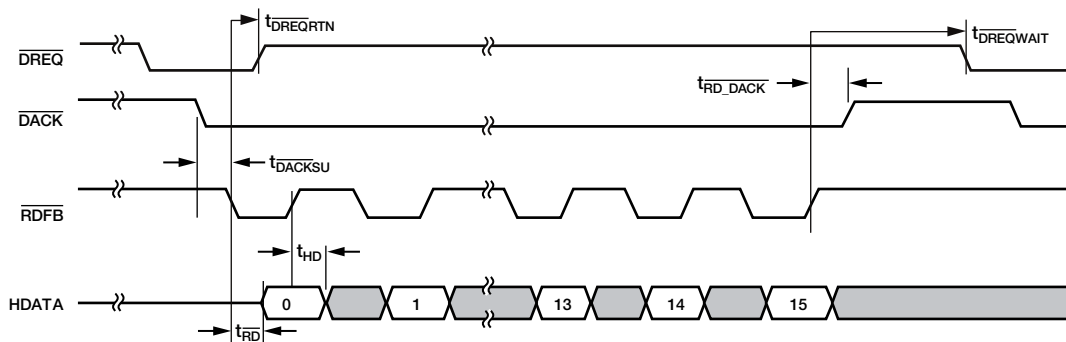


図18. フライバイDMAモードのバースト読出しサイクル

# ADV212

## ストリーミング・モード (JDATA) —FIFO読み出し/書き込み

表10

Parameter	Mnemonic	Min	Typ	Max	Unit
MCLK to JDATA Valid	JDATA <sub>TD</sub>	1.5 JCLK <sup>1</sup>		2.5 × JCLK + 9.5	ns
MCLK to VALID Assert/Deassert	VALID <sub>TD</sub>	1.5 JCLK		2.5 × JCLK + 8.0	ns
HOLD Setup to Rising MCLK	HOLD <sub>SU</sub>	3			ns
HOLD Hold from Rising MCLK	HOLD <sub>HD</sub>	3			ns
JDATA Setup to Rising MCLK	JDATA <sub>SU</sub>	3			ns
JDATA Hold from Rising MCLK	JDATA <sub>HD</sub>	3			ns

<sup>1</sup> JCLKの定義については、図32を参照。

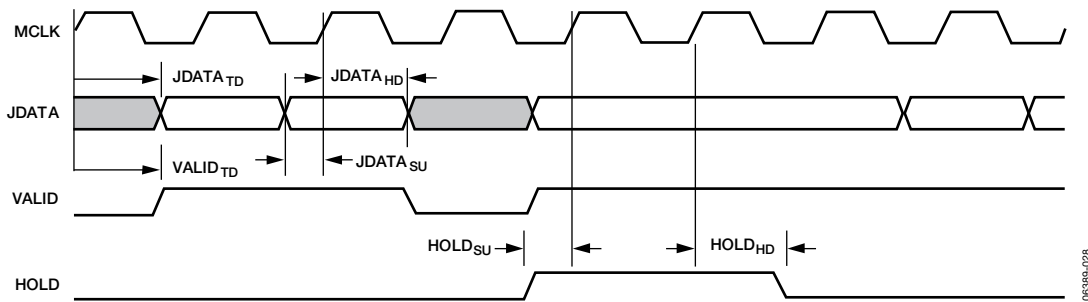


図19. ストリーミング・モードのタイミグ—エンコード・モードのJDATA出力

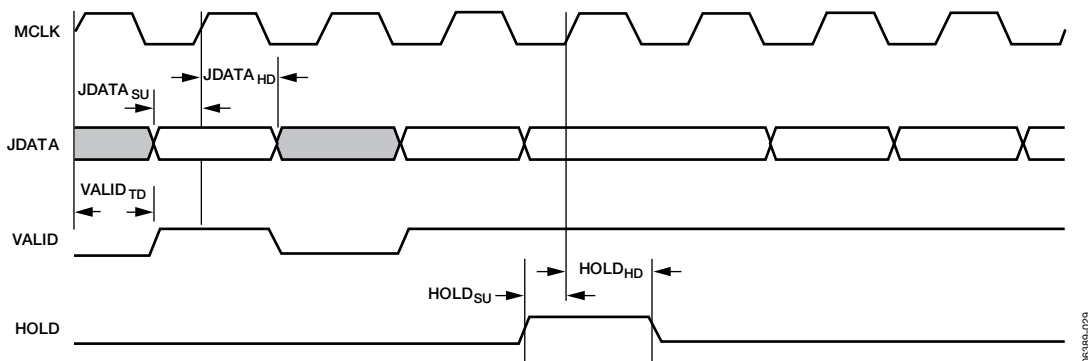


図20. ストリーミング・モードのタイミグ—デコード・モードのJDATA入力

VDATAモードのタイミング

表11

Parameter	Mnemonic	Min	Typ	Max	Unit
VCLK to VDATA Valid Delay (VDATA Output)	VDATA <sub>TD</sub>			12	ns
VDATA Setup to Rising VCLK (VDATA Input)	VDATA <sub>SU</sub>	4			ns
VDATA Hold from Rising VCLK (VDATA Input)	VDATA <sub>HD</sub>	4			ns
HSYNC Setup to Rising VCLK	HSYNC <sub>SU</sub>	3			ns
HSYNC Hold from Rising VCLK	HSYNC <sub>HD</sub>	4			ns
VCLK to HSYNC Valid Delay	HSYNC <sub>TD</sub>			12	ns
VSYNC Setup to Rising VCLK	VSYNC <sub>SU</sub>	3			ns
VSYNC Hold from Rising VCLK	VSYNC <sub>HD</sub>	4			ns
VCLK to VSYNC Valid Delay	VSYNC <sub>TD</sub>			12	ns
FIELD Setup to Rising VCLK	FIELD <sub>SU</sub>	4			ns
FIELD Hold from Rising VCLK	FIELD <sub>HD</sub>	3			ns
VCLK to FIELD Valid	FIELD <sub>TD</sub>			12	ns
Decode Slave Data Sync Delay (HSYNC Low to First 0xFF of EAV/SAV Code)	SYNC DELAY		8 <sup>1</sup>		VCLK cycles
Decode Slave Data Sync Delay (HSYNC Low to First Data for HVF Mode)			10 <sup>1</sup>		VCLK cycles

<sup>1</sup> 同期遅延の値は個々のアプリケーションに応じて異なります。詳細は、ADV212のユーザーズ・ガイドを参照してください。

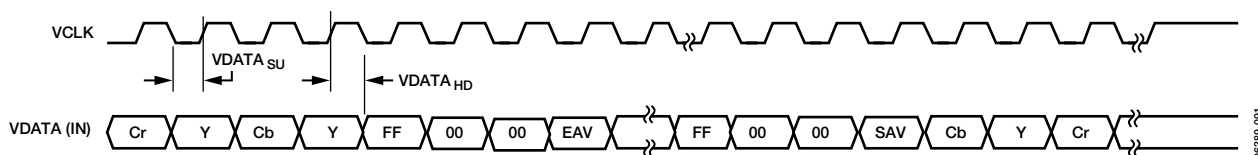


図21. エンコード・ビデオ・モードのタイミング—CCIR 656モード

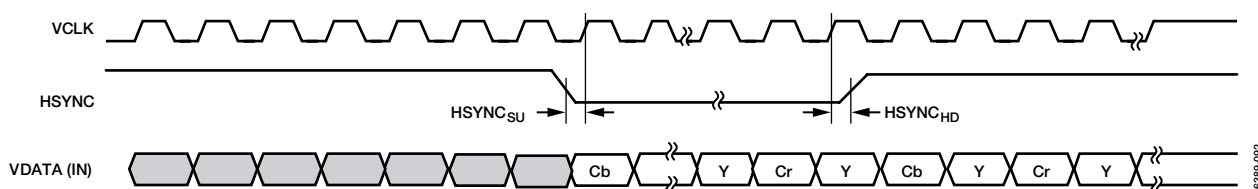


図22. エンコード・ビデオ・モードのタイミング—HVFモード (HSYNCタイミング)  
(HSYNCは負極性に設定)

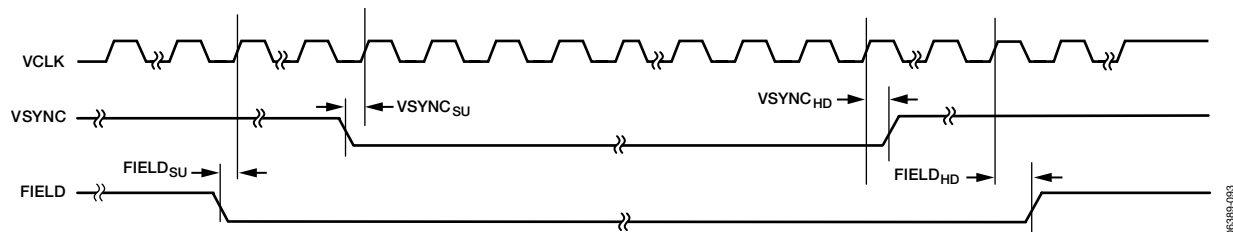


図23. エンコード・ビデオ・モードのタイミング—HVFモード (VSYNCおよびFIELDタイミング)  
(VSYNC、FIELDは負極性に設定)

# ADV212

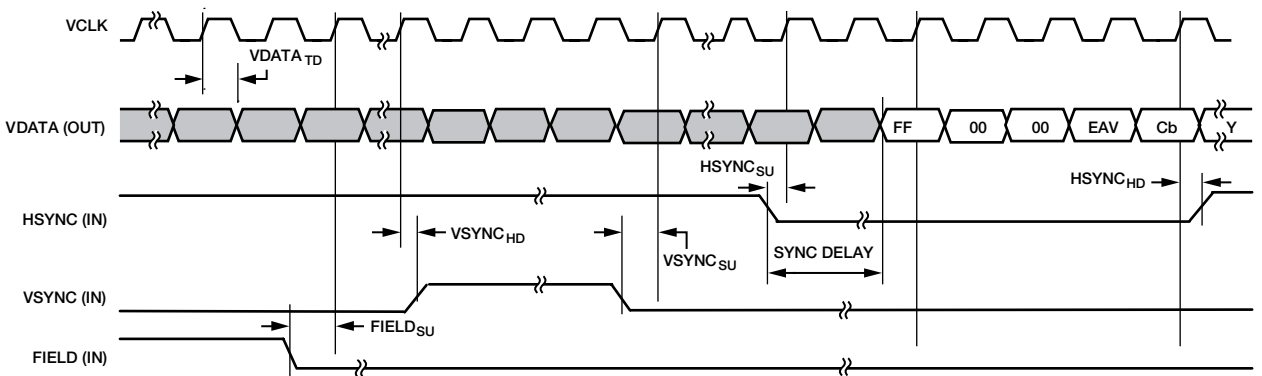


図24. デコード・ビデオ・モードのタイミング—CCIR 656モード、デコード・スレープ  
(HSYNC、VSYNC、FIELDは負極性に設定)

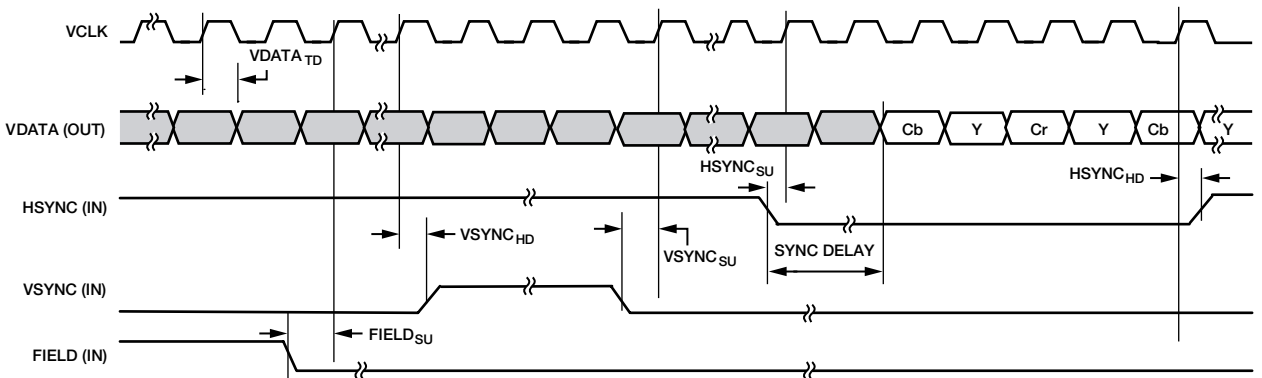


図25. デコード・ビデオ・モードのタイミング—HVFモード、デコード・スレープ  
(HSYNCは負極性に設定)

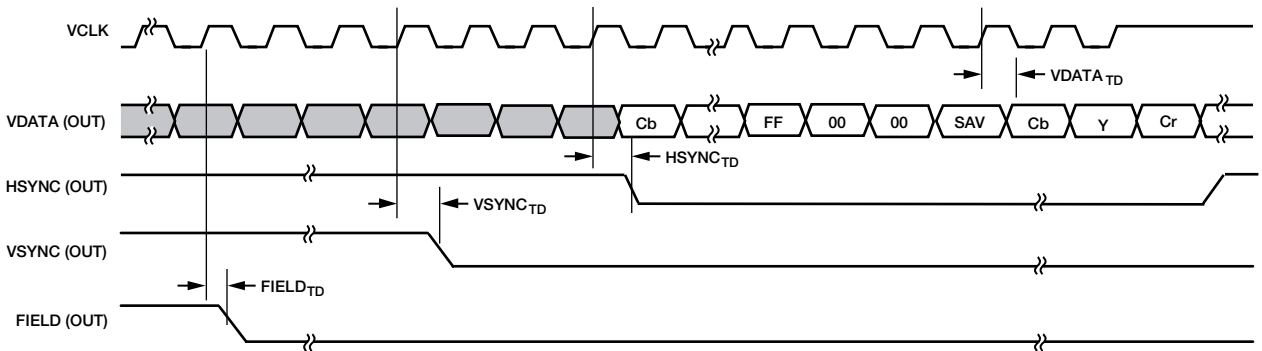


図26. デコード・ビデオ・モードのタイミング—CCIR 656モード、デコード・マスタ  
(HSYNC、VSYNC、FIELDは負極性に設定)

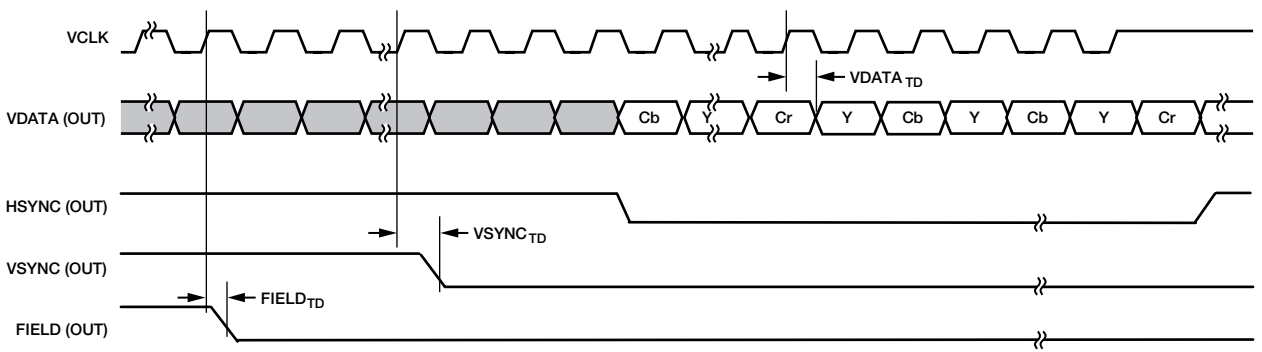


図27. デコード・ビデオ・モードのタイミング—HVFモード、デコード・マスタ  
(HSYNC、VSYNC、FIELDは負極性に設定)



VD生ピクセル・モードのタイミング

表12

Parameter	Mnemonic	Min	Typ	Max	Unit
VCLK to PIXELDATA Valid Delay (PIXELDATA Output)	VDATA <sub>TD</sub>			12	ns
PIXELDATA Setup to Rising VCLK (PIXELDATA Input)	VDATA <sub>SU</sub>	4			ns
PIXELDATA Hold from Rising VCLK (PIXELDATA Input)	VDATA <sub>HD</sub>	4			ns
VCLK to VRDY Valid Delay	VRDY <sub>TD</sub>			12	ns
VFRM Setup to Rising VCLK (VFRAME Input)	VFRM <sub>SU</sub>	3			ns
VFRM Hold from Rising VCLK (VFRAME Input)	VFRM <sub>HD</sub>	4			ns
VCLK to VFRM Valid Delay (VFRAME Output)	VFRM <sub>TD</sub>			12	ns
VSTRB Setup to Rising VCLK	VSTRB <sub>SU</sub>	4			ns
VSTRB Hold from Rising VCLK	VSTRB <sub>HD</sub>	3			ns

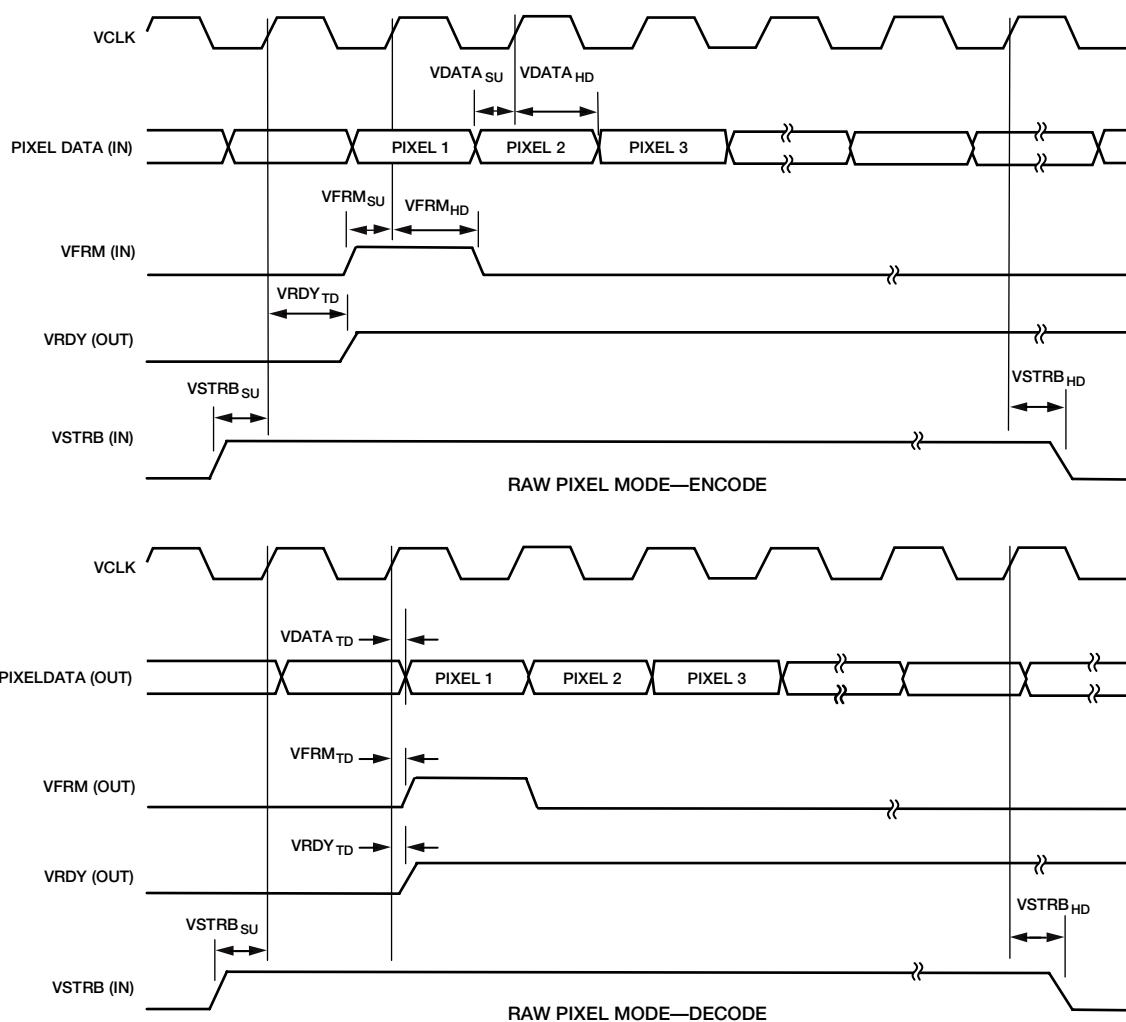


図28. 生ピクセル・モード

09389-031

# ADV212

## JTAG タイミング

表13

Parameter	Mnemonic	Min	Typ	Max	Unit
TCK Period	TCK	134			ns
TDI or TMS Setup Time	$TDI_{SU}$	4.0			ns
TDI or TMS Hold Time	$TDI_{HD}$	4.0			ns
TDO Hold Time	$TDO_{HD}$	0.0			ns
TDO Valid	$TDO_{VALID}$			10.0	ns
TRST Hold Time	$TRST_{HD}$	4.0			ns
TRST Setup Time	$TRST_{SU}$	4.0			ns
TRST Pulse Width Low	$TRST_{LO}$	4			TCK cycles

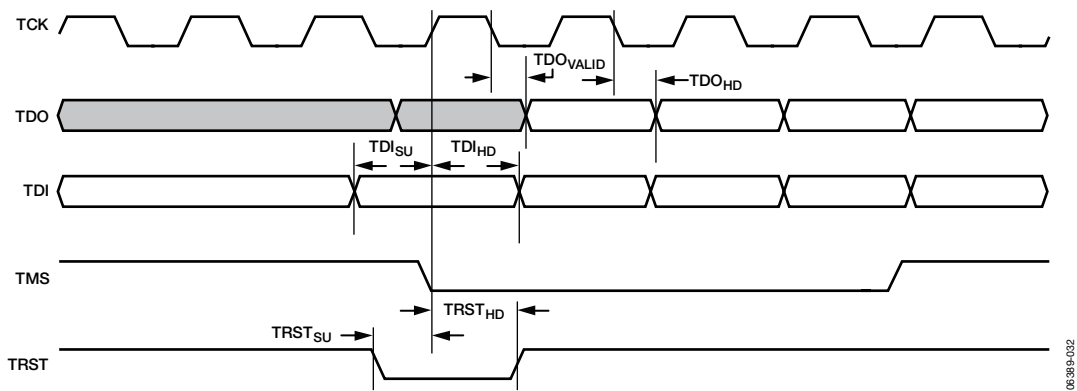


図29. JTAG タイミング

## 絶対最大定格

表14

Parameter <sup>1</sup>	Rating
VDD – Supply Voltage, Core	–0.3 V to +1.65 V
IOVDD – Supply Voltage, Input/Output	–0.3 V to 3.63 V
Storage Temperature [T <sub>s</sub> ]	–65°C to +150°C
Reflow Soldering	
Pb-Free, 121-Ball	260°C [20 sec to 40 sec]
Pb-Free, 144-Ball	260°C [20 sec to 40 sec]

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

$\theta_{JA}$ は、最悪の条件、すなわち回路ボードに表面実装パッケージをハンダ付けした状態で規定しています。

表15. 熱抵抗<sup>1</sup>

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
144-Ball ADV212BBCZ	22.5	3.8	°C/W
121-Ball ADV212BBCZ	32.8	7.92	°C/W

## ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検出されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスで高エネルギーの静電放電が発生した場合、損傷を生じる可能性があります。性能劣化や機能低下を防止するため、ESDに対して適切な予防措置をとることが推奨されます。

## ピン配置とピン機能の説明

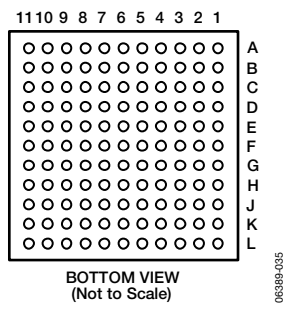


図30. 121ボール：ピン配置

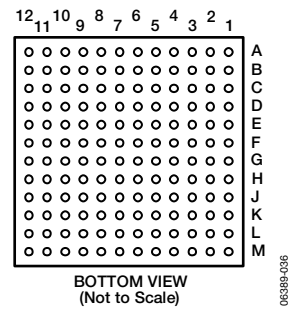


図31. 144ボール：ピン配置

表16. ピン機能の説明

121ボールのパッケージ		144ボールのパッケージ		記号	使用するピン	種類	説明
ピン番号	位置	ピン番号	位置				
119	L9	132	L12	MCLK	1	I	システム入力クロック。「PLL」を参照。
117	L7	131	L11	RESET	1	I	リセット。ADV212を直ちにリセットします。RESET入力時にはCS、RD、WE、DACK0、DACK1、DREQ0、DREQ1をハイレベルに維持する必要があります。
37 to 34, 27 to 25, 16, 15, 24, 14 to 12, 2, 6, 5	D4 to D1, C5 to C3, B5, B4, C2, B3 to B1, A2, A6, A5	64, 49 to 51, 37 to 39, 25 to 27, 13 to 15, 2 to 4	F4, E1 to E3, D1 to D3, C1 to C3, B1 to B3, A2 to A4	HDATA [15:0]	16	I/O	ホスト・データ・バス。HDATA [23:16]、HDATA [27:24]、HDATA [31:28]で、これらのピンは32ビット幅のホスト・データ・バスを構成します。非同期ホスト・インターフェースは、ADDR[3:0]、CS、WE、RD、およびACKで接続されます。未使用のHDATAピンは10kΩ抵抗でプルダウンする必要があります。
88, 107, 87, 97	H11, K8, H10, J9	108 to 106, 96	J12, J11, J10, H12	ADDR[3:0]	4	I	ホスト・インターフェースのアドレス・バス
96	J8	95	H11	$\overline{CS}$	1	I	チップ・セレクト。この信号は、ホスト・インターフェース経由でアドレス指定されたADV212に対する読出し/書込みアクセスを許可するために使用します。
95	J7	94	H10	$\overline{WE}^1$ $\overline{RDFB}^2$	1	I	ホスト・インターフェースで使用される書込みイネーブル フライバイDMAがイネーブルされた場合の読出しイネーブル。WEとDACKを同時にローレベルにアサートすると、DMAチャンネルがディスエーブルされていてもHDATAバスが起動します。
86	H9	84	G12	$\overline{RD}^1$ $\overline{WEFB}^3$	1	I	ホスト・インターフェースで使用される読出しイネーブル フライバイDMAがイネーブルされた場合の書込みイネーブル。RDとDACKを同時にローレベルにアサートすると、DMAチャンネルがディスエーブルされていてもHDATAバスが起動します。
85	H8	83	G11	$\overline{ACK}$	1	O	アクノレッジ。直接レジスタ・アクセスに使用します。この信号は、レジスタへの最後のアクセスが成功したことを知らせます。同期化の問題があるため、コントロールおよびステータス・レジスタへのアクセスは余分な遅延を生じる場合があります。したがって、ホスト・ソフトウェアはADV212からのアクノレッジを待ってから別のレジスタへのアクセスを実行します。 FIFOへのアクセス（外部DMAモード）は、使用できるスペースがあると直ちに可能となります。したがって、ホスト・ソフトウェアはACKを待たずに別のレジスタへのアクセスを実行できます。ただし、この場合はタイミングの制約に従う必要があります。 ACKが複数のデバイスで共用されている場合は、ACKをプルアップ抵抗（10kΩ）に接続して、PLL_HIレジスタのビット4を1に設定します。
76	G10	82	G10	$\overline{IRQ}$	1	O	割込み。ADV212がホスト・プロセッサのアテンションを必要とすることを示します。このピンは、ADV212の内部割込み状態のステータスを表示するように設定できます。割込みソースは、EIRQIEレジスタのビットを使ってイネーブルできます。

# ADV212

121ボールのパッケージ		144ボールのパッケージ		記号	使用するピン	種類	説明
ピン番号	位置	ピン番号	位置				
63	F8	72	F12	$\overline{\text{DREQ0}}$	1	O	外部DMAインターフェースに対するデータ要求。ADV212がDMAチャンネル0に割り当てられたFIFOに対してデータを送信または受信できる状態にあることを示します。
				$\overline{\text{FSRQ0}}$		O	FIFOサービス要求。DCS-DMAモードで使用します。チャンネル0に割り当てられたFIFOからのサービス要求です（非同期モード）。
				$\overline{\text{VALID}}$		O	JDATA入出力ストリームの有効インジケータ。このピンの極性はEDMOD0レジスタで設定します。VALIDは常に出力です。
				CFG1		I	ブート・モード設定。このピンは、オンボード・プロセッサのブート設定を判定するためにリセット時に読み出されます。10kΩの抵抗を介してIOVDDまたはDGNDに設定します。
64	F9	71	F11	$\overline{\text{DACK0}}$	1	I	外部DMAインターフェースに対するデータ・アクノレッジ。ホストCPUからの信号であり、データ転送要求（ $\overline{\text{DREQ0}}$ ）が認められてデータ転送が可能であることを示します。このピンは、DMAインターフェースを使用しない場合は、DMAチャンネルがデイスエーブル状態であっても常にハイレベルに維持する必要があります。
				$\overline{\text{HOLD}}$		I	JDATA入出力ストリームの外部ホールド表示。極性は、EDMOD0レジスタで設定します。このピンは常に入力です。
				$\overline{\text{FCS0}}$		I	FIFOチップ・セレクト。DCS-DMAモードで使用します。チャンネル0に割り当てられたFIFOのチップ・セレクトです（非同期モード）。
65	F10	70	F10	$\overline{\text{DREQ1}}$	1	O	外部DMAインターフェースに対するデータ要求。ADV212がDMAチャンネル1に割り当てられたFIFOに対してデータを送信または受信できる状態にあることを示します。
				$\overline{\text{FSRQ1}}$		O	FIFOサービス要求。DCS-DMAモードで使用します。チャンネル1に割り当てられたFIFOからのサービス要求です（非同期モード）。
				CFG2		I	ブート・モード設定。このピンは、オンボード・プロセッサのブート設定を判定するためにリセット時に読み出されます。10kΩの抵抗を介してIOVDDまたはDGNDに設定する必要があります。
75	G9	69	F9	$\overline{\text{DACK1}}$	1	I	外部DMAインターフェースに対するデータ・アクノレッジ。ホストCPUからの信号であり、データ転送要求（ $\overline{\text{DREQ1}}$ ）が認められてデータ転送が可能であることを示します。このピンは、DMAまたはJDATAへのアクセスが実行されない限り常にハイレベルに維持する必要があります。DMAインターフェースを使用しない場合は、DMAチャンネルがデイスエーブル状態であっても常にハイレベルに維持します。
				$\overline{\text{FCS1}}$		I	FIFOチップ・セレクト。DCS-DMAモードで使用します。チャンネル1に割り当てられたFIFOのチップ・セレクトです（非同期モード）。
90 to 92, 78	J2 to J4, H1	111, 97 to 99	K3, J1 to J3	HDATA [31:28] JDATA [7:4]	4	I/O	ホスト拡張バス
79 to 81, 70	H2 to H4, G4	100, 85 to 87	J4, H1 to H3	HDATA [27:24] JDATA [3:0]	4	I/O	JDATAバス（JDATAモード）
						I/O	ホスト拡張バス
						I/O	JDATAバス（JDATAモード）

121ボールのパッケージ		144ボールのパッケージ		記号	使用する ピン	種類	説明
ピン番号	位置	ピン番号	位置				
69, 68, 59, 58	G3, G2, F4, F3	88,73 to 75	H4, G1 to G3	HDATA [23:20]	4	I/O	ホスト拡張バス
57, 46 to 48	F2, E2, E3, E4	76, 61 to 63	G4, F1 to F3	HDATA [19:16] VDATA [15:12]	4	I/O	ホスト拡張バス  ビデオ・データ。生ピクセル・ビデオ・モード専用です。未使用のピンは10kΩ抵抗でプルダウンします。
112	L2	134	M2	SCOMM7	8	I/O	シリアル通信。内部使用専用。10kΩ抵抗でローレベルに固定します。
113	L3	135	M3	SCOMM6		I/O	シリアル通信。内部使用専用。10kΩ抵抗でローレベルに固定します。
114	L4	136	M4	SCOMM5		I/O	シリアル通信。このピンは、マルチチップ・モードで複数のADV212の出力を整理させるために使用する必要があります。詳細は、「アプリケーション」とアプリケーション・ノートAN-796を参照してください。このピンが未使用の場合は、10kΩ抵抗でローレベルに固定します。
100	K1	121	L1	SCOMM4		O	エンコード・モードのLCODE出力。LCODEのイネーブル時には、このピンの出力は、ハイレベルへの変化で、フィールドの最終データワードがFIFOから読み出されたことを示します。JDATAなどの8ビット・インターフェースの場合は、LCODEは連続した4バイト間アサートされます。デフォルトでイネーブルされます。
101	K2	122	L2	SCOMM3		I	シリアル通信。内部使用専用。10kΩ抵抗でローレベルに固定します。
115	L5	123	L3	SCOMM2		O	シリアル通信。内部使用専用。10kΩ抵抗でローレベルに固定します。
103	K4	109	K1	SCOMM1		I	シリアル通信。内部使用専用。10kΩ抵抗でローレベルに固定します。
102	K3	110	K2	SCOMM0		O	シリアル通信。10kΩ抵抗でローレベルに固定します。
53	E9	60	E12	VCLK	1	I	ビデオ・データ・クロック。ビデオ・データがVDATAバスで入力/出力される場合に入力する必要があります。
44, 43, 29, 31, 32, 18 to 20, 22, 21, 7, 10	D11, D10, C7, C9, C10, B7, B8, B9, B11, B10, A7, A10	46 to 48, 34 to 36, 22 to 24, 9 to 11	D10 to D12, C10 to C12, B10 to B12, A9 to A11	VDATA [11:0]	12	I/O	ビデオ・データ。未使用ピンは10kΩ抵抗でプルダウンする必要があります。
41	D8	58	E10	VSYNC VFRM	1	I/O	ビデオ・モードの垂直同期  生ピクセル・モード・フレーミング信号。このピンをハイレベルにアサートして、タイルの最初のサンプルであることを示します。
42	D9	59	E11	HSYNC VRDY	1	I/O	ビデオ・モードの水平同期  生ピクセル・モード・レディ信号
54	E10	57	E9	FIELD VSTRB	1	I/O	ビデオ・モードのフィールド同期  生ピクセル・モード転送ストローブ
94	J6	120	K12	TCK	1	I	JTAGクロック。未使用の場合は、プルダウン抵抗を介してこのピンをグラウンドに接続します。
108	K9	119	K11	TRS	1	I	JTAGリセット。JTAGを使用する場合は、このピンをローレベルからハイレベルにトグルさせます。JTAGを使用しない場合は、このピンをローレベルに固定する必要があります。

# ADV212

121ボールのパッケージ		144ボールのパッケージ		記号	使用するピン	種類	説明
ピン番号	位置	ピン番号	位置				
98	J10	118	K10	TMS	1	I	JTAGモード・セレクト。JTAGを使用する場合は、10kΩのプルアップ抵抗をこのピンに接続します。JTAGを使用しない場合は、プルダウン抵抗を介してこのピンをグラウンドに接続します。
116	L6	141	M9	TDI	1	I	JTAGシリアル・データ入力。JTAGを使用する場合は、10kΩのプルアップ抵抗をこのピンに接続します。JTAGを使用しない場合は、プルダウン抵抗を介してこのピンをグラウンドに接続します。
109	K10	130	L10	TDO	1	O	JTAGシリアル・データ出力。このピンを使用しない場合は無接続とします。
3, 8, 40, 84, 120	A3, A8, D7, H7, L10	18, 19, 30, 31, 42, 43, 102, 103, 114, 115, 126, 127, 142	B6, B7, C6, C7, D6, D7, J6, J7, K6, K7, L6, L7, M10	VDD		V	コア用の正側電源。
1, 4, 9, 11, 23, 33, 39, 45, 49 to 51, 55, 56, 60 to 62, 66, 67, 71 to 73, 77, 83, 89, 99, 110, 111, 118, 121	A1, A4, A9, A11, C1, C11, D6, E1, E5 to E7, E11, F1, F5 to F7, F11, G1, G5 to G7, G11, H6, J1, J11, K11, L1, L8, L11	1, 5 to 8, 12, 17, 20, 29, 32, 41, 44, 52 to 56, 65 to 68, 77 to 81, 89 to 93, 101, 104, 105, 113, 116, 125, 128, 133, 137 to 140, 143, 144	A1, A5 to A8, A12, B5, B8, C5, C8, D5, D8, E4 to E8, F5 to F8, G5 to G9, H5 to H9, J5, J8, J9, K5, K8, L5, L8, M1, M5 to M8, M11, M12	DGND		GND	グラウンド。
17, 28, 30, 38, 52, 74, 82, 93, 104 to 106	B6, C6, C8, D5, E8, G8, H5, J5, K5 to K7	16, 21, 28, 33, 40, 45, 112, 117, 124, 129	B4, B9, C4, C9, D4, D9, K4, K9, L4, L9	IOVDD		V	入出力用の正側電源

<sup>1</sup> フライバイ・モードのDMAでは、 $\overline{RD}$ 信号と $\overline{WE}$ 信号は逆になります (DMAの場合のみ)。これにより、ホストは信号ストロブを使って外部デバイスとADV212間でデータを転送することができます。

<sup>2</sup> フライバイDMA転送を行うエンコード・モードでは、ホストは $\overline{RDFB}$ 信号 ( $\overline{WE}$ ピン) を使ってADV212からの読出しと外部デバイス (メモリなど) への書込みを同時に行うことができます。

<sup>3</sup> フライバイDMA転送を行うデコード・モードでは、ホストは $\overline{WEFB}$ 信号 ( $\overline{RD}$ ピン) を使って外部デバイスからの読出しとADV212への書込みを同時に行うことができます。



## 動作原理

入力ビデオまたはピクセル・データは、ADV212のピクセル・インターフェースに送信され、サンプルはディ・インターリーブされてウェーブレット・エンジンに渡されます。ウェーブレットは5/3または9/7フィルタを使って、各タイルまたはフレームをサブバンドに分割します。この後、ウェーブレット係数が内部メモリに書き込まれます。エントロピ・コーデックは、JPEG 2000標準に従って画像データをコーディングします。内蔵DMA機能は、広帯域幅のメモリーメモリー間転送と機能ブロックメモリー間の高性能転送を提供します。

### ウェーブレット・エンジン

ADV212は、アナログ・デバイセズの実証済み特許技術SURFをベースにした専用のウェーブレット転送プロセッサを持っており、1タイルで最大6レベルのウェーブレット分割を実行できます。エンコード・モードでは、ウェーブレット変換プロセッサは伸長されたサンプルを取り込んでウェーブレット変換と量子化を実行し、すべての周波数サブバンドのウェーブレット係数を内部メモリに書き込みます。各サブバンドは、さらにコード・ブロックに分割されます。コード・ブロックのサイズはユーザが定義できます。ウェーブレット変換プロセッサは、ウェーブレット係数を内部メモリに書き込むときに、ユーザ定義のサイズをもとにその係数を認識してコード・ブロックに分割します。各コード・ブロックは、複数あるエントロピ・コーデックの1つでエントロピ・コーディングされます。

デコード・モードでは、ウェーブレット係数が内部メモリから読み出され、非圧縮形式のサンプルに戻されます。

### エントロピ・コーデック

エントロピ・コーデック・ブロックは、ウェーブレット係数のコード・ブロックに対してコンテキスト・モデリングや算術コーディングを実行します。また、圧縮処理中には最適なレート／歪み性能を求めするために必要な歪み量の計算を行います。エントロピ・コーディング処理は、JPEG 2000の圧縮処理の中で最も計算量の多い処理のため、ADV212は3つの専用ハードウェア・エントロピ・コーデックを持っています。

### 組み込みプロセッサ・システム

ADV212は、32ビットの組み込み型RISCプロセッサを採用しています。このプロセッサは専用ハードウェアの機能を設定、制御、管理するとともに、JPEG 2000コード・ストリームの解析、発生を行います。プロセッサ・システムは、プログラムとデータの両方を格納するメモリ、割込みコントローラ、標準バス・インターフェースを持っています。これ以外には、タイマ、カウンタなど、各種のハードウェア機能を揃えています。

### メモリ・システム

メモリ・システムの主な機能は、ウェーブレット係数データ、中間コード・ブロックの属性データ、一時ワークスペース（JPEG 2000コード・ストリームを作成、解析、保存するために使用）の管理です。このメモリ・システムは、組み込み型プロセッサのプログラム／データ・メモリにも使用できます。

### 内部DMAエンジン

内蔵のDMAエンジンは、広帯域幅のメモリーメモリー間転送とともに、メモリー機能ブロック間の高性能転送も提供します。この機能はコード・ストリームの発生、解析の高速化を実現するうえで非常に重要です。

## ADV212インターフェース

VDATA バスとHDATAバスの両方、またはHDATAバスだけを使ってADV212に接続するためのモードは複数あります。

### ビデオ・インターフェース (VDATAバス)

ビデオ・インターフェースは、未圧縮ピクセル・データが圧縮データとは別のバス上にあるアプリケーションで使用できます。たとえば、HDATAバスを使って圧縮データを出力しているときに、VDATAバスを使って未圧縮ビデオを入力することができます。このインターフェースは、ライブ・ビデオ・キャプチャなどの超高速スループットを必要とするアプリケーションに最適です。

ADV212はオプションで、ウェーブレット処理の前にITU-R BT.656分解能ビデオ信号をオンザフライでインターレースします。この機能により、一時的にコヒーレントなフレーム・ベースのビデオ・ソースで非常に優れた圧縮性能が得られます。また、複数のADV212を使用する、SMPTE 274M (1080i)などの高品位デジタル・ビデオに対応しています。

ビデオ・インターフェースは、8/10/12ビット・フォーマット、YCbCrフォーマット、またはシングル入力モードのビデオ・データまたは静止画像データの入出力をサポートすることができます。YCbCrデータの場合は、4:2:2フォーマットにする必要があります。

ビデオ・データは、表17に示すように、VDATA バスを使って複数の異なるモードで入出力できます。これらのモードはすべて、ピクセル・クロックをVCLK ピンで 入力する必要があります。

表17. ビデオ入出力モード

モード	説明
EAV/SAV	EAV/SAV コードが埋め込まれたビデオを受信します。この場合、YCbCr データは1本のバス上でインターリーブされます。
HVF	個別にH信号、V信号、F信号を持つビデオ・データを受信します。この場合、YCbCr データは1本のバス上でインターリーブされます。
生ビデオ	静止画データと非標準ビデオに使用します。VFRM、VSTRB、およびVRDYは、画像のサイズを設定するために使用します。

### ホスト・インターフェース (HDATAバス)

ADV212は、非同期SRAM型インターフェース、DMAアクセス、またはストリーミング・モード (JDATA) インターフェースを使って、さまざまなホスト・プロセッサやASICに直接接続できます。このデバイスは、制御用の16/32ビット・バスとデータ転送用の8/16/32ビット・バスをサポートしています。

ADV212は、制御およびデータ・チャンネルのバス幅を個々に指定できるので、さまざまなビット幅の制御バスとデータ・バスを必要とするアプリケーションをサポートすることができます。

ホスト・インターフェースは、設定、制御、およびステータス機能用として、また圧縮データ・ストリームの転送用として使用されます。モードによっては、未圧縮データの転送用として使用できます。このインターフェースは、制御/ステータス通信以外に次の3つの同時データ・ストリームで共用できます。

- 未圧縮のタイル・データ (静止画データなど)
- 完全にエンコードされたJPEG 2000コード・ストリーム (または未パッケージ化のコード・ブロック)
- コード・ブロック属性

ADV212は、16/32ビット転送でビッグ・エンディアン・バイト方式を使用します。すべてのデータは左寄せされます (MSB)。

### ホスト・インターフェースのピクセル入力

ホスト・インターフェース上でのピクセル入力は、8/10/12/14/16ビットの生ピクセル・データ・フォーマットをサポートしています。これは、ピクセル (静止画像) の入出力または圧縮ビデオの出力に使用できます。ホスト・インターフェース上では入力データに関連するタイミング・コードや同期信号は存在しないので、ディメンション・レジスタと内部カウンタを使用します。これらを設定して、フレームの始まりと終わりを示す必要があります。このモードのADV212の使用法については、テクニカル・ノート『ADV202 in HIPI Mode』を参照。

### ホスト・バスの構成

柔軟性を最大限保証するために、ホスト・インターフェースは特定のシステム条件を満たす複数の構成を提供します。デフォルトのバス・モードでは、同じピンを使ってADV212に対する制御、ステータス、およびデータの転送を行います。このモードのときは、ADV212は16/32ビットの制御転送と8/16/32ビットのデータ転送が可能です。これらのバスのサイズは個別に選択できるため、たとえば、16ビット・マイクロコントローラはADV212を設定、制御すると同時に、ASICまたは外部メモリ・システムに32ビットのデータ転送を提供することができます。

### 直接レジスタおよび間接レジスタ

使用するピン数とコストを最小限に抑えるために、アドレス・ピンの数は4本に制限されています。このため、全部で16ロケーションの直接アドレス空間が得られます。これらのロケーションは、外部コントローラによって最も多く使用されるため直接アクセスすることができます。ADV212の他のレジスタには、IADDRおよびIDATA レジスタを介して間接的にアクセスできます。

## コントロール・アクセス・レジスタ

間接アドレス・レジスタと間接データ・レジスタ (IADDRおよびIDATA) を除き、ADV212のコントロール/ステータス・レジスタはすべて16ビット幅で、半ワード (16ビット) アドレス指定のみが可能です。32ビット・ホスト・モードがイネーブルされたときは、書込み時にHDATAバスの上位16ビットが無視され、16ビット・レジスタの読出し時にすべてゼロが返されます。

## ピン配置とバスのサイズ/モード

ADV212はさまざまな制御/データ設定を提供するため、外付けロジックなしで (または、ほとんどなしで) 多くのアプリケーションで使用できます。このセクションで説明するモードは、BUSMODE レジスタを使って設定します。このセクションでは、ホスト・アクセスは通常のアドレス指定アクセス ( $\overline{CS}/\overline{RD}/\overline{WE}/\overline{ADDR}$ ) を指し、データ・アクセスは外部DMAアクセス ( $\overline{DREQ}/\overline{DACK}$ ) を示します。

### 32ビット・ホスト/32ビット・データ

このモードで、HDATA<31:0>ピンはPIXEL FIFO、CODE FIFO、ATTR FIFOに対して全32ビット幅のデータ・アクセスを提供します。

### 16ビット・ホスト/32ビット・データ

このモードで、16ビット・ホストはADV212に対して設定、通信を行うことができ、外部DMA機能によってPIXEL FIFO、CODE FIFO、ATTR FIFOへの32ビット・アクセスが可能となります。

アドレス指定されたホスト・アクセスはすべて16ビット・アクセスのため、HDATA<15:0>ピンのみが使用されます。HDATA<31:16>ピンは、FIFOのみを対象にした32ビット外部DMA転送をサポートするために追加の16ビットを提供します。

### 16ビット・ホスト/16ビット・データ

このモードは、ホストまたは外部DMAデータ転送に使用される場合に、16ビット転送を使用します。

### 16ビット・ホスト/8ビット・データ (JDATAバス・モード)

このモードでは、個別のデータ入出力ピンおよびホスト制御インターフェース・ピンを提供します。ホスト制御アクセスは16ビットで、HDATA<15:0>を使用しますが、専用データ・バスはJDATA<7:0>を使用します。

JDATAは有効 (valid) /ホールド (hold) 同期転送プロトコルを使用します。JDATAバスの方向は、ADV212のモードによって決まります。ADV212がエンコード (圧縮) を実行している場合、JDATA<7:0>は出力となります。ADV212がデコード (伸長) を実行している場合、JDATA<7:0>は入力となります。ホスト制御アクセスは非同期のままです。下記の「JDATAモード」を参照。

## ステージ・レジスタ

ADV212は16ビット・レジスタと32ビット・レジスタの両方を持っており、その内部メモリは32ビット・データとしてマッピングされるため、16ビット・ホストはステージ・レジスタ (STAGE) を使ってこれらのレジスタやメモリ・ロケーションにアクセスできます。STAGEは、HDATA [15:0] を使って16ビット・レジスタとしてアクセスされます。書込み対象のレジスタに書込みを行う場合は、その前にステータス・レジスタの上位半ワードの書込みが必要となります。

この後にホストが下位半ワードをコントロール・レジスタに書き込むと、HDATAが前のステージ値と結合されて32ビットの書込み値が生成されます。レジスタが読み出されると、上位半ワードがすぐにHDATAで返されます。下位半ワードは、次のアクセスでステージ・レジスタを読み出して取得します。ステージ・レジスタの使用法については、ADV212のユーザー・ガイドを参照してください。

ステージ・レジスタは3つのデータ・チャンネル (PIXEL、CODE、ATTR) には適用されません。これらのチャンネルは常に指定のデータ幅でアクセスされるので、ステージ・レジスタを使用する必要はありません。

## JDATAモード

JDATAモードは、一般に専用ビデオ・インターフェース (VDATA) がイネーブルされたときだけ使用されます。このモードでは、1本の専用8ビット・バス (JDATA<7:0>) でコード・ストリーム・データ (JPEG 2000準拠の圧縮データ) を入力または出力することができます。このバスは圧縮動作中には常に出力に、伸長動作中は入力になります。

2ピンのハンドシェイクは、この同期インターフェース上でのデータ転送に使用します。VALIDは、ADV212がデータを送信/受信できる状態にあること、また常に出力であることを示します。HOLDは常に入力であり、データを受信/送信できない場合にホストによってアサートされます。たとえば、JDATAモードではリアルタイム・アプリケーションが可能です。すなわち、ピクセル・データはVDATAバスで入力され、圧縮データ・ストリームはJDATAバスで出力されます。

## 外部DMAエンジン

外部DMAインターフェースにより、外部DMAコントローラとADV212データFIFO間の広帯域データ入出力が可能です。2つの独立したDMAチャンネルはそれぞれ、3つのデータ・ストリームFIFO (PIXEL、CODE、ATTR) のいずれか1つに割り当てることができます。

コントローラは、シングル・アクセス・モードまたはバースト・アクセス・モードのいずれかで、データ要求/データ・アクノレッジ ( $\overline{DREQ}/\overline{DACK}$ ) プロトコルを用いた非同期DMAをサポートします。シングル・アドレス互換 (フライバイ) モードと専用チップ・セレクト (DCS) モードには、その他の機能もあります。

# ADV212

## 内部レジスタ

ここでは、ADV212の内部レジスタについて説明します。

### 直接レジスタ

ADV212は、表18に示すように、直接レジスタを16個持っています。直接レジスタには、ADDR [3:0]、HDATA [31:0]、CS、RD、WE、ACKの各ピンを使ってアクセスします。

アプリケーション固有の動作を実行するときは、ホストが最初に直接レジスタを初期化する必要があります。

これらのレジスタのアクセスおよび設定については、ADV212のユーザズ・ガイドを参照してください。

表18. 直接レジスタ

Address	Name	Description
0x00	PIXEL	Pixel FIFO access register
0x01	CODE	Compressed code stream access register
0x02	ATTR	Attribute FIFO access register
0x03	Reserved	Reserved
0x04	CMDSTA	Command stack
0x05	EIRQIE	External interrupt enabled
0x06	EIRQFLG	External interrupt flags
0x07	SWFLAG	Software flag register
0x08	BUSMODE	Bus mode configuration register
0x09	MMODE	Miscellaneous mode register
0x0A	STAGE	Staging register
0x0B	IADDR	Indirect address register
0x0C	IDATA	Indirect data register
0x0D	BOOT	Boot mode register
0x0E	PLL_HI	PLL control register—high byte
0x0F	PLL_LO	PLL control register—low byte

## 間接レジスタ

カスタム入力フォーマットまたはHIPIモードなどの特定モードでは、ユーザがIADDRおよびIDATAレジスタを使って間接レジスタにアクセスする必要があります。間接レジスタ・アドレス空間の先頭内部アドレスは0xFFFF0000です。32ビット・ホストと16ビット・ホストは両方とも間接レジスタにアクセスで

きます。32ビット・ホストはIADDRレジスタとIDATAレジスタを使用し、16ビット・ホストはIADDR、IDATA、ステージの各レジスタを使用します。これらのレジスタのアクセスと構成の詳細は、ADV212のユーザズ・ガイドを参照してください。

表19. 間接レジスタ

Address	Name	Description
0xFFFF0400	PMODE1	Pixel/video format
0xFFFF0404	COMP_CNT_STATUS	Horizontal count
0xFFFF0408	LINE_CNT_STATUS	Vertical count
0xFFFF040C	XTOT	Total samples per line
0xFFFF0410	YTOT	Total lines per frame
0xFFFF0414	F0_START	Start line of Field 0 [F0]
0xFFFF0418	F1_START	Start line of Field 1 [F1]
0xFFFF041C	V0_START	Start of active video Field 0 [F0]
0xFFFF0420	V1_START	Start of active video Field 1 [F1]
0xFFFF0424	V0_END	End of active video Field 0 [F0]
0xFFFF0428	V1_END	End of active video Field 1 [F1]
0xFFFF042C	PIXEL_START	Horizontal start of active video
0xFFFF0430	PIXEL_END	Horizontal end of active video
0xFFFF0440	MS_CNT_DEL	Master/slave delay
0xFFFF0444	Reserved	Reserved
0xFFFF0448	PMODE2	Pixel Mode 2
0xFFFF044C	VMODE	Video mode
0xFFFF1408	EDMOD0	External DMA Mode Register 0
0xFFFF140C	EDMOD1	External DMA Mode Register 1
0xFFFF1410		FFTHRP FIFO threshold for pixel FIFO
0xFFFF1414	Reserved	Reserved
0xFFFF1418	Reserved	Reserved
0xFFFF141C	FFTHRC	FIFO threshold for code FIFO
0xFFFF1420	FFTHRA	FIFO threshold for ATTR FIFO
0xFFFF1424 to 0xFFFF14FC	Reserved	Reserved

# ADV212

## PLL

ADV212は間接レジスタPLL\_HIとPLL\_LOを使ってPLLを設定します。PLL\_LOレジスタが変更される場合は、ホストは20 $\mu$ s以上待ってから他のレジスタへの書込み/読出しを行う必要があります。この遅延が実行されないと、異常な動作が発生します。

MCLKはADV212 PLLへの入力クロックであり、内部JCLK (JPEG 2000プロセッサ・クロック) とHCLK (内蔵CPUクロック) の発生に使用されます。

PLLは、次の条件を満たす限り、任意の最終マルチプレクサ値を持つように設定できます。

- JCLK > 50MHz かつ < 150MHz (144ピン・バージョン)
- JCLK > 50MHz かつ < 115MHz (121ピン・バージョン)
- HCLK < 81MHz (121ピン・バージョン) または HCLK < 108MHz (144ピン・バージョン)
- JCLK  $\geq 2 \times$  VCLK (シングル圧縮入力の場合)
- JCLK  $\geq 2 \times$  VCLK (YCbCr [4:2:2]入力の場合)
- JDATAモード (JDATA) では、JCLKは4 $\times$ MCLK (またはそれ以上の値)。
- 外部DMAモードの最大バースト周波数は $\leq 0.36$  JCLK。

- 50MHz以上のMCLK周波数の場合は、入力クロック分周器をイネーブルします。すなわち、IPDを1に設定します。
- MCLK周波数が20 MHzを下回る場合は、IPDをイネーブルすることはできません。
- デイ・インターレース・モードではJCLK  $\geq 4 \times$  MCLKが必要です。
- ビデオ・デコーダからのLLC出力をMCLKのクロック・ソースとして使用することは推奨しません。

最小消費電力を実現するために、標準画質CCIR 656入力に27MHzのMCLK周波数を使用することを推奨します。また、乗数3を使用するPLL回路を推奨します。これはJCLKとHCLKを81MHzに設定します。

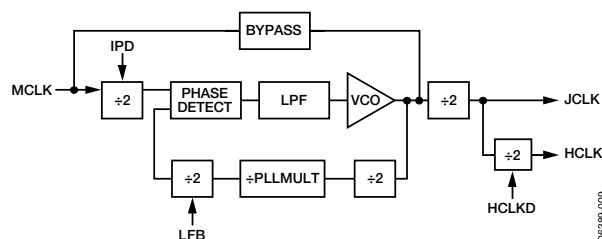


図32. PLLアーキテクチャおよび制御機能

表20. PLLレジスタの推奨設定

IPD	LFB	PLLMULT	HCLKD	HCLK	JCLK
0	0	N	0	N $\times$ MCLK	N $\times$ MCLK
0	0	N	1	N $\times$ MCLK/2	N $\times$ MCLK
0	1	N	0	2 $\times$ N $\times$ MCLK	2 $\times$ N $\times$ MCLK
0	1	N	1	N $\times$ MCLK	2 $\times$ N $\times$ MCLK
1	0	N	0	N $\times$ MCLK/2	N $\times$ MCLK/2
1	0	N	1	N $\times$ MCLK/4	N $\times$ MCLK/2
1	1	N	0	N $\times$ MCLK	N $\times$ MCLK
1	1	N	1	N $\times$ MCLK/2	N $\times$ MCLK

表21. PLL\_HIおよびPLL\_LOレジスタの推奨値

Video Standard	CLKIN Frequency on MCLK	PLL_HI	PLL_LO
SMPTE 125M or ITU-R BT.656 (NTSC or PAL)	27 MHz	0x0008	0x0004
SMPTE 293M (525p)	27 MHz	0x0008	0x0004
ITU-R BT.1358 (625p)	27 MHz	0x0008	0x0004
SMPTE 274M (1080i)	74.25 MHz	0x0008	0x0084

## ハードウェア・ブート

ブート・モードは、CFGピンを使ってハードウェア設定を行うか、ソフトウェアから設定します。パワーアップ後の最初のブート・モードはCFGピンで設定します。

表22. ハードウェア・ブート・モード

Boot Mode	Settings	Description
Hardware Boot Mode 2	CFG<1> tied high, CFG<2> tied low	ブート・ホスト・モードなし。ADV212はブートされませんが、すべての内部レジスタとメモリは通常のホスト入出力動作によりアクセスできます。
Hardware Boot Mode 4	CFG<1> tied low, CFG<2> tied high	Reserved.
Hardware Boot Mode 6	CFG<1> and CFG<2> tied high	Reserved.

# ADV212

## ビデオ入力フォーマット

ADV212は、未圧縮ビデオおよび静止画データ用のさまざまなフォーマットをサポートします。未圧縮データの転送用に選択した実際のインターフェースとバス・モードによって、入力データの許容サイズや、各アクセスで転送されるサンプル数が決まります。

ホスト・インターフェースは、8/10/12/14/16ビット・データ・フォーマットをサポートし、ビデオ・インターフェースは、ビデオ・データまたは静止画像データの入出力をサポートします。サポート可能なフォーマットは、8/10/12ビットYCbCr

フォーマットまたはシングル・コンポーネント・フォーマットです。詳細については、ADV212のユーザーズ・ガイドを参照してください。いずれのフォーマットも、PMODEレジスタで実際のデータ幅/精度を指定する場合より低い精度をサポートすることができます。

最大許容データ入力レートは、非可逆/可逆圧縮モードと入力サンプルのデータ幅（または精度）を使って制限されます。最大データ入力レートについては、表23と表25を参照。

表23. 最大ピクセル・データ入力レート（144ボール・パッケージ）

Interface	Compression Mode	Input Format	Input Rate Limit Active Resolution (MSPS) <sup>1</sup>	Approx Min Output Rate, Compressed Data <sup>2</sup> (Mbps)	Approx Max Output Rate, Compressed Data <sup>3</sup> (Mbps)
HDATA	Irreversible	8-bit data	45	130	200
	Irreversible	10-bit data	45	130	200
	Irreversible	12-bit data	45	130	200
	Irreversible	16-bit data	45	130	200
	Reversible	8-bit data	40	130	200
	Reversible	10-bit data	32	130	200
	Reversible	12-bit data	27	130	200
	Reversible	14-bit data	23	130	200
VDATA	Irreversible	8-bit data	65	130	200
	Irreversible	10-bit data	65	130	200
	Irreversible	12-bit data	65	130	200
	Reversible	8-bit data	40	130	200
	Reversible	10-bit data	32	130	200
	Reversible	12-bit data	27	130	200

<sup>1</sup> アプリケーションによっては、1 HDATAの入力レート制限がこれらの値より小さくなります。この制限は入力画像のサイズとコンテンツ、ホスト・インターフェースの設定、およびDMA転送の設定に依存します。

<sup>2</sup> 保証する最小持続出力レートまたは最小持続圧縮レート [入力レート/最小ピーク出力レート]。

<sup>3</sup> 最大ピーク出力レート：この値を上回る出力レートは不可能です。

表24. 最大ピクセル・データ入力レート（121ボール・パッケージ）

Interface	Compression Mode	Input Format	Input Rate Limit Active Resolution (MSPS) <sup>1</sup>	Approx Min Output Rate, Compressed Data <sup>2</sup> (Mbps)	Approx Max Output Rate, Compressed Data <sup>3</sup> (Mbps)
HDATA	Irreversible	8-bit data	34	98	150
	Irreversible	10-bit data	34	98	150
	Irreversible	12-bit data	34	98	150
	Irreversible	16-bit data	34	98	150
	Reversible	8-bit data	30	98	150
	Reversible	10-bit data	24	98	150
	Reversible	12-bit data	20	98	150
	Reversible	14-bit data	17	98	150
VDATA	Irreversible	8-bit data	48	98	150
	Irreversible	10-bit data	48	98	150
	Irreversible	12-bit data	48	98	150
	Reversible	8-bit data	30	98	150
	Reversible	10-bit data	24	98	150
	Reversible	12-bit data	20	98	150

<sup>1</sup> アプリケーションによっては、1 HDATAの入力レート制限がこれらの値より小さくなります。この制限は入力画像のサイズとコンテンツ、ホスト・インターフェースの設定、およびDMA転送の設定に依存します。

<sup>2</sup> 保証する最小持続出力レートまたは最小持続圧縮レート [入力レート/最小ピーク出力レート]。

<sup>3</sup> 最大ピーク出力レート：この値を上回る出力レートは不可能です。



表25. HDATAおよびVDATAバスでサポートするデータ入力の最大タイル幅

Compression Mode	Input Format	Tile/Precinct Maximum Width
9/7i	Single-component	2048
9/7i	Two-component	1024 each
9/7i	Three-component	1024 (Y)
5/3i	Single-component	4096
5/3i	Two-component	2048 (each)
5/3i	Three-component	2048 (Y)
5/3r	Single-component	4096
5/3r	Two-component	2048
5/3r	Three-component	1024

# ADV212

## アプリケーション

ここでは、ADV212 JPEG 2000ビデオ・プロセッサの代表的なビデオ・アプリケーションについて説明します。

### エンコード—マルチチップ・モード

データ入力レートの制限により（表23を参照）、1080iアプリケーションはフル分解能1080iビデオをエンコードまたはデコードするときは2個以上のADV212が必要です。エンコード・モードでは、ADV212はYデータとCbCrデータを別々のバスで受信します。図33にエンコードの例を示します。

デコード・モードでは、マスタ/スレーブ構成（図34を参照）またはスレーブ/スレーブ構成を適用して2個のADV212の出力を同期化できます。マルチチップ・アプリケーションにおけるADV212の構成方法については、アプリケーション・ノートAN-796を参照してください。

2個の個別のVDATA出力がエンコーダに送信される前にFPGAまたはバッファに送信されるアプリケーションでは、ADV212出力を同期化する必要はありません。

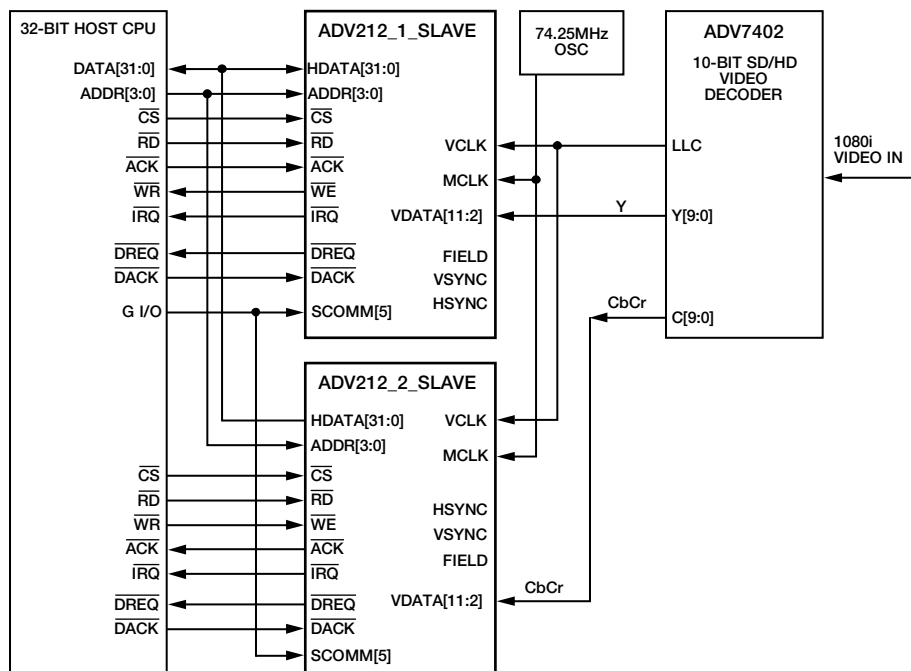


図33. エンコード—マルチチップ・アプリケーション

063899-002

**デコード—マルチチップ・マスタ/スレーブ**  
 マスタ/スレーブ構成では、マスタのHVF出力がスレーブのHVF入力に接続され、各SCOMM[5]ピンはホストの同じGPIOに接続されます。

スレーブ/スレーブ構成では、外部ハウジングで2個のADV212に共通のHVFが発生され、各SCOMM[5]はホスト上の同じGPIO出力に接続されます。

EIRQIEレジスタのソフトウェア割込み1 (SWIRQ1) は、マルチチップ・モードをイネーブルするために両方のデバイスでマスク解除する必要があります。

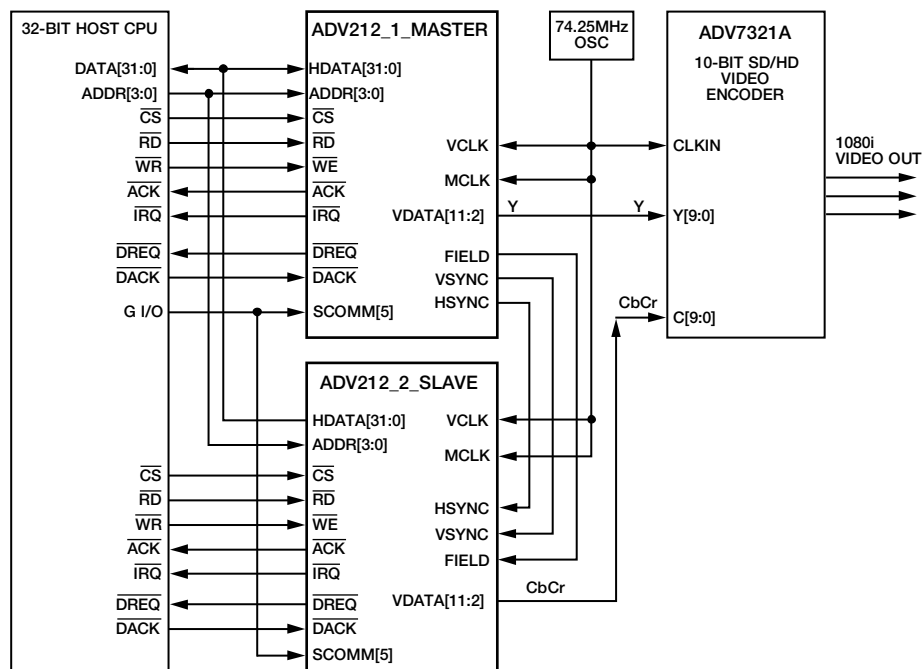


図34. デコード—マルチチップ・マスタ/スレーブ・アプリケーション

06389-003

# ADV212

## デジタルカメラ／ビデオカメラ

図35に、デジタルカメラ／ビデオカメラ（カムコーダ）の代表的な構成を示します。

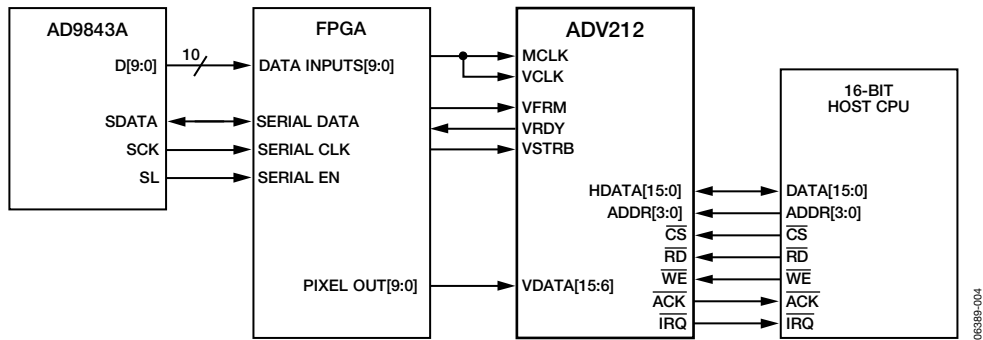
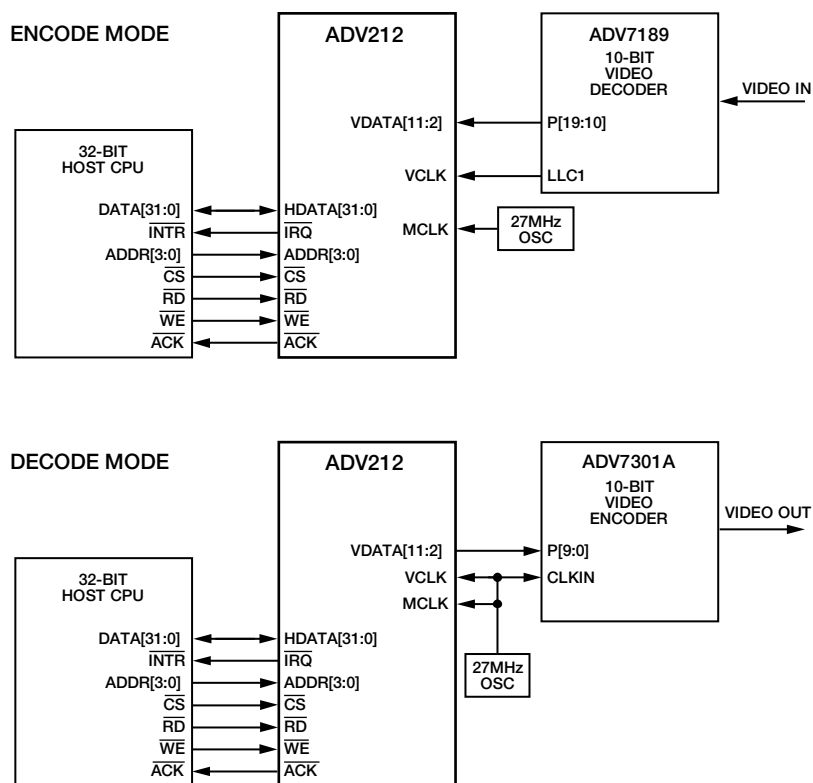


図35. 生ピクセル・モードを使用して10ビット・ピクセル・データを処理するデジタルカメラ／ビデオカメラ・エンコード・アプリケーション

06385-004

**SDTVビデオ・アプリケーション（エンコード／デコード・モード）**

図36に、通常のホスト・モードで10ビットCCIR 656を使用する2個のADV212チップを示します。



0.63.99-4.005

図36. エンコード／デコード—SDTVビデオ・アプリケーション

# ADV212

## 32ビット・ホスト・アプリケーション

図37に、通常のホスト・モードで10ビットCCIR 656を使用する2個のADV212チップを示します。

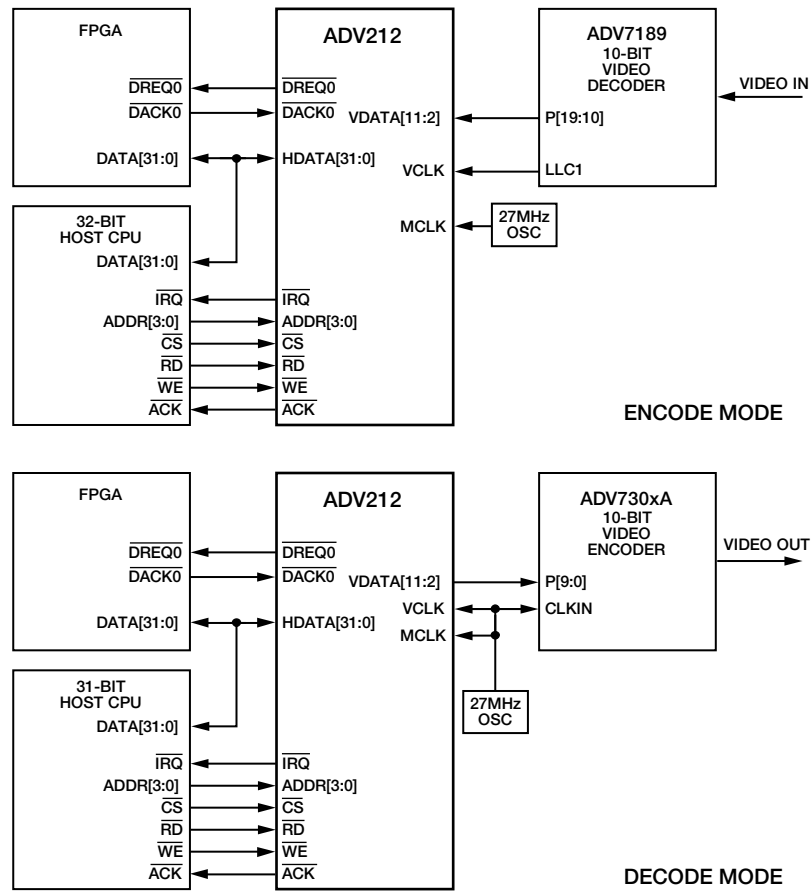


図37. エンコード/デコード—32ビット・ホスト・アプリケーション

063389-006

### HIPI (ホスト・インターフェース—ピクセル・インターフェース)

図38に、HIPIモード使用時の代表的なチップ構成を示します。

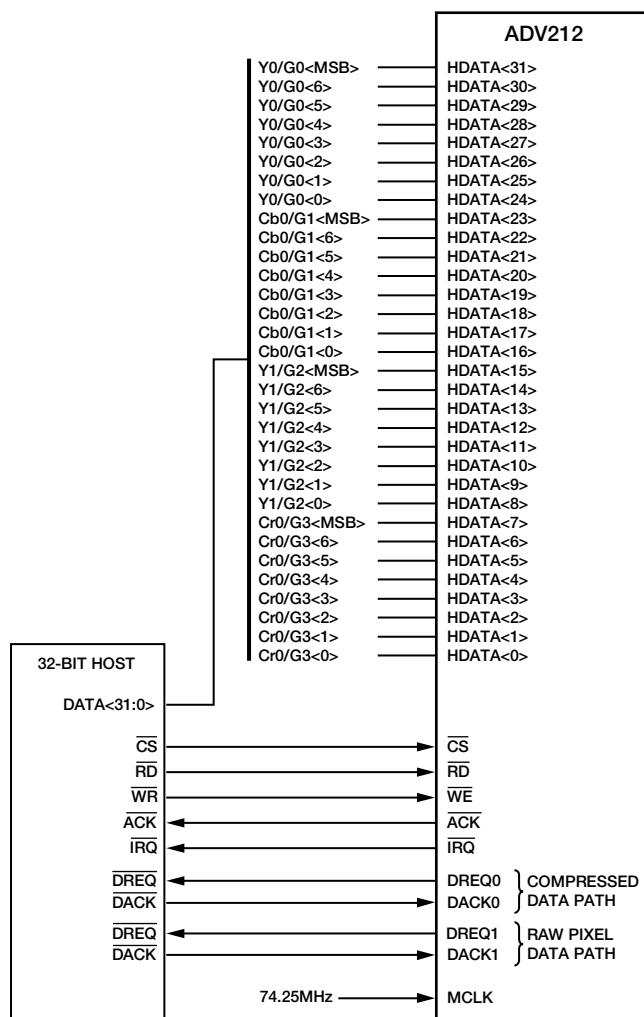
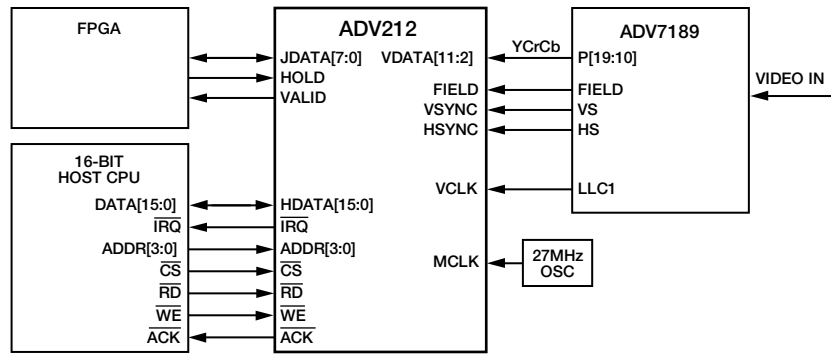


図38. ホスト・インターフェース—ピクセル・インターフェース・モード

# ADV212

## JDATAインターフェース

図39に、専用のJDATA出力、16ビット・ホスト、および10ビットCCIR 656でJDATAを使用する代表的な構成を示します。

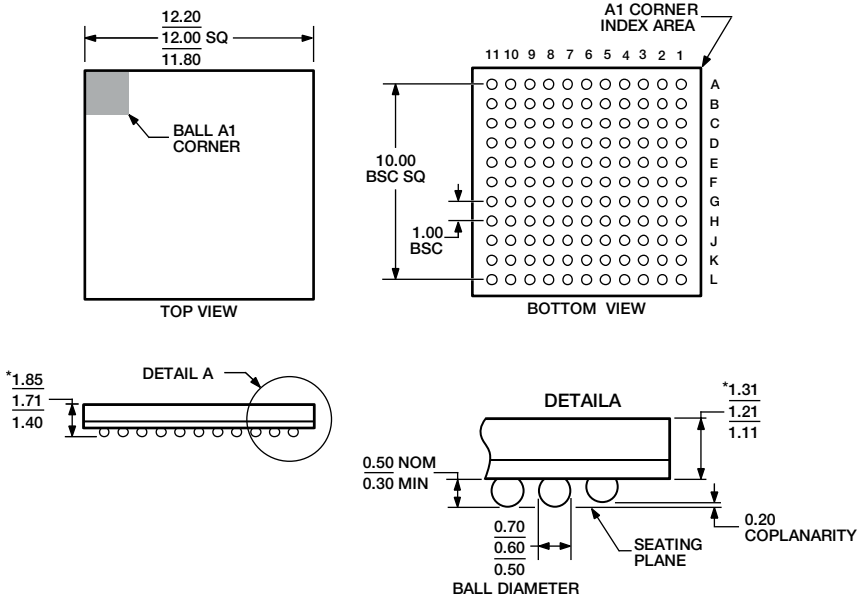


06385-008

図39. JDATAアプリケーション



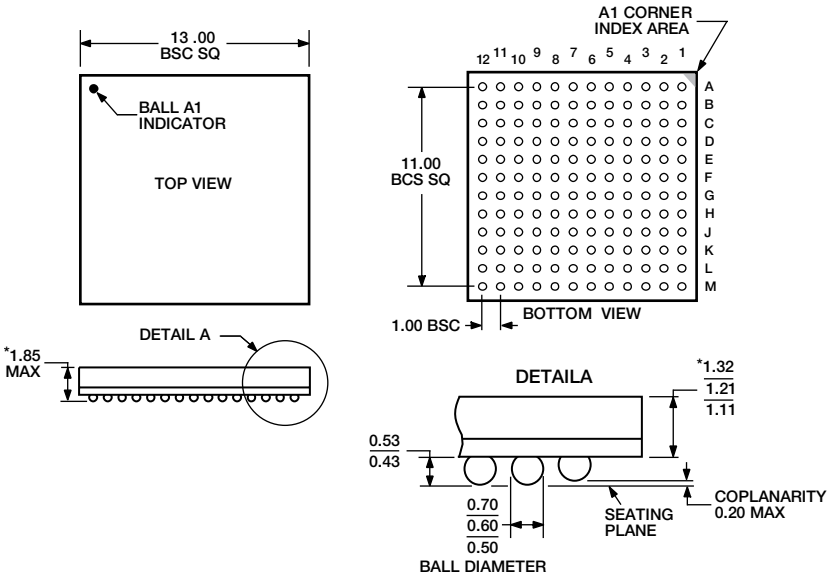
外形寸法



\*COMPLIANT WITH JEDEC STANDARDS MO-192-ABD-1 WITH EXCEPTION TO PACKAGE HEIGHT AND THICKNESS.

図40. 121ボールのチップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP\_BGA] (BC-121-1)  
寸法単位：mm

02159E-A



\*COMPLIANT WITH JEDEC STANDARDS MO-192-AAD-1 WITH EXCEPTION TO PACKAGE HEIGHT AND THICKNESS.

図41. 144ボールのチップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP\_BGA] (BC-144-3)  
寸法単位：mm

02159E-A

# ADV212

## オーダー・ガイド

Model	Temperature Range	Speed Grade	Operating Voltage	Package Description	Package Option
ADV212BBCZ-115 <sup>1</sup>	-40°C to +85°C	115 MHz	1.5 V Internal, 2.5 V or 3.3 V I/O	121-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-121-1
ADV212BBCZRL-115 <sup>1</sup>	-40°C to +85°C	115 MHz	1.5 V Internal, 2.5 V or 3.3 V I/O	121-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-121-1
ADV212BBCZ-150 <sup>1</sup>	-40°C to +85°C	150 MHz	1.5 V Internal, 2.5 V or 3.3 V I/O	144-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-144-3
ADV212BBCZRL-150 <sup>1</sup>	-40°C to +85°C	150 MHz	1.5 V Internal, 2.5 V or 3.3 V I/O	144-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-144-3

<sup>1</sup> Z=鉛フリー製品