

特長

ビデオ画像と静止画像に対するシングルチップによる完全なJPEG2000圧縮/伸長ソリューション

アナログ・デバイセズの特許技術であるSURF™ (Spatial Ultra-efficient Recursive Filtering: 空間超効率再帰フィルタリング) 技術により、低消費電力で低価格なウェーブレット・ベースの圧縮が可能

6レベルまでの9/7および5/3ウェーブレット変換に対応

タイル/画像のサイズはプログラマブルで、幅の最大値は3コンポーネントの4:2:2インターリーブ・モードで2048ピクセル、1コンポーネント・モードで4096ピクセル

タイル/画像の最大高さ: 4096ピクセル

ビデオ・インターフェースはITU.R-BT656、SMPTE125M PAL/NTSC、SMPTE274M、SMPTE293M (525p)、ITU.R-BT1358 (625p)、または任意のビデオ・フォーマット (不可逆モードで65MSPS、可逆モードで40MSPSまでの入力レート) に直接対応

複数個のADV202を組み合わせ、フル・フレームのSMPTE274M HDTV (1080i) やSMPTE296M (720p) に対応

時間的にコヒーレントなインターレース・フレーム・ベースのSDビデオ・ソースによる性能の向上

フレキシブルな非同期SRAMスタイルのホスト・インターフェースにより、大半の16/32ビットマイクロコントローラおよびASICとのグルーレスな接続が可能

2.5~3.3VのI/O電源と1.5Vのコア電源

12mm×12mmの121ピンCSPBGA (速度グレード115MHZ)、13mm×13mmの144ピンCSPBGA (速度グレード135MHZ)、13mm×13mmの144ピンCSPBGA (速度グレード150MHZ)

アプリケーション

ネットワーク・ビデオ・システムと画像配信システム

ワイヤレス・ビデオと画像配信

画像のアーカイブ/検索

デジタルCCTVと監視システム

デジタル・シネマ・システム

業務用ビデオの編集と録画

デジタル・カメラ

デジタル・ビデオカメラ

概要

ADV202は、シングル・チップによるJPEG2000コーデックで、画像圧縮規格JPEG2000 (J2K) -ISO/IEC 15444-1で規定される高度な品質と機能性を活用できるビデオ・アプリケーションや高帯域幅の画像圧縮アプリケーションを対象としています。ADV202では、JPEG2000画像圧縮規格の求める大量の演算処理を実行するほか、JPEG2000に完全準拠したコード・ストリーム生成を多くのアプリケーションに提供します。

ADV202には専用のビデオ・ポートがあり、ITU.R-BT656、SMPTE125M、SMPTE293M (525p)、ITU.R-BT1358 (625p)、SMPTE274M (1080i)、SMPTE296M (720p) などの一般的なデジタル・ビデオ規格とのグルーレスな接続を提供します。また、プログラマブル・フレーミングとバリデーション信号を使用して、他のさまざまな高速同期型のピクセル・フォーマットやビデオ・フォーマットにも対応できます。

(3ページに続く)

機能ブロック図

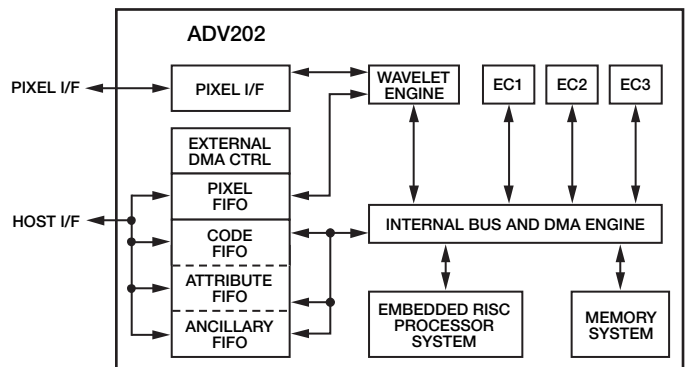


図1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2005 Analog Devices, Inc. All rights reserved.

REV. B

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200

大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868

ADV202

目次

概要	3	ビデオ・インターフェース (VDATAバス)	26
JPEG2000機能のサポート	3	ホスト・インターフェース (HDATAバス)	26
仕様	4	直接レジスタと間接レジスタ	26
電源電圧および電流	4	コントロール・アクセス・レジスタ	27
入出力仕様	4	ピン配置とバス・サイズ/モード	27
クロックおよびRESET仕様	5	ステージ・レジスタ	27
ノーマル・ホスト・モード - 読出し動作	6	JDATAモード	27
ノーマル・ホスト・モード - 書込み動作	7	外部DMAエンジン	27
DREQ/DACK DMAモード - シングルFIFO書込み動作	8	SPIポート	27
DREQ/DACK DMAモード - シングルFIFO読出し動作	10	内部レジスタ	28
外部DMAモード - FIFO書込み、バースト・モード	12	直接レジスタ	28
外部DMAモード - FIFO読出し、バースト・モード	13	間接レジスタ	29
ストリーミング・モード (JDATA) - FIFO読出し/書込み	15	PLL	30
VDATAモードのタイミング	15	ハードウェア・ブート	31
RAWピクセル・モードのタイミング	17	ビデオ入力フォーマット	32
SPIポートのタイミング	18	アプリケーション	34
BGAパッケージのピン配置と機能の説明	19	エンコード - マルチチップ・モード	34
BGAパッケージのピン配置	19	デコード - マルチチップ・マスタ/スレーブ	35
ピン機能の説明	22	デジタル・カメラ/ビデオカメラ	35
動作原理	25	エンコード/デコード - SDTVビデオ・アプリケーション	36
ウェーブレット・エンジン	25	ASICアプリケーション (32ビット・ホスト/32ビットASIC)	37
エントロピ・コーデック	25	HIPI (ホスト・インターフェース - ピクセル・インターフェース)	38
組込みプロセッサ・システム	25	JDATAインターフェース	38
メモリ・システム	25	外形寸法	39
内部DMAエンジン	25	オーダー・ガイド	40
ADV202のインターフェース	26		

改訂履歴

1/05—Rev. A to Rev. B

Updated Outline Dimensions 39

12/04—Rev. 0 to Rev. A

Changes to Features 1

Changes to Table 2 4

Changes to Table 16 24

Changes to Table 23 32

7/04—Revision 0: Initial Version

概要

(1ページからの続き)

ADV202は、可逆モードでは40MSPSのレートで、不可逆モードではさらに高いレートで画像を処理できます。ADV202は、専用のウェーブレット変換エンジン、3つのエントロピ・コーデック、内蔵メモリ・システム、完全なJPEG2000圧縮／伸長ソリューションを提供できる組込みRISCプロセッサを備えています。

ウェーブレット・プロセッサは、不可逆モードの9/7ウェーブレット変換と、可逆モードと不可逆モードの5/3ウェーブレット変換に対応しています。エントロピ・コーデックは、Maxshift ROIを除くJPEG2000 Part 1仕様のすべての機能を提供します。

ADV202は、タイルと呼ばれるピクセル・サンプルの方形アレイ上で動作します。タイルは、使用可能な最大サイズまでの完全な画像、または画像の一部を含むことができます。タイルの使用可能な最大水平サイズは、選択したウェーブレット変換とタイル内のサンプル数に依存します。ADV202の最大タイル・サイズを超える画像は、個々のタイルに分割されてからチップに連続的に転送されますが、画像全体としてJPEG2000に完全準拠した1つのコード・ストリームを維持しています。

JPEG2000機能のサポート

ADV202は、JPEG2000規格 (ISO/IEC 15444) のPart 1に含まれる広範な機能群に対応します。ADV202が現在対応しているJPEG2000機能については、「ADV202入門」を参照してください。

特定のアプリケーション要求に応じて、さまざまなレベルのJPEG2000圧縮機能を提供できます。たとえば、RAWコード・ブロックと属性データ出力を提供できるため、ホスト・ソフトウェアでは、JPEG2000コード・ストリームの生成や、ビットレート制御をはじめとする圧縮プロセスの他の側面を完全に制御できます。さらに、JPEG2000に完全準拠したコード・ストリーム (.j2c) や、.jp2、.jpx、.mj2 (動画JPEG2000) などの拡張型ファイル・フォーマットでの生成も可能です。ADV202が現在対応しているフォーマットについては、「ADV202入門」を参照してください。

ADV202

仕様

電源電圧および電流

表1

Parameter	Description	Min	Typ	Max	Unit
VDD	DC Supply Voltage, Core	1.425	1.5	1.575	V
IOVDD	DC Supply Voltage, I/O	2.375	3.3	3.63	V
PLLVDD	DC Supply Voltage, PLL	1.425	1.5	1.575	V
V _{INPUT}	Input Range	-0.3		V _{DDI/O} + 0.3	V
Temp	Operating Ambient Temperature Range in Free Air	-40	+25	+85	°C
I _{DD}	Static Current ¹			300	mA
	Dynamic Current, Core (JCLK Frequency = 150 MHz) ²			570	mA
	Dynamic Current, Core (JCLK Frequency = 108 MHz)			420	mA
	Dynamic Current, Core (JCLK Frequency = 81 MHz)			325	mA
	Dynamic Current, I/O			20	mA
	Dynamic Current, PLL			2.6	mA

¹ クロックやI/O動作がない場合

² ADV202-150のみ

入出力仕様

表2

Parameter	Description	Test Conditions	Min	Typ	Max	Unit
V _{IH (3.3 V)}	High Level Input Voltage	VDD = max	2.2			V
V _{IH (2.5 V)}	High Level Input Voltage	VDD = max	1.9			V
V _{IL (3.3 V, 2.5 V)}	Low Level Input Voltage	VDD = min			0.6	V
V _{OH (3.3 V)}	High-Level Output Voltage	VDD = min, I _{OH} = -0.5 mA	2.4			V
V _{OH (2.5 V)}	High Level Output Voltage	VDD = min, I _{OH} = -0.5 mA	2.0			V
V _{OL (3.3 V, 2.5 V)}	Low Level Output Voltage	VDD = min, I _{OL} = 2 mA			0.4	V
I _{IH}	High Level Input Current	VDD = max, V _{IN} = VDD	1.0			μA
I _{IL}	Low Level Input Current	VDD = max, V _{IN} = 0 V			1	μA
I _{OZH}	High Level Three-State Leakage Current	VDD = max, V _{IN} = VDD	1.0			μA
I _{OZL}	Low Level Three-State Leakage Current	VDD = max, V _{IN} = 0 V			1.0	μA
C _I	Input Pin Capacitance				8	pF
C _O	Output Pin Capacitance				8	pF

クロックおよびRESET仕様

表3

Parameter	Description	Min	Typ	Max	Unit
t_{MCLK}	MCLK Period	13.3		100	ns
t_{MCLKL}	MCLK Width Low	6			ns
t_{MCLKH}	MCLK Width High	6			ns
t_{VCLK}	VCLK Period	13.4		50	ns
t_{VCLKL}	VCLK Width Low	5			ns
t_{VCLKH}	VCLK Width High	5			ns
t_{RST}	RESET Width Low	5			MCLK cycles ¹

¹ MCLKの定義については、PLLの項を参照してください。

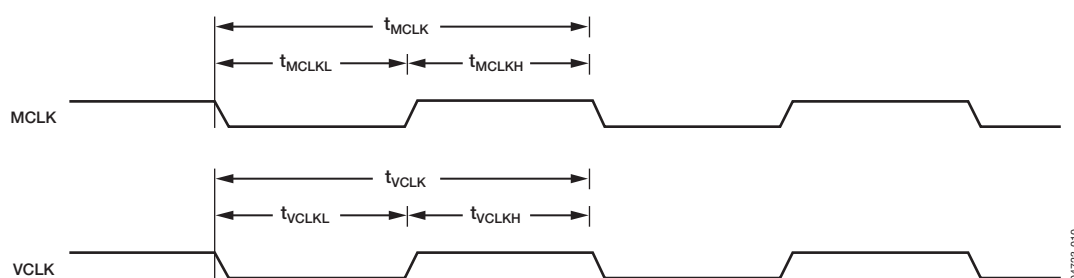


図2. 入力クロック

ADV202

ノーマル・ホスト・モード — 読出し動作

表4

Parameter	Description	Min	Typ	Max	Unit
$t_{\overline{ACK}} [\text{dir}]$	\overline{RD} to \overline{ACK} , Direct Registers and FIFO Accesses	5 ns		$1.5 \times \text{JCLK} + 7.0 \text{ ns}$	
$t_{\overline{ACK}} [\text{indir}]$	\overline{RD} to \overline{ACK} , Indirect Registers	$10.5 \times \text{JCLK}$		$15.5 \times \text{JCLK} + 7.0 \text{ ns}$	
$t_{\text{DRD}} [\text{dir}]$	Read Access Time, Direct Registers	5 ns		$1.5 \times \text{JCLK} + 7.0 \text{ ns}$	
$t_{\text{DRD}} [\text{indir}]$	Read Access Time, Indirect Registers	$10.5 \times \text{JCLK}$		$15.5 \times \text{JCLK} + 7.0 \text{ ns}$	
t_{HZRD}	Data Hold	2		8.5	ns
t_{SC}	\overline{CS} to \overline{RD} Setup	0			ns
t_{SA}	Address Setup	2			ns
t_{HC}	\overline{CS} Hold	0			ns
t_{HA}	Address Hold	2			ns
t_{RH}	Read Inactive Pulse Width	2.5			JCLK ¹
t_{RL}	Read Active Pulse Width	2.5			JCLK
t_{RCYC}	Read Cycle Time, Direct Registers	5.0			JCLK

¹ JCLKの定義については、PLLの項を参照してください。

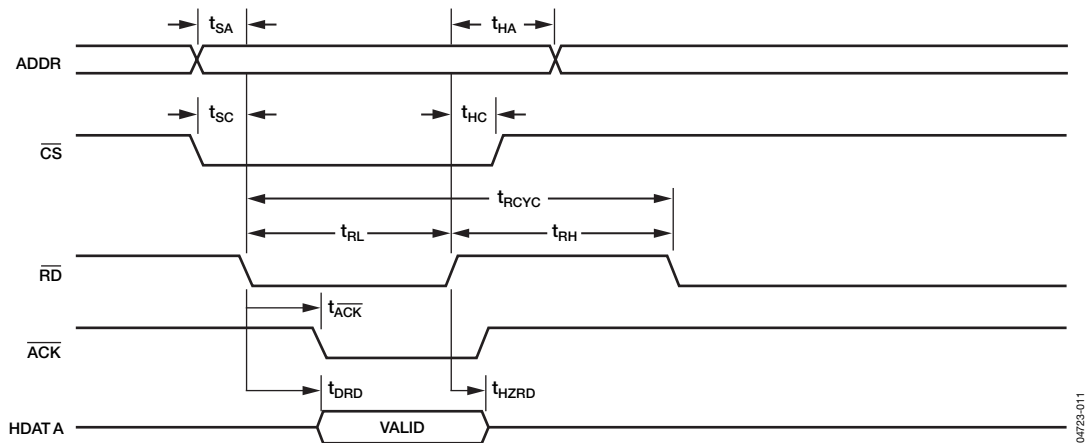


図3. ノーマル・ホスト・モード — 読出し動作

ノーマル・ホスト・モード — 書込み動作

表5

Parameter	Description	Min	Typ	Max	単位
$t_{\overline{\text{ACK}}}(\text{Direct})$	$\overline{\text{WE}}$ to $\overline{\text{ACK}}$, Direct Registers and FIFO Accesses	5		$1.5 \times \text{JCLK} + 7.0 \text{ ns}$	ns
$t_{\overline{\text{ACK}}}(\text{Indirect})$	$\overline{\text{WE}}$ to $\overline{\text{ACK}}$, Indirect Registers	5		$2.5 \times \text{JCLK} + 7.0 \text{ ns}$	ns
t_{SD}	Data Setup	3.0			ns
t_{HD}	Data Hold	1.5			ns
t_{SA}	Address Setup	2			ns
t_{HA}	Address Hold	2			ns
t_{SC}	$\overline{\text{CS}}$ to $\overline{\text{WE}}$ Setup	0			ns
t_{HC}	$\overline{\text{CS}}$ Hold	0			ns
t_{WH}	Write Inactive Pulse Width (Minimum Time until Next $\overline{\text{WE}}$ Pulse)	2.5			JCLK ¹
t_{WL}	Write Active Pulse Width	2.5			JCLK
t_{WCYC}	Write Cycle Time	5			JCLK

¹ JCLKの定義については、PLLの項を参照してください。

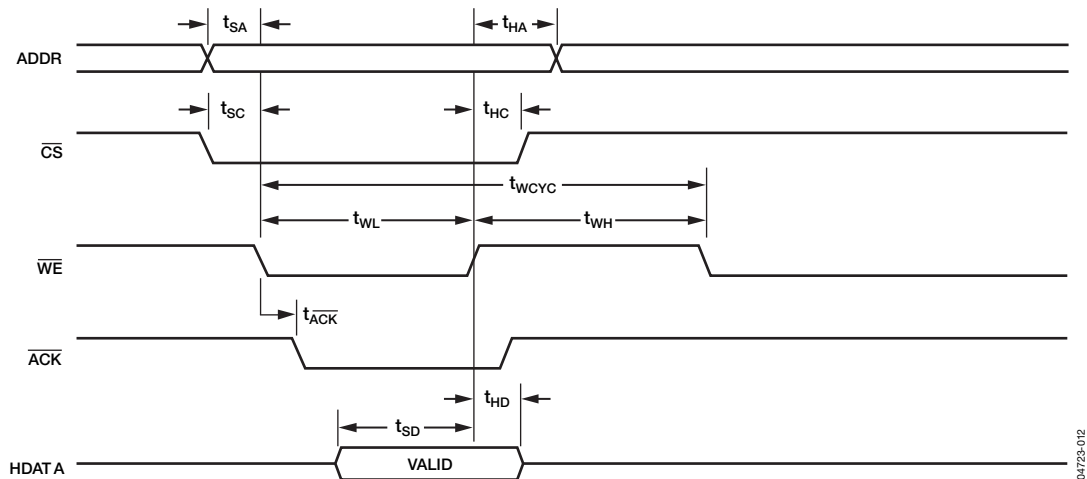


図4. ノーマル・ホスト・モード — 書込み動作

ADV202

DREQ/DACK DMAモード – シングルFIFO書込み動作

表6

Parameter	Description	Min	Typ	Max	Unit
$\overline{DREQ}_{PULSE}^1$	\overline{DREQ} Pulse Width	1		15	JCLK cycles ²
$t_{\overline{DREQ}}$	\overline{DACK} Assert to Subsequent \overline{DREQ} Delay	2.5		$3.5 \times JCLK + 7.5 \text{ ns}$	JCLK cycles
$t_{\overline{WE}SU}$	\overline{WE} to \overline{DACK} Setup	0			ns
t_{SU}	Data to \overline{DACK} Deassert Setup	2			ns
t_{HD}	Data to \overline{DACK} Deassert Hold	2			ns
\overline{DACK}_{LO}	\overline{DACK} Assert Pulse Width	2			JCLK cycles
\overline{DACK}_{HI}	\overline{DACK} Deassert Pulse Width	2			JCLK cycles
$t_{\overline{WE}HD}$	\overline{WE} Hold after \overline{DACK} Deassert	0			ns
\overline{WFSRQ}	\overline{WE} Assert to \overline{FSRQ} Deassert (FIFO Full)	1.5		$2.5 \times JCLK + 7.5 \text{ ns}$	JCLK cycles
$t_{\overline{DREQ}RTN}$	\overline{DACK} to \overline{DREQ} Deassert ($DR \times PULS = 0$)	2.5		$3.5 \times JCLK + 7.5 \text{ ns}$	JCLK cycles

¹ EDMOD0またはEDMOD1 [14:11]を0以外の値に設定する場合に、指定されたDMAチャンネルに適用されます。パルス幅は設定値に応じて変化します。

² JCLKの定義については、PLLの項を参照してください。

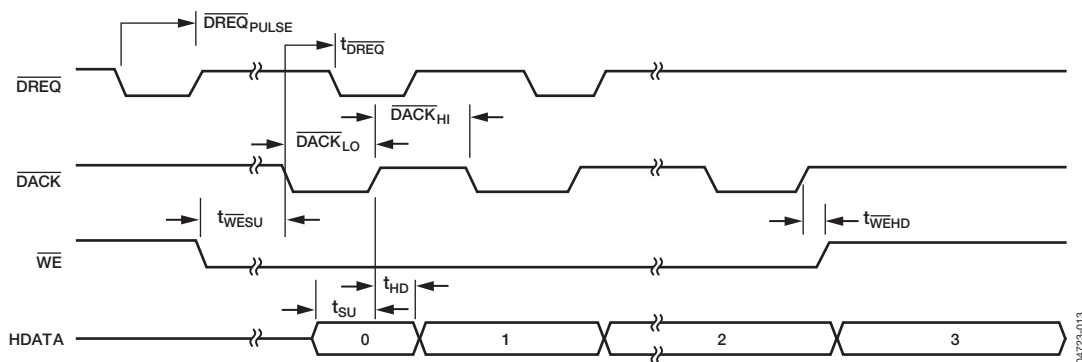


図5. $\overline{DREQ}/\overline{DACK}$ DMAモードでの指定されたDMAチャンネルに対するシングル書込み (EDMOD0またはEDMOD1 [14:11]を0000に設定しない場合)

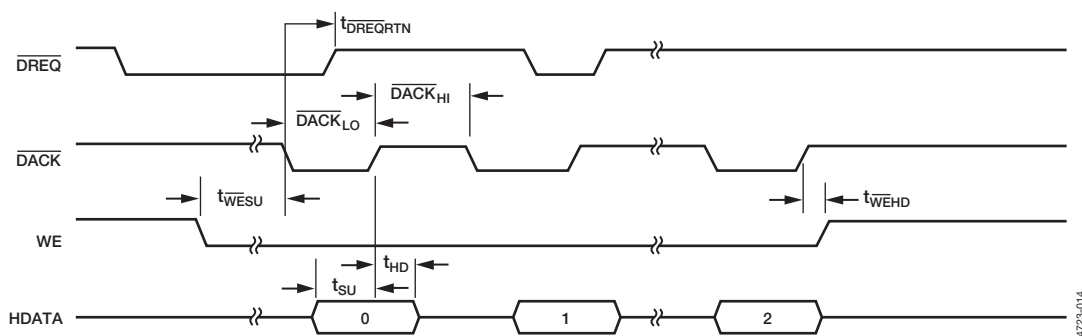


図6. $\overline{DREQ}/\overline{DACK}$ DMAモードでの指定されたDMAチャンネルに対するシングル書込み (EDMOD0またはEDMOD1 [14:11]を0000に設定する場合)

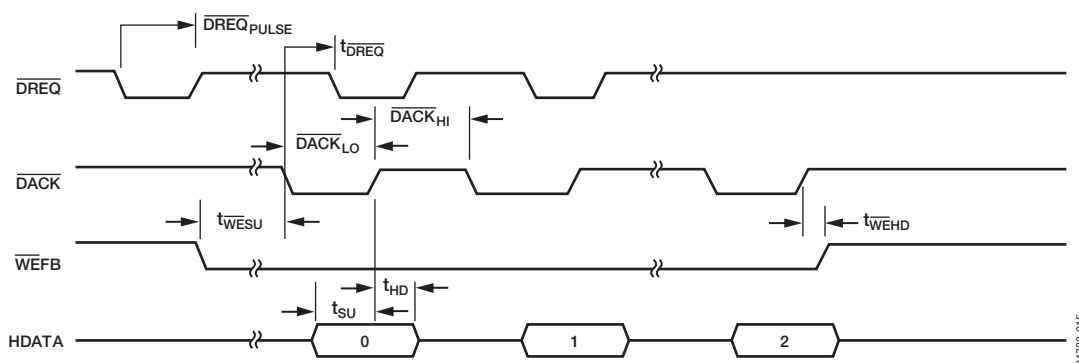


図7. フライバイDMAモードー シングル書き込みサイクル (DREQパルス幅はプログラマブル)

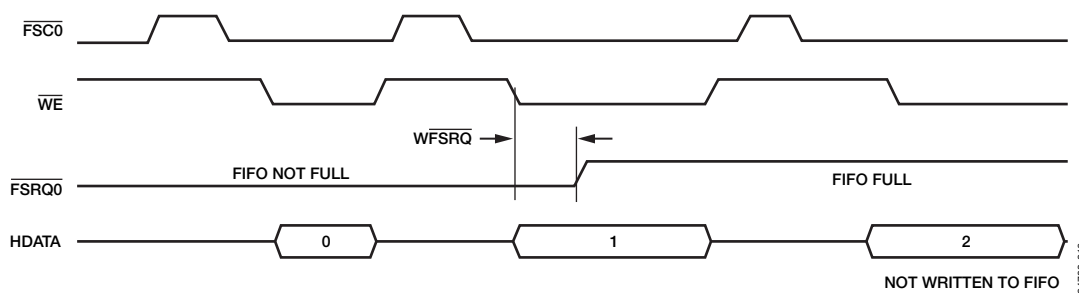


図8. DCS DMAモードー シングル書き込みアクセス (Rev.0.1以上)

ADV202

DREQ/DACK DMAモード – シングルFIFO読出し動作

表7

Parameter	Description	Min	Typ	Max	Unit
\overline{DREQ}_{PULSE}	\overline{DREQ} Pulse Width ¹	1		15	JCLK cycles ²
$t_{\overline{DREQ}}$	\overline{DACK} Assert to Subsequent \overline{DREQ} Delay	2.5		$3.5 \times JCLK + 7.5 \text{ ns}$	JCLK cycles
$t_{\overline{RD}SU}$	\overline{RD} to \overline{DACK} Setup	0			ns
$t_{\overline{RD}}$	\overline{DACK} to Data Valid	2.5		11	ns
t_{HD}	Data Hold	1.5			ns
\overline{DACK}_{LO}	\overline{DACK} Assert Pulse Width	2			JCLK cycles
\overline{DACK}_{HI}	\overline{DACK} Deassert Pulse Width	2			JCLK cycles
$t_{\overline{RD}HD}$	\overline{DACK} Hold after \overline{RD} Deassert	0			ns
\overline{RD}_{FSRQ}	\overline{RD} Assert to \overline{FSRQ} Deassert (FIFO Empty)	1.5		$2.5 \times JCLK + 7.5 \text{ ns}$	JCLK cycles
$t_{\overline{DREQ}RTN}$	\overline{DACK} to \overline{DREQ} Deassert ($DR \times PULS = 0$)	2.5		$3.5 \times JCLK + 7.5 \text{ ns}$	JCLK cycles

¹ EDMOD0またはEDMOD1[14:11]を0以外の値に設定する場合に、指定されたDMAチャンネルに適用されます。

² JCLKの定義については、PLLの項を参照してください。

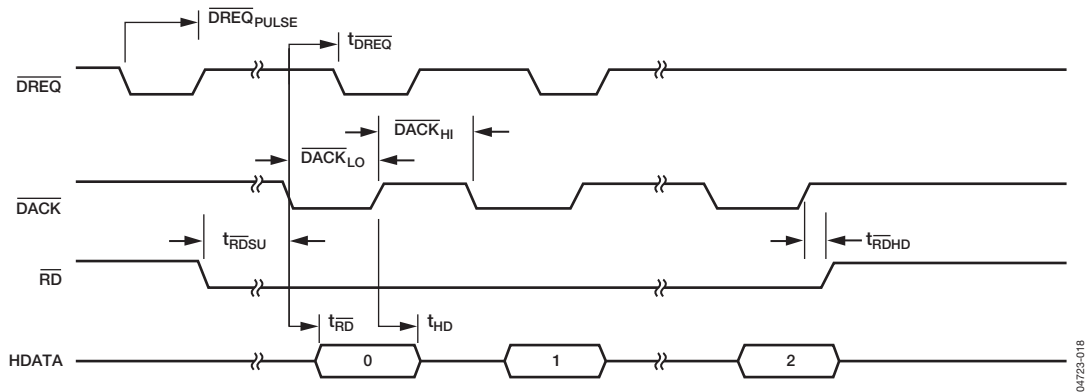


図9. $\overline{DREQ}/\overline{DACK}$ DMAモードでの指定されたDMAチャンネルのシングル読出し (EDMOD0またはEDMOD1[14:11]を0000に設定しない場合)

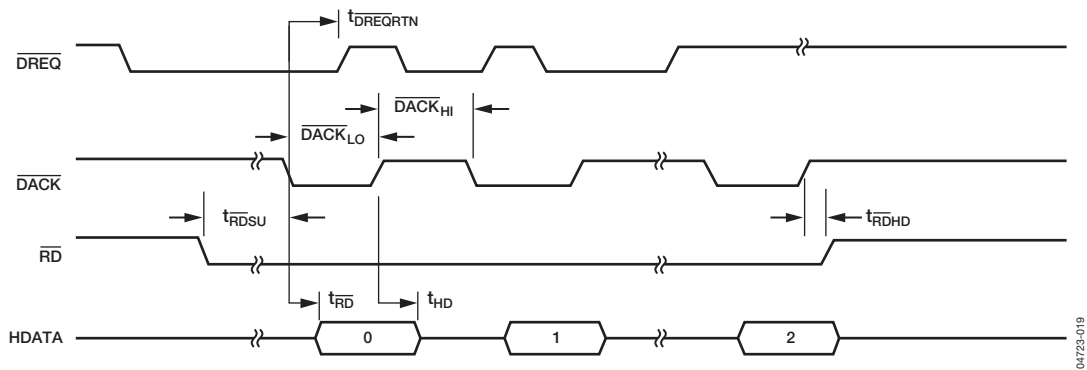


図10. $\overline{DREQ}/\overline{DACK}$ DMAモードでの指定されたDMAチャンネルのシングル読出し (EDMOD0またはEDMOD1[14:11]を0000に設定する場合)

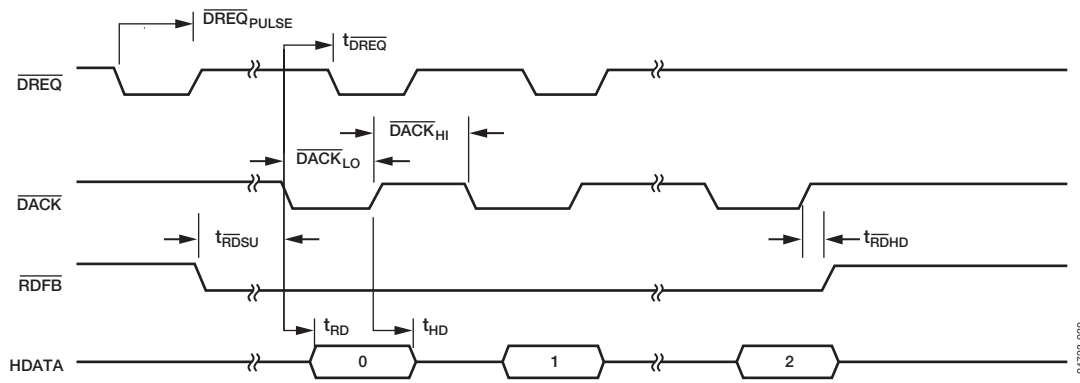


図11. フライバイDMAモードー シングル読出しサイクル (\overline{DREQ} パルス幅はプログラマブル)

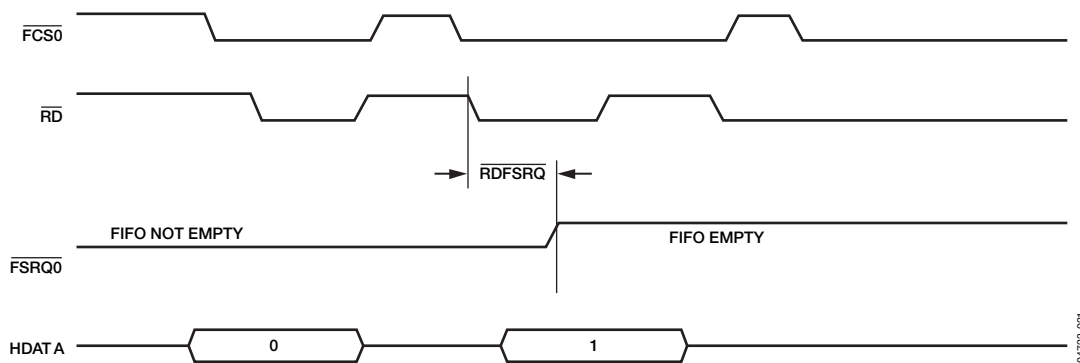


図12. DCS DMAモードー シングル読出しアクセス (Rev.0.1以上)

ADV202

外部DMAモード — FIFO書込み、バースト・モード

表8

Parameter	Description	Min	Typ	Max	Unit
$\overline{\text{DREQ}}_{\text{PULSE}}$	DREQ Pulse Width ¹	1		15	JCLK cycles ²
$t_{\overline{\text{DREQRTN}}}$	$\overline{\text{DACK}}$ to $\overline{\text{DREQ}}$ Deassert (DR × Pulse = 0)	2.5		$3.5 \times \text{JCLK} + 7.5 \text{ ns}$	JCLK cycles
$t_{\overline{\text{DACKSU}}}$	$\overline{\text{DACK}}$ to $\overline{\text{WE}}$ Setup	0			ns
t_{SU}	Data Setup	2.5			ns
t_{HD}	Data Hold	2			ns
$\overline{\text{WE}}_{\text{LO}}$	$\overline{\text{WE}}$ Assert Pulse Width	1.5			JCLK cycles
$\overline{\text{WE}}_{\text{HI}}$	$\overline{\text{WE}}$ Deassert Pulse Width	1.5			JCLK cycles
$t_{\overline{\text{DREQWAIT}}}$	$\overline{\text{DACK}}$ Deassert to Next $\overline{\text{DREQ}}$	2.5		$4.5 \times \text{JCLK} + 7.5 \text{ ns}^3$	JCLK cycles

¹ EDMOD0またはEDMOD1[14:11]を0以外の値に設定する場合に、指定されたDMAチャンネルに適用されます。パルス幅は設定値に応じて変化します。

² JCLKの定義については、PLLの項を参照してください。

³ FIFO内に十分なスペースがある場合

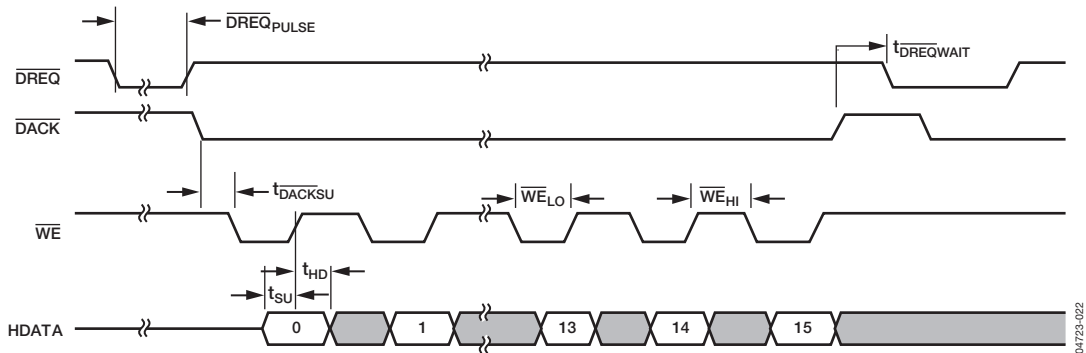


図13. $\overline{\text{DREQ}}$ /DMAモードでの指定されたDMAチャンネルに対するバースト書込みサイクル (EDMOD0またはEDMOD1[14:11]を0000に設定しない場合)

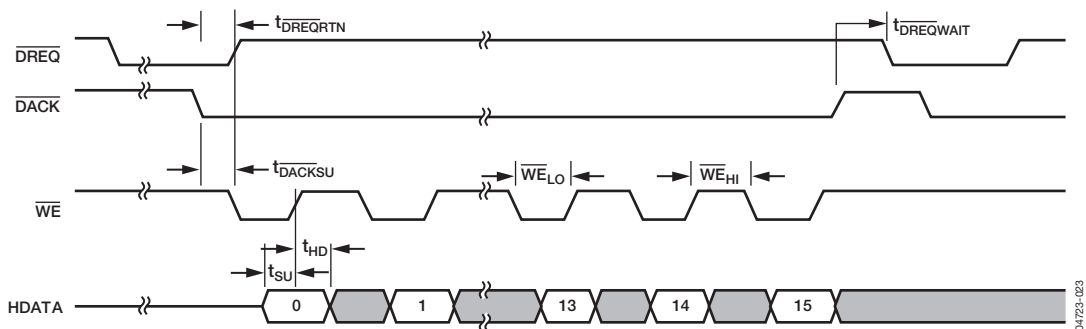


図14. $\overline{\text{DREQ}}$ /DMAモードでの指定されたDMAチャンネルに対するバースト書込みサイクル (EDMOD0またはEDMOD1[14:11]を0000に設定する場合)

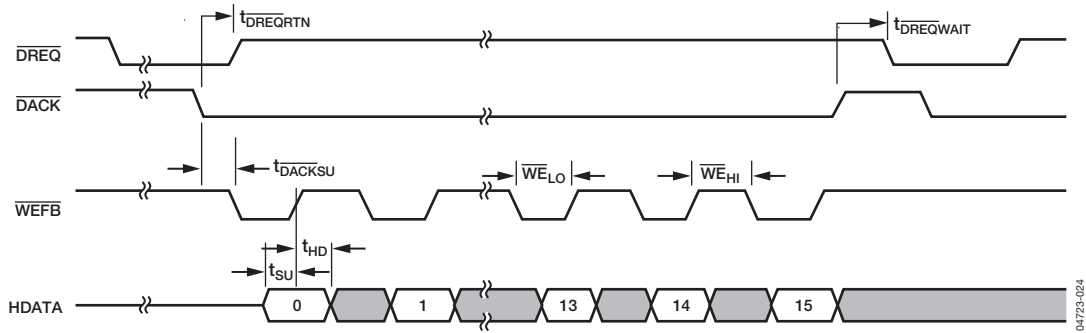


図15. フライバイDMAモードでのバースト書き込みサイクル (DREQパルス幅はプログラマブル)

外部DMAモード – FIFO読出し、バースト・モード

表9

Parameter	Description	Min	Typ	Max	Unit
\overline{DREQ}_{PULSE}	DREQ Pulse Width ¹	1		15	JCLK cycles ²
$t_{\overline{DREQRTN}}$	DACK to DREQ Deassert (DR x PULS = 0)	2.5		3.5 x JCLK + 7.5 ns	JCLK cycles
$t_{\overline{DACKSU}}$	DACK to RD Setup	0			ns
$t_{\overline{RD}}$	DACK to Data Valid	2.5		9.7	ns
t_{HD}	Data Hold	2.5			ns
\overline{RD}_{LO}	RD Assert Pulse Width	1.5			JCLK cycles
\overline{RD}_{HI}	RD Deassert Pulse Width	1.5			JCLK cycles
$t_{\overline{DREQWAIT}}$	DACK Deassert to Next DREQ	2.5		3.5 x JCLK + 7.5 ns ³	JCLK cycles

¹ EDMOD0またはEDMOD1[14:11]を0以外の値に設定する場合に、指定されたDMAチャンネルに適用されます。パルス幅は設定値に応じて変化します。

² JCLKの定義については、PLLの項を参照してください。

³ FIFO内に十分なスペースがある場合

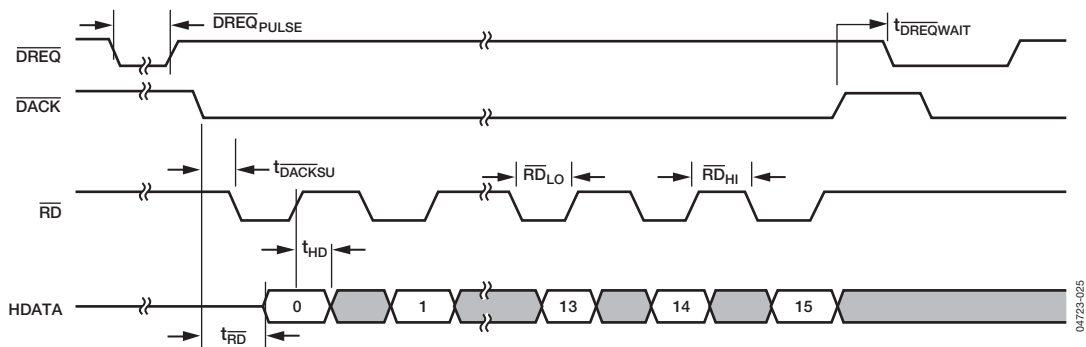


図16. DREQ/DACK DMAモードでの指定されたDMAチャンネルのバースト読出しサイクル (EDMOD0またはEDMOD1[14:11]を0000に設定しない場合)

ADV202

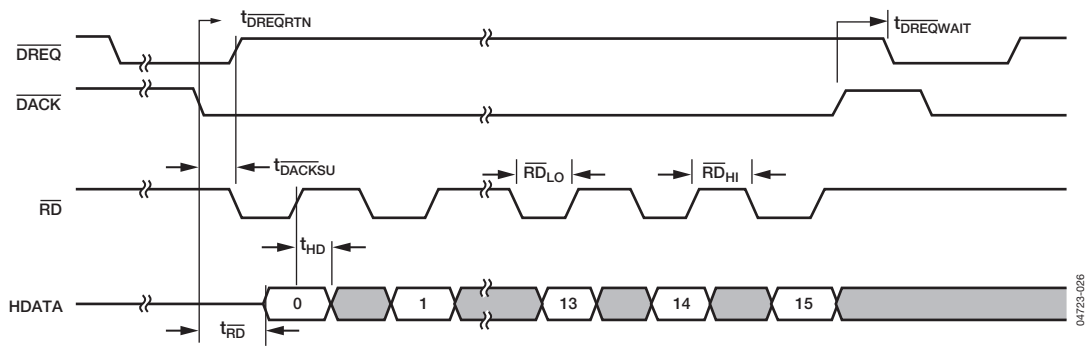


図17. $\overline{DREQ}/\overline{DACK}$ DMAモードでの指定されたDMAチャンネルのバースト読出しサイクル (EDMOD0またはEDMOD1[14:11]を0000に設定する場合)

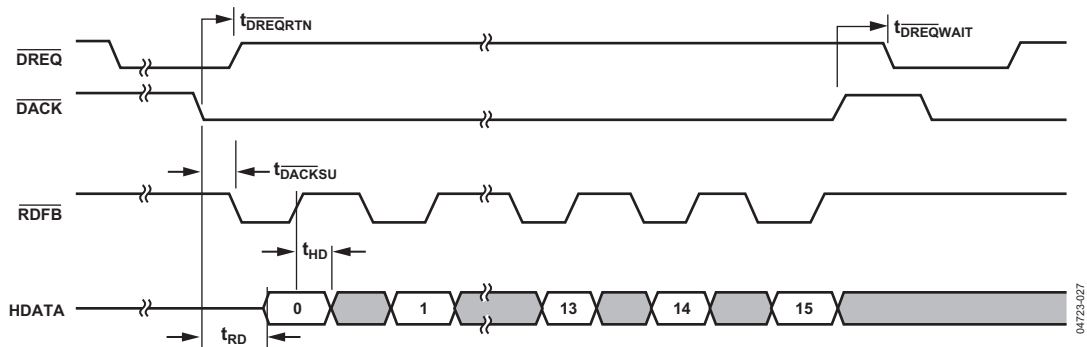


図18. フライバイDMAモードでのバースト読出しサイクル (\overline{DREQ} パルス幅はプログラマブル)

ストリーミング・モード (JDATA) — FIFO読出し／書込み

表10

Parameter	Description	Min	Typ	Max	Unit
JDATA _{TD}	MCLK to JDATA Valid	1.5		2.5 × JCLK + 7.0 ns	JCLK cycles ¹
VALID _{TD}	MCLK to VALID Assert/ Deassert	1.5		2.5 × JCLK + 7.0 ns	JCLK cycles
HOLD _{SU}	HOLD Setup to Rising MCLK	3			ns
HOLD _{HD}	HOLD Hold from Rising MCLK	3			ns
JDATA _{SU}	JDATA Setup to Rising MCLK	3			ns
JDATA _{HD}	JDATA Hold from Rising MCLK	3			ns

¹ JCLKの定義については、PLLの項を参照してください。

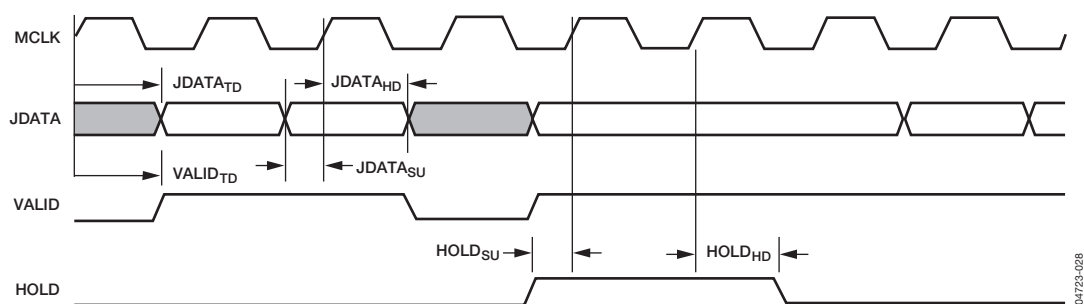


図19. ストリーミング・モードのタイミング — エンコード・モードJDATA出力

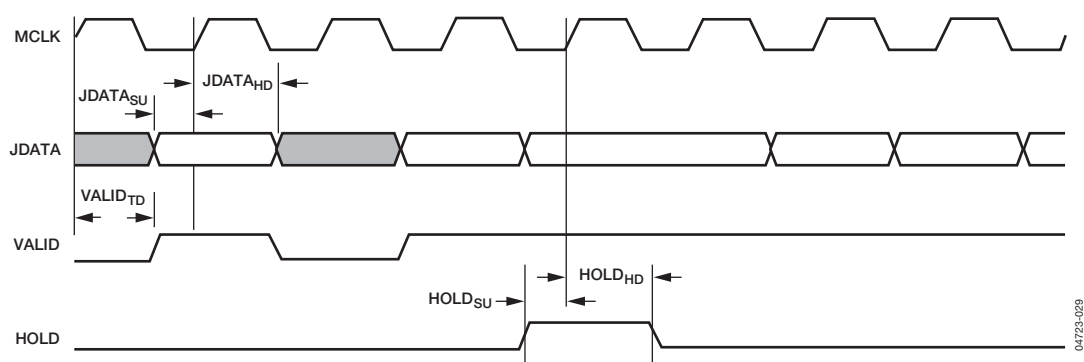


図20. ストリーミング・モードのタイミング — デコード・モードJDATA入力

VDATAモードのタイミング

表11

Parameter	Description	Min	Typ	Max	Unit
VDATA _{TD}	VCLK to VDATA Valid Delay (VDATA Output)			12	ns
VDATA _{SU}	VDATA Setup to Rising VCLK (VDATA Input)	4			ns
VDATA _{HD}	VDATA Hold from Rising VCLK (VDATA Input)	4			ns
HSYNC _{SU}	HSYNC Setup to Rising VCLK	3			ns
HSYNC _{HD}	HSYNC Hold from Rising VCLK	4			ns
HSYNC _{TD}	VCLK to HSYNC Valid Delay			12	ns
VSYNC _{SU}	VSYNC Setup to Rising VCLK	3			ns
VSYNC _{HD}	VSYNC Hold from Rising VCLK	4			ns
VSYNC _{TD}	VCLK to VSYNC Valid Delay			12	ns
FIELD _{SU}	FIELD Setup to Rising VCLK	4			ns

ADV202

Parameter	Description	Min	Typ	Max	Unit
FIELD _{HD}	FIELD Hold from Rising VCLK	3			ns
FIELD _{TD}	VCLK to FIELD Valid			12	
SYNC DELAY	Decode Data Sync Delay for HD Input with EAV/SAV Codes		7		VCLK cycles
	Decode Data Sync Delay for SD Input with EAV/SAV Codes		9		VCLK cycles
	Decode Data Sync Delay for DUAL_LANE (Extended) Input		7		VCLK cycles
	Decode Data Sync Delay for HVF Input (from First Rising VCLK after HSYNC Low to First Data Sample)		10		VCLK cycles

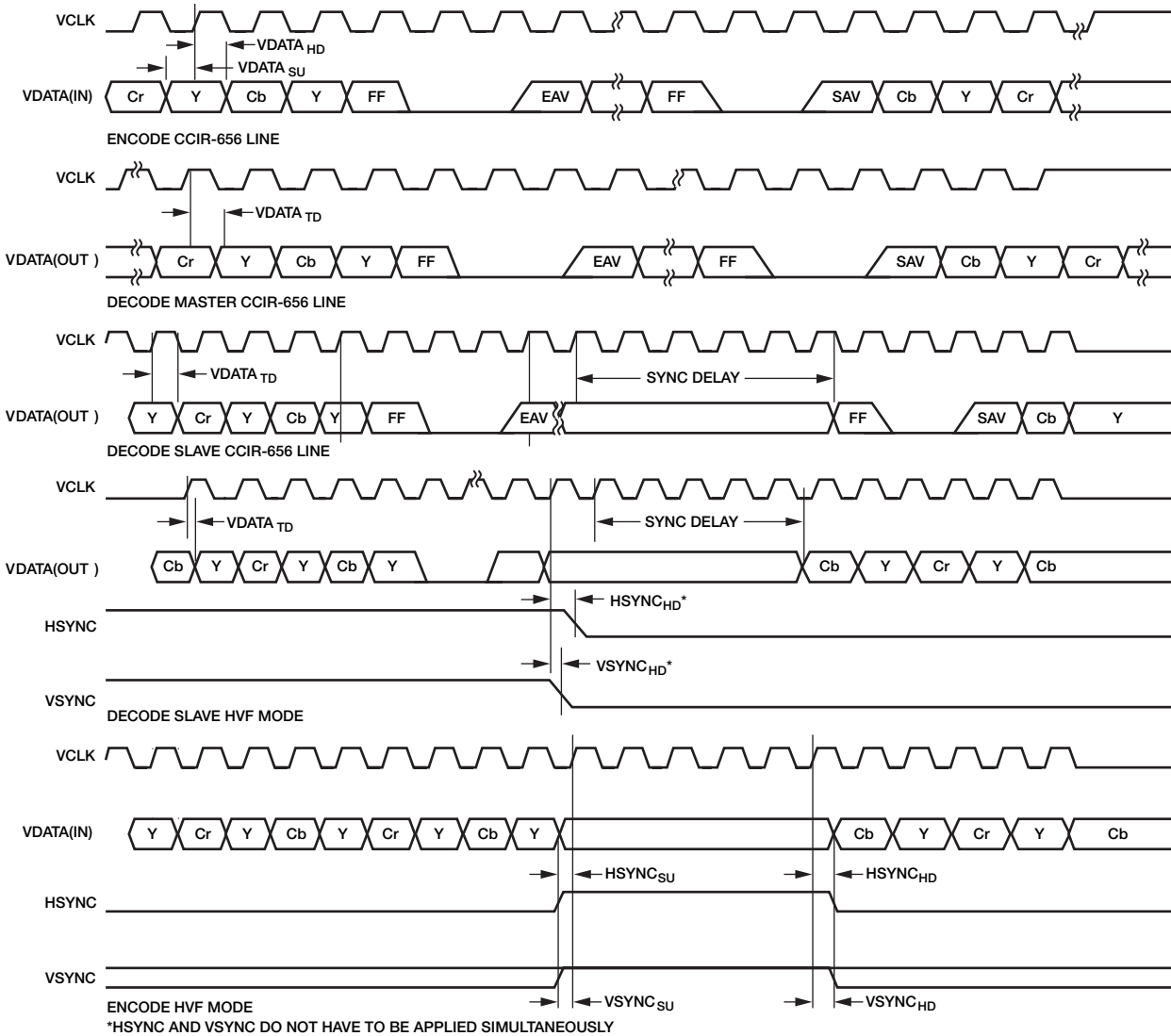


図21. ビデオ・モードのタイミング

RAWピクセル・モードのタイミング

表12

Parameter	Description	Min	Typ	Max	Unit
$VDATA_{TD}$	VCLK to PIXELDATA Valid Delay (PIXELDATA Output)			12	ns
$VDATA_{SU}$	PIXELDATA Setup to Rising VCLK (PIXELDATA Input)	4			ns
$VDATA_{HD}$	PIXELDATA Hold from Rising VCLK (PIXELDATA Input)	4			ns
$VRDY_{TD}$	VCLK to VRDY Valid Delay			12	ns
$VFRM_{SU}$	VFRM Setup to Rising VCLK (VFRAME Input)	3			ns
$VFRM_{HD}$	VFRM Hold from Rising VCLK (VFRAME Input)	4			ns
$VFRM_{TD}$	VCLK to VFRM Valid Delay (VFRAME Output)			12	ns
$VSTRB_{SU}$	VSTRB Setup to Rising VCLK	4			ns
$VSTRB_{HD}$	VSTRB Hold from Rising VCLK	3			ns

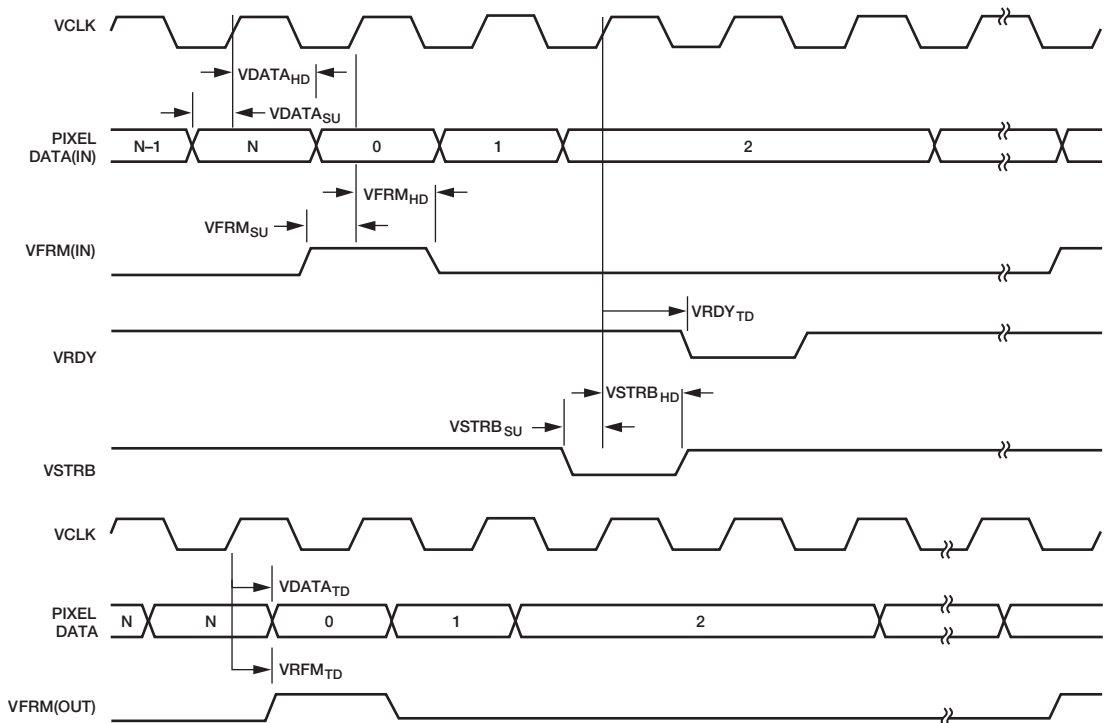


図22. RAWピクセル・モードのタイミング

ADV202

SPIポートのタイミング

表13

Parameter	Description	Min	Typ	Max	Unit
SCLK _{FALL}	S_CLK Fall Time		5		ns
SCLK _{RIS}	S_CLK Rise Time		5		ns
SCLK _{hi}	SCLK high time		75		ns
SCLK _{lo}	SCLK Low Time		75		ns
DATA _{su}	Data Setup Time	6.5			ns
DATA _{hd}	Data Hold Time	6.5			ns
CSEL _{SU}	Active Setup Time	135			ns
CSEL _{HD}	Active Hold Time	155			ns
DV_SCLK	SCLK to Output Data Valid		2		ns
DV_CS	\overline{CS} to Output Data Valid	36			ns
SCLK	SCLK Period		150		ns

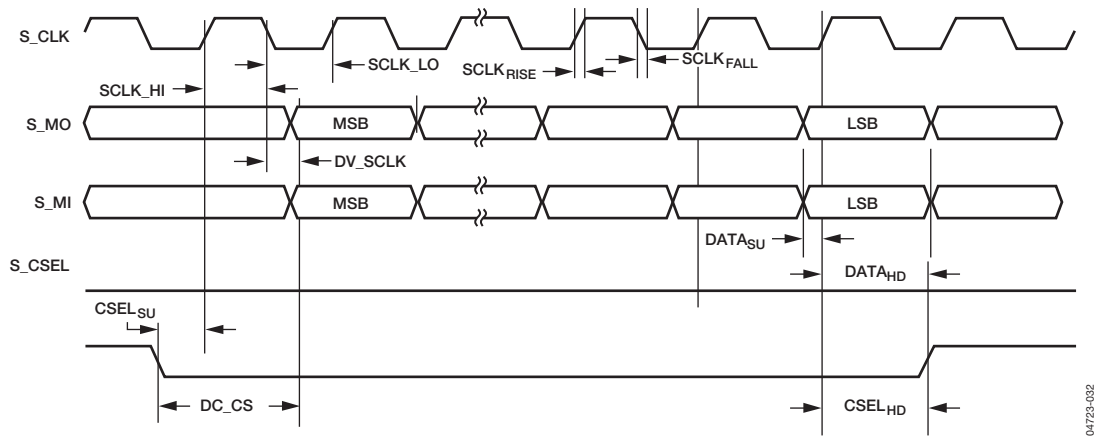


図23. SPIポート 入カタイミング

BGAパッケージのピン配置と機能の説明

BGAパッケージのピン配置

表14. 121ピンBGAパッケージのピン配置

Pin No.	Pin Location	Pin Description	Pin No.	Pin Location	Pin Description
1	A1	DGND	50	E6	DGND
2	A2	HDATA[2]	51	E7	DGND
3	A3	VDD	52	E8	IOVDD
4	A4	DGND	53	E9	VCLK
5	A5	HDATA[0]	54	E10	FIELD
6	A6	HDATA[1]	55	E11	DGND
7	A7	VDATA[1]	56	F1	DGND
8	A8	VDD	57	F2	HDATA[19]_VDATA[15]
9	A9	DGND	58	F3	HDATA[20]_VDATA[16]
10	A10	VDATA[0]	59	F4	HDATA[21]_VDATA[17]
11	A11	DGND	60	F5	DGND
12	B1	HDATA[3]	61	F6	DGND
13	B2	HDATA[4]	62	F7	DGND
14	B3	HDATA[5]	63	F8	$\overline{\text{DREQ0}}$
15	B4	HDATA[7]	64	F9	$\overline{\text{DACK0}}$
16	B5	HDATA[8]	65	F10	$\overline{\text{DREQ1}}$
17	B6	IOVDD	66	F11	DGND
18	B7	VDATA[6]	67	G1	DGND
19	B8	VDATA[5]	68	G2	HDATA[22]_VDATA[18]
20	B9	VDATA[4]	69	G3	HDATA[23]_VDATA[19]
21	B10	VDATA[2]	70	G4	HDATA[24]_VDATA[20]_JDATA[0]
22	B11	VDATA[3]	71	G5	DGND
23	C1	DGND	72	G6	DGND
24	C2	HDATA[6]	73	G7	DGND
25	C3	HDATA[9]	74	G8	IOVDD
26	C4	HDATA[10]	75	G9	$\overline{\text{DACK1}}$
27	C5	HDATA[11]	76	G10	$\overline{\text{IRQ}}$
28	C6	IOVDD	77	G11	DGND
29	C7	VDATA[9]	78	H1	HDATA[28]_JDATA[4]
30	C8	IOVDD	79	H2	HDATA[27]_VDATA[23]_JDATA[3]
31	C9	VDATA[8]	80	H3	HDATA[26]_VDATA[22]_JDATA[2]
32	C10	VDATA[7]	81	H4	HDATA[25]_VDATA[21]_JDATA[1]
33	C11	DGND	82	H5	IOVDD
34	D1	HDATA[12]	83	H6	DGND
35	D2	HDATA[13]	84	H7	VDD
36	D3	HDATA[14]	85	H8	$\overline{\text{ACK}}$
37	D4	HDATA[15]	86	H9	$\overline{\text{RD}}$
38	D5	IOVDD	87	H10	ADDR[1]
39	D6	DGND	88	H11	ADDR[3]
40	D7	VDD	89	J1	DGND
41	D8	VSYNC	90	J2	HDATA[31]_JDATA[7]
42	D9	HSYNC	91	J3	HDATA[30]_JDATA[6]
43	D10	VDATA[10]	92	J4	HDATA[29]_JDATA[5]
44	D11	VDATA[11]	93	J5	IOVDD
45	E1	DGND	94	J6	TEST1
46	E2	HDATA[18]_VDATA[14]	95	J7	$\overline{\text{WE}}$
47	E3	HDATA[17]_VDATA[13]	96	J8	CS
48	E4	HDATA[16]_VDATA[12]	97	J9	ADDR[0]
49	E5	DGND			

ADV202

Pin No.	Pin Location	Pin Description
98	J10	TEST3
99	J11	DGND
100	K1	SCOMM[4]
101	K2	SCOMM[3]
102	K3	SCOMM[0]
103	K4	SCOMM[1]
104	K5	IOVDD
105	K6	IOVDD
106	K7	IOVDD
107	K8	ADDR[2]
108	K9	TEST2
109	K10	TEST5

Pin No.	Pin Location	Pin Description
110	K11	DGND
111	L1	DGND
112	L2	SCOMM[7]
113	L3	SCOMM[6]
114	L4	SCOMM[5]
115	L5	SCOMM[2]
116	L6	TEST4
117	L7	RESET
118	L8	DGND
119	L9	MCLK
120	L10	PLLVDD
121	L11	DGND

表15. 144ピンBGAパッケージのピン配置

Pin No.	Pin Location	Pin Description
1	A1	DGND
2	A2	HDATA[2]
3	A3	HDATA[1]
4	A4	HDATA[0]
5	A5	DGND
6	A6	DGND
7	A7	DGND
8	A8	DGND
9	A9	VDATA[2]
10	A10	VDATA[1]
11	A11	VDATA[0]
12	A12	DGND
13	B1	HDATA[5]
14	B2	HDATA[4]
15	B3	HDATA[3]
16	B4	IOVDD
17	B5	DGND
18	B6	VDD
19	B7	VDD
20	B8	DGND
21	B9	IOVDD
22	B10	VDATA[5]
23	B11	VDATA[4]
24	B12	VDATA[3]
25	C1	HDATA[8]
26	C2	HDATA[7]
27	C3	HDATA[6]
28	C4	IOVDD
29	C5	DGND
30	C6	VDD
31	C7	VDD
32	C8	DGND
33	C9	IOVDD
34	C10	VDATA[8]
35	C11	VDATA[7]
36	C12	VDATA[6]
37	D1	HDATA[11]

Pin No.	Pin Location	Pin Description
38	D2	HDATA[10]
39	D3	HDATA[9]
40	D4	IOVDD
41	D5	DGND
42	D6	VDD
43	D7	VDD
44	D8	DGND
45	D9	IOVDD
46	D10	VDATA[11]
47	D11	VDATA[10]
48	D12	VDATA[9]
49	E1	HDATA[14]
50	E2	HDATA[13]
51	E3	HDATA[12]
52	E4	DGND
53	E5	DGND
54	E6	DGND
55	E7	DGND
56	E8	DGND
57	E9	FIELD
58	E10	VSYN
59	E11	HSYN
60	E12	VCLK
61	F1	HDATA[18]_VDATA[14]
62	F2	HDATA[17]_VDATA[13]
63	F3	HDATA[16]_VDATA[12]
64	F4	HDATA[15]
65	F5	DGND
66	F6	DGND
67	F7	DGND
68	F8	DGND
69	F9	DACK1
70	F10	DREQ1
71	F11	DACK0
72	F12	DREQ0
73	G1	HDATA[22]_VDATA[18]

Pin No.	Pin Location	Pin Description	Pin No.	Pin Location	Pin Description
74	G2	HDATA[21]_VDATA[17]	110	K2	SCOMM[0]
75	G3	HDATA[20]_VDATA[16]	111	K3	HDATA[31]_JDATA[7]
76	G4	HDATA[19]_VDATA[15]	112	K4	IOVDD
77	G5	DGND	113	K5	DGND
78	G6	DGND	114	K6	VDD
79	G7	DGND	115	K7	VDD
80	G8	DGND	116	K8	DGND
81	G9	DGND	117	K9	IOVDD
82	G10	$\overline{\text{IRQ}}$	118	K10	TEST3
83	G11	$\overline{\text{ACK}}$	119	K11	TEST2
84	G12	$\overline{\text{RD}}$	120	K12	TEST1
85	H1	HDATA[26]_VDATA[22]_JDATA[2]	121	L1	SCOMM[4]
86	H2	HDATA[25]_VDATA[21]_JDATA[1]	122	L2	SCOMM[3]
87	H3	HDATA[24]_VDATA[20]_JDATA[0]	123	L3	SCOMM[2]
88	H4	HDATA[23]_VDATA[19]	124	L4	IOVDD
89	H5	DGND	125	L5	DGND
90	H6	DGND	126	L6	VDD
91	H7	DGND	127	L7	VDD
92	H8	DGND	128	L8	DGND
93	H9	DGND	129	L9	IOVDD
94	H10	$\overline{\text{WR}}$	130	L10	TEST5
95	H11	$\overline{\text{CS}}$	131	L11	$\overline{\text{RESET}}$
96	H12	ADDR[0]	132	L12	MCLK
97	J1	HDATA[30]_JDATA[6]	133	M1	DGND
98	J2	HDATA[29]_JDATA[5]	134	M2	SCOMM[7]
99	J3	HDATA[28]_JDATA[4]	135	M3	SCOMM[6]
100	J4	HDATA[27]_VDATA[23]_JDATA[3]	136	M4	SCOMM[5]
101	J5	DGND	137	M5	DGND
102	J6	VDD	138	M6	DGND
103	J7	VDD	139	M7	DGND
104	J8	DGND	140	M8	DGND
105	J9	DGND	141	M9	TEST4
106	J10	ADDR[1]	142	M10	PLLVD
107	J11	ADDR[2]	143	M11	DGND
108	J12	ADDR[3]	144	M12	DGND
109	K1	SCOMM[1]			

ADV202

ピン機能の説明

表16

記号	使用 ピン数	121ピン・ パッケージ	144ピン・ パッケージ	I/O	説明
MCLK	1	L9	L12	I	システム入力クロック。詳細はPLLの項を参照してください。 MCLKの最大入力周波数は74.25MHzです。
RESET	1	L7	L11	I	リセット。ADV202を即時にリセットします。RESET信号を加えるときには、CS、RD、WE、DACK0、DACK1、DREQ0、DREQ1をハイレベルに保持してください
HDATA[15:0]	16	D4-D1、C5-C3、B5、B4、C2、B3-B1、A2、A6-A5	F4、E1-E3、D1-D3、C1-C3、B1-B3、A2、A3、A4	I/O	ホスト・データ・バス。HDATA[23:16]、[27:24]、[31:28]とこれらのピンを使用して、32ビット幅のホスト・データ・バスを構成します。非同期式のホスト・インターフェースはADDR[3:0]、CS、WE、RD、ACKと共に使用します。使用しないHDATAピンは、10kΩの抵抗を用いてプルダウンしてください。
ADDR[3:0]	4	H11、K8、H10、J9	J12、J11、J10、H12	I	ホスト・インターフェース用のアドレス・バス
CS	1	J8	H11	I	チップ・セレクト。この信号によって、ホスト・インターフェースを使用してアドレス指定された読出し/書込みアクセスがADV202に対して実行されるようになります。
WE	1	J7	H10	I	ホスト・インターフェースとあわせて使用される書込みイネーブル。 フライ・バイDMAのイネーブル時に使用される読出しイネーブル。 注：WEとDACKを同時にローレベルにアサートすると、DMAチャンネルをディスエーブルに設定している場合であっても、HDATAバスがアクティブになります。
RDFB					
RD	1	H9	G12	I	ホスト・インターフェースとあわせて使用される読出しイネーブル。 フライバイDMAのイネーブル時に使用される書込みイネーブル。 注：RDとDACKを同時にローレベルにアサートすると、DMAチャンネルをディスエーブルに設定している場合であっても、HDATAバスがアクティブになります。
WEFB					
ACK	1	H8	G11	O	アクノレッジ。直接レジスタ・アクセス時に使用します。この信号は、最後のレジスタ・アクセスが正常に実行されたことを示します。 注：同期上の問題により、制御レジスタとステータス・レジスタのアクセスに伴って、追加遅延が発生する場合がありますので、ホスト・ソフトウェアはADV202からアクノレッジが送信されるまで待機する必要があります。 これに対して、FIFOのアクセス（外部DMAモード）は、スペースがあればすぐに実行されることになっており、タイミングの制約条件が順守されている限り、ACKを受信するまで待機する必要はありません。 複数のデバイス間でACKを共有する場合には、ACKをプルアップ抵抗（10kΩ）に接続し、PLL_HIレジスタのビット4を1に設定する必要があります。
IRQ	1	G10	G10	O	割込み。このピンは、ADV202がホスト・プロセッサに対して注意を払う必要があることを示します。ADV202内部の割込み条件のステータスを示すように設定できます。EIRQIEレジスタのビット設定によって、割込みソースをイネーブルにします。
DREQ0	1	F8	F12	O	外部DMAインターフェースに対するデータ要求。DMAチャンネル0に指定されたFIFOとの間のデータ送受信の準備をADV202が完了していることを示します。
FSRQ0				O	DCS-DMAモードで使用します。チャンネル0に指定されたFIFOからのサービス要求（非同期モード）
VALID				O	JDATA入出力ストリームの有効性を示します。このピンの極性をEDMOD0レジスタで設定できます。VALIDは常に出力です。
CFG[1]				I	ブート・モード設定。オンチップ・プロセッサのブート設定を決定するために、リセット時にこのピンからの読み出しが行われます。10kΩの抵抗を経由して、このピンをIOVDDまたはDGNDに接続してください。

記号	使用 ピン数	121ピン・ パッケージ	144ピン・ パッケージ	I/O	説明
$\overline{\text{DACK0}}$	1	F9	F11	I	外部DMAインターフェースに対するデータ・アクノレッジ。ホストCPUから送信される信号として、データ転送要求 ($\overline{\text{DREQ0}}$) が受け入れられ、データ転送を開始できることを示します。DMAインターフェース不使用時には、DMAチャンネルをディスエーブルに設定している場合であっても、このピンを常にハイレベルにしておきます。
$\overline{\text{HOLD}}$				I	JDATA入出力ストリームの外部ホールド指示ピン。このピンの極性をEDMOD0レジスタで設定できます。このピンは常に入力です。
$\overline{\text{FCS0}}$				I	DCS-DMAモードで使用します。チャンネル0に指定されたFIFOのチップ・セレクト (非同期モード)
$\overline{\text{DREQ1}}$	1	F10	F10	O	外部DMAインターフェースに対するデータ要求。DMAチャンネル1に指定されたFIFOとの間のデータ送受信の準備をADV202が完了していることを示します。
$\overline{\text{FSRQ1}}$				O	DCS-DMAモードで使用します。チャンネル1に指定されたFIFOからのサービス要求 (非同期モード)
CFG[2]				I	ブート・モード設定。オンチップ・プロセッサのブート設定を確認するために、リセット時にこのピンからの読み出しが行われます。10k Ω の抵抗を経由して、このピンをIOVDDまたはDGNDに接続してください。
$\overline{\text{DACK1}}$	1	G9	F9	I	外部DMAインターフェースのデータ・アクノレッジ。ホストCPUから送信される信号として、データ転送要求 ($\overline{\text{DREQ1}}$) が受け入れられ、データ転送を開始できることを示します。DMAまたはJDATAアクセスが実行されていない限り、このピンを常にハイレベルにしておく必要があります。DMAインターフェース不使用時には、DMAチャンネルをディスエーブルに設定している場合であっても、このピンを常にハイレベルにしておく必要があります。
$\overline{\text{FCS1}}$				I	DCS-DMAモードで使用します。チャンネル1に指定されたFIFOのチップ・セレクト (非同期モード)
HDATA[31:28] JDATA[7:4]	4	J2-J4, H1	K3, J1-J3	I/O I/O	ホスト拡張バス JDATAバス (JDATAモード)
HDATA[27:24] JDATA[3:0] JDATA[23:20]	4	H2-H4, G4	J4, H1-H3	I/O I/O I/O	ホスト拡張バス JDATAバス (JDATAモード) ビデオ・データ拡張バス
HDATA[23:16] VDATA[19:12]	8	G3, G2, F4, F3, F2, E2, E3, E4	H4, G1-G4, F1-F3	I/O I/O	ホスト拡張バス ビデオ・データ拡張バス。拡張ピクセル・インターフェース・モード。YとCrCbを別個のバス上で使用するビデオ・フォーマットに対して使用します。
SCOMM[7] SCOMM[6] SCOMM[5]	8	L2 L3 L4	M2 M3 M4	I/O I/O I/O	不使用時にはローレベルに固定してください。 不使用時にはローレベルに固定してください。 このピンは複数チップ・モードのときに必ず使用し、2つ以上のADV202の出力を調整します。詳細については、アプリケーションの項とアプリケーション・ノート「ADV202 Multichip Application」を参照してください。不使用時にはローレベルに固定してください。
SCOMM[4]		K1	L1	O	エンコード・モードで使用するLCODE出力。LCODEをイネーブルにすると、このピンの出力がハイレベルに遷移するときに、フィールドの最後のデータ・ワードがFIFOから読み出されたことを示します。JDATAなどの8ビット・インターフェースの場合には、4個の連続するバイトでLCODEがアサートされ、これはイネーブルにデフォルト設定されています。
SCOMM[3]		K2	L2	O	SPIインターフェース：S_CSEL。不使用時にはローレベルに固定してください。ブート・モード6専用として使用します。
SCOMM[2]		L5	L3	O	SPIインターフェース：S_MO。不使用時にはローレベルに固定してください。ブート・モード6専用として使用します。
SCOMM[1]		K4	K1	I	SPIインターフェース：S_MI。不使用時にはローレベルに固定してください。ブート・モード6専用として使用します。
SCOMM[0]		K3	K2	O	SPIインターフェース：S_CLK。不使用時にはローレベルに固定してください。ブート・モード6専用として使用します。

ADV202

記号	使用 ピン数	121ピン・ パッケージ	144ピン・ パッケージ	I/O	説明
VCLK	1	E9	E12	I	ビデオ・データ・クロック。ビデオ・データをVDATAバス上で入出力する場合に、このクロックの供給が必要となります。
VDATA[11:0]	12	D11、D10、C7、 C9、C10、B7、 B8、B9、B11、 B10、A7、A10、	D10-D12、 C10-C12、 B10-B12、 A9-A11	I/O	ビデオ・データ。使用しないピンは、10kΩ抵抗を接続してプルダウンしてください
VSYNC VFRM	1	D8	E10	I/O	ビデオ・モードで使用する垂直同期信号 RAWピクセル・モードのフレーミング信号。この信号がハイレベルのアサート時に、タイルの最初のサンプルを示します。
HSYNC VRDY	1	D9	E11	I/O O	ビデオ・モードで使用する水平同期信号 RAWピクセル・モードのレディー信号
FIELD VSTRB	1	E10	E9	I/O I	ビデオ・モードで使用するフィールド同期信号 RAWピクセル・モードの転送ストロブ信号
TEST1	1	J6	K12	I	プルダウン抵抗を経由して、このピンをグラウンドに接続してください。
TEST2	1	K9	K11	I	プルダウン抵抗を経由して、このピンをグラウンドに接続してください。
TEST3	1	J10	K10	I	プルダウン抵抗を経由して、このピンをグラウンドに接続してください。
TEST4	1	L6	M9	I	プルダウン抵抗を経由して、このピンをグラウンドに接続してください。
TEST5	1	K10	L10	O	接続なし
VDD		A3、A8、D7、 H7	B6、B7、C6、 C7、D6、D7、 J6、J7、K6、 K7、L6、L7	V	コア用の電源
DGND		A1、A11、A4、 A9、C1、C11、 D6、E1、 E5-E7、E11、 F1、F5-F7、 F11、G1、 G5-G7、G11、 H6、J1、J11、 K11、L1、L8、 L11	A1、A5-A8、 A12、B5、B8、 C5、C8、D5、 D8、E4-E8、 F5-F8、G5-G9、 H5-H9、J5、 J8-J9、K5、K8、 L5、L8、M1、 M5-M8、M11、 M12	GND	グラウンド
PLLVD IOVDD	1	L10 B6、C6、C8、 D5、E8、G8、 H5、J5、K5、 K6、K7	M10 B4、B9、C4、 C9、D4、D9、 K4、K9、L4、 L9	V V	PLL用の電源 I/O用の電源

動作原理

入力ビデオやピクセル・データはADV202のピクセル・インターフェイスに渡され、そこでサンプルはデインターリーブされてウェーブレット・エンジンに渡され、そこで5/3または9/7のフィルタを使用して、各タイルやフレームはサブバンドに分解されます。それによって得られるウェーブレット係数は、内部メモリに書き込まれます。続いて、エントロピ・コーデックは、JPEG2000規格に準拠するように画像データを符号化します。内部DMAは、メモリ間転送用の高帯域幅データ転送を提供するほか、機能ブロックとメモリ間の高性能転送も提供します。

ウェーブレット・エンジン

ADV202は、アナログ・デバイセズの定評のある特許技術であるSURF™技術をベースにして、専用のウェーブレット変換プロセッサを提供します。このプロセッサは、タイル上で最高6つのウェーブレット分解レベルを実行できます。エンコード・モードでは、ウェーブレット変換プロセッサは、非圧縮のサンプルを受け入れてウェーブレット変換を実行し、すべての周波数サブバンド内のウェーブレット係数を内部メモリに書き込みます。その後、これらの各サブバンドは、さらにコード・ブロックに分解されます。コード・ブロックの大きさは、ユーザによる定義が可能であり、内部メモリへの書き込みの際に、ウェーブレット変換プロセッサがウェーブレット係数をコード・ブロックにまとめるために使用します。その後、完成した各コード・ブロックは、いずれかのエントロピ・コーデックによってエントロピ符号化されます。

デコード・モードでは、ウェーブレット係数は内部メモリから読み込まれ、非圧縮のサンプルに再構成されます。

エントロピ・コーデック

エントロピ・コーデック・ブロックは、ウェーブレット係数のコード・ブロックに対してコンテキスト・モデリングと算術符号化を行います。さらに、このブロックは、最適なレート／歪み性能を実現するために必要な圧縮中に、歪みメトリック計算も行います。エントロピ符号化プロセスは、JPEG2000圧縮プロセスにおいて最も演算能力を必要とする動作であるため、ADV202は3つの専用のハードウェア・エントロピ・コーデックを備えています。

組込みプロセッサ・システム

ADV202は、32ビットの組込みRISCプロセッサを備えています。このプロセッサは、専用のハードウェア機能の設定、制御、管理だけでなく、JPEG2000コード・ストリームの解析や生成にも使用されます。このプロセッサ・システムには、プログラムとデータ両方のメモリとして使用するROMとRAM、割込みコントローラ、標準バス・インターフェイス、タイマやカウンタなどのその他のハードウェア機能が組み込まれています。

メモリ・システム

メモリ・システムの主な機能は、JPEG2000コード・ストリームを生成／解析／格納するための一時的なワーク・スペース、暫定的なコード・ブロック／属性データ、ウェーブレット係数データを管理することです。メモリ・システムは、組込みプロセッサのプログラム・メモリやデータ・メモリにも使用できます。

内部DMAエンジン

内部DMAエンジンは、メモリ間転送用の高帯域幅データ転送を提供するほか、メモリと機能ブロック間の高性能転送も提供します。この機能は、高速なコード・ストリーム生成と解析に不可欠です。

ADV202

ADV202のインターフェース

ADV202のインターフェースには、いくつかのモードがあります。設計者は、VDATAバスとHDATAバスを使用したり、HDATAバスを単独で使用できます。

ビデオ・インターフェース (VDATAバス)

ビデオ・インターフェースは、非圧縮のピクセル・データが圧縮データとは別のバス上にあるアプリケーションで使用できます。たとえば、VDATAバスを使用して非圧縮ビデオを入力し、HDATAバスを用いて圧縮データを出力することができます。このインターフェースは、ライブ・ビデオのキャプチャなど、きわめて高いスループットを必要とするアプリケーションに最適です。

ウェーブレット処理の前にその場で、ITU.R-BT656解像度ビデオをインターレースするオプションもあります。これにより、時間的にコヒーレントなフレームをベースとするビデオ・ソースについては、圧縮性能が大幅に向上します。さらに、複数のADV202デバイスを使用すれば、SMPTE-274M (1080i)などのHDのデジタル・ビデオにも対応できます。

ビデオ・インターフェースは、ビデオ・データや静止画データの入出力、8/10/12ビットのシングルまたは多重コンポーネント、デュアルレーンの8/10/12ビットのコンポーネントに対応できます。VDATAインターフェースはシングル・インプット・モードでのYCbCr、もしくはデュアルレーン・インプット・モードでのYおよびCbCrデータに対応しています。YCbCrデータは、4:2:2フォーマットです。

表17に示すように、ビデオ・データをVDATAバス上で入出力するモードはいくつかあります。これらのモードでは常にピクセル・クロックをVCLKピンに入力してください。

表17. ビデオ入出力モード

モード	説明
EAV/SAV	YCbCrデータが1本のバスにインターリーブされている、EAV/SAVコードが埋め込まれたビデオを使用できます。
HVF	YCbCrデータが1本のバスにインターリーブされている、個別のH信号、V信号、F信号を伴うビデオ・データを使用できます。
拡張	YとCbCrは、EAV/SAVコードを伴う別個のバスにあります。
RAWビデオ	静止画データと非標準ビデオに使用します。画像の大きさは、VFRM、VSTRB、VRDYを使用して設定します。
HDTV	ビデオ・データが27MHzを超える周波数でデバイスにクロック入力されるアプリケーションで使用します。

ホスト・インターフェース (HDATAバス)

ADV202は、非同期SRAMスタイルのインターフェース、DMAアクセス、ストリーミング・モード (JDATA) のインターフェースを使用して、多種多様なホスト・プロセッサやASICに直接接続できます。ADV202は、制御については16/32ビットのバスに対応し、データ転送については8/16/32ビットのバスに対応します。制御チャンネルとデータ・チャンネルのバス幅は独立して指定できるため、ADV202は、異なる幅の制御バスとデータ・バスを必要とするアプリケーションに対応できます。

ホスト・インターフェースは、設定、制御、ステータス機能に使用されるだけでなく、圧縮データ・ストリームの転送にも使用されます。特定のモードでは、非圧縮のデータ転送にも使用できます。ホスト・インターフェースは、制御およびステータス通信に加えて、4つのデータ・ストリームに共有されます。データ・ストリームには以下のようなものがあります。

- 非圧縮のタイル・データ (例: 静止画データ)
- 完全に圧縮されたJPEG2000コード・ストリーム (またはパッケージ化されていないコード・ブロック)
- コード・ブロック属性
- 補助データ

ADV202では、16/32ビット転送にビッグ・エンディアンのバイト整列を使用します。すべてのデータは左詰め (MSB) されます。

ホスト・インターフェースでのピクセル入力

ホスト・インターフェースでのピクセル入力は、8/10/12/14/16ビットのRAWピクセル・データ・フォーマットに対応します。ピクセル (静止画) 入出力や圧縮ビデオ出力に使用できます。ホスト・インターフェース上の入力データに関連付けられたタイミング・コードや同期信号がないため、ディメンション・レジスタと内部カウンタを使用して、フレームの最初と最後を示すようにプログラムしてください。ADV202をこのモードで使用方法の詳細については、テクニカル・ノート「ADV202 in HIPI mode」を参照してください。

ホストのバス設定

最大限の柔軟性を提供するため、ホスト・インターフェースは、特定のシステム条件に応じていくつかの設定を提供します。デフォルトのバス・モードでは、同じHDATAピンを使用して、ADV202との間で制御、ステータス、データの転送を行います。このモードでは、ADV202は16/32ビットの制御転送と8/16/32ビットのデータ転送に対応できます。バスのサイズは個別に選択でき、たとえば16ビットのマイクロコントローラでADV202の設定と制御ができ、32ビットでASICや外部メモリ・システムへのデータ転送も行います。

直接レジスタと間接レジスタ

ピン数とコストを最小限に抑えるため、アドレス・ピンの数は4本に制限されており、合計の直接レジスタ・アドレス空間は16個になります。これらは外部のコントローラによって最もよく使用されるため、直接アクセス可能となっています。ADV202内の他のすべてのレジスタは、IADDRレジスタとIDATAレジスタを使用して間接的にアクセスできます。

コントロール・アクセス・レジスタ

間接アドレス・レジスタとデータ・レジスタ (IADDRとIDATA) を除いて、ADV202のすべてのコントロール/ステータス・レジスタは16ビット幅で、ハーフワード (16ビット) でのみアドレス可能です。32ビットのホスト・モードが有効な場合、HDATAバスの上位16ビットは書き込み時に無視され、16ビット・レジスタの読出し時にはオール・ゼロを返します。

ピン配置とバス・サイズ/モード

ADV202では、多種多様な制御設定とデータ設定を提供するため、グルー・ロジックをほとんど (あるいは全く) 必要とせず、多くのアプリケーションで使用できます。下記のモードは、BUSMODEレジスタを使用して設定します。以下の説明で、「ホスト」は通常のアドレス指定されるアクセス ($\overline{CS}/\overline{RD}/\overline{WR}/\overline{ADDR}$) を指し、「データ」は外部DMAアクセス ($\overline{DREQ}/\overline{DACK}$) を指します。

32ビット・ホスト/32ビット・データ

このモードでは、HDATA[31:0]ピンが、PIXEL FIFO、CODE FIFO、ATTR FIFO、ANCL FIFOへの32ビット幅のフル・データ・アクセスを提供します。このモードでは、拡張されたビデオ・インターフェース (VDATA) は使用できません。

16ビット・ホスト/32ビット・データ

このモードでは、16ビット・ホストが、ADV202との通信や設定を行えると同時に、外部DMA機能を使用してPIXEL FIFO、CODE FIFO、ATTR FIFO、ANCL FIFOへの32ビット・アクセスも可能です。

アドレス指定されるすべてのホスト・アクセスは16ビットであるため、HDATA[15:0]ピンだけを使用します。HDATA[31:16]ピンを使用して、FIFOとの間でのみ32ビットの外部DMA転送を行うために必要な、追加の16ビットを提供します。このモードでは、拡張されたビデオ・インターフェース (VDATA) は使用できません。

16ビット・ホスト/16ビット・データ

このモードをホスト・データ転送や外部DMAデータ転送に使用した場合は、16ビット転送が行われます。このモードでは、拡張されたピクセル・インターフェース・モードを使用できます。

16ビット・ホスト/8ビット・データ (JDATAバス・モード)

このモードでは、別個のデータ入出力ピンとホスト制御インターフェース・ピンを提供します。ホスト制御アクセスは16ビットであり、HDATA[15:0]を使用しますが、専用のデータ・バスはJDATA[7:0]を使用します。

JDATAでは、valid/hold同期転送プロトコルを使用します。JDATAバスの方向は、ADV202のモードによって決定されます。ADV202がエンコーディング (圧縮) である場合、JDATA[7:0]は出力です。ADV202がデコーディング (伸長) である場合、JDATA[7:0]は入力です。ホスト制御アクセスは、非同期のままです。後述の「JDATAモード」も参照してください。

ステージ・レジスタ

ADV202には16ビットと32ビットの両方のレジスタが存在し、その内部メモリは32ビット・データとしてマッピングされるため、ステージ・レジスタ (STAGE) を使用して16ビット・ホストがこれらのレジスタとメモリ位置にアクセスするためのメカニズムが提供されています。STAGEにはHDATA[15:0]ピンを使用して、16ビット・レジスタとしてアクセスします。所望のレジスタに書き込みを行う前に、上位 (最上位) のハーフワードをステージ・レジスタに書き込みます。

その後で、所望のコントロール・レジスタにホストから下位のハーフワードを書き込むと、すでにSTAGEに書き込まれた値とHDATAが結合して、書き込みに必要な32ビット値が生成されます。レジスタが読み出されると、上位 (最上位) ハーフワードはすぐにHDATAに返され、下位ハーフワードは、次のアクセスでSTAGEレジスタを読み出すことによって取り出されます。ステージ・レジスタの使用方法の詳細については、「ADV202ユーザ・ガイド」を参照してください。

注：これは4つのデータ・チャンネル (PIXEL、CODE、ATTR、ANCL) には適用されません。これらのチャンネルは、常に規定されたデータ幅でアクセスされ、STAGEレジスタを使用する必要はありません。

JDATAモード

JDATAモードは一般に、専用ビデオ・インターフェース (VDATA) もイネーブルの場合のみに使用します。このモードでは、1つの専用8ビット・バス (JDATA[7:0]) を使用して、コード・ストリーム・データ (JPEG2000準拠の圧縮データ) を入出力できます。このバスは圧縮動作時に常に出力となり、伸長動作時には入力となります。

この同期インターフェースを介したデータ転送には、2ピンのハンドシェイクが使用されます。VALIDは、ADV202がデータを供給するか、または受け入れる準備を完了していることを示し、常に出力です。HOLDは常に入力として使用され、ホストがデータの受け入れ/供給を実行できない場合にこの信号をアサートします。JDATAモードでは例えば、ピクセル・データをVDATAバスで入力し、圧縮されたデータ・ストリームをJDATAバスで出力するリアルタイムのアプリケーションを実現できます。

外部DMAエンジン

外部DMAインターフェースは、外部DMAコントローラとADV202データFIFOの間で高帯域幅のデータ入出力を可能にします。2本の独立したDMAチャンネルがあり、それぞれ、4つのデータ・ストリームFIFO (PIXEL、CODE、ATTR、ANCL) のいずれにも割り当てられます。

コントローラは、シングル・アクセス・モードまたはバースト・アクセス・モードでデータリクエスト/データアクノレッジ ($\overline{DREQ}/\overline{DACK}$) プロトコルを使用して、非同期DMAに対応します。シングル・アドレス互換 (フライバイ) モードと専用チップ・セレクト (DCS) モードに対応する追加機能も備えています。

SPIポート

SPIポートは、ADV202との間でデータを入出力するためのシリアル通信に使用します。ADV202は常にSPIマスタとなります。

ADV202

内部レジスタ

ここでは、ADV202の内部レジスタについて説明します。

直接レジスタ

表18に示すように、ADV202には16本の直接レジスタがあります。ADDR[3:0]、HDATA[31:0]、CS、RD、WE、ACKのピンを使用して直接レジスタにアクセスします。

最初にホストが直接レジスタを初期化した後で、アプリケーションごとの動作を実装する必要があります。

これらのレジスタのアクセスと設定の詳細については、「ADV202ユーザ・ガイド」を参照してください。

表18. 直接レジスタ

Address	Name	Description
0x00	PIXEL	Pixel FIFO Access Register
0x01	CODE	Compressed Code Stream Access Register
0x02	ATTR	Attribute FIFO Access Register
0x03	ANCL	Ancillary FIFO Access Register
0x04	CMDSTA	Command Stack
0x05	EIRQIE	External Interrupt Enabled
0x06	EIRQFLG	External Interrupt Flags
0x07	SWFLAG	Software Flag Register
0x08	BUSMODE	Bus Mode Configuration Register
0x09	MMODE	Miscellaneous Mode Register
0x0A	STAGE	Staging Register
0x0B	IADDR	Indirect Address Register
0x0C	IDATA	Indirect Data Register
0x0D	BOOT	Boot Mode Register
0x0E	PLL_HI	PLL Control Register—High Byte
0x0F	PLL_LO	PLL Control Register—Low Byte

間接レジスタ

表19に示す間接レジスタは、ESFまたはファームウェアを使用して、ホスト・システムと内部の32ビット組込みプロセッサの両方からアクセスできます。

カスタム入力フォーマットやHIPIモードなどの特定のモードでは、ユーザはIADDRレジスタやIDATAレジスタを使用して間接レジスタにアクセスします。間接レジスタのアドレス・スペースは、内部アドレス0xFFFF0000から開始します。

間接レジスタには、32ビットと16ビットの両方のホストがアクセスできます。32ビット・アクセスではIADDRレジスタとIDATAレジスタを使用しますが、16ビット・ホストではIADDR、IDATA、STAGEの各レジスタを使用します。これらのレジスタのアクセスと設定の詳細については、「ADV202 ユーザ・ガイド」を参照してください。

表19. 間接レジスタ

Address	Name	Description
0xFFFF0400	PMODE1	Pixel/Video Format
0xFFFF0404	COMP_CNT_STATUS	Horizontal Count
0xFFFF0408	LINE_CNT_STATUS	Vertical Count
0xFFFF040C	XTOT	Total Samples per Line
0xFFFF0410	YTOT	Total Lines per Frame
0xFFFF0414	F0_START	Start Line of Field 0 [F0]
0xFFFF0418	F1_START	Start Line of Field 1 [F1]
0xFFFF041C	V0_START	Start of Active Video Field 0 [F0]
0xFFFF0420	V1_START	Start of Active Video Field 1 [F1]
0xFFFF0424	V0_END	End of Active Video Field 0 [F0]
0xFFFF0428	V1_END	End of Active Video Field 1 [F1]
0xFFFF042C	PIXEL_START	Horizontal Start of Active Video
0xFFFF0430	PIXEL_END	Horizontal End of Active Video
0xFFFF0440	MS_CNT_DEL	Master/Slave Delay
0xFFFF0444	LINE_CNT_INTERRUPT	Line Count Interrupt
0xFFFF0448	PMODE2	Pixel Mode 2
0xFFFF044C	VMODE	Video Mode
0xFFFF1408	EDMOD0	External DMA Mode Register 0
0xFFFF140C	EDMOD1	External DMA Mode Register 1
0xFFFF1410	FFTHRP	FIFO Threshold for Pixel FIFO
0xFFFF1414	FFCNTP	FIFO Full/Empty Count for Pixel FIFO
0xFFFF1418	FFMODE	FIFO Mode Register
0xFFFF141C	FFTHRC	FIFO Threshold for Code FIFO
0xFFFF1420	FFTHRA	FIFO Threshold for ATTR FIFO
0xFFFF1424	FFTHRN	FIFO Threshold for ANCL FIFO
0xFFFF1428	FFCNTC	FIFO Full/ Empty Count for CODE FIFO
0xFFFF142C	FFCNTA	FIFO Full/Empty Count for ATTR FIFO
0xFFFF1430	FFCNTN	FIFO Full/Empty Count for ANCL FIFO
0xFFFF1434 to 0xFFFF14FC	Reserved	Reserved

ADV202

PLL

ADV202では、PLLの設定にPLL_HIとPLL_LOの直接レジスタを使用します。PLL_LOレジスタが変更されると、ホストは20 μ s以上待機しなければ、他のレジスタを読み書きできません。この遅延が未実装の場合、異常な動作につながる可能性があります。

以下の条件を満たせば、乗算器の最終値にPLLをプログラムできます。

- 50MHz < JCLK < 150MHz (144ピン・バージョン)
- 50MHz < JCLK < 135MHz (144ピン・バージョン)
- 50MHz < JCLK < 115MHz (121ピン・バージョン)
- HCLK < 115MHz
- シングル・コンポーネント入力の場合に、 $JCLK \geq 2 \times VCLK$
- YCrCb[4:2:2]入力の場合に、 $JCLK \geq 2 \times VCLK$
- JDATAモードでは、 $JCLK > 4 \times MCLK$

- 外部DMAモードでの最大バースト周波数は $\leq 0.36JCLK$
- MCLK周波数が50MHzよりも高い場合には、入力クロック分周器をイネーブル (IPD=1) にしてください。
- MCLK周波数が20MHzよりも低い場合には、IPDをイネーブルにできません。

消費電力を最低限に抑えるためには、SD映像のCCIR656入力に対して27MHzのMCLK周波数を推奨します。PLL回路が3の倍数となることを推奨します。この場合、JCLKとHCLKが81MHzとなります。

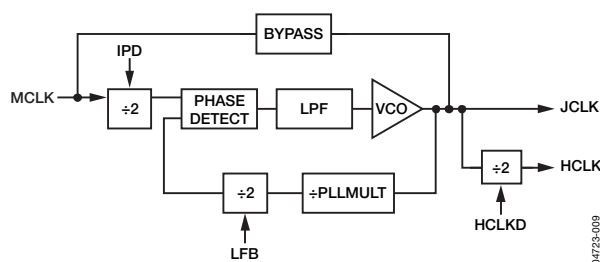


図24. PLLのアーキテクチャと制御機能

表20. 推奨されるPLLレジスタ設定

IPD	LFB	PLLMULT	HCLKD	HCLK	JCLK
0	0	N	0	$N \times MCLK$	$N \times MCLK$
0	0	N	1	$N \times MCLK/2$	$N \times MCLK$
0	1	N	0	$2 \times N \times MCLK$	$2 \times N \times MCLK$
0	1	N	1	$N \times MCLK$	$2 \times N \times MCLK$
1	0	N	0	$N \times MCLK/2$	$N \times MCLK/2$
1	0	N	1	$N \times MCLK/4$	$N \times MCLK/2$
1	1	N	0	$N \times MCLK$	$N \times MCLK$
1	1	N	1	$N \times MCLK/2$	$N \times MCLK$

表21. PLL_HIレジスタとPLL_LOレジスタに対する推奨値

Video Standard	CLKIN Frequency on MCLK	PLL_HI	PLL_LO
SMPTE125M or ITU-R.BT656 (NTSC or PAL)	27 MHz	0x0008	0x0004
SMPTE293M (525p)	27 MHz	0x0008	0x0004
ITU-R.BT1358 (625p)	27 MHz	0x0008	0x0004
SMPTE274M (1080i)	74.25 MHz	0x0008	0x0084

ハードウェア・ブート

CFGピンを使用したハードウェア手法、またはソフトウェアを介してブート・モードを設定できます（「ADV202ユーザ・ガイド」を参照）。パワーアップ後の最初のブート・モードは、CFGピンを使用して設定します。

ハードウェアを使用して設定できるのは、表22で説明するブート・モード2、4、6のみです。

表22. ハードウェア・ブート・モード

Boot Mode	Settings	Description
Hardware Boot Mode 2	CFG<1> tied high, CFG<2> tied low	No-Boot Host Mode. ADV202 does not boot, but all internal registers and memory are accessible through normal host I/O operations. For details, see the ADV202 User's Guide and the Getting Started with the ADV202 application note.
Hardware Boot Mode 4	CFG<1> tied low, CFG<2> tied high	SoC boot mode. The embedded software framework (ESF) takes control and establishes communications with the host.
Hardware Boot Mode 6	CFG<1> and <2> tied high	SPI boot mode. Boot firmware over SPI from external flash memory.

ADV202

ビデオ入力フォーマット

ADV202は、非圧縮のビデオと静止画データ向けの多様なフォーマットに対応します。入力データの許容サイズと各アクセスで転送されるサンプル数は、非圧縮のデータを転送するために選択されたバス・モードと実際のインターフェースによって決まります。

ホスト・インターフェースは、HDATAバス上で8/10/12/14/16ビットのデータ・フォーマットに対応できます。ビデオ・インターフェースは、ビデオ・データや静止画データの入出力に対応できます。利用できるフォーマットは、8/10/12/16ビットのシングル・フォーマット、または2x8/2x10/2x12ビットの多重化フォーマットです。詳細については、「ADV202ユーザ・ガイド」を参照してください。PMODEレジスタで実際のデータ

幅／精度を指定すれば、すべてのフォーマットで対応できる精度を下げられます。

不可逆または可逆圧縮モードと入力サンプルのデータ幅（または精度）を使用すれば、許容可能な最大データ入力レートは制限されます。表23と表24を参考にして、最大データ入力レートを決定してください。

表23. 最大ピクセル・データ入力レート

Interface	Compression Mode	Input Format	Input Rate Limit Active Resolution (MSPS) ¹	Approx Min Peak Output Rate, Compressed Data ² (Mbps)	Approx Max Output Rate, Compressed Data ³ (Mbps)
144-PIN PACKAGE					
HDATA	Irreversible	8-bit data	45 [40]	130	200
	Irreversible	10-bit data	45 [40]	130	200
	Irreversible	12-bit data	45 [40]	130	200
	Irreversible	16-bit data	45 [40]	130	200
	Reversible	8-bit data	40 [36]	130	200
	Reversible	10-bit data	32 [28]	130	200
	Reversible	12-bit data	27 [24]	130	200
	Reversible	14-bit data	23 [20]	130	200
VDATA	Irreversible	8-bit data	65 [55]	130	200
	Irreversible	10-bit data	65 [55]	130	200
	Irreversible	12-bit data	65 [55]	130	200
	Reversible	8-bit data	40 [34]	130	200
	Reversible	10-bit data	32 [28]	130	200
	Reversible	12-bit data	27 [23]	130	200
121-PIN PACKAGE					
HDATA	Irreversible	8-bit data	34	98	150
	Irreversible	10-bit data	34	98	150
	Irreversible	12-bit data	34	98	150
	Irreversible	16-bit data	34	98	150
	Reversible	8-bit data	30	98	150
	Reversible	10-bit data	24	98	150
	Reversible	12-bit data	20	98	150
	Reversible	14-bit data	17	98	150
VDATA	Irreversible	8-bit data	48	98	150
	Irreversible	10-bit data	48	98	150
	Irreversible	12-bit data	48	98	150
	Reversible	8-bit data	30	98	150
	Reversible	10-bit data	24	98	150
	Reversible	12-bit data	20	98	150

¹ HDATAに対する入力レート制限値は、入力される画像サイズとコンテンツ、ホスト・インターフェースの設定、DMA転送の設定に応じて、特定のアプリケーションで上記の値よりも低くなる場合があります。カッコ内の値は、ADV202の135MHz速度グレードのバージョンに適用されます。

² ピーク出力レートの最小値、または持続される出力レートの保証値です。

³ 出力レートの最大値。出力レートはこの値を超えることはありません。

表24. HDATAおよびVDATAバス上のデータ入力に対して許容される最大タイル幅

Compression Mode	Input Format	Tile/Precinct Maximum Width
9/7i	Single-component	2048
9/7i	Two-component	1024 each
9/7i	Three-component	1024 (Y)
5/3i	Single-component	4096
5/3i	Two-component	2048 (each)
5/3i	Three-component	2048 (Y)
5/3r	Single-component	4096
5/3r	Two-component	2048
5/3r	Three-component	1024

ADV202

アプリケーション

このセクションでは、ADV202 JPEG2000ビデオ・プロセッサの代表的なビデオ・アプリケーションについて説明します。

エンコード - マルチチップ・モード

データ入力レートの制限があるため（表23を参照）、1080iアプリケーションがフル解像度の1080iビデオをエンコードまたはデコードするには、少なくとも2つのADV202が必要です。エンコード・モードでは、ADV202はYデータとCbCrデータを別個のバスで受け入れます。入力データは、EAV/SAVフォーマットとしてください。エンコード例を図25に示します。

デコード・モードでは、マスタ/スレーブ構成（図26に示す）またはスレーブ/スレーブ構成を使用して、2つのADV202の出力の同期をとります。マルチチップ・アプリケーションでのADV202の構成方法については、アプリケーション・ノート「ADV202 Multichip Application」を参照してください。

2つの別個のVDATA出力を、FPGAまたはバッファに出力してからエンコーダに出力するアプリケーションでは、ADV202出力時点での同期は必要ありません。

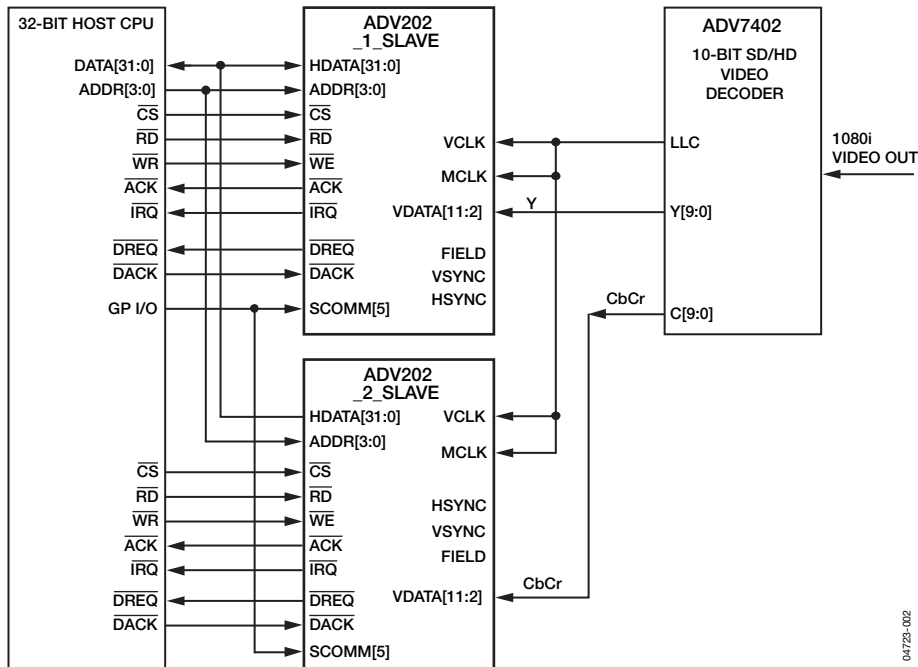


図25. エンコード-マルチチップ・アプリケーション

デコード マルチチップ・マスタ/スレーブ
 マスタ/スレーブ設定では、マスタのHVF出力をスレーブのHVF入力に接続し、各SCOMM[5]ピンをホスト上の同じGPIOに接続することが要求されます。

スレーブ/スレーブ設定では、2つのADV202に共通のHVFが外部ハウス・シンクによって生成され、各SCOMM[5]はホスト上の同じGPIO出力に接続されます。

マルチチップ・モードを有効にするには、2つのデバイスでEIRQIEレジスタのSWIRQ1（ソフトウェア割込み1）をマスク解除してください。

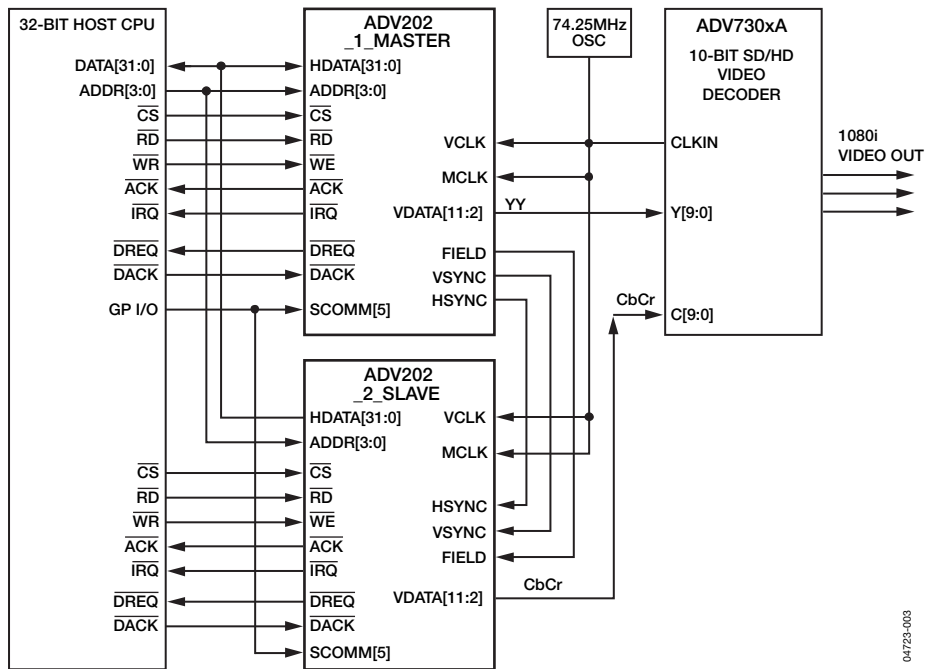


図26. デコードマルチチップのマスタ/スレーブ・アプリケーション

デジタル・カメラ/ビデオカメラ

図27は、デジタル・カメラまたはビデオカメラの代表的な回路構成を示します。

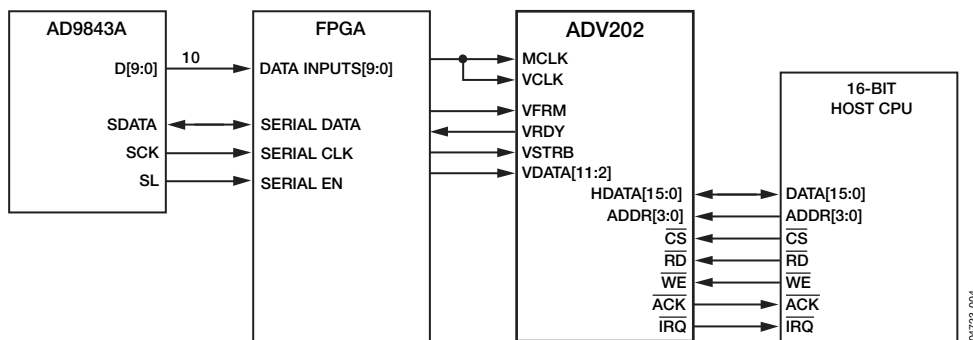


図27. デジタル・カメラ/ビデオカメラのアプリケーション

ADV202

エンコード/デコード - SDTVビデオ・アプリケーション

図28は、ノーマル・ホスト・モードで10ビットのCCIR656を使用する2つのADV202の回路構成を示します。

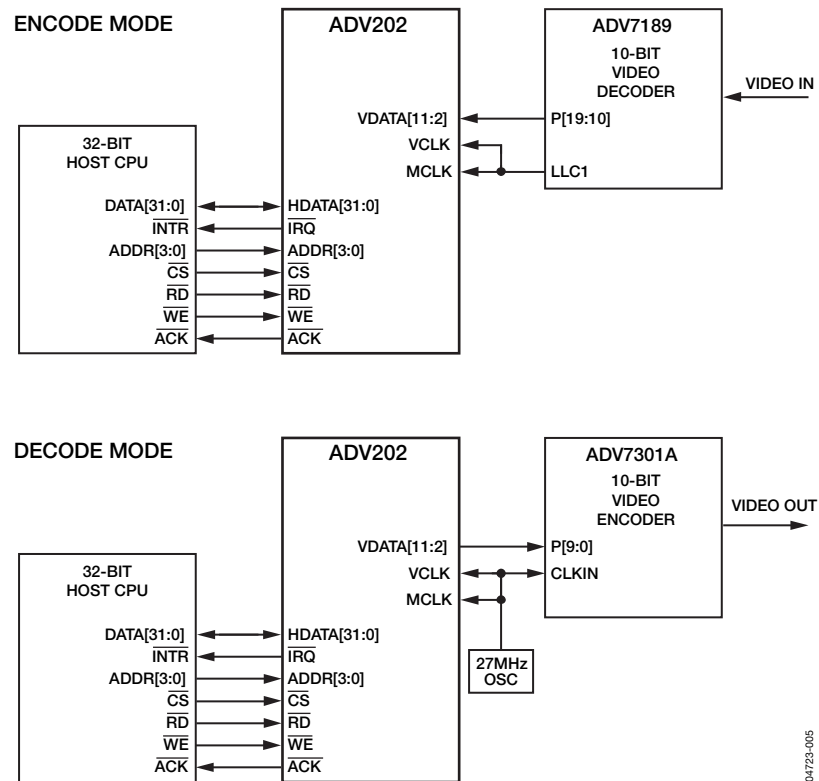


図28. エンコード/デコード-SDTVビデオ・アプリケーション

04723-005

ASICアプリケーション (32ビット・ホスト/32ビットASIC)

図29は、ノーマル・ホスト・モードで10ビットのCCIR656を使用する2つのADV202の回路構成を示します。

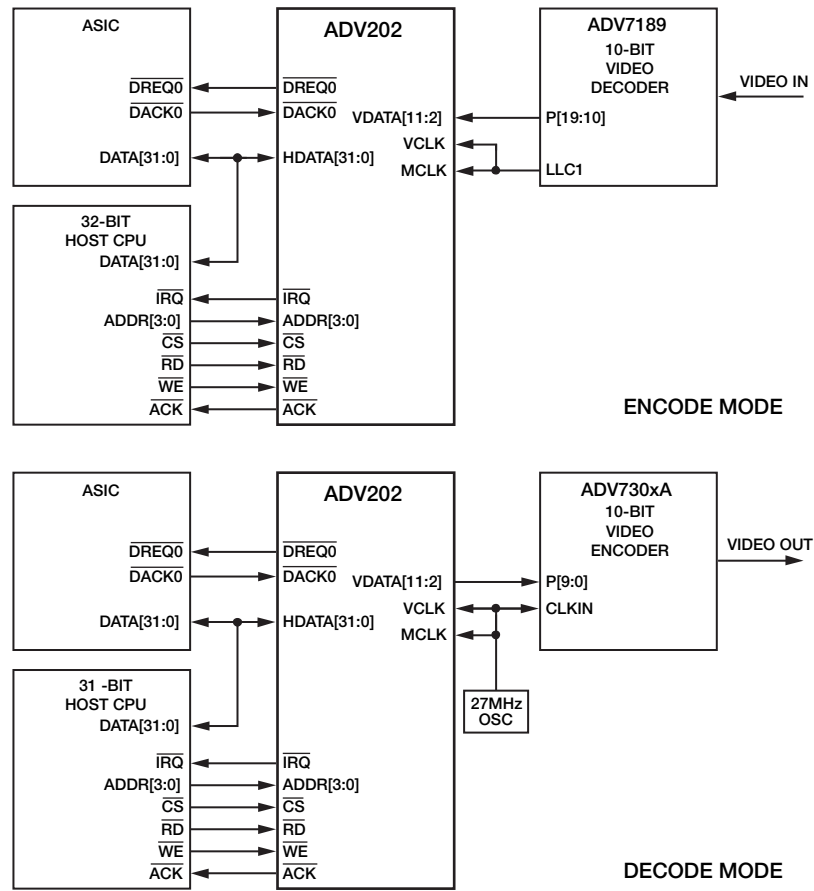


図29. エンコード/デコーダーASICアプリケーション

04723-006

ADV202

HIPI (ホスト・インターフェース・ピクセル・インターフェース)

HIPIモードを利用した代表的な回路構成を図30に示します。

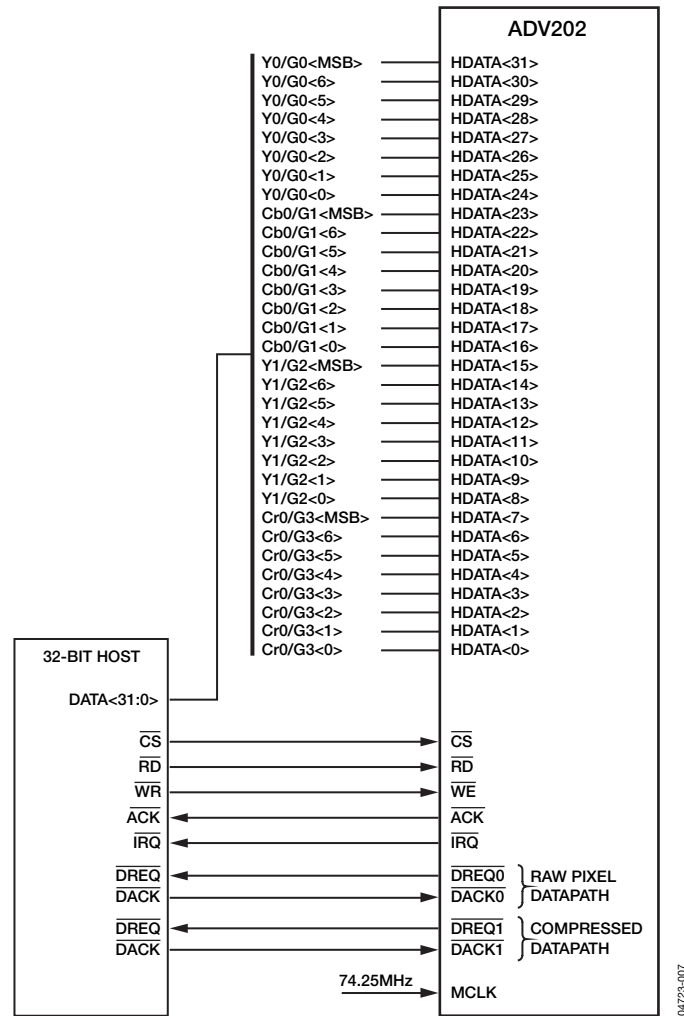


図30. ホスト・インターフェース・ピクセル・インターフェース・モード

JDATAインターフェース

図31は、専用のJDATA出力、16ビット・ホスト、10ビットのCCIR656を使用するJDATAインターフェースの代表的な回路構成を示します。

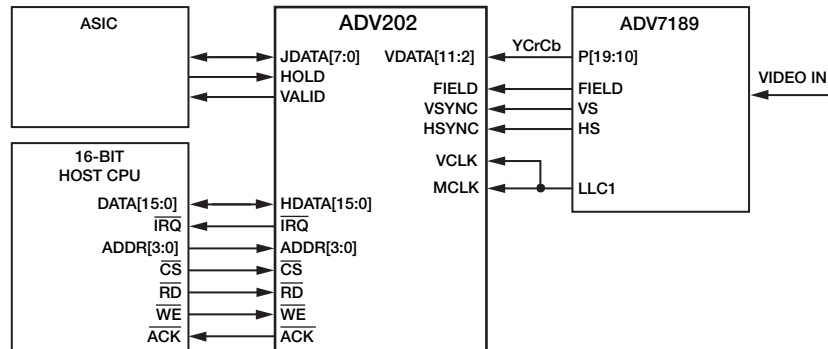
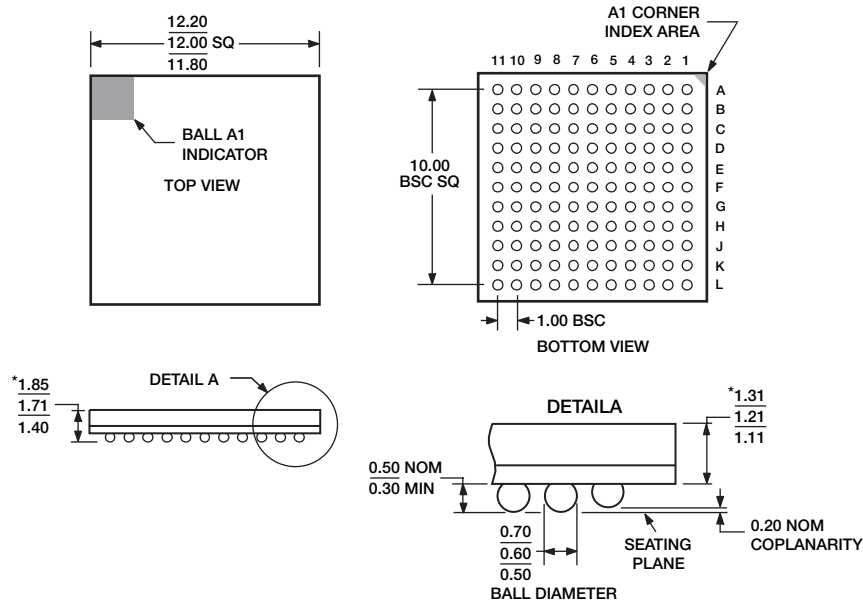


図31. JDATAアプリケーション

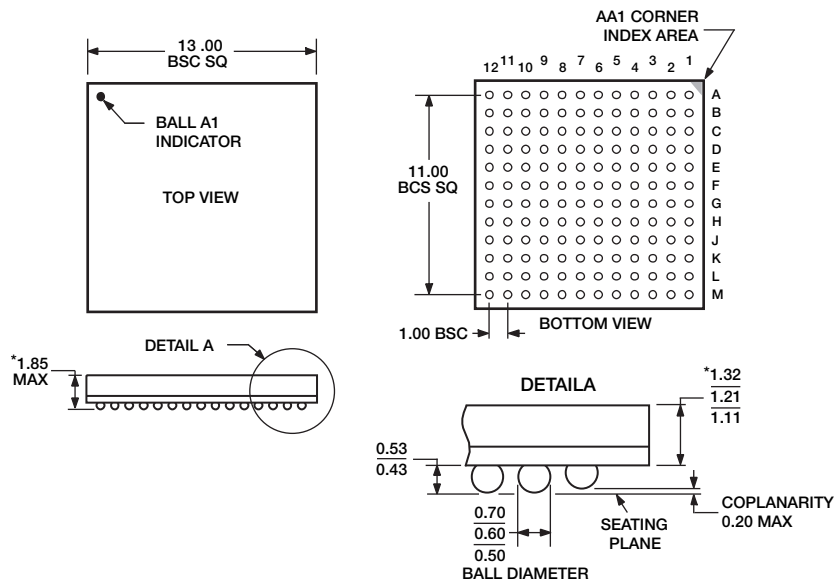
外形寸法



*COMPLIANT WITH JEDEC STANDARDS MO-192-ABD-1
WITH EXCEPTION TO PACKAGE HEIGHT AND PACKAGE THICKNESS.

図32. 121ピン・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSPBGA]
(BC-121)

寸法単位：mm



*COMPLIANT WITH JEDEC STANDARDS MO-192-AAD-1
WITH EXCEPTION TO PACKAGE HEIGHT AND PACKAGE THICKNESS.

図33. 144ピン・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSPBGA]
(BC-144-3)

寸法単位：mm

ADV202

オーダー・ガイド

Model	Temperature Range	Speed Grade	Operating Voltage	Package Description	Package Option
ADV202BBC-115	-40°C to +85°C	115 MHz	1.5 V internal, 2.5 V or 3.3 V I/O	121-Lead CSPBGA	BC-121
ADV202BBCZ-115 ¹	-40°C to +85°C	115 MHz	1.5 V internal, 2.5 V or 3.3 V I/O	121-Lead CSPBGA	BC-121
ADV202BBC-135	-40°C to +85°C	135 MHz	1.5 V internal, 2.5 V or 3.3 V I/O	144-Lead CSPBGA	BC-144-3
ADV202BBCZ-135 ¹	-40°C to +85°C	135 MHz	1.5 V internal, 2.5 V or 3.3 V I/O	144-Lead CSPBGA	BC-144-3
ADV202BBC-150	-40°C to +85°C	150 MHz	1.5 V internal, 2.5 V or 3.3 V I/O	144-Lead CSPBGA	BC-144-3
ADV202BBCZ-150 ¹	-40°C to +85°C	150 MHz	1.5 V internal, 2.5 V or 3.3 V I/O	144-Lead CSPBGA	BC-144-3
ADV202-HD-EB ADV202-SD-EB				High Definition Evaluation Board Standard Definition Evaluation Board	

¹ Z=鉛フリー製品