

ADuM5240/ADuM5241/ADuM5242

特長

- 絶縁型DC/DCコンバータ内蔵
- 5V/10mAの安定化出力
- DC~1Mbps (NRZ) の信号絶縁チャンネル2個
- ナローボディ8ピンSOPパッケージ
- RoHS準拠
- 高温動作：105℃
- 高精度のタイミング特性
 - 最大3nsのパルス幅歪み
 - 最大3nsのチャンネル間マッチング
 - 最大70nsの伝播遅延
- 高いコモンモード過渡耐圧：>25kV/μs
- 安全性規格の認定
 - UL認定
 - UL 1577準拠、2500V rms (1分間)
 - CSA Component Acceptance Notice #5A
 - VDE適合認定
 - DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12
 - V_{IORM}=560V (ピーク)

概要

ADuM524x¹は、絶縁電源、isoPower™を集積化した2チャンネルのデジタル・アイソレータです。チップスケールのDC/DCコンバータは、アナログ・デバイセズのiCoupler®技術を利用し、+5V時に最大50mWの安定化した絶縁電源を提供します。このため、低消費電力の絶縁設計において絶縁型DC/DCコンバータを別に用意する必要はありません。アナログ・デバイセズのiCouplerチップスケール・トランス技術をロジック信号の絶縁にもDC/DCコンバータにも利用し、小型サイズのトータル絶縁ソリューションとなっています。

ADuM524xアイソレータは、さまざまなチャンネル構成が可能な2つの独立した絶縁チャンネルを備えており、5Vの入力電源で動作します。ADuM524xユニットは、他のiCoupler製品と組み合わせることでチャンネル数を増加させて用いることができます。

機能ブロック図

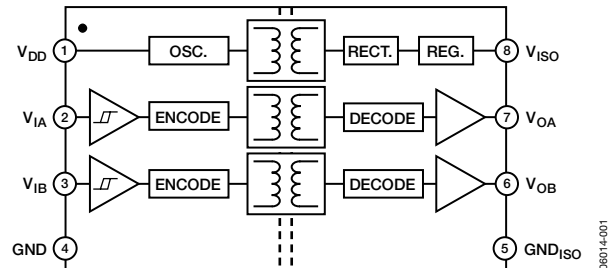


図1. ADuM5240

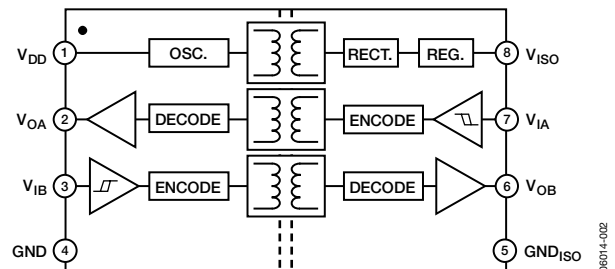


図2. ADuM5241

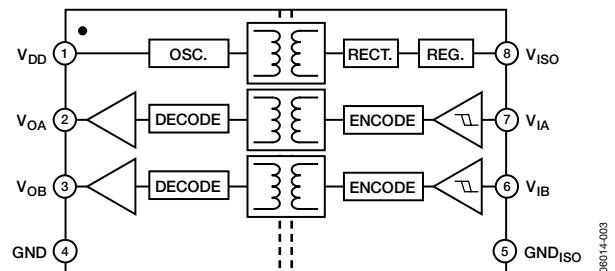


図3. ADuM5242

¹ 米国特許番号5,952,849、6,873,065、7,075,329で保護されています。その他の特許は申請中です。

ADuM5240/ADuM5241/ADuM5242

目次

特長	1	ピン配置と機能の説明	8
概要	1	代表的な性能特性	10
機能ブロック図	1	アプリケーション情報	11
改訂履歴	2	DC/DCコンバータ	11
仕様	3	伝播遅延に関連するパラメータ	11
電気的特性	3	DC精度と磁界耐性	11
パッケージ特性	5	熱解析	12
適用規格	5	PCボードのレイアウト	12
絶縁および安全性関連の仕様	5	電源パワーの増加について	13
DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性	6	絶縁材のライフ時間	13
推奨動作条件	6	外形寸法	14
絶対最大定格	7	オーダー・ガイド	14
ESDに関する注意	7		

改訂履歴

7/07—Rev. 0 to Rev. A

Updated VDE Certification Throughout	1
Changes to Features	1
Changes to Regulatory Information Section and Table 4	5
Changes to Table 5 and Figure 4 Caption	6
Changes to Table 7	7
Added Table 8; Renumbered Sequentially	7
Added Insulation Lifetime Section	13

03/07—Revision 0: Initial Version

仕様

電気的特性

すべての電圧は、それぞれのグラウンドを基準とします。特に指定のない限り、すべての最小値/最大値仕様は推奨動作範囲の全域に適用されます。特に指定のない限り、すべての代表値は $T_A=25^\circ\text{C}$ 、 $V_{DD}=5.0\text{V}$ 、 $V_{ISO}=5.0\text{V}$ で規定しています。

表1

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC-to-DC CONVERTER						
With DC-to-DC Converter Enabled						
DC to 1 Mbps Data Rate						
Setpoint	$V_{ISO(SET)}$	4.5	5.2	5.5	V	Logic signal frequency $\leq 1\text{ MHz}$ $I_{ISO} = 0\text{ mA}$
Maximum V_{ISO} Output Current	$I_{ISO(max)}$	10			mA	$V_{ISO} = 4.5\text{ V}$
Noise ¹			250		mV p-p	
Input Supply Current						
At Maximum I_{ISO} Current	$I_{DD(max)}$			140	mA	$I_{ISO} = 10\text{ mA}$
No Load I_{ISO} Current	$I_{DD(Q)}$			104	mA	$I_{ISO} = 0\text{ mA}$
With DC-to-DC Converter Disabled						
Primary Side Supply Input Current ²						
ADuM5240	$I_{DD(DISABLE)}$			3.3	mA	$V_{DD} = 4.0\text{ V}$
ADuM5241	$I_{DD(DISABLE)}$			2.7	mA	$V_{DD} = 4.0\text{ V}$
ADuM5242	$I_{DD(DISABLE)}$			2.2	mA	$V_{DD} = 4.0\text{ V}$
Secondary Side Supply Input Current ³						
ADuM5240	$I_{ISO(DISABLE)}$			2.6	mA	
ADuM5241	$I_{ISO(DISABLE)}$			2.8	mA	
ADuM5242	$I_{ISO(DISABLE)}$			3.0	mA	
DC-to-DC Converter Enable Threshold ⁴	$V_{DD(ENABLE)}$	4.2		4.5	V	
DC-to-DC Converter Disable Threshold ⁴	$V_{DD(DISABLE)}$	3.7			V	
LOGIC SPECIFICATIONS						
Logic Input Currents	I_{IA}, I_{IB}	-10	+0.01	+10	μA	
Logic High Input Threshold	V_{IH}	0.7 (V_{DD} or V_{ISO})			V	
Logic Low Input Threshold	V_{IL}				0.3 (V_{DD} or V_{ISO})	V
Logic High Output Voltages	V_{OAH}, V_{OBH}	$(V_{DD} \text{ or } V_{ISO}) (V_{DD} \text{ or } V_{ISO})$			V	$I_{Ox} = -20\text{ }\mu\text{A}, V_{Ix} \geq V_{IH}$
		$(V_{DD} \text{ or } V_{ISO}) (V_{DD} \text{ or } V_{ISO})$			V	$I_{Ox} = -4\text{ mA}, V_{Ix} \geq V_{IH}$
Logic Low Output Voltages	V_{OAL}, V_{OBL}	-0.1			V	$I_{Ox} = 20\text{ }\mu\text{A}, V_{Ix} \leq V_{IL}$
		-0.5 - 0.2			V	$I_{Ox} = 4\text{ mA}, V_{Ix} \leq V_{IL}$

ADuM5240/ADuM5241/ADuM5242

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
AC SPECIFICATIONS						
Minimum Pulse Width ⁵	PW			100	ns	C _L = 15 pF, CMOS signal levels
Maximum Data Rate ⁶		1			Mbps	C _L = 15 pF, CMOS signal levels
Propagation Delay ⁷	t _{PHL} , t _{PLH}	25		70	ns	C _L = 15 pF, CMOS signal levels
Pulse Width Distortion, t _{PLH} - t _{PHL} ⁸	PWD			3	ns	C _L = 15 pF, CMOS signal levels
Propagation Delay Skew ⁸	t _{PSK}			45	ns	C _L = 15 pF, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels ⁹	t _{PSKCD}			3	ns	C _L = 15 pF, CMOS signal levels
Channel-to-Channel Matching, Opposing-Directional Channels ⁹	t _{PSKCD}			15	ns	C _L = 15 pF, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t _R /t _F		2.5		ns	C _L = 15 pF, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output	CM _H	25	35		kV/μs	V _{IX} = V _{DD} , V _{ISO} , V _{CM} = 1000 V, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output	CM _L	25	35		kV/μs	V _{IX} = 0 V, V = 1000 V, transient magnitude = 800 V
Refresh Frequency	f _r		1.0		MHz	
Switching Frequency	f _{OSC}		300		MHz	

¹ ピーク・ノイズは、リフレッシュ周波数に相当する周波数で発生します（「PCボードのレイアウト」を参照）。

² I_{DD(DISABLE)} 電源電流値は、デジタル出力が無負荷の状態規定されています。

³ I_{DD(DISABLE)} 電源電流値は、デジタル出力が無負荷で外部電源を使用する条件で規定されています。

⁴ イネーブル/ディスエーブル・スレッシュホールドは、内部DC/DCコンバータがイネーブル/ディスエーブルになるときのV_{DD}電圧です。

⁵ 最小パルス幅は、規定されたパルス幅歪みが保証される最短パルスです。

⁶ 最大データレートは、規定されたパルス幅歪みとV_{ISO}電源電圧が保証される最高速のデータレートです。

⁷ t_{PHL}伝播遅延は、V_{IX}信号の立下がりエッジの50%レベルからV_{OX}信号の立下がりエッジの50%レベルまでの測定時間です。t_{PLH}伝播遅延は、V_{IX}信号の立上がりエッジの50%レベルからV_{OX}信号の立上がりエッジの50%レベルまでの測定時間です。

⁸ t_{PSK}は、推奨動作条件内の同一の動作温度、電源電圧、出力負荷で動作するユニット間で測定した最悪の条件のt_{PHL}および/またはt_{PLH}の差です。

⁹ チャンネル間マッチングは、同一負荷で動作した場合の2チャンネル間の伝播遅延の差の絶対値です。

ADuM5240/ADuM5241/ADuM5242

パッケージ特性

表2

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Resistance (Input-to-Output)	R_{I-O}		10^{12}		Ω	f = 1 MHz
Capacitance (Input-to-Output)	C_{I-O}		1.0		pF	
Input Capacitance	C_I		4.0		pF	
IC Junction-to-Air Thermal Resistance	θ_{JA}		80		$^{\circ}\text{C}/\text{W}$	

適用規格

ADuM524xは、表3に示す機関から認定を受けています。特定のクロス絶縁波形および絶縁レベルにおける推奨最大動作電圧については、表8および絶縁材のライフ時間の項を参照してください。

表3

UL	CSA	VDE
Recognized under 1577 Component Recognition Program ¹	Approved under CSA Component Acceptance Notice #5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ²
Single/basic insulation, 2500 V rms isolation rating	Basic insulation per CSA 60950-1-03 and IEC 60950-1, 400 V rms (566 V peak) maximum working voltage	Reinforced insulation, 560 V peak
File E214100	File 205078	File 2471900-4880-0001

¹ UL 1577に従い、各ADuM524xは3000Vrms以上の絶縁テスト電圧を1秒間加えるテストを実施しています（リーク電流検出の規定値=5 μ A）。

² DIN V VDE V 0884-10に従い、各ADuM524xは1050Vピーク以上の絶縁テスト電圧を1秒間加えるテストを実施しています（部分放電検出の規定値=5pC）。DIN V VDE V 0884-10の認定対象部品にはそのブランド名がマーキングされます。

絶縁および安全性関連の仕様

表4

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		2500	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	4.90 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	4.01 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)
Maximum Working Voltage Compatible with 50-Year Service Life	V_{IORM}	425	V peak	Continuous peak voltage across the isolation barrier

ADuM5240/ADuM5241/ADuM5242

DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性

表5

Description	Conditions	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms			I to IV I to III	
Climatic Classification			40/105/21	
Pollution Degree (DIN VDE 0110, Table 1)			2	
Maximum Working Insulation Voltage		V_{IORM}	424	V peak
Input-to-Output Test Voltage, Method b1	$V_{IORM} \times 1.875 = V_{PR}$, 100% production test, $t_m = 1$ sec, partial discharge < 5 pC	V_{PR}	795	V peak
Input-to-Output Test Voltage, Method a After Environmental Tests Subgroup 1	$V_{IORM} \times 1.6 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC	V_{PR}	680	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC		510	V peak
Highest Allowable Overvoltage	Transient overvoltage, $t_{TR} = 10$ seconds	V_{TR}	4000	V peak
Safety-Limiting Values	Maximum value allowed in the event of a failure; see Figure 4			
Case Temperature		T_S	150	$^{\circ}\text{C}$
Supply Current		I_{S1}	312	mA
Insulation Resistance at T_S	$V_{IO} = 500$ V	R_S	$>10^9$	Ω

このアイソレータは基本的な電氣的絶縁を得るのに適していますが、必ず安全性データの範囲内で使用してください。安全性データを超えるような場合は、保護回路を使用する必要があります。

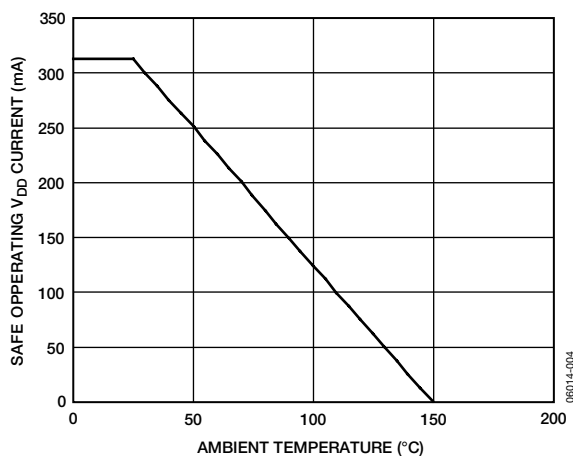


図4. サーマル・ディレーティング・カーブ、DIN V VDE V 0884-10による安全性限界値のケース温度依存性

推奨動作条件

表6

Parameter	Value
Operating Temperature Range (T_A)	-40°C to $+105^{\circ}\text{C}$
Supply Voltages ¹	
V_{DD} , DC-to-DC Converter Enabled	4.5 V to 5.5 V
V_{DD} , DC-to-DC Converter Disabled (V_{DD})	2.7 V to 4.0 V
V_{ISO} , DC-to-DC Converter Disabled (V_{ISO})	2.7 V to 5.5 V
Input Signal Rise/Fall Time	1.0 ms
Input Supply Slew Rate	10 V/ms

¹ すべての電圧は、それぞれのグラウンドを基準とします。

絶対最大定格

表7

Parameter	Rating
Storage Temperature Range (T_{ST})	-55°C to +150°C
Ambient Operating Temperature Range (T_A)	-40°C to +105°C
Supply Voltages (V_{DD} , V_{ISO}) ¹	-0.5 V to +7.0 V
Input Voltage (V_{IA} , V_{IB}) ¹	-0.5 V to (V_{DD} or V_{ISO}) + 0.5 V
Output Voltage (V_{OA} , V_{OB}) ¹	-0.5 V to (V_{DD} or V_{ISO}) + 0.5 V
Average Output Current per Pin (I_O) ²	-18 mA to +18 mA
Common-Mode Transients (ICMI) ³	-100 kV/ μ s to +100 kV/ μ s

¹ すべての電圧は、それぞれのグラウンドを基準とします。

² さまざまな温度での最大定格電流については、図4を参照してください。

³ 絶縁バリアを通過するコモンモード過渡電圧です。コモンモード過渡電圧が絶対最大定格を超えると、デバイスがラッチアップまたは回復不能の損傷を生じる可能性があります。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

表8 最大連続動作電圧¹

Parameter	Max	Unit	Constraint
AC Voltage, Bipolar Waveform	425	V peak	50-year minimum lifetime
AC Voltage, Unipolar Waveform			
Basic Insulation	566	V peak	Maximum approved working voltage per IEC 60950-1
Reinforced Insulation	560	V peak	Maximum approved working voltage per VDE V 0884-10
DC Voltage			
Basic Insulation	566	V peak	Maximum approved working voltage per IEC 60950-1
Reinforced Insulation	560	V peak	Maximum approved working voltage per VDE V 0884-10

¹ 連続電圧の大きさは絶縁バリア間での値を指します。詳細については絶縁ライフ時間の項を参照してください。

ADuM5240/ADuM5241/ADuM5242

ピン配置と機能の説明

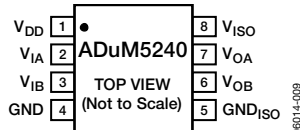


図5. ADuM5240のピン配置

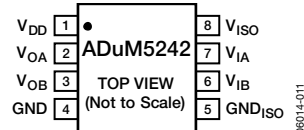


図7. ADuM5242のピン配置

表9. ADuM5240のピン機能説明

ピン番号	記号	説明
1	V _{DD}	アイソレータ一次側の電源電圧、4.5~5.5V (DC/DCイネーブル時)、2.7~4.0V (DC/DCディスエーブル時)
2	V _{IA}	ロジック入力A
3	V _{IB}	ロジック入力B
4	GND	グラウンド。アイソレータ一次側のグラウンド基準ポイント
5	GND _{ISO}	絶縁グラウンド。アイソレータ二次側のグラウンド基準ポイント
6	V _{OB}	ロジック出力B
7	V _{OA}	ロジック出力A
8	V _{ISO}	アイソレータ二次側の絶縁電源電圧、4.5~5.5V出力 (DC/DCイネーブル時)、2.7~5.5V入力 (DC/DCディスエーブル時)

表11. ADuM5242のピン機能説明

ピン番号	記号	説明
1	V _{DD}	アイソレータ一次側の電源電圧、4.5~5.5V (DC/DCイネーブル時)、2.7~4.0V (DC/DCディスエーブル時)
2	V _{OA}	ロジック出力A
3	V _{OB}	ロジック出力B
4	GND	グラウンド。アイソレータ一次側のグラウンド基準ポイント
5	GND _{ISO}	絶縁グラウンド。アイソレータ二次側のグラウンド基準ポイント
6	V _{IB}	ロジック入力B
7	V _{IA}	ロジック入力A
8	V _{ISO}	アイソレータ二次側の絶縁電源電圧、4.5~5.5V出力 (DC/DCイネーブル時)、2.7~5.5V入力 (DC/DCディスエーブル時)

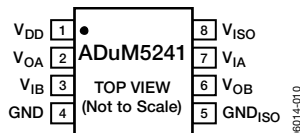


図6. ADuM5241のピン配置

表10. ADuM5241のピン機能説明

ピン番号	記号	説明
1	V _{DD}	アイソレータ一次側の電源電圧、4.5~5.5V (DC/DCイネーブル時)、2.7~4.0V (DC/DCディスエーブル時)
2	V _{OA}	ロジック出力A
3	V _{IB}	ロジック入力B
4	GND	グラウンド。アイソレータ一次側のグラウンド基準ポイント
5	GND _{ISO}	絶縁グラウンド。アイソレータ二次側のグラウンド基準ポイント
6	V _{OB}	ロジック出力B
7	V _{IA}	ロジック入力A
8	V _{ISO}	アイソレータ二次側の絶縁電源電圧、4.5~5.5V出力 (DC/DCイネーブル時)、2.7~5.5V入力 (DC/DCディスエーブル時)

ADuM5240/ADuM5241/ADuM5242

表12. ADuM5240の真理値表

V _{DD} State	DC-to-DC Converter	V _{ISO} State	V _{IA} Input	V _{IB} Input	V _{OA} Output	V _{OB} Output
Powered	Enabled	Powered (Internally)	H	H	H	H
Powered	Enabled	Powered (Internally)	L	L	L	L
Powered	Enabled	Powered (Internally)	H	L	H	L
Powered	Enabled	Powered (Internally)	L	H	L	H
Powered	Disabled	Powered (Externally)	H	H	H	H
Powered	Disabled	Powered (Externally)	L	L	L	L
Powered	Disabled	Powered (Externally)	H	L	H	L
Powered	Disabled	Powered (Externally)	L	H	L	H
Powered	Disabled	Unpowered	X	X	Z	Z
Unpowered	Disabled	Powered (Externally)	X	X	L	L
Unpowered	Disabled	Unpowered	X	X	Z	Z

表13. ADuM5241の真理値表

V _{DD} State	DC-to-DC Converter	V _{ISO} State	V _{IA} Input	V _{IB} Input	V _{OA} Output	V _{OB} Output
Powered	Enabled	Powered (Internally)	H	H	H	H
Powered	Enabled	Powered (Internally)	L	L	L	L
Powered	Enabled	Powered (Internally)	H	L	H	L
Powered	Enabled	Powered (Internally)	L	H	L	H
Powered	Disabled	Powered (Externally)	H	H	H	H
Powered	Disabled	Powered (Externally)	L	L	L	L
Powered	Disabled	Powered (Externally)	H	L	H	L
Powered	Disabled	Powered (Externally)	L	H	L	H
Powered	Disabled	Unpowered	X	X	L	Z
Unpowered	Disabled	Powered (Externally)	X	X	Z	L
Unpowered	Disabled	Unpowered	X	X	Z	Z

表14. ADuM5242の真理値表

V _{DD} State	DC-to-DC Converter	V _{ISO} State	V _{IA} Input	V _{IB} Input	V _{OA} Output	V _{OB} Output
Powered	Enabled	Powered (Internally)	H	H	H	H
Powered	Enabled	Powered (Internally)	L	L	L	L
Powered	Enabled	Powered (Internally)	H	L	H	L
Powered	Enabled	Powered (Internally)	L	H	L	H
Powered	Disabled	Powered (Externally)	H	H	H	H
Powered	Disabled	Powered (Externally)	L	L	L	L
Powered	Disabled	Powered (Externally)	H	L	H	L
Powered	Disabled	Powered (Externally)	L	H	L	H
Powered	Disabled	Unpowered	X	X	L	L
Unpowered	Disabled	Powered (Externally)	X	X	Z	Z
Unpowered	Disabled	Unpowered	X	X	Z	Z

代表的な性能特性

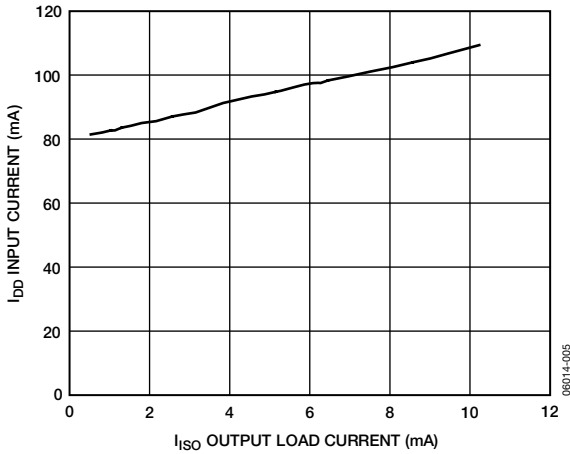


図8. I_{ISO} 出力負荷電流 対 I_{DD} 入力電流の代表的特性

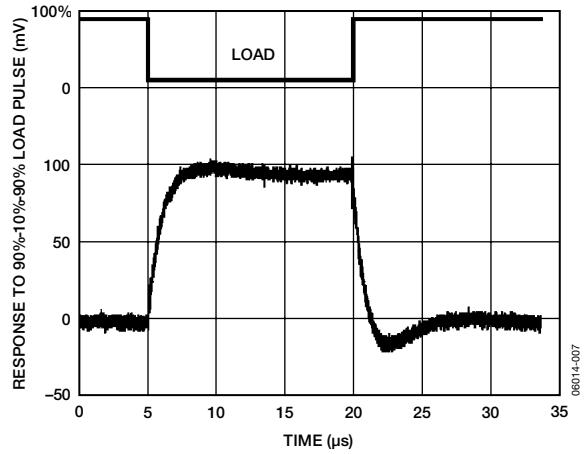


図10. V_{ISO} 過渡負荷応答の代表的時間特性、5V出力、90%-10%-90%パルス負荷、100nFのバイパス・コンデンサ

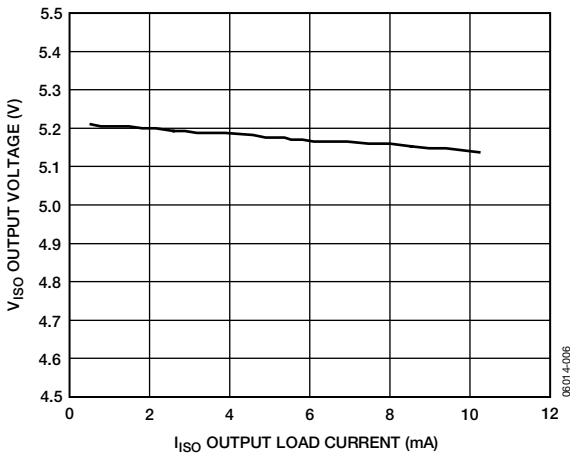


図9. I_{ISO} 出力負荷電流 対 絶縁出力電圧 V_{ISO} の代表的特性

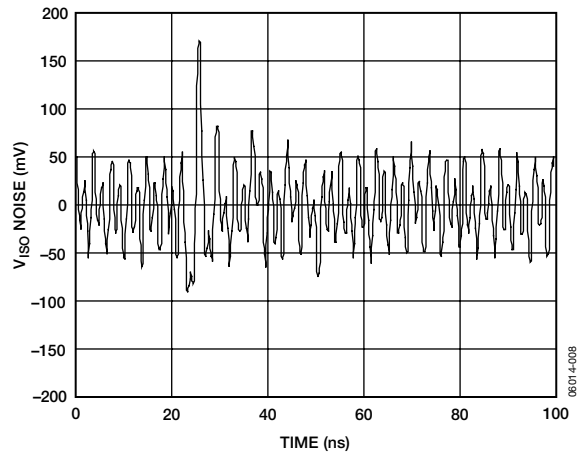


図11. 100%負荷時の出力電圧ノイズの代表的時間特性、100nFのバイパス・コンデンサ

アプリケーション情報

DC/DCコンバータ

ADuM524xのDC/DCコンバータ部は、最新型電源設計の大部分に共通する原理に基づいて動作します。V_{DD}電源は、チップスケールの空芯トランス内部に電流を流す発振回路に供給します。二次側に送られた電源は、ここで高いDC電圧に整流されます。次いで、リニアな調整で約5.2Vまで低下した後、二次側のデータ部および外部回路用のV_{ISO}ピンに送られます。この設計により、8ピンSOPパッケージに適合する物理的に小さい電源部が可能になります。サイズとコストの理由から、このisoPowerバージョンにはアクティブ帰還回路はありません。

負荷に関係なく発振器が一定の高周波数で動作するため、出力電圧の安定化プロセスで余分な電力を内部で消費します。さらに、トランスのコイルと部品の実装スペースが制限されているために内部消費電力が増加します。その結果、特に負荷電流が低いときに、電源変換効率が低下します。

図8の負荷特性曲線から、V_{DD}電流の代表値がV_{DD}電源ピンにV_{ISO}の負荷がない場合は80mA、V_{ISO}の全負荷時は110mAであることがわかります。

この技術を利用して、別の電源アーキテクチャも可能です。デジタル帰還回路を追加すると、一次側電源の安定化ができます。帰還回路によって、パワーと効率が大幅に向上し、複数の電源の同期も可能になりますが、サイズが大きくなりコストが増大します。将来のisoPower集積化製品では、こうした性能の改善をめざし、帰還回路も取り入れる予定です。

ADuM524xは、内部DC/DCコンバータのイネーブルまたはディスエーブルによって動作します。内部DC/DCコンバータをイネーブルにすると、8番ピンの絶縁電源から出力電源を取り、デバイスの二次側回路にも電源が供給されます。

ADuM524xの内部DC/DCコンバータの状態は、表6に示す入力V_{DD}電圧によって制御します。通常動作モードでは、V_{DD}は4.5~5.5Vの範囲内に設定され、DC/DCコンバータはイネーブルです。DC/DCコンバータをディスエーブルにする必要がある場合は、V_{DD}を2.7~4.0Vの範囲に下げます。このモードでは、ユーザが外部からV_{ISO}電源を供給しますが、ADuM524xの信号チャンネルは通常どおり動作します。

V_{DD}入力電圧検出回路には、入力ヒステリシス機能が組み込まれています。DC/DCコンバータがアクティブになっているとき、これをディスエーブルにするには、入力電圧をターンオン・スレッショールドよりも低くする必要があります。この機能により、ノイズの多い入力電源のためにDC/DCコンバータが発振することはありません。

伝播遅延に関連するパラメータ

伝播遅延は、ロジック信号が部品を通過して伝播するのにかかる時間を示すパラメータです。ロジック・ローレベル出力の伝播遅延は、ロジック・ハイレベル出力の伝播遅延と異なることがあります。

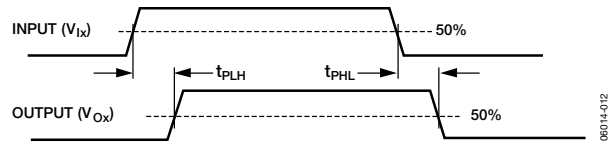


図12. 伝播遅延パラメータ

パルス幅歪みは、これら2つの伝播遅延の差の最大値であり、入力信号のタイミングがどのくらい正確に守られているかを示す指標になります。

チャンネル間マッチングは、1個のADuM524x部品の中のチャンネル間における伝播遅延の差の最大値を表しています。

伝播遅延スキューは、同じ条件で動作する複数のADuM524x部品間における伝播遅延の差の最大値です。

DC精度と磁界耐性

アイソレータ入力で正および負のロジック遷移が発生すると、短いパルス（約1ns）がトランスからデコーダに送られます。デコーダは双安定性であるため、パルスによる設定またはリセットにより入力ロジックの遷移を示します。入力のロジック遷移が1μs以上発生しない場合は、入力状態が正常であることを示す一連のリフレッシュ・パルスが周期的に送信され、出力のDC精度が保証されます。デコーダが約5μs以上内部パルスを受信しないと、入力側に電源が供給されていないか機能していないと判断され、ウォッチドッグ・タイマ回路がアイソレータ出力をデフォルトに設定します（表12~14を参照）。

ADuM524xの磁界耐性は、トランスの受信コイルに誘導される電圧が非常に大きく、デコーダが誤って設定またはリセットされる条件によって制限を受けます。以下の解析は、このような状態が生じる条件を定義しています。このような条件の影響を最も受けやすい動作モードとして、ADuM524xの3V動作条件を対象とします。

トランスの出力パルス振幅は、1.0Vを超えます。デコーダのセンシング・スレッショールドは約0.5Vであるため、許容できる誘導電圧の範囲として0.5Vのマージンを設定しています。受信コイルを通過して誘導される電圧は、次式から求めることができます。

$$V = (-d\beta/dt)\Sigma\pi r_n^2; n = 1, 2, \dots, N$$

ここで、

β = 磁束密度 (ガウス)

N = 受信コイルの回転数

r_n = 受信コイルのn番目の回転半径 (cm)

ADuM5240/ADuM5241/ADuM5242

ADuM524xの受信コイルの形状と、誘導電圧をデコーダの0.5Vマージンの最大50%とする条件があれば、図13に示すように磁界の最大許容値を計算できます。

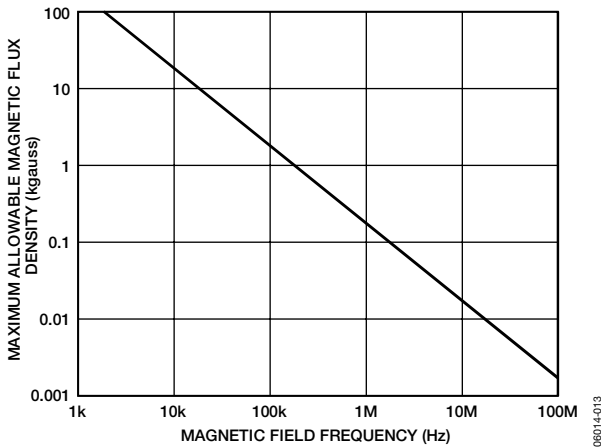


図13. 外部磁束密度の最大許容値

たとえば、磁界周波数が1MHzのとき、0.2キログaussの磁界最大許容値によって受信コイルに0.25Vの誘導電圧が生じます。これはセンシング・スレッシュホールドの約50%に相当するため、誤った出力遷移は生じません。同様に、このような事象がパルス送信中に発生した場合（そしてパルス極性が最悪の条件のとき）、受信パルスは1.0V以上の電圧から0.75Vに低下しますが、それでもまだデコーダのセンシング・スレッシュホールドを0.5V超えています。

上述の磁束密度値は、ADuM524xのトランスから所定の距離にある特定の電流の大きさに対応します。図14に、選択した距離について周波数の関数として変化する電流の最大許容値を示します。ここでわかるように、ADuM524xは電磁耐性が非常に高く、デバイスに特に近接した場所で非常に大きい電流源が高周波数で動作する場合でなければ影響を受けることはありません。図に示す1MHzの例では、ADuM524xからの距離が5mmの位置に0.5kAの電流源を配置しなければ、ADuM524xの動作に影響しません。

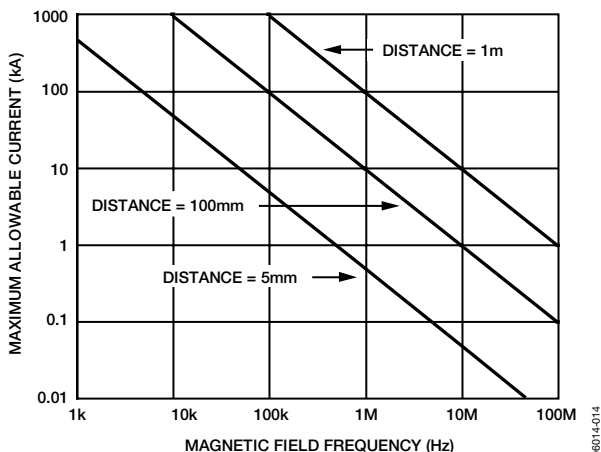


図14. 電流源とADuM524xとの間の距離がさまざまな場合の電流の最大許容値

強力な磁界と高い周波数がある場合、PCボードのパターン配線によるループによって大きい誤差電圧が生じて、後段回路のスレッシュホールドがトリガされることがあります。これを防ぐために、パターン配線のレイアウトには十分注意してください。

熱解析

ADuM524xの各デバイスは、分割されたパドルのリード・フレームに2個の内部ダイを取り付けたものです。熱解析では、これを表2の θ_{JA} に示す最大ジャンクション温度をもった熱ユニットと考えます。 θ_{JA} の値は、JEDEC規格準拠の4層PCBにデバイスを実装し、静止空気内に細いパターン配線がある状態での測定に基づいています。通常の動作条件下では、ADuM524xは出力電流を低下させることなく、温度範囲の全域にわたり最大負荷で動作します。たとえば、外部負荷がなく80mAの電源電流で400mWの電力を消費する場合、デバイスの温度は周囲温度よりも32℃高くなります。これは、デバイスがウォームアップして動作するための正常な温度です。

「PCボードのレイアウト」で説明する推奨事項に従えば、PCボードの熱抵抗を低下させ、高い周囲温度で温度マージンを拡大することができます。

PCボードのレイアウト

ADuM524xでは、ロジック・インターフェース用の外部回路が不要です。入力と出力の電源ピンには電源バイパス処理を行う必要があります（図15）。

ADuM524xの電源部は300MHzの発振周波数を使用して、チップスケール・トランスに電源を供給します。また、*iCoupler*のデータ部の通常動作では、「DC精度と磁界耐性」で説明したように、電源ピン上にスイッチング過渡応答が生じます（図11を参照）。スイッチング周波数で発生するノイズや、データ転送やDCリフレッシュ回路で発生する1nsパルスをバイパスするために、インダクタンスの低いコンデンサを接続する必要があります。コンデンサの両端から入力電源ピンまでの合計リード長は、20mmを超えないようにしてください。

EMI放射が心配な場合は、重要な電源とグラウンドのパターン配線に直列インダクタンスを配置することができます。インダクタとADuM524xデバイス・ピンの間に高周波数のバイパス用コンデンサが挿入されるように、ディスクリット・インダクタをこのラインに追加してください。インダクタンスは、ディスクリット・インダクタとして、あるいはフェライト・ビーズとして電源とグラウンドの両方のパターン配線に追加できます。推奨値は、約300MHzで50~100Ωのインピーダンスに対応します。

データ出力のスイッチング速度によって許容できないEMIが生じる場合は、出力ピンとグラウンド間にコンデンサを追加して出力の立ち上がり時間と立下がり時間が遅くなるようにしてください。スルーレートが出力を制限します。コンデンサの容量は、アプリケーションの速度条件によって異なります。

図10に示すように、負荷レギュレーションの過渡応答が低周波数で電源電圧の逸脱を生じさせる主な原因となっています。この場合は、 V_{ISO} と GND_{ISO} 間に電源を補強するコンデンサを追加することによって対処してください。必要な低インダクタンスのコンデンサで高周波数バイパスが行われるため、電源補強用コンデンサはインダクタンスが高いものにしてください。

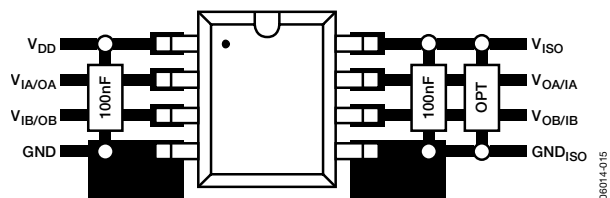


図15. PCボードの推奨レイアウト

高いコモンモード過渡電圧が発生するアプリケーションでは、絶縁バリア間のボードのカップリングをできる限り抑えるように注意してください。また、カップリングが生じても所定の側のすべてのピンに等しく影響するようにボードをレイアウトしてください。このようにしないと、表7に示すデバイスの絶対最大定格を超える電圧差がピン間に生じ、デバイスのラッチアップや回復不能な損傷が生じることがあります。

ADuM524xは、最大負荷時に最大600mWの電力を消費する電源デバイスです。アイソレータにはヒート・シンクを利用できないため、主にGNDピンからPCボードに熱を消散させます。周囲温度が高い環境で使用する場合は、GNDピンからPCボードのグラウンド・プレーンに熱経路を設ける必要があります。図15のボード・レイアウトでは、4番ピンと5番ピンに拡張パッドがあります。パッドとグラウンド・プレーン間にビアをいくつか作ってください。このようにすることで、チップの内部の温度が大幅に低下します。拡張パッドの大きさは、設計者の判断と使用できるボード・スペースによって決めます。

電源パワーの増加について

ADuM524xは、複数のデバイスを並行に動作させるようには設計されていません。ただし、複数の負荷を動作させるためにパワーがもっと必要な場合は、負荷をグループにまとめ、各グループをそれぞれのADuM524xデバイスで動作させることができます。たとえば、トランシーバと外部ロジックに電源を供給する場合は、1個のADuM524xをトランシーバ専用、もう1つを外部ロジック専用にします。この方法でそれぞれの負荷に専用の電源が配備されるため、負荷の共有に伴う問題が生じません。

絶縁材のライフ時間

すべての絶縁構造は、長期にわたる電圧ストレスを受けることによって最終的に破壊します。絶縁劣化の速度は、絶縁体に印加される電圧の波形特性によって異なります。規制機関が実施する試験のほかに、アナログ・デバイスではADuM524x内部の絶縁構造の寿命を測定するために広範な評価を行っています。

アナログ・デバイスでは、連続動作電圧の定格値よりも高い電圧レベルによる加速寿命テストを実施しています。いくつかの動作条件について加速係数を調べます。これらの加速係数により、実際の動作電圧時における故障時間を計算することが可能になります。表8に示す値は、バイポーラAC動作条件でCSA/VDE規格認定の最大動作電圧を適用した場合の50年の動作寿命期間におけるピーク電圧をまとめたものです。多くの場合、認定動作電圧は50年の動作寿命期間における電圧値よりも高くなっています。これらの高い動作電圧でデバイスを動作させると、場合によっては絶縁寿命が短くなることがあります。

ADuM524xの絶縁寿命は、絶縁バリアに印加される電圧の波形の種類によって異なります。*iCoupler*絶縁構造は、波形がバイポーラAC、ユニポーラAC、またはDCかどうかによって異なる速度で劣化します。図16、図17、図18にこれらの絶縁電圧波形を示します。

バイポーラAC電圧は最も厳しい環境になります。ACバイポーラ条件で50年の動作寿命期間を目標として、アナログ・デバイスによる推奨最大動作電圧が決まります。

ユニポーラACまたはDC電圧の場合は、絶縁体に加えらるストレスがかなり低くなるため、高い動作電圧でも50年の動作寿命期間を達成できます。動作電圧がユニポーラACまたはDC電圧の場合は、表8に示す動作電圧を適用して50年の最低動作寿命期間が可能です。図17または図18に適合しないクロス絶縁電圧波形はバイポーラAC波形とみなし、ピーク電圧を表8に示す50年の動作寿命期間電圧に制限する必要があります。

図17に示す電圧は、図に示すためにサイン波にしていますが、実際は0Vから制限値までの間の任意の電圧波形になります。制限値は正または負のいずれでも構いませんが、電圧が0Vを超えることはできません。

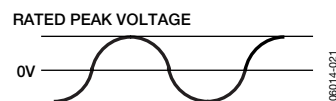


図16. バイポーラAC波形

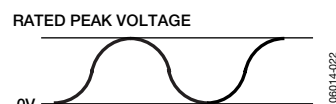


図17. ユニポーラAC波形

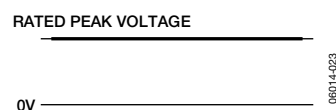
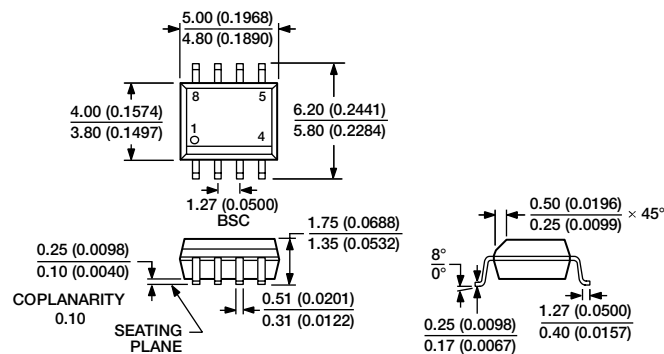


図18. DC波形

ADuM5240/ADuM5241/ADuM5242

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図19. 8ピン標準スモール・アウトライン・パッケージ [SOIC_N]
 ナローボディ
 (R-8)
 寸法単位: mm (インチ)

オーダー・ガイド

Model	Number of Inputs, V _{DD} Side	Number of Inputs, V _{ISO} Side	Maximum Data Rate (Mbps)	Temperature Range	Package Description	Package Option
ADuM5240ARZ ¹	2	0	1	-40°C to +105°C	8-Lead SOIC_N	R-8
ADuM5240ARZ-RL7 ¹	2	0	1	-40°C to +105°C	8-Lead SOIC_N, 7" Reel	R-8
ADuM5241ARZ ¹	1	1	1	-40°C to +105°C	8-Lead SOIC_N	R-8
ADuM5241ARZ-RL7 ¹	1	1	1	-40°C to +105°C	8-Lead SOIC_N, 7" Reel	R-8
ADuM5242ARZ ¹	0	2	1	-40°C to +105°C	8-Lead SOIC_N	R-8
ADuM5242ARZ-RL7 ¹	0	2	1	-40°C to +105°C	8-Lead SOIC_N, 7" Reel	R-8

¹ Z=RoHS準拠製品