

ADuM1300/ADuM1301

特長

低消費電力動作

5V動作：

- 0～2Mbpsでチャンネル当たり最大1.2mA
- 10Mbpsでチャンネル当たり最大3.5mA
- 90Mbpsでチャンネル当たり最大32mA

3V動作：

- 0～2Mbpsでチャンネル当たり最大0.8mA
- 10Mbpsでチャンネル当たり最大2.2mA
- 90Mbpsでチャンネル当たり最大20mA

双方向通信

3V/5Vレベル変換

高温動作：105℃

高速データレート：DC～100Mbps (NRZ)

高精度なタイミング特性：

パルス幅歪み：最大2ns

チャンネル間マッチング：最大2ns

高コモン・モード過渡耐圧：25kV/ μ s以上

出力イネーブル機能

ワイドの16ピンSOICパッケージ、鉛フリー製品あり

安全性規格認定

UL認定：2500V rms、1分間のUL 1577規格に準拠

CSA component acceptance notice #5Aに準拠

VDE適合性認定

DIN EN 60747-5-2 (VDE 0884 Part 2)：2003-01

DIN EN 60950 (VDE 0805)：2001-12；EN 60950：2000

V_{IORM} =560Vピーク

アプリケーション

汎用のマルチチャンネル・アイソレーション

SPI[®]インターフェース/データ・コンバータのアイソレーション

RS-232/422/485トランシーバ

工業用フィールド・バスのアイソレーション

概要

ADuM130xは、アナログ・デバイセズのiCoupler[®]技術に基づく3チャンネルのデジタル・アイソレータです。ADuM130xは高速CMOS技術とモノリシック・トランス技術の組み合わせにより、フォトカプラ・デバイスなどの置換品より格段に優れた性能特性を提供します。

iCouplerデバイスはLEDとフォトダイオードを使用しないので、一般にフォトカプラに起因する設計の難しさを回避できます。一般的なフォトカプラにとっては、不確かな電流交換比や非直線的な伝達関数、温度や寿命の影響などが問題でしたが、iCouplerのシンプルなデジタル・インターフェースや安定した性能特性によって、こうした問題点は解消されています。これらのiCoupler製品では、外付けドライバやその他のディスクリット部品は不要です。さらに、iCouplerデバイスは信号データレートが同程度の場合、フォトカプラの消費電力の1/10～1/6で動作します。

ADuM130xアイソレータ・ファミリーは、独立した3つのアイソレーション・チャンネルをさまざまなチャンネル構成とデータレートで提供します（「オーダー・ガイド」参照）。ADuM130xの両モデルは、両側とも2.7～5.5Vの電源電圧で動作するため、低電圧システムと互換性を持ち、さらに絶縁バリアをまたぐ電圧変換機能も可能にします。さらに、ADuM130xはパルス幅歪みが小さく（CRWグレードで2ns未満）、かつチャンネル間マッチングが優れています（CRWグレードで2ns未満）。ADuM130xアイソレータは、他のフォトカプラとは異なり、入力ロジックに遷移がない場合およびパワーアップ/パワーダウン時に、DCを正確に維持する特許取得済みのリフレッシュ機能を持っています。

機能ブロック図

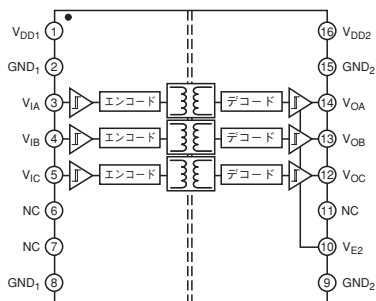


図1. ADuM1300の機能ブロック図

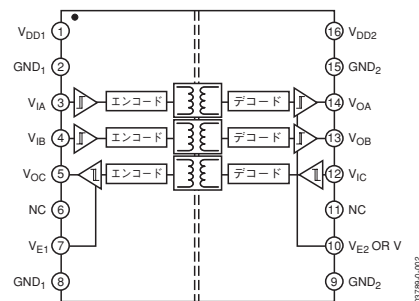


図2. ADuM1301の機能ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許や権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

©2004 Analog Devices, Inc. All rights reserved.

REV.B

ADuM1300/ADuM1301

目次

| | | | |
|--|----|---------------|----|
| 仕様 | 3 | 代表的な性能特性 | 14 |
| 電気的特性—5V動作時 | 3 | アプリケーション情報 | 16 |
| 電気的特性—3V動作時 | 5 | PCボードのレイアウト | 16 |
| 電気的特性—5V/3V動作時または3V/5V動作時 | 7 | 伝搬遅延に関するパラメータ | 16 |
| パッケージ特性 | 10 | DC精度と磁界耐性 | 16 |
| 適用規格 | 10 | 消費電力 | 17 |
| 絶縁および安全性関連の仕様 | 10 | 外形寸法 | 18 |
| DIN EN 60747-5-2 (VDE 0884 Part 2)絶縁特性 | 11 | オーダー・ガイド | 18 |
| 推奨動作条件 | 11 | | |
| 絶対最大定格 | 12 | | |
| ESDに関する注意 | 12 | | |
| ピン配置および機能の説明 | 13 | | |

改訂履歴

5/04-Data Sheet Changed from Rev.A to Rev.B.

| | |
|---|-----------|
| Changes to the Format | Universal |
| Changes to the Features | 1 |
| Changes to Table 7 and Table 8 | 14 |
| Changes to Table 9 | 15 |
| Changes to the DC Correctness and Magnetic Field Immunity Section | 19 |
| Changes to the Power Consumption Section | 20 |
| Changes to the Ordering Guide | 21 |

9/03-Data Sheet Changed from Rev.0 to Rev.A.

| | |
|--|----|
| Edits to Regulatory Information | 13 |
| Edits to Absolute Maximum Ratings | 15 |
| Deleted the Package Branding Information | 16 |

ADuM1300/ADuM1301

仕様

電気的特性—5V動作時¹

4.5V ≤ V_{DD1} ≤ 5.5V, 4.5V ≤ V_{DD2} ≤ 5.5V。特に指定のない限り、全推奨動作範囲に対してすべてのMin/Max仕様が適用されます。すべてのTyp値はT_A=25℃、V_{DD1}=V_{DD2}=5Vでの値です。

表1

| パラメータ | 記号 | Min | Typ | Max | 単位 | テスト条件 |
|---|---|---|-------|------|------|--|
| DC仕様 | | | | | | |
| チャンネル当たりの入力電源電流、静止時 | I _{DD1(Q)} | | 0.50 | 0.53 | mA | |
| チャンネル当たりの出力電源電流、静止時 | I _{DDO(Q)} | | 0.19 | 0.21 | mA | |
| ADuM1300の3チャンネル合計の電源電流 ² | | | | | | |
| DC~2Mbps | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(Q)} | | 1.6 | 2.5 | mA | DC~1MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(Q)} | | 0.7 | 1.0 | mA | DC~1MHzのロジック信号周波数 |
| 10Mbps (BRWとCRWグレードのみ) | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(10)} | | 6.5 | 8.1 | mA | 5MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(10)} | | 1.9 | 2.5 | mA | 5MHzのロジック信号周波数 |
| 90Mbps (CRWグレードのみ) | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(100)} | | 57 | 77 | mA | 50MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(100)} | | 16 | 18 | mA | 50MHzのロジック信号周波数 |
| ADuM1301の3チャンネル合計の電源電流 ² | | | | | | |
| DC~2Mbps | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(Q)} | | 1.3 | 2.1 | mA | DC~1MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(Q)} | | 1.0 | 1.4 | mA | DC~1MHzのロジック信号周波数 |
| 10Mbps (BRWとCRWグレードのみ) | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(10)} | | 5.0 | 6.2 | mA | 5MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(10)} | | 3.4 | 4.2 | mA | 5MHzのロジック信号周波数 |
| 90Mbps (CRWグレードのみ) | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(100)} | | 43 | 57 | mA | 50MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(100)} | | 29 | 37 | mA | 50MHzのロジック信号周波数 |
| すべてのモデルに対して | | | | | | |
| 入力電流 | I _{IA} 、I _{IB} 、I _{IC} 、 I _{E1} 、I _{E2} | -10 | +0.01 | +10 | μA | 0 ≤ V _{IA} 、V _{IB} 、V _{IC} ≤ V _{DD1} またはV _{DD2} 、0 ≤ V _{E1} V _{E2} ≤ V _{DD1} またはV _{DD2} |
| ロジック・ハイレベル入力の閾値 | V _{IH} 、V _{EH} | 2.0 | | | V | |
| ロジック・ローレベル入力の閾値 | V _{IL} 、V _{EL} | | | 0.8 | V | |
| ロジック・ハイレベル出力電圧 | V _{OAH} 、V _{OBH} 、 V _{OCH} | V _{DD1} 、V _{DD2} -0.1 | 5.0 | | V | I _{Ox} = -20 μA、V _{Ix} = V _{IxH} |
| | | V _{DD1} 、V _{DD2} -0.4 | 4.8 | | V | I _{Ox} = -4mA、V _{Ix} = V _{IxH} |
| ロジック・ローレベル出力電圧 | V _{OAL} 、V _{OBL} 、 V _{OCL} | | 0.0 | 0.1 | V | I _{Ox} = 20 μA、V _{Ix} = V _{IxL} |
| | | | 0.04 | 0.1 | V | I _{Ox} = 400 μA、V _{Ix} = V _{IxL} |
| | | | 0.2 | 0.4 | V | I _{Ox} = 4mA、V _{Ix} = V _{IxL} |
| スイッチング仕様 | | | | | | |
| ADuM130xARW | | | | | | |
| 最小パルス幅 ³ | PW | | | 1000 | ns | C _L = 15pF、CMOS信号レベル |
| 最大データレート ⁴ | | 1 | | | Mbps | C _L = 15pF、CMOS信号レベル |
| 伝搬遅延 ⁵ | t _{PHL} 、t _{PLH} | 50 | 65 | 100 | ns | C _L = 15pF、CMOS信号レベル |
| パルス幅歪み、 t _{PLH} -t _{PHL} ⁵ | PWD | | | 40 | ns | C _L = 15pF、CMOS信号レベル |
| 伝搬遅延スキュー ⁶ | t _{PSK} | | | 50 | ns | C _L = 15pF、CMOS信号レベル |
| チャンネル間マッチング ⁷ | t _{PSKCD/OD} | | | 50 | ns | C _L = 15pF、CMOS信号レベル |
| ADuM130xBRW | | | | | | |
| 最小パルス幅 ³ | PW | | | 100 | ns | C _L = 15pF、CMOS信号レベル |
| 最大データレート ⁴ | | 10 | | | Mbps | C _L = 15pF、CMOS信号レベル |
| 伝搬遅延 ⁵ | t _{PHL} 、t _{PLH} | 20 | 32 | 50 | ns | C _L = 15pF、CMOS信号レベル |
| パルス幅歪み、 t _{PLH} -t _{PHL} ⁵ | PWD | | | 3 | ns | C _L = 15pF、CMOS信号レベル |

ADuM1300/ADuM1301

| パラメータ | 記号 | Min | Typ | Max | 単位 | テスト条件 |
|--|-----------------------|-----|------|-----|-------------|---|
| 温度による変化 | | | 5 | | ps/°C | $C_L = 15\text{pF}$, CMOS信号レベル |
| 伝搬遅延スキュー ⁶ | t_{PSK} | | | 15 | ns | $C_L = 15\text{pF}$, CMOS信号レベル |
| チャンネル間マッチング、同方向チャンネル間 ⁷ | t_{PSKCD} | | | 3 | ns | $C_L = 15\text{pF}$, CMOS信号レベル |
| チャンネル間マッチング、反対方向チャンネル間 ⁷ | t_{PSKOD} | | | 6 | ns | $C_L = 15\text{pF}$, CMOS信号レベル |
| ADuM130xCRW | | | | | | |
| 最小パルス幅 ³ | PW | | 6.7 | 10 | ns | $C_L = 15\text{pF}$, CMOS信号レベル |
| 最大データレート ⁴ | | 90 | 150 | | Mbps | $C_L = 15\text{pF}$, CMOS信号レベル |
| 伝搬遅延 ⁵ | t_{PHL} , t_{PLH} | 18 | 27 | 32 | ns | $C_L = 15\text{pF}$, CMOS信号レベル |
| パルス幅歪み、 $ t_{PLH} - t_{PHL} $ ⁵ | PWD | | 0.5 | 2 | ns | $C_L = 15\text{pF}$, CMOS信号レベル |
| 温度による変化 | | | 3 | | ps/°C | $C_L = 15\text{pF}$, CMOS信号レベル |
| 伝搬遅延スキュー ⁶ | t_{PSK} | | | 10 | ns | $C_L = 15\text{pF}$, CMOS信号レベル |
| チャンネル間マッチング、同方向チャンネル間 ⁷ | t_{PSKCD} | | | 2 | ns | $C_L = 15\text{pF}$, CMOS信号レベル |
| チャンネル間マッチング、反対方向チャンネル間 ⁷ | t_{PSKOD} | | | 5 | ns | $C_L = 15\text{pF}$, CMOS信号レベル |
| すべてのモデルに対して | | | | | | |
| 出力ディスエーブル伝搬遅延 (ハイ/ローレベルから ハイ・インピーダンスへ) | t_{PHZ} , t_{PLH} | | 6 | 8 | ns | $C_L = 15\text{pF}$, CMOS信号レベル |
| 出力イネーブル伝搬遅延 (ハイ・インピーダンスから ハイ/ローレベルへ) | t_{PZH} , t_{PZL} | | 6 | 8 | ns | $C_L = 15\text{pF}$, CMOS信号レベル |
| 出力立上がり/立下がり時間 (10~90%値) | t_R/t_F | | 2.5 | | ns | $C_L = 15\text{pF}$, CMOS信号レベル |
| ロジック・ハイレベル出力でのコ モン・モード過渡耐圧 ⁸ | $ CM_H $ | 25 | 35 | | kV/ μ s | $V_{IX} = V_{DD1} = V_{DD2}$, $V_{CM} = 1000\text{V}$ 過渡電圧振幅=800V |
| ロジック・ローレベル出力でのコ モン・モード過渡耐圧 ⁸ | $ CM_L $ | 25 | 35 | | kV/ μ s | $V_{IX} = 0\text{V}$, $V_{CM} = 1000\text{V}$ 過渡電圧振幅=800V |
| リフレッシュ・レート | f_r | | 1.2 | | Mbps | |
| チャンネル当たりの入力ダイナ ミック電源電流 ⁹ | $I_{DDI(D)}$ | | 0.19 | | mA/Mbps | |
| チャンネル当たりの出力ダイナ ミック電源電流 ⁹ | $I_{DDO(D)}$ | | 0.05 | | mA/Mbps | |

注

- すべての電圧はそれぞれのグラウンドを基準とします。
- 電源電流値は、同一データレートで動作する全3チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合です。所定のデータレートで動作する個々のチャンネル動作に対応する電源電流は、20ページの「消費電力」の説明に従って計算することができます。無負荷および有負荷状態に対するデータレートの関数としてのチャンネル当たりの電源電流については、図6~8を参照してください。ADuM1300/ADuM1301チャンネル構成に対するデータレートの関数としての I_{DD1} と I_{DD2} の合計電源電流については、図9~12を参照してください。
- 最小パルス幅は、規定のパルス幅歪みが保証される最短のパルス幅です。
- 最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。
- 伝搬遅延 t_{PHL} は、 V_{IL} 信号の立下がりエッジの50%レベルから V_{OL} 信号の立下がりエッジの50%レベルまでを測定した値です。伝搬遅延 t_{PLH} は、 V_{IL} 信号の立上がりエッジの50%レベルから V_{OL} 信号の立上がりエッジの50%レベルまでを測定した値です。
- t_{PSK} は、 t_{PHL} または t_{PLH} におけるワースト・ケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。
- 同方向チャンネル間マッチングは、絶縁バリアの同じ側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。反対方向チャンネル間マッチングは、絶縁バリアの反対側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。
- CM_H は、 $V_O > 0.8V_{DD2}$ を維持している間に保持されるコモン・モード電圧の最大スルーレートです。 CM_L は $V_O < 0.8\text{V}$ を維持している間に保持されるコモン・モード電圧の最大スルーレートです。コモン・モード電圧スルーレートは、コモン・モード電圧の立上がりりと立下がりの両エッジに適用されます。過渡電圧振幅は、コモン・モードを超える範囲を表します。
- ダイナミック電源電流は、信号データレートを1Mbps増やすのに必要な電源電流の増分を表します。無負荷および有負荷状態に対するチャンネル当たりの電源電流については、図6~8を参照してください。所与のデータレートに対するチャンネル当たりの電源電流の計算については、20ページの「消費電力」を参照してください。

ADuM1300/ADuM1301

電気的特性—3V動作時¹

2.7V ≤ V_{DD1} ≤ 3.6V、2.7V ≤ V_{DD2} ≤ 3.6V。特に指定のない限り、全推奨動作範囲に対してすべてのMin/Max仕様が適用されます。すべてのTyp値はT_A=25℃、V_{DD1}=V_{DD2}=3.0Vでの値です。

表2

| パラメータ | 記号 | Min | Typ | Max | 単位 | テスト条件 |
|---|---|---|-------|------|-------|--|
| DC仕様 | | | | | | |
| チャンネル当たりの入力電源電流、静止時 | I _{DD1(Q)} | | 0.26 | 0.31 | mA | |
| チャンネル当たりの出力電源電流、静止時 | I _{DD2(Q)} | | 0.11 | 0.14 | mA | |
| ADuM1300の3チャンネル合計の電源電流 ² | | | | | | |
| DC~2Mbps | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(Q)} | | 0.9 | 1.7 | mA | DC~1MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(Q)} | | 0.4 | 0.7 | mA | DC~1MHzのロジック信号周波数 |
| 10Mbps (BRWとCRWグレードのみ) | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(10)} | | 3.4 | 4.9 | mA | 5MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(10)} | | 1.1 | 1.6 | mA | 5MHzのロジック信号周波数 |
| 90Mbps (CRWグレードのみ) | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(100)} | | 31 | 48 | mA | 50MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(100)} | | 8 | 13 | mA | 50MHzのロジック信号周波数 |
| ADuM1301の3チャンネル合計の電源電流 ² | | | | | | |
| DC~2Mbps | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(Q)} | | 0.7 | 1.4 | mA | DC~1MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(Q)} | | 0.6 | 0.9 | mA | DC~1MHzのロジック信号周波数 |
| 10Mbps (BRWとCRWグレードのみ) | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(10)} | | 2.6 | 3.7 | mA | 5MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(10)} | | 1.8 | 2.5 | mA | 5MHzのロジック信号周波数 |
| 90Mbps (CRWグレードのみ) | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(100)} | | 24 | 36 | mA | 50MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(100)} | | 16 | 23 | mA | 50MHzのロジック信号周波数 |
| すべてのモデルに対して | | | | | | |
| 入力電流 | I _{IA} 、I _{IB} 、I _{IC} 、 I _{E1} 、I _{E2} | -10 | +0.01 | +10 | μA | 0 ≤ V _{IA} 、V _{IB} 、V _{IC} ≤ V _{DD1} またはV _{DD2} 、0 ≤ V _{E1} V _{E2} ≤ V _{DD1} またはV _{DD2} |
| ロジック・ハイレベル入力の閾値 | V _{IH} 、V _{EH} | 1.6 | | | V | |
| ロジック・ローレベル入力の閾値 | V _{IL} 、V _{EL} | | | 0.4 | V | |
| ロジック・ハイレベル出力電圧 | V _{OAH} 、V _{OBH} 、 V _{OCH} | V _{DD1} 、V _{DD2} -0.1 | 3.0 | | V | I _{Ox} = -20 μA、V _{Ix} = V _{IxH} |
| | | V _{DD1} 、V _{DD2} -0.4 | 2.8 | | V | I _{Ox} = -4mA、V _{Ix} = V _{IxH} |
| ロジック・ローレベル出力電圧 | V _{OAL} 、V _{OBL} 、 V _{OCL} | | 0.0 | 0.1 | V | I _{Ox} = 20 μA、V _{Ix} = V _{IxL} |
| | | | 0.04 | 0.1 | V | I _{Ox} = 400 μA、V _{Ix} = V _{IxL} |
| | | | 0.2 | 0.4 | V | I _{Ox} = 4mA、V _{Ix} = V _{IxL} |
| スイッチング仕様 | | | | | | |
| ADuM130xARW | | | | | | |
| 最小パルス幅 ³ | PW | | | 1000 | ns | C _L = 15pF、CMOS信号レベル |
| 最大データレート ⁴ | | 1 | | | Mbps | C _L = 15pF、CMOS信号レベル |
| 伝搬遅延 ⁵ | t _{PHL} 、t _{PLH} | 50 | 75 | 100 | ns | C _L = 15pF、CMOS信号レベル |
| パルス幅歪み、 t _{PLH} -t _{PHL} ⁵ | PWD | | | 40 | ns | C _L = 15pF、CMOS信号レベル |
| 伝搬遅延スキュー ⁶ | t _{PSK} | | | 50 | ns | C _L = 15pF、CMOS信号レベル |
| チャンネル間マッチング ⁷ | t _{PSKCD/OD} | | | 50 | ns | C _L = 15pF、CMOS信号レベル |
| ADuM130xBRW | | | | | | |
| 最小パルス幅 ³ | PW | | | 100 | ns | C _L = 15pF、CMOS信号レベル |
| 最大データレート ⁴ | | 10 | | | Mbps | C _L = 15pF、CMOS信号レベル |
| 伝搬遅延 ⁵ | t _{PHL} 、t _{PLH} | 20 | 38 | 50 | ns | C _L = 15pF、CMOS信号レベル |
| パルス幅歪み、 t _{PLH} -t _{PHL} ⁵ | PWD | | | 3 | ns | C _L = 15pF、CMOS信号レベル |
| 温度による変化 | | | 5 | | ps/°C | C _L = 15pF、CMOS信号レベル |
| 伝搬遅延スキュー ⁶ | t _{PSK} | | | 26 | ns | C _L = 15pF、CMOS信号レベル |

ADuM1300/ADuM1301

| パラメータ | 記号 | Min | Typ | Max | 単位 | テスト条件 |
|--|------------------------------------|-----|------|-----|---------|---|
| チャンネル間マッチング、同方向チャンネル間 ⁷ | t _{PSKCD} | | | 3 | ns | C _L = 15pF、CMOS信号レベル |
| チャンネル間マッチング、反対方向チャンネル間 ⁷ | t _{PSKOD} | | | 6 | ns | C _L = 15pF、CMOS信号レベル |
| ADuM130xCRW | | | | | | |
| 最小パルス幅 ³ | PW | | 6.7 | 10 | ns | C _L = 15pF、CMOS信号レベル |
| 最大データレート ⁴ | | 90 | 150 | | Mbps | C _L = 15pF、CMOS信号レベル |
| 伝搬遅延 ⁵ | t _{PHL} 、t _{PLH} | 20 | 34 | 45 | ns | C _L = 15pF、CMOS信号レベル |
| パルス幅歪み、 t _{PLH} - t _{PHL} ⁵ | PWD | | 0.5 | 2 | ns | C _L = 15pF、CMOS信号レベル |
| 温度による変化 | | | 3 | | ps/°C | C _L = 15pF、CMOS信号レベル |
| 伝搬遅延スキュー ⁶ | t _{PSK} | | | 16 | ns | C _L = 15pF、CMOS信号レベル |
| チャンネル間マッチング、同方向チャンネル間 ⁷ | t _{PSKCD} | | | 2 | ns | C _L = 15pF、CMOS信号レベル |
| チャンネル間マッチング、反対方向チャンネル間 ⁷ | t _{PSKOD} | | | 5 | ns | C _L = 15pF、CMOS信号レベル |
| すべてのモデルに対して | | | | | | |
| 出力ディスエーブル伝搬遅延 (ハイ/ローレベルから ハイ・インピーダンスへ) | t _{PHZ} 、t _{PLH} | | 6 | 8 | ns | C _L = 15pF、CMOS信号レベル |
| 出力イネーブル伝搬遅延 (ハイ・インピーダンスから ハイ/ローレベルへ) | t _{PZH} 、t _{PZL} | | 6 | 8 | ns | C _L = 15pF、CMOS信号レベル |
| 出力立上がり/立下がり時間 (10~90%値) | t _R /t _F | | 3 | | ns | C _L = 15pF、CMOS信号レベル |
| ロジック・ハイレベル出力でのコ モン・モード過渡耐圧 ⁸ | CM _H | 25 | 35 | | kV/μs | V _{IX} = V _{DD1} = V _{DD2} 、V _{CM} = 1000V 過渡電圧振幅 = 800V |
| ロジック・ローレベル出力でのコ モン・モード過渡耐圧 ⁸ | CM _L | 25 | 35 | | kV/μs | V _{IX} = 0V、V _{CM} = 1000V 過渡電圧振幅 = 800V |
| リフレッシュ・レート | f _r | | 1.1 | | Mbps | |
| チャンネル当たりの入力ダイナ ミック電源電流 ⁹ | I _{DDI(D)} | | 0.10 | | mA/Mbps | |
| チャンネル当たりの出力ダイナ ミック電源電流 ⁹ | I _{DDO(D)} | | 0.03 | | mA/Mbps | |

注

- すべての電圧はそれぞれのグラウンドを基準とします。
- 電源電流値は、同一データレートで動作する全3チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合です。所定のデータレートで動作する個々のチャンネル動作に対応する電源電流は、20ページの「消費電力」の説明に従って計算することができます。無負荷および有負荷状態に対するデータレートの関数としてのチャンネル当たりの電源電流については、図6~8を参照してください。ADuM1300/ADuM1301チャンネル構成に対するデータレートの関数としてのI_{DD1}とI_{DD2}の合計電源電流については、図9~12を参照してください。
- 最小パルス幅は、規定のパルス幅歪みが保証される最短のパルス幅です。
- 最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。
- 伝搬遅延t_{PHL}は、V_{IX}信号の立下がりエッジの50%レベルからV_{OX}信号の立下がりエッジの50%レベルまでを測定した値です。伝搬遅延t_{PLH}は、V_{IX}信号の立上がりエッジの50%レベルからV_{OX}信号の立上がりエッジの50%レベルまでを測定した値です。
- t_{PSK}は、t_{PHL}またはt_{PLH}におけるワースト・ケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。
- 同方向チャンネル間マッチングは、絶縁バリアの同じ側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。反対方向チャンネル間マッチングは、絶縁バリアの反対側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。
- CM_Hは、V_O > 0.8V_{DD2}を維持している間に保持されるコモン・モード電圧の最大スルーレートです。CM_LはV_O < 0.8Vを維持している間に保持されるコモン・モード電圧の最大スルーレートです。コモン・モード電圧スルーレートは、コモン・モード電圧の立上がりりと立下がりりの両エッジに適用されます。過渡電圧振幅は、コモン・モードを超える範囲を表します。
- ダイナミック電源電流は、信号データレートを1Mbps増やすのに必要な電源電流の増分を表します。無負荷および有負荷状態に対するチャンネル当たりの電源電流については、図6~8を参照してください。所与のデータレートに対するチャンネル当たりの電源電流の計算については、20ページの「消費電力」を参照してください。

ADuM1300/ADuM1301

電気的特性—5V/3V動作時または3V/5V動作時¹

5V/3V動作：4.5V ≤ V_{DD1} ≤ 5.5V、2.7V ≤ V_{DD2} ≤ 3.6V。3V/5V動作：2.7V ≤ V_{DD1} ≤ 3.6V、4.5V ≤ V_{DD2} ≤ 5.5V。特に指定のない限り、全推奨動作範囲に対してすべてのMin/Max仕様が適用されます。すべてのTyp値はT_A=25℃、V_{DD1}=3.0V、V_{DD2}=5V、またはV_{DD1}=5V、V_{DD2}=3.0Vでの値です。

表3

| パラメータ | 記号 | Min | Typ | Max | 単位 | テスト条件 |
|-------------------------------------|-----------------------|-----|------|------|----|-------------------|
| DC仕様 | | | | | | |
| チャンネル当たりの入力電源電流、静止時 | I _{DD1(Q)} | | | | | |
| 5V/3V動作時 | | | 0.50 | 0.53 | mA | |
| 3V/5V動作時 | | | 0.26 | 0.31 | mA | |
| チャンネル当たりの出力電源電流、静止時 | I _{DDO(Q)} | | | | | |
| 5V/3V動作時 | | | 0.11 | 0.14 | mA | |
| 3V/5V動作時 | | | 0.19 | 0.21 | mA | |
| ADuM1300の3チャンネル合計の電源電流 ² | | | | | | |
| DC～2Mbps | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(Q)} | | | | | |
| 5V/3V動作時 | | | 1.6 | 2.5 | mA | DC～1MHzのロジック信号周波数 |
| 3V/5V動作時 | | | 0.9 | 1.7 | mA | DC～1MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(Q)} | | | | | |
| 5V/3V動作時 | | | 0.4 | 0.7 | mA | DC～1MHzのロジック信号周波数 |
| 3V/5V動作時 | | | 0.7 | 1.0 | mA | DC～1MHzのロジック信号周波数 |
| 10Mbps (BRWとCRWグレードのみ) | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(10)} | | | | | |
| 5V/3V動作時 | | | 6.5 | 8.1 | mA | 5MHzのロジック信号周波数 |
| 3V/5V動作時 | | | 3.4 | 4.9 | mA | 5MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(10)} | | | | | |
| 5V/3V動作時 | | | 1.1 | 1.6 | mA | 5MHzのロジック信号周波数 |
| 3V/5V動作時 | | | 1.9 | 2.5 | mA | 5MHzのロジック信号周波数 |
| 90Mbps (CRWグレードのみ) | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(100)} | | | | | |
| 5V/3V動作時 | | | 57 | 77 | mA | 50MHzのロジック信号周波数 |
| 3V/5V動作時 | | | 31 | 48 | mA | 50MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(100)} | | | | | |
| 5V/3V動作時 | | | 8 | 13 | mA | 50MHzのロジック信号周波数 |
| 3V/5V動作時 | | | 16 | 18 | mA | 50MHzのロジック信号周波数 |
| ADuM1301の3チャンネル合計の電源電流 ² | | | | | | |
| DC～2Mbps | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(Q)} | | | | | |
| 5V/3V動作時 | | | 1.3 | 2.1 | mA | DC～1MHzのロジック信号周波数 |
| 3V/5V動作時 | | | 0.7 | 1.4 | mA | DC～1MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(Q)} | | | | | |
| 5V/3V動作時 | | | 0.6 | 0.9 | mA | DC～1MHzのロジック信号周波数 |
| 3V/5V動作時 | | | 1.0 | 1.4 | mA | DC～1MHzのロジック信号周波数 |
| 10Mbps (BRWとCRWグレードのみ) | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(10)} | | | | | |
| 5V/3V動作時 | | | 5.0 | 6.2 | mA | 5MHzのロジック信号周波数 |
| 3V/5V動作時 | | | 2.6 | 3.7 | mA | 5MHzのロジック信号周波数 |
| V _{DD2} 電源電流 | I _{DD2(10)} | | | | | |
| 5V/3V動作時 | | | 1.8 | 2.5 | mA | 5MHzのロジック信号周波数 |
| 3V/5V動作時 | | | 3.4 | 4.2 | mA | 5MHzのロジック信号周波数 |
| 90Mbps (CRWグレードのみ) | | | | | | |
| V _{DD1} 電源電流 | I _{DD1(100)} | | | | | |
| 5V/3V動作時 | | | 43 | 57 | mA | 50MHzのロジック信号周波数 |

ADuM1300/ADuM1301

| パラメータ | 記号 | Min | Typ | Max | 単位 | テスト条件 |
|---|---|---|---|------|-------|--|
| 3V/5V動作時 V _{DD2} 電源電流 | I _{DD2(100)} | | 24 | 36 | mA | 50MHzのロジック信号周波数 |
| 5V/3V動作時 | | | 16 | 23 | mA | 50MHzのロジック信号周波数 |
| 3V/5V動作時 | | | 29 | 37 | mA | 50MHzのロジック信号周波数 |
| すべてのモデルに対して 入力電流 | I _{IA} 、I _{IB} 、I _{IC} 、 I _{E1} 、I _{E2} | -10 | +0.01 | +10 | μA | 0 ≤ V _{IA} 、V _{IB} 、V _{IC} ≤ V _{DD1} またはV _{DD2} 、0 ≤ V _{E1} V _{E2} ≤ V _{DD1} またはV _{DD2} |
| ロジック・ハイレベル入力の閾値 | V _{IH} 、V _{EH} | | | | | |
| 5V/3V動作時 | | 2.0 | | | V | |
| 3V/5V動作時 | | 1.6 | | | V | |
| ロジック・ローレベル入力の閾値 | V _{IL} 、V _{EL} | | | | | |
| 5V/3V動作時 | | | | 0.8 | V | |
| 3V/5V動作時 | | | | 0.4 | V | |
| ロジック・ハイレベル出力電圧 | V _{OAH} 、V _{OBH} 、 V _{OCH} | V _{DD1} 、V _{DD2} -0.1 | V _{DD1} /V _{DD2} | | V | I _{Ox} = -20 μA V _{Ix} = V _{IxH} |
| | | V _{DD1} 、V _{DD2} -0.4 | V _{DD1} /V _{DD2} -0.2 | | V | I _{Ox} = -4mA、V _{Ix} = V _{IxH} |
| ロジック・ローレベル出力電圧 | V _{OAL} 、V _{OBL} 、 V _{OCL} | | 0.0 | 0.1 | V | I _{Ox} = 20 μA V _{Ix} = V _{IxL} |
| | | | | 0.04 | 0.1 | V |
| | | | 0.2 | 0.4 | V | I _{Ox} = 4mA、V _{Ix} = V _{IxL} |
| スイッチング仕様 | | | | | | |
| ADuM130xARW | | | | | | |
| 最小パルス幅 ³ | PW | | | 1000 | ns | C _L = 15pF、CMOS信号レベル |
| 最大データレート ⁴ | | | | | Mbps | C _L = 15pF、CMOS信号レベル |
| 伝搬遅延 ⁵ | t _{PHL} 、t _{PLH} | 50 | 70 | 100 | ns | C _L = 15pF、CMOS信号レベル |
| パルス幅歪み、 t _{PLH} -t _{PHL} ⁵ | PWD | | | 40 | ns | C _L = 15pF、CMOS信号レベル |
| 伝搬遅延スキュー ⁶ | t _{PSK} | | | 50 | ns | C _L = 15pF、CMOS信号レベル |
| チャンネル間マッチング ⁷ | t _{PSKCD} /OD | | | 50 | ns | C _L = 15pF、CMOS信号レベル |
| ADuM130xBRW | | | | | | |
| 最小パルス幅 ³ | PW | | | 100 | ns | C _L = 15pF、CMOS信号レベル |
| 最大データレート ⁴ | | 10 | | | Mbps | C _L = 15pF、CMOS信号レベル |
| 伝搬遅延 ⁵ | t _{PHL} 、t _{PLH} | 15 | 35 | 50 | ns | C _L = 15pF、CMOS信号レベル |
| パルス幅歪み、 t _{PLH} -t _{PHL} ⁵ | PWD | | | 3 | ns | C _L = 15pF、CMOS信号レベル |
| 温度による変化 | | | 5 | | ps/°C | C _L = 15pF、CMOS信号レベル |
| 伝搬遅延スキュー ⁶ | t _{PSK} | | | 6 | ns | C _L = 15pF、CMOS信号レベル |
| チャンネル間マッチング、同方向 チャンネル間 ⁷ | t _{PSKCD} | | | 3 | ns | C _L = 15pF、CMOS信号レベル |
| チャンネル間マッチング、反対方 向チャンネル間 ⁷ | t _{PSKOD} | | | 22 | ns | C _L = 15pF、CMOS信号レベル |
| ADuM130xCRW | | | | | | |
| 最小パルス幅 ³ | PW | | 6.7 | 10 | ns | C _L = 15pF、CMOS信号レベル |
| 最大データレート ⁴ | | 90 | 150 | | Mbps | C _L = 15pF、CMOS信号レベル |
| 伝搬遅延 ⁵ | t _{PHL} 、t _{PLH} | 20 | 30 | 40 | ns | C _L = 15pF、CMOS信号レベル |
| パルス幅歪み、 t _{PLH} -t _{PHL} ⁵ | PWD | | 0.5 | 2 | ns | C _L = 15pF、CMOS信号レベル |
| 温度による変化 | | | 3 | | ps/°C | C _L = 15pF、CMOS信号レベル |
| 伝搬遅延スキュー ⁶ | t _{PSK} | | | 14 | ns | C _L = 15pF、CMOS信号レベル |
| チャンネル間マッチング、同方向 チャンネル間 ⁷ | t _{PSKCD} | | | 2 | ns | C _L = 15pF、CMOS信号レベル |
| チャンネル間マッチング、反対方 向チャンネル間 ⁷ | t _{PSKOD} | | | 5 | ns | C _L = 15pF、CMOS信号レベル |
| すべてのモデルに対して | | | | | | |
| 出力ディスエーブル伝搬遅延 (ハイ/ローレベルから ハイ・インピーダンスへ) | t _{PHZ} 、t _{PLH} | | 6 | 8 | ns | C _L = 15pF、CMOS信号レベル |
| 出力イネーブル伝搬遅延 (ハイ・インピーダンスから ハイ/ローレベルへ) | t _{PZH} 、t _{PZL} | | 6 | 8 | ns | C _L = 15pF、CMOS信号レベル |
| 出力立ち上がり/立下がり時間 (10~90%値) | t _R /t _F | | | | | C _L = 15pF、CMOS信号レベル |

ADuM1300/ADuM1301

| パラメータ | 記号 | Min | Typ | Max | 単位 | テスト条件 |
|--|--------------|-----|------|-----|-------------|---|
| 5V/3V動作時 | | | 3.0 | | ns | $V_{IX}=V_{DD1}=V_{DD2}$ 、 $V_{CM}=1000V$ 過渡電圧振幅=800V $V_{IX}=0V$ 、 $V_{CM}=1000V$ 過渡電圧振幅=800V |
| 3V/5V動作時 | | | 2.5 | | ns | |
| ロジック・ハイレベル出力でのコ モン・モード過渡耐圧 ⁸ | $ CM_H $ | 25 | 35 | | kV/ μ s | |
| ロジック・ローレベル出力でのコ モン・モード過渡耐圧 ⁸ | $ CM_L $ | 25 | 35 | | kV/ μ s | |
| リフレッシュ・レート | f_r | | | | | |
| 5V/3V動作時 | | | 1.2 | | Mbps | |
| 3V/5V動作時 | | | 1.1 | | Mbps | |
| チャンネル当たりの入力ダイナ ミック電源電流 ⁹ | $I_{DDI(D)}$ | | | | | |
| 5V/3V動作時 | | | 0.19 | | mA/Mbps | |
| 3V/5V動作時 | | | 0.10 | | mA/Mbps | |
| チャンネル当たりの出力ダイナ ミック電源電流 ⁹ | $I_{DDO(D)}$ | | | | | |
| 5V/3V動作時 | | | 0.03 | | mA/Mbps | |
| 3V/5V動作時 | | | 0.05 | | mA/Mbps | |

注

- すべての電圧はそれぞれのグラウンドを基準とします。
- 電源電流値は、同一データレートで動作する全3チャンネルに対する値です。出力電源電流値は、出力負荷なしの場合です。所定のデータレートで動作する個々のチャンネル動作に対応する電源電流は、20ページの「消費電力」の説明に従って計算することができます。無負荷および有負荷状態に対するデータレートの関数としてのチャンネル当たりの電源電流については、図6~8を参照してください。ADuM1300/ADuM1301チャンネル構成に対するデータレートの関数としての I_{DD1} と I_{DD2} の合計電源電流については、図9~12を参照してください。
- 最小パルス幅は、規定のパルス幅歪みが保証される最短のパルス幅です。
- 最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。
- 伝搬遅延 t_{PHL} は、 V_{IX} 信号の立下がりエッジの50%レベルから V_{OX} 信号の立下がりエッジの50%レベルまでを測定した値です。伝搬遅延 t_{PLH} は、 V_{IX} 信号の立下がりエッジの50%レベルから V_{OX} 信号の立下がりエッジの50%レベルまでを測定した値です。
- t_{RSK} は、 t_{PHL} または t_{PLH} におけるワースト・ケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。
- 同方向チャンネル間マッチングは、絶縁バリアの同じ側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。反対方向チャンネル間マッチングは、絶縁バリアの反対側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。
- CM_H は、 $V_O > 0.8V_{DD2}$ を維持している間に保持されるコモン・モード電圧の最大スルーレートです。 CM_L は $V_O < 0.8V$ を維持している間に保持されるコモン・モード電圧の最大スルーレートです。コモン・モード電圧スルーレートは、コモン・モード電圧の立下がりおよび上りエッジの両方に適用されます。過渡電圧振幅は、コモン・モードを超える範囲を表します。
- ダイナミック電源電流は、信号データレートを1Mbps増やすのに必要な電源電流の増分を表します。無負荷および有負荷状態に対するチャンネル当たりの電源電流については、図6~8を参照してください。所与のデータレートに対するチャンネル当たりの電源電流の計算については、20ページの「消費電力」を参照してください。

ADuM1300/ADuM1301

パッケージ特性

表4

| パラメータ | 記号 | Min | Typ | Max | 単位 | テスト条件 |
|-------------------------|------------------|-----|------------------|-----|------|-------------------|
| 抵抗 (入力-出力) ¹ | R _{I-O} | | 10 ¹² | | Ω | f = 1MHz |
| 容量 (入力-出力) ¹ | C _{I-O} | | 1.7 | | pF | |
| 入力容量 ² | C _I | | 4.0 | | pF | |
| ICジャンクション-ケース間熱抵抗、サイド1 | θ _{JCT} | | 33 | | °C/W | パッケージ下側の中央に熱電対を配置 |
| ICジャンクション-ケース間熱抵抗、サイド2 | θ _{JCO} | | 28 | | °C/W | |

注

1 2ピン・デバイスを想定。1、2、3、4、5、6、7、8の各ピンを互いに接続し、9、10、11、12、13、14、15、16の各ピンを互いに接続。

2 入力容量は任意の入力データ・ピンとグラウンド間で測定。

適用規格

ADuM130xは表5に示す機関から認定取得済みです。

表5

| UL | CSA | VDE |
|---------------------------------|---|--|
| 1577部品認定プログラムによる認定 ¹ | 「CSA Component Acceptance Notice #5A」による認定 400V rmsの最大動作電圧による CSA 60950-1-03およびIEC 60950-1に準拠した強化絶縁 | DIN EN 60747-5-2 (VDE 0884 Part 2) : 2003-01による認定 ² |
| 2500V rms絶縁電圧での二重絶縁 | | 560V ピークによる基本絶縁 |
| File E214100 | File 205078 | DIN EN 60747-5-2 (VDE 0884 Part 2) : 2003-01、 DIN EN 60950 (VDE 0805) : 2001-12に準拠。 560V ピーク、EN 60950 : 2000強化絶縁 File 2471900-4880-0001 |

注

1 UL 1577に従い、ADuM130xの各モデルに3000V rms以上の絶縁テスト電圧を1秒間加えたテストで保証されています (リーク電流検出の規定値=5μA)。

2 DIN EN 60747-5-2に従い、ADuM130xの各モデルに1050V ピーク以上の絶縁テスト電圧を1秒間加えたテストで保証されています (部分放電の検出規定値=5pC)。[*] マーク付のブランドは、DIN EN 60747-5-2認定品を表します。

絶縁および安全性関連の仕様

表6

| パラメータ | 記号 | 値 | 単位 | 条件 |
|---------------------|--------|---------|------|-----------------------------------|
| 定格絶縁電圧 | | 2500 | Vrms | 1分間継続 |
| 最小外部空間距離 (クリアランス) | L(I01) | 最小8.40 | mm | 入力ピンから出力ピンまでの空間最短距離を測定 |
| 最小外部沿面距離 (クリーページ) | L(I02) | 最小8.10 | mm | 入力ピンから出力ピンまでのボディ表面に沿う最短パスを測定 |
| 最小内部空間距離 (内部クリアランス) | | 最小0.017 | mm | 絶縁体を通過する絶縁距離 |
| 耐トラッキング性 (トラッキング指数) | CTI | >175 | V | DIN IEC 112/VDE 0303 Part 1 |
| 絶縁グループ | | IIIa | | 材料グループ(DIN VDE 0110、1/89、Table 1) |

ADuM1300/ADuM1301

DIN EN 60747-5-2 (VDE 0884 Part 2) 絶縁特性

表7

| 説明 | 記号 | 特性 | 単位 |
|---|-------------------------------|-----------------------|----------------|
| DIN VDE 0110による絶縁分類 定格メイン電圧 ≤ 150V rmsの場合 定格メイン電圧 ≤ 300V rmsの場合 定格メイン電圧 ≤ 400V rmsの場合 | | I-IV I-III I-II | |
| 環境による分類 | | 40/105/21 | |
| 汚染度 (DIN VDE 0110, Table I) | | 2 | |
| 最大動作絶縁電圧 | V_{IORM} | 560 | Vピーク |
| 入力-出力間テスト電圧、メソッドb1 $V_{IORM} \times 1.875 = V_{PR}$ 、100%の出荷テスト、 $t_m = 1$ 秒、部分放電 < 5pC | V_{PR} | 1050 | Vピーク |
| 入力-出力間テスト電圧、メソッドa 環境テスト・サブグループ1の後 $V_{IORM} \times 1.6 = V_{PR}$ 、 $t_m = 60$ 秒、部分放電 < 5pC 入力および/または安全性テスト・サブグループ2/3の後 $V_{IORM} \times 1.2 = V_{PR}$ 、 $t_m = 60$ 秒、部分放電 < 5pC | V_{PR} | 896 672 | Vピーク Vピーク |
| 最大許容過電圧 (過渡過電圧、 $t_{TR} = 10$ 秒) | V_{TR} | 4000 | Vピーク |
| 安全性限界値 (故障時に許容できる最大値、図3の温度ディレーティング・カーブも参照) ケース温度 サイド1 (ピン1~8) 電流 サイド2 (ピン9~16) 電流 | T_S I_{S1} I_{S2} | 150 265 335 | °C mA mA |
| T_S 、 $V_{IO} = 500V$ での絶縁抵抗 | R_S | >10 ⁹ | Ω |

このアイソレータは、安全性限界値データ以内での基本絶縁用です。安全性データは、保護回路を使って遵守してください。

パッケージ表面の「*」マークは、560Vピーク動作電圧に対してDIN EN 60747-5-2認定済みであることを表示します。

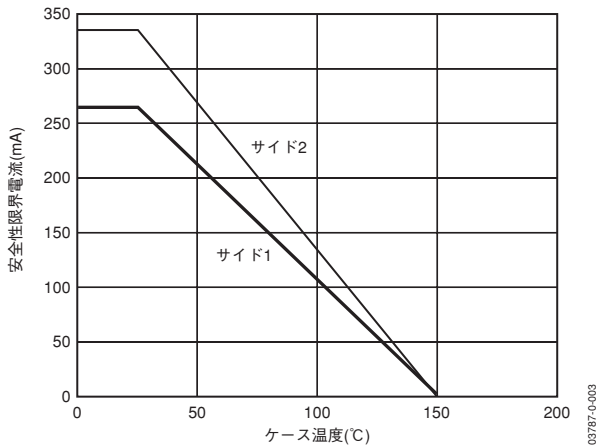


図3. 温度ディレーティング・カーブ、DIN EN 60747-5-2によるケース温度に対する安全性限界電流の依存性

推奨動作条件

表8

| パラメータ | 記号 | Min | Max | 単位 |
|------------------------|-----------------------|-----|------|----|
| 動作温度 | T_A | -40 | +105 | °C |
| 電源電圧 ¹ | V_{DD1} 、 V_{DD2} | 2.7 | 5.5 | V |
| 入力信号の立上がり および立下がり時間 | | | 1.0 | ms |

注

¹ すべての電圧はそれぞれのグラウンドを基準とします。外部磁界耐性については、16ページの「DC精度と磁界耐性」を参照してください。

ADuM1300/ADuM1301

絶対最大定格

表9

| パラメータ | 記号 | Min | Max | 単位 |
|--------------------------|--|------|---------------|-------------|
| 保存温度 | T_{ST} | -65 | +150 | °C |
| 動作時周囲温度 | T_A | -40 | +105 | °C |
| 電源電圧 ¹ | V_{DD1} 、 V_{DD2} | -0.5 | +7.0 | V |
| 入力電圧 ^{1, 2} | V_{IA} 、 V_{IB} 、 V_{IC} 、 V_{E1} 、 V_{E2} | -0.5 | $V_{DD1}+0.5$ | V |
| 出力電圧 ^{1, 2} | V_{OA} 、 V_{OB} 、 V_{OC} | -0.5 | $V_{DD0}+0.5$ | V |
| ピンの平均出力電流 ³ | | | | |
| サイド1 (ピン1~8) | I_{O1} | -23 | +23 | mA |
| サイド2 (ピン9~16) | I_{O2} | -30 | +30 | mA |
| コモン・モード過渡電圧 ⁴ | | -100 | +100 | kV/ μ s |

注

1 すべての電圧はそれぞれのグラウンドを基準とします。

2 V_{DD1} と V_{DD0} はそれぞれ、各チャンネルの入力側と出力側の電源電圧を表します。「PCボードのレイアウト」を参照してください。

3 種々の温度に対する最大定格電流値は図3を参照してください。

4 絶縁バリアを超えるコモン・モード過渡電圧を表します。絶対最大定格を超えるコモン・モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生じることがあります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを指定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。特に指定のない限り、周囲温度は25°Cです。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないうまに放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



表10. 真値表（正論理）

| V_{IX} 入力 ¹ | V_{EX} 入力 ² | V_{DD1} 状態 ¹ | V_{DD0} 状態 ¹ | V_{OX} 出力 ¹ | 注 |
|--------------------------|--------------------------|---------------------------|---------------------------|--------------------------|--|
| H | HまたはNC | 電源オン | 電源オン | H | 出力は V_{DD1} 電源回復から1 μ s以内に入力状態に戻ります。 V_{EX} 状態がHまたはNCの場合、出力は V_{DD0} 電源回復から1 μ s以内に入力状態に戻ります。 V_{EX} 状態がLの場合、出力は V_{DD0} 電源回復から8ns以内にハイ・インピーダンス状態に戻ります。 |
| L | HまたはNC | 電源オン | 電源オン | L | |
| X | L | 電源オン | 電源オン | Z | |
| X | HまたはNC | 電源オフ | 電源オン | H | |
| X | L | 電源オフ | 電源オン | Z | |
| X | X | 電源オン | 電源オフ | 不定 | |

注

1 V_{IX} と V_{OX} はそれぞれ、チャンネル（A、B、C）の入力信号と出力信号を表します。 V_{EX} は、 V_{OX} 出力と同じ側の出力ライン信号を表します。 V_{DD1} と V_{DD0} はそれぞれ、各チャンネルの入力側と出力側の電源電圧を表します。

2 ノイズの多い環境では、 V_{EX} を外部のロジック・ハイレベルまたはローレベルに接続することを推奨します。

ADuM1300/ADuM1301

ピン配置および機能の説明

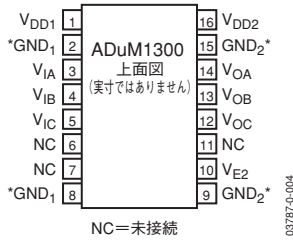


図4. ADuM1300のピン配置

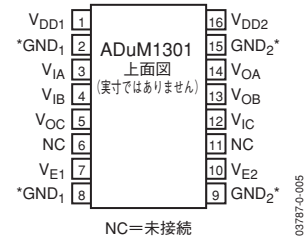


図5. ADuM1301のピン配置

*ピン2と8は内部で接続されています。両ピンはGND₁に接続することを推奨します。ピン9と15は内部で接続されています。両ピンはGND₂に接続することを推奨します。出力を常にイネーブルしておく場合には、ADuM1300の出力イネーブル（ピン10）を開放状態にしておくことができます。出力を常にイネーブルしておく場合には、ADuM1301の出力イネーブル（ピン7と10）を開放状態にしておくことができます。ノイズの多い環境では、ピン7（ADuM1301の場合）とピン10（両モデル）を外部のロジック・ハイレベルまたはローレベルに接続することを推奨します。

表11. ADuM1300ピン機能の説明

| ピン番号 | 記号 | 機能 |
|------|------------------|--|
| 1 | V _{DD1} | アイソレータのサイド1の電源電圧、2.7～5.5V。 |
| 2 | GND ₁ | グラウンド1。アイソレータのサイド1のグラウンド基準。 |
| 3 | V _{IA} | ロジック入力A |
| 4 | V _{IB} | ロジック入力B |
| 5 | V _{IC} | ロジック入力C |
| 6 | NC | 未接続 |
| 7 | NC | 未接続 |
| 8 | GND ₁ | グラウンド1。アイソレータのサイド1のグラウンド基準。 |
| 9 | GND ₂ | グラウンド2。アイソレータのサイド2のグラウンド基準。 |
| 10 | V _{E2} | 出力イネーブル2。アクティブ・ハイレベルのロジック入力。V _{E2} がハイレベルまたは開放のとき、V _{OA} 、V _{OB} 、V _{OC} の各出力がイネーブルになります。V _{E2} がローレベルのとき、V _{OA} 、V _{OB} 、V _{OC} の各出力がデイスエーブルになります。ノイズの多い環境では、V _{E2} を外部のロジック・ハイレベルまたはローレベルに接続することを推奨します。 |
| 11 | NC | 未接続 |
| 12 | V _{OC} | ロジック出力C |
| 13 | V _{OB} | ロジック出力B |
| 14 | V _{OA} | ロジック出力A |
| 15 | GND ₂ | グラウンド2。アイソレータのサイド2のグラウンド基準。 |
| 16 | V _{DD2} | アイソレータのサイド2の電源電圧、2.7～5.5V。 |

表12. ADuM1301ピン機能の説明

| ピン番号 | 記号 | 機能 |
|------|------------------|--|
| 1 | V _{DD1} | アイソレータのサイド1の電源電圧、2.7～5.5V。 |
| 2 | GND ₁ | グラウンド1。アイソレータのサイド1のグラウンド基準 |
| 3 | V _{IA} | ロジック入力A |
| 4 | V _{IB} | ロジック入力B |
| 5 | V _{OC} | ロジック出力C |
| 6 | NC | 未接続 |
| 7 | V _{E1} | 出力イネーブル1。アクティブ・ハイレベルのロジック入力。V _{E1} がハイレベルまたは開放のとき、V _{OC} 出力がイネーブルになります。V _{E1} がローレベルのとき、V _{OC} がデイスエーブルになります。ノイズの多い環境では、V _{E1} を外部のロジック・ハイレベルまたはローレベルに接続することを推奨します。 |
| 8 | GND ₁ | グラウンド1。アイソレータのサイド1のグラウンド基準。 |
| 9 | GND ₂ | グラウンド2。アイソレータのサイド2のグラウンド基準。 |
| 10 | V _{E2} | 出力イネーブル2。アクティブ・ハイレベルのロジック入力。V _{E2} がハイレベルまたは開放のとき、V _{OA} とV _{OB} の各出力がイネーブルになります。V _{E2} がローレベルのとき、V _{OA} とV _{OB} の各出力がデイスエーブルになります。ノイズの多い環境では、V _{E2} を外部のロジック・ハイレベルまたはローレベルに接続することを推奨します。 |
| 11 | NC | 未接続 |
| 12 | V _{IC} | ロジック入力C |
| 13 | V _{OB} | ロジック出力B |
| 14 | V _{OA} | ロジック出力A |
| 15 | GND ₂ | グラウンド2。アイソレータのサイド2のグラウンド基準。 |
| 16 | V _{DD2} | アイソレータのサイド2の電源電圧、2.7～5.5V。 |

ADuM1300/ADuM1301

代表的な性能特性

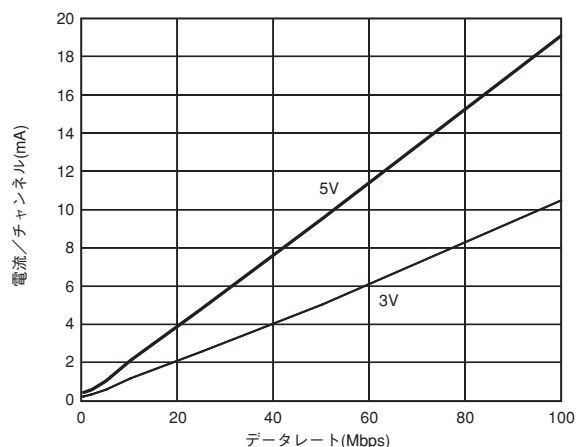


図6. 5Vおよび3V動作でのデータレート対代表的なチャンネル当たりの入力電源電流

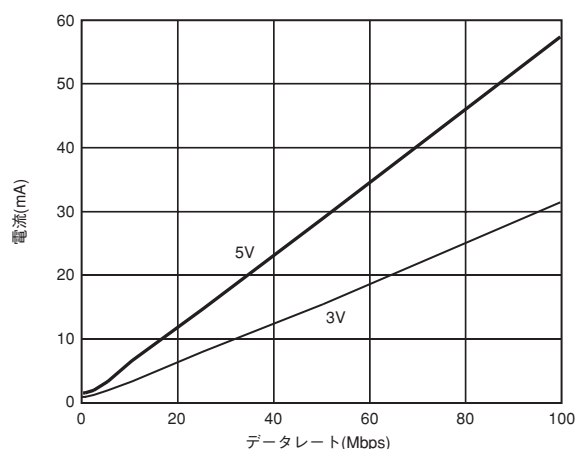


図9. 5Vおよび3V動作でのデータレート対代表的なADuM1300 VDD1電源電流

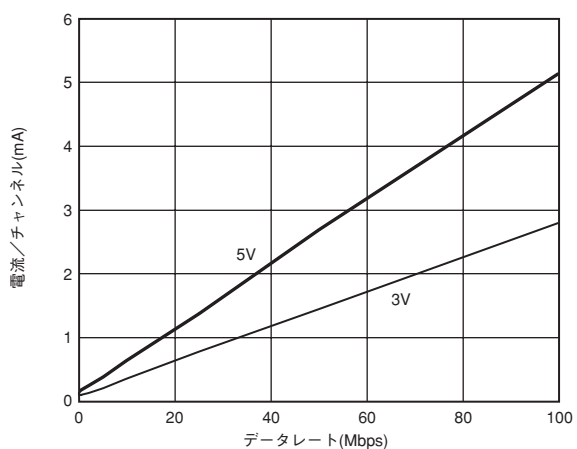


図7. 5Vおよび3V動作でのデータレート対代表的なチャンネル当たりの出力電源電流 (出力無負荷)

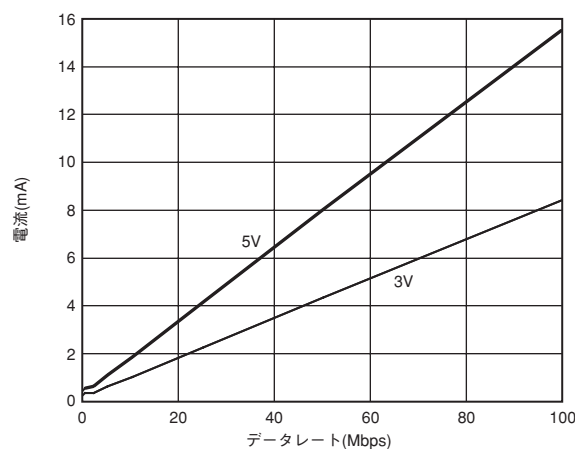


図10. 5Vおよび3V動作でのデータレート対代表的なADuM1300 VDD1電源電流

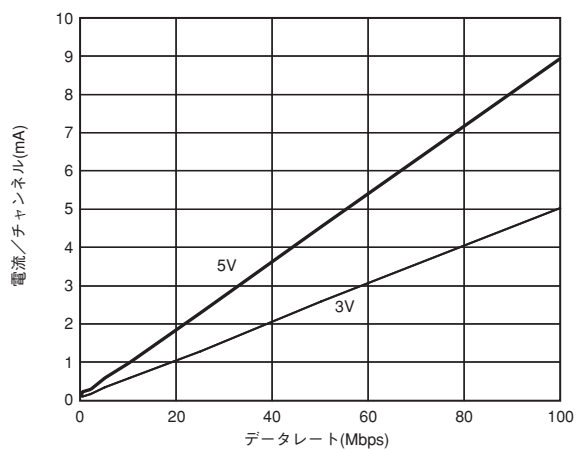


図8. 5Vおよび3V動作でのデータレート対代表的なチャンネル当たりの出力電源電流 (出力負荷15pF)

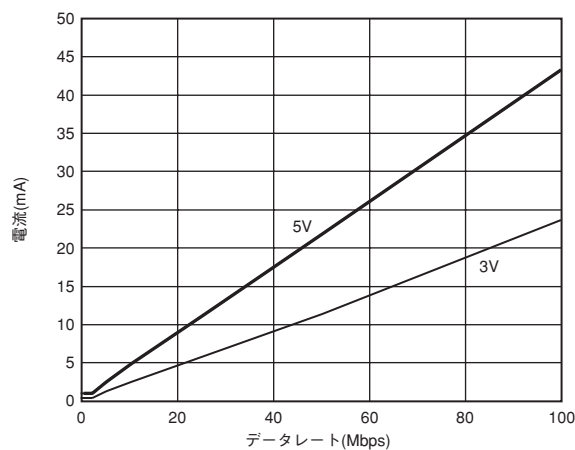


図11. 5Vおよび3V動作でのデータレート対代表的なADuM1301 VDD1電源電流

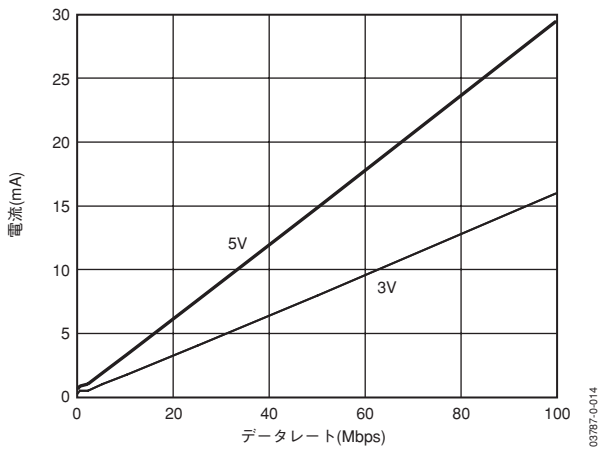


図12. 5Vおよび3V動作でのデータレート対代表的なADuM1301 V_{DD2}電源電流

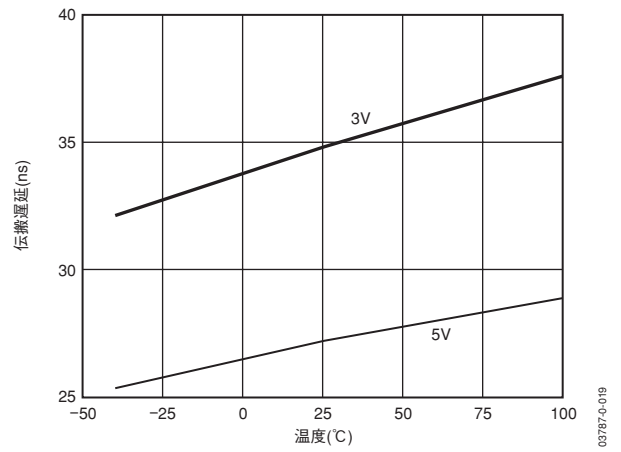


図13. 伝搬遅延の温度特性 (Cグレード)

ADuM1300/ADuM1301

アプリケーション情報

PCボードのレイアウト

ADuM130x デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンにはバイパス・コンデンサを接続することを強く推奨します (図14)。バイパス・コンデンサはV_{DD1}ではピン1と2の間に、V_{DD2}ではピン15と16の間に接続するのが便利です。コンデンサの値は、0.01~0.1 μ Fにします。コンデンサの両端と入力電源ピンとの間の合計リード長は20mmを超えないようにします。各パッケージ側のグラウンド対がパッケージのすぐ近くで接続されていない限り、ピン1と8の間およびピン9と16の間でバイパスしてください。

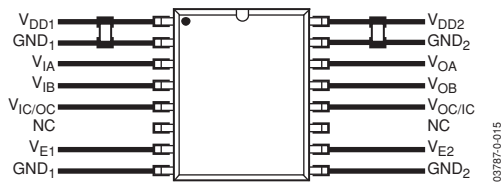


図14. PCボードの推奨レイアウト

高い共通モード過渡電圧が発生するアプリケーションでは、絶縁バリアを越えるようなボード上での結合が起こらないように注意する必要があります。さらに、いかなる結合も部品側のすべてのピンで等しくなるようにボード・レイアウトを設計する必要があります。この注意を怠ると、ピン間で発生する電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号が部品を通過するのに要する時間を表すパラメータです。ロジック・ローレベル出力への伝搬遅延は、ロジック・ハイレベルへの伝搬遅延と異なることがあります。



図15. 伝搬遅延のパラメータ

パルス幅歪みはこれら2つの伝搬遅延値の間の最大の差をいい、入力信号のタイミングが部品の出力信号で再現される精度を表します。

チャンネル間マッチングは、1個のADuM130x製品内にある複数チャンネル間の伝搬遅延差の最大値を表します。

伝搬遅延スキューは、同じ条件で動作する複数のADuM130x製品間での伝搬遅延差の最大値を表します。

DC精度と磁界耐性

アイソレータの入力における信号の遷移 (ハイレベル/ローレベル時) により、狭いパルス (約1ns) がトランス経由でデコーダに送信されます。デコーダはハイレベルでもローレベルでも安定しており、したがって、パルスによるセットまたはリセットで入力ロジックの遷移を表します。入力が2 μ s以上ロジック遷移がない場合、出力のDC精度を確保するため、正しい入力状態を表す周期的なリフレッシュ・パルスのセットが送出されます。デコーダが約5 μ s間以上この内部パルスを受信しないと、入力側が電源オフまたは非動作状態にあるとみなされ、ウォッチドッグ・タイム回路によりアイソレータの出力が強制的にデフォルト状態 (表10参照) となります。

ADuM130xは、外部磁界に対して極めて強い耐性を持っています。ADuM130xの磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなり、デコーダを誤セットまたはリセットさせる状態が発生する条件で決まります。この状態が発生する条件を、以下の解析により求めます。ADuM130xは3V動作が最も感度の高い動作モードなので、この条件を調べます。

トランス出力でのパルスは、1.0V以上の振幅になります。デコーダは約0.5Vの検出閾値を持つため、誘導電圧に対しては0.5Vの余裕を持っています。受信側コイルでの誘導電圧は、次式で求めら

$$V = (-dB/dt) \sum \Pi r_n^2; n = 1, 2, \dots, N$$

ここで、

β = 磁束密度 (ガウス)

N = 受信側コイルの巻き数

r_n = 受信側コイル巻き数n回目の半径(cm)

ADuM130x受信側コイルの形状と、誘導電圧がデコーダにおける0.5V余裕の最大50%であるという条件を前提にすると、最大許容磁界は図16のように計算されます。

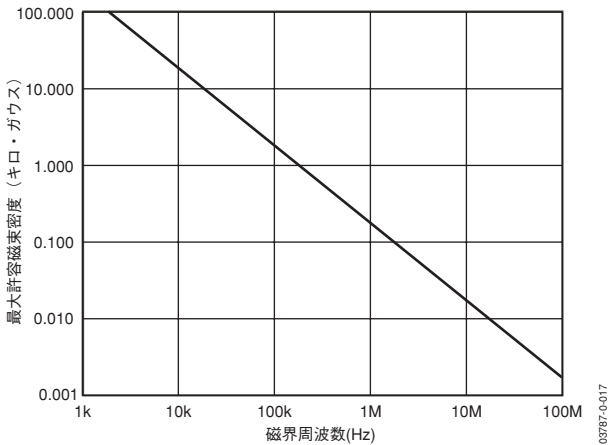


図16. 最大許容外部磁束密度

たとえば、磁界周波数=1MHzで、最大許容磁界=0.2キロ・ガウスの場合、受信側コイルでの誘導電圧は0.25Vになります。これは検出閾値の約50%にあたり、出力遷移の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在して（さらに最悪ケースの極性であって）、受信パルスが1.0V以上から0.75Vへ減少されても、デコーダの検出閾値0.5Vよりも余裕を持っています。

前述の磁束密度値は、所与の距離だけADuM130xトランスから離れた特定の電流値に対応します。図17に、周波数の関数としての許容電流値を、所与の距離に対して示します。図から読み取れるように、ADuM130xの耐性は極めて高く、影響を受けるのは、高周波でかつこのICに近接して流れる極めて大きな電流の場合に限られます。前述の1MHzの例では、部品動作に影響を与えるには、0.5kAの電流をADuM130xから5mmの距離まで近づける必要があります。

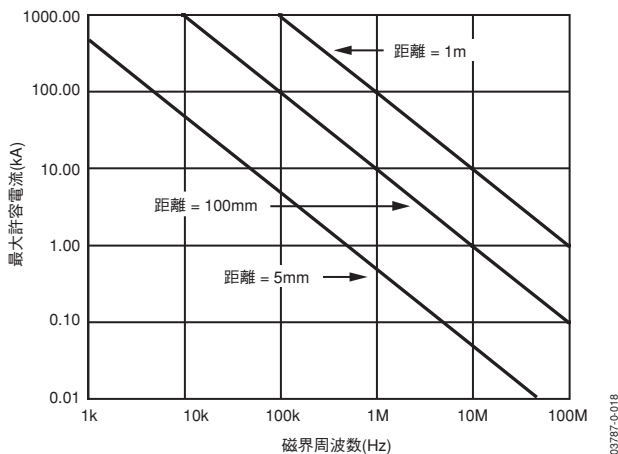


図17. 電流とADuM130x間のさまざまな距離に対する最大許容電流

強い磁界に高周波が重なると、PCボードのパターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路の閾値がトリガされてしまうことに注意が必要です。パターンのレイアウトでは、これを防止するように注意する必要があります。

消費電力

ADuM130xアイソレータ内のあるチャンネルの電源電流は、電源電圧、チャンネルのデータレート、チャンネルの出力負荷の関数です。

各入力チャンネルに対して、電源電流は次式で求められます。

$$I_{DDI} = I_{DDI(Q)} \quad f \leq 0.5f_r$$

$$I_{DDI} = I_{DDI(D)} \times (2f - f_r) + I_{DDI(Q)} \quad f > 0.5f_r$$

各出力チャンネルに対して、電源電流は次式で求められます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5f_r$$

$$I_{DDO} = (I_{DDO(D)} + (0.5 \times 10^{-3}) \times C_L V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5f_r$$

ここで、

$I_{DDI(D)}$ と $I_{DDO(D)}$ はそれぞれ、チャンネル当たりの入力および出力ダイナミック電源電流です(mA/Mbps)。

C_L =出力負荷容量(pF)

V_{DDO} =出力電源電圧(V)

f =入力ロジック信号周波数 (MHz、入力データレートの1/2、NRZシグナリング)

f_r =入力ステージ・リフレッシュ・レート(Mbps)

$I_{DDI(Q)}$ と $I_{DDO(Q)}$ はそれぞれ、指定された入力および出力静止電源電流です(mA)。

I_{DD1} と I_{DD2} の合計電源電流を計算するために、 I_{DD1} と I_{DD2} に対応するチャンネルの入力と出力の電源電流を計算して合計します。図6と7に、無負荷状態の出力に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図8に、15pF負荷の出力に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図9~12に、ADuM1300/ADuM1301のチャンネル構成に対して、データレートの関数としての電源電流 I_{DD1} と I_{DD2} の合計を示します。

ADuM1300/ADuM1301

外形寸法

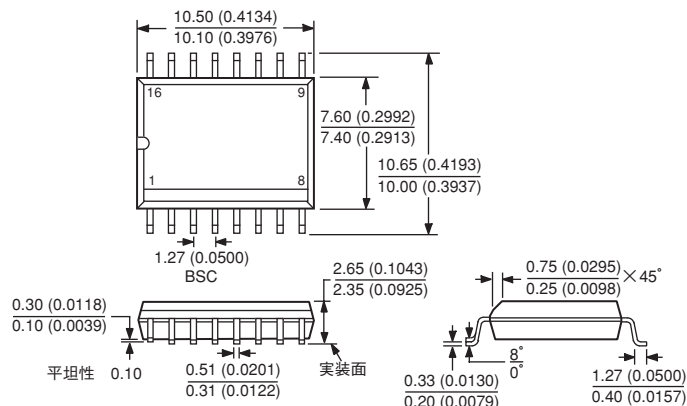


図18. 16ピン標準SOP[SOIC]ーワイド(RW-16)
寸法単位：mm（インチ）

オーダー・ガイド

| 製品モデル | 入力数 V _{DD1} 側 | 入力数 V _{DD2} 側 | 最大データ・ レート (Mbps) | 最大伝搬 遅延、5V (ns) | 最大パルス 幅歪み (ns) | 温度範囲 (°C) | パッケージ・ オプション ¹ |
|-----------------------------|---------------------------|---------------------------|-------------------------|-----------------------|----------------------|--------------|------------------------------|
| ADuM1300ARW ² | 3 | 0 | 1 | 100 | 40 | -40~105°C | RW-16 |
| ADuM1300BRW ² | 3 | 0 | 10 | 50 | 3 | -40~105°C | RW-16 |
| ADuM1300CRW ² | 3 | 0 | 90 | 32 | 2 | -40~105°C | RW-16 |
| ADuM1300ARWZ ^{2,3} | 3 | 0 | 1 | 100 | 40 | -40~105°C | RW-16 |
| ADuM1300BRWZ ^{2,3} | 3 | 0 | 10 | 50 | 3 | -40~105°C | RW-16 |
| ADuM1300CRWZ ^{2,3} | 3 | 0 | 90 | 32 | 2 | -40~105°C | RW-16 |
| ADuM1301ARW ² | 2 | 1 | 1 | 100 | 40 | -40~105°C | RW-16 |
| ADuM1301BRW ² | 2 | 1 | 10 | 50 | 3 | -40~105°C | RW-16 |
| ADuM1301CRW ² | 2 | 1 | 90 | 32 | 2 | -40~105°C | RW-16 |
| ADuM1301ARWZ ^{2,3} | 2 | 1 | 1 | 100 | 40 | -40~105°C | RW-16 |
| ADuM1301BRWZ ^{2,3} | 2 | 1 | 10 | 50 | 3 | -40~105°C | RW-16 |
| ADuM1301CRWZ ^{2,3} | 2 | 1 | 90 | 32 | 2 | -40~105°C | RW-16 |

¹ RW-16=16ピン・ワイドのSOIC

² 「テープ&リール」も提供しています。製品モデルの末尾に「-RL」が付いている場合、直径13インチ（1000個入り）の「テープ&リール」をオプションとして提供しています。

³ Z=鉛フリー製品

ADuM1300/ADuM1301

TDS07/2004/PDF