

### 特長

高速なデータ・レート：DC～100Mbps (NRZ)

3.3Vおよび5.0V動作/レベル変換に対応

最高動作温度：125℃

低消費電力動作

- ・ 5V動作：
  - 1Mbpsで最大1.0mA
  - 25Mbpsで最大4.5mA
  - 100Mbpsで最大16.8mA
- ・ 3.3V動作：
  - 1Mbpsで最大0.4mA
  - 25Mbpsで最大3.5mA
  - 50Mbpsで最大7.1mA

小型：標準の8ピンSOICパッケージ

高いコモン・モード過渡電圧耐性：25kV/ $\mu$ s以上

安全性および適用規格：

- ・ UL認定済み
  - 2500V rms、1分間のUL 1577規格に準拠
- ・ 「CSA Component Acceptance Notice #5A」に準拠
- ・ VDEの適合性認定済み
  - DIN EN 60747-5-2 (VDE 0884 Part 2)：2003-01
  - DIN EN 60950 (VDE 0805)：2001-12；EN 60950：2000
  - $V_{IORM}=560V_{PEAK}$

### 概要

ADuM1100は、アナログ・デバイセズのiCoupler技術に基づくデジタル・アイソレータです。この絶縁デバイスは高速CMOS技術とモノリシック中空コア・トランス技術の組み合わせにより、光カプラー・デバイスなどの置換品より、はるかに優れた性能特性を提供します。

ADuM1100は既存の高速光カプラーに対するピン・コンパチブルの置換品として構成されており、25Mbpsおよび100Mbpsの高速データ・レートをサポートしています。

ADuM1100は3.0V～5.5Vのレンジの電源電圧で動作し、伝搬遅延18ns未満およびエッジ非対称性2ns未満を誇り、最高温度125℃まで動作します。静止電流0.9mA以下(一次側二次側の合計)、かつMbpsのデータ・レートに対してダイナミック電流160 $\mu$ A以下の非常に小さい消費電力で動作します。置換品の他の光カプラーとは異なり、ADuM1100は出力信号を連続的に更新するリフレッシュ機能(特許取得済み)によりDCを正確に維持します。

ADuM1100には3種類のグレードがあります。ADuM1100ARとADuM1100BRは最高温度100℃までで動作でき、それぞれ最大25Mbpsおよび100Mbpsのデータ・レートをサポートします。ADuM1100URは最高温度125℃で動作でき、最大100Mbpsのデータ・レートをサポートします。

### アプリケーション

デジタル・フィールドバスの絶縁

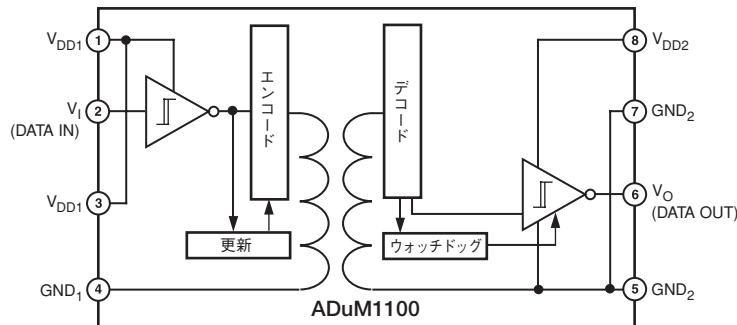
光アイソレータの置き換え

コンピュータ-周辺機器間のインターフェース

マイクロプロセッサ・システムのインターフェース

一般的な計装およびデータ・アキュイジション・アプリケーション

機能ブロック図



動作原理については、「動作方法、DC精度、磁界耐性」を参照してください。

\*米国特許5,952,849および6,525,566により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

\*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

REV.C

# ADuM1100

**5V動作の電氣的仕様<sup>1</sup>** ( $4.5V \leq V_{DD1} \leq 5.5V$ 、 $4.5V \leq V_{DD2} \leq 5.5V$ 。特に指定のない限り、全推奨動作レンジに、すべてのMin/Max仕様が適用されます。すべてのtyp仕様は、 $T_A=25^\circ\text{C}$ 、 $V_{DD1}=V_{DD2}=5V$ における値です)

パラメータ	記号	Min	Typ	Max	単位	テスト条件
<b>DC仕様</b>						
入力電源電流	$I_{DD1(Q)}$		0.3	0.8	mA	$V_I=0V$ または $V_{DD1}$
出力電源電流	$I_{DD2(Q)}$		0.01	0.06	mA	$V_I=0V$ または $V_{DD1}$
入力電源電流(25Mbps) (特性 1参照)	$I_{DD1(25)}$		2.2	3.5	mA	12.5MHzロジック信号周波数
出力電源電流 <sup>2</sup> (25Mbps) (特性 2参照)	$I_{DD2(25)}$		0.5	1.0	mA	12.5MHzロジック信号周波数
入力電源電流(100Mbps) (特性 1参照)	$I_{DD1(100)}$		9.0	14	mA	50MHzロジック信号周波数、 ADuM1100BR/URのみ
出力電源電流 <sup>2</sup> (100Mbps) (特性 2参照)	$I_{DD2(100)}$		2.0	2.8	mA	50MHzロジック信号周波数、 ADuM1100BR/URのみ
入力電流	$I_I$	-10	+0.01	+10	$\mu\text{A}$	$0 \leq V_{IN} \leq V_{DD1}$
ロジック・ハイレベル出力電圧	$V_{OH}$	$V_{DD2}-0.1$ $V_{DD2}-0.8$	5.0 4.6		V	$I_O=-20\mu\text{A}$ 、 $V_I=V_{IH}$ $I_O=-4\text{mA}$ 、 $V_I=V_{IH}$
ロジック・ローレベル出力電圧	$V_{OL}$		0.0 0.03 0.3	0.1 0.1 0.8	V	$I_O=20\mu\text{A}$ 、 $V_I=V_{IL}$ $I_O=400\mu\text{A}$ 、 $V_I=V_{IL}$ $I_O=4\text{mA}$ 、 $V_I=V_{IL}$
<b>スイッチング仕様</b>						
ADuM1100ARの場合						
最小パルス幅 <sup>3</sup>	PW			40	ns	$C_L=15\text{pF}$ 、CMOS信号レベル
最大データ・レート <sup>4</sup>		25			Mbps	$C_L=15\text{pF}$ 、CMOS信号レベル
ADuM1100BR/ADuM1100URの場合						
最小パルス幅 <sup>3</sup>	PW		6.7	10	ns	$C_L=15\text{pF}$ 、CMOS信号レベル
最大データ・レート <sup>4</sup>		100	150		Mbps	$C_L=15\text{pF}$ 、CMOS信号レベル
全グレードに適用						
ロジック・ロー出力の伝搬遅延時間 <sup>5, 6</sup> (特性 3参照)	$t_{PHL}$		10.5	18	ns	$C_L=15\text{pF}$ 、CMOS信号レベル
ロジック・ハイ出力の伝搬遅延時間 <sup>5, 6</sup> (特性 3参照)	$t_{PLH}$		10.5	18	ns	$C_L=15\text{pF}$ 、CMOS信号レベル
パルス幅歪み $ t_{PLH}-t_{PHL} $ <sup>6</sup> 温度による変化 <sup>7</sup>	PWD		0.5 3	2	ns ps/ $^\circ\text{C}$	$C_L=15\text{pF}$ 、CMOS信号レベル $C_L=15\text{pF}$ 、CMOS信号レベル
伝搬遅延スキュー(同一の温度) <sup>6, 8</sup>	$t_{PSK1}$			8	ns	$C_L=15\text{pF}$ 、CMOS信号レベル
伝搬遅延スキュー(同一の温度、電源電圧) <sup>6, 8</sup>	$t_{PSK2}$			6	ns	$C_L=15\text{pF}$ 、CMOS信号レベル
出力立ち上がり/立ち下がり時間 ロジック・ロー/ハイ出力での コモン・モード過渡電圧耐性 <sup>9</sup>	$t_R$ 、 $t_F$		3		ns	$C_L=15\text{pF}$ 、CMOS信号レベル
	$ C_{ML} $ 、 $ C_{MH} $	25	35		kV/ $\mu\text{s}$	$V_I=0$ または $V_{DD1}$ 、 $V_{CM}=1000V$ 、 遷移幅=800V
入力ダイナミック電力消費容量 <sup>10</sup>	$C_{PD1}$		35		pF	
出力ダイナミック電力消費容量 <sup>10</sup>	$C_{PD2}$		8		pF	

<sup>5</sup>ページの注を参照してください。  
仕様は予告なく変更されることがあります。

## 3.3V動作の電氣的仕様<sup>1</sup> (3.0V ≤ V<sub>DD1</sub> ≤ 3.6V、3.0V ≤ V<sub>DD2</sub> ≤ 3.6V。特に指定のない限り、全推奨動作レンジに、すべてのMin/Max仕様が適用されます。すべてのtyp仕様は、T<sub>A</sub>=25°C、V<sub>DD1</sub>=V<sub>DD2</sub>=3.3Vにおける値です)

パラメータ	記号	Min	Typ	Max	単位	テスト条件
<b>DC仕様</b>						
入力電源電流	I <sub>DD1(Q)</sub>		0.1	0.3	mA	V <sub>I</sub> =0VまたはV <sub>DD1</sub>
出力電源電流	I <sub>DD2(Q)</sub>		0.005	0.04	mA	V <sub>I</sub> =0VまたはV <sub>DD1</sub>
入力電源電流(25Mbps) (特性 1参照)	I <sub>DD1(25)</sub>		2.0	2.8	mA	12.5MHzロジック信号周波数
出力電源電流 <sup>2</sup> (25Mbps) (特性 2参照)	I <sub>DD2(25)</sub>		0.3	0.7	mA	12.5MHzロジック信号周波数
入力電源電流(50Mbps) (特性 1参照)	I <sub>DD1(50)</sub>		4.0	6.0	mA	25MHzロジック信号周波数、ADuM1100BR/URのみ
出力電源電流 <sup>2</sup> (50Mbps) (特性 2参照)	I <sub>DD2(50)</sub>		1.2	1.6	mA	25MHzロジック信号周波数、ADuM1100BR/URのみ
入力電流	I <sub>I</sub>	-10	+0.01	+10	μA	0 ≤ V <sub>IN</sub> ≤ V <sub>DD1</sub>
ロジック・ハイレベル出力電圧	V <sub>OH</sub>	V <sub>DD2</sub> -0.1	3.3		V	I <sub>O</sub> =-20μA、V <sub>I</sub> =V <sub>IH</sub>
		V <sub>DD2</sub> -0.5	3.0		V	I <sub>O</sub> =-2.5mA、V <sub>I</sub> =V <sub>IH</sub>
ロジック・ローレベル出力電圧	V <sub>OL</sub>		0.0	0.1	V	I <sub>O</sub> =20μA、V <sub>I</sub> =V <sub>IL</sub>
			0.04	0.1	V	I <sub>O</sub> =400μA、V <sub>I</sub> =V <sub>IL</sub>
			0.3	0.4	V	I <sub>O</sub> =2.5mA、V <sub>I</sub> =V <sub>IL</sub>
<b>スイッチング仕様</b>						
ADuM1100ARの場合						
最小パルス幅 <sup>3</sup>	PW			40	ns	C <sub>L</sub> =15pF、CMOS信号レベル
最大データ・レート <sup>4</sup>		25			Mbps	C <sub>L</sub> =15pF、CMOS信号レベル
ADuM1100BR/ADuM1100URの場合						
最小パルス幅 <sup>3</sup>	PW		10	20	ns	C <sub>L</sub> =15pF、CMOS信号レベル
最大データ・レート <sup>4</sup>		50	100		Mbps	C <sub>L</sub> =15pF、CMOS信号レベル
全グレードに適用						
ロジック・ロー出力の伝搬遅延時間 <sup>5、6</sup> (特性 4参照)	t <sub>PHL</sub>		14.5	28	ns	C <sub>L</sub> =15pF、CMOS信号レベル
ロジック・ハイ出力の伝搬遅延時間 <sup>5、6</sup> (特性 4参照)	t <sub>PLH</sub>		15.0	28	ns	C <sub>L</sub> =15pF、CMOS信号レベル
パルス幅歪み  t <sub>PLH</sub> -t <sub>PHL</sub>   <sup>6</sup>	PWD		0.5	3	ns	C <sub>L</sub> =15pF、CMOS信号レベル
温度による変化 <sup>7</sup>			10		ps/°C	C <sub>L</sub> =15pF、CMOS信号レベル
伝搬遅延スキュー(同一の温度) <sup>6、8</sup>	t <sub>PSK1</sub>			15	ns	C <sub>L</sub> =15pF、CMOS信号レベル
伝搬遅延スキュー(同一の温度、電源電圧) <sup>6、8</sup>	t <sub>PSK2</sub>			12	ns	C <sub>L</sub> =15pF、CMOS信号レベル
出力立ち上がり/立ち下がり時間	t <sub>R</sub> 、t <sub>F</sub>		3		ns	C <sub>L</sub> =15pF、CMOS信号レベル
ロジック・ロー/ハイ出力での コモン・モード過渡電圧耐性 <sup>9</sup>	CM <sub>L</sub>  、  CM <sub>H</sub>	25	35		kV/μs	V <sub>I</sub> =0またはV <sub>DD1</sub> 、V <sub>CM</sub> =1000V、 遷移幅=800V
入力ダイナミック電力消費容量 <sup>10</sup>	C <sub>PD1</sub>		47		pF	
出力ダイナミック電力消費容量 <sup>10</sup>	C <sub>PD2</sub>		14		pF	

<sup>5</sup>ページの注を参照してください。  
仕様は予告なく変更されることがあります。

# ADuM1100

**電氣的仕様、5V/3Vまたは3V/5Vミックス動作<sup>1</sup>** (5V/3V動作:  $4.5V \leq V_{DD1} \leq 5.5V$ 、 $3.0V \leq V_{DD2} \leq 3.6V$ 。  
3V/5V動作:  $3.0V \leq V_{DD1} \leq 3.6V$ 、 $4.5V \leq V_{DD2} \leq 5.5V$ 。特に指定のない限り、全推奨動作レンジに、すべてのMin/Max仕様が適用されます。すべてのtyp仕様は、 $T_A=25^\circ C$ 、 $V_{DD1}=3.3V$ 、 $V_{DD2}=5V$ または $V_{DD1}=5V$ 、 $V_{DD2}=3.3V$ における値です)

パラメータ	記号	Min	Typ	Max	単位	テスト条件	
<b>DC仕様</b>							
入力電源電流、静止時	$I_{DDI(Q)}$						
5V/3V動作時			0.3	0.8	mA		
3V/5V動作時			0.1	0.3	mA		
出力電源電流、静止時	$I_{DDO(Q)}$						
5V/3V動作時			0.005	0.04	mA		
3V/5V動作時			0.01	0.06	mA		
入力電源電流、(25Mbps)	$I_{DDI(25)}$						
5V/3V動作時			2.2	3.5	mA	12.5MHzロジック信号周波数	
3V/5V動作時			2.0	2.8	mA	12.5MHzロジック信号周波数	
出力電源電流、(25Mbps)	$I_{DDO(25)}$						
5V/3V動作時			0.3	0.7	mA	12.5MHzロジック信号周波数	
3V/5V動作時			0.5	1.0	mA	12.5MHzロジック信号周波数	
入力電源電流、(50Mbps)	$I_{DDI(50)}$						
5V/3V動作時			4.5	7.0	mA	25MHzロジック信号周波数	
3V/5V動作時			4.0	6.0	mA	25MHzロジック信号周波数	
出力電源電流、(50Mbps)	$I_{DDO(50)}$						
5V/3V動作時			1.2	1.6	mA	25MHzロジック信号周波数	
3V/5V動作時			1.0	1.5	mA	25MHzロジック信号周波数	
入力電流	$I_{IA}$	-10	+0.01	+10	$\mu A$	$0 \leq V_{IA}, V_{IB}, V_{IC}, V_{ID} \leq V_{DD1}$ または $V_{DD2}$	
ロジック・ハイレベル出力電圧、	$V_{OH}$	$V_{DD2}-0.1$		3.3	V	$I_O = -20 \mu A, V_I = V_{IH}$	
5V/3V動作時				$V_{DD2}-0.5$	3.0	V	$I_O = -2.5mA, V_I = V_{IH}$
ロジック・ローレベル出力電圧、	$V_{OL}$			0.0	V	$I_O = 20 \mu A, V_I = V_{IL}$	
5V/3V動作時					0.04	V	$I_O = 400 \mu A, V_I = V_{IL}$
				0.3	V	$I_O = 2.5mA, V_I = V_{IL}$	
ロジック・ハイレベル出力電圧、	$V_{OH}$	$V_{DD2}-0.1$		5.0	V	$I_O = -20 \mu A, V_I = V_{IH}$	
3V/5V動作時				$V_{DD2}-0.8$	4.6	V	$I_O = -4mA, V_I = V_{IH}$
ロジック・ローレベル出力電圧、	$V_{OL}$			0.0	V	$I_O = 20 \mu A, V_I = V_{IL}$	
3V/5V動作時					0.03	V	$I_O = 400 \mu A, V_I = V_{IL}$
				0.3	V	$I_O = 4mA, V_I = V_{IL}$	
<b>スイッチング仕様</b>							
ADuM1100ARの場合							
最小パルス幅 <sup>3</sup>	PW			40	ns	$C_L = 15pF$ , CMOS信号レベル	
最大データ・レート <sup>4</sup>		25			Mbps	$C_L = 15pF$ , CMOS信号レベル	
ADuM1100BR/ADuM1100URの場合							
最小パルス幅 <sup>3</sup>	PW			20	ns	$C_L = 15pF$ , CMOS信号レベル	
最大データ・レート <sup>4</sup>		50			Mbps	$C_L = 15pF$ , CMOS信号レベル	
全グレード共通							
ロジック・ロー/ハイレベル出力の伝搬遅延時間 <sup>5, 6</sup>	$t_{PHL}, t_{PLH}$						
5V/3V動作時(特性 5参照)			13	21	ns	$C_L = 15pF$ , CMOS信号レベル	
3V/5V動作時(特性 6参照)			16	26	ns	$C_L = 15pF$ , CMOS信号レベル	
パルス幅歪み、 $ t_{PLH} - t_{PHL} $ <sup>6</sup>	PWD						
5V/3V動作時				0.5	2	ns	$C_L = 15pF$ , CMOS信号レベル
3V/5V動作時				0.5	3	ns	$C_L = 15pF$ , CMOS信号レベル
温度による変化							
5V/3V動作時				3	ps/°C	$C_L = 15pF$ , CMOS信号レベル	
3V/5V動作時				10	ps/°C	$C_L = 15pF$ , CMOS信号レベル	
伝搬遅延スキュー	$t_{PSK1}$						
(同一の温度) <sup>6, 8</sup>							
5V/3V動作時				12	ns	$C_L = 15pF$ , CMOS信号レベル	
3V/5V動作時				15	ns	$C_L = 15pF$ , CMOS信号レベル	
伝搬遅延スキュー	$t_{PSK2}$						
(同一の温度、電源電圧) <sup>6, 8</sup>							
5V/3V動作時				9	ns	$C_L = 15pF$ , CMOS信号レベル	
3V/5V動作時				12	ns	$C_L = 15pF$ , CMOS信号レベル	
出力立ち上がり/立ち下がり時間(10%~90%)	$t_R, t_F$		3		ns	$C_L = 15pF$ , CMOS信号レベル	

パラメータ	記号	Min	Typ	Max	単位	テスト条件
スイッチング仕様(続き)						
ロジック・ロー/ハイレベル出力での コモン・モード過渡電圧耐性 <sup>9</sup>	$ CM_L $ 、 $ CM_H $	25	35		kV/ $\mu$ s	$V_I=0$ または $V_{DD1}$ 、 $V_{CM}=1000V$ 、 遷移幅=800V
入力ダイナミック電力消費容量 <sup>10</sup> 5V/3V動作時	$C_{PD1}$		35		pF	
3V/5V動作時			47		pF	
出力ダイナミック電力消費容量 <sup>10</sup> 5V/3V動作時	$C_{PD2}$		8		pF	
3V/5V動作時			14		pF	

注

- すべての電圧はグラウンド基準。
- 出力電源電流値は、出力負荷なしの場合。出力負荷ありの場合、与えられた信号周波数での電源電流は、 $I_{DD2(L)}=I_{DD2}+V_{DD2}\times f\times C_L$ で与えられます。ここで $I_{DD2}$ は無負荷時の出力電源電流、 $f$ は入力信号周波数、 $C_L$ は出力負荷容量です。
- 最小パルス幅は、規定のパルス幅歪みが保証される最小パルス幅です。
- 最大データ・レートは、規定のパルス幅歪みが保証される最高速のデータ・レートです。
- $t_{PHL}$ は、 $V_I$ 信号の立ち下がりエッジの50%レベルから $V_O$ 信号の立ち下がりエッジの50%レベルまでを測定した値です。 $t_{PLH}$ は、 $V_I$ 信号の立ち上がりエッジの50%レベルから $V_O$ 信号の立ち上がりエッジの50%レベルまでを測定した値です。
- ADuM1100の入力閾値は一般的入力信号の50%レベルとは異なるため、伝搬遅延とパルス幅歪みの測定値は低速な入力立ち上がり/立ち下がり時間の影響を受けることがあります。与えられた入力立ち上がり/立ち下がり時間のこれらのパラメータに対する影響については、「伝搬遅延に関するパラメータ」と図3~図7を参照してください。
- 温度によるパルス幅歪み変化は、1°Cの動作温度変化に対するパルス幅歪み変化の絶対値です。
- $t_{PSK1}$ は、推奨動作条件内の同じ動作温度と出力負荷のデバイス間で測定された $t_{PHL}$ および/または $t_{PLH}$ のワーストケース差の大きさです。 $t_{PSK2}$ は、推奨動作条件内の同じ動作温度、電源電圧、出力負荷のデバイス間で測定された $t_{PHL}$ および/または $t_{PLH}$ のワーストケース差の大きさです。
- $CM_H$ は、 $V_O > 0.8V_{DD2}$ を維持することができるコモン・モード電圧の最大スルーレートです。 $CM_L$ は $V_O < 0.8V$ を維持することができるコモン・モード電圧の最大スルーレートです。コモン・モード電圧スルーレートは立ち上がりと立ち下がりの両エッジに適用されます。遷移幅は、コモン・モードの平衡が失われるレンジを表します。
- ダイナミック電力消費容量は、  
 $C_{PDi}=(I_{DDi(100)}-I_{DDi(Q)})/(V_{DDi}\times f)$ で与えられます。ここで、 $i=1$ または2、 $f$ は入力信号周波数。  
与えられた周波数と出力負荷での電源消費電流は、  
 $I_{DD1}=C_{PD1}\times V_{DD1}\times f+I_{DD1(Q)}$ ； $I_{DD2(L)}=(C_{PD2}+C_L)\times V_{DD2}\times f+I_{DD2(Q)}$ で計算され、ここで、 $C_L$ は出力負荷容量です。

仕様は予告なく変更されることがあります。

## パッケージ特性

パラメータ	記号	Min	Typ	Max	単位	テスト条件
抵抗(入力-出力間) <sup>1</sup>	$R_{L-O}$		$10^{1,2}$		$\Omega$	
容量(入力-出力間) <sup>1</sup>	$C_{L-O}$		1		pF	$f=1MHz$
入力容量 <sup>2</sup>	$C_I$		4.0		pF	
入力IC接合-ケース間の熱抵抗	$\theta_{JCI}$		46		$^{\circ}C/W$	パッケージ中央真下に熱電対を装着
出力IC接合-ケース間の熱抵抗	$\theta_{JCO}$		41		$^{\circ}C/W$	
パッケージ消費電力	$P_{PD}$			240	mW	

注

- 2ピンデバイスを想定。1、2、3、4の各ピンを互いに接続し、5、6、7、8の各ピンを互いに接続。
- 入力容量はピン2( $V_I$ )で測定。

# ADuM1100

## 適用規格

ADuM1100は次の機関の認定済みです。

UL	CSA	VDE
1577部品認定プログラム <sup>1</sup> による認定  File E214100	CSA部品受入通知#5A、C22.2 No. 1-98、 C22.2 No. 14-95、およびC22.2 No. 950-95 による認定  File 205078	DIN EN 60747-5-2 (VDE 0884 Part 2) : 2003-1 <sup>2</sup> DIN EN 60950 (VDE 0805) : 2001-12 ; EN60950 : 2000による認定  File 2471900-4880-0002

注

1 UL 1577に従い、各ADuM1100に3000V rms以上の絶縁テスト電圧を1秒間加えることでテストして保証されています(リーク電流検出の規定値 $I_{LO} \leq 5 \mu A$ )。

2 DIN EN 60747-5-2に従い、各ADuM1100に1050V<sub>PEAK</sub>以上の絶縁テスト電圧を1秒間加えることでテストして保証されています(部分放電の検出規定値 $\leq 5pC$ )。

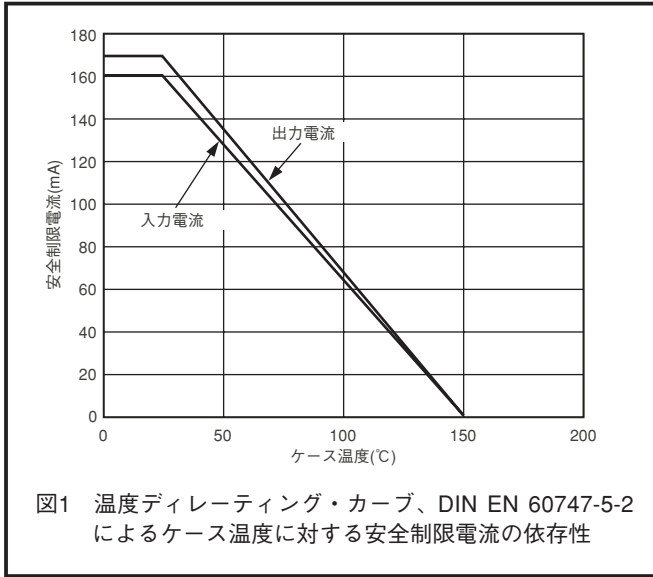
## 絶縁および安全性関連の仕様

パラメータ	記号	値	単位	条件
最小外部空間距離(クリアランス)	L(I01)	4.90 min	mm	入力ピンから出力ピンまでの空間最短距離を測定
最小外部沿面距離(クリーページ)	L(I02)	4.01 min	mm	入力ピンから出力ピンまでのボディ表面に沿う最短パスを測定
最小内部空間距離(内部クリアランス)		0.016 min	mm	絶縁体を通る絶縁距離
耐トラッキング性(トラッキング指数)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
絶縁グループ		IIIa		材料グループ(DIN VDE 0110, 1/89, Table 1)

## DIN EN 60747-5-2 (VDE 0884 Part 2)絶縁特性

説明	記号	特性	単位
DIN VDE 0110による絶縁分類		I-IV I-III I-II	
定格メイン電圧 $\leq 150V$ rmsの場合			
定格メイン電圧 $\leq 300V$ rmsの場合			
定格メイン電圧 $\leq 400V$ rmsの場合			
環境による分類		40/100/21 40/125/21	
ADuM1100ARおよびADuM1100BR			
ADuM1100UR			
汚染度(DIN VDE 0110, Table I)		2	
最大動作絶縁電圧	$V_{IORM}$	560	$V_{PEAK}$
入力-出力間テスト電圧、メソッドb1			
$V_{IORM} \times 1.875 = V_{PR}$ 、100%出荷テスト、 $t_M = 1$ 秒、部分放電 $< 5pC$	$V_{PR}$	1050	$V_{PEAK}$
入力-出力間テスト電圧、メソッドa			
(環境テスト・サブグループの後1)	$V_{PR}$	672	$V_{PEAK}$
$V_{IORM} \times 1.6 = V_{PR}$ 、 $t_M = 60$ 秒、部分放電 $< 5pC$			
(入力および/または安全性テスト・サブグループの後2/3)	$V_{PR}$	896	$V_{PEAK}$
$V_{IORM} \times 1.2 = V_{PR}$ 、 $t_M = 60$ 秒、部分放電 $< 5pC$	$V_{PR}$	672	$V_{PEAK}$
最大許容過電圧(過渡過電圧、 $t_{TR} = 10$ 秒)	$V_{TR}$	4000	$V_{PEAK}$
安全性制限値(故障時に許容できる最大値、図1の熱ディレーティング・カーブ参照)			
ケース温度	$T_S$	150	$^{\circ}C$
入力電流	$I_{S, INPUT}$	160	mA
出力電流	$I_{S, OUTPUT}$	170	mA
$T_S$ 、 $V_{IO} = 500V$ での絶縁抵抗	$R_S$	$> 10^9$	$\Omega$

このアイソレータは、安全性制限値データ以内での基本絶縁にのみ有効です。安全性データの維持は、保護回路を使うと確実になります。パッケージ表面の\*印は、560V<sub>PEAK</sub>動作電圧についてDIN EN 60747-5-2認定済みであることを示します。



## 絶対最大定格<sup>1</sup>

パラメータ	記号	Min	Max	単位
保存温度	$T_{ST}$	-55	+150	°C
動作時周囲温度	$T_A$	-40	+125	°C
電源電圧 <sup>2</sup>	$V_{DD1}$ 、 $V_{DD2}$	-0.5	+6.5	V
入力電圧 <sup>2</sup>	$V_I$	-0.5	$V_{DD1} + 0.5$	V
出力電圧 <sup>2</sup>	$V_O$	-0.5	$V_{DD2} + 0.5$	V
各ピンの平均電流 <sup>3</sup>				
温度 ≤ 100°C		-25	+25	mA
温度 ≤ 125°C				
入力電流		-7	+7	mA
出力電流		-20	+20	mA
ESD (人体モデル)		-2.0	+2.0	kV
ピン・ハンダ処理温度 (手作業)	ピンの端を 275°C ± 10°C で 20 秒間加熱			
ハンダ・リフロー 温度特性	JEDEC 標準 20A			

### 注

- 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらはストレス定格のみを規定するものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。絶対最大定格は、組み合わせではなく個別に適用されます。特に指定のない限り、周囲温度は 25°C です。
- すべての電圧はグラウンド基準です。
- 種々の温度に対する最大許容電流については図1を参照してください。

## 推奨動作条件

パラメータ	記号	Min	Max	単位
動作温度				
ADuM1100AR および ADuM1100BR	$T_A$	-40	+100	°C
ADuM1100UR	$T_A$	-40	+125	°C
電源電圧 <sup>1</sup>	$V_{DD1}$ 、 $V_{DD2}$	3.0	5.5	V
ロジック・ハイレベル入力電圧、5V動作 <sup>1,2</sup> (特性7と8参照)	$V_{IH}$	2.0	$V_{DD1}$	V
ロジック・ローレベル入力電圧、5V動作 <sup>1,2</sup> (特性7と8参照)	$V_{IL}$	0.0	0.8	V
ロジック・ハイレベル入力電圧、3.3V動作 <sup>1,2</sup> (特性7と8参照)	$V_{IH}$	1.5	$V_{DD1}$	V
ロジック・ローレベル入力電圧、3.3V動作 <sup>1,2</sup> (特性7と8参照)	$V_{IL}$	0.0	0.5	V
入力信号の立ち上がりおよび立ち下がり時間			1.0	ms

### 注

- すべての電圧はグラウンド基準です。
- 入力スイッチング閾値は、300mVのヒステリシスを持っています。
- 外部磁界耐性については、「動作方法、DC精度、磁界耐性」、および図8と図9を参照してください。



# ADuM1100

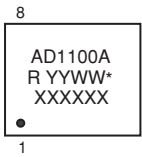
表I 真理値表(正論理)

V <sub>i</sub> 入力	V <sub>DD1</sub> の状態	V <sub>DD2</sub> の状態	V <sub>o</sub> 出力
H	電源オン	電源オン	H
L	電源オン	電源オン	L
X	電源オフ	電源オン	H*
X	電源オン	電源オフ	X*

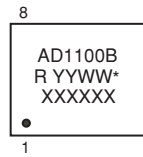
\*電源回復から1 $\mu$ s以内にV<sub>o</sub>はV<sub>i</sub>状態に戻ります。

注：以下は、パッケージのグレード表示です。

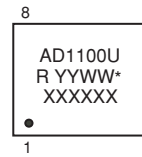
ADuM1100AR,  
ADuM1100AR-RL7



ADuM1100BR,  
ADuM1100BR-RL7



ADuM1100UR,  
ADuM1100UR-RL7



ここで、

- \* = DIN EN 60747-5-2マーク
- R = パッケージ識別子(RはSOICを意味します)
- YYWW = 日付コード
- XXXXXX = ロット・コード

ピン配置



注

- 1 ピン1とピン3は内部で接続されています。片方または両方をV<sub>DD1</sub>として使うことができます。
- 2 ピン5とピン7は内部で接続されています。片方または両方をGND<sub>2</sub>として使うことができます。

## オーダーガイド

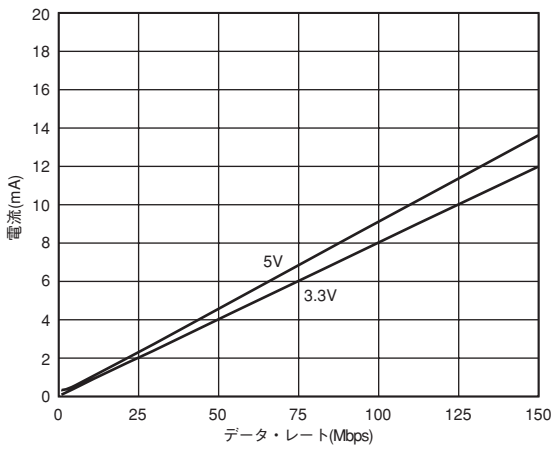
モデル	温度レンジ	最大データ・レート(Mbps)	最小パルス幅(ns)	パッケージ	パッケージ・オプション
ADuM1100AR	-40°C ~ +100°C	25	40	8ピン SOIC	R-8
ADuM1100BR	-40°C ~ +100°C	100	10	8ピン SOIC	R-8
ADuM1100UR	-40°C ~ +125°C	100	10	8ピン SOIC	R-8
ADuM1100AR-RL7	-40°C ~ +100°C	25	40	8ピン SOIC、1000個リール	R-8
ADuM1100BR-RL7	-40°C ~ +100°C	100	10	8ピン SOIC、1000個リール	R-8
ADuM1100UR-RL7	-40°C ~ +125°C	100	10	8ピン SOIC、1000個リール	R-8

注意

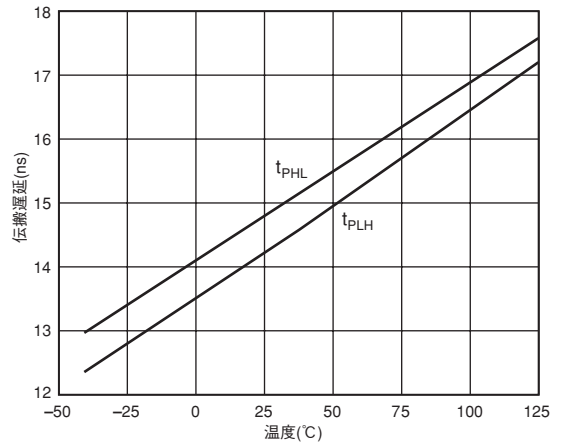
ESD（静電放電）の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



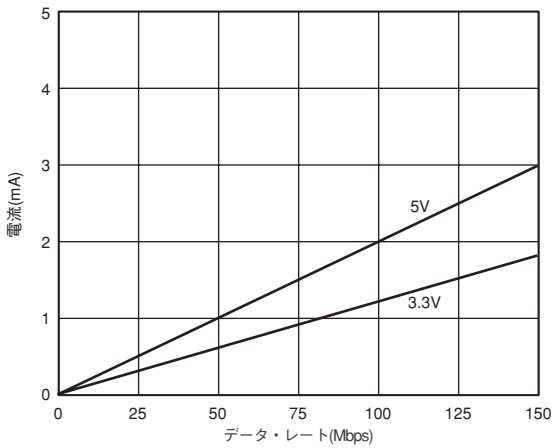




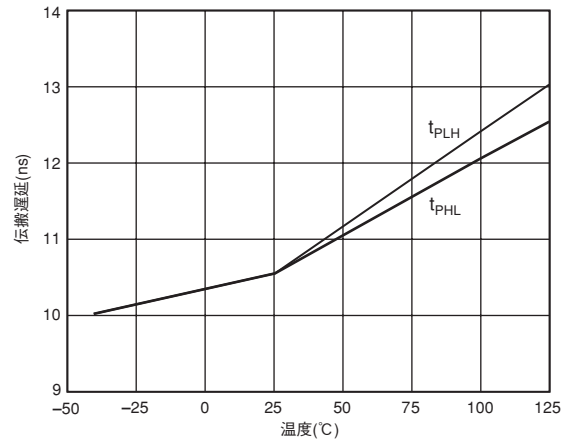
特性 1 代表的なロジック信号周波数対入力電源電流、5V動作および3.3V動作



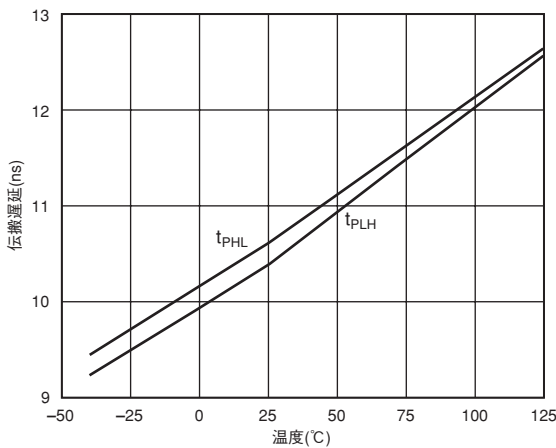
特性 4 代表的な伝搬遅延の温度特性、3.3V動作



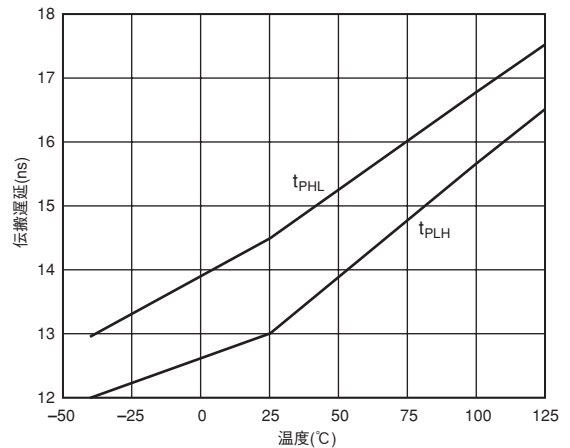
特性 2 代表的なロジック信号周波数対出力電源電流、5V動作および3.3V動作



特性 5 代表的な伝搬遅延の温度特性、5V/3V動作

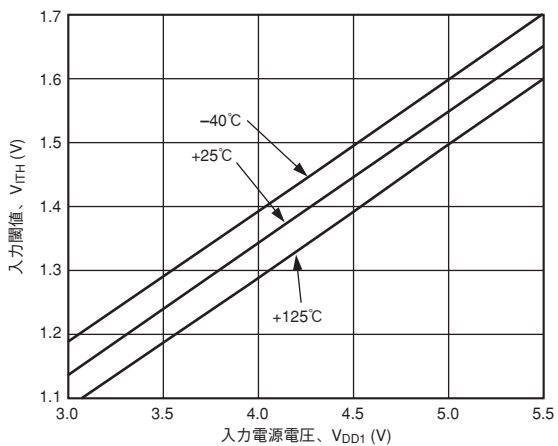


特性 3 代表的な伝搬遅延の温度特性、5V動作

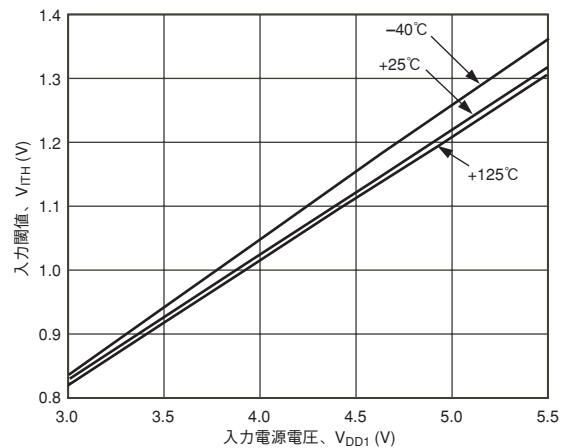


特性 6 代表的な伝搬遅延の温度特性、3V/5V動作

# ADuM1100



特性7 代表的な入力電圧スイッチング閾値、ローからハイへの変化



特性8 代表的な入力電圧スイッチング閾値、ハイからローへの変化

## アプリケーション情報

### PCボードのレイアウト

ADuM1100デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンにはバイパス・コンデンサを接続することが推奨されます。入力バイパス・コンデンサはピン3とピン4の間に接続するのが最適です(図2)。バイパス・コンデンサは、代わりにピン1とピン4の間に接続することもできます。出力バイパス・コンデンサは、ピン7とピン8の間またはピン5とピン8の間に接続することができます。コンデンサ値は0.01  $\mu$ F~0.1  $\mu$ Fにする必要があります。コンデンサの両端と電源ピン間のパターン長は全部で20mm以下にする必要があります。

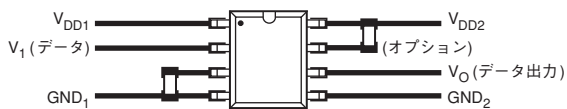


図2 推奨PCボード・レイアウト

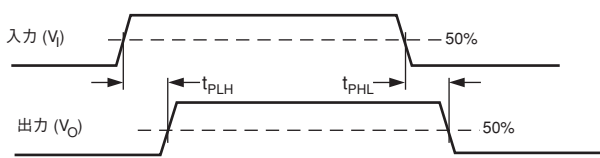


図3 伝搬遅延のパラメータ

### 伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号が部品を通過するのに要する時間を表します。ロジック・ローレベル出力までの伝搬遅延時間と

ロジック・ハイレベル出力までの伝搬遅延時間は、入力信号変化と該当する出力信号変化の間の時間を表します(図3)。

パルス幅歪みは  $t_{PLH}$  と  $t_{PHL}$  との間の最大の差であり、入力信号のタイミングが部品の出力信号で再現される精度を表します。伝搬遅延スキューは、複数のADuM1100を同一動作温度と同一出力負荷で動作させたときの最小伝搬遅延と最大伝搬遅延の差をいいます。

入力の50%レベルに基づく伝搬遅延の測定値は、入力信号の立ち上がり/立ち下がり時間に依存し、部品の真の伝搬遅延と異なることがあります(入力スイッチング閾値から測定するためです)。これは、光カプラーを使ったケースでは一般的ですが、入力閾値が代表的な入力信号の50%ポイントとは異なる電圧レベルになっていることが原因です。この伝搬遅延の差は次式で表されます。

$$\Delta_{LH} = t'_{PLH} - t_{PLH} = (t_r / 0.8 V_1) (0.5 V_1 - V_{ITH(L-H)})$$

$$\Delta_{HL} = t'_{PHL} - t_{PHL} = (t_f / 0.8 V_1) (0.5 V_1 - V_{ITH(H-L)})$$

ここで、

- $t_{PLH}, t_{PHL}$  = 入力の50%レベルで測定した伝搬遅延
- $t'_{PLH}, t'_{PHL}$  = 入力のスイッチング閾値で測定した伝搬遅延
- $t_r, t_f$  = 入力の10%から90%までの立ち上がり/立ち下がり時間
- $V_1$  = 入力信号の振幅(0~ $V_1$ レベルを想定)

$$V_{ITH(L-H)}, V_{ITH(H-L)} = \text{入力のスイッチング閾値}$$

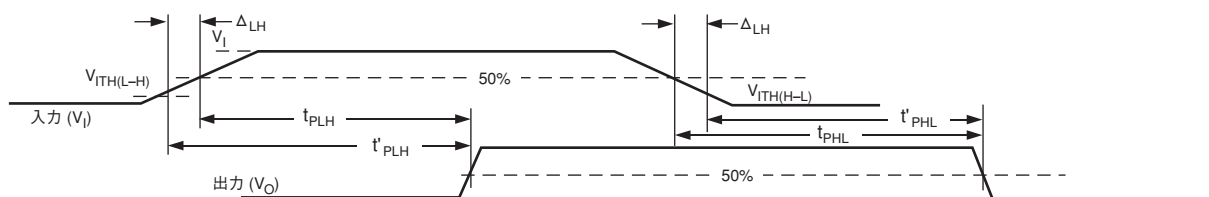


図4 入力立ち上がり/立ち下がり時間の伝搬遅延への影響

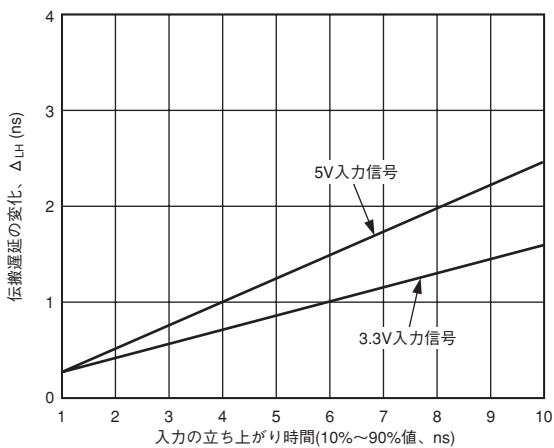


図5 入力の立ち上がり時間の変動に起因する代表的な伝搬遅延変化( $V_{DD1}=3.3V$ および $5V$ )

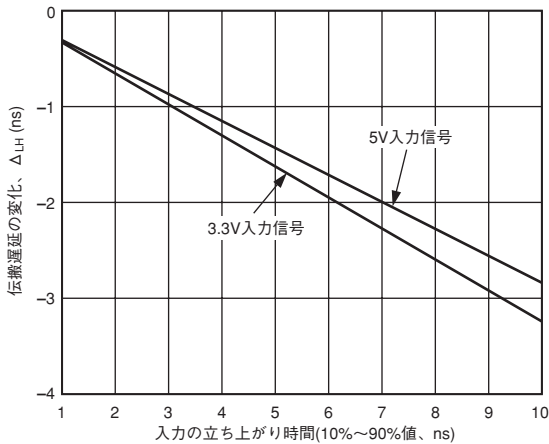


図6 入力の立ち下がり時間の変動に起因する代表的な伝搬遅延変化( $V_{DD1}=3.3V$ および $5V$ )

パルス幅歪みの測定は入力の50%レベルに基づいて行われるため、低速な入力エッジ・レートではパルス幅歪みの測定値が影響を受けることもあります。このため、 $t_{PHL}$ 、 $t_{PLH}$ 、 $PWD$ の相対的な大きさに応じて、パルス幅歪みが増加または減少することがあります。ここでの注目点は、パルス幅歪みを最大にする条件です。このケースでの変化分は次式で表されます。

$$\Delta_{PWD} = PWD' - PWD = \Delta_{LH} - \Delta_{HL} = (t/0.8V_1)(V - V_{ITH(L-H)} - V_{ITH(H-L)}), (\text{for } t = t_r = t_f)$$

ここで、

$$PWD = |t_{PLH} - t_{PHL}|$$

$$PWD' = |t'_{PLH} - t'_{PHL}|$$

図7に、パルス幅歪みの調整を、入力の立ち上がり/立ち下がり時間の関数としてプロットします。

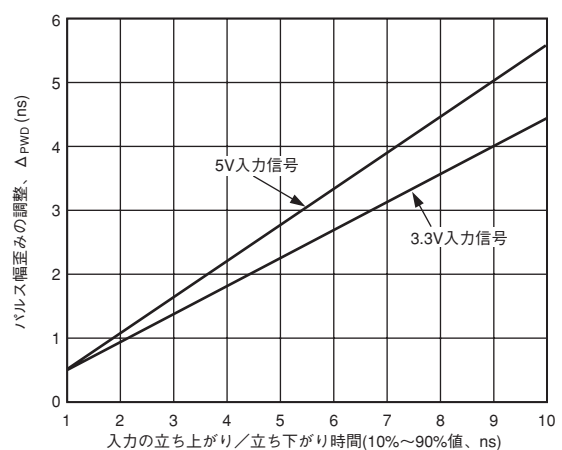


図7 入力の立ち上がり/立ち下がり時間変動に起因する代表的なパルス幅歪み調整( $V_{DD1}=3.3V$ および $5V$ )

### 動作方法、DC精度、磁界耐性

機能ブロック図では、2個のコイルがパルス・トランスとして機能しています。アイソレータ入力での正および負のロジック変化により、狭いパルス(2ns)がトランスを経由してデコーダに送られます。デコーダが双安定なので、パルスによるセットまたはリセットにより入力ロジックの変化が表されます。入力に $2\mu s$ 以上ロジック変化がない場合、該当する極性の周期的な更新パルスが出力のDC精度を確保するために送出されます。デコーダが約 $5\mu s$ 間以上この更新パルスを受信しないと、入力側が電源オフか非動作状態にあると見なされ、ウォッチドッグ・タイマー回路によりアイソレータ出力が強制的にロジック・ハイレベル状態にされます。

ADuM1100の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分に大きくなり、デコーダをセットまたはリセットさせる誤動作が発生する状態で決定されます。この状態が発生する条件を、以下の解析で求めます。ADuM1100は3.3V動作が最も感受性の高い動作モードなので、この条件を調べます。

トランス出力でのパルスは、1.0V以上の振幅になります。デコーダは約0.5Vの検出閾値を持つため、誘導電圧に対し0.5Vの余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt)\sum \pi r_n^2; n = 1, 2, \dots, N$$

ここで、

$\beta$  = 磁束密度(Gauss)

$N$  = 受信側コイルの巻き数

$r_n$  = 受信側コイルの巻き数 $n$ 回目の半径(cm)

# ADuM1100

ADuM1100受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける0.5V余裕の最大50%であるという条件が与えられ、最大許容磁界は図8のように計算されます。

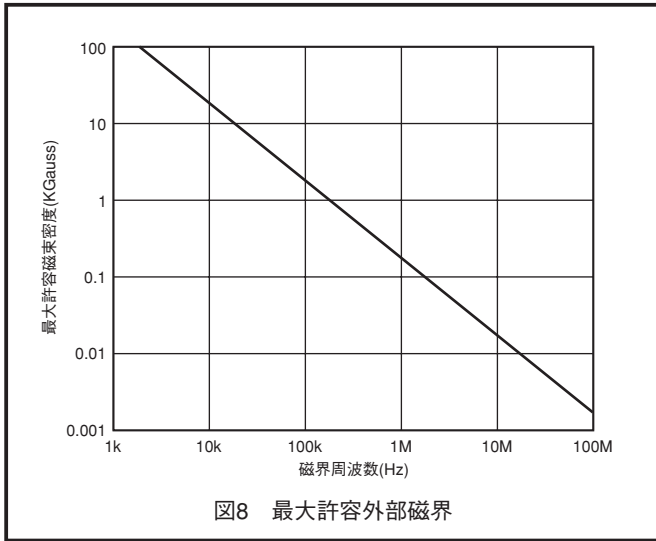


図8 最大許容外部磁界

例えば、磁界周波数=1MHzで、最大許容磁界=0.2KGaussの場合、受信側コイルでの誘導電圧は0.25Vになります。これは検出閾値の約50%にあたるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに最悪ケースの極性であっても)、受信パルスは1.0V以上から0.75Vへ減少されるので、デコーダの検出閾値0.5Vに対してなお余裕を持っています。

前述の磁束密度値は、ADuM1100のトランスから所定の距離だ

け離れた特定の電流値に対応します。図9に、選択した距離の周波数の関数としての許容電流値を示します。図から読み取れるように、ADuM1100の耐性は極めて高く、影響を受けるのは、高周波で動作し、かつ部品に非常に近い極めて大きな電流の場合に限られます。前述の1MHzの例では、部品動作に影響を与えるには、0.5kAの電流をADuM1100から5mmまで近づける必要があります。

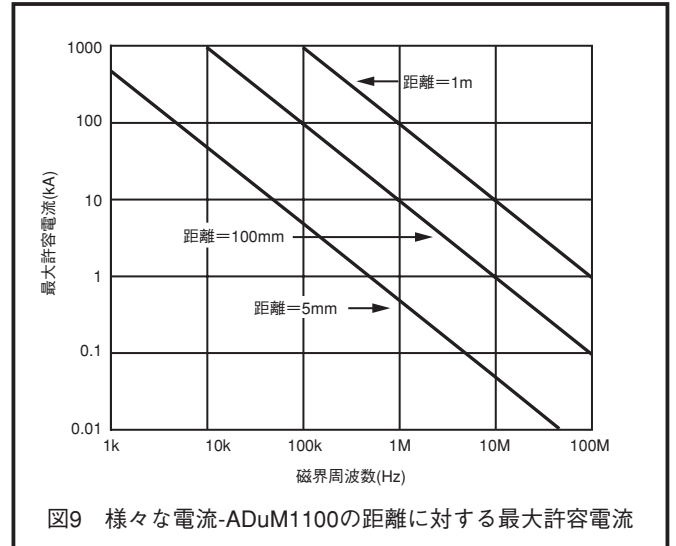


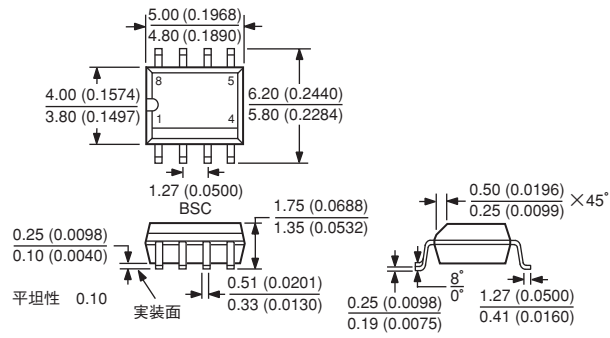
図9 様々な電流-ADuM1100の距離に対する最大許容電流

強い磁界と高周波が組合わさると、プリント回路ボードのパターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路の閾値がトリガーされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

## 外形寸法

### 8ピン標準SOP[SOIC] 小型ボディ (R-8)

寸法表示：mm (インチ)



JEDEC標準MS-012AAに準拠

寸法管理はミリメートル。カッコ内のインチ寸法は参考のためミリメートルに丸め処理したものであり、デザインでの使用には適しません。

# ADuM1100

## 改訂履歴

変更場所	ページ
4/03—データシートをREV. BからREV. Cに変更	全体
特長を変更	1
特許の注記を変更	1
適用規格を変更	6
絶縁特性を変更	6
絶対最大定格を変更	7
パッケージ・マーキングを変更	8
「動作方法、DC精度、磁界耐性」を変更	11
図9を置換え	12
1/03—データシートをREV. AからREV. Bに変更	
ADuM1100URグレードを追加	全体
ADuM1100AR/ADuM1100BRをADuM1100に変更	全体
特長を変更	1
概要を変更	1
仕様を変更	2
電氣的仕様に5V/3Vまたは3V/5Vミックス動作の表を追加	4
適用規格を更新	6
VDE 0884絶縁特性を変更	6
絶対最大定格を変更	7
パッケージ・マーキングを変更	8
特性3～8を更新	9
フィールド・バス・ネットワークからiCouplerを削除	11
図8を変更	12
新たに図9と関連テキストを追加	12
11/02—データシートをREV. 0からREV. Aに変更	
特長を変更	1
適用規格を変更	4
VDE 0884絶縁特性を変更	5
改訂履歴を追加	12
外形寸法を更新	12





# ADuM1100

TDS07/2003/500

PRINTED IN JAPAN



このデータシートはエコマーク認定の再生紙を使用しています。