

ADSP-21161N

要約

高性能32ビットDSP — オーディオ、医療、軍事、無線通信、グラフィックス、画像処理、モータ制御、テレフォニなどのアプリケーションに適用

スーパー・ハーバード・アーキテクチャ — デュアル・データ読み出し、命令読み出し、および非割り込みの、0オーバーヘッドI/O用に4つの独立したバスを採用

他のすべてのSHARCファミリー DSPとコード互換

SIMD (単一命令複数データ処理) 演算アーキテクチャ — マルチプライヤ、ALU、シフタ、およびレジスタ・ファイルをそれぞれ備えた2つの32ビットIEEE浮動小数点計算ユニット

シリアル・ポートは、8本のプログラマブルな同時送受信ピンによりI²Sをサポート (オーディオ用に最大16CHの送信チャンネルまたは最大16CHの受信チャンネルをサポート)

統合ペリフェラル — 統合されたI/Oプロセッサ、1Mbit内部デュアル・ポートSRAM、SDRAMコントローラ、グルーレスなマルチプロセッシング機能、およびI/Oポート (シリアル、リンク、外部バス、SPI、およびJTAG)

ADSP-21161Nは、32ビットの固定小数点、32ビットおよび40ビットの浮動小数点フォーマットをサポート

主要機能

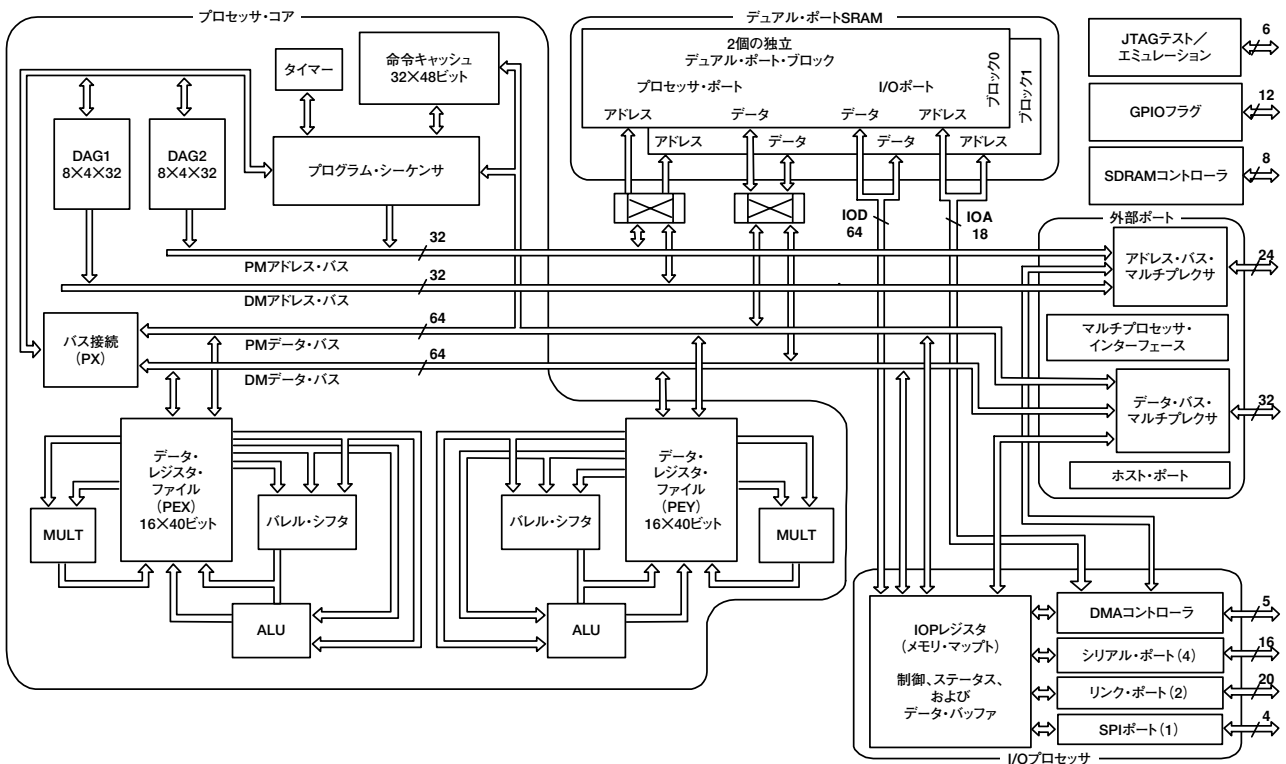
100MHz (10ns) コア命令速度

両方の計算ユニットのSIMD動作を含む、1サイクルによる命令実行

ピーク600MFLOPS、持続性能400MFLOP

225ボール 17×17mm MBGAパッケージ

機能ブロック図



SHARCは、アナログ・デバイス社の登録商標です。

REV. 0

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を暗示的または明示的に許諾するものでもありません。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル 電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号 電話06(6350)6868 (代)

ADSP-21161N

主要機能 (続き)

1Mbit内部デュアル・ポートSRAM (0.5Mbitブロック0、0.5Mbitブロック1) — プロセッサ・コアおよびDMAにより個別にアクセス

持続性能400 MMACs (固定小数点)

モジュロ・アドレッシングおよびビット・リバース・アドレッシングを備えたデュアル・データ・アドレス・ジェネレータ (DAG)

1サイクルによるループ設定で0オーバーヘッド・ループ:

有効なプログラム・シーケンシングを提供

IEEE 1149.1 JTAG標準テスト・アクセス・ポートおよび内蔵エミュレーション

単一命令複数データ処理 (SIMD) アーキテクチャ:

2つの計算処理部を提供

同時実行 — 各処理部は同じ命令を実行しますが、異なるデータについて処理を実行

コード互換性 — アセンブリ・レベルで、他のSHARC DSPと同じ命令セットを使用

バスと計算ユニットの並列動作:

マルチプライヤ、ALU、デュアル・メモリの読み書き、および命令読み出しの1サイクルによる実行 (SIMDあり/SIMDなし)

メモリおよびコア間では、1.6GByte/sの持続帯域幅で、1サイクル当たり最大4個の32ビット浮動小数点または固定小数点ワードの転送をサポート

乗算、加算、減算による高速化されたFETバタフライ演算

DMAコントローラをサポート:

ADSP-21161Nの内部メモリと外部メモリ間、同内部メモリと外部ペリフェラル間、同メモリとホスト・プロセッサ間、同メモリとシリアル・ポート間、同メモリとリンク・ポート間、または同メモリとシリアル・ペリフェラル・インターフェース (SPI互換) 間の転送に14CHの0オーバーヘッドDMAチャンネルを使用

コア・クロック速度で、フルスピード・プロセッサ実行と同時に64ビット・バックグラウンド転送を実行

IOPバスを使用した800MByte/sの転送

8、16、および32ビット・マイクロプロセッサとのホスト・プロセッサ・インターフェース — ホストは直接ADSP-21161N IOPレジスタの読み書きが可能

32ビット (最高48ビット) 幅の外部同期ポート:

非同期メモリ、SBSRAMおよびSDRAM外部メモリとのグルーレスな接続

メモリ・インターフェースは、外部メモリに対するプログラマブルなウェイト・ステート生成およびウェイト・モードをサポート

非SDRAMアクセスで最大50MHzの動作をサポート

CLKIN (クロック入力) とコア・クロック周波数の比1:2、1:3、1:4、1:6、1:8

24ビット・アドレス、32ビット・データ・バス。多重化リンク・ポート・データ・ピンを介した16本の追加データ・ラインにより、1サイクルによる外部命令実行のための48ビット幅データ・バスが可能

ホストまたは他のADSP-21161NからのIOPレジスタの直接読み出し/書き込み

外部SRAMおよびSBSRAMメモリの62.7メガワード・アドレス領域

32、16、または8ビット幅の外部メモリから直接命令を実行するための、32-48、16-48、8-48実行パッキング

32、16、または8ビット幅の外部メモリと32、48、または64ビットの内部メモリとの間で直接DMA転送するための、32-48、16-48、8-48、32-32/64、16-32/64、8-32/64データ・パッキング

リンク・ポートを使用していない場合は、48ビット幅の外部データ・バスを使用するように設定可能。リンク・ポート・データ・ラインは、データ・ラインD0~D15で多重化され、SYSCONの制御ビットで有効。

ローコスト外部メモリにグルーレスに接続するSDRAMコントローラ

ゼロ・ウェイト・ステート、ほとんどのアクセスに100MHzで動作

SDRAMアクセス用の拡張外部メモリ・バンク (64メガワード)

最大2048ワードのページ・サイズ

SDRAMコントローラは、すべてのメモリ・バンクでSDRAMをサポート

コア・クロックおよびコア・クロック周波数の半分で実行するインターフェースをサポート

×4、×8、×16、×32のSDRAMデータ・バス設定で16、64、128、256Mbitをサポート

外部SDRAMメモリの254メガワード・アドレス領域

マルチプロセッシング・サポート:

スケーラブルなDSPマルチプロセッシング・アーキテクチャのグルーレスな接続

最大6個のADSP-21161N、グローバル・メモリ、およびホストの平行・バス接続のための分散内部バス・アービトレーション

ADSP-21161N間のポイントツープoint接続のための2個の8ビット幅リンク・ポート

平行・バスの転送速度: 400MByte/s

リンク・ポートの転送速度: 200MByte/s

シリアル・ポート:

圧縮伸張ハードウェアの4個の50Mbit/s同期シリアル・ポート

トランスミッタまたはレシーバとして設定できる8本の双方向シリアル・データ・ピン

8本のプログラマブルな同時送受信ピンによりI²Sをサポート、最大16CHの送信チャンネルまたは最大16CHの受信チャンネルをサポート

T1およびE1インターフェースのTDMサポート、H.100/H.110などの新しいテレフォニ・インターフェースの128TDMチャンネル・サポート

TDMモードのチャンネル・ベースで圧縮伸張を選択

シリアル・ペリフェラル・インターフェース (SPI)

マスターSPIデバイスからSPIを介してスレーブ・シリアル・ブートを実行

全二重動作

マスタースレーブ・モード・マルチマスターのサポート

オープン・ドレイン出力

プログラマブルなポーレート、クロック極性/位相

12本のプログラマブルなI/Oピン

1個のプログラマブルなタイマー

概要

ADSP-21161N SHARC DSPは、アナログ・デバイゼスのスーパー・ハーバード・アーキテクチャを基盤とするADSP-21160で最初の低価格派生商品です。移植性に優れたADSP-21161Nは、ADSP-21160と互換のソース・コードであり、SISD (単一命令単一データ処理) 方式のADSP-2106x SHARCの第一世代に属します。他のSHARCと同様、ADSP-21161Nも高性能DSPアプリケーションに最適な32ビット・プロセッサです。このプロセッサには、100MHzコア、デュアル・ポート内部SRAM、マルチプロセッシングをサポートする統合I/Oプロセッサ、およびI/Oボトルネックを防ぐ複数の内部バスが含まれています。

ADSP-21161Nは、SIMD（単一命令複数データ処理）アーキテクチャを提供します。このアーキテクチャはADSP-21160で最初に提供されました。ADSP-21161Nでは、2つの計算ユニット（ADSP-2106x SHARCがその1つをサポート）を使い、ある特定領域のDSPアルゴリズムに基づいてADSP-2106xの2倍のサイクル性能を実現できます。

ADSP-21161Nは、最先端の高速・低消費電力CMOSプロセスで製造され、10nsの命令サイクル時間を実現しています。本プロセッサは、100MHzで作動するSIMD計算ハードウェアにより、毎秒6億回の数値演算を実行できます。表1は、ADSP-21161Nの性能ベンチマークを示しています。

表1. 100MHzでのベンチマーク

ベンチマーク・アルゴリズム	100MHzでの速度
1024ポイント・コンプレックスFFT (基数4、反転) ¹	92μs
FIRフィルタ (タップ当たり) ¹	5ns
IIRフィルタ (biquad当たり) ¹	20ns
行列乗算 (パイプライン)	45ns
[3×3] × [3×1]	80ns
[4×4] × [4×1]	
除算 (y/x)	30ns
逆平方根	45ns
DMA転送	800MByte/s

¹ マルチチャンネルSIMD方式で2つのフィルタを使用します。

ADSP-21161Nは、統合的な内部システム機能と高性能32ビットのDSPコアが結合されており、従来どおりSHARCをDSP統合における業界標準としています。これらの機能は、1Mbitのデュアル・ポートSRAMメモリ、ホスト・プロセッサ・インターフェース、14CHのDMAチャンネルをサポートするI/Oプロセッサ、4個のシリアル・ポート、2個のリンク・ポート、SDRAMコントローラ、SPIインターフェース、外部パラレル・バス、およびグルーレスなマルチプロセッシングを含んでいます。

4ページにあるADSP-21161Nのブロック図には、次のアーキテクチャ機能が示されています。

- ・ 2つの処理部。これらはそれぞれALU、マルチプライヤ、シフタ、およびデータ・レジスタ・ファイルから構成されています。
- ・ データ・アドレス・ジェネレータ (DAG1、DAG2)
- ・ 命令キャッシュ付きのプログラム・シーケンサ
- ・ メモリおよびコア間でプロセッサ・コア・サイクルごとに4つの32ビット・データ転送をサポートできるPAバスおよびDMバス
- ・ インターバル・タイマー
- ・ 内部SRAM (1Mbit)
- ・ SDRAMとグルーレスに接続するためのSDRAMコントローラ

・ 下記をサポートする外部ポート：

- ・ 外部メモリ・ペリフェラルとの接続
- ・ 6個のADSP-21161N SHARCのグルーレスなマルチプロセッシング
- ・ IOPレジスタのホスト・ポート読み出し/書き込み
- ・ DMAコントローラ
- ・ 4個のシリアル・ポート
- ・ 2個のリンク・ポート
- ・ SPI互換のインターフェース
- ・ JTAGテスト・アクセス・ポート
- ・ 12本の汎用I/Oピン

図1は、代表的なシングル・プロセッサ・システムを示しています。マルチプロセッシング・システムについては、8ページの図4を参照して下さい。

ADSP-21161Nファミリーの コア・アーキテクチャ

ADSP-21161Nに含まれる、ADSP-2116xファミリー・コアのアーキテクチャ機能を下記に示します。本プロセッサは、アセンブリ・レベルでADSP-21160、ADSP-21060、ADSP-21061、ADSP-21062、およびADSP-21065Lと互換性があります。

SIMD計算エンジン

ADSP-21161Nには、SIMD（単一命令複数データ処理）エンジンとして動作する2つの計算処理部があります。この処理部はそれぞれPEX、PEYと呼ばれており、ALU、マルチプライヤ、シフタ、およびレジスタ・ファイルから構成されています。PEXは常にアクティブであり、PEYを有効にするにはMODE1レジスタのPEYENモード・ビットを設定します。このモードが有効になると、同じ命令が両方の処理部で実行されます。ただし、各処理部は、異なるデータを処理します。このアーキテクチャは、数値演算を集中的に行うDSPアルゴリズムに有効です。

SIMDモードに入ると、処理部とメモリ間のデータ転送方法にも影響を与えます。SIMDモードでは、処理部の計算動作を維持するために2倍のデータ帯域幅が必要となります。このため、SIMDモードになると、メモリと処理部間で使用される帯域幅も2倍になります。DAGを使ってSIMDモードでデータを転送するときは、レジスタ・ファイルまたはメモリへのアクセスごとに2つのデータ値が転送されます。

独立した並列計算ユニット

各処理部内には、計算ユニット・セットがあります。計算ユニットは、算術ロジック演算ユニット (ALU)、マルチプライヤ、およびシフタから構成されています。これらのユニットは、1サイクルによる命令を実行します。各処理部に含まれるこの3つのユニットは、計算スループットを最大化するために並列に配置されています。単一の多機能命令は、ALUおよびマルチプライヤの並列演算を実行します。SIMDモードでは、ALUとマルチプライヤの並列演算は両方の処理部内で発生します。これらの計算ユニットは、IEEEの32ビット単精度浮動小数点、40ビット拡張精度浮動小数点、および32ビット固定小数点データ・フォーマットをサポートします。

ADSP-21161N

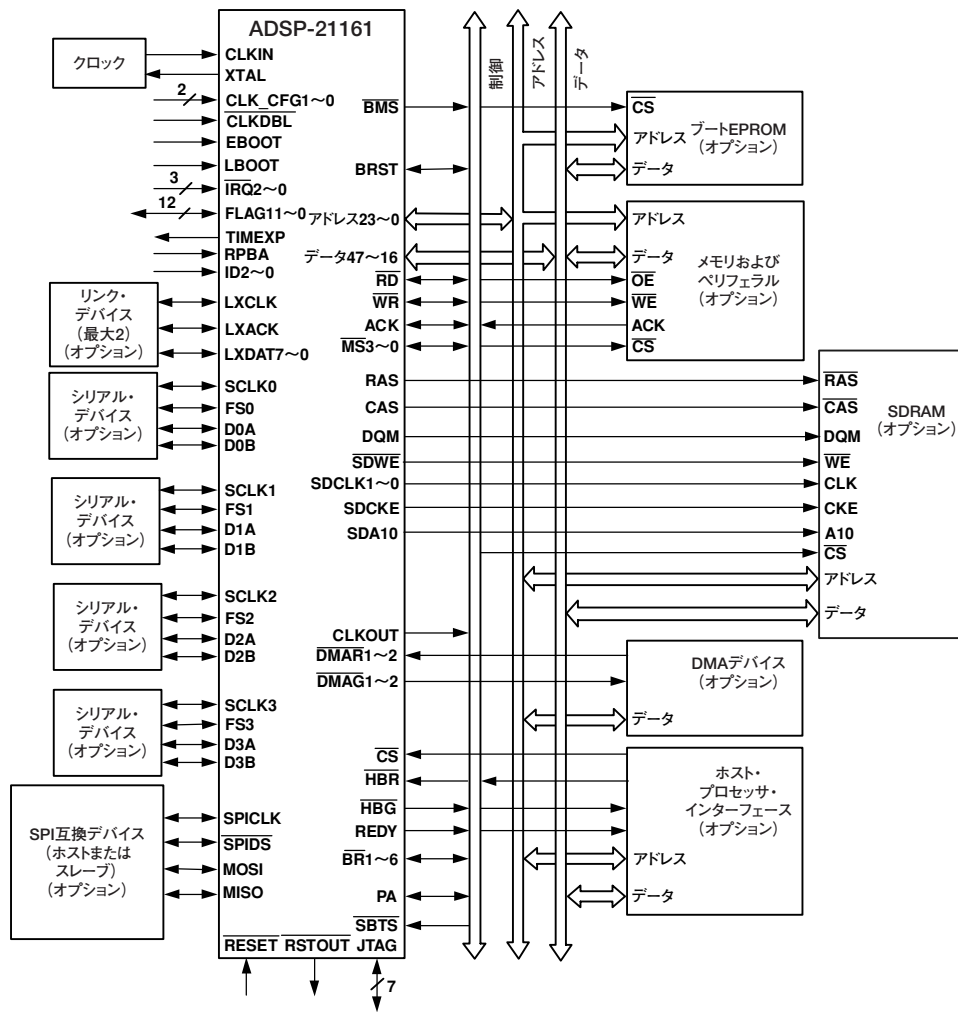


図1. システム

データ・レジスタ・ファイル

汎用データ・レジスタ・ファイルは、各処理部に含まれています。本レジスタ・ファイルは計算ユニットとデータ・バス間でデータを転送し、中間結果を保存します。これらの10ポート、32レジスタ（一次レジスタ×16、二次レジスタ×16）レジスタ・ファイルをADSP-2116x拡張ハーバード・アーキテクチャと結合することで、計算ユニットと内部メモリ間の無制約のデータ・フローが可能となります。PEX内のレジスタはR0～R15として、PEY内のレジスタはS0～S15として示されます。

命令と4つのオペランドの1サイクルによる読み出し

ADSP-21161Nは拡張ハーバード・アーキテクチャを特徴としており、ここではデータ・メモリ（DM）バスによってデータが転送され、プログラム・メモリ（PM）バスによって命令とデータの両方が転送されます（図1を参照）。ADSP-21161Nの個別のDMバスとPMバスおよび内部命令キャッシュにより、プロセッサは1サイクルで4つのオペランド（各データ・バスで2つのオペランド）と1つの命令（キャッシュにある）を同時に読み出すことができます。

命令キャッシュ

ADSP-21161Nは内部命令キャッシュを備えており、これによって1つの命令と4つのデータ値を読み出す3バス動作を実行できます。キャッシュは選択的であり、情報の読み出しでPMバスのデータ・アクセスと競合が生じる命令だけがキャッシュに格納されます。このキャッシュによって、コアのフルスピード実行、ループ演算（デジタル・フィルタ積和演算など）、およびFFTバタフライ処理が可能となります。

ハードウェア循環バッファを備えたデータ・アドレス・ジェネレータ

ADSP-21161Nの2つのデータ・アドレス・ジェネレータ（DAG）は、間接アドレス指定と、ハードウェアにおける循環データ・バッファの実現に使用されます。循環バッファを使用すれば、デジタル信号処理に必要な遅延ライン、およびその他のデータ構造の有効なプログラミングが可能となります。通常、本バッファはデジタル・フィルタおよびフーリエ変換に使用されます。ADSP-21161Nの2つのDAGは、最大32個の循環バッファ（16個の一次レジスタ・セットと16個の二次レジスタ・セット）を作成できるだけの十分なバッファを備えています。DAGは、アドレス・ポインタの巻き戻しを自動的に処理し、オーバーヘッドの低減、性能の向上、および実装の簡素化に寄与します。循環バッファは任意のメモリ位置で開始、終了することができます。

柔軟な命令セット

48ビットの命令語は、正確なプログラミングのために様々な並列動作に対応します。例えば、ADSP-21161Nの2つの処理部では、単一命令により条件付き実行で乗算、加算、および減算を実行することができます。

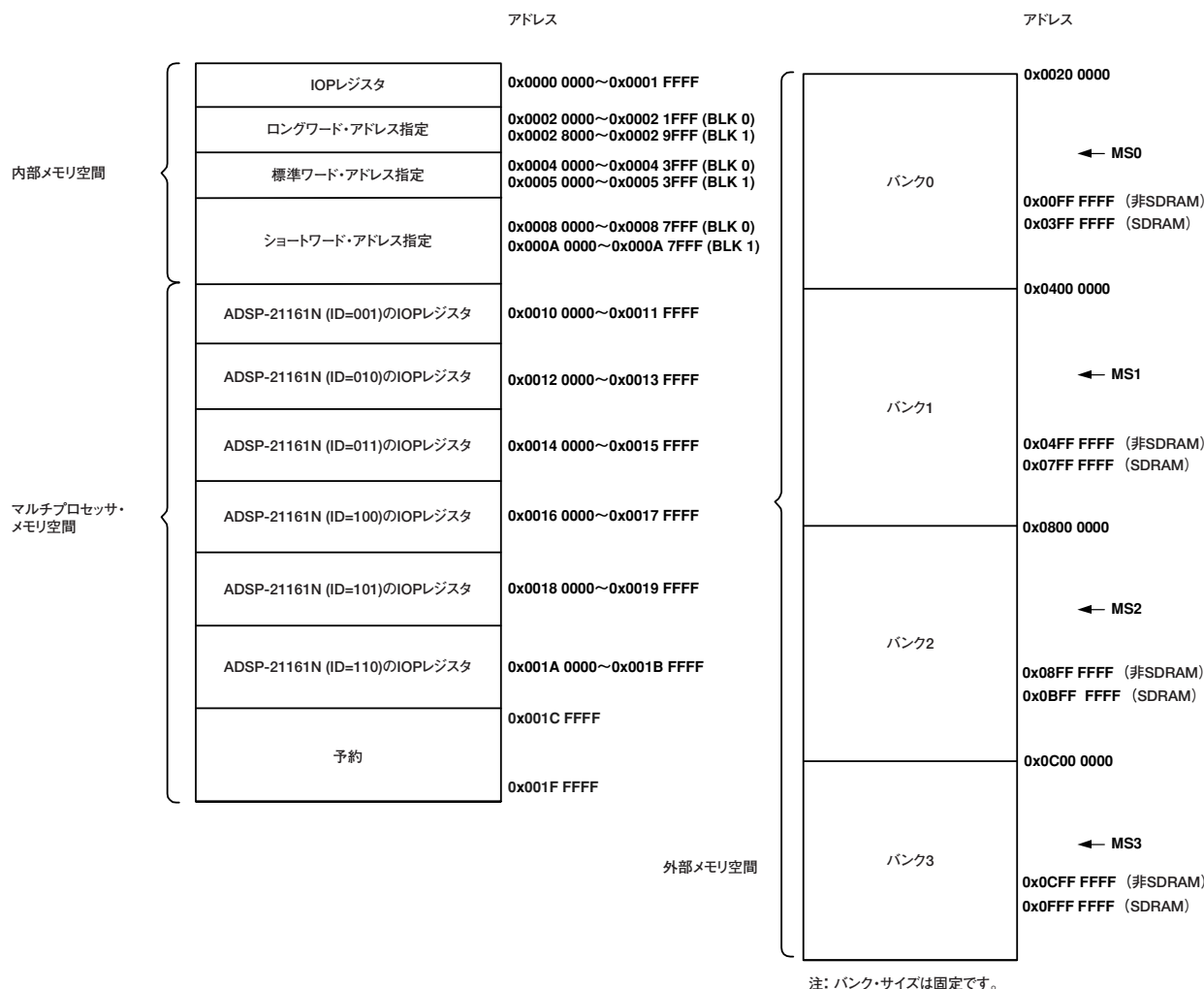
ADSP-21161NメモリおよびI/Oインターフェース機能

ADSP-21161Nは、ADSP-2116xファミリー・コアに次のアーキテクチャ機能が追加されています。

デュアル・ポート内部メモリ

ADSP-21161Nは、2つの0.5Mbitブロックとして編成された1Mbitの内部SRAMを含んでいます。各ブロックはコードおよびデータ格納域の各種組み合わせを別々に設定することができます。各メモリ・ブロックは、プロセッサ・コアおよびI/Oプロセッサによる個別の1サイクルによるアクセスのためにデュアル・ポート化されています。3つの個別の内部バスに連結されたデュアル・ポート・メモリにより、1サイクルで、コアか

らの2つのデータ転送とI/Oプロセッサからの1つのデータ転送が可能となります。ADSP-21161Nでは、メモリを最大32ビット・データの32キロワード、16ビット・データの64キロワード、または48ビット命令（または40ビット・データ）の21キロワードとして設定することができます。メモリはすべて、16ビット・ワード、32ビット・ワード、48ビット・ワード、または64ビット・ワードとしてアクセスできます。本プロセッサは、チップに格納できるデータの量を効果的に倍増できる16ビット浮動小数点の格納フォーマットをサポートしています。32ビット浮動小数点および16ビット浮動小数点のフォーマット変換は、単一命令で実行されます。各メモリ・ブロックにコードとデータの組み合わせを格納することはできませんが、転送用にDMバスを使用して、あるブロックにデータを格納し、転送用にPMバスを使用して別のブロックに命令とデータを格納すれば最も効率的なアクセスが可能となります。DMバスとPMバスをそれぞれ各メモリ・ブロックの専用バスとして使用すれば、1サイクルで2つのデータ転送が実行されます。この場合、キャッシュ内の命令を使用できなければなりません。



注: バンク・サイズは固定です。

図2. メモリ・マップ

ADSP-21161N

外部メモリおよびペリフェラル・インターフェース

ADSP-21161Nの外部ポートは、外部メモリおよびペリフェラルとのプロセッサ・インターフェースを提供します。62.7メガワード外部アドレス空間（すべてSDRAMの場合は254メガワード）は、ADSP-21161Nの統合アドレス空間に含まれます。個別の内部バス（PMアドレス、PMデータ、DMアドレス、DMデータ、I/Oアドレス、およびI/Oデータ用）は外部ポートで多重化されて、1本の24ビット・アドレス・バスと1本の32ビット・データ・バスを含む外部システム・バスとなります。外部メモリへのアクセスはすべて、32ビット・ワードを読み出すアドレスをベースにします。外部メモリから命令を読み出すときは、バックされた命令を得るために2つの32ビット・データにアクセスします。未使用のリンク・ポート・ラインは、追加のデータ・ラインDATA[0]~DATA[15]として使用することもできます。これにより、最大100MHzで外部メモリからの1サイクルによる命令の実行が可能となります。6ページの図3は、外部メモリへの各アクセスのアライメントを示しています。

外部ポートは非同期、同期、および同期バースト・アクセスをサポートします。同期バーストSRAMはグルーレスに接続できます。また、ADSP-21161NはSDRAMにもグルーレスに接続することができます。外部メモリデバイスのアドレス指定は、内蔵される上位アドレスのデコードによって生成されるメモリ・バンク・セレクト信号によって容易になります。ADSP-21161Nは、プログラマブルなメモリ・ウェイト・ステートおよび外部メモリ認識制御を提供します。これにより、アクセス時間、ホールド・タイム、ディセーブル時間などの条件が変わるメモリおよびペリフェラルとのインターフェースが可能となります。

SDRAMインターフェース

ADSP-21161Nは、SDRAMインターフェースにより、コア・クロック周波数またはその半分の周波数でSDRAMとデータを転送することができます。同期方式とコア・クロック周波数を使用すれば、高スループットのデータ転送（32ビット転送の場合は最高400MByte/s、48ビット転送の場合は600MByte/s）が保証されます。

SDRAMインターフェースは、標準SDRAM（16、64、128、256Mbit）とのグルーレスなインターフェースを提供し、ADSP-21161NおよびSDRAM間の追加バッファのサポート・オプションも提供します。このインターフェースは極めて柔軟であり、SDRAMをADSP-21161Nの外部メモリ・バンク×4（最高4つのバンクがSDRAMにマップされる）のどれに接続しても構いません。また、全てに接続することも可能です。

複数のSDRAMデバイスを並列に接続したシステムでは、システム全体のタイミング条件を満たすためにバッファリングが必要となります。ADSP-21161Nはそれ自身と複数のSDRAMデバイス間をバッファリングするために、アドレス信号と制御信号のパイプラインをサポートします。

ターゲット・ボードの

JTAGエミュレータ・コネクタ

アナログ・デバイセズDSPツール製品ラインのJTAGエミュレータは、エミュレーション中にADSP-21161NプロセッサのIEEE 1149.1 JTAGテスト・アクセス・ポートを使ってターゲット・ボード・プロセッサを監視、制御します。この製品は、フルプロセッサ速度でエミュレーションを提供し、メモリ、レジスタ、およびプロセッサ・スタックを検査、修正できるようにします。本プロセッサのJTAGインターフェースは、エミュレーションがターゲット・システムのローディングまたはタイミングに影響を及ぼしません。

SHARCアナログ・デバイセズDSPツール製品ラインのJTAGエミュレータ動作についての詳細は、『Emulator Hardware User's Guide』を参照して下さい。JTAGエミュレーション・ポートを備えたアナログ・デバイセズDSP製品とアナログ・デバイセズJTAGエミュレータとのインターフェースの詳細については、Engineer to Engineer Note EE-68の『アナログ・デバイセズJTAGエミュレーション技術リファレンス』を参照して下さい。これらのドキュメントは両方とも、下記のアナログ・デバイセズ社のWebサイトでご覧になれます。

http://www.analog.com/dsp/tech_docs.html

DMAコントローラ

ADSP-21161Nの内部DMAコントローラにより、プロセッサ介入なしに0オーバーヘッド・データ転送が可能となります。DMAコントローラはプロセッサ・コアからは独立して透過的に作動するので、コアがプログラムの命令を実行している最中にDMA動作を実行できます。DMA転送は、ADSP-21161Nの内部メモリと外部メモリ間、同内部メモリと外部ペリフェラル間、または同メモリとホスト・プロセッサ間で行われます。また、ADSP-21161Nの内部メモリとそのシリアル・ポート間、同メモリとリンク・ポート間、または同メモリとSPI互換の（シリアル・ペリフェラル・インターフェース）ポート間でも行われます。内部メモリ16、32、48、または64ビット・ワードの外部バス・パッキング／アンパッキングは、8、16、または32ビット幅の外部メモリからDMA転送が行われるときに実行されます。ADSP-21161Nでは、14チャンネルのDMAを使用できます。このうちの2チャンネルはSPIインターフェースとリンク・ポート間で共用され、8チャンネルはシリアル・ポートを介して、4チャンネルはプロセッサの外部ポート（ホスト・プロセッサ、その他のADSP-21161N、メモリ、またはI/O転送用）を介して使用します。プログラムは、DMA転送によりADSP-21161Nにダウンロードできます。非同期外部ペリフェラルは、DMAリクエスト／グラント・ライン（DMAR1~2、DMAG1~2）を使って2つのDMAチャンネルを制御できます。これ以外にも、DMA転送終了時の割り込み生成、DMA転送自動リンクのためのDMA連鎖といったDMA機能があります。

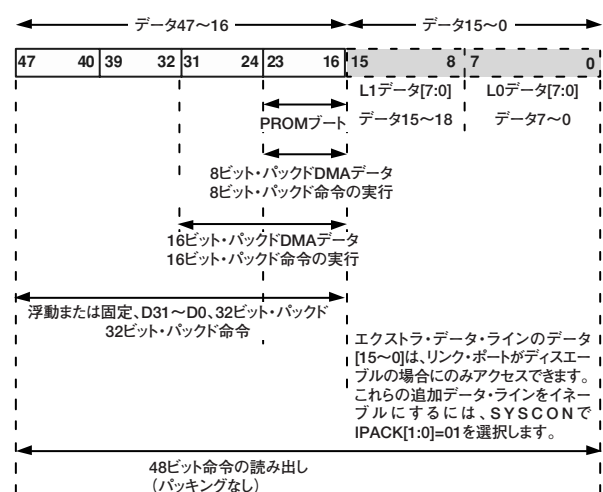


図3. 外部データ・アライメント・オプション

マルチプロセッシング

ADSP-21161Nは、マルチプロセッシングDSPシステムに適応した強力な機能を備えています。外部ポートとリンク・ポートは、統合的なグルーレス・マルチプロセッシング・サポートを提供します。

外部ポートは、各ADSP-21161Nの内部メモリ・マップト (I/O プロセッサ) レジスタのプロセッサ間で直接アクセスを可能にする、統合アドレス空間 (5ページの図2を参照) をサポートします。他の内部メモリに対しては、IOP DMA パラメータおよび制御レジスタのプログラミングによって開始されるDMA転送により間接的にアクセスできます。分散バスのアービトレーション・ロジックは、最大6個のADSP-21161Nおよび1個のホスト・プロセッサを含むシステムを単純かつグルーレスに接続するために内部に組み込まれています。マスター・プロセッサの切り替えについては、1サイクルのオーバーヘッドしか発生しません。バス・アービトレーションでは、優先度を固定するか、または循環するかを選択することができます。また、バス・ロックによりセマフォに対して個々に読み出し — 修正 — 書き込みシーケンスを行うことが可能となります。プロセッサ間コマンドに対しては、ベクトル割り込みが提供されます。プロセッサ間データ転送の最大スループットは、外部ポートで400MByte/sです。

2つのリンク・ポートは、第二のマルチプロセッシング通信方法を提供します。各リンク・ポートは、他のADSP-21161Nとの通信をサポートできます。100MHzで動作しているADSP-21161Nは、200MByte/sのリンクでプロセッサ間通信の最大スループットを得ます。リンク・ポートとクラスター・マルチプロセッシングは、個別かつ同時に使用できます。

リンク・ポート

ADSP-21161Nでは、追加のI/O機能を提供する2つの8ビット・リンク・ポートを使用できます。100MHzで動作可能な各リンク・ポートは100MByte/sをサポートできます。リンク・ポートI/Oは、特にマルチプロセッシング・システムにおけるポイントツーポイント・プロセッサ間通信に役立ちます。各リンク・ポートは独立して、かつ同時に使用でき、200MByte/sの最大データ・スループットが保証されます。リンク・ポート・データは、48または32ビット・ワードにパックされ、それをプロセッサ・コアから直接読み出すことや、または内部メモリにDMA転送することができます。各リンク・ポートは、専用の入/出力ダブル・バッファ・レジスタを備えています。リンク・ポート転送は、クロック/応答信号のハンドシェーキングにより制御されます。転送は、送信または受信のいずれかにプログラムできます。

シリアル・ポート

ADSP-21161Nでは4つの同期シリアル・ポートを使用できます。これらのポートは、様々なデジタル/ミックスド・シグナル・ペリフェラル・デバイスに廉価なインターフェースを提供します。各シリアル・ポートは、2本のデータ・ライン、クロックおよびフレーム同期から構成されます。データ・ラインは、送信または受信のいずれかにプログラムできます。

シリアル・ポートは、コアのクロック速度の最大1/2の速さで動作し、それぞれ最大50Mbit/sのデータ速度をサポートします。シリアル・データ・ピンは送信器または受信器のいずれかとしてプログラムでき、柔軟性に優れたシリアル通信を保証します。シリアル・ポートのデータは、専用のDMAを介して、内部メモリと自動的に転送することができます。各シリアル・ポートでは、TDM (時分割多重) マルチチャンネル・モードを使用できます。このモードでは、2つのシリアル・ポートがTDMトランスミッタとなり、2つのシリアル・ポートがTDMレシーバとなります (1対はSPORT0 RXとSPORT2 TXで、もう1対はSPORT1 RXとSPORT3 TX)。各シリアル・ポートは、2本のデータ・ピンでI²Sプロトコル (オーディオ・コーデックADCおよびDACで一般的に使用される業界標準のインターフェース) もサポートしており、これによって1シリアル・ポートにつき4つのI²Sチャンネル (2つのI²Sステレオ装置を使用) が可

能となり、最大16のI²Sチャンネルが使用可能となります。シリアル・ポートでは、リトル・エンディアンまたはビッグ・エンディアンの送信フォーマットを使用でき、ワード長は3ビット~32ビットの範囲から選択できます。I²Sモードの場合は、データ・ワード長を8ビット~32ビットの範囲から選択できます。シリアル・ポートは、選択可能な同期モードおよび転送モード、さらにオプションで μ -lawまたはA-law圧縮伸張を提供します。シリアル・ポートのクロックとフレーム同期信号は、内部または外部で生成できます。

シリアル・ペリフェラル (互換) インターフェース

シリアル・ペリフェラル・インターフェース (SPI) は業界標準の同期シリアル・リンクであり、これによってADSP-21161N SPI互換ポートは他のSPI互換ポートと通信することができます。SPIは、2本のデータ・ピン、1本のデバイス選択ピン、および1本のクロック・ピンから設定される4線式インターフェースです。これは全二重同期シリアル・インターフェースであり、マスター・モードとスレーブ・モードの両方をサポートします。SPIポートは、マスターまたはスレーブ・デバイスとして機能する最高4つの他のSPI互換デバイスと接続することにより、マルチマスター環境で動作できます。また、ADSP-21161N SPI互換のペリフェラル実装では、プログラマブルなポーレートおよびクロック位相/極性となっています。この互換ポートは、オープン・ドレイン・ドライバを使って複数のマスター設定をサポートし、データ競合を回避します。

ホスト・プロセッサ・インターフェース

ADSP-21161Nホスト・インターフェースにより、追加のハードウェアをほとんど使用せずに、標準の8、16、または32ビット・マイクロプロセッサ・バスに簡単に接続することができます。ホスト・インターフェースには、ADSP-21161Nの外部ポートを介してアクセスできます。ホスト・インターフェースにはDMAの4つのチャンネルを使用でき、コード/データの転送は少ないソフトウェア・オーバーヘッドで実行できます。ホスト・プロセッサは、ホスト・バス・リクエスト (HBR)、ホスト・バス・グラント (HBG)、およびレディ (REDY) 信号でADSP-21161Nの外部バスに要求を出します。ホストはADSP-21161Nの内部IOPレジスタを直接読み書きでき、またDMAチャンネル設定およびメッセージ・レジスタにアクセスできます。ホストを介したDMA設定により、DMA転送で任意の内部メモリ・アドレスにアクセスすることが可能となります。また、ベクトル割り込みのサポートにより、ホスト・コマンドを効率的に実行できます。

汎用I/Oポート

ADSP-21161Nは、入力または出力のいずれかとして機能する12本のプログラマブルな汎用I/Oピンも備えています。出力ピンとしてはペリフェラル・デバイスに信号を送出することができ、入力ピンとしては条件分岐のためのテストに利用が可能です。

プログラムのブート

ADSP-21161Nの内部メモリは、8ビットEPROM、ホスト・プロセッサ、SPIインターフェース、またはリンク・ポートの1つから要求されるシステム・パワーアップ時に、ブートすることができます。ブート・ソースの選択は、ブート・メモリ選択 (BMS)、EPROMブート (EBOOT)、およびリンク/ホスト・ブート (LBOOT) ピンで制御されます。ホストブートには、8、16、または32ビット・ホスト・プロセッサを使用することもできます。

ADSP-21161N

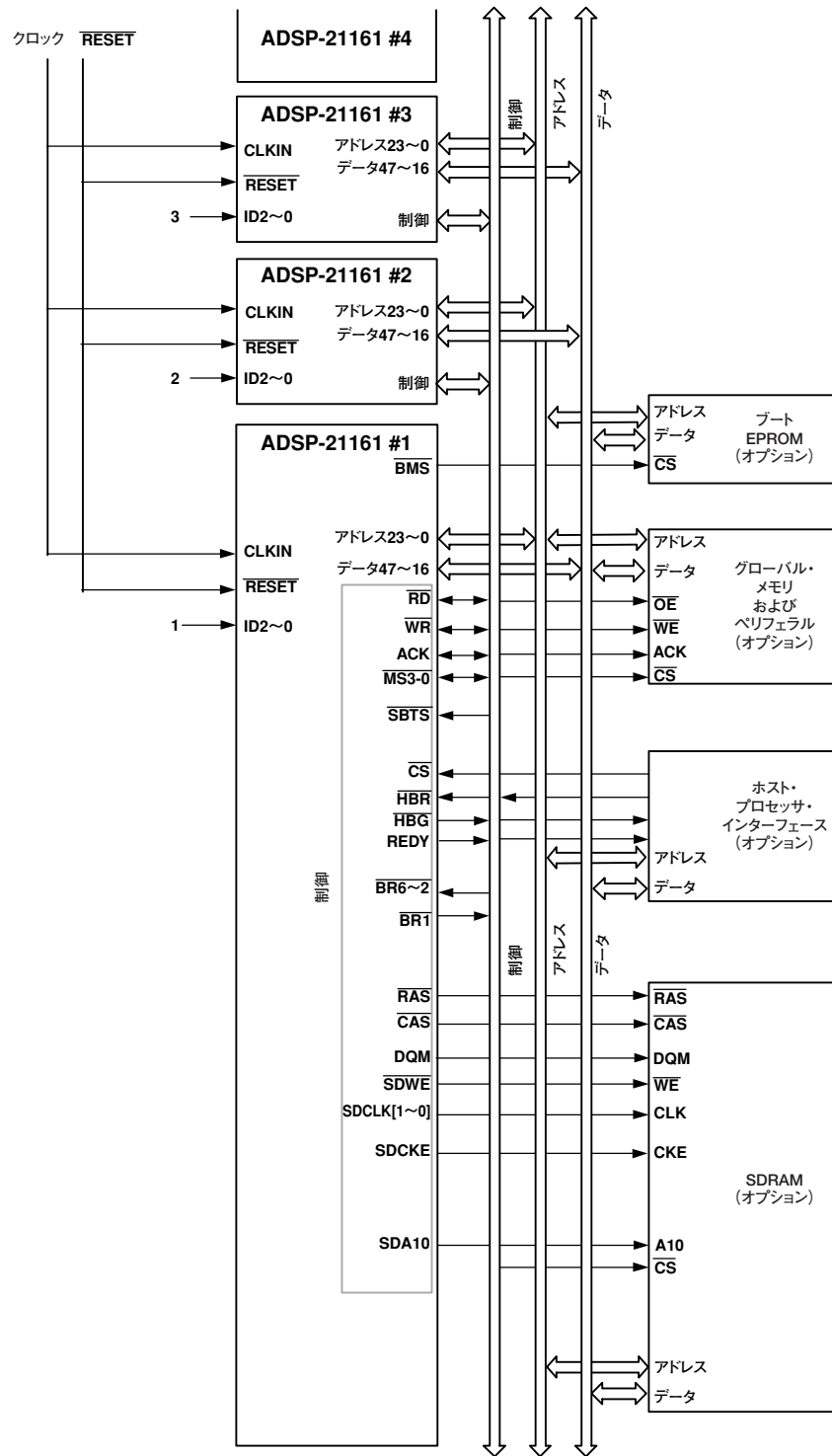


図4. 共有メモリ・マルチプロセッシング・システム

位相ロック・ループおよび水晶発振ダブル・イネーブル

ADSP-21161Nは、内部のPLLを使ってコアの内部クロックを生成します。CLK_CFG[1:0]ピンは、2:1、3:1、および4:1という倍率を選択するのに使用されます。このPLL比以外に、CLKDBLピンを使ってクロック比を選択することもできます。PLL入力クロック・レートと外部同期ポートの動作レートは、CLKDBLピンで設定された $(1 \times 2 \times \text{CLKIN})$ レートによって決まります。CLK_CFG[1:0]とCLKDBLを組み合わせたこと

で、コアとCLKIN間では2:1、3:1、4:1、6:1、8:1という倍率が選択できます。21ページの図10を参照して下さい。

電源

ADSP-21161Nは、内部電源 (V_{DDINT})、外部電源 (V_{DDEXT})、およびアナログ電源 ($AV_{DD}/AGND$) 用の個別の電源接続部があります。内部電源とアナログ電源は1.8Vの条件を、また外部電源は3.3Vの条件を満たしていなければなりません。外部電源ピンはすべて、同じ電源に接続する必要があります。

アナログ電源 (AV_{DD}) は、ADSP-21161Nのクロック生成器PLLに電力を供給します。安定したクロックを生成するには、 AV_{DD} ピンへの電源入力をフィルタする外部回路が必要となります。フィルタは当該ピンに可能な限り近づけて配置します。回路の例については、図5を参照して下さい。ノイズ・カップリングを防ぐには、アナログ・グランド (AGND) 信号を太く配線して、デカップリング・コンデンサを可能な限り当該ピンの近くに配置します。

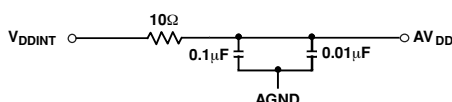


図5. アナログ電源 (AV_{DD}) フィルタ回路

開発ツール

ADSP-21161Nは、アナログ・デバイスズのエミュレータおよびVisualDSP++¹開発環境を含むソフトウェア&ハードウェア開発ツール・セットでサポートされています。他のADSP-21xxxDSPをサポートする同じエミュレータ・ハードウェアは、ADSP-21161Nも完全にエミュレートします。

プログラマは、VisualDSP++プロジェクト管理環境でアプリケーションの開発およびデバッグを行うことができます。この環境には、代数表記に基づいた使い易いアセンブラ、アーカイバ (ライブラリアン/ライブラリ・ビルダー)、リンカー、ローダー、命令レベルのシミュレータ、C/C++コンパイラ、それにDSPおよび数学関数を含むC/C++ランタイム・ライブラリが含まれます。これらのツールには、次に述べる2つの重要な点があります。

- ・ コンパイルされたADSP-21161N C/C++コードの効率性 — C/C++コードをADSP-21161Nアセンブリに効率的に変換するためのコンパイラが開発されています。DSPは、コンパイルされたC/C++コードの効率が改善されるアーキテクチャを採用しています。
- ・ ADSP-2106xファミリー・コードの互換性 — アセンブラは、既存のADSP-2106xアプリケーションをADSP-21161Nに簡単に交換できる従来の機能を備えています。

C/C++とアセンブリ・プログラムの両方をVisualDSP++デバッガでデバッグする際に、プログラマは以下の操作を実行できます。

- ・ 混合したC/C++とアセンブリ・コード (インターリーブしたソースおよびオブジェクト情報) を表示する。
- ・ ブレークポイントを挿入する。
- ・ レジスタ、メモリ、およびスタックに条件付きブレークポイントを設定する。
- ・ 命令実行を追跡する。
- ・ プログラム実行のリニア/統計プロファイリングを行う。
- ・ メモリ内容のフィル、ダンプ、およびグラフィカルなプロットを行う。
- ・ ソース・レベルのデバッグを行う。
- ・ カスタム・デバッグ・ウィンドウを作成する。

プログラマはVisualDSP++を使ってDSPソフトウェアの開発を定義、管理することができ、そのダイアログ・ボックスと当該ページから、VisualDSP++エディタの構文強調表示機能を含むすべてのADSP-21xxx開発ツールを設定、管理することができます。このエディタには次の機能があります。

- ・ 開発ツールによる入力処理と出力生成の方法を制御する。
- ・ ツールのコマンド・ライン・スイッチとの1対1の対応を維持する。

アナログ・デバイスズのDSPエミュレータは、エミュレーション中にADSP-21161NプロセッサのIEEE 1149.1 JTAGテスト・アクセス・ポートを使ってターゲット・ボード・プロセッサを監視、制御します。本エミュレータはフルスピード・エミュレーションが可能で、メモリ、レジスタ、およびプロセッサ・スタックの検査、修正を行うことができます。プロセッサのJTAGインターフェースが使用されるため、中断を伴わないインサーキット・エミュレーションが保証され、ターゲット・システムのローディングやタイミングはエミュレータの影響を受けません。

アナログ・デバイスズのソフトウェア/ハードウェア開発ツール以外にも、サード・パーティがADSP-21xxxプロセッサ・ファミリーをサポートする様々なツール提供しています。ハードウェア・ツールにはADSP-21xxx PCプラグイン・カードなどがあり、またソフトウェア・ツールとしてはDSPライブラリ、リアルタイム・オペレーティング・システム、ブロック図設計ツールなどがあります。

エミュレータ互換DSPボード (ターゲット) の設計

アナログ・デバイスズDSPツール・ファミリーのエミュレータは、ハードウェア/ソフトウェア・システムのテストとデバッグを行うために必要なDSP開発者向けのツールです。アナログ・デバイスズは、各JTAG DSP上でIEEE 1149.1 JTAGテスト・アクセス・ポート (TAP) を提供しています。エミュレータはTAPを使ってDSPの内部機能にアクセスでき、開発者はコードのローディング、ブレークポイントの設定、変数の監視、メモリの監視、およびレジスタの検査を行うことができます。データとコマンドを送信する場合はDSPを停止する必要がありますが、エミュレータで処理が完了すると、DSPシステムはシステムのタイミングに影響を与えずにフルスピードで作動します。

これらのエミュレータを使用する場合、ターゲットの設計では、カスタムDSPターゲット・ボード上のエミュレーション・ヘッダーとアナログ・デバイスズJTAG DSP間にインターフェースを設ける必要があります。

ターゲット・ボード・ヘッダー

アナログ・デバイスズJTAG DSPとのエミュレータ・インターフェースは、図6に示されているように14ピンのヘッダーです。カスタマは、エミュレータとの通信のためにターゲット・ボードにこのヘッダーを用いる必要があります。インターフェースは標準の2列ポスト・ヘッダー (0.025インチ平方) からなり、0.1×0.1インチ間隔で設定し最小ポスト長を0.235インチとします。ピン3は、ポッドの逆方向挿入を防ぐためのキー・ポジションとなります。このピンは、ターゲット・ボード上で切り取られていなければなりません。

また、ヘッダー周りの余裕 (長さ、幅、高さ) も考慮する必要があります。ヘッダーの縦と横の周囲に少なくとも0.15インチと0.10インチの余裕を設け、ポッド・コネクタを着脱するための高さ方向に余裕を確保します。

¹ VisualDSP++はアナログ・デバイスズの登録商標です。

ADSP-21161N

図6からも分かるように、ヘッダーには2つの信号セットがあります。標準JTAG信号TMS、TCK、TDI、TDO、 $\overline{\text{TRST}}$ 、およびEMUは、エミュレーションのために（エミュレータを介して）使用されます。また、必要であれば二次的なJTAG信号BTMS、BTCK、BTDI、およびBTRSTをボード・レベル（境界スキャン）のテストに使用できます。

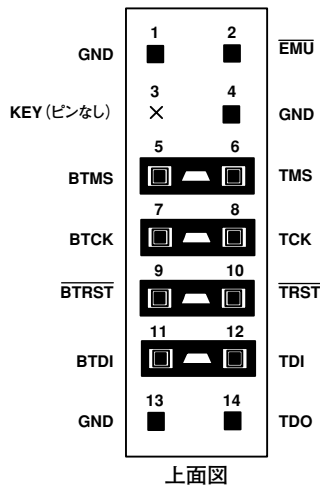


図6. JTAG装備アナログ・デバイスDSPのJTAGターゲット・ボード・コネクタ（ジャンパを設定）

エミュレータがこのヘッダーに接続されていないときは、図7のようにBTMS、BTCK、 $\overline{\text{BTRST}}$ 、およびBTDIにジャンパを短絡します。この設定でJTAG信号を適正な状態に維持し、DSPを自由に動作できるようにします。エミュレータをJTAGヘッダーに接続するときは、ジャンパをすべて外してください。

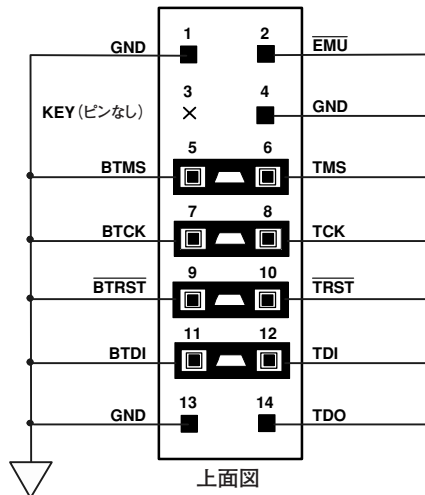


図7. ローカル境界スキャンなしのJTAGターゲット・ボード・コネクタ

JTAGエミュレータ・ポッド・コネクタ

図8は、14ピン・ターゲット・エンドのJTAGポッド・コネクタの寸法を詳しく示したものです。図9は、ターゲット・ボード・ヘッダーのキープアウト領域（空きの寸法）を示しています。空きを設けることで、ポッド・コネクタをターゲット・ボード・ヘッダーに適正に装着することができます。このボード領域に素子（チップ、レジスタ、コンデンサ等）が含まれて

いてはなりません。寸法は、0.25インチ平方のピンの中心を基準にしています。

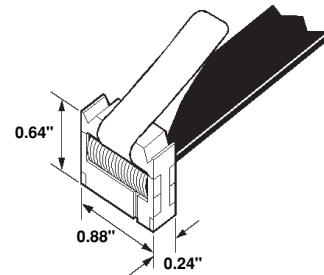


図8. JTAGポッド・コネクタの寸法（単位はインチ）

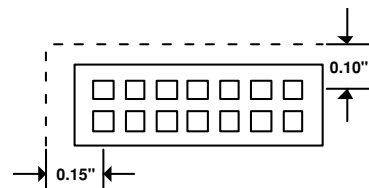


図9. JTAGポッド・コネクタの空きスペース

エミュレーション回路の設計情報

シングル・プロセッサ接続、マルチプロセッサ・スキャン・チェーン、信号バッファリング、信号終端、エミュレータ・ポッド・ロジックを含む、ターゲット・ボードの設計事項の詳細については、アナログ・デバイスのWebサイト「EE-68: Analog Devices JTAG Emulation Technical Reference」を参照して下さい — www.analog.comで“EE-68”で検索できます。このドキュメントは、エミュレータ・サポートの改善に伴って定期的に更新されています。

追加情報

本データ・シートは、ADSP-21161Nのアーキテクチャおよび機能の概要を提供します。ADSP-2116xファミリーのコア・アーキテクチャおよび命令セットの詳細については、『ADSP-21161N SHARC DSP Hardware Reference』および『21160 SHARC DSP Instruction Set Reference』を参照して下さい。

ピン機能の説明

ADSP-21161Nについて説明します。同期（S）として示される入力、CLKINに関するタイミング条件（TMSとTDIの場合はTCKに関する条件）を満たしていなければなりません。非同期（A）として示される入力、CLKINに（ $\overline{\text{TRST}}$ の場合はTCKに）非同期でアサートできます。下記を除き、未使用の入力は V_{DDEXT} またはGNDにつながります。

- ・ ADDR23~0、DATA47~0、BRST、CLKOUT（注：これらのピンは、ID2~0 = 00xのADSP-21161N DSPでロジックレベル・ホールド回路を有効にします。）
- ・ $\overline{\text{PA}}$ 、ACK、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{DMARx}}$ 、 $\overline{\text{DMAGx}}$ 、(ID2~0 = 00x)（注：これらのピンは、ID2~0 = 00xのADSP-21161N DSPでプルアップを有効にします。）
- ・ LxCLK、LxACK、LxDAT7~0 (LxPDRDE = 0)（注：『ADSP-21161N SHARC DSP Hardware Reference』のリンク・ポート・バッファ制御レジスタ・ビットの説明を参照してください。）
- ・ DxA、DxB、SCLKx、SPICLK、MISO、MOSI、 $\overline{\text{EMU}}$ 、TMS、 $\overline{\text{TRST}}$ 、TDI（注：これらのピンはプルアップがあります。）

次の記号は、表2の「タイプ」の欄に記載されます。A=非同期、G=グラウンド、I=入力、O=出力、P=電源、S=同期、(A/D)=アクティブ・ドライブ、(O/D)=オープン・ドレイン、T=スリーステート (SBTSがアサートされる時、またはADSP-21161Nがバス・スレープの時)。

以前のSHARCプロセッサとは異なり、ADSP-21161Nはすべての入/出力ドライバ (CLKINおよびXTALピンを除く) に50Ωに相当する内部直列抵抗を備えています。

したがって、6インチより長いトレースの場合、ポイントツーポイント接続の伝送線路効果による影響を弱めるために制御ピン、データ・ピン、クロック・ピン、またはフレーム同期ピンに外部直列抵抗を使用する必要はありません。ただし、スター構成のような、より複雑なネットワークの場合には直列終端との方が望ましいでしょう。

表2. ピンの説明

ピン	タイプ	機能
ADDR23~0	I/O/T	外部バス・アドレス。 ADSP-21161Nは、これらのピンで外部メモリおよびペリフェラルのアドレスを出力します。マルチプロセッサ・システムでは、バス・マスターが他のADSP-21161NのIOPレジスタを読み書きするためのアドレスを出力しますが、他の内部メモリ・ソースにはDMA制御によって間接的にアクセスできます (すなわち、IOP DMAパラメータ・レジスタにアクセスします)。ADSP-21161Nは、ホスト・プロセッサまたはマルチプロセッシング・バス・マスターがそのIOPレジスタの読み出しまたは書き込みを行うときにアドレスを入力します。DSPのADDR23~0ピンのキーパー・ラッチは、入力を最後に行った駆動レベルで保持します。このラッチは、ID2~0 = 00xのADSP-21161Nでのみ有効となります。
DATA 47~16	I/O/T	外部バス・データ。 ADSP-21161Nは、これらのピンでデータと情報の入/出力を行います。未使用データ・ピンのプルアップ抵抗は不要です。DSPのDATA47~16ピンは、入力を最後に行った駆動レベルで保持します。このラッチは、ID2~0 = 00xのADSP-21161Nでのみ有効となります。 注: DATA[15:8]ピン (L1DATA[7:0]で多重化される) は、リンク・ポートが無効で使用されない場合にデータ・バスの拡張用として使用することもできます。また、DATA[7:0]ピン (LODATA[7:0]で多重化される) は、リンク・ポートが使用されていない場合にデータ・バスの拡張用として使用することができます。これによって、外部SBSRAM (システム・クロック速度 — 外部ポート)、SRAM (システム・クロック速度 — 外部ポート)、およびSDRAM (コア・クロックまたはコア・クロック速度の1/2) から48ビット命令を実行することが可能となります。この命令幅のバス/パッキングなしモードの動作を有効にするには、SYSCONのIPACKx命令パッキング・モード・ビットを適正に設定する (IPACK1~0 = 0x1) 必要があります。
$\overline{MS}3\sim0$	I/O/T	メモリ選択ライン。 これらの出力は、外部メモリの当該バンクのチップ・セレクトとしてアサート (low) されます。メモリ・バンクのサイズは、非SDRAMの場合は16メガワードに、SDRAMの場合は64メガワードに固定されます。 $\overline{MS}3\sim0$ 出力は、メモリ・アドレスのデコード出力です。非同期アクセス・モードの場合、 $\overline{MS}3\sim0$ は他のアドレス出力と同時に遷移します。同期アクセス・モードでは、 $\overline{MS}3\sim0$ 出力は他のアドレス・ラインでアサートします。ただし、これらはACKがサンプリングされる最初のCLKINサイクルがアサートした後にディアサートします。マルチプロセッサ・システムでは、 $\overline{MS}x$ 信号はスレープSHARCによって追跡されます。内部アドレス24と26は0であり、26と27は $\overline{MS}3\sim0$ にデコードされます。
\overline{RD}	I/O/T	メモリ・リード・ストロブ。 \overline{RD} は、ADSP-21161Nが外部メモリから、または他のADSP-21161NのIOPレジスタからワードを読み出すときに常にアサートされます。ADSP-21161N IOPレジスタ・メモリからワードを読み出す場合は、外部デバイス (他のADSP-21161Nを含む) は \overline{RD} をアサートしなければなりません。マルチプロセッシング・システムでは、 \overline{RD} はバス・マスターによって駆動されます。 \overline{RD} は、ID2~0 = 00xのDSPで有効となる20kΩの内部プルアップ抵抗を備えています。
\overline{WR}	I/O/T	メモリ・ライト・ストロブ (Low)。 \overline{WR} は、ADSP-21161Nが外部メモリ、または他のADSP-21161NのIOPレジスタにワードを書き込むときにアサートされます。外部デバイスは、ADSP-21161NのIOPレジスタに書き込むために \overline{WR} をアサートする必要があります。マルチプロセッシング・システムでは、 \overline{WR} はバス・マスターによって駆動されます。 \overline{WR} は、ID2~0 = 00xのDSPで有効となる20kΩの内部プルアップ抵抗を備えています。

ADSP-21161N

表2. ピンの説明 (続き)

ピン	タイプ	機能
BRST	I/O/T	順次バースト・アクセス。 ADSP-21161Nは、連続したアドレスのデータが読み出されている、または書き込まれていることを示すためにBRSTをアサートします。スレーブ・デバイスは最初のアドレスをサンプリングし、転送終了ごとに内部アドレス・カウンタをインクリメントします。インクリメントされたアドレスは、バス上でパイプライン化されません。マルチプロセッサ環境のマスターADSP-21161Nは、バースト・プロトコルを使用してスレーブ外部ポート・バッファ (EPBx) を読み出すことができます。BRSTは、バースト転送の初期アクセス後にアサートされます。これはその後のサイクルごとにアサートされますが、最後のデータ要求サイクルにはアサートされません (\overline{RD} または \overline{WR} がアサートされ、BRSTがネゲートされる)。DSPのBRSTピンのキーパー・ラッチは、入力をその最後に行う駆動レベルで保持します。このラッチは、ID2~0 = 00xのADSP-21161Nでのみ有効となります。
ACK	I/O/S	メモリ・アクノレッジ。 外部デバイスは、外部メモリ・アクセスにウェイト・ステートを追加するためにACK (low) をディアサートすることができます。ACKはI/Oデバイス、メモリコントローラまたは他のペリフェラルが、外部メモリ・アクセスの完了を遅らせるために使用されます。ADSP-21161NはIOPレジスタの同期アクセスにウェイト・ステートを追加するためにディアサートします。ACKには、リセット中に、またはID2~0 = 00xのDSPで有効となる20kΩの内部プルアップ抵抗があります。
\overline{SBTS}	I/S	サスペンド・バスおよびスリーステート。 外部デバイスは、次のサイクルで外部バスのアドレス、データ、セレクト、およびストロープを高インピーダンス状態にするために \overline{SBTS} (low) をアサートできます。 \overline{SBTS} がアサートされている場合にADSP-21161Nが外部メモリにアクセスしようとする、プロセッサが停止して、メモリ・アクセスは \overline{SBTS} がディアサートされるまで未完了の状態となります。 \overline{SBTS} は、デッドロック状態のホスト・プロセッサ/ADSP-21161Nを回復する目的でのみ使用します。
\overline{CAS}	I/O/T	SDRAM列アクセス・ストロープ。 \overline{RAS} 、 \overline{MSx} 、 \overline{SDWE} 、SDCLKx、(場合によってはSDA10) とともに、SDRAMの実行動作を定義します。
\overline{RAS}	I/O/T	SDRAM行アクセス・ストロープ。 \overline{CAS} 、 \overline{MSx} 、 \overline{SDWE} 、SDCLKx、(場合によってはSDA10) とともに、SDRAMの実行動作を定義します。
\overline{SDWE}	I/O/T	SDRAMライト・イネーブル。 \overline{CAS} 、 \overline{RAS} 、 \overline{MSx} 、SDCLKx、(場合によってはSDA10) とともに、SDRAMの実行動作を定義します。
DQM	O/T	SDRAMデータ・マスク。 ライト・モードで、遅延ゼロのDMQはプリチャージ・コマンドの実行中やSDRAMパワーアップの初期設定中に使用されます。
SDCLK0	I/O/S/T	SDRAMクロック出力0。 SDRAMデバイスのクロックです。
SDCLK1	O/S/T	SDRAMクロック出力1。 SDRAMデバイスの追加クロック。複数のSDRAMデバイスを含むシステムの場合は、外部クロック・バッファの必要性をなくし、増大するクロック負荷条件に対処します。SDCLK1または両方のSDCLKxピンをスリーステートにすることができます。
SDCKE	I/O/T	SDRAMクロック・イネーブル。 CLK信号を有効または無効にします。詳細については、SDRAMデバイスに付属するデータ・シートを参照してください。
SDA10	O/T	SDRAM A10ピン。 非SDRAMアクセスまたはホスト・アクセスと同時にSDRAMをリフレッシュを行うことを可能にします。
\overline{IRQ} 2~0	I/A	割り込み要求ライン。 これらはCLKINの立ち上がりエッジでサンプリングされ、エッジ・トリガまたはレベル・センシティブとなります。
FLAG11~0	I/O/A	フラグ・ピン。 各ピンは、制御ピンを介して入力または出力として設定されます。入力の場合は条件としてテストでき、出力の場合は外部ペリフェラルへの信号送信用に使用できます。
TIMEXP	O	タイマー時間切れ。 タイマーが有効な場合にTCOUNTがゼロにディクリメントされると、4つのコア・クロック・サイクルのためにアサートされます。
\overline{HBR}	I/A	ホスト・バス・リクエスト。 ADSP-21161Nの外部バスの制御を要求するためにホスト・プロセッサがアサートします。マルチプロセッシング・システムで \overline{HBR} がアサートされると、バス・マスターのADSP-21161Nがバスを放棄して、 \overline{HBG} をアサートします。バスを放棄するために、ADSP-21161Nはアドレス、データ、セレクト、およびストロープ・ラインを高インピーダンス状態にします。マルチプロセッシング・システムの場合、 \overline{HBR} はどのADSP-21161Nバス・リクエスト (\overline{BR} 6~1) よりも優先されます。
\overline{HBG}	I/O	ホスト・バス・グラント。 \overline{HBR} バス・リクエストに肯定応答して、ホスト・プロセッサが外部バスを制御できることを示します。 \overline{HBG} は、 \overline{HBR} が解除されるまでADSP-21161Nによってアサートされます (lowのまま)。マルチプロセッシング・システムの場合、 \overline{HBG} はADSP-21161Nバス・マスターによって出力され、他のすべてのプロセッサによって監視されます。 \overline{HBR} がアサートされてから \overline{HBG} が与えられるまでの間、 \overline{HBG} は $1t_{CK}$ (1 CLKINサイクル) の間フロートされます。間違ったグラントを避けるために、 \overline{HBG} は20~50kΩの外部レジスタでプルアップします。

表2. ピンの説明 (続き)

ピン	タイプ	機能
\overline{CS}	I/A	チップ・セレクト。ADSP-21161Nを選択するためにホスト・プロセッサによってアサートされます。
REDY	O(O/D)	ホスト・バス・アクノレッジ。ADSP-21161Nは、 \overline{CS} および \overline{HBR} 入力のアサートされているときにそのIOPレジスタのホスト・アクセスにウェイト・ステートを追加するために、REDY (low) をアサートします。
$\overline{DMAR1}$	I/A	DMAリクエスト1 (DMAチャンネル11)。DMAサービスを要求するために、外部ポート・デバイスによってアサートされます。 $\overline{DMAR1}$ は、ID2~0 = 00xのDSPで有効となる20k Ω の内部プルアップ抵抗を備えています。
$\overline{DMAR2}$	I/A	DMAリクエスト2 (DMAチャンネル12)。DMAサービスを要求するために、外部ポート・デバイスによってアサートされます。 $\overline{DMAR2}$ は、ID2~0 = 00xのDSPで有効となる20k Ω の内部プルアップ抵抗を備えています。
$\overline{DMAG1}$	O/T	DMAグラント1 (DMAチャンネル11)。要求されたDMAが次のサイクルで起動することを示すために、ADSP-21161Nによってアサートされます。これはバス・マスターによってのみ駆動されます。 $\overline{DMAG1}$ は、ID2~0 = 00xのDSPで有効となる20k Ω の内部プルアップ抵抗を備えています。
$\overline{DMAG2}$	O/T	DMAグラント2 (DMAチャンネル12)。要求されたDMAが次のサイクルで起動することを示すために、ADSP-21161Nによってアサートされます。これはバス・マスターによってのみ駆動されます。 $\overline{DMAG2}$ は、ID2~0 = 00xのDSPで有効となる20k Ω の内部プルアップ抵抗を備えています。
$\overline{BR6-1}$	I/O/S	マルチプロセッシング・バス・リクエスト 。バス・マスター権の調停のためにマルチプロセッシングADSP-21161Nによって使用されます。ADSP-21161Nのみがそれ自身の \overline{BRx} ライン (ID2~0入力の値に対応) を駆動し、他のすべてを監視します。ADSP-21161Nが6個未満のマルチプロセッシング・システムでは、未使用の \overline{BRx} ピンをHighにプルします。プロセッサ自身の \overline{BRx} は、それが出力なのでHighまたはLowにプルしてはなりません。
BMSTR	O	バス・マスター出力 。マルチプロセッサ・システムで、ADSP-21161Nが外部共有バスの現在のバス・マスターかどうかを示します。ADSP-21161Nは、バス・マスターのときだけ、BMSTRをHighに駆動します。シングルプロセッサ・システム (ID = 000) では、そのプロセッサがこのピンをHighに駆動します。
ID2~0	I	マルチプロセッシングID 。どのマルチプロセッシング・バス・リクエスト ($\overline{BR1}$ ~ $\overline{BR6}$) がADSP-21161Nによって使用されているか判定します。ID = 001は $\overline{BR1}$ 、ID = 010は $\overline{BR2}$ に相当します (以下同様)。シングルプロセッサ・システムでは、ID = 000またはID = 001を使用します。これらのラインについては、システム設定の選択をハードワイヤ接続するか、またはリセットでのみ変更します。
RPBA	I/S	循環優先度バス・アービトレーション・セレクト 。RPBAがHighのときは、マイクロプロセッサ・バス・アービトレーションの循環優先度が選択されます。RPBAがLowのときは、固定優先度が選択されます。この信号はシステム設定の選択信号であり、すべてのADSP-21161Nで同じ値に設定する必要があります。システムの動作中にRPBAの値を変更した場合は、すべてのADSP-21161Nにおいて同じCLKINサイクルでそれを変更します。
\overline{PA}	I/O/T	優先度アクセス 。 \overline{PA} ピンをアサートすれば、ADSP-21161Nバス・スレーブはバックグラウンドDMA転送に割り込みをかけ、外部バスにアクセスすることができます。 \overline{PA} は、システム内のすべてのADSP-21161Nに接続されます。システムでアクセス優先度が必要ない場合は、 \overline{PA} ピンを未接続のままにします。 \overline{PA} は、ID2~0 = 00xのDSPで有効となる20k Ω の内部プルアップ抵抗を備えています。
DxA	I/O	データ送受信チャンネルA (シリアル・ポート0、1、2、3)。各DxAピンは、内部プルアップ抵抗を備えています。これは双方向データ・ピンです。この信号ピンはシリアル・データを送信する出力として設定するか、シリアル・データを受信する入力として設定します。
DxB	I/O	データ送受信チャンネルB (シリアル・ポート0、1、2、3)。各DxBピンは、内部プルアップ抵抗を備えています。これは双方向データ・ピンです。この信号ピンはシリアル・データを送信する出力として設定するか、シリアル・データを受信する入力として設定します。
SCLKx	I/O	送受信シリアル・クロック (シリアル・ポート0、1、2、3)。各SCLKピンは、内部プルアップ抵抗を備えています。この信号は、内部または外部で生成できます。
FSx	I/O	送受信フレーム同期 (シリアル・ポート0、1、2、3)。フレーム同期パルスは、シリアル・データのシフトを開始します。この信号は内部または外部で生成できます。シリアル・データのシフトとの関連により、アクティブHighまたはLow、あるいは早期フレーム同期または遅延フレーム同期になります。

ADSP-21161N

表2. ピンの説明 (続き)

ピン	タイプ	機能
SPICLK	I/O	シリアル・ペリフェラル・インターフェース・クロック信号。この信号はマスターによって駆動され、データの送信速度を制御します。マスターは様々なボーレートでデータを送信できます。SPICLKは、各送信ビットごとに1回のサイクルを行います。この信号は、送信ワードの長さだけ、データ送信中にアクティブになるゲーテッド・クロックです。スレーブ・デバイスは、スレーブ・セレクト入力为非アクティブ (High) に駆動されている場合、シリアル・クロックが無視されます。SPICLKは、MISOおよびMOSIラインで駆動されたデータをシフトイン、シフトアウトするために使用されます。データは、必ずクロックの1クロック・エッジでシフトアウトされ、クロックの反対エッジでサンプリングされます。データに関連するクロックの極性と位相はSPICLTL制御レジスタに書き込み可能であり、その送信フォーマットが定義されます。SPICLKは、内部プルアップ抵抗を備えています。
$\overline{\text{SPIDS}}$	I	シリアル・ペリフェラル・インターフェース・スレーブ・デバイス・セレクト。スレーブ・デバイスを有効にするためのアクティブLow信号。この入力信号はチップ・セレクトとして機能し、スレーブ・デバイスのマスターによって提供されます。マルチマスター・モードでは、 $\overline{\text{SPIDS}}$ 信号を特定のマスター・デバイスにアサートしてエラーが発生したことを通知することができます。当モードでは、そのときに他のデバイスもマスター・デバイスになろうとします。デバイスがマスター・モードのときにLowにアサートされると、マルチマスター・エラーとみなされます。FLAG3-0が使用される単一マスター複数スレーブ設定の場合は、このピンをマスター・デバイスのV _{DDEXT} にHighでつなげる必要があります。ADSP-21161NおよびADSP-21161NのSPI間では、マスターADSP-21161NのFLAG3~0の任意のピンを使ってADSP-21161N SPIスレーブ・デバイス上の $\overline{\text{SPIDS}}$ 信号を駆動できます。
MOSI	I/O (o/d)	SPIマスター出力スレーブ入力。 ADSP-21161Nがマスターとして設定されている場合は、MOSIピンがデータ送信 (出力) ピンとなって出力データを送信します。ADSP-21161Nがスレーブとして設定されている場合は、MOSIピンがデータ受信 (入力) ピンとなって入力データを受信します。ADSP-21161N SPIとの相互接続の場合は、データがマスターのMOSI出力ピンからシフトアウトされ、スレーブのMOSI入力ピンにシフトインされます。MOSIは内部プルアップ抵抗を備えています。
MISO	I/O (o/d)	SPIマスター入力スレーブ出力。 ADSP-21161Nがマスターとして設定されている場合は、MISOピンがデータ受信 (入力) ピンとなって入力データを受信します。ADSP-21161Nがスレーブとして設定されている場合は、MISOピンがデータ送信 (出力) ピンとなって出力データを送信します。ADSP-21161N SPIとの相互接続の場合は、データがスレーブのMISO出力ピンからシフトアウトされ、マスターのMISO入力ピンにシフトインされます。MISOは内部プルアップ抵抗を備えています。MISOは、SPICLTLレジスタのOPDビットを設定することでo/dとして設定できます。 注：特定の時間にデータ送信が許されるのは1個のスレーブのみです。
LxDAT7~0	I/O	リンク・ポート・データ (リンク・ポート0~1)。
[DATA15~0]	[I/O/T]	シリコン・リビジョン1.2以上の場合、各LxDATピンは、データ・ピンとして使用されるときに有効になるキーパー・ラッチを、あるいはLCTLレジスタのLxPDRDEビットによって有効化/無効化される20k Ω の内部プルダウン抵抗を備えています。 シリコン・リビジョン0.3、1.0、および1.1の場合、各LxDATピンは、LCTLレジスタのLxPDRDEビットによって有効化/無効化される50k Ω の内部プルダウン抵抗を備えています。 注：L1DATA[7:0]はDATA[15:8]ピンと多重化され、LODATA[7:0]はDATA[7:0]ピンと多重化されます。リンク・ポートが無効で未使用の場合は、これらのピンを追加データ・ラインとして用いることで、外部メモリから最大クロック速度までの速さで命令を実行することができます。詳細については、DATA47:16を参照してください。
LxCLK	I/O	リンク・ポート・クロック (リンク・ポート0~1)。各LxCLKピンは、LCTLレジスタのLxPDRDEビットによって有効化/無効化される50k Ω の内部プルダウン抵抗を備えています。
LxACK	I/O	リンク・ポート・アクノレッジ (リンク・ポート0~1)。各LxACKピンは、LCTLレジスタのLxPDRDEビットによって有効化/無効化される50k Ω の内部プルダウン抵抗を備えています。
EBOOT	I	EPROMブート・セレクト。 このピンの動作については、 $\overline{\text{BMS}}$ ピンの説明箇所に示されている表を参照してください。この信号はハードワイヤ接続を要するシステム設定選択信号です。
LBOOT	I	リンク・ブート。 このピンの動作については、 $\overline{\text{BMS}}$ ピンの説明箇所に示されている表を参照してください。この信号はハードワイヤ接続を要するシステム設定選択信号です。
$\overline{\text{BMS}}$	I/O/T	ブート・メモリ・セレクト。 EBOOTおよびLBOOTピンで選択されるのと同じ出力または入力として機能します (下記の表を参照)。この入力ハードワイヤ接続を要するシステム設定選択信号です。ホストおよびPROMのブートには、DMAチャンネル10 (EPB0) が使用されます。リンクのブートとSPIのブートには、DMAチャンネル8が使用されます。 EPROMブート・モードではスリーステートのみ可 ($\overline{\text{BMS}}$ が出力のとき)。

表2. ピンの説明 (続き)

ピン	タイプ	機能																																			
CLKIN	I	ローカル・クロック入力。XTALと共に使用します。CLKINはADSP-21161Nのクロック入力です。このピンでは、ADSP-21161Nで内部クロック生成器か外部クロック・ソースを使用するようにします。必要な部品をCLKINおよびXTALに接続することで、内部クロック生成器が有効になります。XTALを未接続にしたまま外部クロックをCLKINに接続すれば、ADSP-21161Nは外部クロック発振器などの外部クロック・ソースを使用できるようになります。ADSP-21161Nの外部ポートは、CLKINの周波数でサイクルします。命令サイクル・レートは、CLKIN周波数の通倍の値となります。これはパワーアップ時にCLK_CFG1~0ピンを介してプログラマブルになります。CLKINを停止、変更または規定の周波数にすることはできません。																																			
XTAL	O	水晶発振子または端子2。CLKINと共に使用して、ADSP-21161Nの内部クロック発振器を有効にするか、またはそれを無効にして外部クロック・ソースを使用します (CLKINを参照)。																																			
CLK_CFG1~0	I	コア/CLKIN比の制御。ADSP-21161Nコア・クロック (命令サイクル) レートは、 $n \times PLLCLK$ (ユーザーはCLK_CFG1~0入力を使い、2、3、4に対してnを選択できます) の値と同じです。これらのピンとCLKDBLピンを使用して、 $6 \times CLKIN$ および $8 \times CLKIN$ の追加のコア・クロック・レートを生成することもできます (CLKDBLに関する下記のクロック・レート比の表を参照)。																																			
CLKDBL	I	<p>水晶発振子通倍モード・イネーブル。このピンは、$2 \times$クロック2通倍回路を有効にします。この場合、CLKOUTに対してCLKINの通倍率$1 \times$または$2 \times$を設定できます。このCLKIN通倍回路は、主に内部クロック生成器およびXTALピンと連携して外部水晶発振子と併用する場合に利用されます。XTALピンおよび外部水晶発振子と連携して使用される内部クロック生成器は、外部の水晶発振周波数を最大25MHzまでサポートします。CLKDBLは、XTALモードで、PLLへの50MHz入力を生成することができます。$2 \times$クロック・モードを有効にするには (RESETがLowのとき)、CLKDBLをGNDに落とします。そうでない場合は、CLKDBLEとV_{DDEXT}が接続されて$1 \times$クロックモードが有効になります。例えば、CLK_CFG1 = '0'、CLK_CFG0 = '0'およびCLKDBL = '0'のときに、水晶発振周波数25MHzを使用して100MHzのコア・クロック・レートと50MHzのCLKOUT動作を有効にすることができます。このピンを使って、外部クロック発振器に対して異なるクロック・レート比を生成することもできます。CLKIN (外部クロック発振器) またはXTAL (水晶発振入力) のクロック・レート比のオプション値 (最大100MHzまで) は、次のようになります。</p> <p>クロック・レート比</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>CLKDBL</th> <th>CLK_CFG1</th> <th>CLK_CFG0</th> <th>コア : CLKIN</th> <th>CLKIN : CLKOUT</th> </tr> </thead> <tbody> <tr><td>1</td><td>0</td><td>0</td><td>2:1</td><td>1:1</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>3:1</td><td>1:1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>4:1</td><td>1:1</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>4:1</td><td>1:2</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>6:1</td><td>1:2</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>8:1</td><td>1:2</td></tr> </tbody> </table> <p>8:1の比では、水晶発振周波数12.5MHzを使用して100MHzコア (命令クロック) レートと25MHz CLKOUT (外部ポート) クロック・レートを生成できます。21ページの図10を参照してください。</p> <p>注：外部水晶発振子を使用するときは、最大水晶発振周波数が25MHzを超えることはできません。他の外部クロック・ソースの場合はすべて、CLKIN周波数が50MHzとなります。</p>	CLKDBL	CLK_CFG1	CLK_CFG0	コア : CLKIN	CLKIN : CLKOUT	1	0	0	2:1	1:1	1	0	1	3:1	1:1	1	1	0	4:1	1:1	0	0	0	4:1	1:2	0	0	1	6:1	1:2	0	1	0	8:1	1:2
CLKDBL	CLK_CFG1	CLK_CFG0	コア : CLKIN	CLKIN : CLKOUT																																	
1	0	0	2:1	1:1																																	
1	0	1	3:1	1:1																																	
1	1	0	4:1	1:1																																	
0	0	0	4:1	1:2																																	
0	0	1	6:1	1:2																																	
0	1	0	8:1	1:2																																	

ADSP-21161N

表2. ピンの説明 (続き)

ピン	タイプ	機能
CLKOUT	O/T	<p>ローカル・クロック出力。CLKOUTは、現在のバス・マスターによって1×または2× CLKIN周波数で駆動されます。周波数はCLKDBLピンで決まります。この出力は、ADSP-21161Nがバス・マスターではないとき、またはホストがバス (HBGがアサートされている) を制御するときにスリーステートになります。DSPのCLKOUTピンのキーパー・ラッチは、出力を最後に行った駆動レベルで保持します。このラッチは、ID2~0 = 00xのADSP-21161Nでのみ有効化されます。</p> <p>CLKDBLが有効の場合は、CLKOUT = 2×CLKIN CLKDBLが無効の場合は、CLKOUT = 1×CLKIN</p> <p>注：CLKOUTはCLKDBLピンでのみ制御され、1×CLKINまたは2×CLKINで動作します。マルチプロセッシング・システムでCLKOUTを使用してはなりません。その場合は、CLKINを使用してください。</p>
RESET	I/A	<p>プロセッサ・リセット。ADSP-21161Nを既知の状態にリセットし、ハードウェア・リセット・ベクトル・アドレスで指定されたプログラム・メモリ位置で実行を開始します。RESET入力は、パワーアップ時にアサート (Low) しなければなりません。</p>
RSTOUT ¹	O	<p>リセット出力。RSTOUTがアサート (Low) されると、このピンはコア・ブロックがリセット状態にあることを示します。RESETがディアサートされてPLLが安定してロックされていることが示された後に、RSTOUTが4096サイクルでディアサートされます。</p>
TCK	I	<p>テスト・クロック (JTAG)。JTAG境界スキャンのためのクロックを提供します。</p>
TMS	I/S	<p>テスト・モード・セレクト (JTAG)。テスト・ステート・マシンの制御に使用されます。TMSは、20kΩの内部プルアップ抵抗を備えています。</p>
TDI	I/S	<p>テスト・データ入力 (JTAG)。境界スキャン・ロジックのシリアル・データを提供します。TDIは、20kΩの内部プルアップ抵抗を備えています。</p>
TDO	O	<p>テスト・データ出力 (JTAG)。境界スキャン・パスのシリアル・スキャン出力。</p>
TRST	I/A	<p>テスト・リセット (JTAG)。テスト・ステート・マシンをリセットします。TRSTはパワーアップ後にアサートするか (パルスLow)、またはADSP-21161Nの適正動作のためにLowのままにします。TRSTは、20kΩの内部プルアップ抵抗を備えています。</p>
EMU	O (O/D)	<p>エミュレーション・ステータス。アナログ・デバイスADSP-21161N DSPツール製品ラインのJTAGエミュレータ・ターゲット・ボードのコネクタのみに接続してください。EMUは、内部プルアップ抵抗を備えています。</p>
V _{DDINT}	P	<p>コア電源。公称電圧+1.8V DCであり、DSPのプロセッサ・コアに供給します (14ピン)。</p>
V _{DDEXT}	P	<p>I/O電源。公称電圧+3.3V DC (13ピン)。</p>
AV _{DD}	P	<p>アナログ電源。公称電圧+1.8V DCであり、DSPの内部PLL (クロック生成器) に供給します。このピンは、追加フィルタ回路が必要である点を除けば、V_{DDINT}と同じ仕様です。8ページの電源の説明を参照してください。</p>
AGND	G	<p>アナログ電源リターン。</p>
GND	G	<p>電源リターン (26ピン)。</p>
NC		<p>接続なし。オープン状態で未接続のままにしておく予約ピン (5ピン)。</p>

¹ RSTOUTはシリコン・リビジョン1.2の場合にのみ存在します。

ブート・モード

表3. ブート・モードの選択

EBOOT	LBOOT	$\overline{\text{BMS}}$	ブート・モード
1	0	出力	EPROM ($\overline{\text{BMS}}$ をEPROMチップ・セレクトに接続します。)
0	0	1 (入力)	ホスト・プロセッサ
0	1	0 (入力)	SPIを介したシリアル・ブート
0	1	1 (入力)	リンク・ポート
0	0	0 (入力)	ブートなし。プロセッサは外部メモリから実行します。
1	1	x (入力)	予約

ADSP-21161N

仕様

推奨動作条件

パラメータ ¹	テスト条件	Cグレード		Kグレード		単位
		最小	最大	最小	最大	
V _{DDINT}	内部 (コア) 電源電圧	1.71	1.89	1.71	1.89	V
A _V DD	アナログ (PLL) 電源電圧	1.71	1.89	1.71	1.89	V
V _{DDEXT}	外部 (I/O) 電源電圧	3.13	3.47	3.13	3.47	V
V _{IH}	Highレベル入力電圧 ²	2.0	V _{DDEXT} + 0.5	2.0	V _{DDEXT} + 0.5	V
V _{IL}	Lowレベル入力電圧 ²	-0.5	0.8	-0.5	0.8	V
T _{CASE}	ケース動作温度 ³	-40	+105	0	+85	°C

¹ 仕様は予告なく変更する場合があります。

² 適用対象の入力ピンと双方向ピン: DATA47~16, ADDR23~0, MS3~0, RD, WR, ACK, SBTS, IRQ2~0, FLAG11~0, HBG, HBR, CS, DMAR1, DMAR2, BR6~1, ID2~0, RPBA, PA, BRST, FSx, DxA, DxB, SCLKx, RAS, CAS, SDWE, SDCLK0, LxDAT7~0, LxCLK, LxACK, SPICLK, MOSI, MISO, SPIDS, EBOOT, LBOOT, BMS, SDCKE, CLK_CFGx, CLKDBL, CLKIN, RESET, TRST, TCK, TMS, TDI。

³ 熱仕様については、55ページの「熱特性」を参照してください。

電気的特性

パラメータ ¹	テスト条件	最小	最大	単位	
V _{OH}	Highレベル出力電圧 ²	@V _{DDEXT} = 最小, I _{OH} = -2.0mA ³	2.4	V	
V _{OL}	Lowレベル出力電圧 ²	@V _{DDEXT} = 最小, I _{OL} = 4.0mA ³	0.4	V	
I _{IH}	Highレベル入力電流 ^{4,5}	@V _{DDEXT} = 最大, V _{IN} = V _{DDEXT} 最大	10	μA	
I _{IL}	Lowレベル入力電流 ⁴	@V _{DDEXT} = 最大, V _{IN} = 0V	10	μA	
I _{IHC}	CLKIN Highレベル入力電流 ⁶	@V _{DDEXT} = 最大, V _{IN} = V _{DDEXT} 最大	25	μA	
I _{ILC}	CLKIN Lowレベル入力電流 ⁶	@V _{DDEXT} = 最大, V _{IN} = 0V	25	μA	
I _{IKH}	キーパーによるHigh出力電流 ⁷	@V _{DDEXT} = 最大, V _{IN} = 2.0V	-250	-100	μA
I _{IKL}	キーパーによるLow出力電流 ⁷	@V _{DDEXT} = 最大, V _{IN} = 0.8V	50	200	μA
I _{IKH-OD}	キーパー出力をHighに駆動する電流 ^{7,8,9}	@V _{DDEXT} = 最大	-300	μA	
I _{IKL-OD}	キーパー出力をLowに駆動する電流 ^{7,8,9}	@V _{DDEXT} = 最大	300	μA	
I _{ILPU}	Lowレベル入力電流プルアップ ⁵	@V _{DDEXT} = 最大, V _{IN} = 0V	250	μA	
I _{OZH}	スリーステート・リーク電流 ^{10,11,12}	@V _{DDEXT} = 最大, V _{IN} = V _{DDEXT} 最大	10	μA	
I _{OZL}	スリーステート・リーク電流 ^{10,13,14}	@V _{DDEXT} = 最大, V _{IN} = 0V	10	μA	
I _{OZLPU1}	スリーステート・リーク電流プルアップ ¹¹	@V _{DDEXT} = 最大, V _{IN} = 0V	500	μA	
I _{OZLPU2}	スリーステート・リーク電流プルアップ ^{2,12}	@V _{DDEXT} = 最大, V _{IN} = 0V	250	μA	
I _{OZHDP1}	スリーステート・リーク電流プルダウン ¹³	@V _{DDEXT} = 最大, V _{IN} = V _{DDEXT} 最大	250	μA	
I _{OZHDP2}	スリーステート・リーク電流プルダウン ^{2,14}	@V _{DDEXT} = 最大, V _{IN} = V _{DDEXT} 最大	500	μA	
I _{DD-INPEAK}	電源電流 (内部) ^{15,16}	t _{CCLK} = 10.0ns, V _{DDINT} = 最大	900	mA	
I _{DD-INHIGH}	電源電流 (内部) ^{16,17}	t _{CCLK} = 10.0ns, V _{DDINT} = 最大	650	mA	
I _{DD-INLOW}	電源電流 (内部) ^{16,18}	t _{CCLK} = 10.0ns, V _{DDINT} = 最大	500	mA	
I _{DD-IDLE}	電源電流 (アイドル) ^{16,19}	t _{CCLK} = 10.0ns, V _{DDINT} = 最大	400	mA	
A _I DD	電源電流 (アナログ) ²⁰	@A _V DD = 最大	10	mA	
C _{IN}	入力容量 ^{21,22}	f _{IN} = 1MHz, T _{CASE} = 25°C, V _{IN} = 1.8V	4.7	pF	

¹ 仕様は予告なく変更する場合があります。

² 適用対象の出力ピンと双方向ピン: DATA47~16, ADDR23~0, MS3~0, RD, WR, ACK, DQM, FLAG11~0, HBG, REDY, DMAG1, DMAG2, BR6~1, BMSTR, PA, BRST, FSx, DxA, DxB, SCLKx, RAS, CAS, SDWE, SDA10, LxDAT7~0, LxCLK, LxACK, SPICLK, MOSI, MISO, BMS, SDCLKx, SDCKE, EMU, XTAL, TDO, CLKOUT, TIMEXP, RSTOUT。

³ 代表的なドライブ電流機能については、54ページの出力ドライブ電流を参照してください。

⁴ 適用対象の入力ピン: DATA47~16, ADDR23~0, MS3~0, SBTS, IRQ2~0, FLAG11~0, HBG, HBR, CS, BR6~1, ID2~0, RPBA, BRST, FSx, DxA, DxB, SCLKx, RAS, CAS, SDWE, SDCLK0, LxDAT7~0, LxCLK, LxACK, SPICLK, MOSI, MISO, SPIDS, EBOOT, LBOOT, BMS, SDCKE, CLK_CFGx, CLKDBL, TCK, RESET, CLKIN。

⁵ 20kΩプルアップを備えた適用対象の入力ピン: RD, WR, ACK, DMAR1, DMAR2, PA, TRST, TMS, TDI。

⁶ CLKINのみに適用されます。

⁷ キーパー・ラッチを備えたすべてのピンADDR23~0, DATA47~0, MS3~0, BRST, CLKOUTに適用されます。

⁸ HighからLowまたはLowからHighに切り替えるために必要な電流

⁹ 評価されますが、テストは実行されません。

¹⁰ 適用対象のスリーステート可能ピン: DATA47~16, ADDR23~0, MS3~0, CLKOUT, FLAG11~0, REDY, HBG, BMS, BR6-1, RAS, CAS, SDWE, DQM, SDCLKx, SDCKE, SDA10, BRST。

¹¹ 適用対象の20kΩプルアップを備えたスリーステート可能ピン: RD, WR, DMAG1, DMAG2, PA。

¹² 適用対象の50kΩ内部プルアップを備えたスリーステート可能ピン: DxA, DxB, SCLKx, SPICLK, EMU, MISO, MOSI。

¹³ 適用対象の50kΩ内部プルダウンを備えたスリーステート可能ピン: LxDAT7~0 (リビジョン1.2未満)、LxCLK, LxACK。リビジョン1.2以上には、I_{OZHDP2}を使用します。

¹⁴ 適用対象の20kΩ内部プルダウンを備えたスリーステート可能ピン: LxDAT7~0 (リビジョン1.2以上)。

- ¹⁵ $I_{DDINPEAK}$ の測定に使用されるテスト・プログラムは、最悪のプロセッサ動作を示すもので、通常のアプリケーション条件下では使用できません。代表的なアプリケーションを使って行われる実際の内部電源測定値は指定の値より小さくなります。詳細については、21ページの「消費電力」を参照してください。
- ¹⁶ 電流数は V_{DDINT} と AV_{DD} 電源の組み合わせた場合の値です。
- ¹⁷ $I_{DDINHIGH}$ は、ある特定領域のHigh動作コードに基づく複合平均 (composite average) です。21ページの「消費電力」を参照してください。
- ¹⁸ $I_{DDINLOW}$ は、ある特定領域のLow動作コードに基づく複合平均です。21ページの「消費電力」を参照してください。
- ¹⁹ アイドルは、IDLE命令実行中のADSP-21161Nの状態を示しています。21ページの「消費電力」を参照してください。
- ²⁰ 評価されますが、テストは行われません。
- ²¹ すべての信号ピンに適用されます。
- ²² 保証されますが、テストは行われません。

絶対最大定格

内部 (コア) 電源電圧 ¹ (V_{DDINT})-0.3~+2.2V
アナログ (PLL) 電源電圧 (AV_{DD})-0.3~+2.2V
外部 (I/O) 電源電圧 (V_{DDEXT})-0.3~+4.6V
入力電圧-0.5V~ $V_{DDEXT}+0.5V$
出力電圧スイング-0.5V~ $V_{DDEXT}+0.5V$
負荷容量200pF
保管温度範囲-65~+150°C

¹ 上記のストレスより大きなストレスを与えると、デバイスに回復不能の損傷を与える可能性があります。これらはストレスの定格に過ぎないので、本仕様書の動作説明の箇所です示した条件より厳しい当該条件、その他の条件のもとで行われる機能動作には適用できません。絶対最大定格条件のもとで長期間使用すると、デバイスの信頼性に影響を及ぼす場合があります。

ESD感度

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電放電が容易に蓄積され、検知されないまま放電されます。ADSP-21161Nは当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適正な予防措置を講じることをお勧めします。



ADSP-21161N

タイミング仕様

ADSP-21161Nの内部クロックは、システム入力クロック (CLKIN) より高い周波数で切り替わります。DSPは、内部クロックを生成するために内部位相ロック・ループ (PLL) を使用します。このPLLベースのクロックにより、システム・クロック (CLKIN) 信号とDSPの内部クロック (外部ポート・ロジックおよびI/Oパッドのクロック・ソース) 間のスキューを最小化します。

ADSP-21161Nの内部クロック (CLKINの通倍) は、内部メモリ、プロセッサ・コア、リンク・ポート、シリアル・ポート、および外部ポート (非同期アクセス・モードのリード/ライト・ストロープに必要) のタイミング用クロック信号として機能します。DSPの内部クロック周波数と外部クロック (CLKIN) 周波数の比は、リセット中にCLK_CFG1-0およびCLKDBLピ

ンでプログラムします。内部クロックは、外部ポートのクロック・ソースの場合でも、CLKDBLピンの説明箇所の「クロック・レート比のチャート」に示されているように動作します (11ページの表2の「CLKDBL」の説明を参照)。シリアル・ポートとリンク・ポートの切り替え周波数を決めるには、各ポートのプログラマブルなディバイダ・コントロールを使って内部クロックを分割します (シリアル・ポートにはDIVx、リンク・ポートにはLxCLKD)。

CLKINと適正な比率制御の関数である各種クロック周期の下記の定義に注意してください。

図10の場合、外部発振子または水晶発振子によりコアとCLKINの比2:1、3:1、4:1、6:1、8:1が可能となります。この場合は、CLKOUTとCLKINの比1:1、2:1もサポートされます。

表4. CLKOUTおよびCCLKクロックの生成

タイミング条件	説明	計算
CLKIN	入力クロック	$1/t_{CK}$
CLKOUT	外部ポート・システム・クロック	$1/t_{CKOP}$
PLLCLK	PLL入力クロック	$1/t_{PLLIN}$
CCLK	コア・クロック	$1/t_{CCLK}$

タイミング条件	説明 ¹
t_{CK}	CLKINクロック周期
t_{CCLK}	(プロセッサ) コア・クロック周期
t_{LCLK}	リンク・ポート・クロック周期 = $(t_{CCLK}) \times LR$
t_{SCLK}	シリアル・ポート・クロック周期 = $(t_{CCLK}) \times SR$
t_{SDK}	SDRAMクロック周期 = $(t_{CCLK}) \times SDCKR$
t_{SPCLK}	SPIクロック周期 = $(t_{CCLK}) \times SPIR$

¹ 略語の説明:

LR=リンク・ポートとコアのクロック比 (1、2、3、または1:4—LxCLKDによって決定)

SR=シリアル・ポートとコアのクロック比 (広範な領域—CLKDIVによって決定)

SDCKR=SDRAMとコアのクロック比 (1:1または1:2—SDCTLレジスタによって決定)

SPIR=SPIとコアのクロック比 (広範な領域—SPICTLレジスタによって決定)

LCLK=リンク・ポート・クロック

SCLK=シリアル・ポート・クロック

SDK=SDRAMクロック

SPCLK=SPIクロック

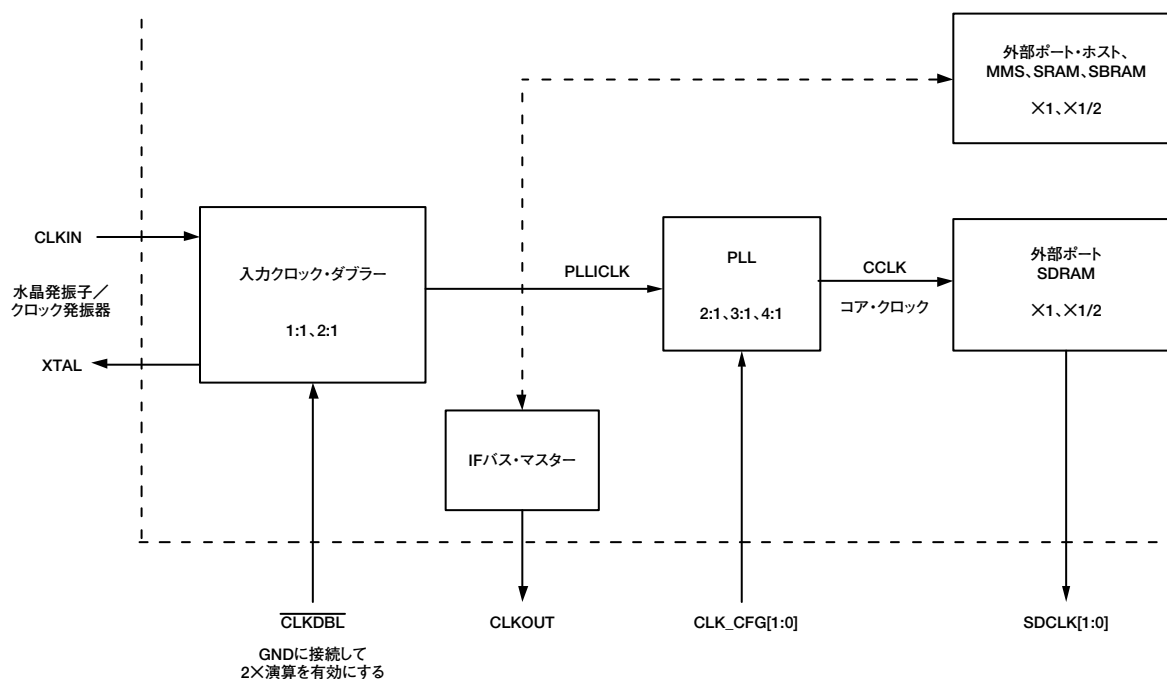


図10. コア・クロック/システム・クロックとCLKINとの関係

与えられた正確なタイミング情報を使用します。他のものを加算または減算してパラメータを導き出してはなりません。加算または減算すると各デバイスにとって有効な結果は得られますが、このデータ・シートに示した値は統計的なばらつきと最悪のケースを反映しています。したがって、もっと長い時間を導き出すためにパラメータを追加しても意味がありません。

電圧基準レベルについては、54ページの「テスト条件」の図39を参照してください。

スイッチング特性では、プロセッサの信号の変更方法を指定します。これらの信号特性に適合させるには、プロセッサの外部回路を設計する必要があります。スイッチング特性は、与えられた環境でのプロセッサの動作を示します。スイッチング特性をもとに、プロセッサに接続されるデバイス（メモリなど）のタイミング条件が満足しているか確認してください。

タイミング条件は、プロセッサの外部回路によって制御される信号（リード動作のためのデータ入力など）に適用されます。タイミング条件を満たすことで、プロセッサは他のデバイスとの間で正しい動作を行うことができます。

リセット中、DSPは \overline{SBTS} 、 \overline{HBR} 、およびMMSアクセスに対して応答しません。DSPはリセット前にアサートされた \overline{HBR} を認識しますが、リセットがデアサートされてバス同期を完了させるまで \overline{HBG} を返しません。

消費電力

総消費電力には2つの要素があります。一つは内部回路によるもの、もう一つは外部出力ドライバの切り替えによるものです。

内部消費電力は、関連する命令実行シーケンスとデータ・オペランドに左右されます。18ページの電氣的特性の電流仕様 ($I_{DDINPEAK}$ 、 $I_{DDINHIG}$ 、 $I_{DDINLOW}$ 、 I_{DDIDLE}) および表5「動作のタイプと入力電流」の情報を使用して、プログラマは以下の計算式により特定アプリケーションのADSP-21161N内部電源 (V_{DDINT}) 入力電流を求めることができます。

$$\frac{\% Peak \times I_{DDINPEAK} + \% High \times I_{DDINHIG} + \% Low \times I_{DDINLOW} + \% Idle \times I_{DDIDLE}}{I_{DDINT}}$$

ADSP-21161N

表5. 動作のタイプと入力電流

動作	ピーク動作 ¹ (I _{DDINPEAK})	Highレベルの動作 ¹ (I _{DDINHIG})	Lowレベルの動作 ¹ (I _{DDINLOW})
命令タイプ 命令読み出し コア・メモリ・アクセス ²	多機能 キャッシュ t _{CK} サイクル当たり2回 (DM×64およびPM×64)	多機能 内部メモリ t _{CK} サイクル当たり1回 (DM×64)	単機能 内部メモリ なし
内部メモリDMA 外部メモリDMA	2t _{CCLK} サイクル当たり1回 外部ポート・サイクル当たり1回 (×32)	2t _{CCLK} サイクル当たり1回 外部ポート・サイクル当たり1回 (×32)	該当なし 該当なし
メモリ・アクセスおよび DMAにおけるコアのデータ・ ビット・パターン	最悪のケース	ランダム	該当なし

¹ PEYENビットの状態 (SIMD対SISDモード) は、これらの計算に影響を与えません。

² これらはコア・クロック比を2:1と仮定しています。この比とクロック (t_{CK}およびt_{CCLK}) については、20ページのタイミング比の説明を参照してください。

総消費電力は、外部的には出力ピンの切り替えに起因しています。その大きさは以下の要素に左右されます。

- ・各サイクル中に切り替わる出力ピンの数 (O)
- ・それらを切り替える最大周波数 (f)
- ・それらの負荷容量 (C)
- ・それらの電圧スイング (V_{DD})

これは次式によって計算されます。

$$P_{EXT} = O \times C \times V_{DD}^2 \times f$$

負荷容量には、プロセッサ・パッケージ容量 (C_{IN}) を含めます。スイッチング周波数には、負荷の駆動 (Highに駆動、次にLowに駆動) も含まれます。アドレス・ピンとデータ・ピンは、SDRAMメモリへの書き込み中に1/TCKの最大速度でHighまたはLowに駆動します。

例：

次のことを仮定してP_{EXT}を求めてみます。

- ・外部メモリ (32ビット) の1バンクを持つシステム
- ・2個の1M×16 SDRAMチップを使用します。それぞれの負荷は10pFです (トレース容量は無視)。
- ・外部データ・メモリへの書き込みは、50%のピンの切り替えが行われるときに全サイクルにおいて1/t_{CK}の速度で発生する可能性があります。
- ・バス・サイクル時間は50MHzです。
- ・外部SDRAMクロック速度は100MHzです。
- ・SDRAMリフレッシュ・サイクルは無視します。
- ・アドレスはインクリメンタルであり、同じページにあります。

P_{EXT}の式は、表6に示されているように、駆動できる各クラスのピンについて計算されます。

表6. 外部電力の計算 (3.3Vデバイス)

ピンのタイプ	ピン数	(%) スwitching	×C	×f	×V _{DD} ²	= P _{EXT}
アドレス	11	20	×24.7pF	50MHz	×10.9V	= 0.030W
<u>MSx</u>	4	0	×24.7pF	該当なし	×10.9V	= 0.000W
<u>SDWE</u>	1	0	×24.7pF	該当なし	×10.9V	= 0.000W
データ	32	50	×14.7pF	50MHz	×10.9V	= 0.128W
SDCLK0	1	100	×24.7pF	100MHz	×10.9V	= 0.027W
P _{EXT} = 0.185W						

これらの条件で代表的な電力消費を計算するには、代表的な内部消費電力を加算する必要があります。

$$P_{TOTAL} = P_{EXT} + P_{INT} + P_{PLL}$$

ここで、P_{EXT}は表6の値です。

P_{INT}はI_{DDINT}×1.8Vです (21ページの「消費電力」のI_{DDINT}の計算式を使用)。

P_{PLL}はAI_{DD}×1.8Vです (18ページの「電気的特性」のAI_{DD}値を使用)。

最悪のケースのP_{EXT}が生じる条件は、最悪のケースのP_{INT}が生じる条件とは異なります。最大P_{INT}は、出力ピンの100%がオール1からオール0に切り替わっているときに発生しません。一般的に、アプリケーションで出力切り替えの100%または50%が同時に行われることはありません。

パワーアップ・シーケンス

シリコン・リビジョン0.3、1.0、または1.1のDSPスタートアップのタイミング条件を表7に示します。

表7. パワーアップ・シーケンスのタイミング条件 (DSPスタートアップ)

名前	パラメータ	最小	最大	単位
タイミング条件				
t_{RSTVDD}	\overline{RESET} Lowから V_{DDINT}/V_{DDEXT} オン	0		ns
$t_{VDDRAMP}$	V_{DDINT}/V_{DDEXT} 電圧ランプ・レート ¹	0.0009	9	V/ μ s
$t_{IVDDEVDD}$	V_{DDINT} オンから V_{DDEXT}	-50	200	ms
t_{CLKVDD}	V_{DDINT}/V_{DDEXT} 有効からCLKIN有効	0	200	ms
t_{VDDRST}	V_{DDINT}/V_{DDEXT} 有効から \overline{RESET} のディアサート ²	0		ns
t_{CLKRST}	CLKIN有効から \overline{RESET} のディアサート ³	100		μ s
t_{PLLST}	PLLコントロール・セットアップから \overline{RESET} のディアサート	20		μ s

¹ 最小値0.9 V/msは、 V_{DDINT} を0ボルトから1.8ボルトに上げるための許容最遅ランプアップ時間 (2 ms)、および V_{DDEXT} を0ボルトから3.3ボルトに上げるための許容最遅ランプアップ時間 (3.6 ms) に基づいています。

² 最小時間0nsは、 V_{DDINT} および V_{DDEXT} 電源が有効であるものと仮定しています。 V_{DDINT} および V_{DDEXT} 電源は \overline{RESET} がディアサートされる前に1.8ボルトおよび3.3ボルトに完全に上げる必要があります。電圧ランプ・レートは電源サブシステムの設計に応じてミリ秒~数百ミリ秒の範囲で異なった値をとります。

³ 最小値100 μ sについては、水晶発振回路の最悪のケースのスタートアップ・タイミング条件を満たした後に安定したCLKIN信号となります。スタートアップ時間については、水晶発振子のメーカーのデータ・シートを参照してください。発振子最大スタートアップ時間25msは、外部水晶発振子とともに内部発振回路およびXTALピンを使用する場合です。100 μ sは、PLLが有効な (安定した) CLKIN周波数に確実にロックするための最小時間です。

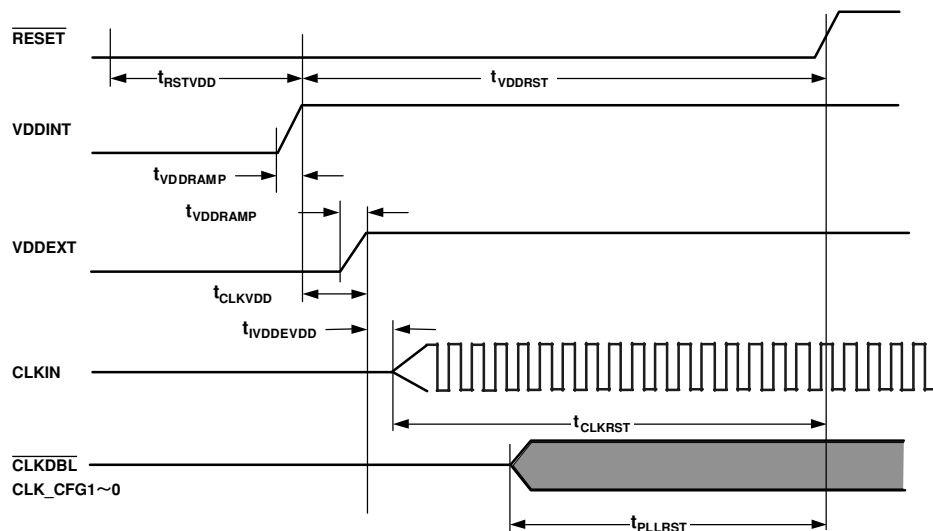


図11. リビジョン0.3、1.0、および1.1のパワーアップ・シーケンス

ADSP-21161N

シリコン・リビジョン1.2のDSPスタートアップのタイミング条件を表8に示します。

表8. パワーアップ・シーケンスのタイミング条件 (DSPスタートアップ)

名前	パラメータ	最小	最大	単位
タイミング条件				
t_{RSTVDD}	\overline{RESET} Lowから V_{DDINT}/V_{DDEXT} オン	0		ns
$t_{IVDDEVDD}$	V_{DDINT} オンから V_{DDEXT}	-50	200	ms
t_{CLKVDD}	V_{DDINT}/V_{DDEXT} 有効からCLKIN有効 ^{1,2}	0	200	ms
t_{CLKRST}	CLKIN有効から \overline{RESET} のディアサート ³	10		μ s
t_{PLLRST}	PLLコントロール・セットアップから \overline{RESET} のディアサート ⁴	TBD		μ s
t_{WRST}	次の \overline{RESET} Lowパルス幅 ⁵	$4t_{CK}$		ns
スイッチング条件				
$t_{CORERST}$	\overline{RESET} ディアサートからDSPコア・リセット・ディアサート	$4096t_{CK}$ ^{4,6}		

¹ 有効な V_{DDINT}/V_{DDEXT} は、電源を完全に1.8ボルトおよび3.3ボルトに上げているものと仮定しています。電圧ランプ・レートは、電源サブシステムの設計に応じてミリ秒~数百ミリ秒の範囲で異なった値をとります。

² 過電流の発生原因となる、内部ゲートの未定義の状態を避けるために、CLKINはパワーアップに合わせて駆動します。

³ 水晶発振回路のスタートアップ・タイミングが最悪の場合の条件を満たした後に、安定したCLKIN信号となります。スタートアップ時間については、水晶発振子のメーカーのデータ・シートを参照してください。発振子最大スタートアップ時間25msは、外部水晶発振子とともに内部発振回路およびXTALピンを使用する場合です。

⁴ CLKINサイクルに基づいています。

⁵ パワーアップ・シーケンス完了後に適用されます。次のリセットは、 \overline{RESET} をLowのままにしてすべてのI/Oピンでデフォルトの状態を適正に初期化し、送信するために最低4 CLKINサイクルを必要とします。

⁶ 4096サイクル・カウントは、表10の t_{SRST} 仕様に従います。セットアップ時間の条件が満たされない場合は、コアのリセット時間に1 CLKINサイクルを追加して、最大4097サイクルにすることができます。

ADSP-21161Nリビジョン0.3、1.0、および1.1の場合、 \overline{RSTOUT} は使用できません。この新しい信号については、現在の非接続ピン(ボールB15)の1つを使用します。

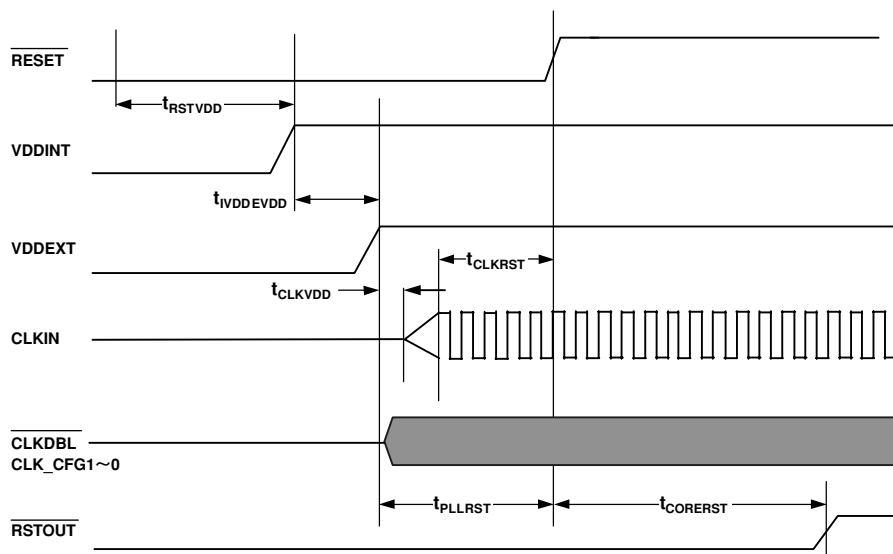


図12. リビジョン1.2のパワーアップ・シーケンス

DSPのパワーアップ・シーケンス中は、2つの電源間でランプアップ・レートと起動時間が異なると電流がI/O ESD保護回路に流れる可能性があります。ESDダイオード保護回路の損傷を防ぐために、ブートストラップ・ショットキ・ダイオードの使用をお勧めします。

図13に示されているように、ブートストラップ・ショットキ・ダイオードは1.8V電源と3.3V電源の間に接続されます。これは、3.3V電源の部分的な起動からADSP-21161Nを保護します。このショットキ・ダイオードを使用することで、電源ランプ間の遅延を短縮でき、ESDダイオード保護回路への損傷を防ぐことができます。この方法を用いた場合は、1.8Vが3.3Vより先に立ち上がると、ショットキ・ダイオードは1.8Vとともに3.3Vをプルします。

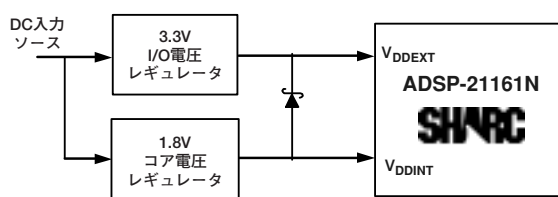


図13. デュアル電圧ショットキ・ダイオード

クロック入力

CLKINは、SBSRAMのクロック・ソースとして使用されます。外部水晶発振子は、SBSRAMとの接続時には使用できません。

CLKOUTをSBSRAMのクロック・ソースとして使用してはなりません。また、 $\overline{\text{CLKDBL}}$ と外部水晶発振子を使用してCLKOUT周波数を生成することはできません。負のホールド・タイムは、CLKINとCLKOUT間のスキューによって生じる場合があります。

表9. クロック入力

パラメータ	100MHz		単位
	最小	最大	
タイミング条件			
t_{CK} CLKIN周期	20	60	ns
t_{CKL} CLKIN幅Low	7.5	30	ns
t_{CKH} CLKIN幅High	7.5	30	ns
t_{CKRF} CLKIN立ち上がり／立ち下がり (0.4~2.0V)		3	ns

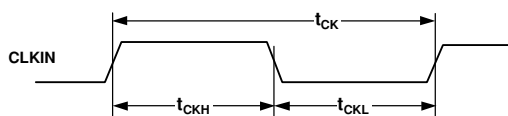
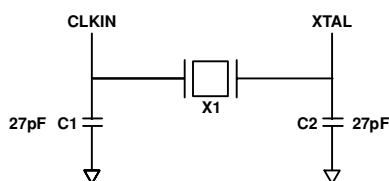


図14. クロック入力

クロック信号

ADSP-21161Nは、外部のクロックまたは水晶発振子を使用できます (CLKINピンの説明を参照)。プログラマは、必要な部品をCLKINおよびXTALに接続してADSP-21161Nが内部クロック生成器を使用するように設定できます。図15は、基本モードで動作する水晶発振子に使用される回路要素の接続を示しています。



100MHz動作に推奨される回路要素:
 ECLIPTEK EC2SM-25.000M (表面実装パッケージ)
 ECLIPTEK EC-25.000M (スルーホール・パッケージ)
 $C1=27\text{pF}$
 $C2=27\text{pF}$

注:C1およびC2は、X1に指定された水晶発振子固有の要素です。詳細については、水晶発振子のメーカーにお問い合わせください。この25MHzの水晶発振回路は、 $\overline{\text{CLKDBL}}$ が有効でPLL比(通倍)が2:1の場合に、100MHzのCCLKと50MHzのEPクロックを生成します。

図15. 100MHzの動作 (基本モードの水晶発振子)

ADSP-21161N

リセット

表10. リセット

パラメータ	最小	最大	単位
タイミング条件			
t_{WRST}	$\overline{\text{RESET}}$ パルス幅Low ¹	$4t_{CK}$	ns
t_{SRST}	$\overline{\text{RESET}}$ セットアップからCLKIN High ²	8.5	ns

¹ パワーアップ・シーケンス完了後に適用されます。パワーアップ時に、プロセッサの内部位相ロック・ループは $\overline{\text{RESET}}$ がLowのときは100 μ sしか必要とせず、安定したVDDおよびCLKINとなります（外部クロック発振器のスタートアップ時間は含まれていません）。

² これは、プログラム・カウンタ（PC）を同じにし、CLKINに同期して複数のADSP-21161Nでリセットを解除しなければならない場合にのみ必要です。複数のADSP-21161Nが共有バスで（外部ポートを介して）通信する場合は不要です。これは、リセット後にバス・アービトレーション・ロジックがそれぞれで自動的に同期するからです。

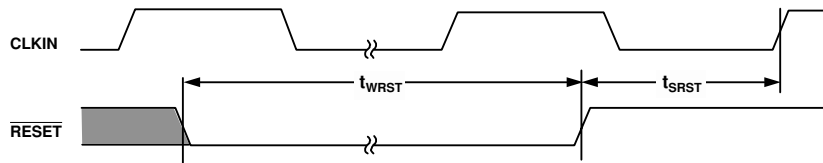


図16. リセット

割り込み

表11. 割り込み

パラメータ	最小	最大	単位
タイミング条件			
t_{SIR} $\overline{IRQ2\sim0}$ セットアップからCLKIN High ¹	6		ns
t_{HIR} CLKIN Highから $\overline{IRQ2\sim0}$ ホールド ¹	0		ns
t_{IPW} $\overline{IRQ2\sim0}$ パルス幅 ²	$2+t_{CK}$		ns

¹ 次のサイクルで \overline{IRQx} を認識するためにのみ必要です。

² t_{SIR} および t_{HIR} 条件が満たされていない場合だけ適用されます。

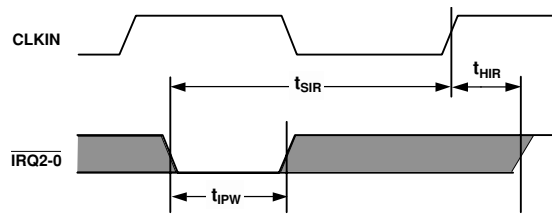


図17. 割り込み

タイマー

表12. タイマー

パラメータ	最小	最大	単位
スイッチング特性			
t_{DTEX} CLKIN HighからTIMEXP	1	7	ns

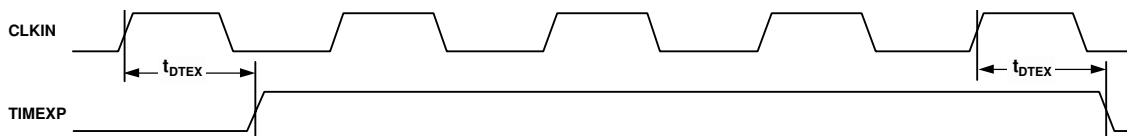


図18. タイマー

ADSP-21161N

フラッグ

表13. フラッグ

パラメータ		最小	最大	単位
タイミング条件				
t_{SFI}	FLAG11~0入力セットアップからCLKIN High ¹	4		ns
t_{HFI}	CLKIN HighからFLAG11~0入力ホールド ¹	1		ns
t_{DWRFI}	$\overline{RD}/\overline{WR}$ LowからFLAG11~0入力の遅延 ¹		12	ns
t_{HFIWR}	$\overline{RD}/\overline{WR}$ ディアサートからFLAG11~0入力ホールド ¹	0		ns
スイッチング特性				
t_{DFO}	CLKIN HighからFLAG11~0出力の遅延		9	ns
t_{HFO}	CLKIN HighからFLAG11~0出力ホールド	1		ns
t_{DFOE}	CLKIN HighからFLAG11~0出力イネーブル	1		ns
t_{DFOD}	CLKIN HighからFLAG11~0出力ディスエーブル		5	ns

¹ 命令サイクルNのセットアップおよびホールド・タイムを満たすフラッグ入力は、命令サイクルN+2の条件付き命令に影響を与えます。

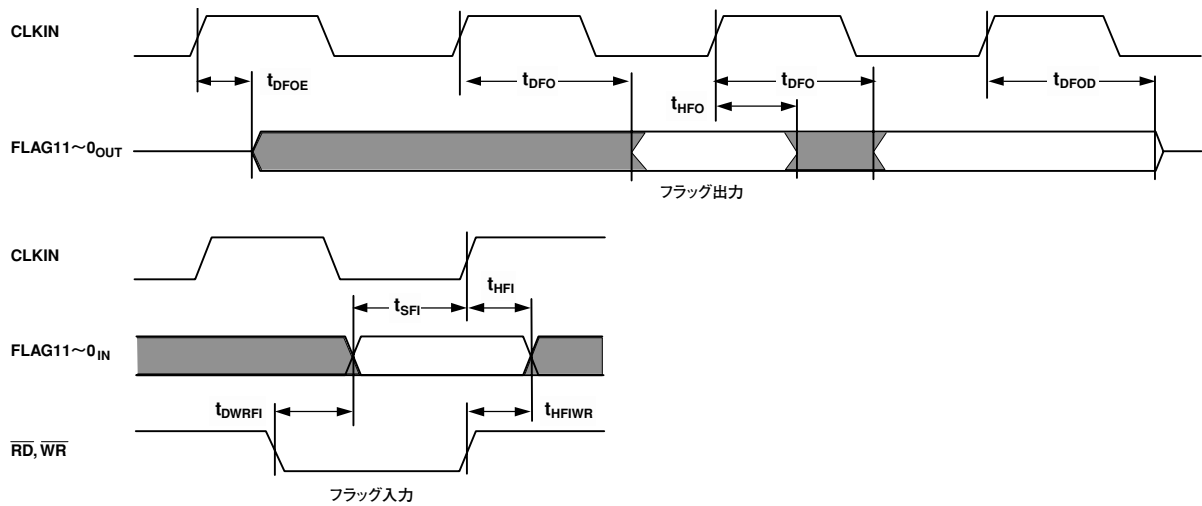


図19. フラッグ

メモリ・リード — バス・マスター

CLKINとは関係なくメモリ（およびメモリ・マップト・ペリフェラル）と非同期接続を行うにはこの仕様を適用します。ADSP-21161Nが、非同期アクセス・モードで外部メモリ空間にアクセスするバス・マスターの場合に、この仕様を適用します。ACK、DATA、 \overline{RD} 、 \overline{WR} 、および \overline{DMAG} ストロブ・タイミング・パラメータのタイミングは、非同期アクセス・モードにのみ適用されます。

表14. メモリ・リード — バス・マスター

パラメータ	最小	最大	単位
タイミング条件			
t_{DAD}	アドレス、セレクトからデータ有効 ^{1,2}	$t_{CK} - 0.25t_{CCLK} - 11 + W$	ns
t_{DRLD}	\overline{RD} Lowからデータ有効 ^{1,3}	$0.75t_{CK} - 11 + W$	ns
t_{HDA}	アドレス、セレクトからデータ・ホールド ⁴	0	ns
t_{SDS}	データ・セットアップから \overline{RD} High	8	ns
t_{HDRH}	\overline{RD} Highからデータ・ホールド ^{3,4}	1	ns
t_{DAAK}	アドレス、セレクトからACK ^{2,5}	$t_{CK} - 0.5t_{CCLK} - 12 + W$	ns
t_{DSAK}	\overline{RD} LowからACK ^{3,5}	$t_{CK} - 0.75t_{CCLK} - 11 + W$	ns
t_{SAKC}	ACKセットアップからCLKIN ^{3,5}	$0.5t_{CCLK} + 3$	ns
t_{HAKC}	CLKINからACKホールド ³	1	ns
スイッチング特性			
t_{DRHA}	\overline{RD} Highからアドレス・セレクト・ホールド ³	$0.25t_{CCLK} - 1 + H$	ns
t_{DARL}	アドレス・セレクトから \overline{RD} Low ²	$0.25t_{CCLK} - 3$	ns
t_{RW}	\overline{RD} パルス幅 ³	$t_{CK} - 0.5t_{CCLK} - 1 + W$	ns
t_{RWR}	\overline{RD} Highから \overline{WR} 、 \overline{RD} 、 \overline{DMAGx} Low ³	$0.5t_{CCLK} - 1 + HI$	ns

$W = (\text{WAITレジスタに指定されたウェイト・ステートの数}) \times t_{CK}$

$HI = t_{CK}$ (WAITレジスタで指定されたアドレス・ホールド・サイクルまたはバス・アイドル・サイクルが発生した場合。そうでない場合は、 $HI = 0$)

$H = t_{CK}$ (WAITレジスタで指定されたアドレス・ホールド・サイクルが発生した場合。そうでない場合は、 $H = 0$)

¹ データの遅延/セットアップ: t_{DAD} 、 t_{DRLD} 、または t_{SDS} を満たしている必要があります。

² \overline{MSx} 、 \overline{BMS} の立ち下がりエッジが基準になります。

³ ACK、DATA、 \overline{RD} 、 \overline{WR} 、および \overline{DMAG} ストロブ・タイミング・パラメータのタイミングは、非同期アクセス・モードにのみ適用されます。

⁴ データ・ホールド: 非同期アクセス・モードの t_{HDA} または t_{HDRH} を満たしている必要があります。容量性負荷とDC負荷が与えられている場合のホールド・タイムの計算式については、54ページに示したシステム・ホールド・タイムの計算式の例を参照してください。

⁵ ACKの遅延/セットアップ: ACK (Low) をデassertするには、 t_{DAAK} 、 t_{DSAK} 、または t_{SAKC} を満たしている必要があります。ACK (High) をassertするには、この3つの仕様をすべて満たしている必要があります。

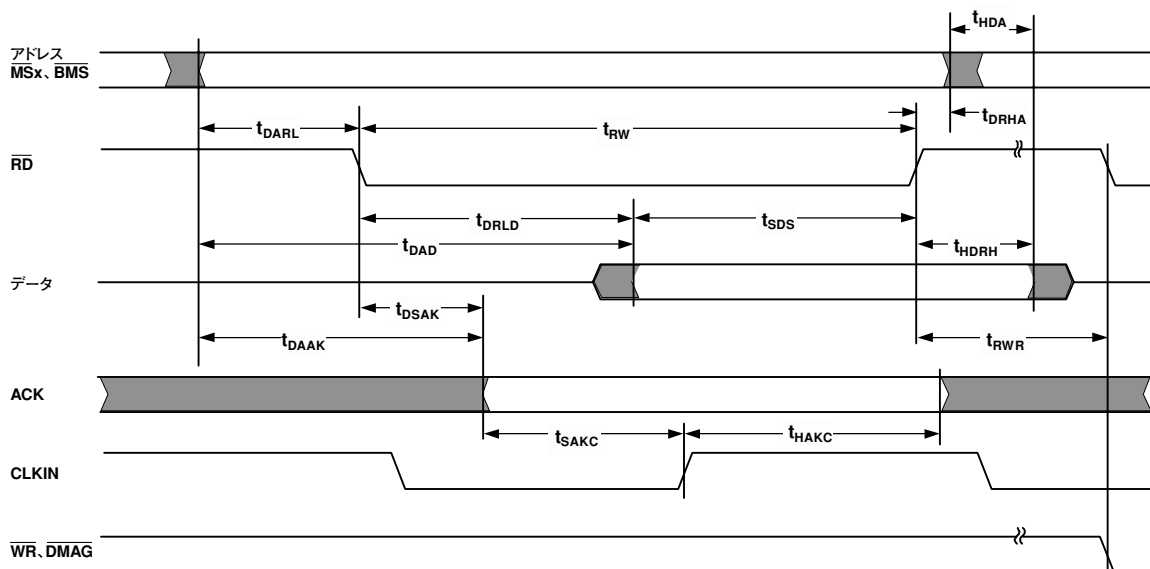


図20. メモリ・リード — バス・マスター

ADSP-21161N

メモリ・ライト — バス・マスター

CLKINとは関係なくメモリ（およびメモリ・マップト・ペリフェラル）と非同期インターフェースをとるにはこの仕様を適用します。ADSP-21161Nが、非同期アクセス・モードで外部メモリ空間にアクセスするバス・マスターの場合に、この仕様を適用します。ACK、DATA、RD、WR、およびDMAGストロブ・タイミング・パラメータのタイミングは、非同期アクセス・モードにのみ適用されます。

表15. メモリ・ライト — バス・マスター

パラメータ	最小	最大	単位
タイミング条件			
t_{DAAK}	アドレス、セレクトからACKの遅延 ^{1,2}	$t_{CK} - 0.5t_{CCLK} - 12 + W$	ns
t_{DSAK}	WR LowからACKの遅延 ^{1,3}	$t_{CK} - 0.75t_{CCLK} - 11 + W$	ns
t_{SAKC}	ACKセットアップからCLKIN ^{1,3}	$0.5t_{CCLK} + 3$	ns
t_{HAKC}	CLKINからACKホールド ^{1,3}	1	ns
スイッチング特性			
t_{DAWH}	アドレス、セレクトからWRディアサート ^{2,3}	$t_{CK} - 0.25t_{CCLK} - 3 + W$	ns
t_{DAWL}	アドレス、セレクトからWR Low ²	$0.25t_{CCLK} - 3$	ns
t_{WW}	WRパルス幅 ³	$t_{CK} - 0.5t_{CCLK} - 1 + W$	ns
t_{DDWH}	データ・セットアップからWR High ³	$t_{CK} - 0.25t_{CCLK} - 12.5 + W$	ns
t_{DWAH}	WRディアサートからアドレス・ホールド ³	$0.25t_{CCLK} - 1 + H$	ns
t_{DWDH}	WRディアサートからデータ・ホールド ³	$0.25t_{CCLK} - 1 + H$	ns
t_{DATRWH}	WRディアサートからデータ・ディスエーブル ^{3,4}	$0.25t_{CCLK} - 2 + H$ $0.25t_{CCLK} + 2.5 + H$	ns
t_{WWR}	WR HighからWR、RD、DMAGx Low ³	$0.5t_{CCLK} - 1.25 + HI$	ns
t_{DDWR}	データ・ディスエーブルからWRまたはRD Low	$0.25t_{CCLK} - 3 + I$	ns
t_{WDE}	WR Lowからデータ・イネーブル	$-0.25t_{CCLK} - 1$	ns

$W = (\text{WAITレジスタで指定されたウェイト・ステートの数}) \times t_{CK}$

$H = t_{CK}$ (WAITレジスタで指定されたアドレス・ホールド・サイクルが発生した場合。そうでない場合は、 $H = 0$)

$HI = t_{CK}$ (WAITレジスタで指定されたアドレス・ホールド・サイクルまたはバス・アイドル・サイクルが発生した場合。そうでない場合は、 $HI = 0$)

$I = t_{CK}$ (WAITレジスタに指定されているようにバス・アイドル・サイクルが発生した場合。そうでない場合は、 $I = 0$)

¹ ACKの遅延/セットアップ: ACK (Low) をディアサートするには、 t_{DAAK} 、 t_{DSAK} 、または t_{SAKC} を満たしている必要があります。ACK (High) をアサートするには、この3つの仕様をすべて満たしている必要があります。

² MSx、BMSの立ち下がりエッジが基準になります。

³ ACK、DATA、RD、WR、およびDMAGxストロブ・タイミング・パラメータのタイミングは、非同期アクセス・モードにのみ適用されます。

⁴ 容量性負荷とDC負荷が与えられている場合のホールド・タイムの計算式については、54ページに示したシステム・ホールド・タイムの計算式の例を参照してください。

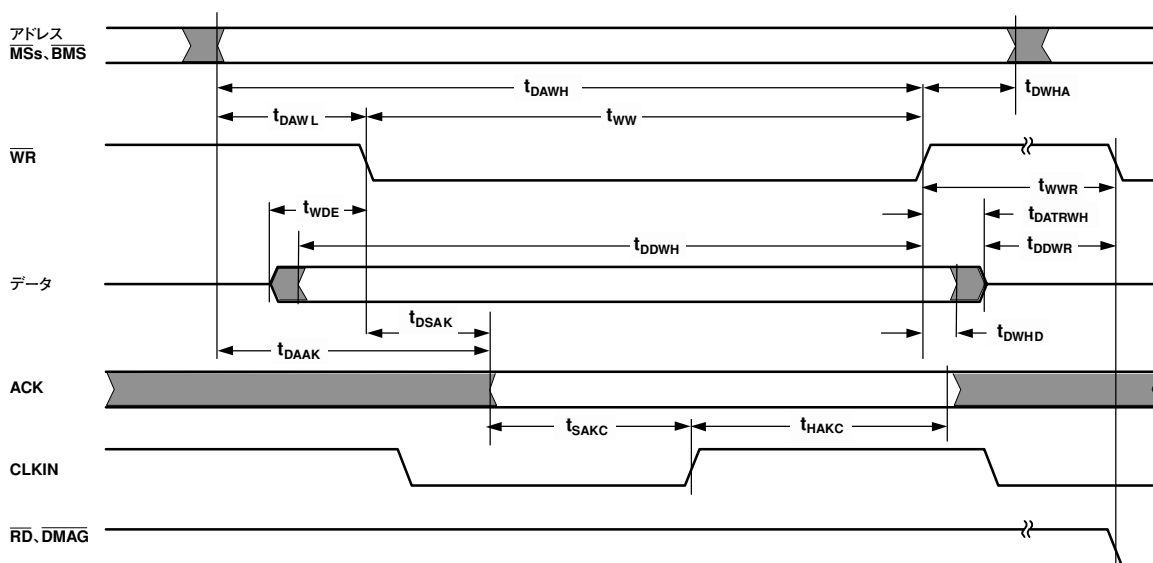


図21. メモリ・ライト — バス・マスター

同期リード/ライト — バス・マスター

スレーブADSP-21161N（マルチプロセッサ・メモリ空間）へのアクセスまたはタイミングに関して、CLKINを必要とする外部メモリ・システムとのインターフェースには、この仕様を適用します。この同期スイッチング特性は、特に記載されていない限り、非同期メモリのリード/ライト中も有効です。（本ページの他に29ページの「メモリ・リード — バス・マスター」も参照してください。）スレーブADSP-21161Nにアクセスする場合、これらのスイッチング特性はスレーブの同期リード/ライト・タイミング条件を満たしている必要があります。（33ページの「同期リード/ライト — バス・スレーブ」を参照してください。）スレーブADSP-21161Nは、データおよびアクノレッジ・セットアップおよびホールド・タイムについてもこの（バス・マスター）タイミング条件を満たしていません。

表16. 同期リード/ライト — バス・マスター

パラメータ	最小	最大	単位
タイミング条件			
t_{SSDATI} データ・セットアップからCLKIN ¹	5.5		ns
t_{HSDATI} CLKINからデータ・ホールド ¹	1		ns
t_{SACKC} ACKセットアップからCLKIN ¹	$0.5t_{CCLK} + 3$		ns
t_{HACKC} CLKINからACKホールド ¹	1		ns
スイッチング特性			
t_{DADD0} CLKINからアドレス、 \overline{MS}_x 、 \overline{BMS} 、BRST、遅延		10	ns
t_{HADD0} CLKINからアドレス、 \overline{MS}_x 、 \overline{BMS} 、BRST、ホールド	1.5		ns
t_{DRDO} CLKINから \overline{RD} Highの遅延 ¹	$0.25t_{CCLK} - 1$	$0.25t_{CCLK} + 9$	ns
t_{DWRO} CLKINから \overline{WR} Highの遅延 ¹	$0.25t_{CCLK} - 1$	$0.25t_{CCLK} + 9$	ns
t_{DRWL} CLKINから $\overline{RD}/\overline{WR}$ Lowの遅延	$0.25t_{CCLK} - 1$	$0.25t_{CCLK} + 9$	ns
t_{DDATO} CLKINからデータの遅延		12.5	ns
t_{HDATO} CLKINからデータ・ホールド	1.5		ns
t_{DCKOO} CLKINからCLKOUTの遅延	0		ns
t_{CKOP} CLKOUT周期 ²	$t_{CK} - 1$	$t_{CK} + 1$	ns
t_{CKWH} CLKOUT幅High ²	$t_{CK}/2 - 2$	$t_{CK}/2 + 2$	ns
t_{CKWL} CLKOUT幅Low ²	$t_{CK}/2 - 2$	$t_{CK}/2 + 2$	ns

¹ ACK、DATA、 \overline{RD} 、 \overline{WR} 、およびDMAGストローブ・タイミング・パラメータのタイミングは、同期アクセス・モードにのみ適用されます。

² DSPがバス動作を駆動するときだけ適用されます。CLKOUTは非アクティビティのままか、またはスリーステートになります。詳細については、ADSP-21160またはADSP-21161N SHARC DSP技術リファレンスの「システム設計」の章を参照してください。

ADSP-21161N

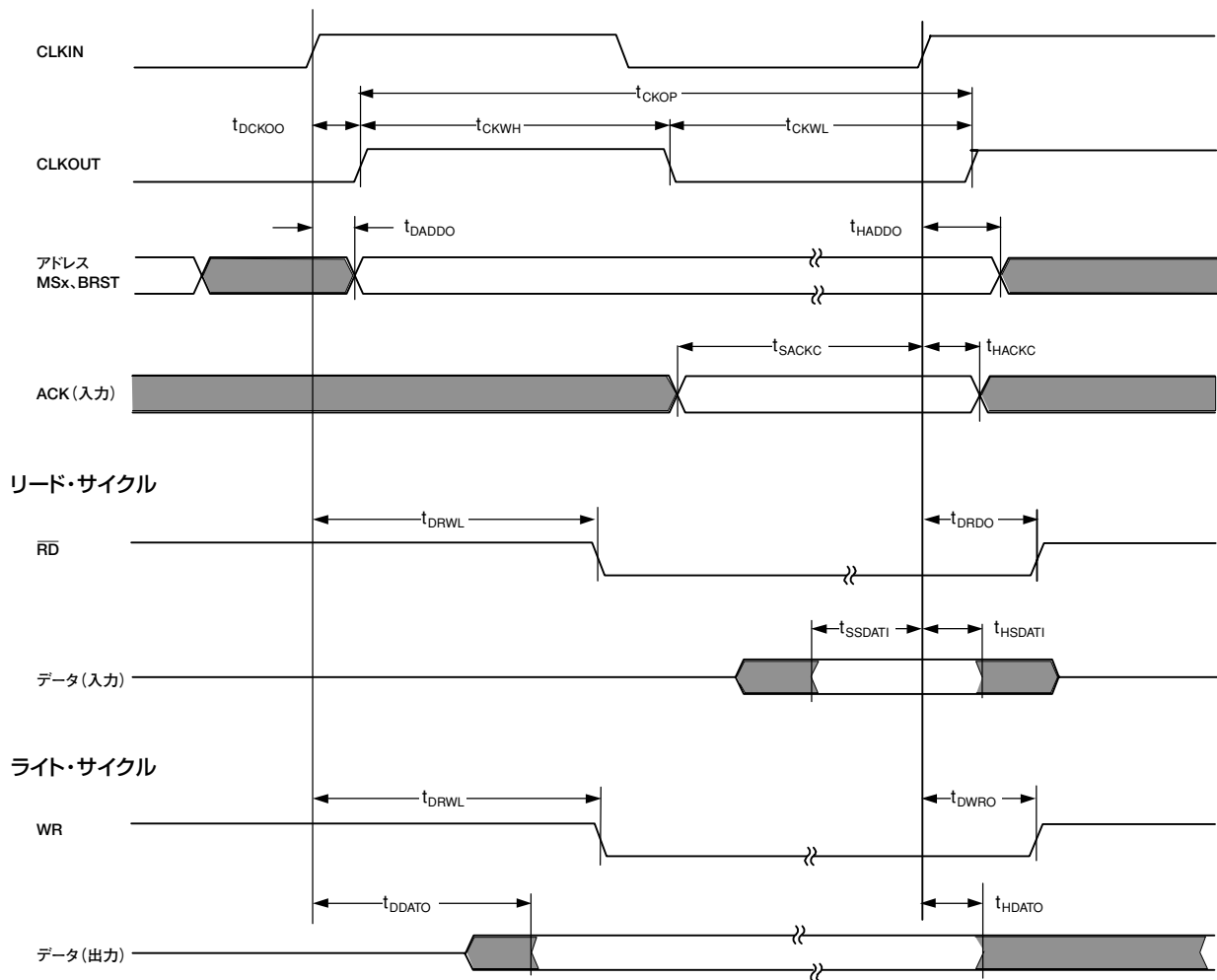


図22. 同期リード/ライトーバス・マスター

同期リード/ライト — バス・スレーブ

スレーブのIOPレジスタ（マルチプロセッサ・メモリ空間）へのADSP-21161Nバス・マスターのアクセスについては、この仕様を適用します。バス・マスターは、この（バス・スレーブ）タイミング条件を満たす必要があります。

表17. 同期リード/ライト — バス・スレーブ

パラメータ		最小	最大	単位
タイミング条件				
t_{SADDI}	アドレス、BRSTセットアップからCLKIN	5		ns
t_{HADDI}	CLKINからアドレス、BRSTホールド	1		ns
t_{SRWI}	$\overline{RD}/\overline{WR}$ セットアップからCLKIN	5		ns
t_{HRWI}	CLKINから $\overline{RD}/\overline{WR}$ ホールド	1		ns
t_{SSDATI}	データ・セットアップからCLKIN	5.5		ns
t_{HSDATI}	CLKINからデータ・ホールド	1		ns
スイッチング特性				
t_{DDATO}	CLKINからデータの遅延		12.5	ns
t_{HDATO}	CLKINからデータ・ホールド	1.5		ns
t_{DACKC}	CLKINからACKの遅延		10	ns
t_{HACKO}	CLKINからACKホールド	1.5		ns

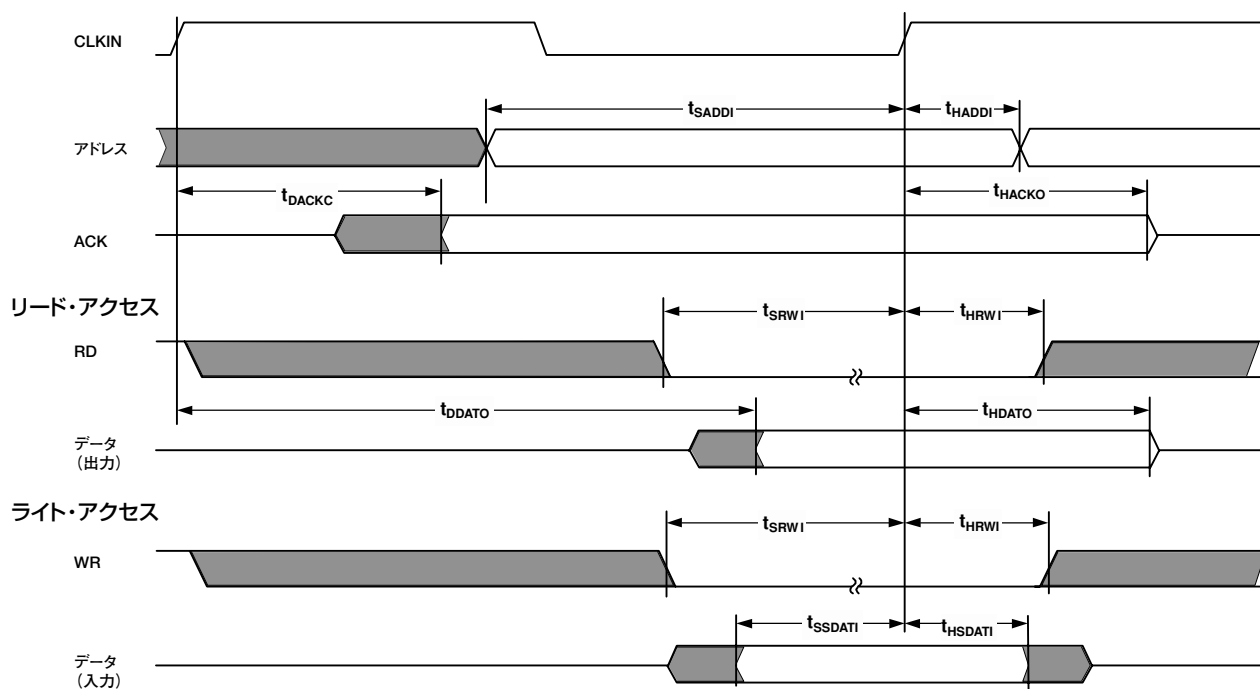


図23. 同期リード/ライト — バス・スレーブ

ADSP-21161N

マルチプロセッサ・バス・リクエストおよびホスト・バス・リクエスト

マルチプロセッシングADSP-21161N ($\overline{\text{BRx}}$) またはホスト・プロセッサ ($\overline{\text{HBR}}$ 、 $\overline{\text{HBG}}$) 間のバス・マスター権の受け渡しについては、この仕様を適用します。

表18. マルチプロセッサ・バス・リクエストおよびホスト・バス・リクエスト

パラメータ		最小	最大	単位
タイミング条件				
t_{HBGRCSV}	$\overline{\text{HBG}}$ Lowから $\overline{\text{RD}}/\overline{\text{WR}}/\overline{\text{CS}}$ 有効		19	ns
t_{SHBRI}	$\overline{\text{HBR}}$ セットアップからCLKIN ¹	6		ns
t_{HHBRI}	CLKINから $\overline{\text{HBR}}$ ホールド ¹	1		ns
t_{SHBGI}	$\overline{\text{HBG}}$ セットアップからCLKIN	6		ns
t_{HHBGI}	CLKIN Highから $\overline{\text{HBG}}$ ホールド	1		ns
t_{SBRI}	$\overline{\text{BRx}}$ セットアップからCLKIN	9		ns
t_{HBRI}	CLKIN Highから $\overline{\text{BRx}}$ ホールド	0.5		ns
t_{SPAI}	$\overline{\text{PA}}$ セットアップからCLKIN	9		ns
t_{HPAI}	CLKIN Highから $\overline{\text{PA}}$ ホールド	1		ns
t_{SRPBAI}	RPBAセットアップからCLKIN	6		ns
t_{HRPBAI}	CLKINからRPBAホールド	2		ns
スイッチング特性				
t_{DHBGO}	CLKINから $\overline{\text{HBG}}$ の遅延		7	ns
t_{HHBGO}	CLKINから $\overline{\text{HBG}}$ ホールド	1.5		ns
t_{DBRO}	CLKINから $\overline{\text{BRx}}$ の遅延		8	ns
t_{HBRO}	CLKINから $\overline{\text{BRx}}$ ホールド	1.0		ns
t_{DPASO}	CLKINから $\overline{\text{PA}}$ の遅延、スレーブ		8	ns
t_{TRPAS}	CLKINから $\overline{\text{PA}}$ ディスエーブル、スレーブ	1.5		ns
t_{DPAMO}	CLKINから $\overline{\text{PA}}$ の遅延、マスター		$0.25t_{\text{CCLK}}+9$	ns
t_{PATR}	$\overline{\text{PA}}$ ディスエーブル、マスターからCLKIN	$0.25t_{\text{CCLK}}-5$		ns
t_{DRDYCS}	$\overline{\text{CS}}$ および $\overline{\text{HBR}}$ LowからREDY (O/D) または (A/D) Low ²		$0.5t_{\text{CK}}$	ns
t_{TRDYHG}	$\overline{\text{HBG}}$ からREDY (O/D) ディスエーブルまたはREDY (A/D) High ²	34		ns
t_{ARDYTR}	$\overline{\text{CS}}$ または $\overline{\text{HBR}}$ HighからREDY (A/D) ディスエーブル ²		11	ns

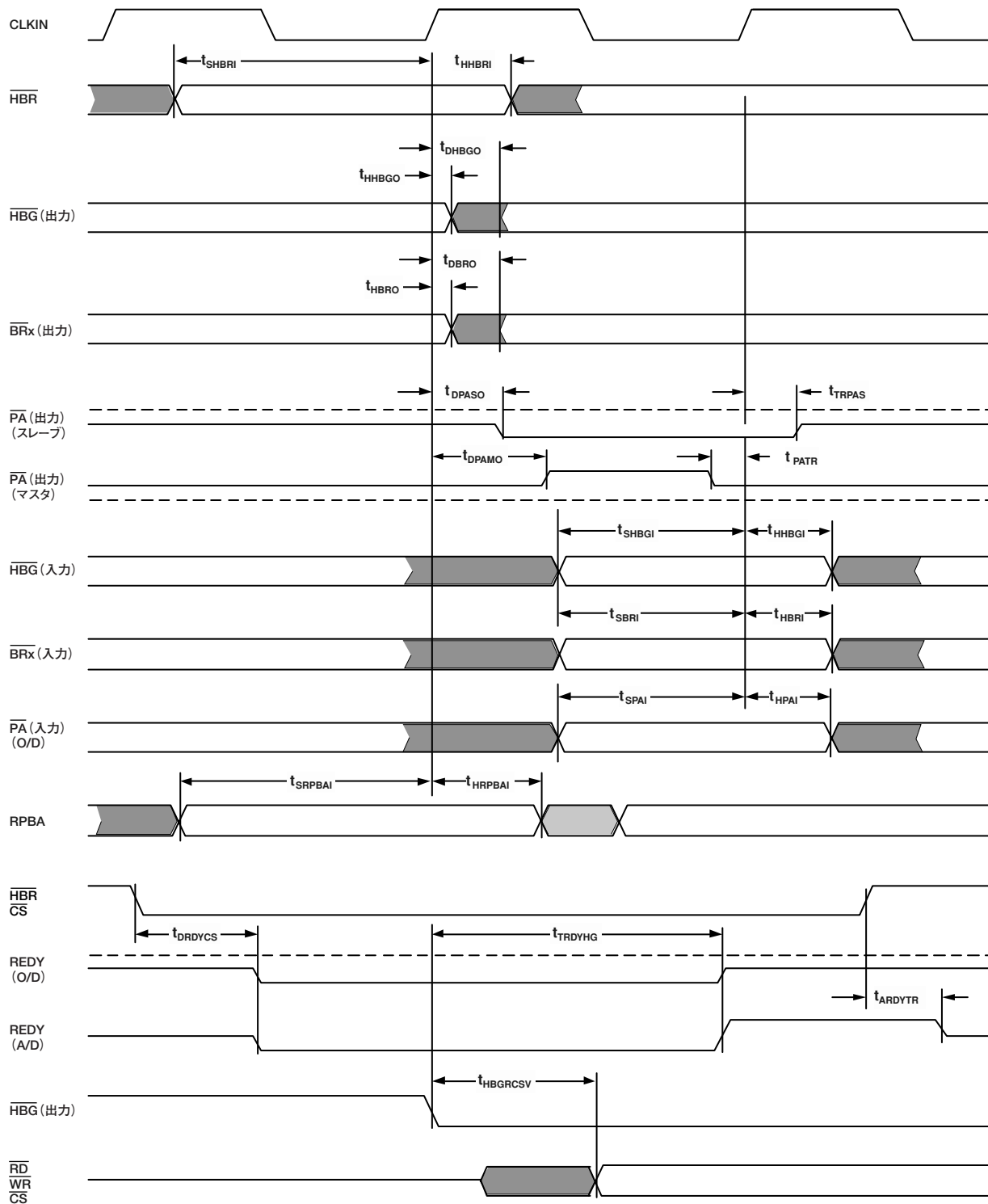
¹ 現在のサイクルで信号を認識するためにのみ必要です。

² (O/D) = オープン・ドレイン、(A/D) = アクティブ駆動

非同期リード/ライト — ホストからADSP-21161N

ホストが $\overline{\text{CS}}$ および $\overline{\text{HBR}}$ (Low) をアサートした後、ADSP-21161Nにホスト・プロセッサが非同期アクセスする場合は、この仕様を適用します。ADSP-21161Nから $\overline{\text{HBG}}$ が返されると、ホストは $\overline{\text{RD}}$ および $\overline{\text{WR}}$ ピンを駆動してADSP-21161NのIOPレジスタにアクセスすることができます。 $\overline{\text{HBR}}$ と $\overline{\text{HBG}}$ はこのタイミングでLowとなります。

注：ホスト内部メモリ・アクセスはサポートされていません。



(O/D) = オープン・ドレイン、(A/D) = アクティブ駆動

図24. マルチプロセッサ・バス・リクエストおよびホスト・バス・リクエスト

ADSP-21161N

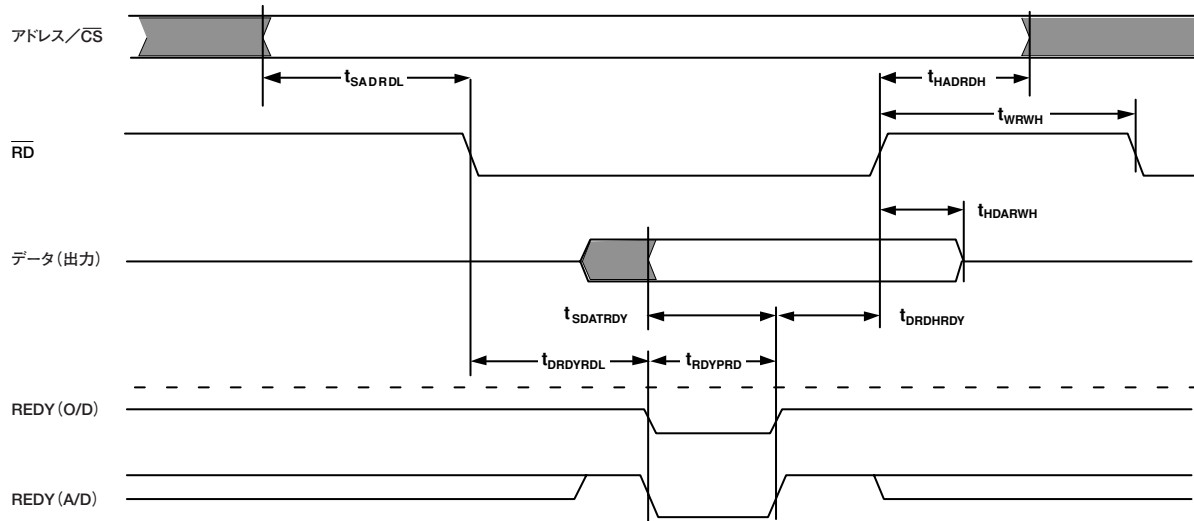
表19. リード・サイクル

パラメータ	最小	最大	単位
タイミング条件			
t_{SADRDL}	アドレス・セットアップ \overline{CS} Lowから \overline{RD} Low		ns
t_{HADRDH}	\overline{RD} からアドレス・ホールド \overline{CS} ホールド Low		ns
t_{WRWH}	$\overline{RD}/\overline{WR}$ High幅		3.5
$t_{DRDHRDY}$	REDYデイスエーブル (O/D) から \overline{RD} Highの遅延		ns
$t_{DRDHRDY}$	REDYデイスエーブル (A/D) から \overline{RD} Highの遅延		ns
スイッチング特性			
$t_{SDATRDY}$	データ有効からLowレベルのREDYデイスエーブル		2
t_{DRDYRD}	\overline{RD} LowからREDY (O/D) または (A/D) Lowの遅延		10
t_{RDYPRD}	リードのためのREDY (O/D) または (A/D) Lowパルス幅		$t_{CK}-3$
t_{HDARWH}	\overline{RD} Highからデータ・デイスエーブル		2
		6	ns

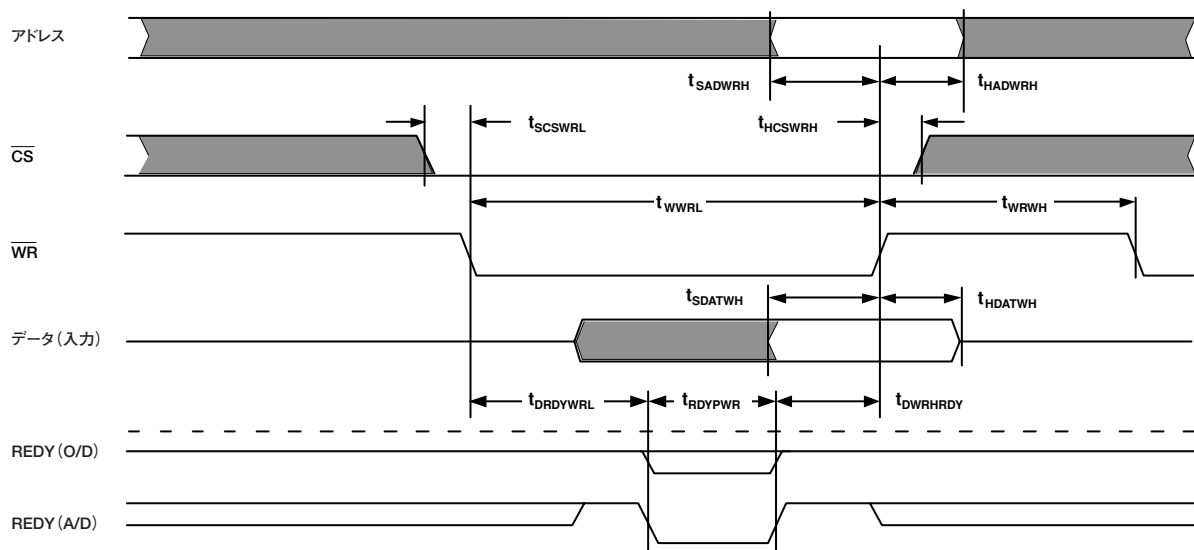
表20. ライト・サイクル

パラメータ	最小	最大	単位
タイミング条件			
t_{SCSWRL}	\overline{CS} Lowセットアップ から \overline{WR} Low		0
t_{HCSWRH}	\overline{WR} Highから \overline{CS} Lowホールド		0
t_{SADWRH}	アドレス・セットアップ から \overline{WR} High		6
t_{HADWRH}	\overline{WR} Highからアドレス・ホールド		2
t_{WWRL}	\overline{WR} Low幅		$t_{CCLK}+1$
t_{WRWH}	$\overline{RD}/\overline{WR}$ High幅		3.5
$t_{DWRHRDY}$	REDY (O/D) または (A/D) デイスエーブルから \overline{WR} Highの遅延		ns
t_{SDATWH}	データ・セットアップ から \overline{WR} High		5
t_{HDATWH}	\overline{WR} Highからデータ・ホールド		4
スイッチング特性			
$t_{DRDYWRL}$	$\overline{WR}/\overline{CS}$ LowからREDY (O/D) または (A/D) Lowの遅延		11
t_{RDYPWR}	書き込みのためのREDY (O/D) または (A/D) Lowパルス幅		12

リード・サイクル



ライト・サイクル



(O/D) = オープン・ドレイン、(A/D) = アクティブ駆動

図25. 非同期リード/ライト — ADSP-21161Nのホスト

ADSP-21161N

スリープ状態・タイミング — バス・マスター、バス・スレーブ、HBR、SBTS

この仕様は、CLKINおよびSBTSピンに関するもので、メモリ・インターフェースのディスエーブル（駆動停止）またはイネーブル（駆動再開）の方法を示しています。このタイミングは、SBTSピンだけではなく、バス・マスター遷移サイクル（BTC）とホスト遷移サイクル（HTC）にも適用できます。

表21. スリープ状態・タイミング — バス・スレーブ、HBR、SBTS

パラメータ	最小	最大	単位
タイミング条件			
t_{STSCK}	$\overline{\text{SBTS}}$ セットアップ から CLKIN		ns
t_{HTSCK}	CLKIN から $\overline{\text{SBTS}}$ ホールド		ns
スイッチング特性			
t_{MIENA}	CLKIN から アドレス/セレクト・イネーブル		ns
t_{MIENS}	CLKIN から スロープ・イネーブル ¹		ns
t_{MIENHG}	CLKIN から $\overline{\text{HBG}}$ イネーブル		ns
t_{MITRA}	CLKIN から アドレス/セレクト・ディスエーブル		ns
t_{MITRS}	CLKIN から スロープ・ディスエーブル		ns
t_{MITRHG}	CLKIN から $\overline{\text{HBG}}$ ディスエーブル		ns
t_{DATEN}	CLKIN から データ・イネーブル ²		ns
t_{DATTR}	CLKIN から データ・ディスエーブル ²		ns
t_{ACKEN}	CLKIN から ACK イネーブル ²		ns
t_{ACKTR}	CLKIN から ACK ディスエーブル		ns
t_{CDCEN}	CLKIN から CLKOUT イネーブル		ns
t_{CDCTR}	CLKIN から CLKOUT ディスエーブル		ns
t_{ATRHBG}	アドレス/セレクト・ディスエーブルから $\overline{\text{HBG}}$ Low ³		ns
t_{STRHBG}	$\overline{\text{RD}}/\overline{\text{WR}}/\overline{\text{DMAGx}}$ ディスエーブルから $\overline{\text{HBG}}$ Low ³		ns
t_{BTRHBG}	$\overline{\text{BMS}}$ ディスエーブルから $\overline{\text{HBG}}$ Low ³		ns
t_{MENHBG}	$\overline{\text{HBG}}$ High から メモリ・インターフェース・イネーブル ³		ns

¹ スロープ = $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{DMAGx}}$

² この仕様は、バス・マスター遷移サイクル以外に、バス・マスターおよびバス・スレーブ同期リード/ライトにも適用されます。

³ メモリ・インターフェース = アドレス、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{MSx}}$ 、 $\overline{\text{DMAGx}}$ 、 $\overline{\text{BMS}}$ (EPROMブート・モード)

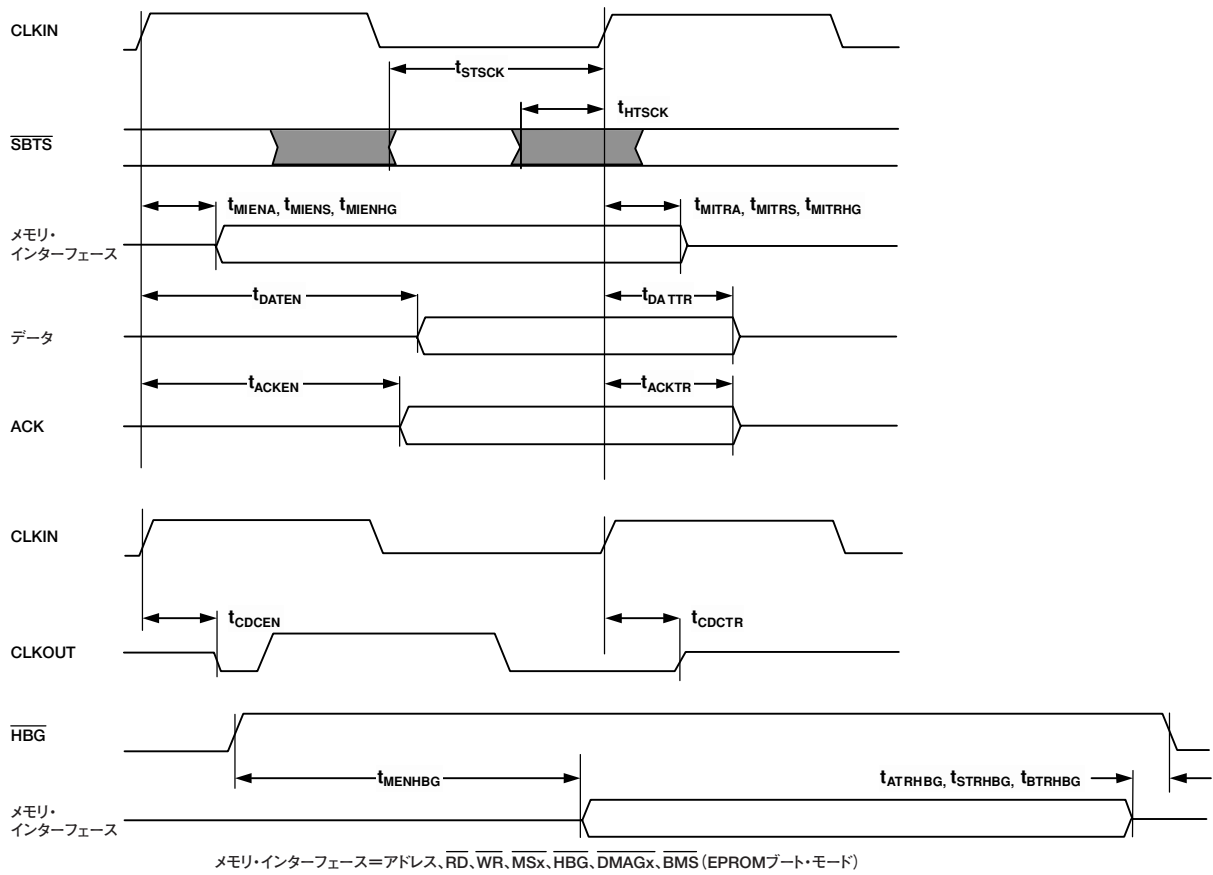


図26. スリープステート・タイミング

ADSP-21161N

DMAハンドシェーク

この仕様は、3つのDMAハンドシェーク・モードに関するものです。この3つのモードでは、 $\overline{\text{DMAR}}$ がデータ転送のために使用されます。ハンドシェーク・モードでは、 $\overline{\text{DMAG}}$ がデータのラッチまたは有効化を外部的に制御します。外部ハンドシェーク・モードの場合、データ転送は $\overline{\text{ADDR23}}\sim\overline{\text{0}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{MS3}}\sim\overline{\text{0}}$ 、 ACK 、および $\overline{\text{DMAG}}$ 信号によって制御されます。また、ペース・マスター・モードの場合は、 $\overline{\text{ADDR23}}\sim\overline{\text{0}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{MS3}}\sim\overline{\text{0}}$ 、および ACK ($\overline{\text{DMAG}}$ ではない) 信号によって制御されます。ペース・マスター・モードでは、 $\overline{\text{ADDR23}}\sim\overline{\text{0}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{MS3}}\sim\overline{\text{0}}$ 、 $\text{DATA47}\sim\text{16}$ および ACK 信号に関するメモリ・リード・バス・マスターのタイミング仕様、メモリ・ライト・バス・マスターのタイミング仕様、および同期リード・バス・マスターのタイミング仕様も適用されます。

表22. DMAハンドシェーク

パラメータ		最小	最大	単位
タイミング条件				
t_{SDRC}	$\overline{\text{DMARx}}$ セットアップから CLKIN^1	3.5		ns
t_{WDR}	$\overline{\text{DMARx}}$ 幅Low (非同期) ²	$t_{\text{CCLK}}+4.5$		ns
t_{SDATDGL}	$\overline{\text{DMAGx}}$ Lowからデータ・セットアップ ³		$t_{\text{CK}}-0.5t_{\text{CCLK}}-7$	ns
t_{HDATIDG}	$\overline{\text{DMAGx}}$ Highからデータ・ホールド	2		ns
t_{DATDRH}	$\overline{\text{DMARx}}$ Highからデータ有効 ³		$t_{\text{CK}}+3$	ns
t_{DMARLL}	$\overline{\text{DMARx}}$ LowエッジからLowエッジ ⁴	t_{CK}		ns
t_{DMARH}	$\overline{\text{DMARx}}$ 幅High ²	$t_{\text{CCLK}}+4.5$		ns
スイッチング特性				
t_{DDGL}	CLKIN から $\overline{\text{DMAGx}}$ Lowの遅延	$0.25t_{\text{CCLK}}+1$	$0.25t_{\text{CCLK}}+9$	ns
t_{WDGH}	$\overline{\text{DMAGx}}$ High幅	$0.5t_{\text{CCLK}}-1+\text{HI}$		ns
t_{WDGL}	$\overline{\text{DMAGx}}$ Low幅	$t_{\text{CK}}-0.5t_{\text{CCLK}}-1$		ns
t_{HDGC}	CLKIN から $\overline{\text{DMAGx}}$ Highの遅延	$t_{\text{CK}}-0.25t_{\text{CCLK}}+1.0$	$t_{\text{CK}}-0.25t_{\text{CCLK}}+9$	ns
t_{VDATDGH}	データ有効から $\overline{\text{DMAGx}}$ High ⁵	$t_{\text{CK}}-0.25t_{\text{CCLK}}-8$	$t_{\text{CK}}-0.25t_{\text{CCLK}}+5$	ns
t_{DATRDGH}	$\overline{\text{DMAGx}}$ Highからデータ・ディスエーブル ⁶	$0.25t_{\text{CCLK}}-3$	$0.25t_{\text{CCLK}}+3.0$	ns
t_{DGWRL}	$\overline{\text{WRx}}$ Lowから $\overline{\text{DMAGx}}$ Low	-1.5	2	ns
t_{DGWRH}	$\overline{\text{DMAGx}}$ Lowから $\overline{\text{WRx}}$ High	$t_{\text{CK}}-0.5t_{\text{CCLK}}-2+W$		ns
t_{DGWRR}	$\overline{\text{WRx}}$ Highから $\overline{\text{DMAGx}}$ High ⁷	-1.5	2	ns
t_{DGRDL}	$\overline{\text{RDx}}$ Lowから $\overline{\text{DMAGx}}$ Low	-1.5	2	ns
t_{DRDGH}	$\overline{\text{RDx}}$ Lowから $\overline{\text{DMAGx}}$ High	$t_{\text{CK}}-0.5t_{\text{CCLK}}-2+W$		ns
t_{DGRDR}	$\overline{\text{RDx}}$ Highから $\overline{\text{DMAGx}}$ High ⁷	-1.5	2	ns
t_{DGWR}	$\overline{\text{DMAGx}}$ Highから $\overline{\text{WRx}}$ 、 $\overline{\text{RDx}}$ 、 $\overline{\text{DMAGx}}$ Low	$0.5t_{\text{CCLK}}-2+\text{HI}$		ns
t_{DADGH}	アドレス/セレクト有効から $\overline{\text{DMAGx}}$ High	15		ns
t_{DDGHA}	$\overline{\text{DMAGx}}$ Highからアドレス/セレクト・ホールド	1		ns

$W = (\text{WAITレジスタに指定されたウェイト・ステートの数}) \times t_{\text{CK}}$

$\text{HI} = t_{\text{CK}}$ (WAITレジスタに指定されているようにデータバス・アイドル・サイクルが発生した場合。そうでない場合は、 $\text{HI} = 0$)

¹ 現在のサイクルで信号を認識するためにのみ必要です。

² $\overline{\text{DMARx}}/\overline{\text{DMAGx}}$ ハンドシェークを使用した最大スループットは、 $t_{\text{WDR}}+t_{\text{DMARH}} = (t_{\text{CCLK}}+4.5)+(t_{\text{CCLK}}+4.5) = 29\text{ns}$ (34.5MHz)になります。このスループットの制限は、非同期アクセス・モードにのみ適用されます。

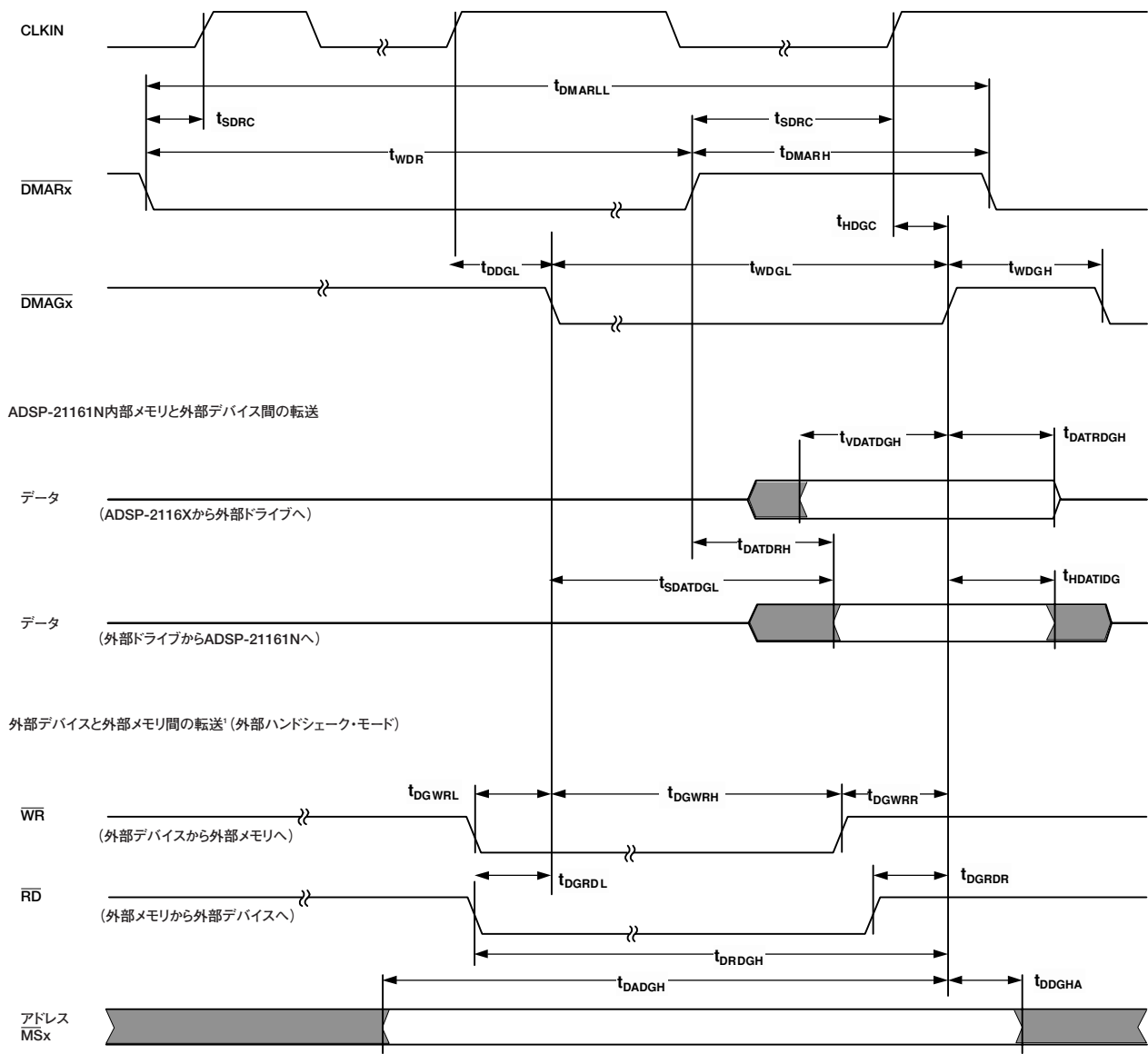
³ t_{SDATDGL} は、 $\overline{\text{DMARx}}$ が書き込み完了の遅延に使用されない場合のデータ・セットアップ条件です。 $\overline{\text{DMARx}}$ Lowによって書き込み完了を遅延させる場合は、 $\overline{\text{DMARx}}$ がHighになってから t_{DATDRH} でデータを駆動することができます。

⁴ $\overline{\text{DMARx}}$ が CLKIN と同期して遷移する場合は、 t_{DMARLL} を使用します。そうでない場合は、 t_{WDR} および t_{DMARH} を使用します。

⁵ t_{VDATDGH} は、 $\overline{\text{DMARx}}$ が読み出し完了の遅延に使用されない場合に有効です。 $\overline{\text{DMARx}}$ によって読み出し完了を遅延させる場合は、 $t_{\text{VDATDGH}} = t_{\text{CK}}-0.25t_{\text{CCLK}}-8+(n \times t_{\text{CK}})$ となります。ここで、 n はアクセスを延ばす追加サイクル数です。

⁶ 容量性負荷とDC負荷が与えられている場合のホールド・タイムの計算式については、54ページに示したシステム・ホールド・タイムの計算式の例を参照してください。

⁷ このパラメータは、同期アクセス・モードのみに適用されます。



1. ここでも、ADDR23~0、RD、WR、MS3~0、ACK信号に関するメモリ・リード・バス・マスターのタイミング仕様、メモリ・ライト・バス・マスターのタイミング仕様、または同期リード/ライト・バス・マスターのタイミング仕様が適用されます。

図27. DMAハンドシェイク・タイミング

ADSP-21161N

SDRAMインターフェース — バス・マスター

この仕様は、SDRAMへのADSP-21161Nバス・マスター・アクセスに使用します。

表23. SDRAMインターフェース — バス・マスター

パラメータ		最小	最大	単位
タイミング条件				
t_{SDSDK}	データ・セットアップからCLKIN	2.0		ns
t_{HSDK}	SDCLKからデータ・ホールド	1.5		ns
スイッチング特性				
t_{DSDK1}	CLKINから最初のSDCLK立ち上がりの遅延 ^{1,2}	$0.75t_{CCLK} + 1.5$	$0.75t_{CCLK} + 8.0$	ns
t_{SDK}	SDCLK周期	t_{CCLK}	$2 \times t_{CCLK}$	ns
t_{SDKH}	SDCLK幅High ³	4		ns
t_{SDKL}	SDCLK幅Low	4		ns
$t_{DCADSKD}$	SDCLKからコマンド、アドレス、データ、遅延 ⁴		$0.25t_{CCLK} + 2.5$	ns
$t_{HCADSKD}$	SDCLKからコマンド、アドレス、データ、ホールド ⁴	1.3		ns
$t_{SDTRSDK}$	SDCLKからデータ・スリーステート ⁵		$0.5t_{CCLK} + 2.0$	ns
$t_{SDENSDK}$	SDCLKからデータ・イネーブル	$0.75t_{CCLK}$		ns
t_{SDCTR}	CLKINからコマンド・スリーステート	$0.5t_{CCLK} + 1.0$	$0.5t_{CCLK} + 6.0$	ns
t_{SDCEN}	CLKINからコマンド・イネーブル	2	5	ns
$t_{SDSDKTR}$	CLKINからSDCLKスリーステート	0	3	ns
$t_{SDSDKEN}$	CLKINからSDCLKイネーブル	1	4	ns
t_{SDATR}	CLKINからアドレス・スリーステート	$-0.25t_{CCLK} - 5$	$-0.25t_{CCLK}$	ns
t_{SDAEN}	CLKINからアドレス・イネーブル	-0.4	7.2	ns

¹ CLKINからSDCLKの遅延の2番目、3番目、および4番目の立ち上がりエッジについては、SDCKR値およびコア・クロック対CLKIN比に応じて、 t_{DSDK1} および t_{SDDK1} の値に適切なSDCLK周期の数を加えます。

² 値が t_{CCLK} より大きいか等しい場合は、結果値から t_{CCLK} を差し引きます。

³ SDCLKがコア・クロック周波数と等しい場合はSDCKR = 1、SDCLKが1/2コア・クロック周波数と等しい場合はSDCKR = 2。

⁴ コマンド = SDCKE、MSx、DQM、RAS、CAS、SDA10、およびSDWE

⁵ SDRAMコントローラは、読み出しで1 SDRAM CLKスリーステート・サイクルの遅延を追加し、その後書き込みが行われます。

SDRAMインターフェース — バス・スレーブ

このタイミング条件により、バス・スレーブはバス・マスターのSDRAMコマンドをサンプリングし、いつリフレッシュが発生するか検出することができます。

表24. SDRAMインターフェース — バス・スレーブ

パラメータ		最小	最大	単位
タイミング条件				
t_{SSDKC1}	CLKOUTから最初のSDCLK立ち上がり ^{1,2,3}	$SDCKR \times t_{CCLK} - 0.5t_{CCLK} - 0.5$	$SDCKR \times t_{CCLK} - 0.25t_{CCLK} + 2.0$	ns
t_{SCSDK}	コマンド・セットアップからSDCLK ⁴	2		ns
t_{HCSDK}	SDCLKからコマンド・ホールド ⁴	1		ns

¹ CLKOUTからのSDCLKの遅延の2番目、3番目、および4番目の立ち上がりエッジについては、SDCKR値およびコア・クロック対CLKOUT比に応じて、 t_{DSDK1} および t_{SSDKC1} の値に適切なSDCLK周期の数を加えます。

² SDCLKがコア・クロック周波数と等しい場合はSDCKR = 1、SDCLKが1/2コア・クロック周波数と等しい場合はSDCKR = 2。

³ 値が t_{CCLK} より大きいか等しい場合は、結果値から t_{CCLK} を差し引きます。

⁴ コマンド = SDCKE、MSx、DQM、RAS、CAS、SDA10、およびSDWE

ADSP-21161N

リンク・ポート

リンク・クロックに関するリンク・レシーバ・データのセットアップおよびホールドの計算は、LCLKおよびLCLCK間の送信パスに生じる可能性がある最大許容スキューを求める際に使用します。セットアップ・スキューは、LCLKに関連してLCLKに生じる可能性がある最大遅延です（セットアップ・スキュー＝ $t_{LCLKTWH}^{min} - t_{DLDC} - t_{SLDCL}$ ）。ホールド・スキューは、LCLKに関連するLCLKに生じる可能性がある最大遅延です（ホールド・スキュー＝ $t_{LCLKTWL}^{min} - t_{HLDCH} - t_{HLDCL}$ ）。速度仕様から直接計算を行うと、複数のテストのガードバンドが含まれるので、算出されたスキュー時間は非現実的なほど小さなものとなります。下記のセットアップおよびホールド・スキュー時間の計算では、1つのテストのガードバンドしか含まれていません。

ADSP-21161Nセットアップ・スキュー＝最大1.5ns

ADSP-21161Nホールド・スキュー＝最大1.5ns

リンク・ポートを有効にするDSPと命令を有効にするリンク・ポートとの間には、2サイクル効果のレイテンシが存在します。

表25. リンク・ポートの受信

パラメータ	最小	最大	単位
タイミング条件			
t_{SLDCL} データ・セットアップからLCLK Low	1		ns
t_{HLDCL} LCLK Lowからデータ・ホールド	3.5		ns
t_{LCLKIW} LCLK周期	t_{LCLK}		ns
$t_{LCLKRWL}$ LCLK幅Low	4.0		ns
$t_{LCLKRWH}$ LCLK幅High	4.0		ns
スイッチング特性			
t_{DLALC} LCLK HighからLACK Lowの遅延 ¹	8	12	ns

¹ LACKは最初のニブルの後のLCLK立ち上がりに関しては t_{DLALC} でLowになりますが、レシーバのリンク・バッファをフィルしようとしていないとLowになりません。

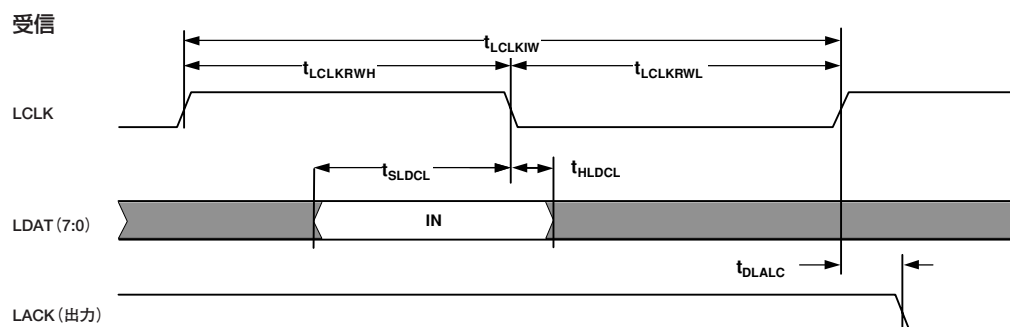


図29. リンク・ポート — 受信

表26. リンク・ポート — 送信

パラメータ	最小	最大	単位
タイミング条件			
t_{SLACH} LACKセットアップからLCLK High	8		ns
t_{HLACH} LCLK HighからLACKホールド	-2		ns
スイッチング特性			
t_{DLDC} LCLK Highからデータの遅延		3	ns
t_{HLDCH} LCLK Highからデータ・ホールド	0		ns
$t_{LCLKTWL}$ LCLK幅Low	$0.5t_{LCLK} - 1.0$	$0.5t_{LCLK} + 1.0$	ns
$t_{LCLKTWH}$ LCLK幅High	$0.5t_{LCLK} - 1.0$	$0.5t_{LCLK} + 1.0$	ns
t_{DLACLK} LCLK HighからLCLK Lowの遅延	$0.5t_{LCLK} + 3$	$3t_{LCLK} + 11$	ns

送信

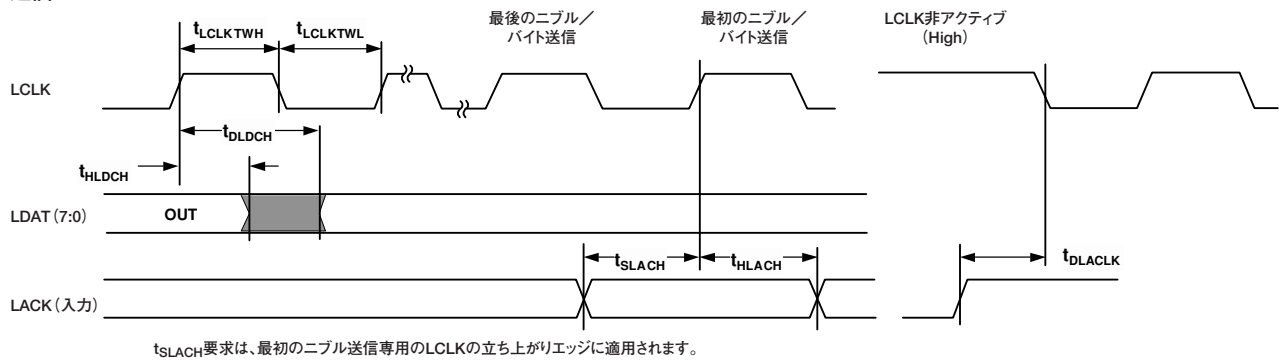


図30. リンク・ポート — 送信

ADSP-21161N

シリアル・ポート

クロック速度 n で2つのデバイス間の通信が可能かどうか判断するには、次の仕様を確認する必要があります。1) フレーム同期の遅延およびフレーム同期セットアップ/ホールド、2) データの遅延およびデータ・セットアップ/ホールド、および3) SCLK幅。

表27. シリアル・ポート — 外部クロック

パラメータ	最小	最大	単位
タイミング条件			
t_{SFSE}	送信/受信FSセットアップから送信/受信SCLK ¹	3.5	ns
t_{HFSE}	送信/受信SCLKから送信/受信FSホールド ^{1,2}	4	ns
t_{SDRE}	受信データ・セットアップから受信SCLK ^{1,3}	1.5	ns
t_{HDRE}	SCLKから受信データ・ホールド ^{1,4}	4	ns
t_{SCLKW}	SCLK _x 幅	7	ns
t_{SCLK}	SCLK _x 周期	$2t_{CCLK}$	ns

¹ サンプル・エッジを基準にします。

² MCE = 1、MFD = 0のときの受信SCLK後のFSxホールドは、ドライブ・エッジからの最小0nsです。遅延外部送信FSの送信SCLK後の送信FSホールドは、ドライブ・エッジからの最小0nsです。

³ SCLK/FSは、SPCTLxレジスタのDDIRビット = 0で受信クロック/フレーム同期として設定されます。

⁴ SCLK/FSは、SPCTLxレジスタのDDIRビット = 1で送信クロック/フレーム同期として設定されます。

表28. シリアル・ポート — 内部クロック

パラメータ	最小	最大	単位
タイミング条件			
t_{SFSI}	FSセットアップ時間からSCLK ^{1,2}	8	ns
t_{HFSI}	SCLKからFSホールド ^{1,2,3}	$0.5t_{CCLK} + 1$	ns
t_{SDRI}	受信データ・セットアップからSCLK ¹	4	ns
t_{HDRI}	SCLKから受信データ・ホールド ¹	3	ns

¹ サンプル・エッジを基準にします。

² SCLK/FSは、SPCTLxレジスタのDDIRビット = 0で受信クロック/フレーム同期として設定されます。

³ MCE = 1、MFD = 0のときの受信SCLK後のFSxホールドは、ドライブ・エッジからの最小0nsです。遅延外部送信FSの送信SCLK後の送信FSホールドは、ドライブ・エッジからの最小0nsです。

表29. シリアル・ポート — 外部または内部クロック

パラメータ	最小	最大	単位
スイッチング特性			
t_{DFSE}	SCLKからFSの遅延 ¹ (FSは内部で生成) ²	13	ns
t_{HOFSE}	SCLKからFSホールド (FSは内部で生成) ¹	3	ns

¹ SCLK/FSは、SPCTLxレジスタのDDIRビット = 0で受信クロック/フレーム同期として設定されます。

² ドライブ・エッジを基準にします。

表30. シリアル・ポート — 外部クロック

パラメータ	最小	最大	単位
スイッチング特性			
t_{DFSE}	SCLKからFSの遅延 (FSは内部で生成) ^{1,2}	13	ns
t_{HOFSE}	SCLKからFSホールド (FSは内部で生成) ^{1,2}	3	ns
t_{DDTE}	SCLKからデータの遅延 ^{1,2}	16	ns
t_{HDTE}	SCLKからデータ・ホールド ^{1,2}	0	ns

¹ ドライブ・エッジを基準にします。

² SCLK/FSは、SPCTLxレジスタのDDIRビット = 1で送信クロック/フレーム同期として設定されます。

表31. シリアル・ポート — 内部クロック

パラメータ	最小	最大	単位
スイッチング特性			
t_{DFSI} SCLKからFSの遅延 (FSは内部で生成) ^{1,2}		4.5	ns
t_{HOFSI} SCLKからFSホールド (FSは内部で生成) ^{1,2}	-1.5		ns
t_{DDTI} SCLKからデータの遅延 ^{1,2}		7.5	ns
t_{HDTI} SCLKからデータ・ホールド ^{1,2}	0		ns
t_{SCLKIW} SCLK幅 ²	$0.5t_{SCLK} - 2.5$	$0.5t_{SCLK} + 2$	ns

¹ ドライブ・エッジを基準にします。

² SCLK/FSは、SPCTLxレジスタのDDIRビット = 1で送信クロック/フレーム同期として設定されます。

表32. シリアル・ポート — イネーブルおよびスリーステート

パラメータ	最小	最大	単位
スイッチング特性			
t_{DDTEN} 外部送信SCLKからデータ・イネーブル ^{1,2}	4		ns
t_{DDTTE} 外部送信SCLKからデータ・デイスエーブル ¹		10	ns
t_{DDTIN} 内部送信SCLKからデータ・イネーブル ¹	0		ns
t_{DDTTI} 内部送信SCLKからデータ・デイスエーブル ¹		3	ns

¹ ドライブ・エッジを基準にします。

² SCLK/FSは、SPCTLxレジスタのDDRビット = 1で送信クロック/フレーム同期として設定されます。

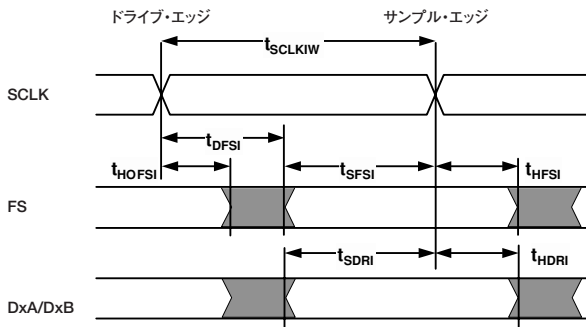
表33. シリアル・ポート — 外部遅延フレーム同期

パラメータ	最小	最大	単位
スイッチング特性			
$t_{DDTLFSE}$ 遅延外部送信FSまたは外部受信FS (MCE = 1、MFD = 0) からデータの遅延 ¹		13	ns
$t_{DDTENFS}$ 遅延FSまたはMCE = 1、MFD = 0からデータ・イネーブル ¹	0.5		ns

¹ MCE = 1、送信FSイネーブル、および送信FS有効は、 $t_{DDTLFSE}$ および $t_{DDTENFS}$ に従います。

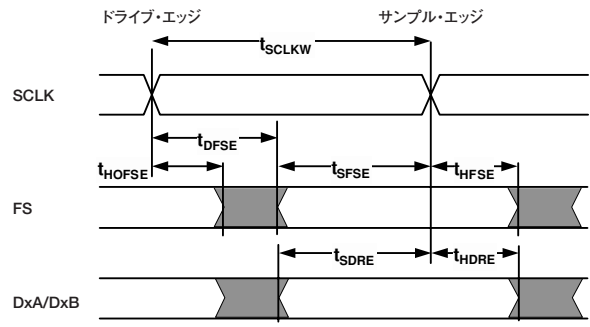
ADSP-21161N

データ受信 — 内部クロック

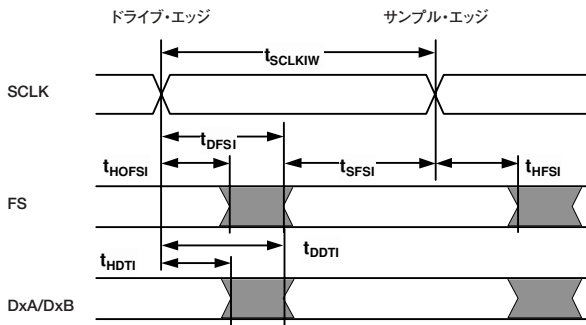


注: SCLK (外部)、SCLK (内部) の立ち上がりエッジまたは立ち下がりエッジは、アクティブ・サンプリング・エッジとして使用できます。

データ受信 — 外部クロック



データ送信 — 内部クロック



注: SCLK (外部)、SCLK (内部) の立ち上がりエッジまたは立ち下がりエッジは、アクティブ・サンプリング・エッジとして使用できます。

データ送信 — 外部クロック

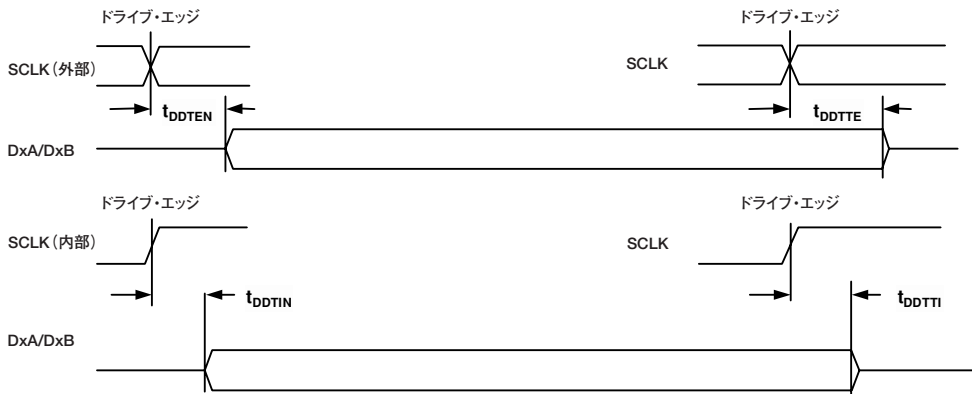
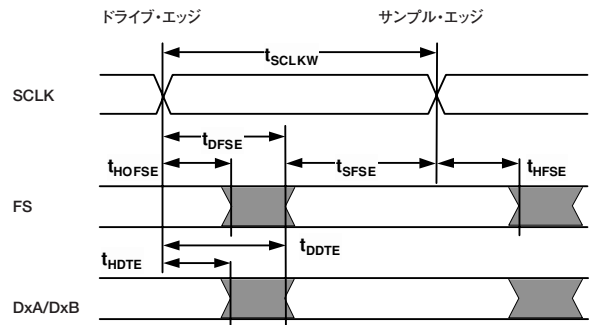
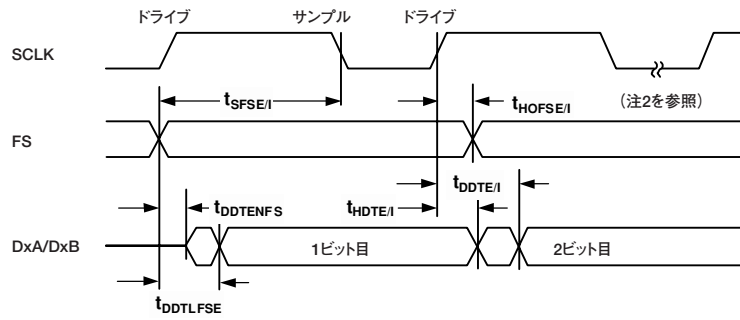


図31. シリアル・ポート

外部受信FS (MCE=1、MFD=0)



遅延外部送信FS

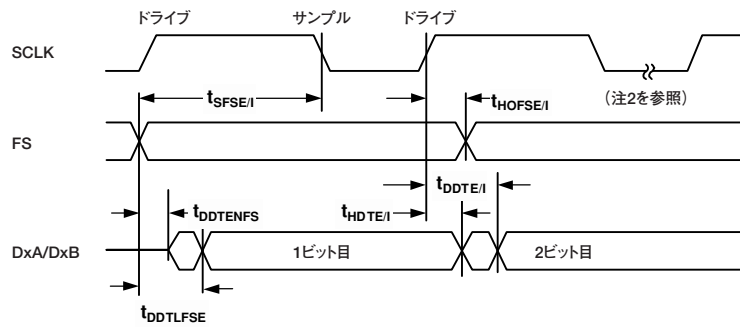


図32. 外部遅延フレーム同期

ADSP-21161N

SPIインターフェースの仕様

表34. SPIインターフェース・プロトコル — マスター・スイッチングおよびタイミングの仕様

名前	パラメータ	最小	最大	単位
タイミング条件				
t_{SSPIDM}	データ入力有効からSPICLKエッジ (データ入力セットアップ時間)	$0.5t_{CCLK} + 10$		ns
t_{HSPIDM}	SPICLKの最後のサンプリング・エッジからデータ入力無効	$0.5t_{CCLK} + 1$		ns
t_{SPITDM}	シケンシヤル転送の遅延	$2t_{CCLK}$		ns
スイッチング特性				
$t_{SPICLKM}$	シリアル・クロック・サイクル	$8t_{CCLK}$		ns
t_{SPICHM}	シリアル・クロックHigh周期	$4t_{CCLK} - 4$		ns
t_{SPICLM}	シリアル・クロックLow周期	$4t_{CCLK} - 4$		ns
$t_{DDSPIDM}$	SPICLKエッジからデータ出力有効 (データ出力遅延時間)		3	
$t_{HDSPIDM}$	SPICLKエッジからデータ出力無効 (データ出力ホールド・タイム)	0		
t_{SDSCIM_0}	FLAG3~0 (SPIデバイス・セレクト) LowからCPHASE = 0の 最初のSPICLKエッジ	$5t_{CCLK}$		ns
t_{SDSCIM_1}	FLAG3~0 (SPIデバイス・セレクト) LowからCPHASE = 1の 最初のSPICLKエッジ	$3t_{CCLK}$		ns
t_{HDSM}	最後のSPICLKエッジからFLAG3~0 High	$t_{CCLK} - 3$		ns

表35. SPIインターフェース・プロトコル — スレーブ・スイッチングおよびタイミングの仕様

名前	パラメータ	最小	最大	単位
タイミング条件				
$t_{SPICLKS}$	シリアル・クロック・サイクル	$8t_{CCLK}$		ns
t_{SPICHS}	シリアル・クロックHigh周期	$4t_{CCLK} - 4$		ns
t_{SPICLS}	シリアル・クロックLow周期	$4t_{CCLK} - 4$		ns
t_{SDSCO}	\overline{SPIDS} アサーションから最初のSPICLKエッジ			ns
	CPHASE = 0	$3.5t_{CCLK} + 8$		
	CPHASE = 1	$1.5t_{CCLK} + 8$		
t_{HDS}	最後のSPICLKエッジからアサートされていない \overline{SPIDS} CPHASE = 0	0		
t_{SSPIDS}	データ入力有効からSPICLKエッジ (データ入力セットアップ時間)	0		ns
t_{HSPIDS}	SPICLKの最後のサンプリング・エッジからデータ入力無効	$t_{CCLK} + 1$		ns
t_{SDPPW}	\overline{SPIDS} ディアサーション・パルス幅 (CPHASE = 0)	t_{CCLK}		ns
スイッチング特性				
t_{DSOE}	\overline{SPIDS} アサーションからデータ出力アクティブ	2	$0.5t_{CCLK} + 5.5$	ns
t_{DSDHI}	\overline{I} ディアサーションからデータ高インピーダンス	2	$0.5t_{CCLK} + 5.5$	ns
$t_{DDSPIDS}$	SPICLKエッジからデータ出力有効 (データ出力遅延時間)		$0.75t_{CCLK} + 3$	ns
$t_{HDSPIDS}^1$	SPICLKエッジからデータ出力無効 (データ出力ホールド)	$0.25t_{CCLK} + 3$		ns
t_{HDLSBS}^1	SPICLKエッジからLSBの最終ビット出力無効 (データ出力ホールド・タイム)	$0.5t_{SPICLK} + 4.5t_{CCLK}$		ns
t_{DSOV}^2	\overline{SPIDS} アサーションからデータ出力有効 (CPHASE = 0)		$1.5t_{CCLK} + 7$	ns

¹ CPHASE = 0かつボーレートが1より大きいとき、 t_{HDLSBS} は送信される最終ビットの長さに影響します。

² \overline{SPIDS} の最初のディアサーションのみに適用されます。

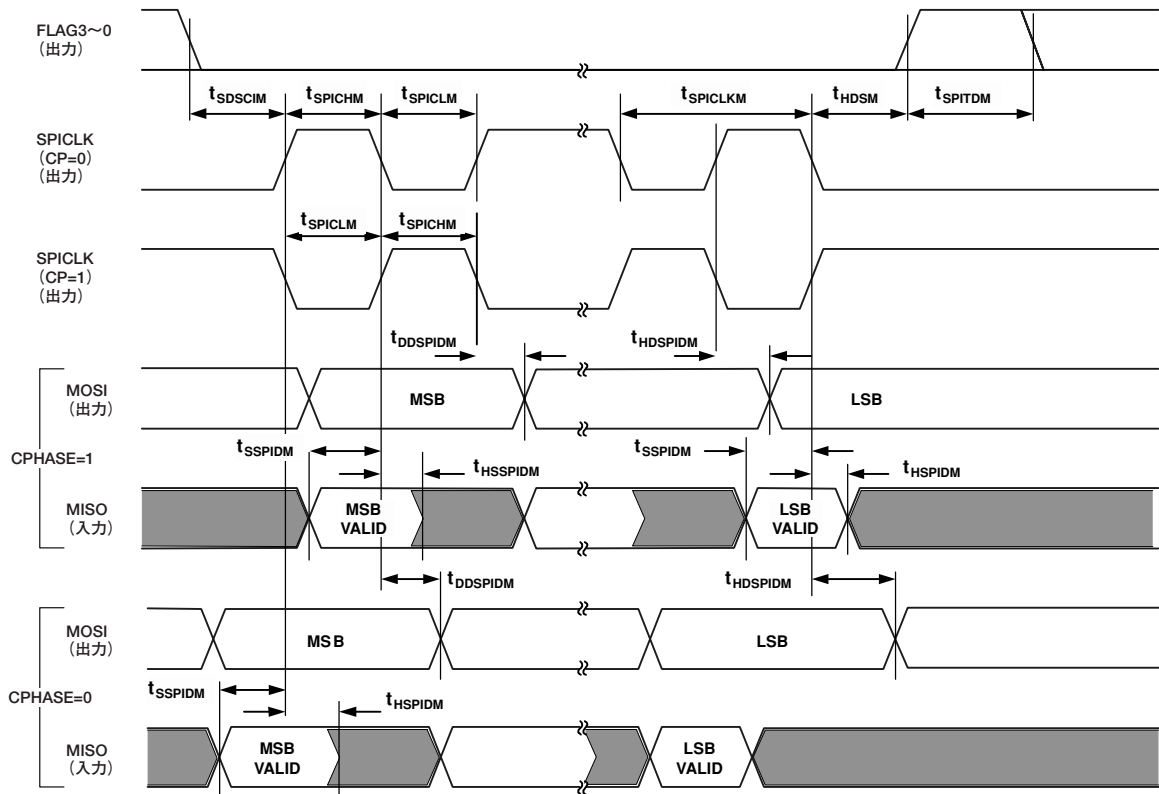


図33. SPIマスター・タイミング

ADSP-21161N

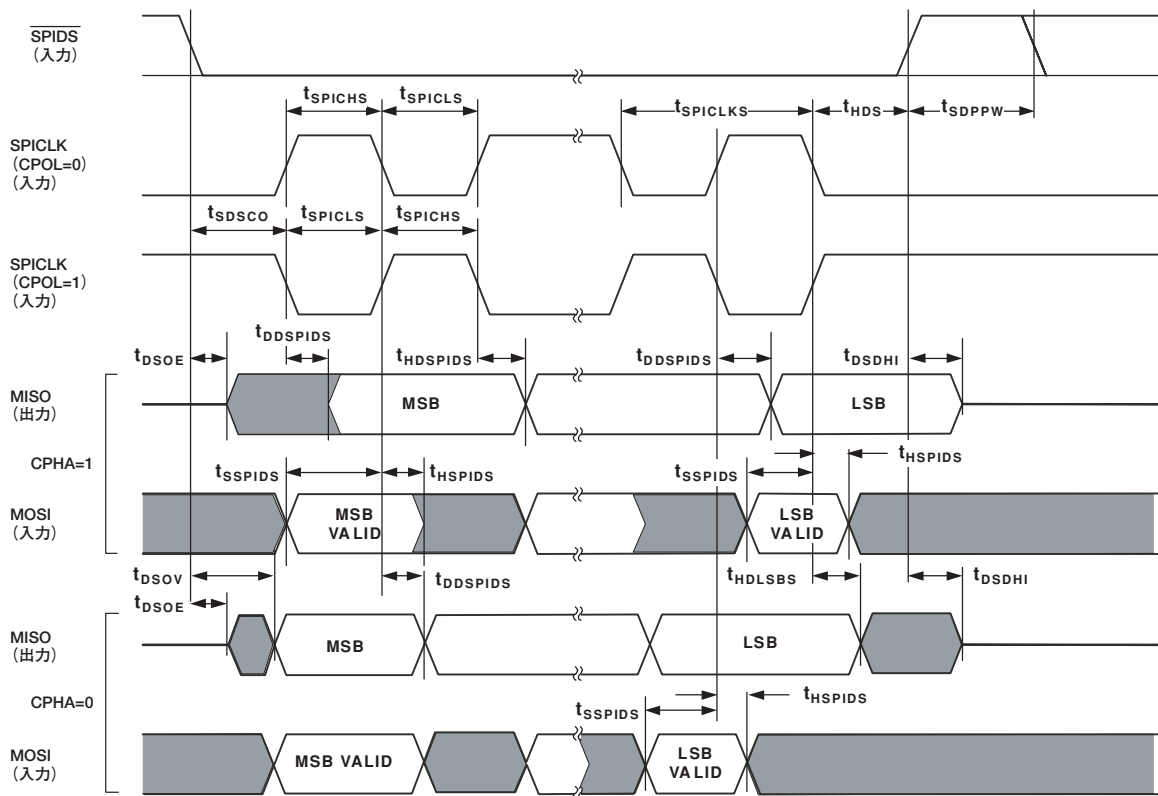


図34. SPIスレーブ・タイミング

JTAGテスト・アクセス・ポートおよびエミュレーション

表36. JTAGテスト・アクセス・ポートおよびエミュレーション

パラメータ	最小	最大	単位
タイミング条件			
t_{TCK}	TCK周期	t_{CK}	ns
t_{STAP}	TDI、TMSセットアップからTCK High	5	ns
t_{HTAP}	TCK HighからTDI、TMSホールド	6	ns
t_{SSYS}	システム入力セットアップからTCK Low ¹	2	ns
t_{HSYS}	TCK Lowからシステム入力ホールド ¹	15	ns
t_{TRSTW}	TRSTパルス幅	$4t_{CK}$	ns
スイッチング特性			
t_{DTDO}	TCK LowからTDOの遅延	13	ns
t_{DSYS}	TCK Lowからシステム出力の遅延 ²	30	ns

¹ システム入力=DATA47~16、ADDR23~0、RD、WR、ACK、RPBA、SPIDS、EBOOT、LBOOT、DMAR2~1、CLK_CFG1~0、CLKDBL、CS、HBR、SBTS、ID2~0、IRQ2~0、RESET、BMS、MISO、MOSI、SPICLK、DxA、DxB、SCLKx、FSx、LxDAT7~0、LxCLK、LxACK、SDWE、HBG、RAS、CAS、SDCLK0、SDCKE、BRST、BR6~1、PA、MS3~0、FLAG11~0。

² システム出力=BMS、MISO、MOSI、SPICLK、DxA、DxB、SCLKx、FSx、LxDAT7~0、LxCLK、LxACK、DATA47~16、SDWE、ACK、HBG、RAS、CAS、SDCLK1~0、SDCKE、BRST、RD、WR、BR6~1、PA、MS3~0、ADDR23~0、FLAG11~0、DMAG2~1、DQM、REDY、CLKOUT、SDA10、TIMEXP、EMU、BMSTR、RSTOUT。

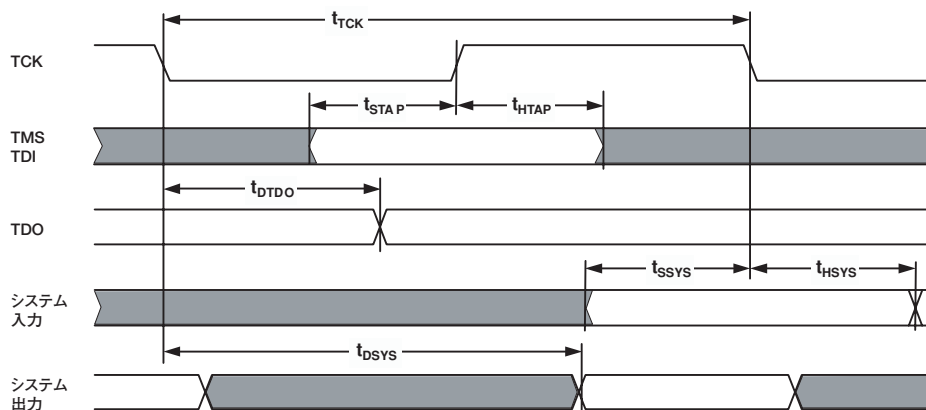


図35. IEEE 11499.1 JTAGテスト・アクセス・ポート

ADSP-21161N

出力ドライブ電流

図36は、ADSP-21161Nの出力ドライバの代表的なI-V特性を示しています。図中の線は出力ドライバの電流ドライブ機能を出力電圧の関数として表しています。

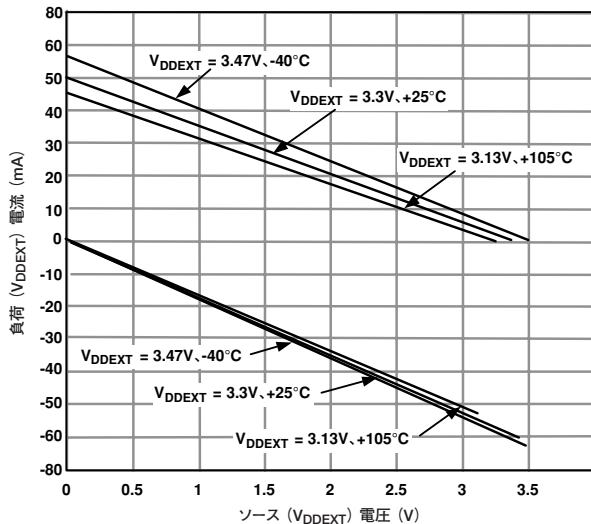


図36. 代表的なドライブ電流

テスト条件

出力イネーブル時間

出力ピンは、高インピーダンス状態から駆動状態に移したときにイネーブルされたときみなされます。出力イネーブル時間 t_{ENA} は、図37「出力イネーブル/ディスエーブル」に示されているように、基準信号がHigh電圧レベルまたはLow電圧レベルに達したときから、出力が規定されたHighまたはLowの測定電圧に到達したときまでの時間間隔です。複数のピン（データ・バスなど）がイネーブルされる場合は、最初に駆動を開始するピンの値を測定値とします。

出力ディスエーブル時間

出力ピンがディスエーブルされたときみなされるのは、そのピンが駆動を停止して高インピーダンス状態になり、出力が高電圧から低電圧に減衰し始めるときです。バスの電圧が ΔV だけ減衰する時間は、容量性負荷 C_L および負荷電流 I_L に左右されます。この減衰時間は次式で概算できます。

$$t_{DECAY} = \frac{(C_L \Delta V)}{I_L}$$

出力ディスエーブル時間 t_{DIS} は、図37に示されているように $t_{MEASURED}$ から t_{DECAY} を差し引いた間隔です。時間 $t_{MEASURED}$ は、基準信号が切り替わったときから、出力電圧が測定済みのHigh/Lowレベル出力電圧から ΔV だけ減衰するときまでの時間間隔です。 t_{DECAY} は、テスト負荷 C_L と I_L および ΔV (0.5V) を使って計算します。

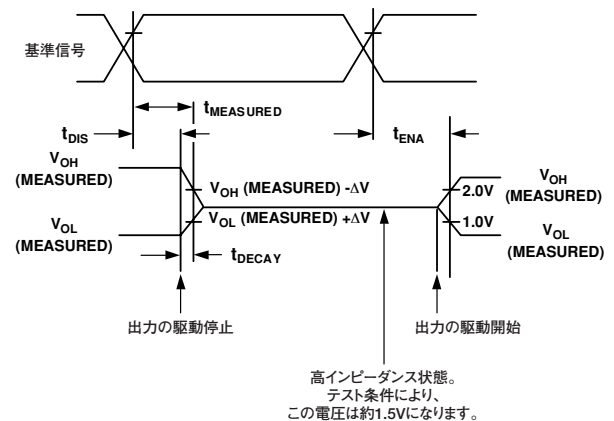


図37. 出力イネーブル/ディスエーブル

システム・ホールド・タイムの計算例

特定のシステムでデータ出力のホールド・タイムを求めるには、最初に上記の式を使って t_{DECAY} を計算します。 ΔV としては、ホールド・タイムを必要としているデバイスの入力しきい値とADSP-21161Nの出力電圧との差を選択します。代表的な ΔV は0.4Vです。 C_L は、データ・ラインごとの合計バス容量で、 I_L はデータ・ラインごとの合計リーク電流またはスリーステート電流です。ホールド・タイムは、 t_{DECAY} と最小ディスエーブル時間の和になります（すなわち、ライト・サイクルでは t_{DATRWH} ）。

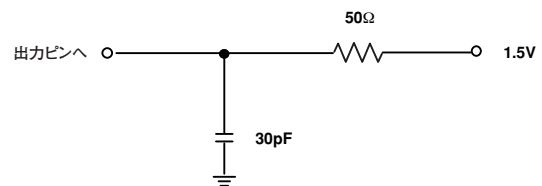


図38. AC測定の等価デバイス負荷（全治具を含む）



図39. AC測定用の電圧基準レベル
(出力イネーブル/ディスエーブルを除く)

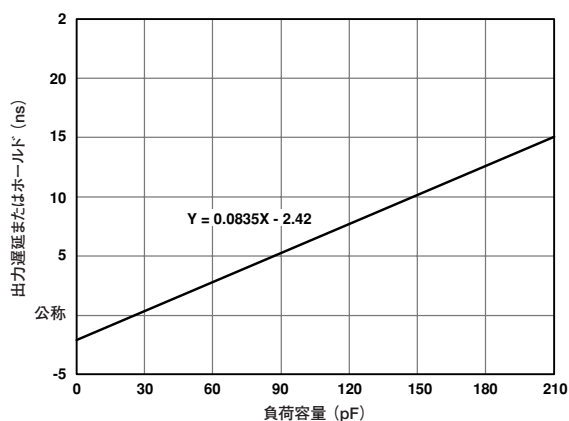


図40. 代表的な出力遅延またはホールド値と負荷容量の関係 (最大ケース温度)

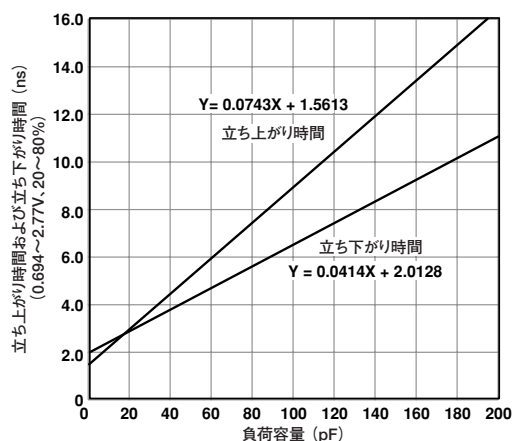


図41. 代表的な出力立ち上がり/立ち下がり時間 (20~80%、 V_{DDEXT} = 最大)

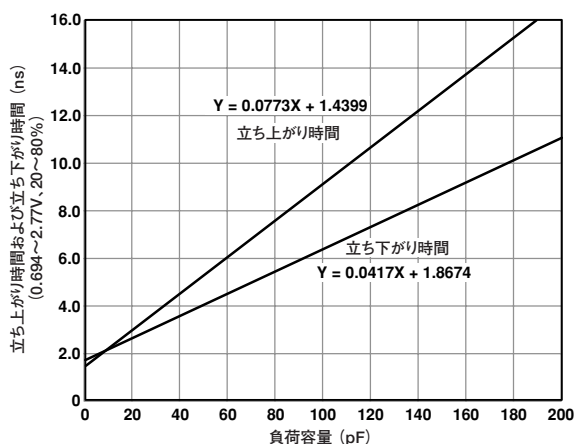


図42. 代表的な出力立ち上がり/立ち下がり時間 (20~80%、 V_{DDEXT} = 最小)

容量性負荷

出力遅延とホールドは、全ピンの標準容量性負荷30pFに基づいています (54ページの図38を参照)。図40は、負荷容量に対する出力遅延およびホールドの変化を示しています。(このグラフまたは仕様軽減は、出力ディスエーブル遅延には適用できません。54ページの「出力ディスエーブル時間」を参照してください。) 図40~42のグラフは、「代表的な出力遅延またはホールド値と負荷容量の関係」と「代表的な出力立ち上がり時間 (20~80%、 V = 最小) と負荷容量の関係」で示した領域の外では直線にならない場合があります。

環境条件

熱特性

ADSP-21161Nは、225ピンのミニ・ボール・グリッド・アレイ (MBGA) パッケージを使用しています。本プロセッサは、ケース温度 (T_{CASE}) で仕様を規定しています。 T_{CASE} データ仕様の値を超えないように、ヒートシンクまたはエアフロー・ソースまたはその両方を使用できます。プリント基板のグランド面に熱の通路を提供するには、中央のグランド・ピン (MBGAボール: F6-10、G6-10、H6-10、J6-10、K6-10) のブロックを使用します。ヒートシンクは、熱伝導性の接着剤でグランド面に (できる限り熱通路の近くに) 取り付ける必要があります。

$$T_{CASE} = T_{AMB} + (PD \times \theta_{CA})$$

- T_{CASE} = ケース温度 (パッケージ上面での測定温度)
- PD = W で表した消費電力 (この値はアプリケーションによって異なります。PDの計算方法は「消費電力」の節に示しています。)
- θ_{CA} = 表37の値
- $\theta_{JB} = 8.0^{\circ}\text{C}/\text{W}$

表37. パッケージのエアフローと θ_{CA}

エアフロー (リニア フィート/分)	0	200	400
θ_{CA} ($^{\circ}\text{C}/\text{W}$) ¹	17.9	15.2	13.7

¹ $\theta_{JC} = 6.8^{\circ}\text{C}/\text{W}$

ADSP-21161N

225ボール・メトリックMBGAピン配置

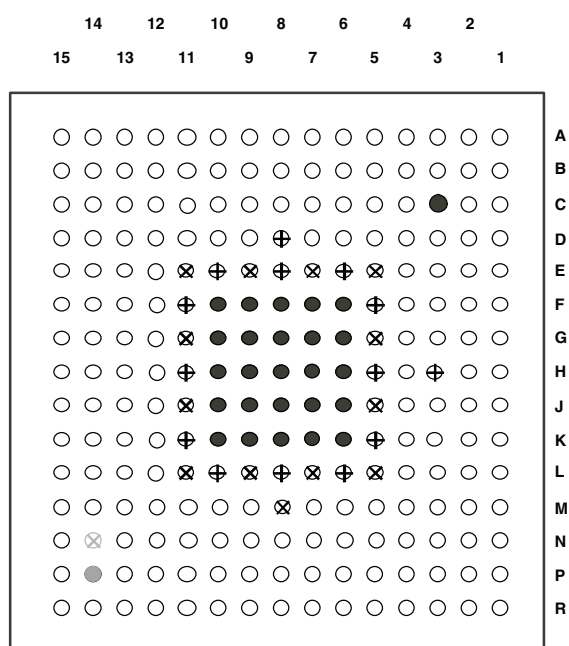
表38. 225ピン・メトリックMBGAピン割り当て

ピン名	PBGA ピン番号	ピン名	PBGA ピン番号	ピン名	PBGA ピン番号	ピン名	PBGA ピン番号
NC	A01	CLK_CFG0	N13	SDCLK0	P10	$\overline{\text{BR}}3$	R07
BMSTR	A02	AV_{DD}	N14	REDY	P11	$\overline{\text{RD}}$	R08
$\overline{\text{BMS}}$	A03	$\overline{\text{DMAR}}1$	N15	CLKIN	P12	CLKOUT	R09
$\overline{\text{SPIDS}}$	A04	$\overline{\text{TRST}}$	B01	DQM	P13	$\overline{\text{HBR}}$	R10
EBOOT	A05	TDI	B02	AGND	P14	$\overline{\text{HBG}}$	R11
LBOOT	A06	RPBA	B03	$\overline{\text{DMAR}}2$	P15	$\overline{\text{CLKDBL}}$	R12
SCLK2	A07	MOSI	B04	TMS	C01	XTAL	R13
D3B	A08	FS0	B05	$\overline{\text{EMU}}$	C02	$\overline{\text{SDWE}}$	R14
L0DAT[4]	A09	SCLK1	B06	GND	C03	NC	R15
L0ACK	A10	D2B	B07	SPICLK	C04	TDO	D01
L0DAT[2]	A11	D3A	B08	D0B	C05	TCK	D02
L1DAT[6]	A12	L0DAT[7]	B09	D1A	C06	FLAG11	D03
L1CLK	A13	L0CLK	B10	D2A	C07	MISO	D04
L1DAT[2]	A14	L0DAT[1]	B11	FS2	C08	SCLK0	D05
NC	A15	L1DAT[4]	B12	FS3	C09	D1B	D06
FLAG10	E01	L1ACK	B13	L0DAT[6]	C10	FS1	D07
$\overline{\text{RESET}}$	E02	L1DAT[0]	B14	L1DAT[7]	C11	V_{DDINT}	D08
FLAG8	E03	$\overline{\text{RSTOUT}}^1$	B15	L1DAT[3]	C12	SCLK3	D09
D0A	E04	FLAG5	F01	L1DAT[1]	C13	L0DAT[5]	D10
V_{DDEXT}	E05	FLAG7	F02	DATA[45]	C14	L0DAT[3]	D11
V_{DDINT}	E06	FLAG9	F03	DATA[47]	C15	L1DAT[5]	D12
V_{DDEXT}	E07	FLAG6	F04	FLAG1	G01	DATA[42]	D13
V_{DDINT}	E08	V_{DDINT}	F05	FLAG2	G02	DATA[46]	D14
V_{DDEXT}	E09	GND	F06	FLAG4	G03	DATA[44]	D15
V_{DDINT}	E10	GND	F07	FLAG3	G04	FLAG0	H01
V_{DDEXT}	E11	GND	F08	V_{DDEXT}	G05	$\overline{\text{IRQ}}0$	H02
L0DAT[0]	E12	GND	F09	GND	G06	V_{DDINT}	H03
DATA[39]	E13	GND	F10	GND	G07	$\overline{\text{IRQ}}1$	H04
DATA[43]	E14	V_{DDINT}	F11	GND	G08	V_{DDINT}	H05
DATA[41]	E15	DATA[37]	F12	GND	G09	GND	H06
$\overline{\text{IRQ}}2$	J01	DATA[40]	F13	GND	G10	GND	H07
ID1	J02	DATA[38]	F14	V_{DDEXT}	G11	GND	H08
ID2	J03	DATA[36]	F15	DATA[34]	G12	GND	H09
ID0	J04	TIMEXP	K01	DATA[35]	G13	GND	H10
V_{DDEXT}	J05	ADDR[22]	K02	DATA[33]	G14	V_{DDINT}	H11
GND	J06	ADDR[20]	K03	DATA[32]	G15	DATA[29]	H12
GND	J07	ADDR[23]	K04	ADDR[19]	L01	DATA[28]	H13
GND	J08	V_{DDINT}	K05	ADDR[17]	L02	DATA[30]	H14
GND	J09	GND	K06	ADDR[21]	L03	DATA[31]	H15
GND	J10	GND	K07	ADDR[2]	L04	ADDR[16]	M01
V_{DDEXT}	J11	GND	K08	V_{DDEXT}	L05	ADDR[12]	M02
DATA[26]	J12	GND	K09	V_{DDINT}	L06	ADDR[18]	M03
DATA[24]	J13	GND	K10	V_{DDEXT}	L07	ADDR[6]	M04
DATA[25]	J14	V_{DDINT}	K11	V_{DDINT}	L08	ADDR[0]	M05
DATA[27]	J15	DATA[22]	K12	V_{DDEXT}	L09	$\overline{\text{MS}}1$	M06
ADDR[14]	N01	DATA[19]	K13	V_{DDINT}	L10	$\overline{\text{BR}}6$	M07
ADDR[15]	N02	DATA[21]	K14	V_{DDEXT}	L11	V_{DDEXT}	M08
ADDR[10]	N03	DATA[23]	K15	$\overline{\text{CAS}}$	L12	$\overline{\text{WR}}$	M09
ADDR[5]	N04	ADDR[13]	P01	DATA[20]	L13	SDA10	M10

表38. 225ピン・メトリックMBGAピン割り当て (続き)

ピン名	PBGA ピン番号	ピン名	PBGA ピン番号	ピン名	PBGA ピン番号	ピン名	PBGA ピン番号
ADDR[1]	N05	ADDR[9]	P02	DATA[16]	L14	RAS	M11
MS0	N06	ADDR[8]	P03	DATA[18]	L15	ACK	M12
BR5	N07	ADDR[4]	P04	NC	R01	DATA[17]	M13
BR2	N08	MS2	P05	ADDR[11]	R02	DMAG2	M14
BRST	N09	SBTS	P06	ADDR[7]	R03	DMAG1	M15
SDCKE	N10	BR4	P07	ADDR[3]	R04		
CS	N11	BRI	P08	MS3	R05		
CLK_CFG1	N12	SDCLK1	P09	PA	R06		

¹ RSTOUTは、シリコン・リビジョン1.2以上にのみ存在します。シリコン・リビジョン0.3、1.0、1.1の場合は、このピンを未接続のままにします。



キー:

⊕ VDDINT	● GND'	⊗ AVDD
⊗ VDDEXT	● AGND	○ 信号

¹ プリント基板のグランド面に熱の通路を提供するには、グランド・ピン中央のブロックを使用します。

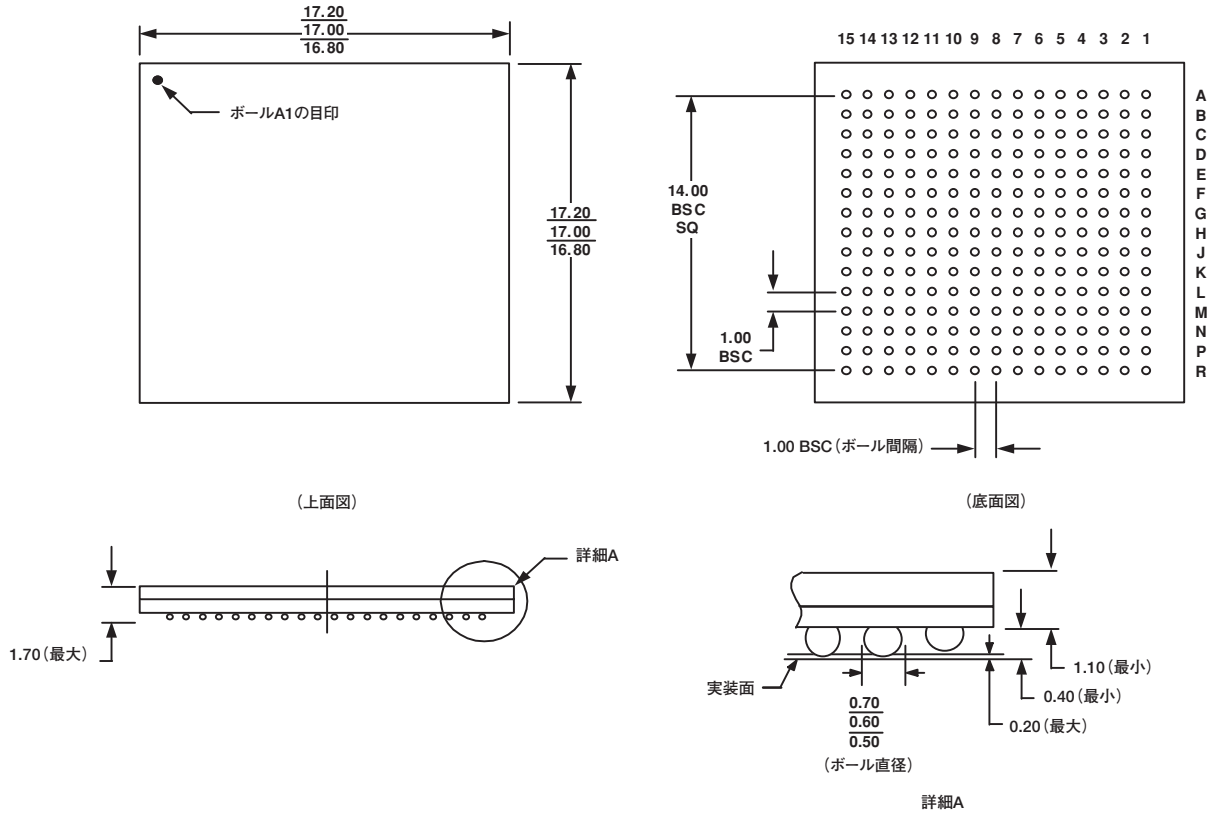
図43. 225ピン・メトリックMBGAピン割り当て (裏面図概略)

ADSP-21161N

外形寸法

ADSP-21161Nは、15列のボールから成る225ボールMBGAパッケージ（17×17mm）として提供されます。
 下図の寸法単位はすべてミリメートル（mm）です。

225ボール・ミニBGA（CA-225）



- 注:
1. 寸法はミリメートル単位であり、JEDEC標準MO-151に準拠します。
 2. ボール・グリッドの実際の位置は、パッケージの縁を基準にした理想位置の0.25以内とします。
 3. 各ボールの実際の位置は、ボール・グリッドを基準にした理想位置の0.10以内とします。

オーダー・ガイド

製品番号 ¹	ケース温度範囲	命令レート	内部SRAM	動作電圧
ADSP-21161NKCA-100	0～+85℃	100MHz	1Mbit	1.8INT/3.3EXT V
ADSP-21161NCCA-100	-40～+105℃	100MHz	1Mbit	1.8INT/3.3EXT V

¹ これらの製品は、225ピンのミニ・ボール・グリッド・アレイ（MBGA）としてパッケージ化されます。

