



デュアルチャンネル 3.7GHz~5.3GHz の レシーバー・フロント・エンド

データシート

ADRF5547

特長

内蔵デュアルチャンネル RF フロント・エンド
2 段 LNA および高出力 SPDT スイッチ
オンチップのバイアスおよびマッチング
単電源動作

ゲイン

高ゲイン・モード：4.6GHz で 33dB（代表値）
低ゲイン・モード：4.6GHz で 18dB（代表値）

低ノイズ指数

高ゲイン・モード：4.6GHz で 1.6dB（代表値）
低ゲイン・モード：4.6GHz で 1.6dB（代表値）

高チャンネル間アイソレーション

RxOUT-ChA と RxOUT-ChB の間：45dB（代表値）
TERM-ChA と TERM-ChB の間：53dB（代表値）

低挿入損失：4.6GHz で 0.50dB（代表値）

T_{CASE} = 105°C で高出力に対応

寿命全期間

平均 LTE 出力（9dB PAR）：40dBm
シングル・イベント（10 秒未満の動作）
平均 LTE 出力（9dB PAR）：43dBm

高 OIP3：31dBm（代表値）

LNA 用パワーダウン・モードおよび低ゲイン・モード

低電源電流

高ゲイン・モード：5V で 86mA（代表値）
低ゲイン・モード：5V で 36mA（代表値）
パワーダウン・モード：5V で 12mA（代表値）

正ロジック制御

40 ピン、6mm × 6mm LFCSP

アプリケーション

ワイヤレス・インフラストラクチャ

TDD Massive Multiple-Input Multiple-Output (MIMO) および

アクティブ・アンテナ・システム

TDD ベースの通信システム

概要

ADRF5547 は、3.7GHz~5.3GHz の時分割複信（TDD）アプリケーション用に設計された、デュアルチャンネルの統合型 RF フロントエンド・マルチチップ・モジュールです。2 段カスケード低ノイズ・アンプ（LNA）および高出力シリコン単極双投（SPDT）スイッチを備えたデュアルチャンネル構成となっています。

高ゲイン・モードでは、2 段カスケード LNA およびスイッチを使用して、低ノイズ指数 1.6dB、高ゲイン 33dB（4.6GHz 時）、出力 3 次インターセプト・ポイント（OIP3）31dBm（代表値）となります。

低ゲイン・モードでは、2 段 LNA のうち 1 段はバイパスされ、36mA という低電流でゲインは 18dB となります。パワーダウン・モードでは、LNA はオフとなり、デバイスは 12mA の電流を供給します。

送信動作において、RF 入力が終端ピン（TERM-ChA または TERM-ChB）に接続されると、スイッチは 0.50dB の低挿入損失となり、ロング・ターム・エボリューション（LTE）平均電力（ピーク対平均値比（PAR）9dB）は、寿命全期間動作では 40dBm、また、シングル・イベント（10 秒未満）の LNA 保護動作では 43dBm となります。

このデバイスは、RoHS 準拠の小型 40 ピン、6mm × 6mm LFCSP を採用しています。

機能ブロック図

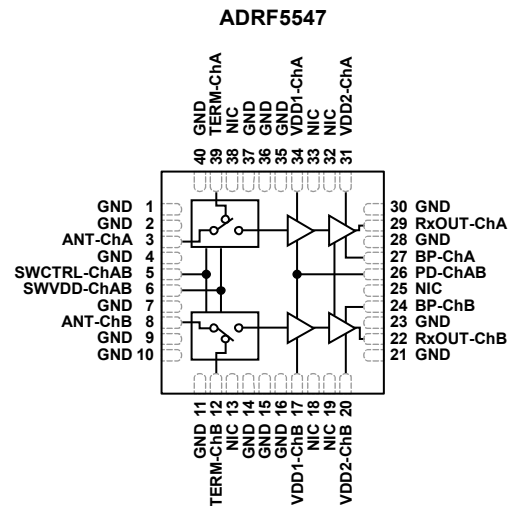


図 1.

20790-001

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	代表的な性能特性	8
アプリケーション	1	受信動作、高ゲイン・モード	8
概要	1	受信動作、低ゲイン・モード	10
機能ブロック図	1	送信動作	12
改訂履歴	2	動作原理	13
仕様	3	信号パスの選択	13
電気仕様	3	バイアス・シーケンス	13
絶対最大定格	5	アプリケーション情報	14
熱抵抗	5	外形寸法	15
ESDに関する注意	5	オーダー・ガイド	15
ピン配置およびピン機能の説明	6		
インターフェース回路図	7		

改訂履歴

10/2019—Revision 0: Initial Version

仕様

電気仕様

特に指定のない限り、50Ω のシステム上で、VDD1-ChA、VDD1-ChB、VDD2-ChA、VDD2-ChB、SWVDD-ChAB = 5V、SWCTRL-ChAB = 0V または SWVDD-ChAB、BP-ChA = VDD1-ChA または 0V、BP-ChB = VDD1-ChB または 0V、PD-ChAB = 0V または VDD1-ChA、T_{CASE} = 25°C。

表 1

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
FREQUENCY RANGE		3.7		5.3	GHz
GAIN ¹	4.6GHz での受信動作				
High Gain Mode			33		dB
Low Gain Mode			18		dB
GAIN FLATNESS ¹	任意の 100MHz 帯域幅での受信動作				
High Gain Mode			0.6		dB
Low Gain Mode			0.2		dB
NOISE FIGURE ¹	4.6GHz での受信動作				
High Gain Mode			1.6		dB
Low Gain Mode			1.6		dB
OUTPUT THIRD ORDER INTERCEPT POINT (OIP3) ¹	受信動作。ツー-tone 出力電力：tone あたり 8dBm (1MHz の tone 間隔時)。				
High Gain Mode			31		dBm
Low Gain Mode			22		dBm
OUTPUT 1 dB COMPRESSION (OP1dB)					
High Gain Mode			18		dBm
Low Gain Mode			6		dBm
INSERTION LOSS ¹	4.6GHz での送信動作		0.50		dB
CHANNEL TO CHANNEL ISOLATION ¹	4.6GHz 時				
Between RxOUT-ChA and RxOUT-ChB	受信動作		45		dB
Between TERM-ChA and TERM-ChB	送信動作		53		dB
SWITCH ISOLATION ¹	送信動作、PD-ChAB = 0V		20		dB
SWITCHING CHARACTERISTICS (T _{ON} , T _{OFF})	受信動作時、50%の制御電圧から RxOUT-ChA または RxOUT-ChB の 90%および 10%まで		860		ns
	送信動作時、50%の制御電圧から TERM-ChA または TERM-ChB の 90%および 10%まで		800		ns
RF INPUT POWER AT ANT-CHA, ANT-CHB ¹	受信動作、LTE 平均 (9dB PAR)			15	dBm
RECOMMENDED OPERATING CONDITIONS					
Bias Voltage Range	VDD1-ChA、VDD1-ChB、VDD2-ChA、VDD2-ChB、SWVDD-ChAB	4.75	5	5.25	V
Control Voltage Range ²	SWCTRL-ChAB、BP-ChA、BP-ChB、PD-ChAB	0		V _{DD}	V
RF Input Power at ANT-ChA, ANT-ChB	SWCTRL-ChAB = 5V、BP-ChA = BP-ChB = 0V、PD-ChAB = 5V、T _{CASE} = 105°C ²				
	連続波			40	dBm
	9dB PAR (LTE 寿命全期間平均)			40	dBm
	9dB PAR (LTE シングル・イベント (10 秒未満) 平均)			43	dBm
Case Temperature Range (T _{CASE}) ³		-40		+105	°C
Junction Temperature at Maximum T _{CASE} ^{1,3}	受信動作			132	°C
	送信動作			134	°C

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
DIGITAL INPUTS					
SWCTRL-ChAB, PD-ChAB					
Low (V_{IL})		0		0.7	V
High (V_{IH}) ²		1.4		V_{DD}	V
BP-ChA, BP-ChB					
Low (V_{IL})		0		0.3	V
High (V_{IH}) ²		1.0		V_{DD}	V
SUPPLY CURRENT (I_{DD})	VDD1-ChA, VDD1-ChB, VDD2-ChA, VDD2-ChB = 5V (チャンネルあたり)				
High Gain Mode			86		mA
Low Gain Mode			36		mA
Power-Down Mode			12		mA
Transmit Current (Switch)	SWVDD-ChAB = 5V		4.3		mA
DIGITAL INPUT CURRENTS	SWCTRL-ChAB, PD-ChAB, BP-ChA, BP-ChB = 5V (チャンネルあたり)				
SWCTRL-ChAB			0.0004		mA
PD-ChAB			0.2		mA
BP-ChA, BP-ChB			0.4		mA

¹ 表 5 および表 6 を参照。

² V_{DD} (Max の列に表示) は、SWVDD-ChAB、VDD1-ChA、VDD1-ChB、VDD2-ChA、VDD2-ChB ピンの電圧です。

³ 露出パッド (EPAD) で測定。

絶対最大定格

表 2.

Parameter	Rating
Positive Supply Voltage VDD1-ChA, VDD1-ChB, VDD2-ChA, VDD2-ChB	7 V
SWVDD-ChAB	5.4 V
Digital Control Input Voltage SWCTRL-ChAB	-0.3 V to $V_{DD}^1 + 0.3$ V
BP-ChA, BP-ChB, PD-ChAB	-0.3 V to $V_{DD}^1 + 0.3$ V
RF Input Power (LTE Peak)	
Transmit	53 dBm
Receive	25 dBm
Temperature	
Storage	-65°C to +150°C
Reflow (Moisture Sensitivity Level (MSL) 3 Rating)	260°C
Electrostatic Discharge (ESD) Sensitivity	
Human Body Model (HBM)	1 kV, Class 1C
Charge Device Model (CDM)	1.25 kV

¹ V_{DD} は、VDD1-ChA、VDD1-ChB、VDD2-ChA、VDD2-ChB ピンの電圧です。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションからケース底部 (チャンネルからパッケージ底部) への熱抵抗です。

表 3. 熱抵抗

Package Type	θ_{JC}	Unit
CP-40-15		
High Gain and Low Gain Mode	30	°C/W
Power-Down Mode	8.7	°C/W

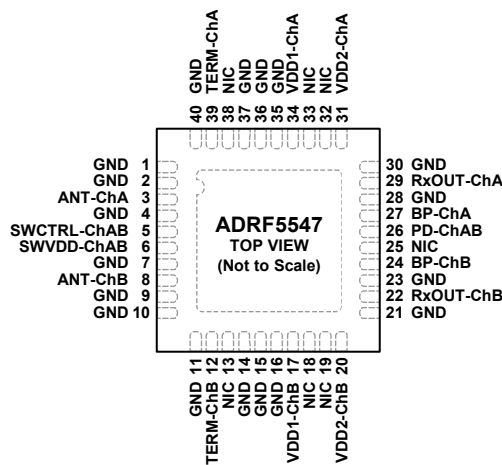
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. NIC = NOT INTERNALLY CONNECTED. IT IS RECOMMENDED TO CONNECT NIC TO THE RF GROUND OF THE PCB.
 2. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO RF OR DC GROUND.

20796-002

図 2. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1, 2, 4, 7, 9 to 11, 14 to 16, 21, 23, 28, 30, 35 to 37, 40	GND	グラウンド。インターフェース回路図については、図 3 を参照してください。
3	ANT-ChA	チャンネル A の RF 入力。
5	SWCTRL-ChAB	チャンネル A およびチャンネル B のスイッチ用制御電圧。インターフェース回路図については、図 7 を参照してください。
6	SWVDD-ChAB	チャンネル A およびチャンネル B のスイッチ用電源電圧。インターフェース回路図については、図 7 を参照してください。
8	ANT-ChB	チャンネル B の RF 入力。
12	TERM-ChB	終端出力。このピンは、チャンネル B のトランスミッタ・パスです。
13, 18, 19, 25, 32, 33, 38	NIC	内部では未接続。NIC は PCB の RF グラウンドに接続することを推奨。
17	VDD1-ChB	チャンネル B の 1 段目の LNA 用電源電圧。インターフェース回路図については、図 5 を参照してください。
20	VDD2-ChB	チャンネル B の 2 段目の LNA 用電源電圧。インターフェース回路図については、図 5 を参照してください。
22	RxOUT-ChB	RF 出力。このピンはチャンネル B のレシーバー・パスです。インターフェース回路図については、図 4 を参照してください。
24	BP-ChB	チャンネル B の 2 段目の LNA をバイパス。インターフェース回路図については、図 6 を参照してください。
26	PD-ChAB	チャンネル A およびチャンネル B の全段の LNA をパワーダウン。インターフェース回路図については、図 6 を参照してください。
27	BP-ChA	チャンネル A の 2 段目の LNA をバイパス。インターフェース回路図については、図 6 を参照してください。
29	RxOUT-ChA	RF 出力。このピンはチャンネル A のレシーバー・パスです。インターフェース回路図については、図 4 を参照してください。
31	VDD2-ChA	チャンネル A の 2 段目の LNA 用電源電圧。インターフェース回路図については、図 5 を参照してください。
34	VDD1-ChA	チャンネル A の 1 段目の LNA 用電源電圧。インターフェース回路図については、図 5 を参照してください。
39	TERM-ChA	終端出力。このピンは、チャンネル A のトランスミッタ・パスです。
	EPAD	露出パッド。露出パッドは RF または DC グラウンドに接続する必要があります。

インターフェース回路図



図 3. GND のインターフェース回路図

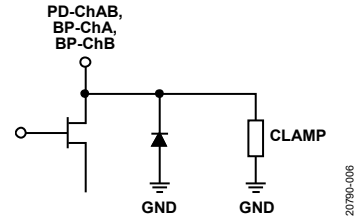


図 6. PD-ChAB、BP-ChA、BP-ChB のインターフェース回路図

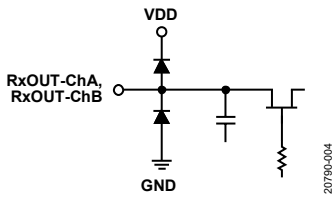


図 4. RxOUT-ChA および RxOUT-ChB のインターフェース回路図

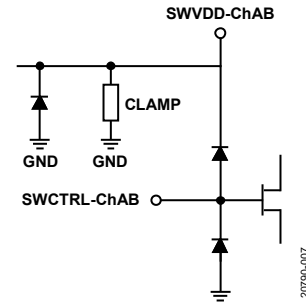


図 7. SWCTRL-ChAB、SWVDD-ChAB のインターフェース回路図

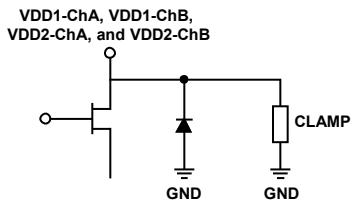


図 5. VDD1-ChA、VDD1-ChB、VDD2-ChA、VDD2-ChB のインターフェース回路図

代表的な性能特性

受信動作、高ゲイン・モード

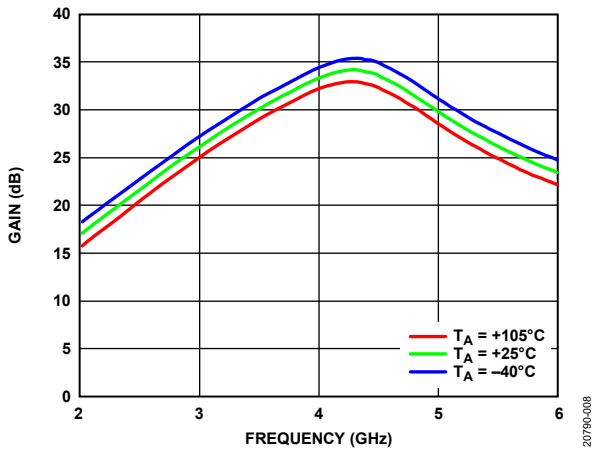


図 8. 様々な温度でのゲインの周波数特性

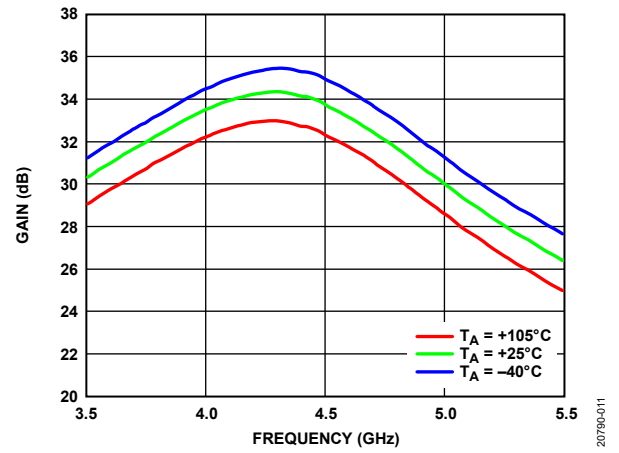


図 11. 様々な温度でのゲインの周波数特性 (3.5GHz~5.5GHz)

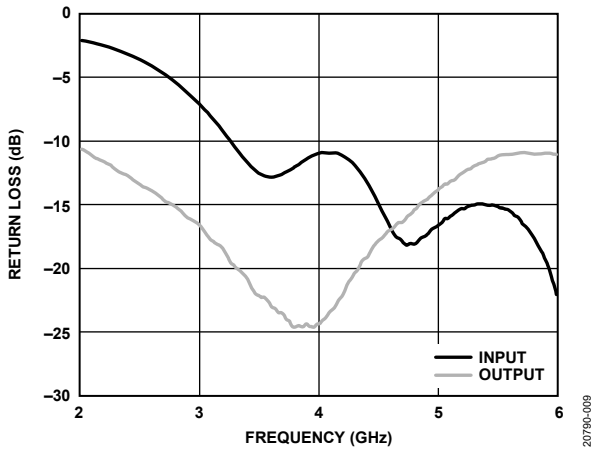


図 9. リターン・ロスの周波数特性

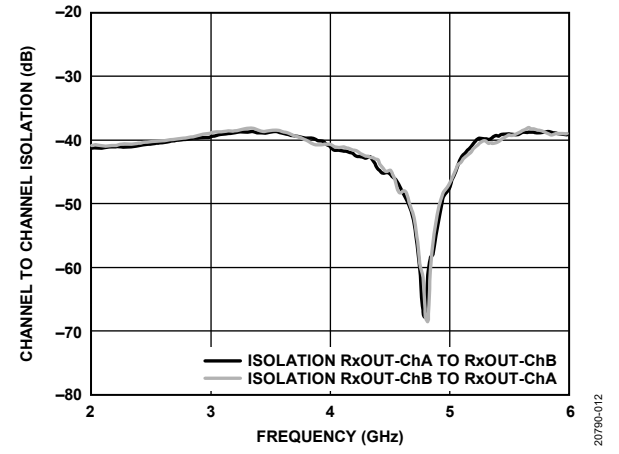


図 12. チャンネル間アイソレーションの周波数特性

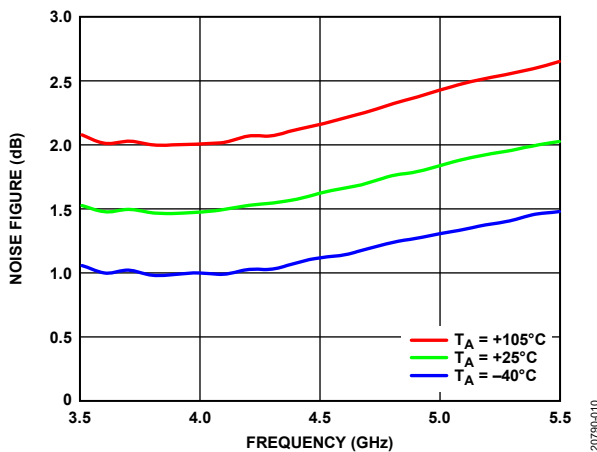


図 10. 様々な温度でのノイズ指数の周波数特性

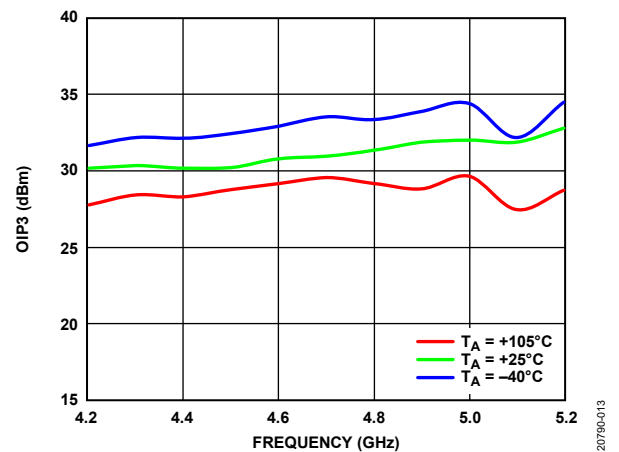


図 13. 様々な温度での OIP3 の周波数特性 (出力トーン電力 8dBm)

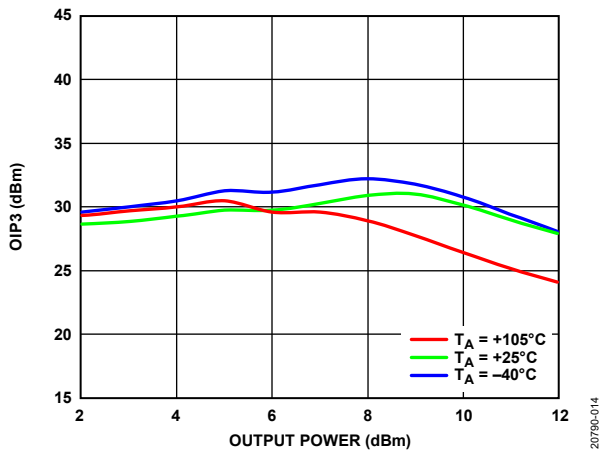


図 14. 様々な温度での OIP3 と出力電力の関係 (4.6GHz)

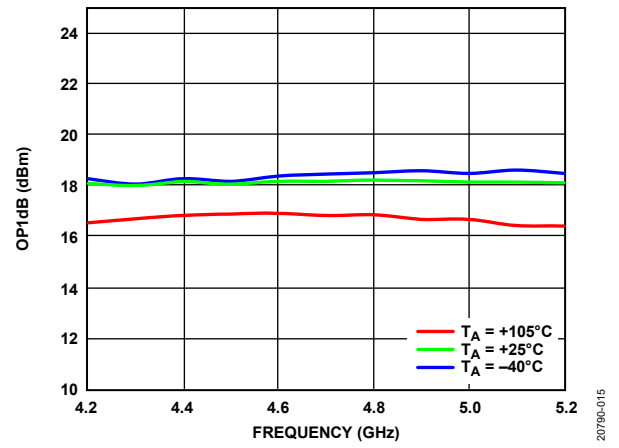


図 15. 様々な温度での OP1dB の周波数特性

受信動作、低ゲイン・モード

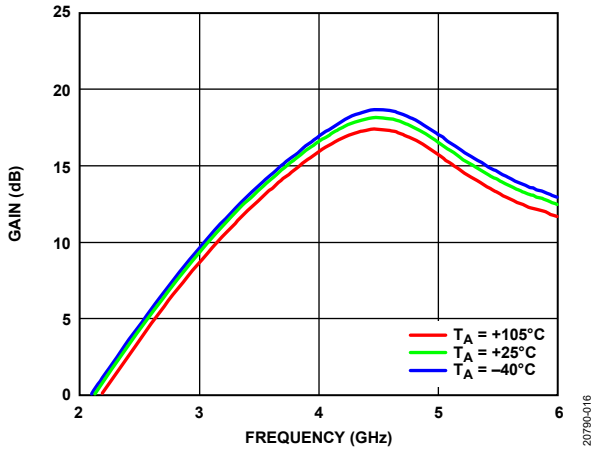


図 16. 様々な温度でのゲインの周波数特性

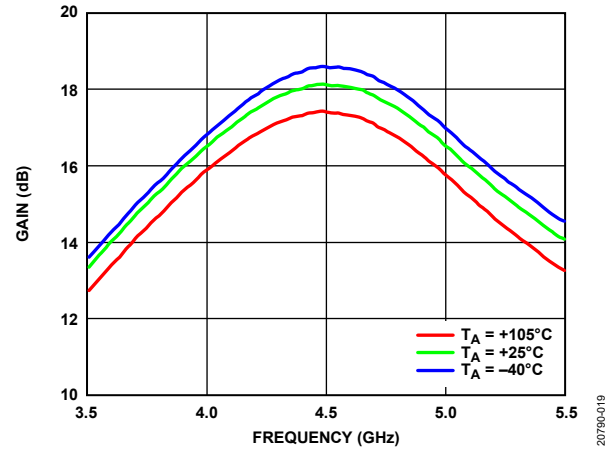


図 19. 様々な温度でのゲインの周波数特性 (3.5GHz~5.5GHz)

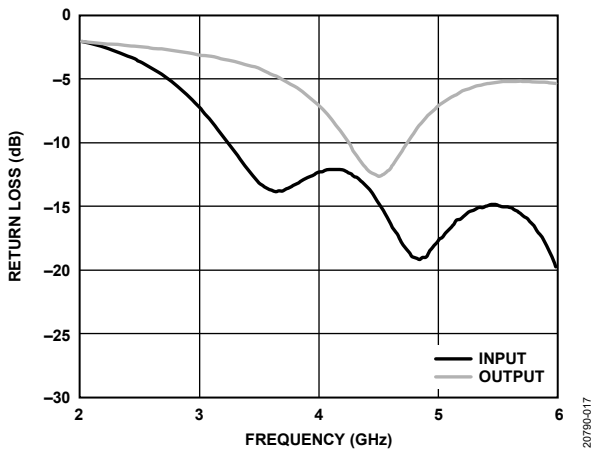


図 17. リターン・ロスの周波数特性

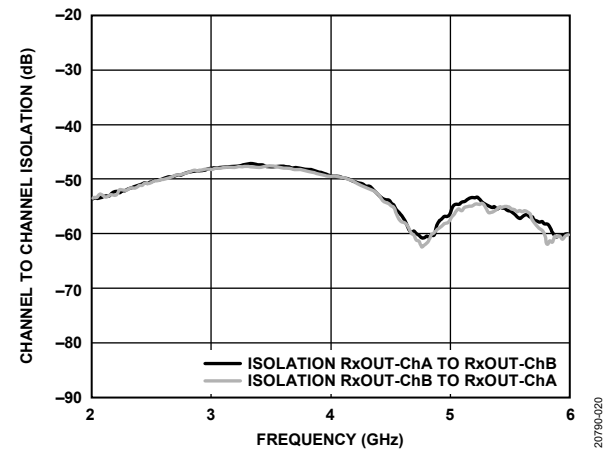


図 20. チャンネル間アイソレーションの周波数特性

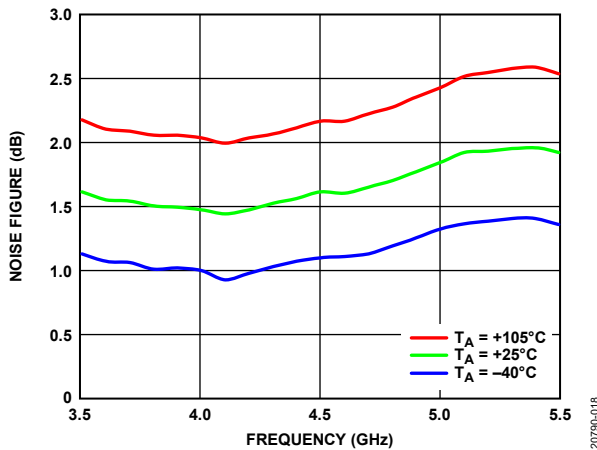


図 18. 様々な温度でのノイズ指数の周波数特性

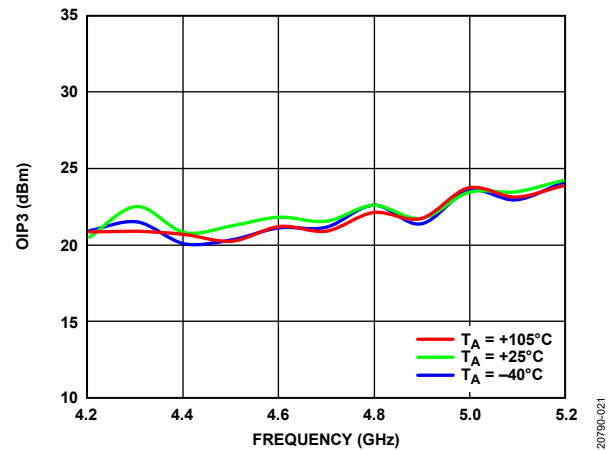


図 21. 様々な温度での OIP3 の周波数特性 (出力トーン電力 8dBm)

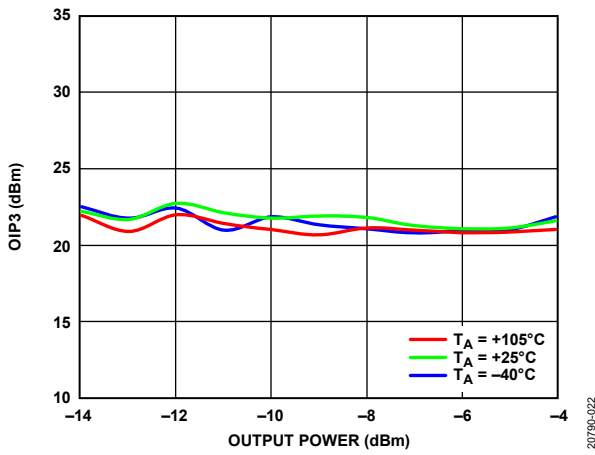


図 22. 様々な温度での OIP3 と出力電力の関係 (4.6GHz)

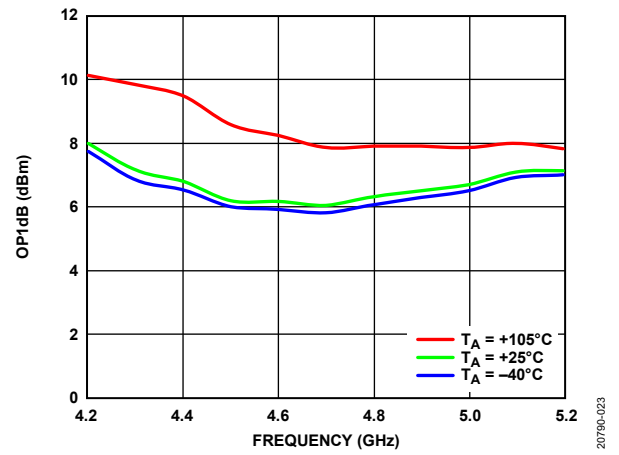


図 23. 様々な温度での OP1dB の周波数特性

送信動作

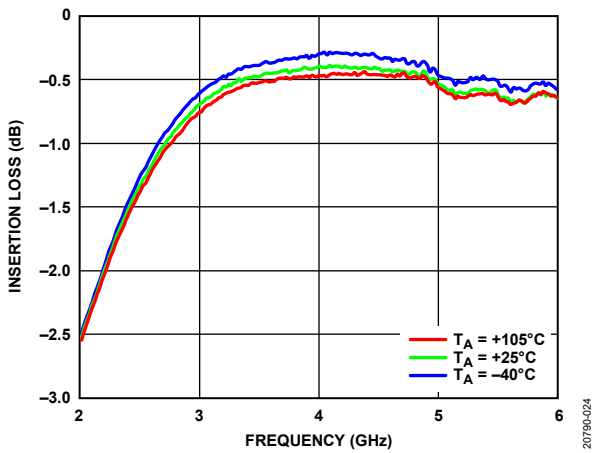


図 24. 様々な温度での挿入損失の周波数特性

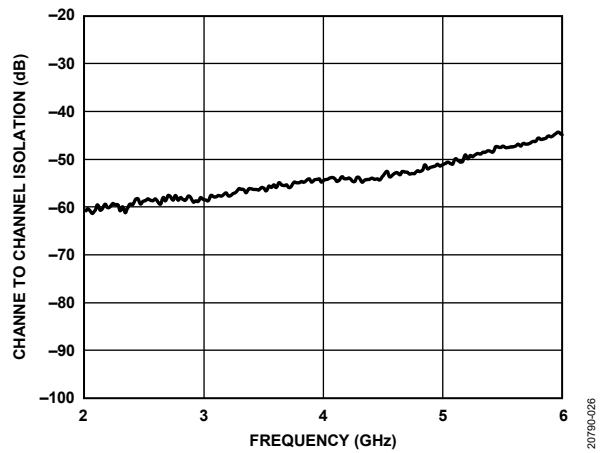


図 26. チャンネル間アイソレーションの周波数特性

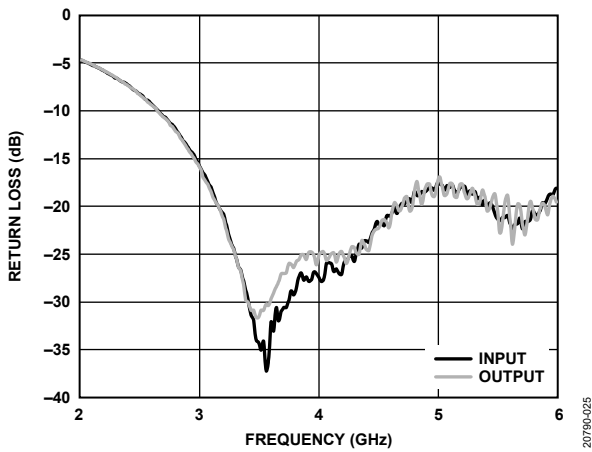


図 25. リターン・ロスの周波数特性

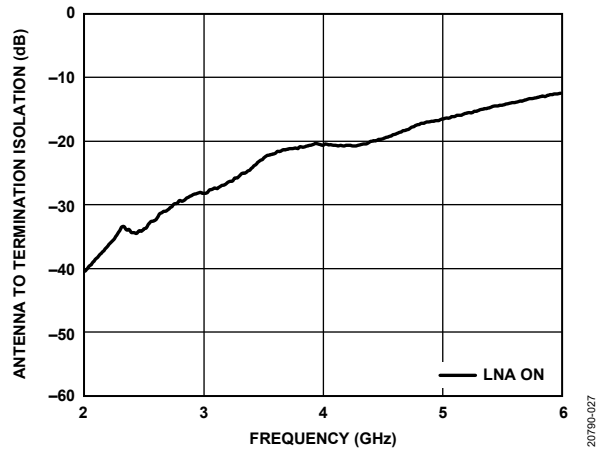


図 27. アンテナ終端間アイソレーションの周波数特性

動作原理

ADRF5547 には、VDD1-ChA、VDD2-ChA、VDD1-ChB、VDD2-ChB、SWVDD-ChAB に印加する正電源電圧が必要です。ノイズを除去するために、電源ラインにはバイパス用コンデンサを使用してください。

信号パスの選択

SWCTRL-ChAB がハイに設定されると、ADRF5547 は送信動作をサポートします。この動作の間、ANT-ChA および ANT-ChB に RF が入力されると、ANT-ChA から TERM-ChA および ANT-ChB から TERM-ChB への信号パスが接続されます。

SWCTRL-ChAB がローに設定されると、ADRF5547 は受信動作をサポートします。この動作の間、ANT-ChA および ANT-ChB に RF が入力されると、ANT-ChA から RxOUT-ChA および ANT-ChB から RxOUT-ChB への接続が行われます。

受信動作

表 6 に示すように、ADRF5547 は受信動作において、高ゲイン・モード、低ゲイン・モード、パワーダウン高アイソレーション・モード、パワーダウン低アイソレーション・モードをサポートします。

PD-ChAB がローに設定されると、LNA が起動し、ユーザは高ゲイン・モードまたは低ゲイン・モードを選択できます。高ゲイン・モードを選択するには、BP-ChA または BP-ChB をローに設定します。低ゲイン・モードを選択するには、BP-ChA または BP-ChB をハイに設定します。

PD-ChAB がハイに設定されると、ADRF5547 はパワーダウン・モードになります。パワーダウン高アイソレーション・モードを選択するには、BP-ChA または BP-ChB をローに設定します。パワーダウン低アイソレーション・モードを選択するには、BP-ChA または BP-ChB をハイに設定します。

バイアス・シーケンス

ADRF5547 を起動するには、以下の手順を実行します。

1. GND を接地します。
2. VDD1-ChA、VDD2-ChA、VDD1-ChB、VDD2-ChB、SWVDD-ChAB に電源を供給します。
3. SWCTRL-ChAB に電源を供給します。
4. PD-ChAB に電源を供給します。
5. BP-ChA および BP-ChB に電源を供給します。
6. RF 入力信号を ANT-ChA および ANT-ChB に印加します。

ADRF5547 をパワーダウンするには、これらの手順を逆順で実行します。

表 5. 真理値表：信号パス

SWCTRL-ChAB	Signal Path Select	
	Transmit Operation ¹	Receive Operation
Low	Off	On
High	On	Off

¹表 6 の信号パスの説明を参照してください。

表 6. 真理値表：動作

Operation	PD-ChAB	BP-ChA, BP-ChB	Signal Path
Receive Operation			ANT-ChA to RxOUT-ChA, ANT-ChB to RxOUT-ChB
High Gain Mode	Low	Low	
Low Gain Mode	Low	High	
Power-Down High Isolation Mode	High	Low	
Power-Down Low Isolation Mode	High	High	

アプリケーション情報

図 28 に示すアプリケーション回路で使用される評価用 PCB を作成するには、適切な RF 回路設計技術を使用してください。RF ポートの信号線のインピーダンスは 50Ω であることが必要です。また、パッケージのグラウンド・リードと裏面のグラウンド・スラグはグラウンド・プレーンに直接接続する必要があります。

評価用ボードの追加情報については、[ADRF5547-EVALZ ユーザ・ガイド](#)を参照してください。

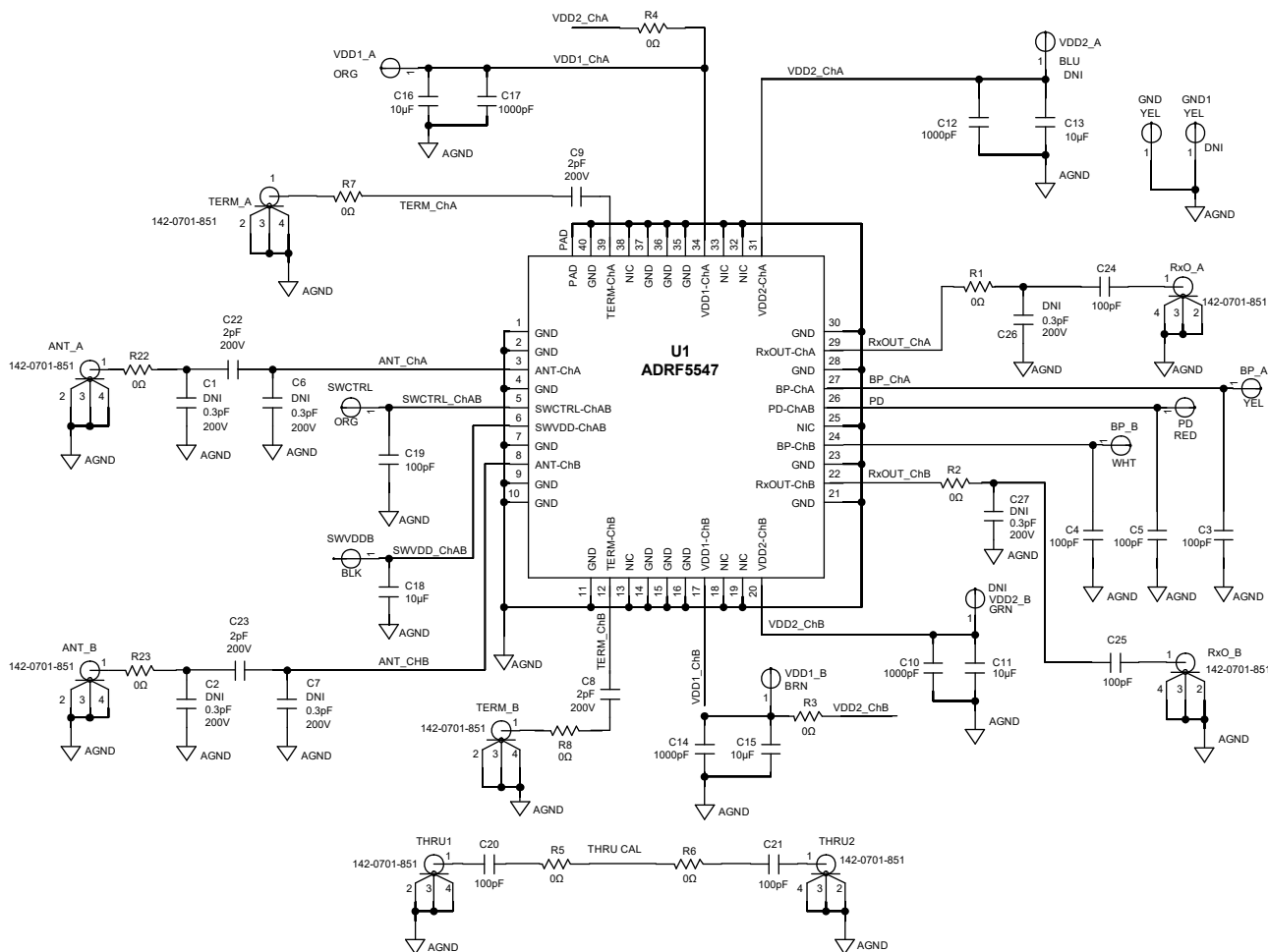
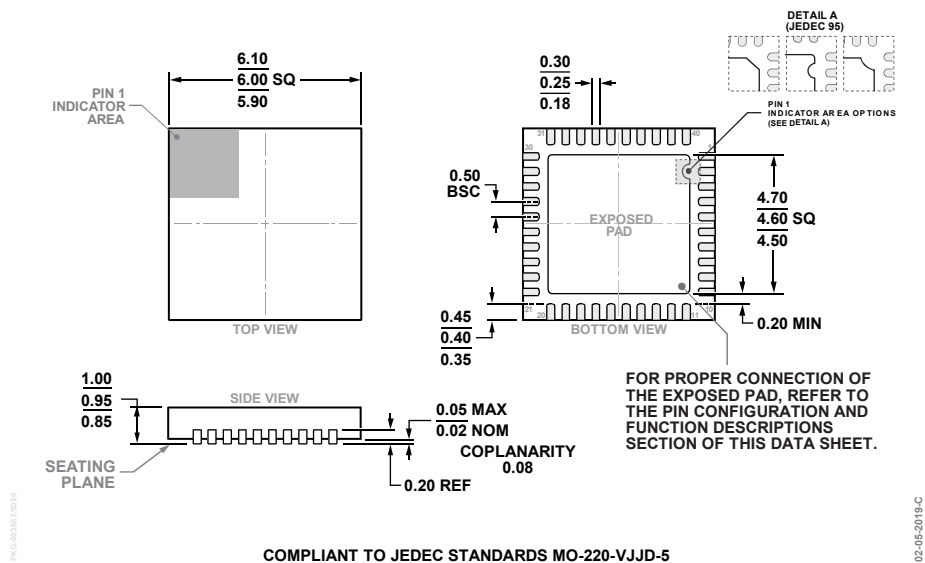


図 28. アプリケーション回路

20790-02B

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VJJD-5
 図 29. 40 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 6mm × 6mm ボディ、0.95mm パッケージ高
 (CP-40-15)
 寸法 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADRF5547BCPZN	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-15
ADRF5547BCPZN-R7	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-15
ADRF5547BCPZN-RL	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-15
ADRF5547-EVALZ		Evaluation Board	

¹ Z = RoHS 準拠製品