

この製品の英語版データシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2018年12月10日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2018年12月10日

製品名：ADRF5160

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：

P.8

【誤】

Power the digital control input **before** the VDD supply to avoid inadvertently forward biasing and damaging the ESD protection structures.

【正】

Power the digital control input **after** the VDD supply to avoid inadvertently forward biasing and damaging the ESD protection structures.

英文データシートの THEORY OF OPERATION の右欄の 3.の部分で、Power the digital control input before the VDD supply to avoid inadvertently forward biasing and damaging the ESD protection structures.と記述があります。この説明は正しくなく、Power the digital control input after、つまり「VDD を供給してからデジタル信号を与える」という表現が正となります。

本件は明らかな間違いですが、日本語データシートの当該部分は英語データシートのオリジナルに合わせて翻訳しておりますので、ご注意ください。

**アナログ・デバイセズ株式会社**

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹  
芝サウスタワービル 10F  
電話 03 (5402) 8200  
大 阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新  
大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古  
屋ルーセントタワー 40F  
電話 052 (569) 6300



# 高出力、88W ピーク シリコン SPDT、反射スイッチ 0.7GHz~4.0GHz

データシート

ADRF5160

## 特長

反射、50Ω 設計

低挿入損失：2.0GHz で 0.7dB (代表値)

T<sub>CASE</sub> = 105°C で高出力に対応

長寿命 (> 10 年) (平均値)

CW 電力：43dBm

ピーク電力：49dBm

平均 LTE 出力 (8dB PAR)：41dBm

シングル・イベント (< 10 秒) (平均値)

平均 LTE 出力 (8dB PAR)：44dBm

高直線性

P0.1dB：47dBm (代表値)

IP3：70dBm (代表値)

ESD 定格

HBM：4kV (クラス 3A)

CDM：1.25kV

正側 (供給) 単電源：5V

正電圧制御、CMOS/TTL 互換

32 ピン、5mm × 5mm LFCSP パッケージ

## アプリケーション

ワイヤレス・インフラストラクチャ

防衛および高信頼性アプリケーション

試験装置

ピン・ダイオードに代わる製品

## 概要

ADRF5160 は 0.7GHz~4.0GHz のシリコンベースの高出力シリコン単極 2 投 (SPDT) 反射スイッチで、リードレスの表面実装パッケージを採用しています。このスイッチは、ロングターム・エボリューション (LTE) ベースのステーションなどの高出力のセルラ・インフラストラクチャ・アプリケーションに最適です。ADRF5160 は、41dBm (8dB PAR LTE、長寿命 (>10年) 平均代表値) の高出力に対応し、2.0GHz で 0.7dB (代表値) の低挿入損失、70dBm (代表値) の入力 3 次インターセプト (IP3)、

47dBm の 0.1dB 圧縮ポイント (P0.1dB) を実現します。オンチップ回路は、5V の正側 (供給) 単電源および 1.1mA (代表値) の代表的な電源電流で動作し、ADRF5160 はピン・ダイオード・ベースのスイッチに代わる最適なソリューションとなります。

ADRF5160 は、RoHS 準拠の小型 32 ピン、5mm × 5mm LFCSP を採用しています。

## 機能ブロック図

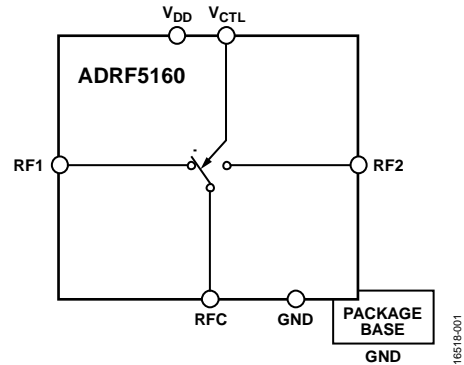


図 1.

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 40F  
電話 052 (569) 6300

## 目次

特長 .....	1	インターフェース回路図 .....	5
アプリケーション .....	1	代表的な性能特性 .....	6
機能ブロック図 .....	1	動作原理 .....	8
概要 .....	1	アプリケーション情報 .....	9
改訂履歴 .....	2	評価用ボード .....	9
仕様 .....	3	代表的なアプリケーション回路 .....	10
絶対最大定格 .....	4	外形寸法 .....	12
熱抵抗 .....	4	オーダー・ガイド .....	12
ESD に関する注意 .....	4		
ピン配置およびピン機能の説明 .....	5		

## 改訂履歴

5/2018—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $V_{DD} = 5V$ 、 $V_{CTL} = 0V/V_{DD}$ 、 $T_A = 25^\circ C$ 、およびデバイスは $50\Omega$ システムです。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE		0.7		4.0	GHz
INSERTION LOSS	0.7 GHz to 2.0 GHz		0.7		dB
	2.0 GHz to 3.5 GHz		0.8	1.0 <sup>1</sup>	dB
	3.5 GHz to 4.0 GHz		0.9		dB
ISOLATION					
RFC to RF1 and RF2 (Worst Case)	0.7 GHz to 2.0 GHz		53		dB
	2.0 GHz to 4.0 GHz		45		dB
RF1 to RF2	0.7 GHz to 2.0 GHz		51		dB
	2.0 GHz to 4.0 GHz		35		dB
RETURN LOSS					
RFC	0.7 GHz to 2.0 GHz		20		dB
	2.0 GHz to 4.0 GHz		19		dB
RF1 and RF2 (On State)	0.7 GHz to 2.0 GHz		19		dB
	2.0 GHz to 4.0 GHz		18		dB
SWITCHING CHARACTERISTICS					
Rise and Fall Time ( $t_{RISE}$ , $t_{FALL}$ )	10%/90% radio frequency output ( $RF_{OUT}$ )		0.27		$\mu s$
On and Off Time ( $t_{ON}$ , $t_{OFF}$ )	50% $V_{CTL}$ to 10%/90% $RF_{OUT}$		1.2		$\mu s$
INPUT LINEARITY					
0.1 dB Compression (P0.1dB) Third-Order Intercept (IP3)			47		dBm
	Two-tone input power = 30 dBm per tone at 1 MHz tone spacing				
	0.7 GHz to 2.0 GHz		72		dBm
	2.0 GHz to 4.0 GHz		70		dBm
SUPPLY CURRENT			1.1		mA
DIGITAL CONTROL INPUT	$V_{DD} = 4.5 V$ to $5.4 V$ , $T_{CASE} = -40^\circ C$ to $+105^\circ C$				
Low Voltage		0		0.8	V
High Voltage		1.3		5	V
Low and High Current			<1		$\mu A$
RECOMMENDED OPERATING CONDITIONS					
Supply Voltage Range ( $V_{DD}$ )		4.5		5.4	V
Control Voltage Range ( $V_{CTL}$ )		0		$V_{DD}$	V
RF Input Power					
Case Temperature ( $T_{CASE}$ ) = $105^\circ C$ <sup>2</sup>	Continuous wave (CW)			43	dBm
	8 dB peak average ratio (PAR) LTE, long-term (>10 years) average			41	dBm
	8 dB PAR LTE, single event (<10 sec) average			44	dBm
$T_{CASE} = 85^\circ C$	CW			45	dBm
	8 dB PAR LTE, long-term (>10 years) average			41	dBm
	8 dB PAR LTE, single event (<10 sec) average			44	dBm
$T_{CASE} = 25^\circ C$	CW			47.5	dBm
	8 dB PAR LTE, long-term (>10 years) average			41	dBm
	8 dB PAR LTE, single event (<10 sec) average			44	dBm
$T_{CASE} = -40^\circ C$	CW			49	dBm
	8 dB PAR LTE, long-term (>10 years) average			41	dBm
	8 dB PAR LTE, single event (<10 sec) average			44	dBm
$T_{CASE}$ Range		-40		+105	$^\circ C$

<sup>1</sup> デバイス間の個体差や過動作温度のばらつきに対しては、設計により性能を確保しています。

<sup>2</sup> ピーク電力は 49dBm であり、LTE ロングタームでの 8dB の PAR に相当します。

## 絶対最大定格

表 2.

Parameter	Rating
Supply Voltage Range ( $V_{DD}$ )	-0.3 V to +5.4 V
Control Voltage Range ( $V_{CTL}$ )	-0.3 V to $V_{DD} + 0.3$ V
RF Input Power <sup>1</sup>	49.7 dBm
Channel Temperature	135°C
Maximum Peak Reflow Temperature (Moisture Sensitivity Level 3 (MSL3)) <sup>2</sup>	260°C
Storage Temperature Range	-65°C to +150°C
Electrostatic Discharge (ESD) Sensitivity	
Human Body Model (HBM)	4 kV (Class 3A)
Charged Device Model (CDM)	1.25 kV

<sup>1</sup> 推奨動作条件については、表 1 を参照してください。

<sup>2</sup> 詳細については、オーダー・ガイドを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 3. 熱抵抗

Package Type	$\theta_{JC}$	Unit
HCP-32-1	8.4	°C/W

## ESD に関する注意



## ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明

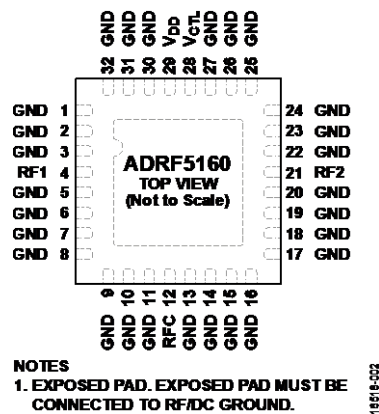


図 2. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1 to 3, 5 to 11, 13 to 20, 22 to 27, 30 to 32	GND	グラウンド。パッケージの底面には金属パッドが露出しており、これを PCB の RF/DC グラウンドに接続する必要があります。
4	RF1	RF ポート 1。このピンは DC カップリングされ、 $50\Omega$ に整合されています。このピンには DC 阻止コンデンサが必要です。インターフェース回路図については図 3 を参照してください。
12	RFC	RF 共通ポート。このピンは DC カップリングされ、 $50\Omega$ に整合されています。このピンには DC 阻止コンデンサが必要です。インターフェース回路図については図 3 を参照してください。
21	RF2	RF ポート 2。このピンは DC カップリングされ、 $50\Omega$ に整合されています。このピンには DC 阻止コンデンサが必要です。インターフェース回路図については図 3 を参照してください。
28	V <sub>CTL</sub>	制御入力ピン。V <sub>CTL</sub> のインターフェース回路図については図 4 を参照してください。表 1 に示す信号経路と推奨入力制御電圧範囲については、表 5 を参照してください。
29	V <sub>DD</sub>	電源電圧ピン。
	EPAD	露出パッド。露出パッドは RF/DC グラウンドに接続する必要があります。

### インターフェース回路図

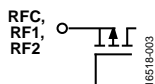


図 3. RFC、RF1、RF2 のインターフェース回路図

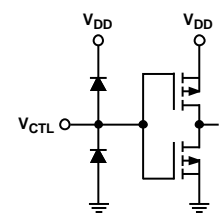


図 4. 制御入力 (V<sub>CTL</sub>) インターフェース回路図

代表的な性能特性

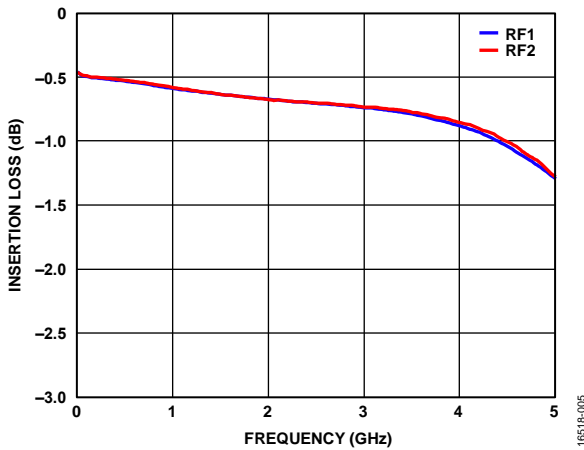


図 5. RF1 および RF2 の挿入損失の周波数特性 ( $V_{DD} = 5V$ )

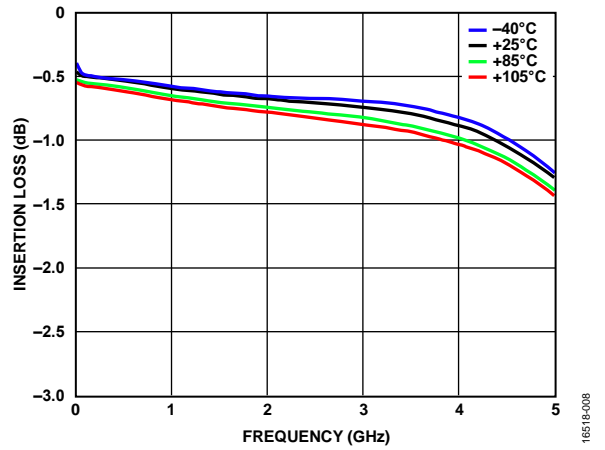


図 8. 様々な温度での挿入損失の周波数特性 ( $V_{DD} = 5V$ )

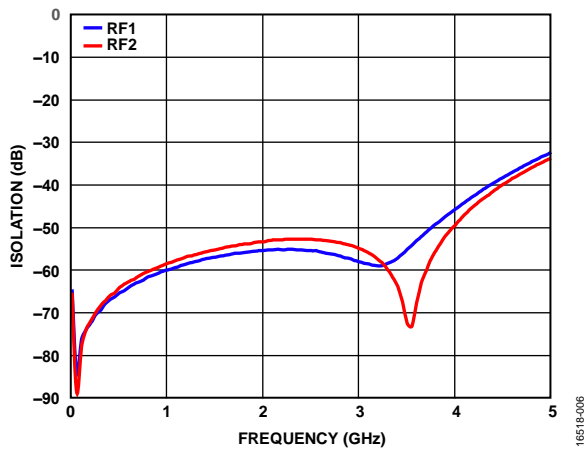


図 6. RFC と RF1 および RF2 間のアイソレーションの周波数特性 ( $V_{DD} = 5V$ )

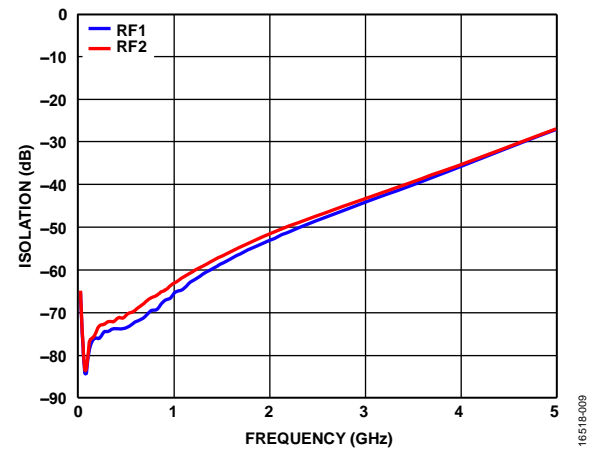


図 9. RF1 と RF2 間のアイソレーションの周波数特性 ( $V_{DD} = 5V$ )

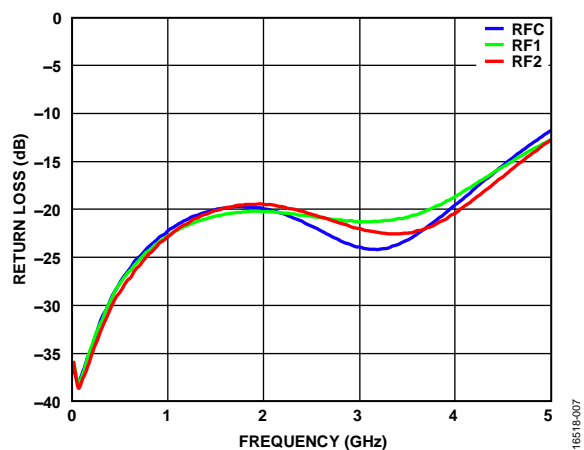


図 7. リターン損失の周波数特性 ( $V_{DD} = 5V$ )

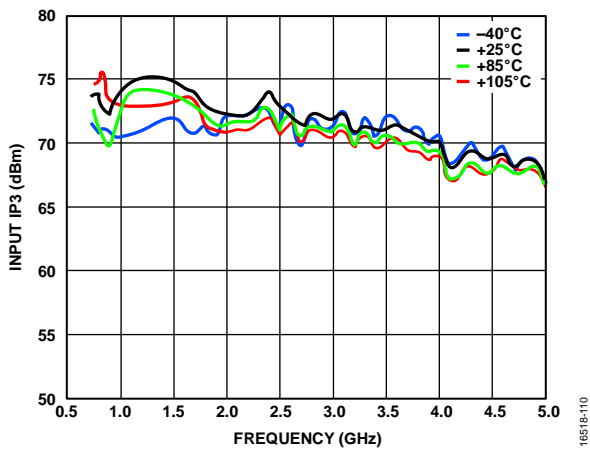


図 10. 様々な温度での入力 3 次インターセプト (IP3) の周波数特性 ( $V_{DD} = 5 V$ )

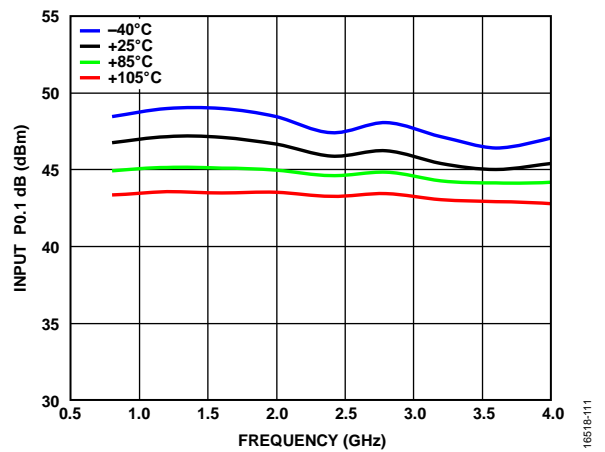


図 12. 様々な温度での入力 0.1dB 圧縮 (P0.1dB) の周波数特性 ( $V_{DD} = 5 V$ )

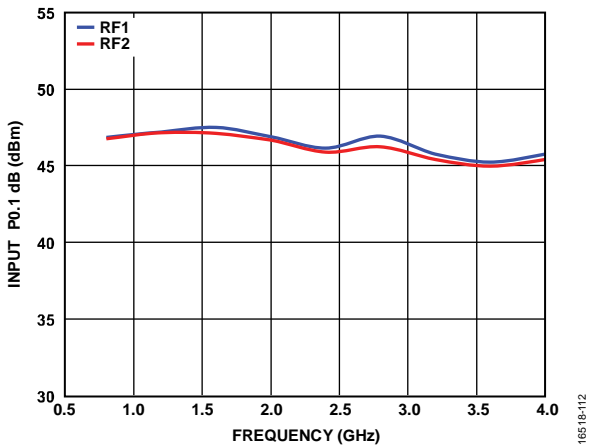


図 11. 入力 0.1dB 電力圧縮 (P0.1dB) の周波数特性 ( $V_{DD} = 5 V$ )



## 動作原理

ADRF5160 では、 $V_{DD}$  ピンに単電源電圧を印加する必要があります。RF カップリングを最小にするために、電源ラインにバイパス・コンデンサを接続することを推奨します。

ADRF5160 は、 $V_{CTL}$  ピンに印加されるデジタル制御電圧によって制御されます。RF 信号のアイソレーションを改善するために、このデジタル信号ラインにバイパス・コンデンサを接続することを推奨します。

ADRF5160 は、RF 入力ポート (RFC) と RF 出力ポート (RF1 および RF2) において内部で  $50\Omega$  に整合されています。したがって、外付けのマッチング・コンポーネントは必要ありません。

RFx ピンは DC カップリングされており、RFx ラインに DC 阻止コンデンサが必要です。双方向の設計になっているため、入力と出力は入れ替え可能です。

理想的なパワーアップ・シーケンスは以下のとおりです。

1. GND を接続します。
2.  $V_{DD}$  の電源を入れます。
3. デジタル制御入力の電源を入れます。デジタル制御入力の電源を入れてから  $V_{DD}$  の電源を入れて、誤って順方向にバイアスをかけたり、ESD 保護構造を損傷したりしないようにします。
4. RF 入力の電源を入れます。

$V_{CTL}$  ピンに印加されるロジック・レベルに応じて、1 つの RF 出力ポート (例えば RF1) をオン・モードに設定すると、入力からその出力に挿入損失経路が設定されます。他の RF 出力ポート (例えば RF2) をオフ・モードに設定すると、その出力は入力から分離されます。

表 5. スイッチ動作モード

Digital Control Input ( $V_{CTL}$ )	Signal Path	
	RF1 to RFC	RF2 to RFC
Low	Isolation (off)	Insertion loss (on)
High	Insertion loss (on)	Isolation (off)

## アプリケーション情報

### 評価用ボード

ADRF5160-EVALZ は、デバイス動作時の高電力レベルと温度に耐えることができます。

ADRF5160-EVALZ 評価用ボードは、図 13 に示すように、8 層の金属層と、各層間の誘電体で構成されています。各金属層は 1 オンス (1.3 ミル) の厚さの銅であり、外部層は 2 オンスの厚さでメッキされています。

最上部の誘電体の素材は、10 ミルの Rogers RO4350 です。この素材は、熱係数が非常に低く、基板の熱の上昇を抑制します。他の金属層間の誘電体は FR4 です。基板全体の厚さは 62 ミルです。

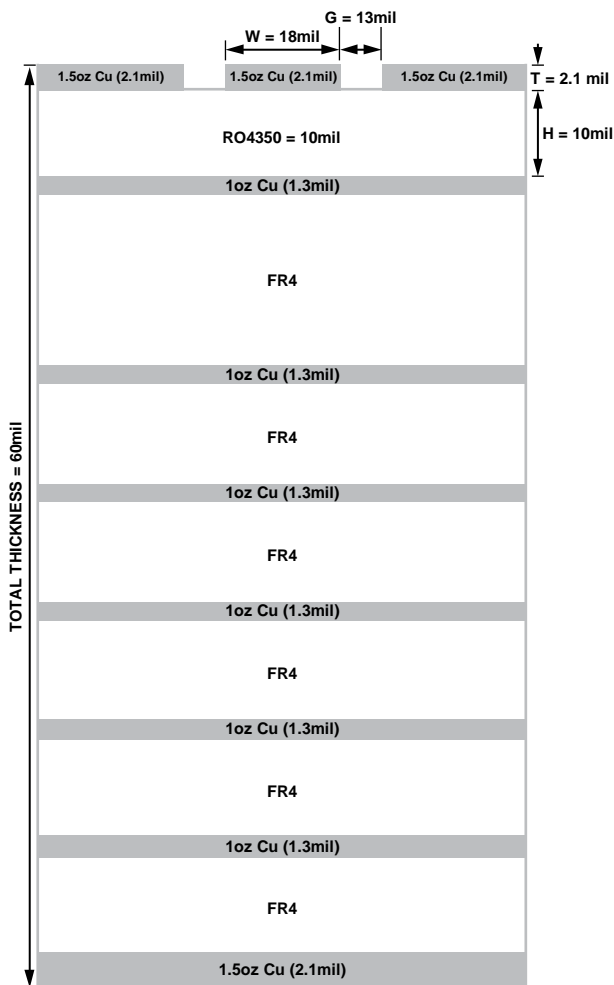


図 13. ADRF5160-EVALZ 評価用ボードの断面図

最上部の銅層にすべての RF と DC のパターンがあります。他の 7 層は十分なグラウンドを提供し、ADRF5160-EVALZ の熱上昇に対応します。更に、熱グラウンディングを適切にするために、図 15 に示すように、伝送ラインの周囲およびパッケージの露出パッドの下にビア・ホールが設けられています。ボード上の RF 伝送ラインは、幅が 18 ミル、グラウンドの間隔が 13 ミルのコプレーナ導波路設計となっています。

最大限の放熱を確保し、ボードの熱上昇を低減するためには、アプリケーションに関して何点が考慮することが不可欠です。評価用ボードは、ボード底面にある銅製のサポート・プレートに取り付ける必要があります。ADRF5160-EVALZ には、このサポート・プレートのアタッチメントが付属しています。高出力で動作させる場合は必ずサーマル・グリースを使用し、この評価用ボードをサポート・プレートを介してヒート・シンクに取り付けます。図 14 は、先に示した条件と注意事項 (評価用ボードとサポート・プレートをヒート・シンクに取り付ける) に基づいてテストしたボード温度と RF 電力入力の関係を示しています。温度上昇は RF 電力入力が 48dBm までは 8°C 未満であり、高電力レベルで動作する場合に必要な熱放散を提供しています。

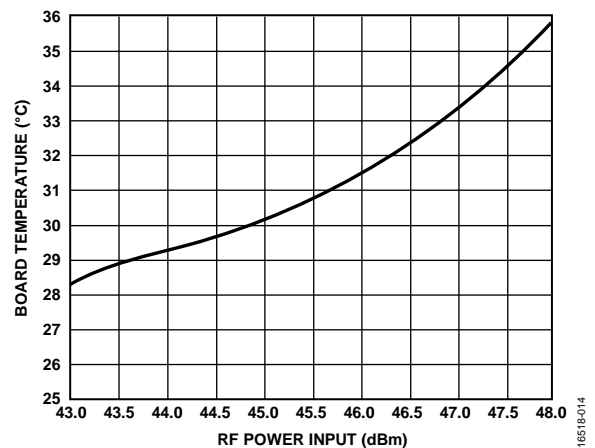


図 14. ADRF5160-EVALZ 評価用ボードの温度上昇 (オープン温度は 25°C に設定)

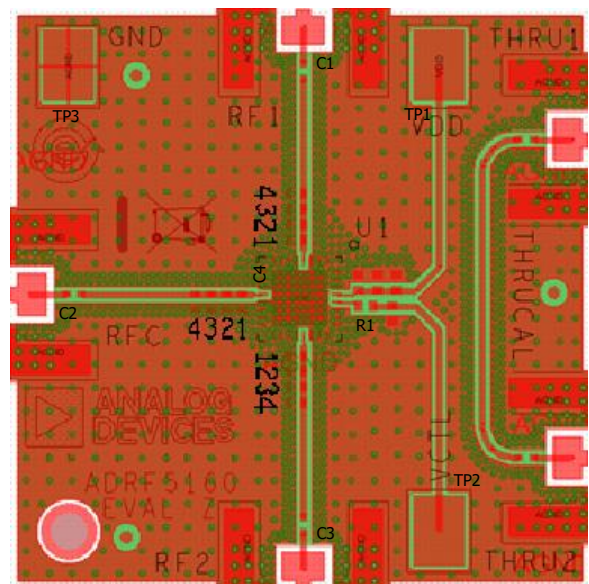


図 15. ADRF5160-EVALZ 評価用ボードのレイアウト

代表的なアプリケーション回路

適切な RF 回路設計技術を使用して、図 17 に示す代表的なアプリケーション回路で使用される評価用 PCB を作成してください。RF ポートの信号ラインのインピーダンスは  $50\Omega$  でなければなりません。

また、パッケージのグラウンド・リードと裏面のグラウンド・スラグはグラウンド・プレーンに直接接続する必要があります。図 16 に示した評価用ボードは、ご希望に応じてアナログ・デバイスから提供されます。

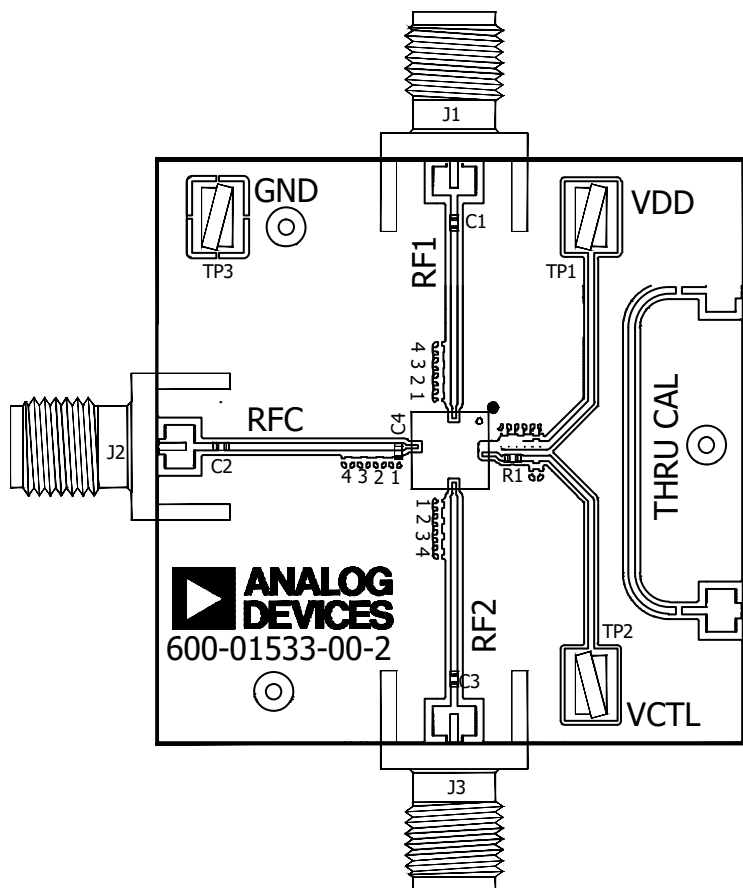


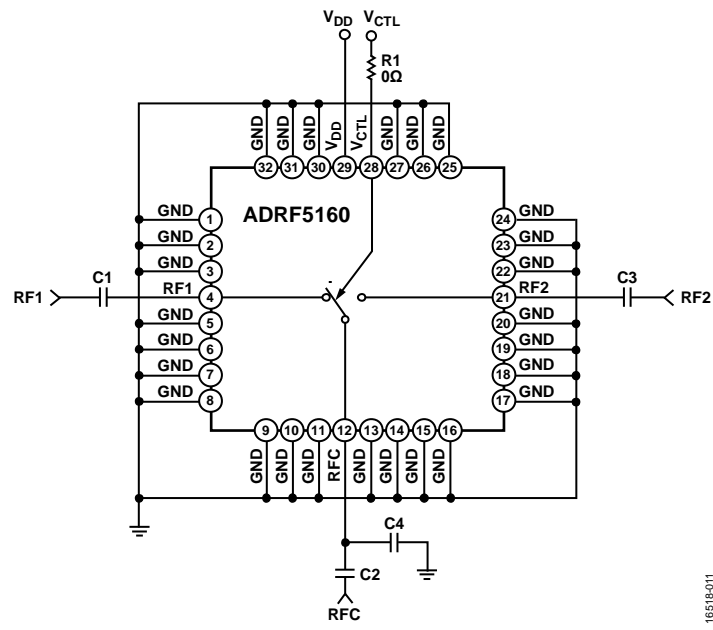
図 16. ADRF5160-EVALZ 評価用ボードのコンポーネント配置

表 6. ADRF5160-EVALZ 評価用ボードの部品表

Reference Designator	Description
C1 to C3	24 pF, 200 V ultralow, effective series resistance (ESR) capacitors, 0402 package
C4	0.3 pF, 200 V ultralow ESR capacitor, 0402 package
TP1, TP2, TP3	Test point connectors
R1	0 Ω resistor, 0402 package
J1, J2, J3	PCB mount, SubMiniature Version A (SMA) connectors
U1	ADRF5160 SPDT switch
PCB <sup>1</sup>	ADRF5160-EVALZ <sup>2</sup> evaluation PCB

<sup>1</sup> 回路ボードの材質は Roger 4350 または Arlon 25FR です。

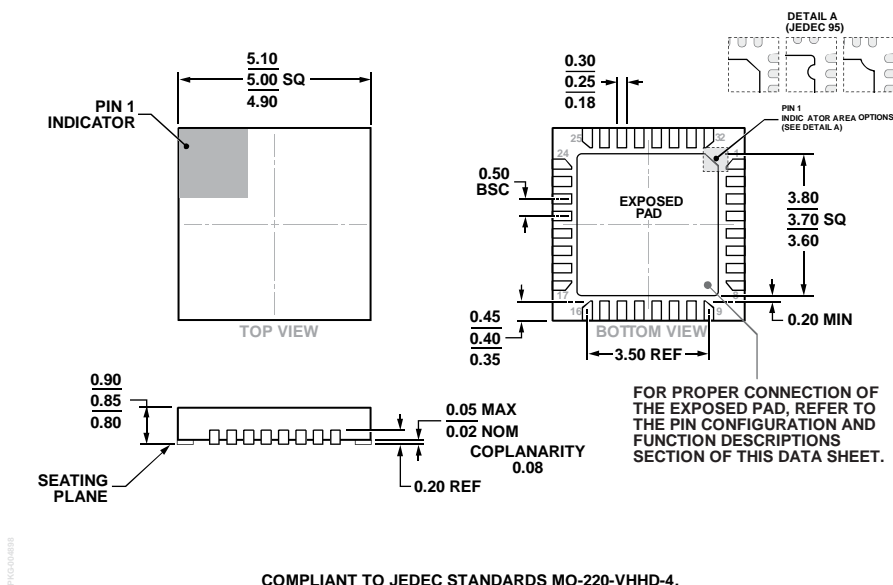
<sup>2</sup> 評価用ボード一式を発注する際は、この評価用ボード番号をご指定ください。



16518-011

図 17. 代表的なアプリケーション回路

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-4.  
 図 18.32 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]  
 5mm x 5mm ボディ、0.85mm パッケージ高  
 (HCP-32-1)  
 寸法：mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	MSL Rating <sup>2</sup>	Package Description	Package Option
ADRF5160BCPZ	-40°C to +105°C	MSL3	32-lead Lead Frame Chip Scale Package [LFCSP]	HCP-32-1
ADRF5160BCPZ-R7	-40°C to +105°C	MSL3	32-lead Lead Frame Chip Scale Package [LFCSP]	HCP-32-1
ADRF5160-EVALZ			Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品

<sup>2</sup> 詳細については、絶対最大定格のセクションを参照してください。