



# 高電力、20 W ピーク シリコン SPDT、反射スイッチ 0.7 GHz ~ 5.0 GHz

データシート

ADRF5132

## 特長

反射、50 Ω 設計

低挿入損失: 2.7 GHz で 0.6 dB (代表値)

T<sub>CASE</sub> = 105 °C で高電力に対応

長寿命 (10 年以上)

ピーク電力: 43 dBm

CW 電力: 38 dBm

平均 LTE 出力 (8 dB PAR) : 35 dBm

シングル・イベント (10 秒未満の動作)

平均 LTE 出力 (8 dB PAR) : 41 dBm

高直線性

P0.1dB: 42.5 dBm (代表値)

IP3: 2.0 GHz ~ 4.0 GHz で 65 dBm (代表値)

ESD 定格

HBM: 2 kV、クラス 2

CDM: 1.25 kV

正側単電源: 5 V

正電圧制御、CMOS/TTL 互換

16 ピン、3 mm × 3 mm LFCSP パッケージ

## アプリケーション

セルラ/4G インフラストラクチャ

ワイヤレス・インフラストラクチャ

防衛および高信頼性アプリケーション

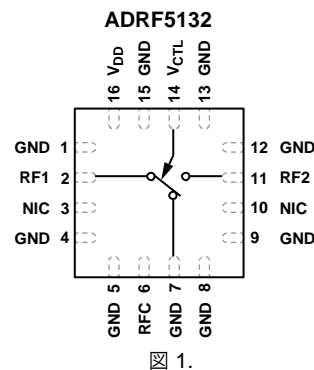
試験装置

ピン・ダイオードに代わる製品

## 概要

ADRF5132 は 0.7 GHz ~ 5.0 GHz の高出力反射シリコン単極双投 (SPDT) 反射スイッチで、リードレスの表面実装パッケージを採用しています。このスイッチは ロング・ターム・エボリューション (LTE) ベースの基地局などの高電力のセルラ用インフラストラクチャのアプリケーションに最適です。ADRF5132 は 35 dBm LTE (105 °C での平均代表値) の高出力に対応し、2.7 GHz で 0.6 dB の低挿入損失、65 dBm (代表値) の入力 3 次インターセプト、42.5 dBm の 0.1 dB 圧縮 (P0.1dB) を実現します。オンチッ

## 機能ブロック図



ブ回路は 5 V の正側単電源電圧と 1.1 mA (代表値) の電源電流で動作するため、ADRF5132 はピン・ダイオードベースのスイッチに代わる最適なソリューションとなります。

このデバイスは RoHS 準拠の小型 16 ピン、3 mm × 3 mm LFCSP パッケージを採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 40F  
電話 052 (569) 6300

## 目次

特長.....	1	インターフェース回路図.....	5
アプリケーション.....	1	代表的な性能特性.....	6
機能ブロック図.....	1	挿入損失、アイソレーション、リターン・ロス、3次インターセプト、電力圧縮.....	6
概要.....	1	動作原理.....	8
改訂履歴.....	2	アプリケーション情報.....	9
仕様.....	3	評価用ボード.....	9
絶対最大定格.....	4	アプリケーション回路.....	10
熱抵抗.....	4	外形寸法.....	12
ESDに関する注意事項.....	4	オーダー・ガイド.....	12
ピン配置およびピン機能の説明.....	5		

## 改訂履歴

12/2017—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $V_{DD} = 5\text{ V}$ 、 $V_{CTL} = 0\text{ V}$  または  $V_{DD}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 、および  $50\text{ }\Omega$  システム。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit	
FREQUENCY RANGE		0.7		5.0	GHz	
INSERTION LOSS	0.9 GHz		0.5		dB	
	2.7 GHz		0.6		dB	
	3.8 GHz		0.65		dB	
	5.0 GHz		0.9		dB	
ISOLATION	RFC to RF1/RF2 (Worst Case)	0.7 GHz to 2.0 GHz	50		dB	
		2.0 GHz to 5.0 GHz	45		dB	
	RF1 to RF2 (Worst Case)	0.7 GHz to 2.0 GHz	50		dB	
		2.0 GHz to 5.0 GHz	35		dB	
RETURN LOSS	RFC	0.7 GHz to 4.0 GHz	25		dB	
		4.0 GHz to 5.0 GHz	15		dB	
	RFC to RF1/RF2	0.7 GHz to 4.0 GHz	25		dB	
		4.0 GHz to 5.0 GHz	15		dB	
SWITCHING SPEED	Rise and Fall Time ( $t_{RISE}$ , $t_{FALL}$ )		140		ns	
	On and Off Time ( $t_{ON}$ , $t_{OFF}$ )	90% to 10% of radio frequency (RF) output 50% $V_{CTL}$ to 10% to 90% of RF output		550	ns	
INPUT POWER	0.1 dB Compression (P0.1dB)		42.5		dB	
	INPUT THIRD-ORDER INTERCEPT (IP3)	Two-tone input power = 30 dBm per tone at 10 MHz tone spacing				
0.7 GHz to 2.0 GHz		68			dBm	
2.0 GHz to 4.0 GHz		65			dBm	
4.0 GHz to 5.0 GHz		62			dBm	
RECOMMENDED OPERATING CONDITIONS	0.7 GHz to 4.0 GHz	Bias Voltage Range ( $V_{DD}$ )	4.5	5.4	V	
		Control Voltage Range ( $V_{CTL}$ )	0	$V_{DD}$	V	
	Maximum RF Input Power $T_{CASE} = 105^\circ\text{C}^1$	Continuous wave (CW)			38	dBm
		8 dB peak average ratio (PAR), long term (>10 years operation), average			35	dBm
		8 dB PAR LTE, single event (<10 sec), average			41	dBm
		CW			40	dBm
	$T_{CASE} = 85^\circ\text{C}$	8 dB PAR LTE, long term (>10 years operation), average			35	dBm
		8 dB PAR LTE, single event (<10 sec), average			41	dBm
		CW			43	dBm
		8 dB PAR LTE, long term (>10 years operation), average			35	dBm
	$T_{CASE} = 25^\circ\text{C}$	8 dB PAR LTE, single event (<10 sec), average			41	dBm
		CW			43	dBm
		8 dB PAR LTE, long term (>10 years operation), average			35	dBm
		8 dB PAR LTE, single event (<10 sec), average			41	dBm
Case Temperature Range ( $T_{CASE}$ )		-40		+105	$^\circ\text{C}$	
DIGITAL INPUT CONTROL VOLTAGE	$V_{DD} = 4.5\text{ V to }5.4\text{ V}$ , $T_{CASE} = -40^\circ\text{C to }+105^\circ\text{C}$ , at $<1\text{ }\mu\text{A}$ typical	Low ( $V_{IL}$ )	0	0.8	V	
		High ( $V_{IH}$ )	1.3	5.0	V	
SUPPLY CURRENT ( $I_{DD}$ )	$V_{DD} = 5\text{ V}$		1.1		mA	

<sup>1</sup> ピーク電力は 43 dBm で、LTE ロング・タームにおける 8 dB の PAR に相当します。

## 絶対最大定格

表 2.

Parameter	Rating
Bias Voltage Range ( $V_{DD}$ )	-0.3 V to +5.5 V
Control Voltage Range ( $V_{CTL}$ )	-0.3 V to $V_{DD}$
RF Input Power <sup>1</sup>	43 dBm
Channel Temperature	135°C
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +105°C
Peak Reflow Temperature (MSL3)	260°C
ESD Sensitivity	
Human Body Model (HBM)	2 kV (Class 2)
Charged Device Model (CDM)	1.25 kV

<sup>1</sup> 推奨動作条件については、表 1 を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

$\theta_{JC}$  は、ジャンクションからケース底面への (チャンネルからパッケージ底面への) 熱抵抗です。

表 3. 熱抵抗

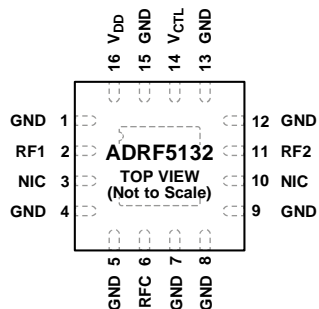
Package Type	$\theta_{JC}$	Unit
CP-16-35	17	°C/W

## ESD に関する注意事項

**ESD (静電放電) の影響を受けやすいデバイスです。**

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明



**NOTES**  
 1. NIC = NOT INTERNALLY CONNECTED. THESE PINS ARE NOT CONNECTED INTERNALLY; HOWEVER, ALL DATA SHOWN HEREIN WAS MEASURED WITH THESE PINS CONNECTED TO RF/DC GROUND EXTERNALLY.  
 2. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO RF/DC GROUND.

図 2. ピン配置

表 4. ピン機能の説明

Pin No.	Mnemonic	Description
1, 4, 5, 7, 8, 9, 12, 13, 15	GND	グラウンド。GND インターフェース回路図については、図 3 を参照してください。
2	RF1	RF ポート 1。このピンは DC 結合され、50 Ω にマッチします。このピンには DC 阻止コンデンサが必要です。
3, 10	NIC	内部では未接続。これらのピンは内部では未接続ですが、ここに示す全データはこれらのピンを RF/DC グラウンドに外部接続して測定しています。
6	RFC	RF 共通ポート。このピンは DC 結合され、50 Ω にマッチします。このピンには DC 阻止コンデンサが必要です。
11	RF2	RF ポート 2。このピンは DC 結合され、50 Ω にマッチします。このピンには DC 阻止コンデンサが必要です。
14	V <sub>CTL</sub>	制御入力。V <sub>CTL</sub> インターフェース回路図については図 4 を参照してください。表 5 および表 1 の推奨デジタル入力制御電圧範囲を参照してください。
16	V <sub>DD</sub> EPAD	電源電圧。 露出パッド。パッケージの底面には金属パッドが露出しており、PCB の RF グラウンドに接続する必要があります。

表 5. 真理値表

Control Input, V <sub>CTL</sub> State	Signal Path State	
	RFC to RF1	RFC to RF2
High	Off	On
Low	On	Off

### インターフェース回路図



図 3. グラウンド・インターフェース

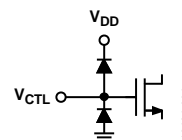


図 4. 制御インターフェース

## 代表的な性能特性

### 挿入損失、アイソレーション、リターン・ロス、3次インターセプト、電力圧縮

特に指定のない限り、 $V_{DD} = 5\text{ V}$ 、 $V_{CTL} = 0\text{ V}$  または  $V_{DD}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 、および  $50\text{ }\Omega$  システム。

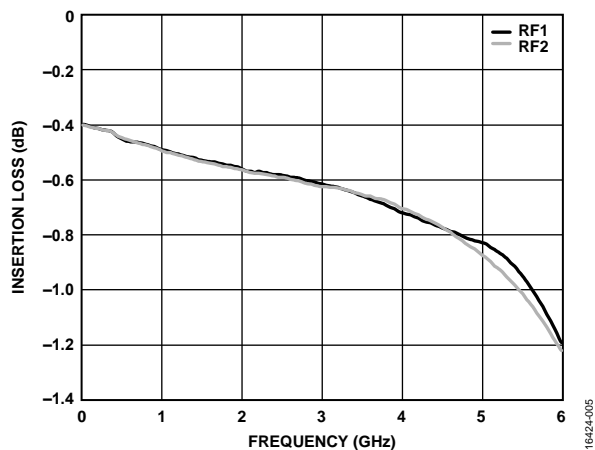


図 5. RF1 と RF2 の挿入損失の周波数特性 ( $V_{DD} = 5\text{ V}$ )

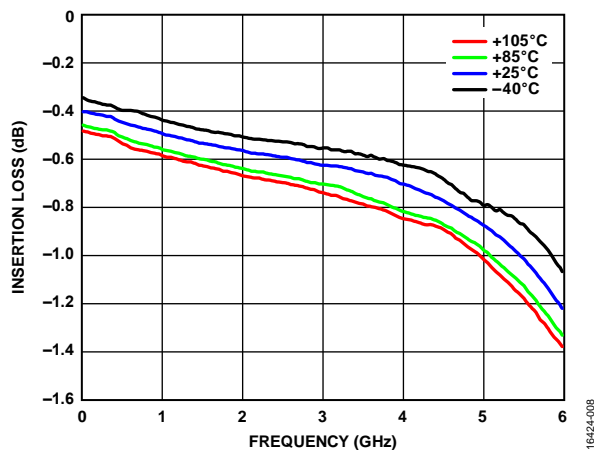


図 8. 多様な温度に対する挿入損失の周波数特性 ( $V_{DD} = 5\text{ V}$ )

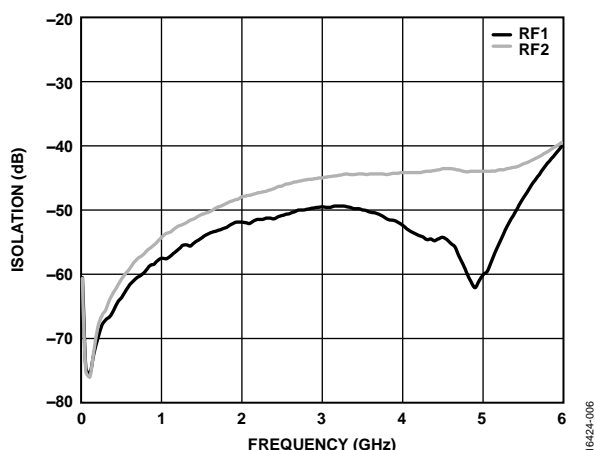


図 6. RFC と RF1/RF2 間のアイソレーションの周波数特性 ( $V_{DD} = 5\text{ V}$ )

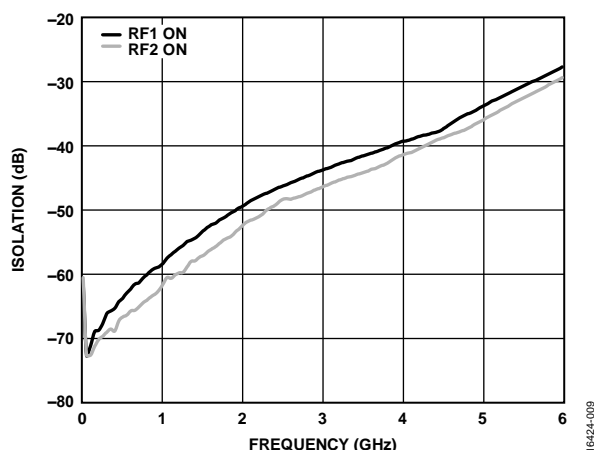


図 9. RFC1 と RF2 間のアイソレーションの周波数特性 ( $V_{DD} = 5\text{ V}$ 、スイッチ・モードをオン)

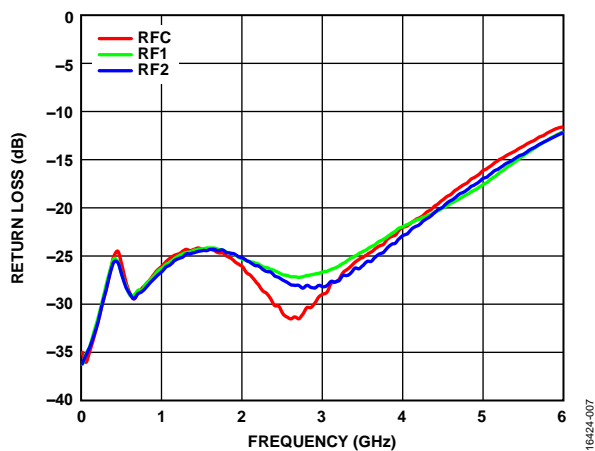


図 7. リターン・ロスの周波数特性 ( $V_{DD} = 5\text{ V}$ )

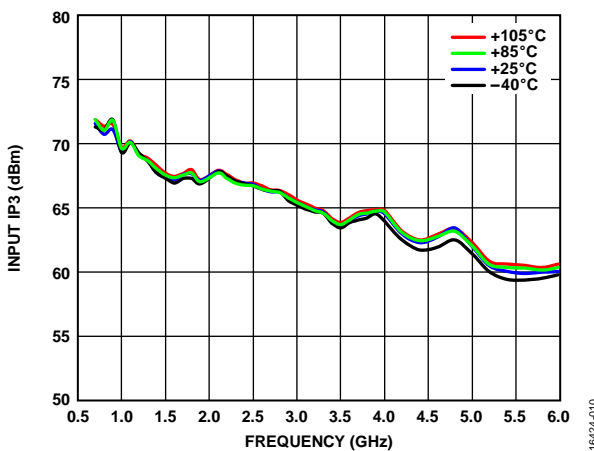


図 10. 多様な温度に対する入力 IP3 の周波数特性 ( $V_{DD} = 5\text{ V}$ )

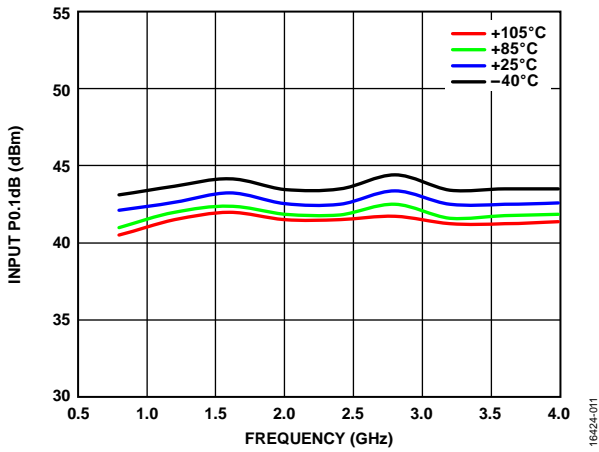


図 11. 多様な温度に対する入力 0.1 dB 電力圧縮 (P0.1dB) の周波数特性 ( $V_{DD} = 5\text{ V}$ )

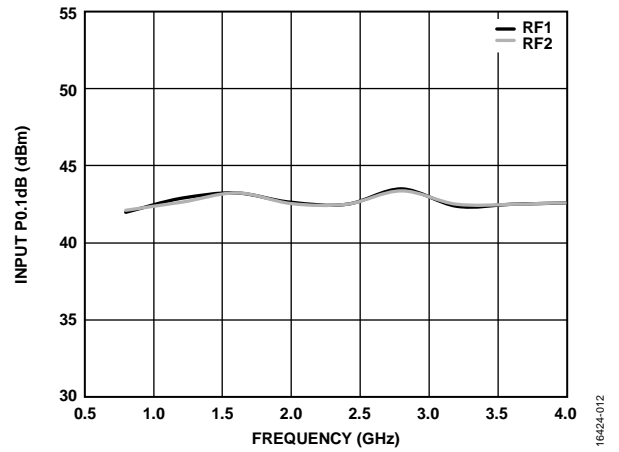


図 12. 入力 0.1 dB 電力圧縮 (P0.1dB) の周波数特性 ( $V_{DD} = 5\text{ V}$ )

## 動作原理

ADRF5132 は  $V_{DD}$  ピンに単電源電圧を印加する必要があります。RF カップリングを最小にするには、電源ラインにバイパス・コンデンサを接続することを推奨します。

ADRF5132 は  $V_{CTL}$  ピンに印加されるデジタル制御電圧で制御されます。RF 信号のアイソレーションを改善するために、 $V_{CTL}$  信号ラインに小容量のバイパス・コンデンサを接続することを推奨します。

RF 入力ポート (RFC) と RF 出力ポート (RF1 および RF2) では、ADRF5132 は  $50\ \Omega$  に内部でマッチするで、外部のマッチング・コンポーネントは必要ありません。RF<sub>x</sub> (RFC、RF1、RF2) ピンは DC 結合されるため、RF<sub>x</sub> ラインには DC 阻止コンデンサが必要です。双方向の設計なので、入力と出力を入れ替え可能です。

理想的なパワーアップ・シーケンスは次のとおりです。

1. デバイスをグラウンドに接続します。
2.  $V_{DD}$  をパワーアップします。
3. デジタル制御入力をパワーアップします。 $V_{DD}$  電源の前にデジタル制御入力をパワーアップすると、誤ってフォワード・バイアスされ、ESD 保護構造が損傷することがあります。
4. RF 入力をパワーアップします。 $V_{CTL}$  ビンに印加されたロジック・レベルに応じて、1 つの RF 出力ポート (例えば RF1) がオン・モードに設定され、これにより挿入損失経路が RFC から出力に提供される一方、他の RF 出力ポート (例えば、RF2) がオフ・モードに設定されて出力が RFC から絶縁されます。

表 6. スイッチ動作モード

Digital Control Input, $V_{CTL}$	Switch Mode	
	RFC to RF1	RFC to RF2
1	オフ・モード: RF1 ポートが RFC から絶縁され、反射になる。	オン・モード: RFC から RF2 ポートへ低挿入損失の経路。
0	オン・モード: RFC から RF1 ポートへ低挿入損失の経路。	オフ・モード: RF2 ポートは RFC から絶縁され、反射になる。



## アプリケーション情報

### 評価用ボード

ADRF5132-EVALZ は、デバイスが動作する高電力レベルと高温度に対応できます。

ADRF5132-EVALZ 評価用ボードは、図 13 に示すように、各レイヤ間に存在する 8 層の金属層と誘電体で構成されています。各金属層は 1 オンス (1.3 ミル) の厚さの銅ですが、外側の層は 1.5 オンスの銅です。

最上部の誘電体は 10 ミルの Rogers RO4350 です。これは温度係数が非常に低いため、ボードの熱上昇を抑えます。金属層間の他の誘電体は FR4 です。ボード厚の合計は 60 ミルです。

評価用ボードの熱放散を最大にし、温度上昇を抑えるには、アプリケーションで考慮すべき点があります。ADRF5132-EVALZ の評価用ボードの下に銅製のサポート・プレートを取り付けます。ADRF5132-EVALZ には、このサポート・プレートのアタッチメントが付属しています。高電力で動作するときは常に、サポート・プレートの付いた ADRF5132-EVALZ にサーマル・グリースを使用して大きなヒートシンクを取り付けます。図 14 は、上述した条件と注意事項 (評価用ボードとサポート・プレートを大きなヒートシンクに取り付ける) を守ってテストした評価用ボードの温度対 RF 電力入力を示しています。温度上昇は、RF 電力入力が 43 dBm までは 5°C 未満であり、高電力レベルで動作する場合に必要な熱放散を確保しています。

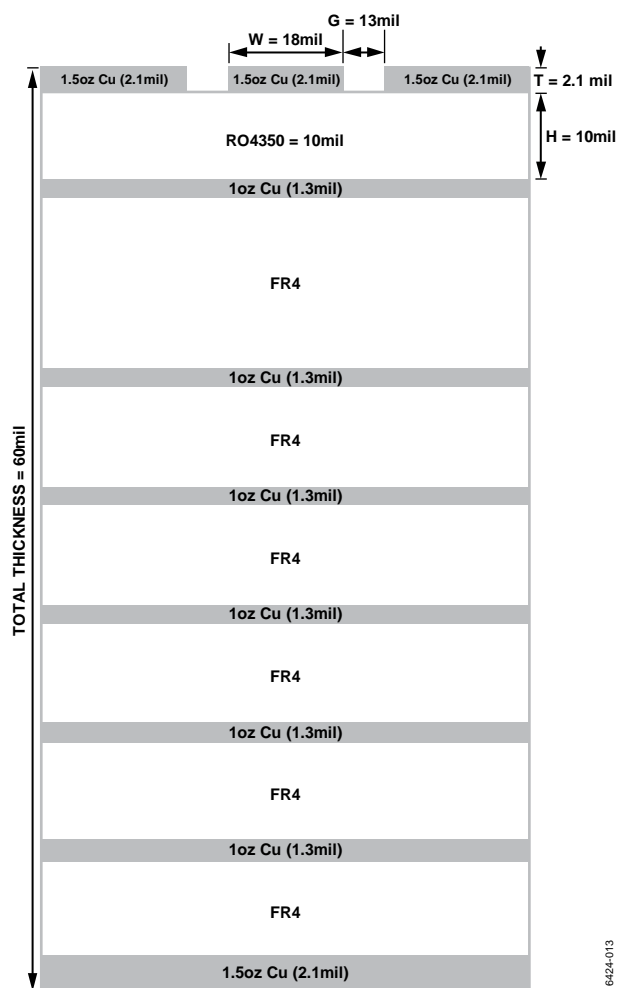


図 13. ADRF5132-EVALZ 評価用ボードの断面図

最上部の銅層にすべての RF と DC のトレースがあり、他の 7 層は十分なグラウンドを提供して ADRF5132-EVALZ の温度上昇に対処します。さらに、放熱グラウンディングを適切にするために、図 15 に示すように、伝送ラインの周囲とパッケージの露出パッドの下にビア・ホールが設けられています。評価用ボードの RF 伝送ラインは、幅が 18 ミル、グラウンド間隔が 13 ミルのコプレーナ導波管設計となっています。

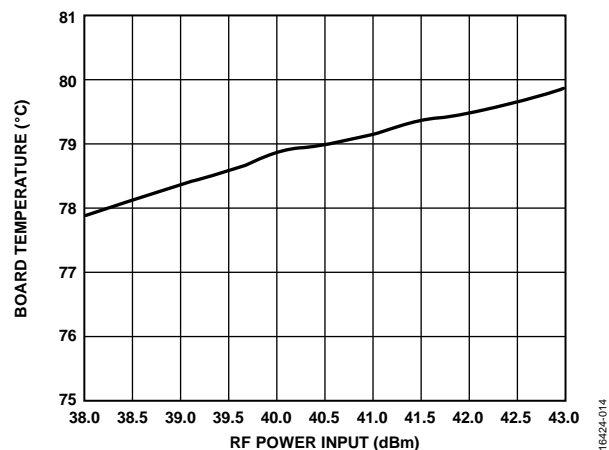


図 14. ADRF5132-EVALZ 評価用ボードの温度上昇 (オープン温度は 75 °C に設定)

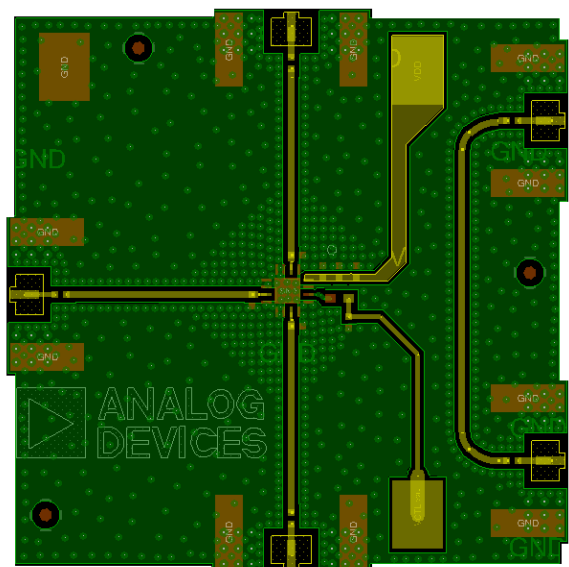


図 15. ADRF5132-EVALZ 評価用ボードのレイアウト

アプリケーション回路

適切な RF 回路設計技術を用いて、図 17 に示すアプリケーション回路に使用する評価用プリント基板 (PCB) を作成します。RF ポートの信号ラインのインピーダンスは 50 Ω でなければなりません。

また、パッケージのグラウンド・リードと裏面のグラウンド・スラグはグラウンド・プレーンに直接接続する必要があります。図 16 に示す評価用ボードは、アナログ・デバイゼズに申し込むことにより入手できます。

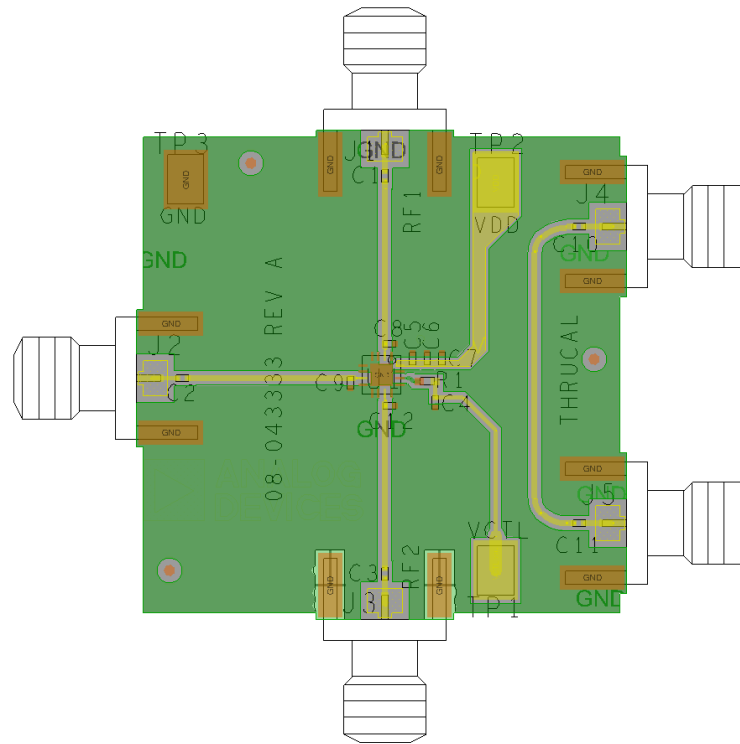


図 16. ADRF5132-EVALZ 評価用ボードの配置

表 7. ADRF5132-EVALZ 評価用ボードの部品表

Reference Designator	Description
J1 to J3	PCB mount SMA connector
C1 to C5	100 pF, 250 V capacitor, 0402 package
C6	1000 pF capacitor, 0402 package
C7	1 μF capacitor, 0402 package
C8, C9, C12	Do not insert
R1	0 Ω resistor, 0402 package
U1	ADRF5132 SPDT switch
PCB <sup>1</sup>	ADRF5132-EVALZ <sup>2</sup> evaluation PCB

<sup>1</sup> 回路ボード材料: Roger 4350 または Arlon 25FR.

<sup>2</sup> 評価ボード一式を注文する際は、評価ボード番号を参照してください。

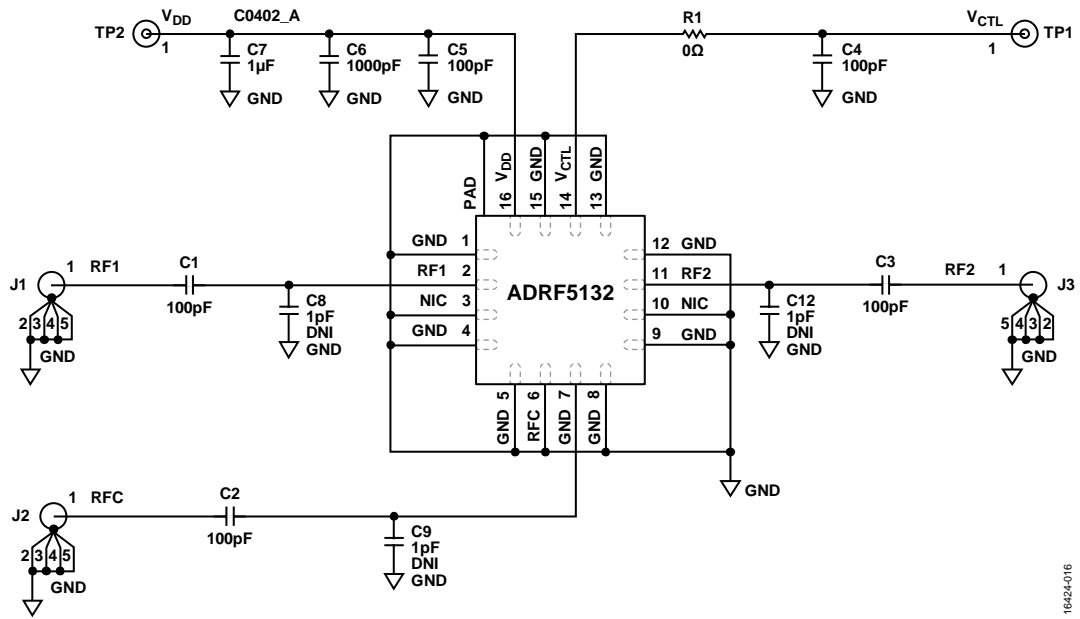
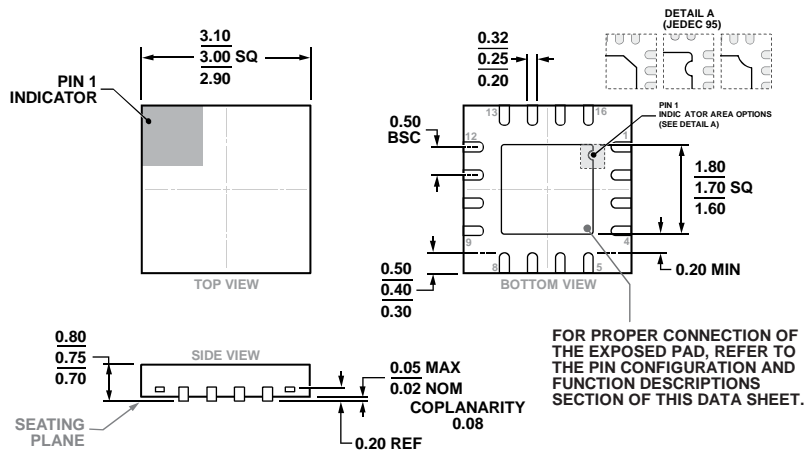


図 17. アプリケーション回路

1624-016

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WEED-2.  
 図 18. 16 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]  
 3 mm × 3 mm ボディ、0.75 mm パッケージ高  
 (CP-16-35)  
 寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADRF5132BCPZN	-40°C to +105°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-35
ADRF5132BCPZN-R7	-40°C to +105°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-35
ADRF5132-EVALZ		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品