



# シリコン SPDT スイッチ、反射 100MHz~44GHz

データシート

## ADRF5024

### 特長

超広帯域周波数範囲：100 MHz~44 GHz

反射設計

インピーダンス整合性を備えた低挿入損失

1.0dB (代表値) ~18GHz

1.4dB (代表値) ~40GHz

1.7dB (代表値) ~44GHz

インピーダンス整合性のない低挿入損失

0.9dB (代表値) ~18GHz

1.7dB (代表値) ~40GHz

2.1dB (代表値) ~44GHz

高入力直線性

P1dB : 27.5dBm (代表値)

IP3 : 50dBm (代表値)

大 RF 入力電力処理

スルー・パス : 27dBm

ホット・スイッチング : 27dBm

低周波数スプリアスなし

RF セトリング・タイム (50%  $V_{CTRL}$  ~0.1dB の最終 RF 出力) :

17ns

12 端子、2.25mm x 2.25mm の LGA パッケージ

ADRF5025 低周波数カットオフ・バージョンとのピン互換性

### アプリケーション

工業用センサー

試験および計測器

セルラ・インフラストラクチャ : 5G ミリ波

防衛用無線、レーダー、電子対抗手段 (ECM)

マイクロ波無線および超小型地球局 (VSAT)

### 概要

ADRF5024 は、シリコン・プロセスを使って製造した反射単極双投 (SPDT) スイッチです。

このスイッチは、1.7dB の挿入損失および 35dB のアイソレーションより良好な状態で、100MHz~44GHz で動作します。ADRF5024 は、スルー・パスとホット・スイッチングの両方に対応する、27dBm の無線周波数 (RF) 入力電力処理機能を備えています。

ADRF5024 では、+3.3V の正側 (供給) 電源で 14 $\mu$ A、-3.3V の負電源で 120 $\mu$ A の低電流が流れます。また、相補型金属酸化膜半導体 (CMOS) / 低電圧トランジスタ-トランジスタ-ロジック (LVTTTL) 互換の制御が採用されています。

### 機能ブロック図

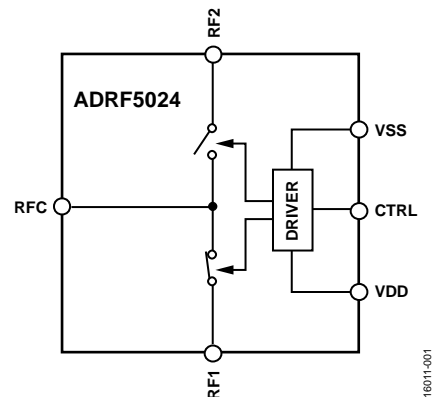


図 1.

ADRF5024 は、9kHz~44GHz で動作する ADRF5025 (低周波数カットオフ・バージョン) とのピン互換性を備えています。

ADRF5024 の RF ポートは、50 $\Omega$  の特性インピーダンスに一致するように設計されています。超広帯域幅製品の場合、RF 伝送ラインでのインピーダンス・マッチングは、高周波挿入損失とリターン・ロス特性を更に最適化することができます。詳細については「電気仕様」、「代表的な性能特性」、「アプリケーション情報」の各セクションを参照してください。

ADRF5024 は、2.25mm x 2.25mm、12 端子、RoHS 準拠、ランド・グリッド・アレイ (LGA) パッケージといった特長を備え、-40°C~+105°C で動作可能です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. A

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 40F  
電話 052 (569) 6300

## 目次

特長.....	1	インターフェース回路図.....	6
アプリケーション.....	1	代表的な性能特性.....	7
機能ブロック図.....	1	挿入損失、リターン損失、アイソレーション.....	7
概要.....	1	入力電力圧縮と3次インターセプト.....	8
改訂履歴.....	2	動作原理.....	9
仕様.....	3	アプリケーション情報.....	10
電気仕様.....	3	評価用ボード.....	10
絶対最大定格.....	5	プローブ・マトリックス・ボード.....	12
熱抵抗.....	5	外形寸法.....	13
パワー・ディレーティング曲線.....	5	オーダー・ガイド.....	13
ESDに関する注意.....	5		
ピン配置およびピン機能の説明.....	6		

## 改訂履歴

### 5/2018—Rev. 0 to Rev. A

Updated Outline Dimensions .....	13
Changes to Ordering Guide .....	13

### 5/2018—Revision 0: Initial Version

## 仕様

### 電気仕様

特に指定のない限り、50Ωシステムに対し、VDD = 3.3V、VSS = -3.3V、V<sub>CTRL</sub> = 0VまたはVDD、ケース温度 (T<sub>CASE</sub>) = 25°C。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE	f		100		44,000	MHz
INSERTION LOSS						
Between RFC and RF1/RF2 (On)						
With Impedance Match		See Figure 24				
		100 MHz to 18 GHz		1.0		dB
		18 GHz to 26 GHz		1.4		dB
		26 GHz to 35 GHz		1.4		dB
		35 GHz to 40 GHz		1.4		dB
		40 GHz to 44 GHz		1.7		dB
Without Impedance Match		See Figure 25				
		100 MHz to 18 GHz		0.9		dB
		18 GHz to 26 GHz		1.1		dB
		26 GHz to 35 GHz		1.5		dB
		35 GHz to 40 GHz		1.7		dB
		40 GHz to 44 GHz		2.1		dB
RETURN LOSS						
RFC and RF1/RF2 (On)						
With Impedance Match		See Figure 24				
		100 MHz to 18 GHz		17		dB
		18 GHz to 26 GHz		13		dB
		26 GHz to 35 GHz		13		dB
		35 GHz to 40 GHz		18		dB
		40 GHz to 44 GHz		17		dB
Without Impedance Match		See Figure 25				
		100 MHz to 18 GHz		21		dB
		18 GHz to 26 GHz		17		dB
		26 GHz to 35 GHz		13		dB
		35 GHz to 40 GHz		12		dB
		40 GHz to 44 GHz		10		dB
ISOLATION						
Between RFC and RF1/RF2						
		100 MHz to 18 GHz		42		dB
		18 GHz to 26 GHz		41		dB
		26 GHz to 35 GHz		38		dB
		35 GHz to 40 GHz		36		dB
		40 GHz to 44 GHz		35		dB
Between RF1 and RF2						
		100 MHz to 18 GHz		47		dB
		18 GHz to 26 GHz		45		dB
		26 GHz to 35 GHz		44		dB
		35 GHz to 40 GHz		42		dB
		40 GHz to 44 GHz		38		dB
SWITCHING CHARACTERISTICS						
Rise and Fall Time	t <sub>RISE</sub> , t <sub>FALL</sub>	10% to 90% of RF output		2		ns
On and Off Time	t <sub>ON</sub> , t <sub>OFF</sub>	50% V <sub>CTRL</sub> to 90% of RF output		10		ns
RF Settling Time						
0.1 dB		50% V <sub>CTRL</sub> to 0.1 dB of final RF output		17		ns
0.05 dB		50% V <sub>CTRL</sub> to 0.05 dB of final RF output		22		ns

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT LINEARITY <sup>1</sup>		200 MHz to 40 GHz				
1 dB Power Compression	P1dB			27.5		dBm
Third-Order Intercept	IP3	Two tone input power = 12 dBm each tone, $\Delta f = 1$ MHz		50		dBm
SUPPLY CURRENT		VDD and VSS pins				
Positive Supply Current	I <sub>DD</sub>			14		μA
Negative Supply Current	I <sub>SS</sub>			120		μA
DIGITAL CONTROL INPUTS		CTRL pin				
Voltage						
Low	V <sub>INL</sub>		0		0.8	V
High	V <sub>INH</sub>		1.2		3.3	V
Current						
Low and High	I <sub>INL</sub> , I <sub>INH</sub>			<1		μA
RECOMMENDED OPERATING CONDITONS						
Supply Voltage						
Positive	V <sub>DD</sub>		3.15		3.45	V
Negative	V <sub>SS</sub>		-3.45		-3.15	V
Digital Control Voltage	V <sub>CTRL</sub>		0		V <sub>DD</sub>	V
RF Input Power <sup>2</sup>	P <sub>IN</sub>	f = 200 MHz to 40 GHz, T <sub>CASE</sub> = 85°C <sup>3</sup>				
Through Path		RF signal is applied to RFC or through connected RF1/RF2			27	dBm
Hot Switching		RF signal is present at RFC while switching between RF1 and RF2			27	dBm
Case Temperature	T <sub>CASE</sub>		-40		+105	°C

<sup>1</sup> 入力直線性と周波数の関係については、図 13～図 16 を参照してください。

<sup>2</sup> パワー・ディレーティングと周波数の関係については、図 2 と図 3 を参照してください。

<sup>3</sup> 105°C での動作の場合、電力処理は T<sub>CASE</sub> = 85°C での仕様より 3dB 低下します。

## 絶対最大定格

推奨動作条件については、表 1 を参照してください。

表 2.

Parameter	Rating
Positive Supply Voltage	-0.3 V to +3.6 V
Negative Supply Voltage	-3.6 V to +0.3 V
Digital Control Input Voltage	-0.3 V to VDD + 0.3 V
RF Input Power (f = 200 MHz to 40 GHz, T <sub>CASE</sub> = 85°C <sup>1</sup> )	
Through Path	27.5 dBm
Hot Switching	27.5 dBm
Temperature	
Junction, T <sub>J</sub>	135°C
Storage Range	-65°C to +150°C
Reflow	260°C
ESD Sensitivity	
Human Body Model (HBM)	
RFC, RF1, and RF2 Pins	500 V
Digital Pins	2000 V
Charged Device Model (CDM)	1250 V

<sup>1</sup> 105°C での動作の場合、電力処理は T<sub>CASE</sub> = 85°C での仕様より 3dB 低下します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

### 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ<sub>JC</sub> は、ジャンクションからケース底部 (チャンネルからパッケージ底部) への熱抵抗です。

表 3. 熱抵抗

Package Type	θ <sub>JC</sub>	Unit
CC-12-3, Through Path	352	°C/W

### パワー・ディレーティング曲線

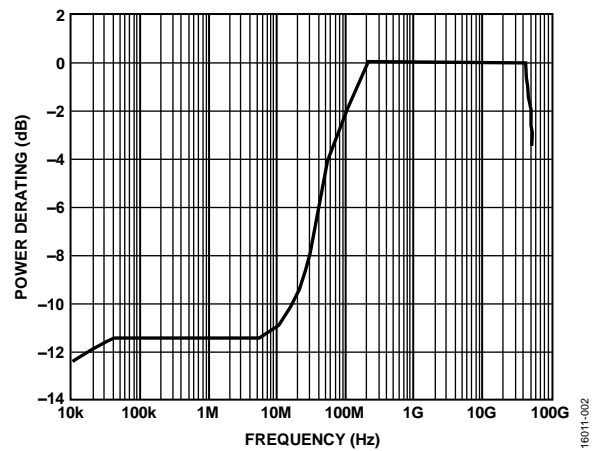


図 2. パワー・ディレーティングと周波数の関係、低周波数の詳細、T<sub>CASE</sub> = 85°C

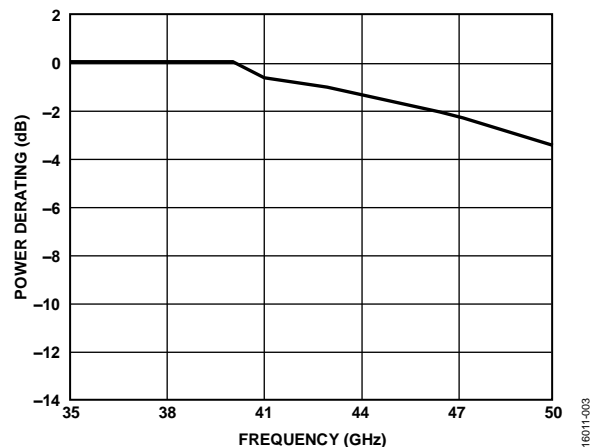


図 3. パワー・ディレーティングと周波数の関係、高周波数の詳細、T<sub>CASE</sub> = 85°C

### ESD に関する注意



#### ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明

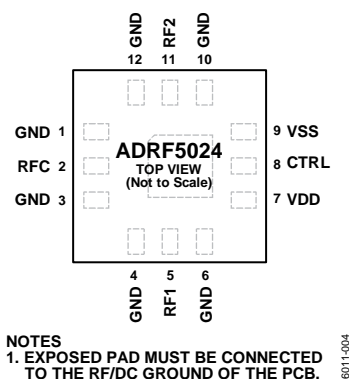


図 4. ピン配置 (上面図)

表 4. ピン機能の説明

Pin No.	Mnemonic	Description
1, 3, 4, 6, 10, 12	GND	グラウンド。これらのピンは、PCB の RF/DC グラウンドに接続されている必要があります。
2	RFC	RF 共通ポート。このピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については、図 5 を参照してください。
5	RF1	RF ポート 1。このピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については、図 5 を参照してください。
7	VDD	正電源電圧。
8	CTRL	制御入力電圧。インターフェース回路図については、図 6 を参照してください。
9	VSS	負電源電圧。
11	RF2	RF ポート 2。このピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については、図 5 を参照してください。
	EPAD	露出パッド。露出パッドは、PCB の RF/DC グラウンドに接続されている必要があります。

### インターフェース回路図

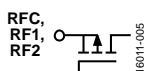


図 5. RFx ピンのインターフェース回路図

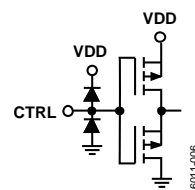


図 6. CTRL のインターフェース回路図

## 代表的な性能特性

### 挿入損失、リターン損失、アイソレーション

特に指定のない限り、50Ωシステムに対し、VDD = 3.3V、VSS = -3.3V、V<sub>CTRL</sub> = 0VまたはVDD、T<sub>CASE</sub> = 25°C。

挿入損失とリターン損失は、RFx ピンの近くでグラウンド・シグナル・グラウンド (GSG) プローブを使用して、プローブ・マトリックス・ボード上で測定しました。ただし、プローブ間の信号カップリングにより、ADRF5024 のアイソレーション性能が制限されます。そのため、アイソレーションは評価用ボード上で測定しました。評価用ボードとプローブ・マトリックス・ボードの詳細については、アプリケーション情報のセクションを参照してください。

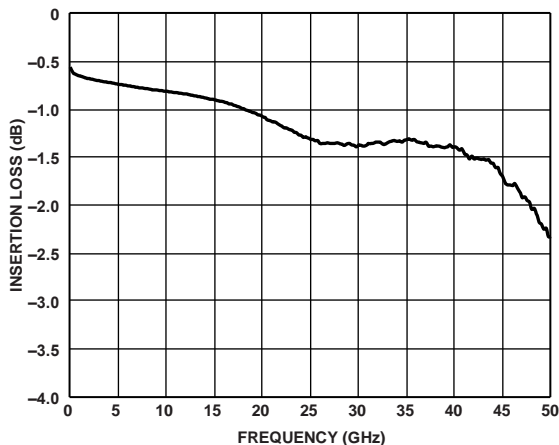


図 7. 挿入損失と周波数の関係  
(インピーダンス・マッチングありの場合)

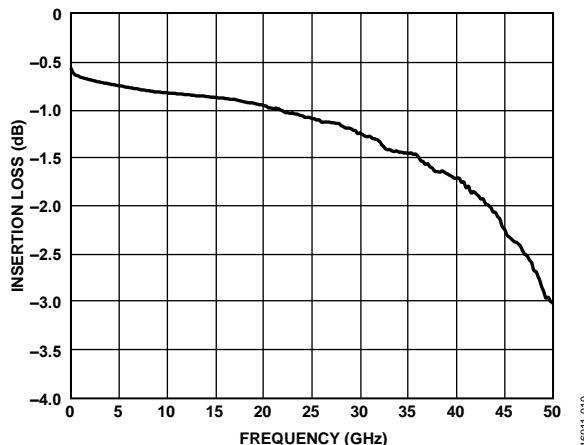


図 10. 挿入損失と周波数の関係  
(インピーダンス・マッチングなしの場合)

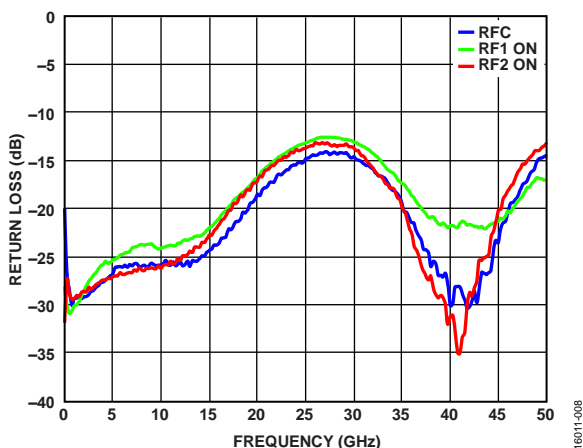


図 8. RFC と RFx (オン) のリターン損失と周波数の関係  
(インピーダンス・マッチングありの場合)

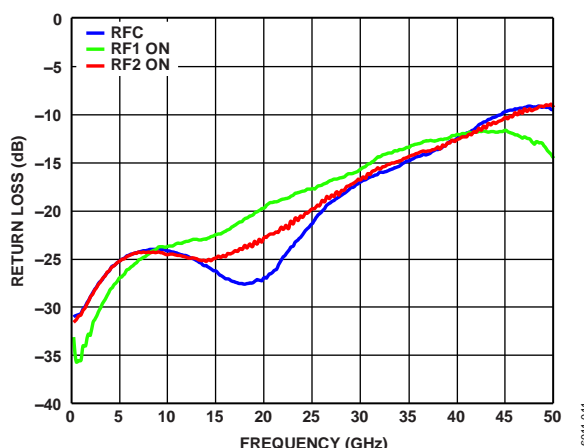


図 11. RFC と RFx (オン) のリターン損失と周波数の関係  
(インピーダンス・マッチングなしの場合)

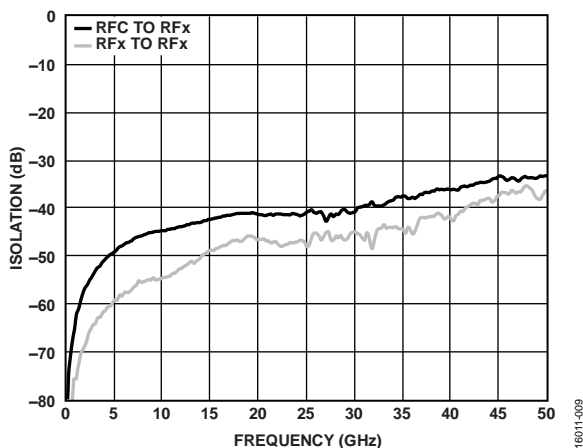


図 9. アイソレーションと周波数の関係  
(インピーダンス・マッチングありの場合)

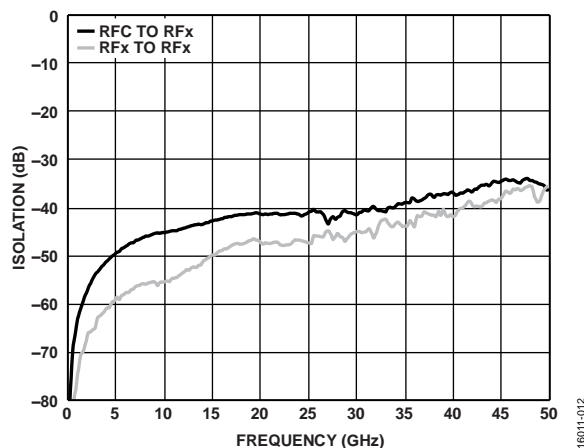


図 12. アイソレーションと周波数の関係  
(インピーダンス・マッチングなしの場合)

### 入力電力圧縮と 3 次インターセプト

特に指定のない限り、50Ωシステムに対し、VDD = 3.3V、VSS = -3.3V、VCTRL = 0VまたはVDD、T<sub>CASE</sub> = 25°C。全ての大信号性能パラメータは評価用ボードで測定しました。

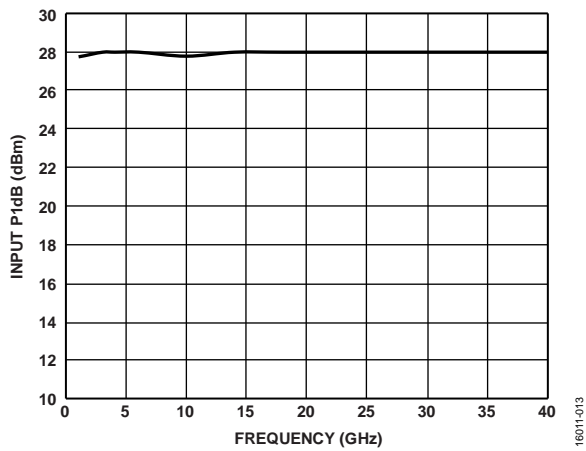


図 13. 入力 P1dB と周波数の関係

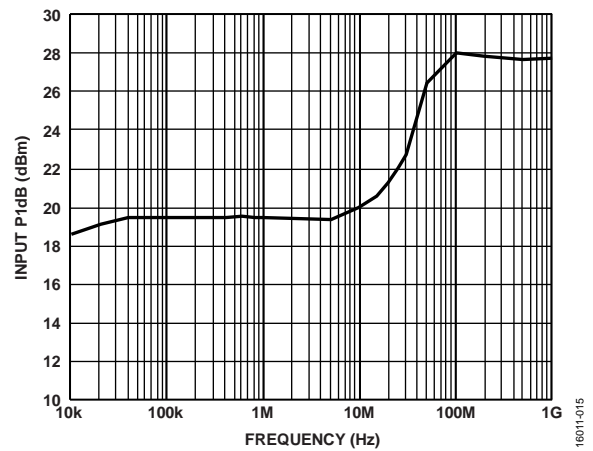


図 15. 入力 P1dB と周波数の関係（低周波数の詳細）

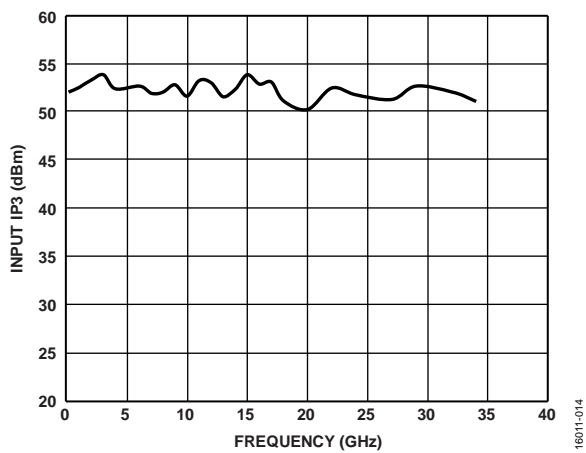


図 14. 入力 IP3 と周波数の関係

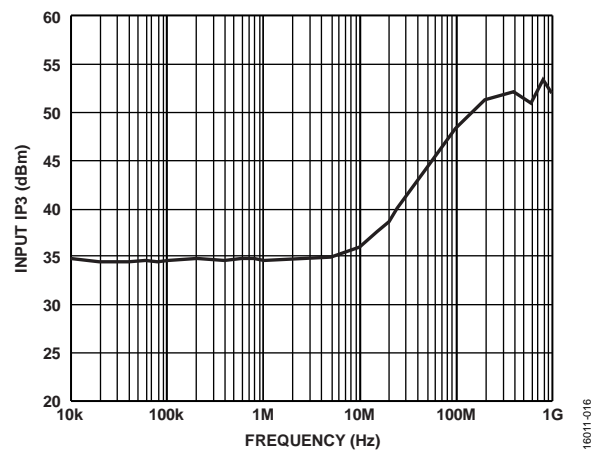


図 16. 入力 IP3 と周波数の関係（低周波数の詳細）



## 動作原理

ADRF5024 は、VDD ピンに供給する正電源電圧と、VSS ピンに供給する負電源電圧を必要とします。高周波ノイズをフィルタリングするため、電源ラインにバイパス用コンデンサを設けることをお勧めします。

全ての RF ポート (RFC、RF1、RF2) は 0V に DC カップリングしており、RF ラインの電位が 0V に等しい場合、RF ポートでの DC 阻止は不要です。

RF ポートは内部で 50Ω に整合しています。そのため、外付けのマッチング回路は不要です。ただし、伝送ラインにインピーダンス・マッチングを行うことで、高周波での挿入損失とリターン損失の性能を向上できます。

ADRF5024 にはロジック機能を内部で実行するためのドライバが内蔵されているため、CMOS/LVTTL 互換の制御インターフェースを簡素化できるメリットがあります。このドライバには単一のデジタル制御入力ピン CTRL が備わっています。CTRL ピンに印加されたロジック・レベルに応じて、どの RF ポートが挿入損失状態になり、どのポートがアイソレーション状態になるかが決まります (表 5 参照)。

ADRF5024 の未選択の RF ポートは反射状態となります。アイソレーション・パスは、未選択のポートと挿入損失パスとの間に高いアイソレーションを提供します。

理想的な電源投入シーケンスは次のとおりです。

1. GND に電源投入。
2. VDD に電源投入。
3. VSS に電源投入。
4. デジタル制御入力の V<sub>CTRL</sub> に電源投入。VDD への電源投入の前にデジタル制御入力に電源投入すると、意図せぬバイアス電流の原因となり、内蔵 ESD 保護構造に損傷を与えるおそれがあります。
5. RF 入力信号を印加します。

理想的なパワーダウン・シーケンスはこの電源投入シーケンスの逆順序です。

表 5. 制御電圧の真理値表

Digital Control Input (V <sub>CTRL</sub> )	RF Path	
	RF1 to RFC	RF2 to RFC
Low	Isolation (off)	Insertion loss (on)
High	Insertion loss (on)	Isolation (off)

## アプリケーション情報

## 評価用ボード

ADRF5024-EVALZ は、4 層の評価用ボードです。外側の銅 (Cu) 層は 1.5oz (2.2mil) の厚さにメッキされ、誘電体材料で分離されています。評価ボードの積層構造を図 17 に示します。

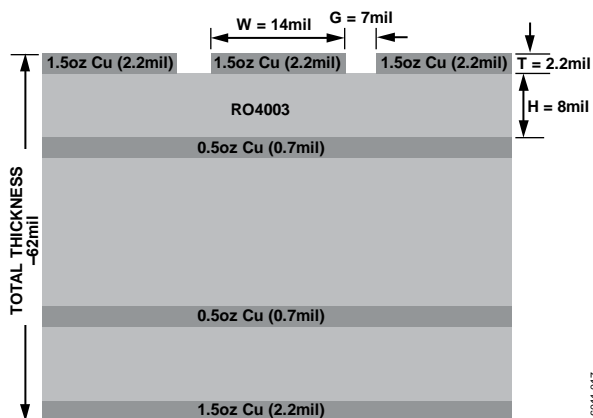


図 17. 評価用ボード (断面図)

RF と DC の全てのパターンが上面の銅層に配線されています。一方、内部の層と底面の層はグラウンド・プレーンで、RF 伝送ラインに安定したグラウンドを提供します。上部の誘電体材料は 8mil の Rogers RO4003 で、最適な高周波性能を実現します。中間部および下部の誘電体材料によって、機械的な強度がもたらされます。ボード全体の厚さは 62mil なので、2.4mm の RF ランチャをボード端に接続できます。

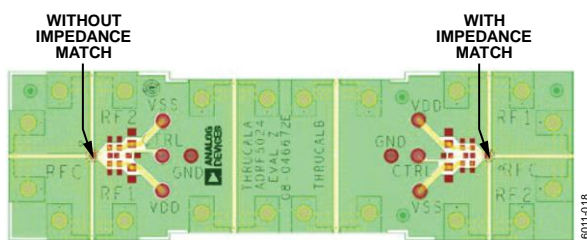


図 18. 評価ボードのレイアウト、上面図

RF 伝送ラインは、パターン幅が 14mil、グラウンドとの間隙が 7mil で特性インピーダンスが 50Ω の共平面導波路 (CPWG) モデルを使用して設計されています。RF 接地と熱接地を最適化するため、伝送ラインの周囲とパッケージの露出パッド下には、可能な限り多くのメッキ・スルー・ビアが配置されています。

ADRF5024-EVALZ には、インピーダンス整合性を備えたものとインピーダンス整合性のないものと 2 通りのレイアウトが実装されています。デフォルトではインピーダンス整合性を備えた回路にコネクタが配置されています。インピーダンス整合性を備えた回路の詳細については、プローブ・マトリックス・ボードのインピーダンス・マッチングのセクションを参照してください。

THRU CAL を使用することで、ADRF5024-EVALZ 評価用ボードの測定データからボードの損失の影響を補正し、IC の各ピンでデバイス性能を確認することができます。ADRF5024-EVALZ 評価用ボードの室温での代表的なボード損失、ボード損失を含んだ ADRF5024 の挿入損失、およびボード損失を差し引いた ADRF5024 の挿入損失を図 19 に示します。

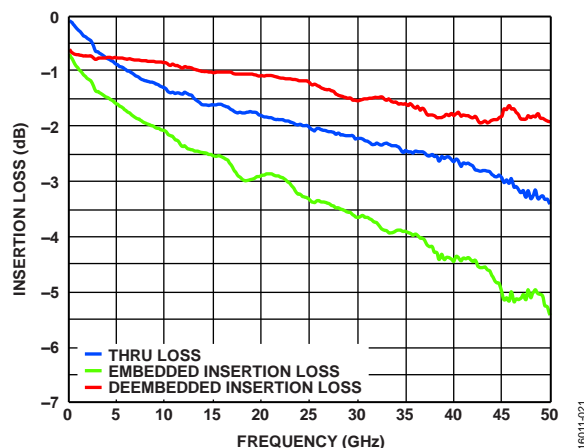


図 19. 挿入損失と周波数の関係

実際の ADRF5024-EVALZ と部品配置を図 20 に示します。

2 つの電源ポートは VDD と VSS のテスト・ポイントである TP7 と TP5 (インピーダンス整合性のない回路を使用する場合は TP3 と TP1) に接続され、グラウンド・リファレンスは、GND のテスト・ポイントである TP4 または TP8 に接続されています。電源パターン (VDD と VSS) では、100pF のバイパス・コンデンサによって高周波ノイズが除去されます。更に、未実装の部品位置にはバイパス・コンデンサを追加実装できます。

制御ポートは CTRL のテスト・ポイント TP6 (インピーダンス整合性のない回路では TP2) に接続されています。アプリケーションの必要に応じて DC カップリング・ノイズを除去するため、抵抗コンデンサ (RC) フィルタが備わっています。この抵抗には、RF と制御信号の間のアイソレーションを向上する効果もあります。

RF 入出力ポート (RFC, RF1, RF2) は 50Ω の伝送ラインを通して、2.4mm の RF ランチャ J10, J9, J8 (インピーダンス整合性のない回路では J2, J3, J1) にそれぞれ接続されています。これらの高周波 RF ランチャは、ボードに接触はしていますが、ハンダ処理はされていません。THRU CAL ラインは、未実装の J6 と J7 のランチャ (インピーダンス整合性のない回路では J4 と J5) に接続されています。この伝送ラインは、評価対象の環境条件での PCB による損失を評価するために使用されます。

ADRF5024-EVALZ 評価用ボードの回路図を図 21 に示します。

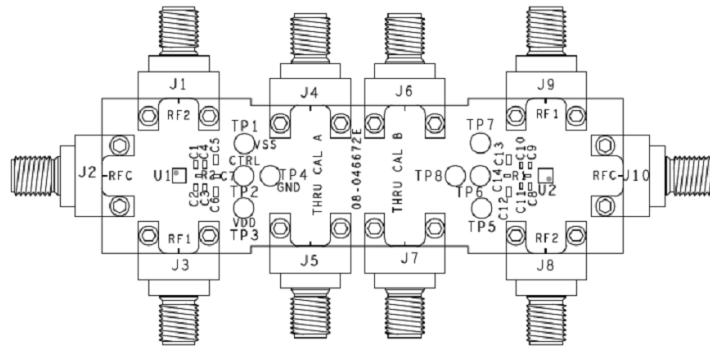


図 20. 評価用ボードの部品配置

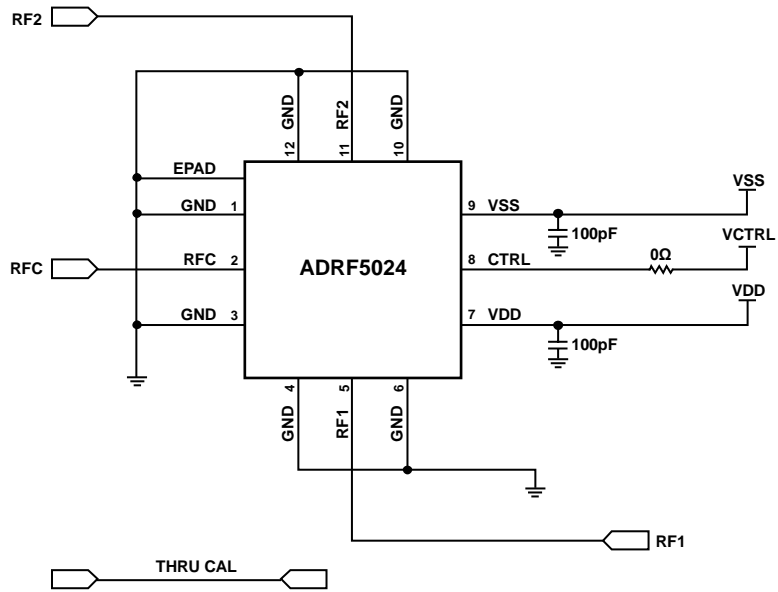


図 21. 評価用ボードの簡略化した回路図

表 6. 評価用ボードの部品

Component	Default Value	Description
C8, C9	100 pF	Capacitors, C0402 package
J8 to J10	Not applicable	2.4 mm end launch connectors (Southwest Microwave: 1492-04A-5)
R2	0 Ω	Resistor, 0402 package
TP5 to TP8	Not applicable	Through hole mount test points
U2	ADRF5024	ADRF5024 SPDT switch, Analog Devices, Inc.
PCB	08-046672E	Evaluation PCB, Analog Devices

### プローブ・マトリックス・ボード

プローブ・マトリックス・ボードは 4 層のボードです。評価用ボードと同様、このボードも 8mil の Rogers RO4003 誘電体材料を使用しています。外側の銅層は 1.5oz (2.2mil) の厚さにメッキされています。RF 伝送ラインは、パターン幅が 14mil、グラウンドとの間隔が 7mil で特性インピーダンスが 50Ω の CPWG モデルを使用して設計されています。

ボードの断面図と上面図をそれぞれ図 22 と図 23 に示します。測定は GSG プロブを使用し RFx ピンの直近で行いました。評価用ボードとは異なり、プローブによる測定ではコネクタ、ケーブル、ボード・レイアウトに起因する不整合によって生じる反射が減少するため、より高い精度でデバイス性能を測定することができます。

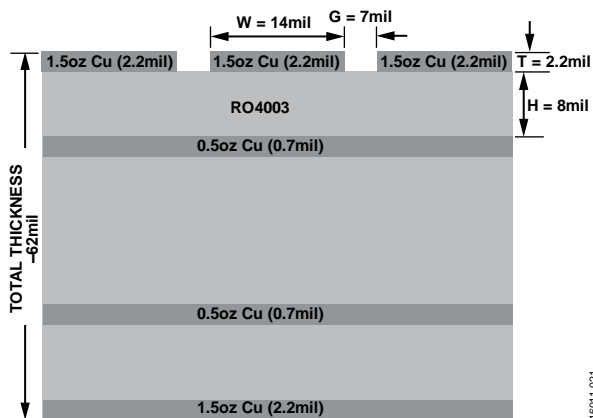


図 22. プローブ・マトリックス・ボード (断面図)

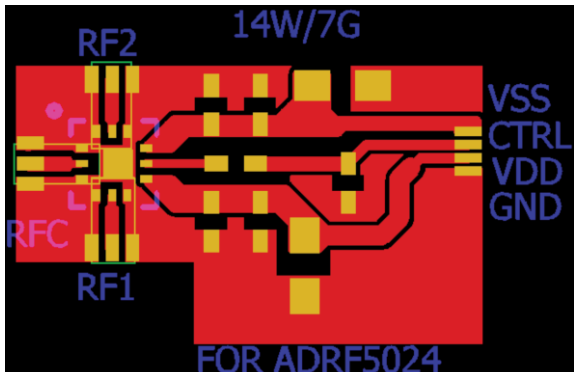


図 23. プローブ・ボードのレイアウト (上面図)

プローブ・マトリックス・ボードには、ボード損失を除去できるスルー・リフレクト・ライン (TRL) キャリブレーション・キットがあります。実際のボードでは同じレイアウトがマトリックス状に複製され、複数のデバイスが同時に実装されます。このボードで全ての S パラメータが測定されました。

### インピーダンス・マッチング

RFx ピンでのインピーダンス・マッチングによって高周波での挿入損失とリターン損失を改善できます。図 24 と図 25 に RFC、RF1、RF2 の各ピンでの伝送ラインの違いを示します。これと同じ回路がプローブ・マトリックス・ボードと評価用ボードに実装されています。

50Ω ラインのサイズは、幅が 14mil、間隔が 7mil です。このインピーダンス整合性回路を実装するため、幅 5mil で長さが 5mil のパターンがピン用パッドと 50Ω パターンの間に挿入されています。キャリブレーション・キットにはこの 5mil のマッチング・ラインはありません。そのため、測定した挿入損失にはマッチング回路の損失が含まれています。

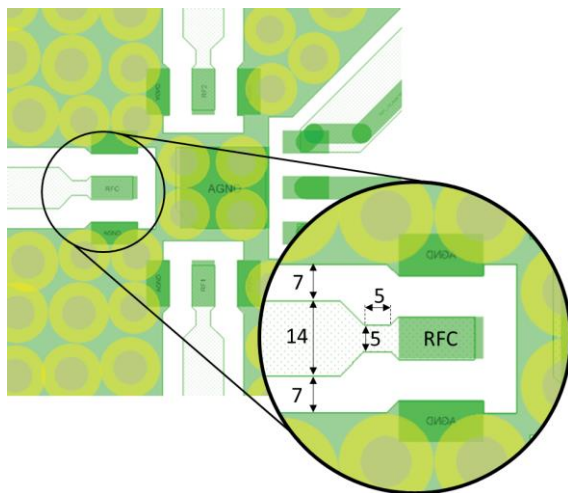


図 24. インピーダンス・マッチングあり

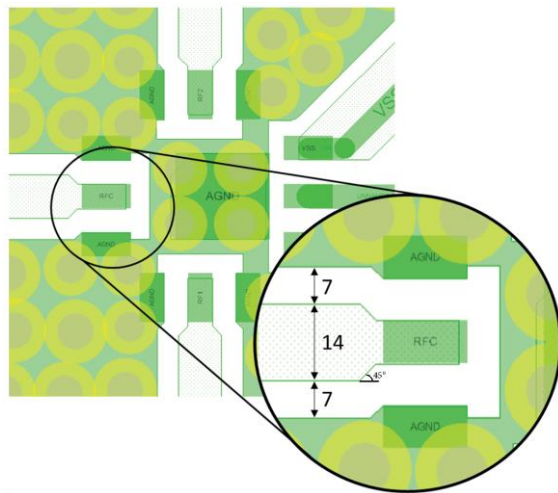


図 25. インピーダンス・マッチングなし

外形寸法

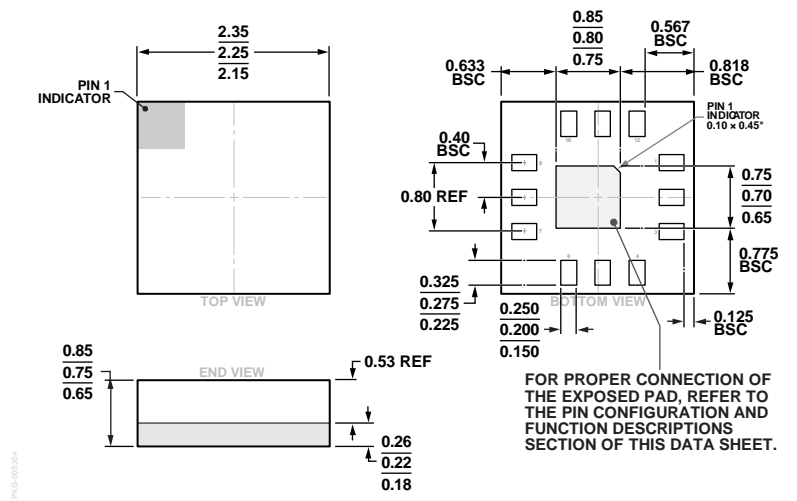


図 26. 12 端子・ランド・グリッド・アレイ [LGA]  
 2.25mm x 2.25mm ボディ、0.75mm パッケージ高  
 (CC-12-3)  
 寸法：mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option	Marking Code
ADRF5024BCCZN	-40°C to +105°C	12-Terminal Land Grid Array [LGA]	CC-12-3	24
ADRF5024BCCZN-R7	-40°C to +105°C	12-Terminal Land Grid Array [LGA]	CC-12-3	24
ADRF5024-EVALZ		Evaluation Board		

<sup>1</sup> Z = RoHS 準拠製品