



# シリコン SPDT スイッチ、無反射 100MHz~13GHz

データシート

ADRF5019

## 特長

無反射 50Ω 設計

低挿入損失：0.8dB @ 8GHz

高アイソレーション：45dB @ 8GHz

高入力直線性

P1dB：39dBm

IP3：60dBm (代表値)

大電力処理

35dBm の挿入損失パス

27dBm のホット・スイッチング

ESD 定格：2kV (クラス 2) の HBM

低周波数スプリアスなし

0.05dB RF セトリング・タイム：375ns

0.1dB RF セトリング・タイム：300ns

16 ピン、3mm × 3mm LFCSP

低周波数カットオフ・バージョンの HMC1118 とピン互換

## アプリケーション

試験用計測器

マイクロ波無線および超小型地球局 (VSAT)

防衛用無線、レーダー、電子対抗手段 (ECM)

光ファイバおよび広帯域通信

## 概要

ADRF5019 は、シリコン・プロセスを使って製造された無反射単極双投 (SPDT) RF スイッチです。

このデバイスは、100MHz~13GHz で動作し、8GHz で 0.8dB 以下の挿入損失と 45dB 以上のアイソレーションを実現します。無反射設計で、RF ポートは内部で 50Ω に終端されています。

ADRF5019 スイッチは、+3.3V と -2.5V の両電源電圧と、正制御電圧の入力を必要とします。相補型金属酸化膜半導体 (CMOS) 互換、および低電圧トランジスタ・トランジスタ・ロジック (LVTTTL) 互換の制御を採用しています。

また、ADRF5019 は正の単電源電圧 ( $V_{DD}$ ) でも動作可能です。負電源電圧 ( $V_{SS}$ ) はグラウンドに接続します。単電源動作モードでも 100MHz~13GHz の動作周波数をカバーし、良好な電力処理性能を維持することができます。詳細については、アプリケーション情報のセクションを参照してください。

ADRF5019 は、9kHz~13.0GHz で動作する HMC1118 (低周波数カットオフ・バージョン) とのピン互換性を備えています。

ADRF5019 は 16 ピン、リードフレーム・チップスケール・パッケージ (LFCSP) を採用し、動作温度範囲は -40°C~+105°C です。

## 機能ブロック図

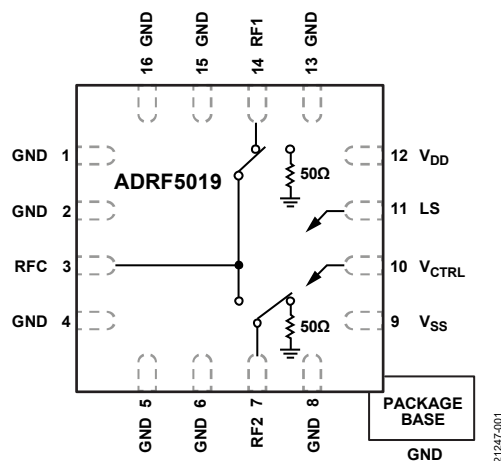


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F  
電話 052 (569) 6300

## 目次

特長 .....	1	代表的な性能特性 .....	7
アプリケーション .....	1	挿入損失、リターン損失、アイソレーション .....	7
機能ブロック図 .....	1	入力圧縮と入力 3 次インターセプト .....	8
概要 .....	1	動作原理 .....	10
改訂履歴 .....	2	RF 入出力 .....	10
仕様 .....	3	電源 .....	10
電気仕様 .....	3	アプリケーション情報 .....	11
絶対最大定格 .....	5	レイアウト時の考慮事項 .....	11
熱抵抗 .....	5	ボード・レイアウト .....	11
パワー・ディレーティング曲線 .....	5	RF およびデジタル制御 .....	11
ESD に関する注意 .....	5	外形寸法 .....	12
ピン配置およびピン機能の説明 .....	6	オーダー・ガイド .....	12
インターフェース回路図 .....	6		

## 改訂履歴

8/2019—Revision 0: Initial Version

## 仕様

### 電気仕様

特に指定のない限り、50Ω システムに対し、 $V_{DD} = 3.3V$ 、 $V_{SS} = -2.5V$ 、 $LS = 3.3V$ 、 $V_{CTRL} = 0V$  または  $3.3V$ 、 $T_{CASE} = 25^{\circ}C$ 。

表 1.

パラメータ	記号	テスト条件/コメント	Min.	Typ.	Max.	単位
FREQUENCY RANGE	f		100		13,000	MHz
INSERTION LOSS	IL					
Between RFC and RF1 or RFC and RF2 (On)		100MHz~3GHz		0.6		dB
		100MHz~8GHz		0.8		dB
		100MHz~10GHz		1.0		dB
		100MHz~13GHz		1.5		dB
RETURN LOSS	RL					
Between RFC and RF1 or RFC and RF2 (On)		100MHz~3GHz		26		dB
		100MHz~8GHz		22		dB
		100MHz~13GHz		9		dB
RF1 or RF2 (Off)		100MHz~3GHz		26		dB
		100MHz~8GHz		14		dB
		100MHz~13GHz		5		dB
ISOLATION						
Between RFC and RF1 or RCF and RF2 (Off)		100MHz~3GHz		50		dB
		100MHz~8GHz		45		dB
		100MHz~10GHz		35		dB
		100MHz~13GHz		25		dB
SWITCHING CHARACTERISTICS						
Dual Supply		$V_{DD} = 3.3V$ 、 $V_{SS} = -2.5V$				
Rise Time and Fall Time	$t_{RISE}$ , $t_{FALL}$	RF 出力の 10%~90%		35		ns
On Time and Off Time	$t_{ON}$ , $t_{OFF}$	トリガされるデジタル制御入力電圧 ( $V_{CTL}$ ) の 50%~RF 出力の 90%		150		ns
RF Settling Time						
0.1 dB		トリガされる $V_{CTL}$ の 50%~最終 RF 出力の 0.1dB		300		ns
0.05 dB		トリガされる $V_{CTL}$ の 50%~最終 RF 出力の 0.05dB		375		ns
Single Supply		$V_{DD} = 3.3V$ 、 $V_{SS} = 0V$				
Rise Time and Fall Time	$t_{RISE}$ , $t_{FALL}$	RF 出力の 10%~90%		180		ns
On Time and Off Time	$t_{ON}$ , $t_{OFF}$	トリガされる $V_{CTL}$ の 50%~RF 出力の 90%		285		ns
INPUT LINEARITY <sup>1</sup>						
Dual Supply		$V_{DD} = 3.3V$ 、 $V_{SS} = -2.5V$				
Input Compression						
0.1 dB	P0.1dB			38		dBm
1 dB	P1dB			39		dBm
Intermodulation Distortion						
Input Third-Order Intercept	IIP3	ツー・トーン入力電力 = 各トーン 12dBm、 $\Delta f = 1MHz$		60		dBm
Single Supply		$V_{DD} = 3.3V$ 、 $V_{SS} = 0V$				
Input Compression						
0.1 dB	P0.1dB			25		dBm
1 dB	P1dB			28		dBm
Intermodulation Distortion						
Input Third-Order Intercept	IIP3	ツー・トーン入力電力 = 各トーン 12dBm、 $\Delta f = 1MHz$		55		dBm
SUPPLY CURRENT		$V_{DD}$ ピンおよび $V_{SS}$ ピン				
Positive Supply Current	$I_{DD}$			20		$\mu A$
Negative Supply Current	$I_{SS}$			0.5		$\mu A$

パラメータ	記号	テスト条件/コメント	Min.	Typ.	Max.	単位
<b>DIGITAL CONTROL INPUTS</b>						
Voltage		$V_{CTRL}$ ピンおよび LS ピン				
Low	$V_{INL}$		0		0.8	V
High	$V_{INH}$		2		3.3	V
Current						
Low and High Current	$I_{INL}, I_{INH}$			<1		$\mu$ A
<b>RECOMMENDED OPERATING CONDITONS</b>						
Supply Voltage						
Positive	$V_{DD}$		3.0		3.6	V
Negative	$V_{SS}$		-2.75		-2.25	V
Digital Control Input Voltage	$V_{CTL}$		0		$V_{DD}$	V
RF Input Power, Dual Supply <sup>2</sup>	$P_{IN}$	$V_{DD} = 3.3V, V_{SS} = -2.5V, f = 2GHz, T_{CASE} = 85^{\circ}C^3$				
Insertion Loss Path		RF 信号は、RFC に印加するか、接続された状態の RF1 または RF2 を通して印加します。			35	dBm
Isolation Path		RF 信号は終端された RF1 または RF2 に印加します。			27	dBm
Hot Switching		RF1 と RF2 を切り替えている間、RF 信号は RFC に印加されています。			27	dBm
RF Input Power, Single Supply <sup>2</sup>	$P_{IN}$	$V_{DD} = 3.3V, V_{SS} = 0V, f = 2GHz, T_{CASE} = 85^{\circ}C^3$				
Insertion Loss Path		RF 信号は、RFC に印加するか、接続された状態の RF1 または RF2 を通して印加します。			27	dBm
Isolation Path		RF 信号は終端された RF1 または RF2 に印加します。			22	dBm
Hot Switching		RF1 と RF2 を切り替えている間、RF 信号は RFC に印加されています。			22	dBm
Case Temperature	$T_{CASE}$		-40		+105	$^{\circ}C$

<sup>1</sup>入力直線性の周波数特性については、図 13～図 20 を参照してください。

<sup>2</sup>パワー・ディレーティングの周波数特性については、図 2 と図 3 を参照してください。パワー・ディレーティングは、挿入損失パス、終端パス、ホット・スイッチングの各電力仕様に適用されます。

<sup>3</sup>105 $^{\circ}C$ での動作の場合、電力処理は  $T_{CASE} = 85^{\circ}C$ での仕様より 3dB 低下します。

## 絶対最大定格

表 2.

Parameter	Rating
Positive Supply Voltage	-0.3 V to +3.7 V
Negative Supply Voltage	-2.8 V to +0.3 V
Digital Control Inputs	
Voltage	-0.3 V to $V_{DD} + 0.3$ V
Current	3 mA
RF Input Power, Dual Supply <sup>1</sup> ( $V_{DD} = 3.3$ V, $V_{SS} = -2.5$ V, $f = 2$ GHz at $T_{CASE} = 85^{\circ}\text{C}^2$ )	
Insertion Loss Path	37 dBm
Isolation Path	28 dBm
Hot Switching	30 dBm
RF Input Power, Dual Supply <sup>1</sup> ( $V_{DD} = 3.3$ V, $V_{SS} = 0$ V, $f = 2$ GHz at $T_{CASE} = 85^{\circ}\text{C}^2$ )	
Insertion Loss Path	28 dBm
Isolation Path	23 dBm
Hot Switching	23 dBm
RF Input Power Under Unbiased Condition ( $V_{DD}, V_{SS} = 0$ V)	23 dBm
Temperature	
Junction, $T_J$	135°C
Storage Range	-65°C to +150°C
Reflow	260°C
Electrostatic Discharge (ESD) Sensitivity	
Human Body Model (HBM)	2 kV (Class 2)

<sup>1</sup> パワー・ディレーティングの周波数特性については、図 2 と図 3 を参照してください。パワー・ディレーティングは、挿入損失パス、終端パス、ホット・スイッチングの各電力仕様に適用されます。

<sup>2</sup> 105°C での動作の場合、電力処理は  $T_{CASE} = 85^{\circ}\text{C}$  での仕様より 3dB 低下します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

### 熱抵抗

熱抵抗は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

$\theta_{JC}$  は、ジャンクションからケース底部 (チャンネルからパッケージ底部) への熱抵抗です。

表 3. 熱抵抗

Package Type	$\theta_{JC}$	Unit
CP-16-38		
Through Path	106	°C/W
Terminated Path	100	°C/W

### パワー・ディレーティング曲線

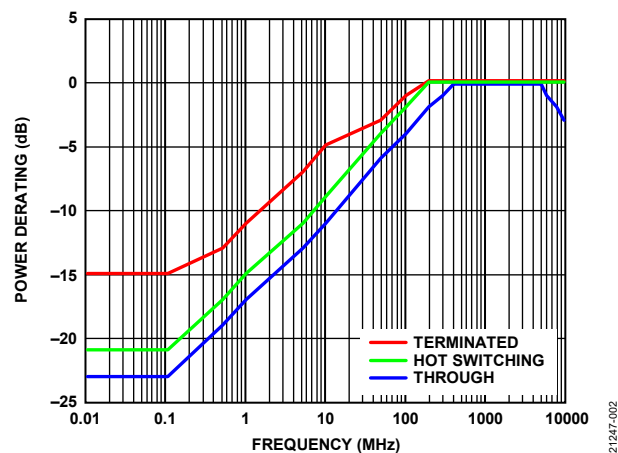


図 2. パワー・ディレーティングの周波数特性、低周波数の詳細、 $T_{CASE} = 85^{\circ}\text{C}$

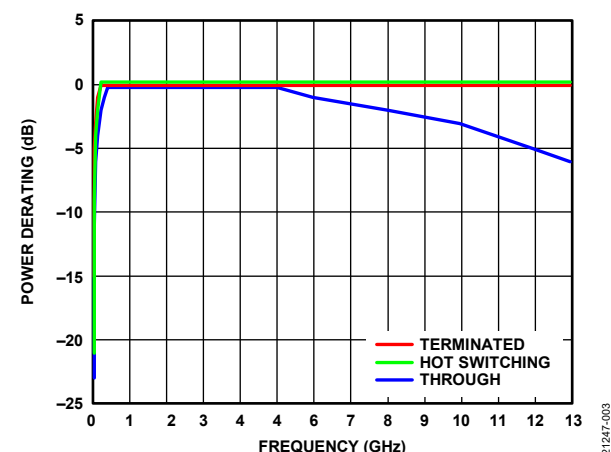


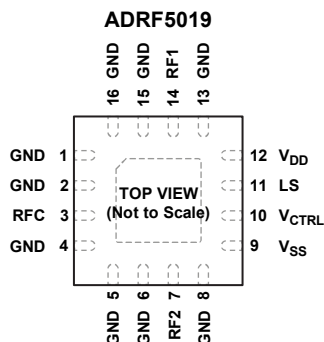
図 3. パワー・ディレーティングの周波数特性、高周波数の詳細、 $T_{CASE} = 85^{\circ}\text{C}$

### ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES  
 1. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO THE RF AND DC GROUND OF THE PCB.

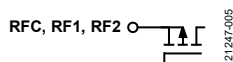
21247-004

図 4. ピン配置 (上面図)

表 4. ピン機能の説明

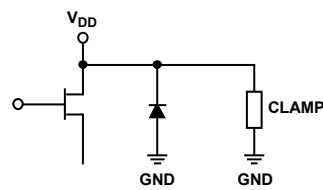
ピン番号	記号	説明
1, 2, 4 to 6, 8, 13, 15, 16	GND	グラウンド。これらのピンは、PCB の RF/DC グラウンドに接続する必要があります。
3	RFC	RF 共通ポート。このピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については、図 5 を参照してください。
7	RF2	RF 投ポート 2。このピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については、図 5 を参照してください。
9	V <sub>SS</sub>	負電源電圧ピン。インターフェース回路図については、図 8 を参照してください。
10	V <sub>CTRL</sub>	制御入力ピン。インターフェース回路図については、図 6 を参照してください。真理値表については表 5 を参照してください。
11	LS	ロジック選択入力ピン。インターフェース回路図については、図 6 を参照してください。真理値表については表 5 を参照してください。
12	V <sub>DD</sub>	正電源電圧ピン。インターフェース回路図については、図 7 を参照してください。
14	RF1	RF 投ポート 1。このピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については、図 5 を参照してください。
	EPAD	露出パッド。露出パッドは、PCB の RF/DC グラウンドに接続する必要があります。

インターフェース回路図



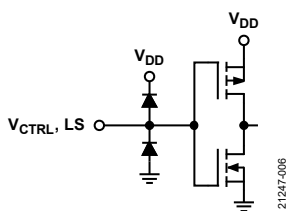
21247-005

図 5. RFC、RF1、RF2 ピンのインターフェース回路図



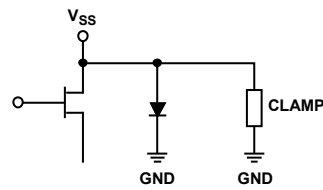
21247-007

図 7. V<sub>DD</sub> ピンのインターフェース回路図



21247-008

図 6. デジタル・ピンのインターフェース回路図



21247-008

図 8. V<sub>SS</sub> ピンのインターフェース回路図

代表的な性能特性

挿入損失、リターン損失、アイソレーション

特に指定のない限り、50Ωシステムに対し、 $V_{DD} = 3.3V$ 、 $V_{SS} = -2.5V$ 、 $V_{CTRL}$ および $LS = 0V$ または $V_{DD}$ 、 $T_{CASE} = 25^{\circ}C$ 。

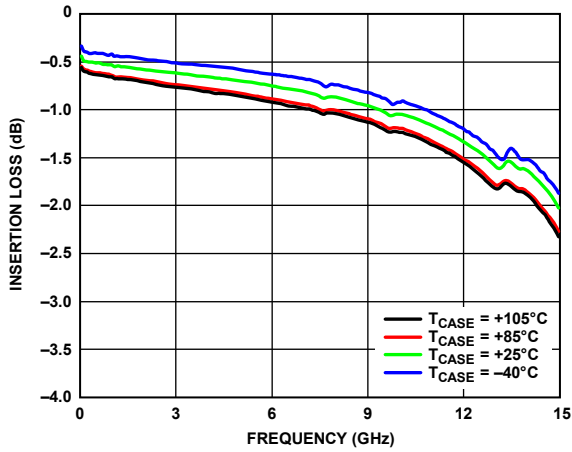


図 9. 様々な温度における挿入損失の周波数特性

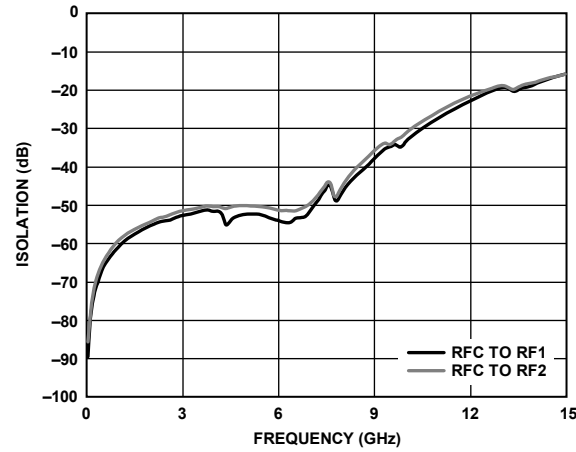


図 11. RFC ポートと RFx ポートの間のアイソレーションの周波数特性

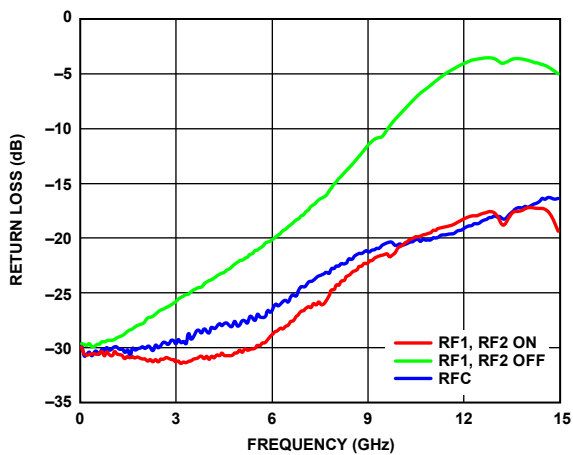


図 10. リターン損失の周波数特性

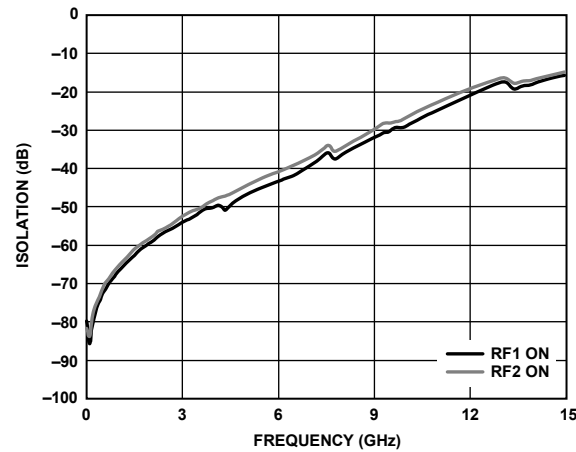


図 12. RF1 ポートと RF2 ポートの間のアイソレーションの周波数特性

## 入力圧縮と入力 3 次インターセプト

特に指定のない限り、50Ω システムに対し、 $V_{DD} = 3.3V$ 、 $V_{CTRL}$  および  $LS = 0V$  または  $V_{DD}$ 、 $T_{CASE} = 25^{\circ}C$ 。すべての大信号性能パラメータは [ADRF5019-EVALZ](#) 評価用ボードで測定しました。

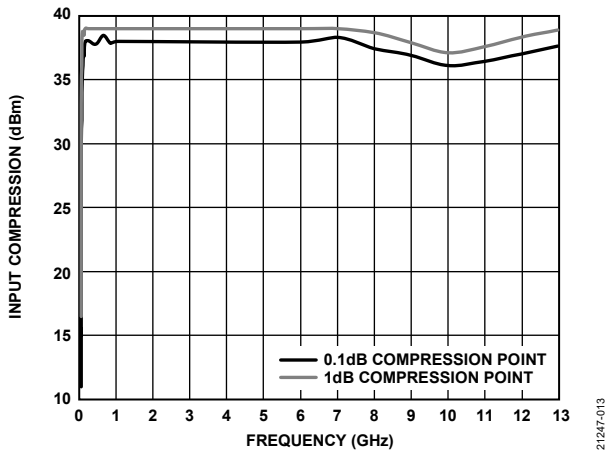


図 13. P0.1dB および P1dB 入力圧縮の周波数特性、 $V_{SS} = -2.5V$

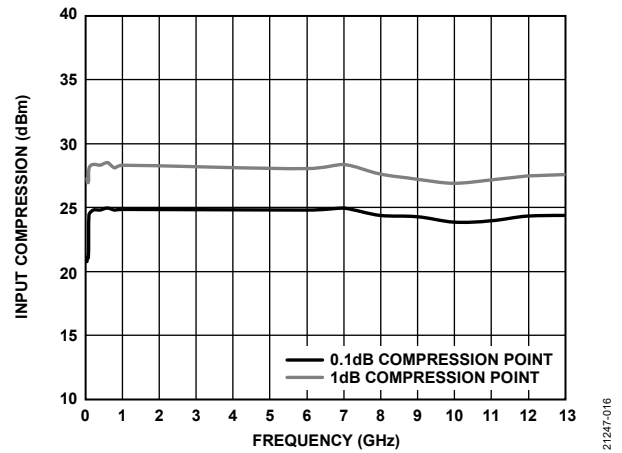


図 16. P0.1dB および P1dB 入力圧縮の周波数特性、 $V_{SS} = 0V$

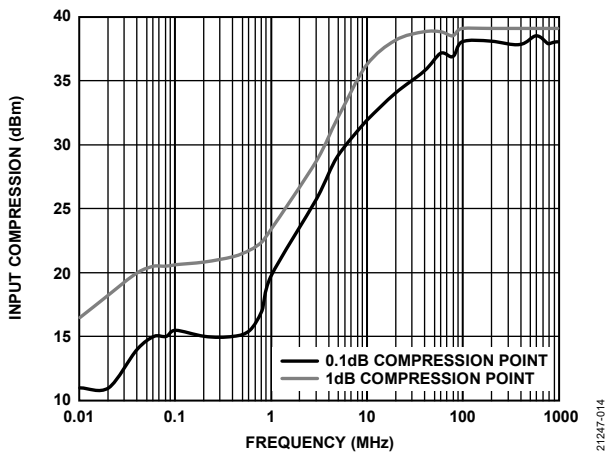


図 14. P0.1dB および P1dB 入力圧縮の周波数特性 (低周波数の詳細)、 $V_{SS} = -2.5V$

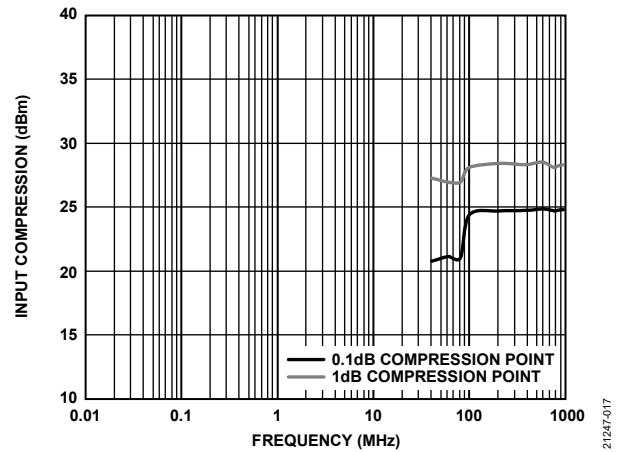


図 17. P0.1dB および P1dB 入力圧縮の周波数特性 (低周波数の詳細)、 $V_{SS} = 0V$

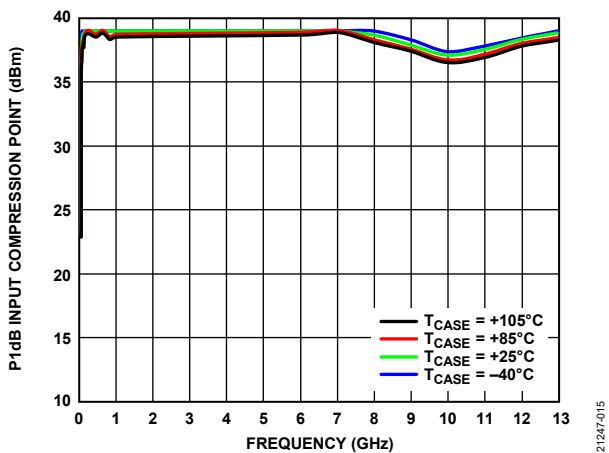


図 15. 様々な温度における P1dB 入力圧縮ポイントの周波数特性、 $V_{SS} = -2.5V$

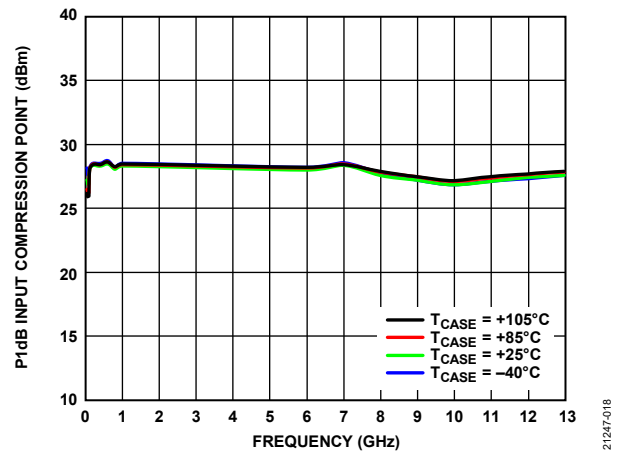


図 18. 様々な温度における P1dB 入力圧縮ポイントの周波数特性 (低周波数の詳細)、 $V_{SS} = 0V$



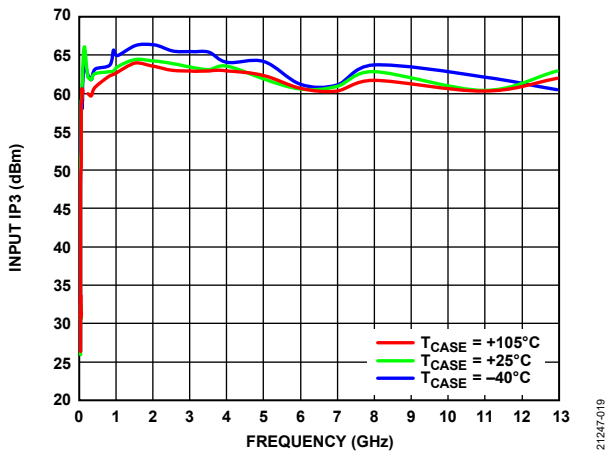


図 19. 様々な温度における入力 IP3 の周波数特性、 $V_{SS} = -2.5V$

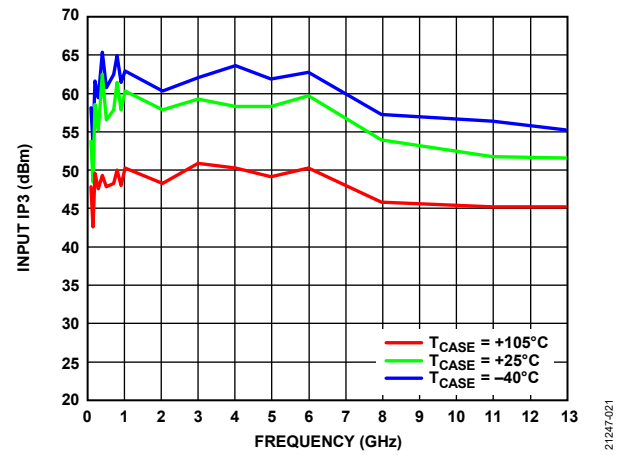


図 21. 様々な温度における入力 IP3 の周波数特性、 $V_{SS} = 0V$

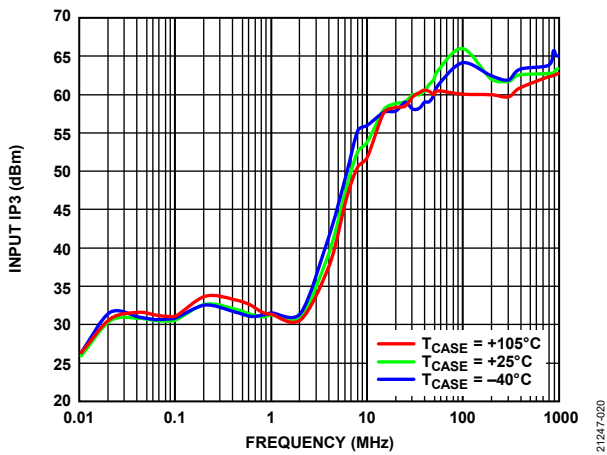


図 20. 様々な温度における入力 IP3 の周波数特性 (低周波数の詳細)、 $V_{SS} = -2.5V$

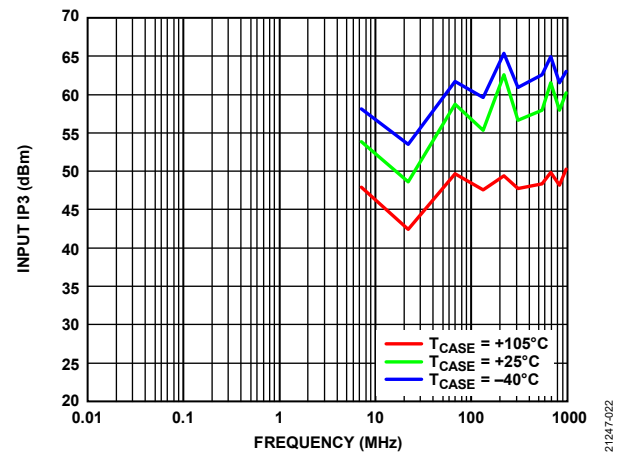


図 22. 様々な温度における入力 IP3 の周波数特性 (低周波数の詳細)、 $V_{SS} = 0V$

## 動作原理

ADRF5019 はロジック機能を内部で実行するためのドライバを内蔵しているため、正電圧の制御インターフェースを簡素化できるメリットがあります。ドライバは、RF パスの状態を制御するデジタル制御入力ピンを2本 ( $V_{CTRL}$  および LS) 備えており、どの RF ポートを挿入損失状態にするか、およびどのパスをアイソレーション状態にするかを決定します (表 5 参照)。

### RF 入出力

RF ポート (RFC, RF1, RF2) は 0V に DC カップリングされており、RF ラインの電位が 0V に等しい場合、RF ポートでの DC 阻止は不要です。

RF ポートは内部で  $50\Omega$  に整合しています。そのため、外付けのマッチング回路は不要です。

ADRF5019 は双方向になっており、均等な電力処理機能を備えています。RF 入力信号 ( $RF_{IN}$ ) は RFC ポートに印加することも、RF1 または RF2 ポートに印加することもできます。

挿入損失パスは、選択した RF 投ポートと RF 共通ポートの間で RF 信号を導通します。アイソレーション・パスは、挿入損失パスと未選択の RF 投ポートの間に高い損失を提供します。未選択の RF 投ポートは内蔵の  $50\Omega$  終端抵抗を使用することにより無反射となっています。

### 電源

ADRF5019 は、 $V_{DD}$  ピンに供給する正電源電圧と、 $V_{SS}$  ピンに供給する負電源電圧を必要とします。高周波ノイズをフィルタリングするため、電源ラインにバイパス用コンデンサを接続することを推奨します。

理想的なパワーアップ・シーケンスは以下のとおりです。

1. GND に接続。
2.  $V_{DD}$  と  $V_{SS}$  に電源投入。ランプ上昇する間に  $V_{DD}$  で電流トランジェントが発生しないように、 $V_{DD}$  の電源投入後に  $V_{SS}$  を電源投入してください。
3. デジタル制御入力に電源投入。デジタル制御入力の順序は重要ではありません。しかし、 $V_{DD}$  電源を入れる前に、誤ってデジタル制御入力に電源を入れると、内部の ESD 保護構造が順方向にバイアスされて損傷するおそれがあります。この損傷を防ぐため、 $1k\Omega$  の抵抗を直列に接続して制御ピンに流入する電流を制限してください。 $V_{DD}$  に電源投入した後、コントローラの出力が高インピーダンス状態で、制御ピンを有効なロジック状態に駆動できない場合は、プルアップ抵抗またはプルダウン抵抗を使用してください。
4. RF 入力信号を RFC、RF1、または RF2 に印加。

理想的なパワーダウン・シーケンスはこの電源投入シーケンスの逆順序です。

### 単電源動作

ADRF5019 は、正の単電源電圧を  $V_{DD}$  ピンに印加し、 $V_{SS}$  ピンをグラウンドに接続することによって動作させることができます。しかし、入力圧縮性能と入力 3 次インターセプト性能がある程度低下する可能性があります。

表 5. 制御電圧の真理値表

Digital Control Inputs		RF Paths	
LS	$V_{CTRL}$	RF1 to RFC	RF2 to RFC
High	Low	Insertion loss (on)	Isolation (off)
High	High	Isolation (off)	Insertion loss (on)
Low	Low	Isolation (off)	Insertion loss (on)
Low	High	Insertion loss (on)	Isolation (off)

## アプリケーション情報

### レイアウト時の考慮事項

このデータシートに示すすべてのデータは、ADRF5019-EVALZ 評価用ボードで測定しています。ADRF5019-EVALZ 評価用ボードの設計は、ADRF5019 のアプリケーション向けの推奨レイアウトとして利用できます。

評価用ボードの使用の詳細については、ADRF5019-EVALZ のユーザ・ガイドを参照してください。

### ボード・レイアウト

ADRF5019-EVALZ は、4 層のボードです。内部では 0.7mil の銅 (Cu) が、外側の層では 2.2mil の厚さまでメッキされており、各層は誘電体材料で分離されています。ADRF5019-EVALZ 評価用ボードの層構成を図 23 に示します。

このデータシートに含まれる測定に関しては、図 23 に示す基板レイアウトと層構成が使用されています。

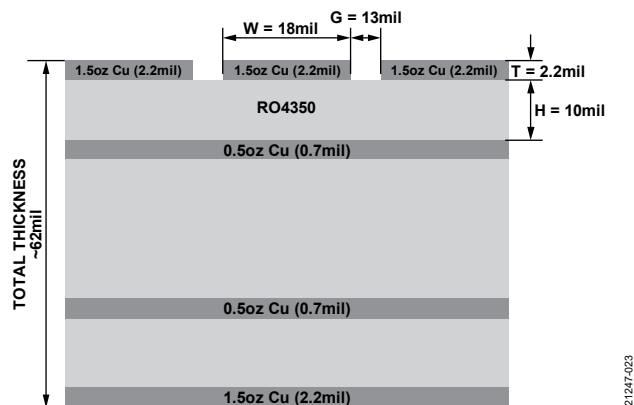


図 23. ADRF5019-EVALZ の層構成

RF と DC のすべてのパターンは、上面の銅層に配線されています。内層および底面層はグラウンド・プレーンで、RF 伝送ラインに安定したグラウンドを提供します。上部の誘電体材料 (H) は 10mil の Rogers RO4350 で、最適な RF 性能を実現します。中央および下部の誘電体層によって、機械的な強度がもたらされます。評価用ボード全体の厚さは約 62mil なので、サブミニチュア・バージョン A (SMA) コネクタをボード端に接続できます。

### RF およびデジタル制御

RF 伝送ラインには、幅が 18mil、グラウンドとの間隙 (G) が 13mil で特性インピーダンスが 50Ω の共平面導波路 (CPWG) モデルが使用されています。RF グラウンディングと熱グラウンディングを最適化するため、伝送ラインの周囲とパッケージの露出パッド下には、可能な限り多くのメッキ・スルー・ビアが配置されています。

RF 入出力ポート (RFC、RF1、および RF2) は、50Ω の伝送ラインを通して、SMA ランチャに接続されています。V<sub>DD</sub> と V<sub>SS</sub> の電源パターンでは、100pF のバイパス・コンデンサによって高周波ノイズが除去されます。

ADRF5019 の簡略化されたアプリケーション回路を図 24 に示します。

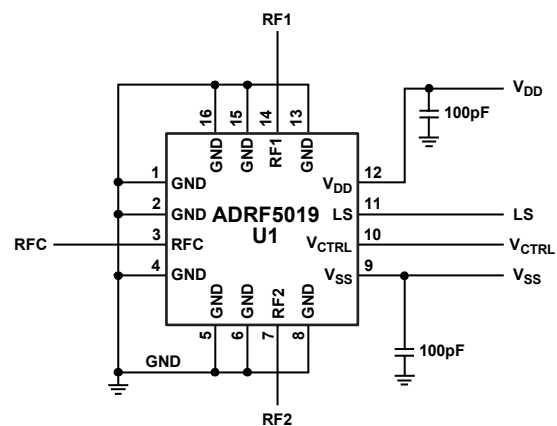
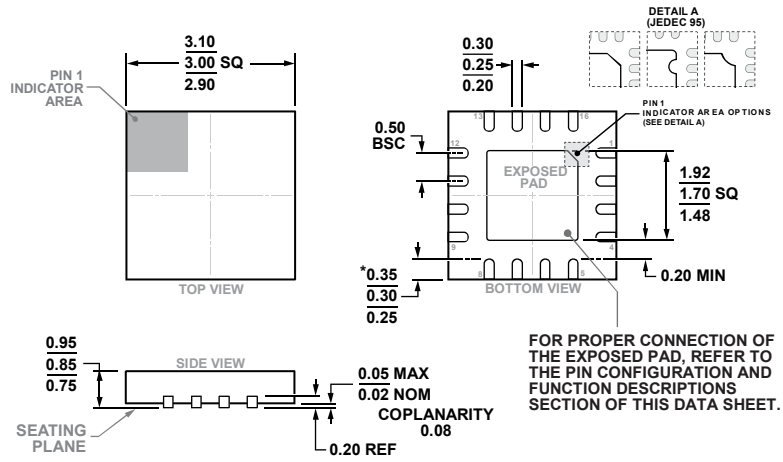


図 24. 簡略化されたアプリケーション回路図

外形寸法



\*COMPLIANT WITH JEDEC STANDARDS MO-220-VEED-4 WITH THE EXCEPTION OF PACKAGE EDGE TO LEAD EDGE.

図 25. 16 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]  
3mm × 3mm ボディ、0.85mm パッケージ高  
(CP-16-38)  
寸法：mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option	Marking Code
ADRF5019BCPZN	-40°C to +105°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-38	S4Z
ADRF5019BCPZN-R7	-40°C to +105°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-38	S4Z
ADRF5019-EVALZ		Evaluation Board		

<sup>1</sup> Z = RoHS 準拠製品