



データシート

測光用フロント・エンド

ADPD105/ADPD107

特長

- 多機能の測光用フロント・エンド
- フル統合されたAFE、ADC、LED の各ドライバ、およびタイミング・コア
- フォトダイオードの光学フィルタを必要とせず、クラス最高の周辺光除去の性能を実現
- 8 mA ~ 370 mA の LED ドライバを 3 個搭載
- 2 個の光学入力
- 光学サンプルごとに、柔軟性が高い、複数の短い LED パルスを生成
- 20 ビットのバースト・アキュムレータを使用することで、サンプル期間あたり 20 ビットを実現
- 各サンプルに対応するアキュムレータをオンボード実装し、データ読み出しごとに最大 27 ビットを実現
- 低消費電力の動作
- SPI と I²C のどちらかのインターフェイスを採用し、1.8 V で動作するアナログ/デジタル・コア
- 0.122 Hz ~ 3820 Hz の範囲に対応する、柔軟性の高いサンプリング周波数
- FIFO データ処理

アプリケーション

- ウェアラブル型の健康/フィットネス・モニタ
- SpO₂ のような臨床測定
- 工業用モニタリング
- 背景光の測定

概要

ADPD105/ADPD107 は、高効率の測光用フロント・エンドであり、どちらの製品も 14 ビットの A/D コンバータ (ADC) と 20 ビットのバースト・アキュムレータを内蔵しています。これらの製品は、柔軟性の高い LED (発光ダイオード) ドライバと連携して動作します。また、LED を励起して、対応する光学リターン信号を測定できるように設計されています。データ出力と機能構成は、ADPD105 では 1.8 V の I²C インターフェース、ADPD107 では SPI 経由で実施します。制御回路には、フレキシブルな LED 信号制御機能と同期検出機能が搭載されています。

アナログ・フロント・エンド (AFE) は、周辺光によって引き起こされる変調後の干渉に起因する信号のオフセットと劣化を除去する、クラス最高の機能を備えています。

最適な性能を実現できるように、ADPD105/ADPD107 は、100 pF 未満の低静電容量フォトダイオードと結合してください。ADPD105/ADPD107 は、どの LED とでも併用できます。ADPD105 は、2.46 mm × 1.4 mm の WLCSP パッケージを採用しています。SPI 専用バージョンである ADPD107 は、2.46 mm × 1.4 mm の WLCSP パッケージで提供されています。

目次

特長	1	代表的な接続図	25
アプリケーション	1	LED ドライバのピンと LED 電源電圧	26
概要	1	LED ドライバの動作	26
改訂履歴	2	平均電流の決定	26
機能ブロック図	3	C_{VLED} の決定	26
仕様	4	LED のインダクタンスに関する考慮事項	27
温度と電力の仕様	4	推奨されるスタートアップ・シーケンス	27
性能仕様	5	データの読み出し	27
アナログ仕様	6	クロックとタイミングの補正	29
デジタル仕様	7	GPIO0 と GPIO1 で利用できるオプションのタイミング信号	30
タイミング仕様	8	消費電流の計算	32
絶対最大定格	10	ワットあたり SNR の最適化	32
熱抵抗	10	未使用のチャンネルとアンプの無効化による電力の最適化	33
推奨されるハンドル処理プロファイル	10	TIA ADC モード	34
ESD に関する注意	10	デジタル積分モード	36
ピン配置およびピン機能の説明	11	パルス接続モード	39
代表的な性能特性	13	レジスタの一覧	41
動作原理	15	LED 制御レジスタ	45
はじめに	15	AFE グローバル設定レジスタ	47
デュアル・タイム・スロット動作	15	システム・レジスタ	52
タイム・スロット・スイッチ	16	ADC レジスタ	56
調整可能なサンプリング周波数	17	データ・レジスタ	57
ステート・マシンの動作	18	必須のスタートアップ・ロード手順	57
通常モードの動作とデータ・フロー	18	外形寸法	58
AFE の動作	20	オーダー・ガイド	58
AFE 積分オフセットの調整	20		
I ² C シリアル・インターフェース	22		
SPI ポート	23		

改訂履歴

7/2016-Revision 0: Initial Version

機能ブロック図

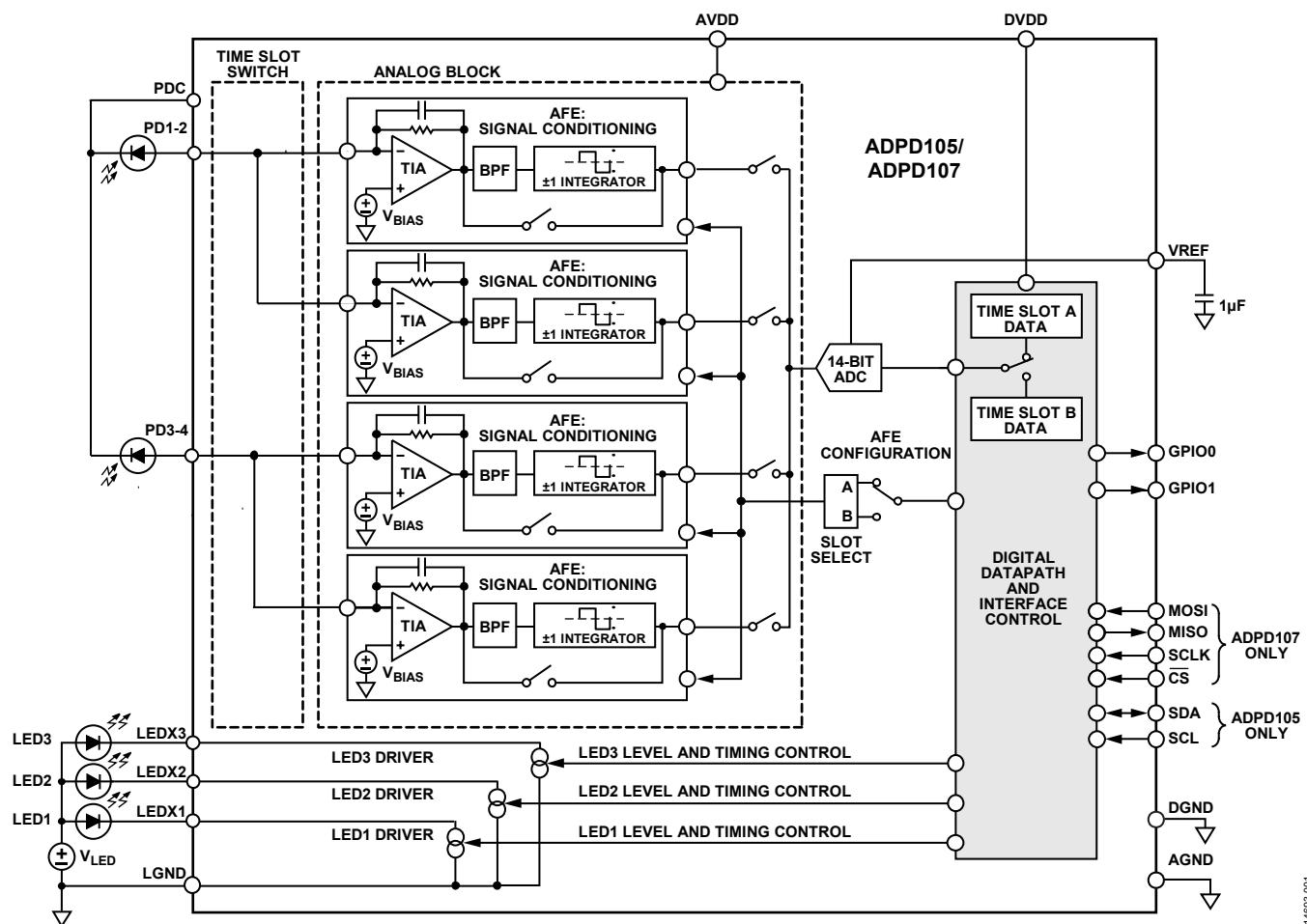


図 1.

14893-001

仕様

温度と電力の仕様

表 1. 動作条件

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
TEMPERATURE RANGE					
Operating Range		-40		+85	°C
Storage Range		-65		+150	°C
POWER SUPPLY VOLTAGES					
V _{DD}	Applied at the AVDD and DVDD pins	1.7	1.8	1.9	V

特に指定のない限り、AVDD = DVDD = 1.8 V、T_A = 25 °C。

表 2. 消費電流

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY (V _{DD}) CURRENT						
V _{DD} Supply Current ¹		SLOTx_LED_OFFSET = 25 μs; LED_PERIOD = 19 μs; LED peak current = 25 mA, 4 channels active				
1 Pulse		100 Hz data rate; Time Slot A only	106			μA
		100 Hz data rate; Time Slot B only	94			μA
		100 Hz data rate; both Time Slot A and Time Slot B	151			μA
10 Pulses		100 Hz data rate; Time Slot A only	258			μA
		100 Hz data rate; Time Slot B only	246			μA
		100 Hz data rate; both Time Slot A and Time Slot B	455			μA
Peak V _{DD} Supply Current (1.8 V)	I _{V_{DD}_PEAK}					
4-Channel Operation			9.3			mA
1-Channel Operation			2.3			mA
Standby Mode Current	I _{V_{DD}_STANDBY}		0.5			μA
V _{LEDA} AND V _{LEDB} SUPPLY CURRENT ²						
Average Supply Current						
V _{LEDA} or V _{LEDB}		Peak LED current = 100 mA; LED pulse width = 3 μs				
1 Pulse		50 Hz data rate	15			μA
		100 Hz data rate	30			μA
		200 Hz data rate	60			μA
10 Pulses		50 Hz data rate	150			μA
		100 Hz data rate	300			μA
		200 Hz data rate	600			μA

¹ V_{DD} は AVDD ピンと DVDD ピンに印加される電圧。

² LEDA または LEDB は、LED1、LED2、LED3 のいずれか。V_{LEDA} または V_{LEDB} は、V_{LED1}、V_{LED2}、V_{LED3} のいずれか。

性能仕様

特に指定のない限り、AVDD = DVDD = 1.8 V、TA = 全動作温度範囲。

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DATA ACQUISITION					
Resolution	Single pulse		14		Bits
Resolution/Sample	64 to 255 pulses		20		Bits
Resolution/Data Read	64 to 255 pulses and sample average = 128		27		Bits
LED DRIVER					
LED Current Slew Rate ¹					
Rise	Slew rate control setting = 0; TA = 25°C; I _{LED} = 70 mA		240		mA/μs
	Slew rate control setting = 7; TA = 25°C; I _{LED} = 70 mA		1400		mA/μs
Fall	Slew rate control setting = 0, 1, 2; TA = 25°C; I _{LED} = 70 mA		3200		mA/μs
	Slew rate control setting = 6, 7; TA = 25°C; I _{LED} = 70 mA		4500		mA/μs
LED Peak Current	LED pulse enabled	8	370		mA
Driver Compliance Voltage	Voltage above ground required for LED driver operation		0.6		V
LED PERIOD					
AFE width = 4 μs ²		19			μs
AFE width = 3 μs		17			μs
Sampling Frequency ³	Time Slot A only; normal mode; 1 pulse; SLOTA_LED_OFFSET = 23 μs; SLOTA_LED_PERIOD = 19 μs	0.122	3230		Hz
	Time Slot B only; normal mode; 1 pulse; SLOTA_LED_OFFSET = 23 μs; SLOTA_LED_PERIOD = 19 μs	0.122	3820		Hz
	Both time slots; normal mode; 1 pulse; SLOTA_LED_OFFSET = 23 μs; SLOTA_LED_PERIOD = 19 μs	0.122	1750		Hz
	Time Slot A only; normal mode; 8 pulses; SLOTA_LED_OFFSET = 23 μs; SLOTA_LED_PERIOD = 19 μs	0.122	2257		Hz
	Time Slot B only; normal mode; 8 pulses; SLOTA_LED_OFFSET = 23 μs; SLOTA_LED_PERIOD = 19 μs	0.122	2531		Hz
	Both time slots; normal mode; 8 pulses; SLOTA_LED_OFFSET = 23 μs; SLOTA_LED_PERIOD = 19 μs	0.122	1193		Hz
CATHODE PIN (PDC) VOLTAGE					
During All Sampling Periods	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 1 ⁴		1.8		V
	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 0		1.3		V
During Slot A Sampling	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x0 ⁴		1.8		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x1		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x2		1.55		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x3 ⁵		0		V
During Slot B Sampling	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x0 ⁴		1.8		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x1		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x2		1.55		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x3 ⁵		0		V
During Sleep Periods	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 1		1.8		V
	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 0		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x0		1.8		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x1		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x2		1.55		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x3		0		V
PHOTODIODE INPUT PINS/ ANODE VOLTAGE					
During All Sampling Periods			1.3		V
During Sleep Periods			Cathode voltage		V

¹ これらの値に関して、LED のインダクタンスは無視できます。インダクタンスが大きくなると、実効スルーレートは低下します。

² 最小 LED 期間 = (2 × AFE 幅) + 5 μs。

³ この仕様に示す最大値は、通常動作モードにおける ADC の内部サンプリング・レートです。構成によっては、I²C の読み出しレートが原因で出力データ・レートが制限を受ける可能性があります。

⁴ このモードは、追加のノイズを誘発する可能性があり、絶対に必要な場合以外は推奨できません。1.8 V 設定では、アノード電圧に多くの差動電圧ノイズを含む V_{DD} を使用します。アノードとカソード間の差動電圧によって、フォトダイオードの接合両端間を差動電流が流れます。この電流の大きさは C × dV/dt で表せます。

⁵ フォトダイオードを使用する場合、この設定は推奨できません。これは、フォトダイオードに 1.3 V の順方向バイアスがかかるためです。

アナログ仕様

特に指定のない限り、AVDD = DVDD = 1.8 V、TA = 全動作温度範囲。AFE オフセットの補償については、AFE の動作セクションで説明します。

表 4.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CAPACITANCE			100		pF
PULSED SIGNAL CONVERSIONS, 3 μ s WIDE LED PULSE ¹	4 μ s wide AFE integration; normal operation, Register 0x43/Register 0x45 = 0xADA5				
ADC Resolution ²	Transimpedance amplifier (TIA) feedback resistor				
	25 k Ω	3.27			nA/LSB
	50 k Ω	1.64			nA/LSB
	100 k Ω	0.82			nA/LSB
	200 k Ω	0.41			nA/LSB
ADC Saturation Level	TIA feedback resistor				
	25 k Ω	26.8			μ A
	50 k Ω	13.4			μ A
	100 k Ω	6.7			μ A
	200 k Ω	3.35			μ A
Ambient Signal Headroom on Pulsed Signal	TIA feedback resistor				
	25 k Ω	23.6			μ A
	50 k Ω	11.8			μ A
	100 k Ω	5.9			μ A
	200 k Ω	2.95			μ A
PULSED SIGNAL CONVERSIONS, 2 μ s WIDE LED PULSE ¹	3 μ s wide AFE integration; normal operation, Register 0x43/Register 0x45 = 0xADA5				
ADC Resolution ²	TIA feedback resistor				
	25 k Ω	4.62			nA/LSB
	50 k Ω	2.31			nA/LSB
	100 k Ω	1.15			nA/LSB
	200 k Ω	0.58			nA/LSB
ADC Saturation Level	TIA feedback resistor				
	25 k Ω	37.84			μ A
	50 k Ω	18.92			μ A
	100 k Ω	9.46			μ A
	200 k Ω	4.73			μ A
Ambient Signal Headroom on Pulsed Signal	TIA feedback resistor				
	25 k Ω	12.56			μ A
	50 k Ω	6.28			μ A
	100 k Ω	3.14			μ A
	200 k Ω	1.57			μ A
FULL SIGNAL CONVERSIONS ³					
TIA Saturation Level of Pulsed Signal and Ambient Level	TIA feedback resistor				
	25 k Ω	50.4			μ A
	50 k Ω	25.2			μ A
	100 k Ω	12.6			μ A
	200 k Ω	6.3			μ A

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SYSTEM PERFORMANCE					
Total Output Noise Floor	Normal mode; per pulse; per channel; no LED; photodiode capacitance (C_{PD}) = 70 pF 25 kΩ; referred to ADC input		1.0		LSB rms
	25 kΩ; referred to peak input signal for 2 μs LED pulse		4.6		nA rms
	25 kΩ; referred to peak input signal for 3 μs LED pulse		3.3		nA rms
	25 kΩ; saturation signal-to-noise ratio (SNR) per pulse per channel ⁴		78.3		dB
	50 kΩ; referred to ADC input		1.2		LSB rms
	50 kΩ; referred to peak input signal for 2 μs LED pulse		2.8		nA rms
	50 kΩ; referred to peak input signal for 3 μs LED pulse		2.0		nA rms
	50 kΩ; saturation SNR per pulse per channel ⁴		76.6		dB
	100 kΩ; referred to ADC input		1.7		LSB rms
	100 kΩ; referred to peak input signal for 2 μs LED pulse		1.9		nA rms
	100 kΩ; referred to peak input signal for 3 μs LED pulse		1.4		nA rms
	100 kΩ; saturation SNR per pulse per channel ⁴		73.6		dB
	200 kΩ; referred to ADC input		2.75		LSB rms
	200 kΩ; referred to peak input signal for 2 μs LED pulse		1.6		nA rms
	200 kΩ; referred to peak input signal for 3 μs LED pulse		1.1		nA rms
	200 kΩ; saturation SNR per pulse per channel ⁴		69.5		dB
DC Power Supply Rejection Ratio (DC PSRR)			-37		dB

¹ この飽和レベルはADCのみに適用されるので、パルス信号のみが含まれています。パルス以外の信号は、ADC段より前で除去されます。

² AFEの動作セクションに従ってAFEオフセットを正しく補正する場合、ADCの分解能はパルスごとに示されます。複数のパルスを使用する場合、パルス数で割ってください。

³ この飽和レベルは信号バス全体に適用されるので、周辺信号とパルス信号の両方が含まれています。

⁴ 飽和SNR値のノイズ項は、受信ノイズのみを表し、光子撮影ノイズやLED信号自体に重畳されるノイズは一切含まれていません。

デジタル仕様

特に指定のない限り、DVDD = 1.7 V ~ 1.9 V。

表 5.

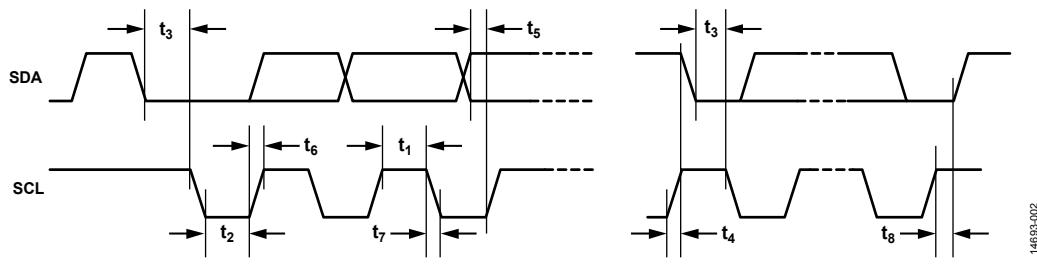
Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
LOGIC INPUTS (GPIO _x , SCL, SDA, SCLK, MOSI, CS)						
Input Voltage Level						
High	V _{IH}		0.7 × DVDD	3.6		V
Low	V _{IL}			0.3 × DVDD		V
Input Current Level						
High	I _{IH}		-10		+10	μA
Low	I _{IL}		-10		+10	μA
Input Capacitance	C _{IN}			10		pF
LOGIC OUTPUTS						
Output Voltage Level		GPIO _x , MOSI				
High	V _{OH}	2 mA high level output current	DVDD - 0.5			V
Low	V _{OL}	2 mA low level output current		0.5		V
Output Voltage Level		SDA				
Low	V _{OL1}	2 mA low level output current		0.2 × DVDD		V
Output Current Level		SDA				
Low	I _{OL}	V _{OL1} = 0.6 V	6			mA

タイミング仕様

表 6. I²C タイミング仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
I ² C PORT ¹		See Figure 2				
SCL				400		kHz
Frequency			600			ns
Minimum Pulse Width			1300			ns
High	t ₁					
Low	t ₂					
Start Condition						
Hold Time	t ₃		600			ns
Setup Time	t ₄		600			ns
SDA Setup Time	t ₅		100			ns
SCL and SDA				1000		ns
Rise Time	t ₆			300		ns
Fall Time	t ₇					
Stop Condition			600			ns
Setup Time	t ₈					

¹ 設計により性能を確保。

図 2. I²C タイミング図

14693-002

表 7. SPI タイミング仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SPI PORT						
SCLK						
Frequency	f_{SCLK}				10	MHz
Minimum Pulse Width						
High	$t_{SCLKPWH}$		20			ns
Low	$t_{SCLKPWL}$		20			ns
CS						
Setup Time	t_{CSH}	CS setup to SCLK rising edge	10			ns
Hold Time	t_{CSH}	CS hold from SCLK rising edge	10			ns
Pulse Width High	t_{CSPWH}	CS pulse width high	10			ns
MOSI						
Setup Time	t_{MOSIS}	MOSI setup to SCLK rising edge	10			ns
Hold Time	t_{MOSIH}	MOSI hold from SCLK rising edge	10			ns
MISO Output Delay	t_{MISOD}	MISO valid output delay from SCLK falling edge		20		ns

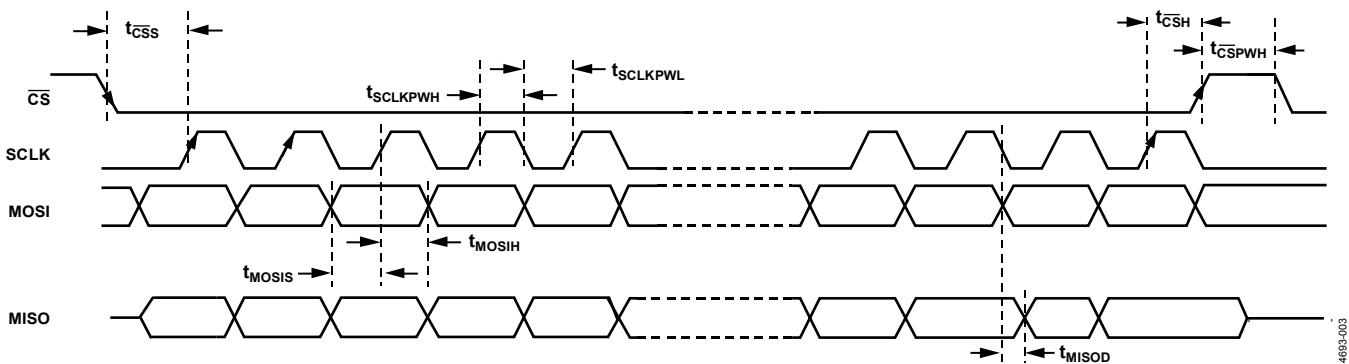


図 3. SPI タイミング図

14693-003

絶対最大定格

表 8.

Parameter	Rating
AVDD to AGND	-0.3 V to +2.2 V
DVDD to DGND	-0.3 V to +2.2 V
GPIO0 to DGND	-0.3 V to +2.2 V
GPIO1 to DGND	-0.3 V to +2.2 V
LEDXx to LGND	-0.3 V to +3.6 V
SCL to DGND	-0.3 V to +3.9 V
SDA to DGND	-0.3 V to +3.9 V
Junction Temperature	150°C
ESD	
Human Body Model (HBM)	1500 V
Charged Device Model (CDM)	500 V
Machine Model (MM)	100 V

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路ボード (PCB) の設計と動作環境に直接関連があります。PCB の熱設計には細心の注意が必要です。

表 9. 热抵抗

Package Type	θ_{JA}	Unit
CB-16-18	60	°C/W
CB-17-1	60	°C/W

推奨されるハンダ処理プロファイル

図 4 と表 10 に、推奨されるハンダ処理プロファイルの詳細を示します。

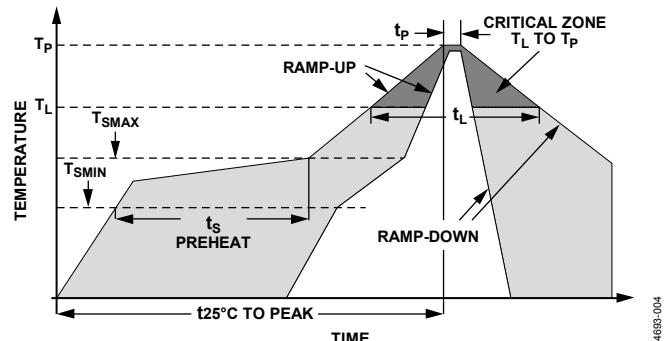


図 4. 推奨されるハンダ処理プロファイル

表 10. 推奨されるハンダ処理プロファイル

Profile Feature	Condition (Pb-Free)
Average Ramp Rate (T_L to T_P)	3°C/sec max
Preheat	
Minimum Temperature (T_{SMIN})	150°C
Maximum Temperature (T_{SMAX})	200°C
Time (T_{SMIN} to T_{SMAX}) (t_S)	60 sec to 180 sec
T_{SMAX} to T_L Ramp-Up Rate	3°C/sec maximum
Time Maintained Above Liquidous Temperature	
Liquidous Temperature (T_L)	217°C
Time (t_L)	60 sec to 150 sec
Peak Temperature (T_P)	+260 (+0/-5)°C
Time Within 5°C of Actual Peak Temperature (t_P)	<30 sec
Ramp-Down Rate	6°C/sec maximum
Time from 25°C to Peak Temperature	8 minutes maximum

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

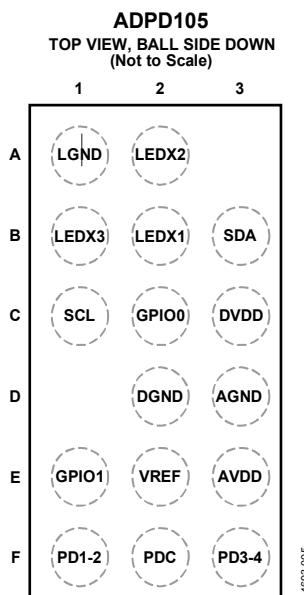


図 5. ADPD105 ピン配置

表 11. ADPD105 ピン機能の説明

ピン番号	記号	タイプ ¹	説明
A1	LGND	S	LED ドライバのグラウンド。
A2	LEDX2	AO	LED ドライバ 2 の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B1	LEDX3	AO	LED ドライバ 3 の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B2	LEDX1	AO	LED ドライバ 1 の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B3	SDA	DIO	I ² C のデータ入出力 (I/O)。
C1	SCL	DI	I ² C クロック入力。
C2	GPIO0	DIO	汎用 I/O。このピンは、割り込みと各種クロック供給オプションに使用します。
C3	DVDD	S	1.8 V デジタル電源。
D2	DGND	S	デジタル・グラウンド。
D3	AGND	S	アナログ・グラウンド。
E1	GPIO1	DIO	汎用 I/O。このピンは、割り込みと各種クロック供給オプションに使用します。
E2	VREF	REF	内部で生成される ADC 電圧リファレンス。AGND に接続した 1 μ F のコンデンサを使用して、このピンでバッファを有効にします。
E3	AVDD	S	1.8 V アナログ電源。
F1	PD1-2	AI	フォトダイオード 1 (PD1) とフォトダイオード 2 (PD2) の入力で構成される結合電流。使用しない場合、このピンはフロート状態のままにしておきます。
F2	PDC	AO	フォトダイオードのコモン・カソード・バイアス。
F3	PD3-4	AI	フォトダイオード 3 (PD3) とフォトダイオード 4 (PD4) の入力で構成される結合電流。使用しない場合、このピンはフロート状態のままにしておきます。

¹ S は電源、AO はアナログ出力、DIO はデジタル入出力、DI はデジタル入力、REF はリファレンス電圧、AI はアナログ入力、AO はアナログ出力を意味します。

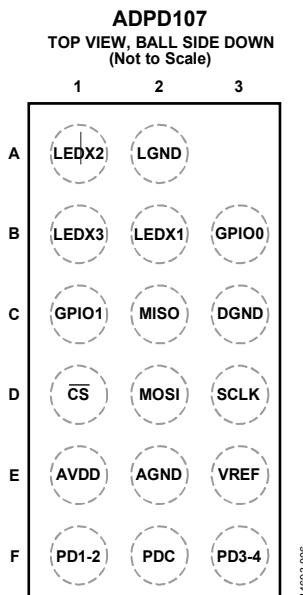


図 6. ADPD107 ピン配置

表 12. ADPD107 ピン機能の説明

ピン番号	記号	タイプ ¹	説明
A1	LEDX2	AO	LED ドライバ 2 の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
A2	LGND	S	LED ドライバのグラウンド。
B1	LEDX3	AO	LED ドライバ 3 の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B2	LEDX1	AO	LED ドライバ 1 の電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
B3	GPIO0	DIO	汎用 I/O。このピンは、割り込みと各種クロック供給オプションに使用します。
C1	GPIO1	DIO	汎用 I/O。このピンは、割り込みと各種クロック供給オプションに使用します。
C2	MISO	DO	マスタ入力、スレーブ出力。
C3	DGND	S	デジタル・グラウンド。
D1	CS	DI	SPI チップ・セレクト。アクティブ・ロー。
D2	MOSI	DI	マスタ出力、スレーブ入力。
D3	SCLK	DI	SPI クロック入力。
E1	AVDD	S	1.8 V アナログ電源。
E2	AGND	S	アナログ・グラウンド。
E3	VREF	REF	内部で生成される ADC 電圧リファレンス。AGND に接続した 1 μ F のコンデンサを使用して、このピンでバッファを有効にします。
F1	PD1-2	AI	フォトダイオード 1 (PD1) とフォトダイオード 2 (PD2) の入力で構成される結合電流。使用しない場合、このピンはフロート状態のままにしておきます。
F2	PDC	AO	フォトダイオードのコモン・カソード・バイアス。
F3	PD3-4	AI	フォトダイオード 1 (PD3) とフォトダイオード 2 (PD4) の入力で構成される結合電流。使用しない場合、このピンはフロート状態のままにしておきます。

¹ AO はアナログ出力、S は電源、DIO はデジタル入出力、DO はデジタル出力、DI はデジタル入力、REF はリファレンス電圧、AI はアナログ入力を意味します。

代表的な性能特性

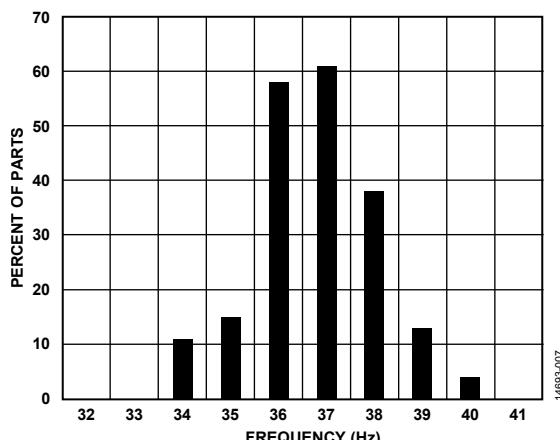


図 7. 32 kHz クロック周波数の分布（デフォルト設定、ユーザーによる補正の前: レジスタ 0x4B = 0x2612）

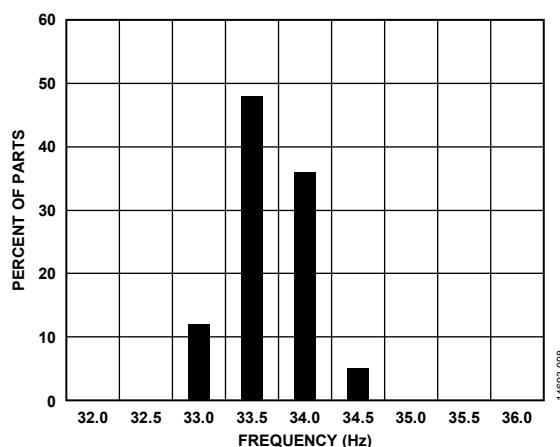


図 8. 32 MHz クロック周波数の分布（デフォルト設定、ユーザーによる補正の前: レジスタ 0x4D = 0x0098）

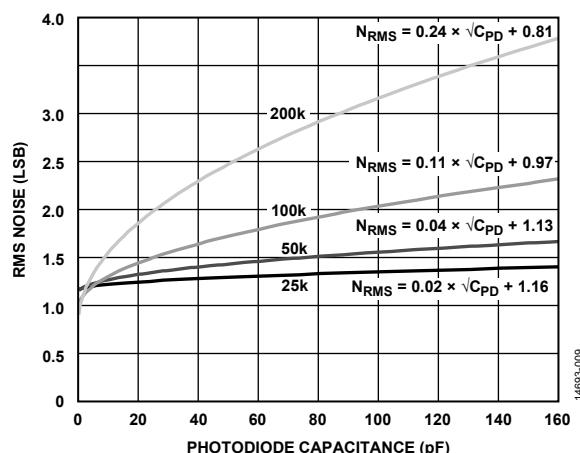


図 9. RMS ノイズとフォトダイオード静電容量の関係

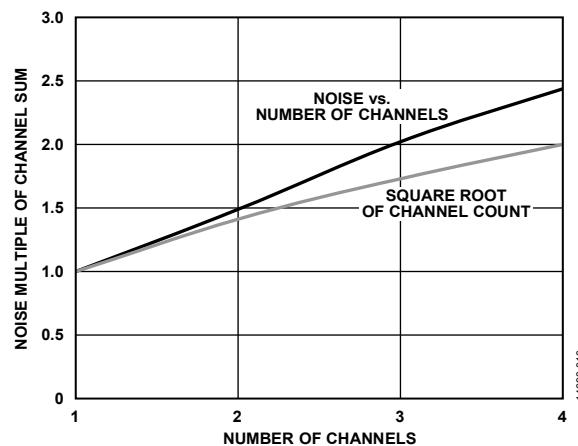


図 10. 複数チャンネルのノイズ合計とチャンネル数の関係

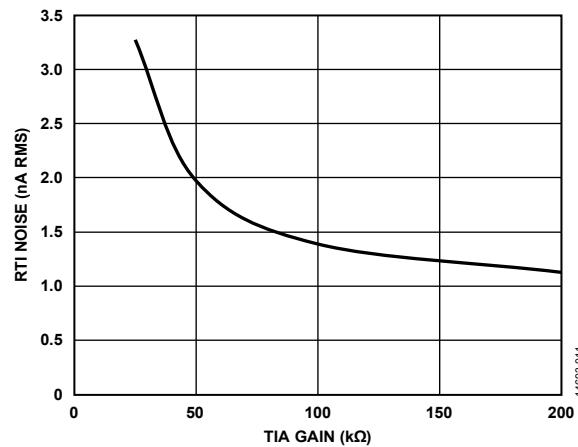


図 11. 入力に対する相対的 (RTI) ノイズと TIA ゲインの関係

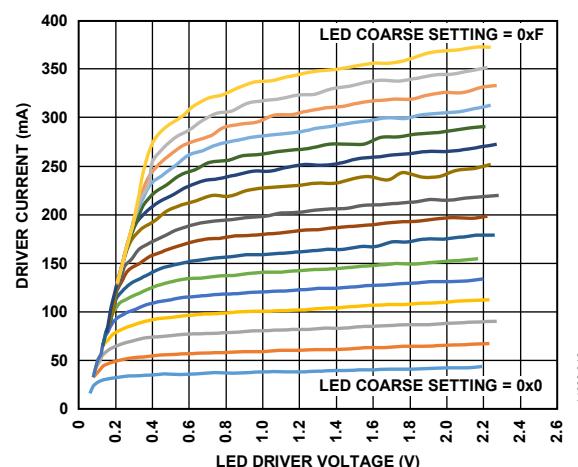


図 12. 各種のおおまかな設定における LED ドライバ電流と LED ドライバ電圧の関係

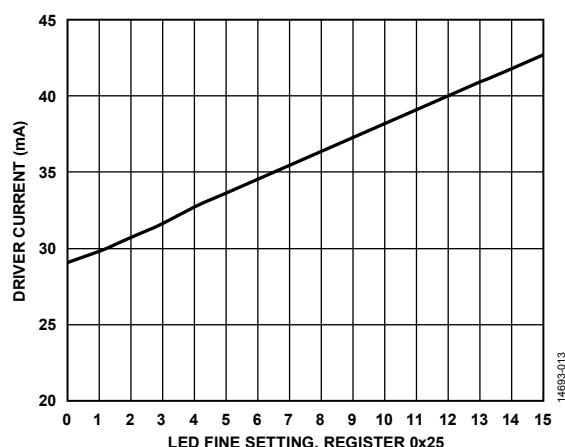


図 13. LED ドライバ電流と LED 微調整の関係
(おおまかな設定 = 0x0)

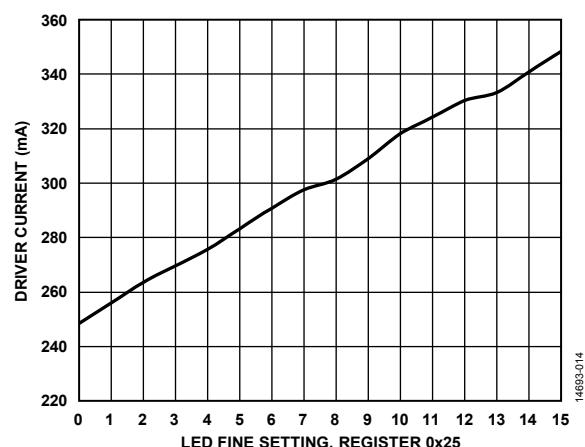


図 14. LED ドライバ電流と LED 微調整の関係
(おおまかな設定 = 0xF)

動作原理

はじめに

ADPD105/ADPD107はフル機能の光学トランシーバとして動作します。最大3個のLEDを励起して、リターン信号を最大2つの個別の電流入力で測定します。コアを構成しているのは、ADCに結合された測光用フロント・エンド、デジタル・ブロック、および3個の独立したLEDドライバです。コア回路は複数のLEDを励起して、1~8つのフォトダイオード入力を通じてアナログ・ブロックに返された信号を測定し、個別のデータ保管場所に結果を保存します。4個の入力チャンネルを同時に駆動できるように、2個の入力を構成することもできます。レジスタから直接データを読み出すことも、FIFO経由でデータを読み出すこともできます。この高集積システムは、アナログ信号処理ブロック、デジタル信号処理ブロック、ADPD105のI²C通信インターフェースまたはADPD107のSPIポートの他、プログラマブルなパルス形式のLED電流源で構成されています。

LEDドライバは電流シンクなので、LED供給電圧やLEDの種類の影響を受けません。フォトダイオード(PD_x)の入力は、接合容量が100 pF未満であるフォトダイオードに対応します。ADPD105/ADPD107は、比較的に小さなLED電力で高いSNRを達成すると同時に、測定対象の信号に対する周辺光の影響を大幅に低減するように設計されています。

デュアル・タイム・スロット動作

ADPD105/ADPD107は2つの独立したタイム・スロット(タイム・スロットAとタイム・スロットB)で動作します。これらのスロットは、順番に実行されます。LEDを励起してからデータをキャプチャし、処理を実行するまでの信号パス全体が、各タイム・スロット内で実行されます。各タイム・スロットには個別のデータパスがあります。これらのデータパスは、LEDドライバ、AFEのセットアップ、結果データごとに、独立した設定を使用します。タイム・スロットAとタイム・スロットBは、図15に示すように、サンプリング期間ごとに順番に動作します。

タイミング・パラメータは、次のように定義されます。

$$t_A (\mu s) = \text{SLOT}_A \text{ LED } \text{OFFSET} + n_A \times \text{SLOT}_A \text{ LED } \text{PERIOD}$$

ここで、 n_A はタイム・スロットAに対応するパルス数(レジスタ0x31、ビット[15:8])です。

$$t_B (\mu s) = \text{SLOT}_B \text{ LED } \text{OFFSET} + n_B \times \text{SLOT}_B \text{ LED } \text{PERIOD}$$

ここで、 n_B はタイム・スロットBに対応するパルス数(レジスタ0x36、ビット[15:8])です。

次の数式を使用してLEDの期間を計算します。

$$\text{LED_PERIOD, minimum} = 2 \times \text{AFE_WIDTH} + 11$$

t_1 と t_2 は固定値で、各スロットの計算時間に基づいています。どちらかのスロットが使用されていない場合、そのスロットに対応する時間は全体のアクティブ時間に寄与しません。表13に、これらのLED時間パラメータとサンプリング時間パラメータの値を定義します。

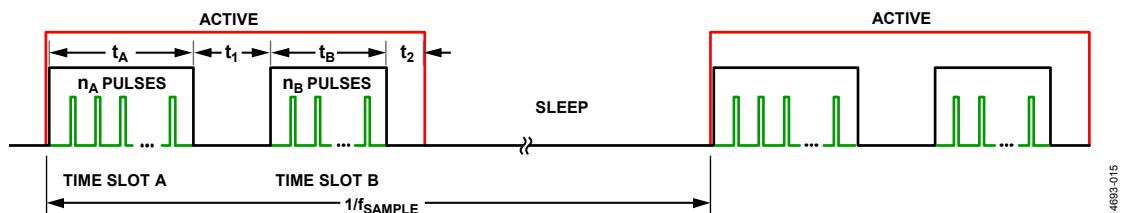


図15. タイム・スロットのタイミング図

表13. LEDタイミング・パラメータとサンプル・タイミング・パラメータ

Parameter	Register	Bits	Test Conditions/Comments	Min	Typ	Max	Unit
SLOT _x _LED_OFFSET ¹	0x30	[7:0]	Delay from power-up to LEDA rising edge	23	63		μs
SLOT _x _LED_OFFSET ¹	0x35	[7:0]	Delay from power-up to LEDB rising edge	23	63		μs
SLOT _x _LED_PERIOD ²	0x31	[7:0]	Time between LED pulses in Time Slot A; SLOT _x _AFE_WIDTH = 4 μs	19	63		μs
SLOT _x _LED_PERIOD ²	0x36	[7:0]	Time between LED pulses in Time Slot B; SLOT _x _AFE_WIDTH = 4 μs	19	63		μs
t_1			Compute time for Time Slot A		68		μs
t_2			Compute time for Time Slot B		20		μs
t_{SLEEP}			Sleep time between sample periods	222			μs

¹ SLOT_x_LED_OFFSETを規定の最小値より小さい値に設定すると、大きいフォトダイオードを使用する場合に、周辺光の除去に失敗する可能性があります。

² SLOT_x_LED_PERIODを規定の最小値より小さい値に設定すると、無効なデータ・キャプチャが実行される可能性があります。

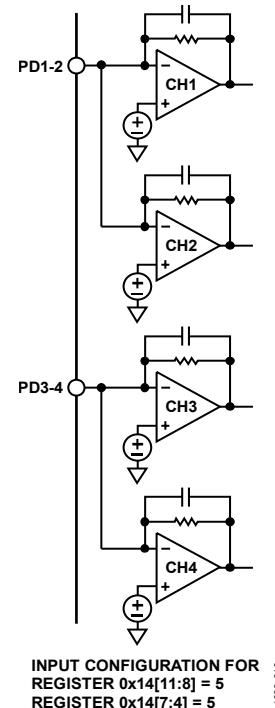
タイム・スロット・スイッチ

ADPD105/ADPD107 の 4 つのチャンネルに、最大 2 個のフォトダイオードを接続できます。フォトダイオードのアノードは、PD1-2 と PD3-4 の各入力ピンに接続されます。フォトダイオードのカソードは、カソード・ピン PDC に接続されます。レジスタ 0x14 の設定によって、2 つの異なる構成の一方がアノードに割り当てられます (図 16 と図 17 を参照)。

レジスタ 0x14 による PD1 ~ PD4 の入力構成

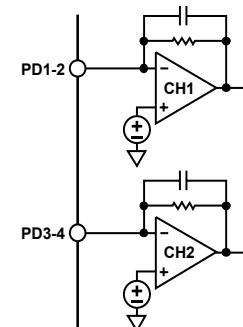
図 16 に、PD の各入力を 2 つのチャンネルに接続する構成を示します。この構成は、大電流が流れるフォトダイオードで使用する、高ダイナミック・レンジのモードです。図 17 に、デバイスの各入力を単一のチャンネルに接続する構成を示します。このモードを使用すると、フォトダイオードを流れる電流が小さいと予想される場合に、飽和時の SNR を最大限に高めることができます。

タイム・スロット A とタイム・スロット B の期間中、どちらのフォトダイオード・グループを接続するか設定するには、スイッチを使用します。タイム・スロット・スイッチのレジスタについては、表 14 を参照してください。デバイスが正しく動作するように、未使用的入力はフロート状態のままにしておくことが重要です。フォトダイオードの入力は電流ですが、これらのピンは電圧を出力するともみなされます。これらの入力をいずれかの電圧に接続すると、アナログ・ブロックが飽和する可能性があります。



INPUT CONFIGURATION FOR
REGISTER 0x14[11:8] = 5
REGISTER 0x14[7:4] = 5
14693-016

図 16. PD1 ~ PD4 の接続



INPUT CONFIGURATION FOR
REGISTER 0x14[11:8] = 1
REGISTER 0x14[7:4] = 1
14693-017

図 17. 電流の合計 —2 個のフォトダイオードの出力を合計して、1 つの電流を生成

表 14. タイム・スロット・スイッチ (レジスタ 0x14)

アドレス	ビット	名前	説明
0x14	[11:8]	SLOTB_PD_SEL	図 16 と図 17 に示すように、タイム・スロット B に接続するフォトダイオードを選択します。 0x0: タイム・スロット B の入力はフロート状態です。 0x1: タイム・スロット B の期間中、PD1-2 をチャンネル 1 に接続し、PD3-4 をチャンネル 2 に接続します。 0x5: タイム・スロット B の期間中、PD1-2 をチャンネル 1 とチャンネル 2 に接続し、PD3-4 をチャンネル 3 とチャンネル 4 に接続します。 その他: 予備。
	[7:4]	SLOTA_PD_SEL	図 16 と図 17 に示すように、タイム・スロット A に接続するフォトダイオードを選択します。 0x0: タイム・スロット A の入力はフロート状態です。 0x1: タイム・スロット A の期間中、PD1-2 をチャンネル 1 に接続し、PD3-4 をチャンネル 2 に接続します。 0x5: タイム・スロット A の期間中、PD1-2 をチャンネル 1 とチャンネル 2 に接続し、PD3-4 をチャンネル 3 とチャンネル 4 に接続します。 その他: 予備。

調整可能なサンプリング周波数

レジスタ 0x12 は、ADPD105/ADPD107 のサンプリング周波数を制御し、レジスタ 0x4B のビット [5:0] は高精度を実現するため、このクロックをさらに調節します。サンプリング周波数を制御するのは、内部の 32 kHz サンプル・レート・クロックです。また、このクロックは内部ステート・マシンの遷移も制御します。一部のサンプリング条件に対する最大サンプリング周波数を表 3 に示します。あらゆる条件に対応する最大サンプリング周波数は、次の式で決定されます。

$$f_{\text{SAMPLE, MAX}} = 1/(t_A + t_I + t_B + t_2 + t_{\text{SLEEP, MIN}})$$

ここで、 $t_{\text{SLEEP, MIN}}$ は、複数のサンプリングの間で必須の最小スリープ時間です。

特定のタイム・スロットを使用しない場合、そのタイム・スロットに属する要素は、計算に寄与しません。例えば、タイム・スロット A を使用しない場合、 t_A と t_I はサンプリング期間に寄与しません。この場合、新しいサンプリング周波数は次のように計算されます。

$$f_{\text{SAMPLE, MAX}} = 1/(t_B + t_I + t_{\text{SLEEP, MIN}})$$

t_A 、 t_I 、 t_B 、 t_2 の各定義については、デュアル・タイム・スロット動作セクションを参照してください。

サンプリングの外部同期

ADPD105/ADPD107 では、サンプリング期間をトリガする外部同期信号を使用するオプションも利用できます。この外部サンプリング同期信号は、GPIO0 ピンまたは GPIO1 ピンのどちらかに供給できます。この機能を制御するのは、レジスタ 0x4F のビット [3:2] です。この機能を有効にすると、次のサンプリング期間の開始時期は選択した入力の立上がりエッジによって指定されます。トリガされた時点で、1つまたは2つのサンプリング・クロック (32 kHz) 分の遅延が発生した後、通常のスタートアップ・シーケンスが開始されます。このシーケンスは、通常のサンプリング・タイマ期間でトリガを行う場合と同じです。外部同期信号を有効にするには、次の手順を使用します。

1. レジスタ 0x10 に 0x1 を書き込み、プログラム・モードに移行します。
2. レジスタ 0x4F のビット [3:2] に適切な値を書き込み、GPIO0 と GPIO1 のどちらのピンが次のサンプリング・サイクルの開始時期を決定するか選択します。また、適切な入力バッファを有効にするため、GPIO0 ピンにはレジスタ 0x4F のビット 1 を使用し、GPIO1 ピンにはレジスタ 0x4F のビット 5 を使用します。
3. レジスタ 0x38 に 0x4000 を書き込みます。
4. レジスタ 0x10 に 0x2 を書き込み、サンプリング動作を開始します。
5. 選択したピンに対して、希望のレートで外部同期信号を印加します。サンプリングはこのレートで実施されます。通常のサンプリング動作の場合と同様、FIFO またはデータ・レジスタを使用してデータを読み出します。

この場合も、最大周波数に関する制約が適用されます。

32 kHz 外部クロックの供給

ADPD105/ADPD107 には、システムを同期するため、または 32 kHz の内部クロックよりも高精度のクロックが必要とされる状況で、32 kHz の外部クロックをデバイスに供給するオプションを利用できます。この 32 kHz の外部クロックは、GPIO1 ピンに供給します。32 kHz の外部クロックを有効にするには、スタートアップ時に次の手順に従います。

1. GPIO1 ピンを入力として使用する前に、GPIO1 を適切なロジック・レベルに設定するか、希望の 32 kHz クロックで駆動します。このピンをフロート状態にしたまま、有効にすることを避けてください。
2. レジスタ 0x4F のビット [6:5] に 01 を書き込み、入力として GPIO1 ピンを有効にします。
3. レジスタ 0x4B のビット [8:7] に 10 を書き込み、32 kHz 外部クロックを使用するようにデバイスを設定します。この設定により、32 kHz 内部クロックは無効になり、32 kHz 外部クロックが有効になります。
4. レジスタ 0x10 に 0x1 を書き込み、プログラム・モードに移行します。
5. デバイスがプログラム・モードにある間、他の制御レジスタに任意の順序で書き込みを行い、必要に応じてデバイスを設定します。
6. レジスタ 0x10 に 0x2 を書き込み、通常のサンプリング動作を開始します。

ステート・マシンの動作

各タイム・スロットの期間内、ADPD105/ADPD107 はステート・マシンに従って動作します。ステート・マシンは、図 18 に示すシーケンスに従って動作します。

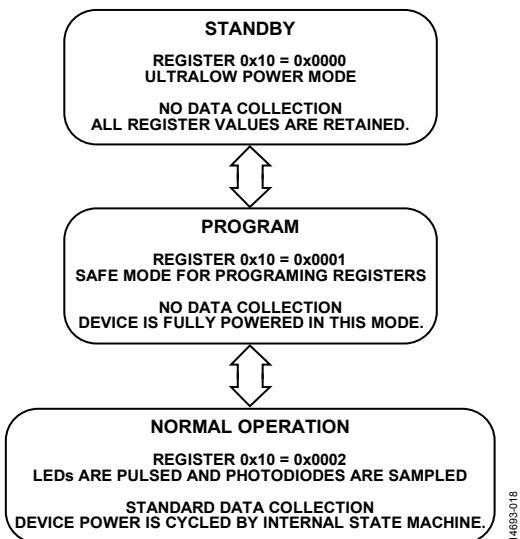


図 18. ステート・マシンの動作フローチャート

ADPD105/ADPD107 は、スタンバイ、プログラム、通常サンプリングという 3 つのモードのいずれかで動作します。

スタンバイ・モードは節電モードなので、データ収集は実施されません。このモードでは、すべてのレジスタ値が維持されます。デバイスをスタンバイ・モードに移行するには、レジスタ 0x10 のビット [1:0] に 0x0 を書き込みます。デバイスはパワーアップの時点での、スタンバイ・モードに移行します。

レジスタのプログラム（書き込み）を行う場合は、プログラム・モードを使用します。レジスタへの書き込みやモードの変更を実行す

る場合は、必ずプログラム・モードで ADPD105/ADPD107 の電源オン／オフの切り替えを実行してください。プログラム・モードではパワーサイクルが発生しないので、通常動作時よりもデバイスの消費電流量が大きくなる可能性があります。デバイスをプログラム・モードに移行するには、レジスタ 0x10 のビット [1:0] に 0x1 を書き込みます。

通常動作時、ADPD105/ADPD107 はパルス光を発振し、データを収集します。このモードにおける消費電力は、パルス数とデータ・レートに依存します。デバイスを通常サンプリング・モードに移行するには、レジスタ 0x10 のビット [1:0] に 0x2 を書き込みます。

通常モードの動作とデータ・フロー

通常動作モードにおいて、ADPD105/ADPD107 は、ステート・マシンによって設定された特定のパターンに従います。図 19 の対応するデータ・フローに、このパターンを示します。このパターンは、次のとおりです。

1. LED パルスとサンプル。ADPD105/ADPD107 は、外部 LED にパルスを出力します。ADPD105/ADPD107 は、反射された光に対する 1 つ以上のフォトダイオードの応答を測定します。各データ・サンプルは、n 個のパルスに対応する結果の合計です。ここで、n は 1 ~ 255 の範囲で設定できます。
2. サンプル間の平均。必要な場合は、2 のべき乗を 2 ~ 128 個の範囲で使用し、ロジックで n 個のサンプルの平均を求めて、出力データとして生成できます。新しい出力データは、N 個のサンプルごとに出力レジスタ内に保存されます。
3. データ読み出し: ホスト・プロセッサは、データ・レジスタまたは FIFO から変換したデータを読み出します。
4. 反復。このシーケンスには、数種類の異なるループが存在しています。このため、異なる種類の平均を使用できるほか、両方のタイム・スロットを時間的に接続した状態に維持することもできます。

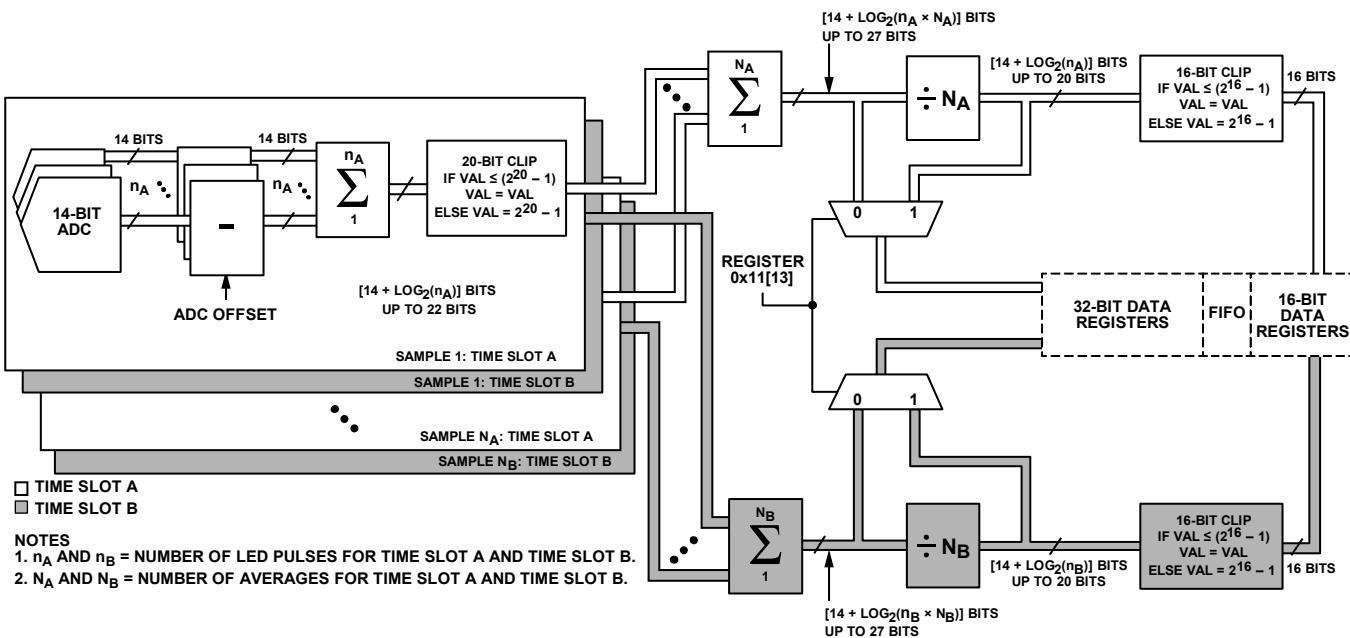


図 19. ADPD105/ADPD107 のデータパス

LED パルスとサンプル

図 20 に示すように、各サンプリング期間に、選択した LED ドライバが一連の LED パルスを駆動します。パルスの振幅、持続期間、個数は、I²C インターフェース経由で設定します。各 LED パルスは単一の検出期間と重なるので、検出された値は、対応する LED パルスの応答として収集された総電荷を表します。周辺光など、LED パルスに対応しない電荷は除去されます。

各 LED パルスの後に、パルス形式の LED 信号に関するフォトダイオード出力がサンプリングされ、14 ビットの ADC によってデジタル値に変換されます。サンプリング期間内で実行される後続の各変換は、直前の結果に加算されます。各サンプリング期間内に、ADC から出力された最大 255 個のパルス値の合計を計算できます。サンプリング期間ごとに、20 ビットの最大範囲が存在します。

平均化

ADPD105/ADPD107 は、信号の分解能を向上させるため、サンプルの累積と平均化の機能を実行します。

サンプリング期間内に、AFE は最大 256 個の順次パルスの合計を計算できます。図 19 に示すように、AFE によって収集されたサンプルは、AFE の出力側で 20 ビットにクリップされます。複数のサンプリング期間にわたって平均化を実行することで、分解能を最大 27 ビットまで向上できます。N 個のサンプルで構成された累積データは、27 ビットの値として格納され、32 ビット出力レジスタを使用して直接読み出すか、または 32 ビット FIFO 構成を使用して読み出すことができます。

レジスタ 0x15 で設定した平均化機能を使用する場合、後続のパルスは 2 のべき乗単位で平均化されます。ユーザーは平均化に使用するサンプルの個数として、2、4、8 など、最大 128 までの値を選択できます。パルス・データは AFE によって、サンプリング周波数 f_{SAMPLE} (レジスタ 0x12) で収集されますが、新しいデータ

は N 番目のサンプルごとに、 f_{SAMPLE}/N のレートでレジスタに書き込まれます。この新しいデータは、以前の N 個のサンプルの合計によって構成されます。32 ビットの合計全体は、32 ビット・レジスタに書き込まれます。ただし、このデータを FIFO に送信する前に、N による除算が実施されます。この除算はビット深度を維持し、FIFO におけるクリッピングを防止します。

複数のサンプル平均化でこの手法を使用すると、ノイズを低減するだけでなく、16 ビットの分解能を維持することができます。パルス数レジスタの値を 8 以下に維持すれば、16 ビット幅を超過することはありません。つまり、レジスタ 0x15 を使用して後続のパルスを平均化する場合、16 ビット幅を超過せずに多くのパルスを累積することができます。この平均化により、ホスト・プロセッサが必要とする FIFO の読み出し回数を減らすことができます。

データ読出し

ホスト・プロセッサが ADPD105/ADPD107 から出力されたデータを読み出す場合、ADPD105 では I²C プロトコルを介して読み出し、ADPD107 では SPI ポートを経由して読み出します。データ・レジスタまたは FIFO を通じてデータが読み出されます。N 個のサンプルごとに、新しいデータを利用できるようになります。ここで、N はユーザーが設定した平均化の係数です。タイム・スロット A とタイム・スロット B に対して、平均化の係数を個別に設定することもできます。これらの係数が等しい場合、両方のタイム・スロットで FIFO にデータを保存するように設定することもできます。2 つの平均化の係数が異なる場合、FIFO にデータを保存できるのはどちらか 1 つのタイム・スロットのみです。もう一方のタイム・スロットから得られたデータは、出力レジスタから読み出すことができます。

データ読出しの動作については、データの読出しセクションで詳細に説明します。

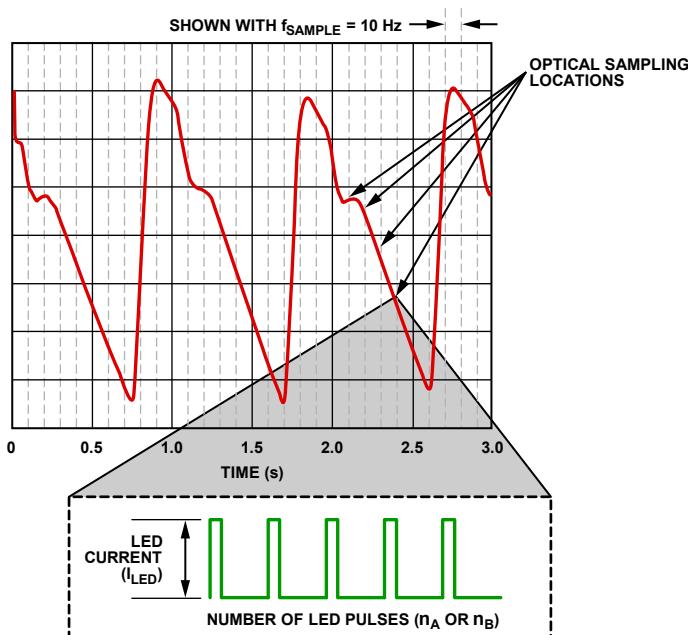


図 20. サンプルあたり 5 個のパルスを使用し、
10 Hz のデータ・レートでフォトプレチスモグラフィ
(PPG、光電式容積脈波記録法) 信号をサンプリングした例

14693-020

AFE の動作

各パルス・バーストのタイミングは、ADPD105/ADPD107 の動作を最適化するうえで重要です。図 21 に、単一のタイム・スロットに対応するタイミング波形を示します。これは、AFE のアナログ・ブロックを介して LED パルス応答を伝搬するときの波形です。緑色で表示している最初のグラフは、LED パルスに対する理想的な出力を示します。青色のグラフに図示されているフィルタ処理後の LED 応答は、アナログ積分器の出力を示します。3番目のグラフに示すオレンジ色のグラフは、最適な場所に配置した積分ウインドウを示します。最適な値が得られるように設定した場合、フィルタ処理後の LED 応答の信号全体を積分できます。次に、バンドパス・フィルタ (BPF) の出力に対して AFE 積分ウインドウを適用し、得られた結果を ADC に送信して、N 個のパルスの合計を計算します。AFE ウィンドウのサイズや位置が正しくない場合、すべての受信信号を正しく報告することや、最適なシステム性能を達成することはできません。したがって、新

しいハードウェア設計を行うたび、または新しい LED パルス幅を設定するたびに、AFE の位置が正しいか検証することが重要です。

AFE 積分オフセットの調整

AFE 積分幅は、LED パルス幅以上に設定する必要があります。ただし、AFE 積分幅をあまり広くしそると、出力ノイズが増大し、環境に起因する高周波成分を抑制する能力が低下します。このため、AFE 積分幅を小さい値に維持することが望まれます。しかし、AFE 積分幅が狭すぎると、LED 信号が減衰します。ほとんどのハードウェア設定では、AFE 積分幅を LED パルス幅より $1 \mu\text{s}$ 広くすると、最適な SNR を達成できます。LED パルス幅、LED オフセット、AFE 積分幅を設定した後、ADC オフセットを最適化することができます。積分ウインドウの最初のセグメントに出現する立下りエッジが、フィルタ処理後の LED 応答のゼロ交差に一致するように、AFE オフセットを手動で設定する必要があります。

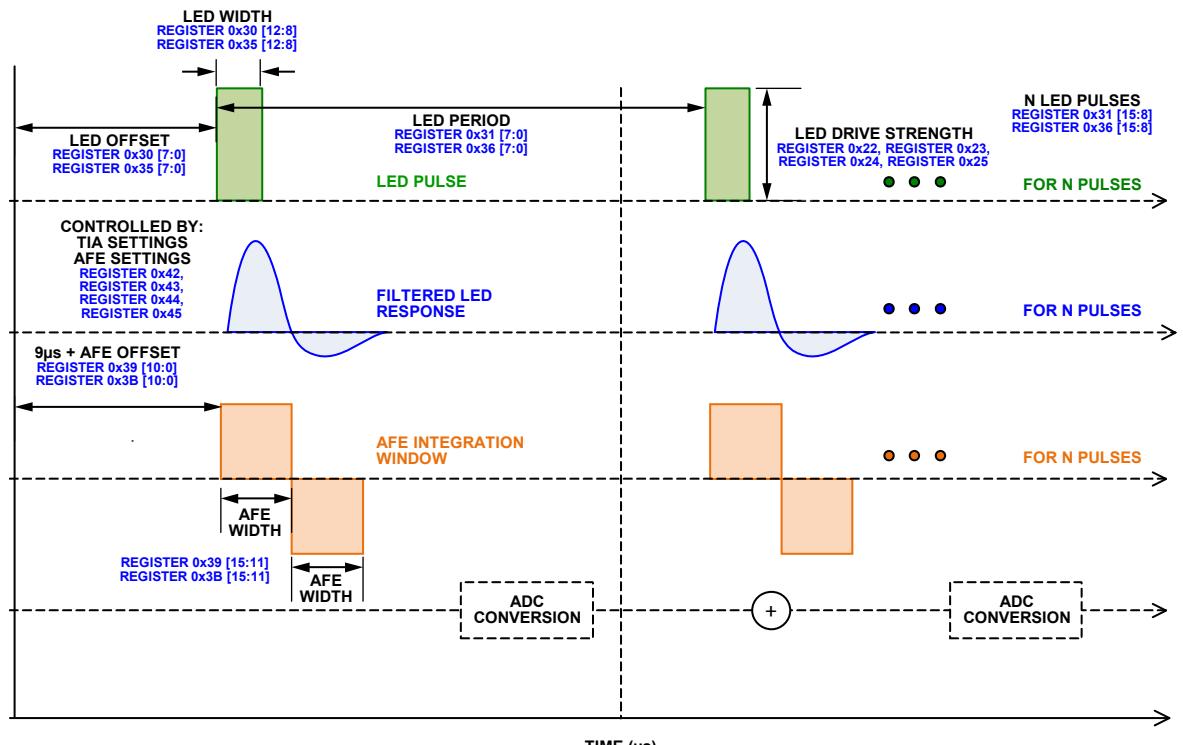


図 21. AFE 動作の図

14693-021

AFE 積分オフセットの開始ポイント

このオフセットの開始ポイントは、マイクロ秒 (μ s) で表現し、積分ウィンドウの立下がりエッジが LED の立下がりエッジに一致するように設定します。

$$LED_FALLING_EDGE = SLOTx_LED_OFFSET + SLOTx_LED_WIDTH$$

および

$$AFE_INTEGRATION_FALLING_EDGE = 9 + SLOTx_AFE_OFFSET + SLOTx_AFE_WIDTH$$

両方の立下がりエッジが互いに等しくなるように設定した場合、 $SLOTx_AFE_OFFSET$ を求めると、次の式が得られます。

$$AFE_OFFSET_STARTING_POINT = SLOTx_LED_OFFSET + SLOTx_LED_WIDTH - 9 - SLOTx_AFE_WIDTH$$

開始ポイントよりも前の時点に AFE オフセットを設定すると、将来に積分を実行するのと同じ結果が得られます。AFE は、まだ発生していない LED パルスに対応する結果を積分することはできません。したがって、 $SLOTx_AFE_OFFSET$ の値を $AFE_OFFSET_STARTING_POINT$ の値よりも小さくするのは、誤った設定と言えます。このような結果は、TIA を流れる電流が想定とは逆方向であることを意味します。つまり、LED パルスを印加すると、TIA に電流が流入するのではなく、TIA から電流が流出することになります。

ほとんどの設定で、 $SLOTx_AFE_WIDTH$ が $SLOTx_LED_WIDTH$ よりも 1 μ s 広いことが原因で、 $AFE_OFFSET_STARTING_POINT$ の値は、 $SLOTx_LED_OFFSET$ の値よりも 10 μ s 小さくなります。この値が $SLOTx_LED_OFFSET - 10$ よりも小さい場合は問題があります。最適な AFE オフセットは、 $AFE_OFFSET_STARTING_POINT$ の値よりも後の時点で発生します。バンド・パス・フィルタへの応答、LED への応答、フォトダイオードへの応答は、いずれもある程度の遅延を加算することになります。一般的に、部品の選択、ボードのレイアウト、 $SLOTx_LED_OFFSET$ 、および $SLOTx_LED_WIDTH$ は、 $SLOTx_AFE_OFFSET$ の値に変化をもたらす可能性のある変数です。特定の設計を確定した後、 $SLOTx_AFE_OFFSET$ の値は固定されるので、さらに最適化を実行する必要はありません。

AFE 位置の掃引

タイム・スロット A とタイム・スロット B の AFE オフセットはそれぞれ、レジスタ 0x39 とレジスタ 0x3B のビット [10:0] で制御します。各 LSB は、32 MHz の 1 サイクル (31.25ns) を表します。これらのレジスタは、31.25 ns ステップの 2^{11-1} 倍の長さを

指すと考えることができます。または、レジスタの値をビット単位に分解し、AFE のおおまかな設定値として、ビット [10:5] が約 1 μ s のステップに相当し、ビット [4:0] が 31.25 ns のステップに相当すると考えることもできます。オフセットを最適化するうえで推奨される方法は、開始ポイントから AFE の位置を掃引し、局所的な最大値を見つけることです。このテストのセットアップ方法を使用すれば、静的な方法でフォトダイオードの範囲内で LED を点灯できます。このテストは通常、固定された距離に反射面を設置して実施します。次に、AFE の位置を掃引すれば、出力レベルの変化を見つけることができます。AFE の位置を調整する場合、31.25 ns のステップを使用して位置を掃引することが重要です。通常、ほとんどのシステムでは、局所的な最大値は開始ポイントから 2 μ s 以内の時点に存在します。図 22 に、AFE 掃引の一例を示します。ここで、x 軸上の 0 は、すでに定義されている AFE の開始ポイントを表しています。図 22 の各データ・ポイントは、 $SLOTx_AFE_OFFSET$ の 31.25 ns ステップに対応します。この例では $SLOTx_AFE_OFFSET$ の最適な位置は、AFE の開始ポイントから 0.687 μ s 離れた時点になります。

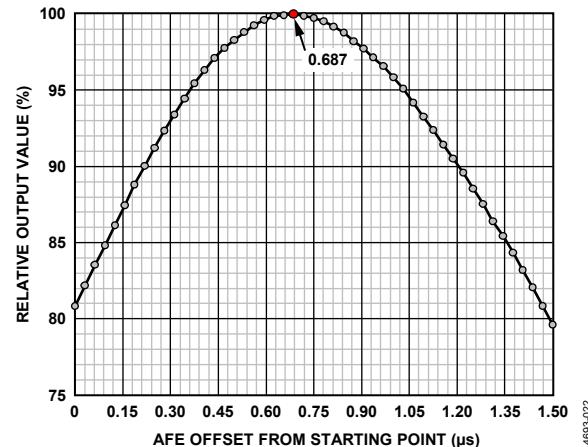


図 22. AFE 掃引の例

表 15 に、最適化を行った後の LED パルス幅と AFE 積分幅の代表的な値を示します。通常、AFE 掃引方法による検証を最初に行わずに、表 15 に示されている $SLOTx_AFE_OFFSET$ の値を使用することは推奨されません。LED パルス幅の新しい値を使用するたび、また ADPD105/ADPD107 を採用した新しいハードウェア・セットを製作するたびに、この手順を繰り返します。最大の精度を達成するには、AFE の掃引より先に、32 MHz クロックの補正を行うことを推奨します。

表 15. AFE ウィンドウの設定

LED Register 0x30 or Register 0x35	AFE Register 0x39 or Register 0x3B	Comment
0x0219	0x1A08	2 μ s LED pulse, 3 μ s AFE width, 25 μ s LED delay
0x0319	0x21FE	3 μ s LED pulse, 4 μ s AFE width, 25 μ s LED delay

I²C シリアル・インターフェース

ADPD105 は、SDA (データ) ピンと SCL (クロック) ピンを通じて、シリアル・インターフェースをサポートしています。すべての内部レジスタは、この I²C インターフェース経由でアクセスします。ADPD105 は I²C 専用デバイスであり、SPI をサポートしていません。

ADPD105 は、NXP Semiconductors から出版された *UM10204 I²C-Bus Specification and User Manual*、Rev. 05-9 October 2012 に準拠しています。この製品は、高速モード (400 kbps) のデータ転送をサポートしています。レジスタの読み出しと書き込みは、図 23 に示す方法でサポートされています。図 2 に、I²C インターフェースのタイミング図を示します。

スレーブ・アドレス

デバイスに対応する、デフォルトの 7 ビット I²C スレーブ・アドレスは 0x64 であり、その後に R/W ビットが続きます。書き込みの場合、デフォルトの I²C スレーブ・アドレスは 0xC8 です。読み取りの場合、デフォルトの I²C アドレスは 0xC9 です。スレーブ・アドレスは、レジスタ 0x09 のビット [7:1] に書き込む方法で設定できます。複数の ADPD105 デバイスが同じバス・ライン上に存在する場合、GPIO0 ピンと GPIO1 ピンを使用して、アドレスの変更に対してどちらのデバイスが対応するかを選択できます。レジスタ 0x0D を使用すれば、特定のデバイスでアドレスの変更を有効にするためのキーを選択できます。複数の ADPD105 デバイスを同じ I²C バス・ラインに接続している状況で、スレーブ・アドレスを変更するには、以下の手順に従ってください。

1. 使用しているキーに応じて、GPIO0 ピンと GPIO1 ピンの一方または両方の入力バッファを有効にするには、レジスタ 0x4F を使用します。。
2. アドレスを変更する必要があると識別されたデバイスで、GPIO0 ピンや GPIO1 ピンをハイまたはローに設定し、使用するキーに一致させることができます。
3. 希望する機能に合わせたレジスタ 0x0D のビット [15:0] を使用して、SLAVE_ADDRESS_KEY のビットを書き込みます。許可されるキーを表 29 に示します。

表 16. I²C 用語の定義

Term	Description
SCL	Serial clock.
SDA	Serial address and data.
Master	The master is the device that initiates a transfer, generates clock signals, and terminates a transfer.
Slave	The slave is the device addressed by a master. The ADPD105 operates as a slave device.
Start (S)	A high to low transition on the SDA line while SCL is high; all transactions begin with a start condition.
Start (Sr)	Repeated start condition.
Stop (P)	A low to high transition on the SDA line while SCL is high. A stop condition terminates all transactions.
ACK	During the acknowledge or no acknowledge clock pulse, the SDA line is pulled low and remains low.
NACK	During the acknowledge or no acknowledge clock pulse, the SDA line remains high.
Slave Address	After a start (S), a 7-bit slave address is sent, which is followed by a data direction bit (read or write).
Read (R)	A 1 indicates a request for data.
Write (W)	A 0 indicates a transmission.

4. レジスタ 0x09 のビット [7:1] を使用して、希望の SLAVE_ADDRESS ビットを書き込みます。レジスタ 0x09 のビット [7:1] への書き込みを行う際に、レジスタ 0x09 のビット [15:8] に 0xAD を書き込みます。レジスタ 0x0D への書き込みの直後に、レジスタ 0x09 に書き込む必要があります。
5. SLAVE_ADDRESS を変更する必要のあるすべてのデバイスで、ステップ 1 ~ 4 を繰り返します。
6. 各デバイスで新しい SLAVE_ADDRESS を使用して通常動作を実行するため、必要に応じて GPIO0 ピンと GPIO1 ピンを設定します。

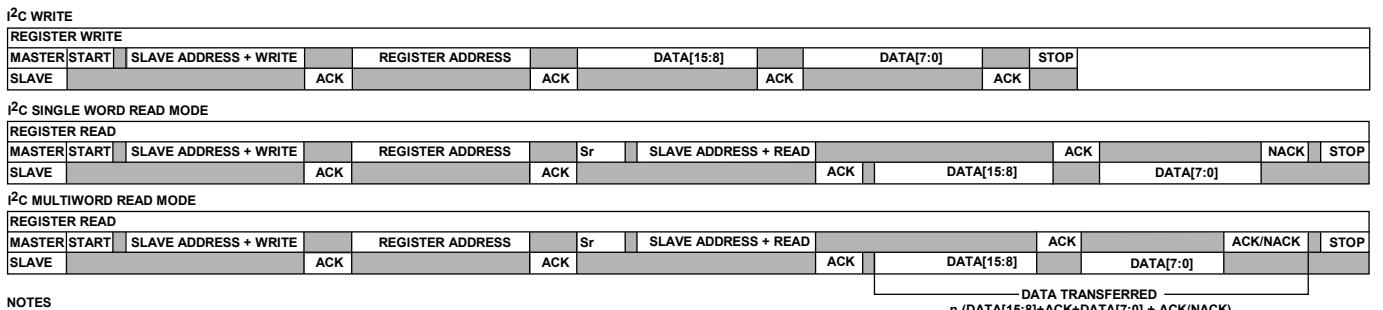
I²C 読出し動作と書き込み動作

図 23 に、ADPD105 の I²C 書込み動作と読み出し動作を示します。シングルワード書き込みとマルチワード読み取りの各動作がサポートされています。単一レジスタの読み出しの場合、2 番目のデータ・バイトを読み出した後、ホストは NACK (ノー・アクノレッジ) を送信します。この場合、アクセスするごとに新しいレジスタ・アドレスが必要です。

マルチワード動作の場合、最後のワードの最終バイトを読み出すまで、各データ・バイト・ペアに続いて、ホストからアクノレッジが送信されます。ホストは、ノー・アクノレッジを送信する方法で、最後のワード読み出しが行われたことを示します。FIFO (レジスタ 0x60) から読み出す場合、データは FIFO 内の次のアドレスへ自動的に進み、すでに読み出したスペース (アドレス) は解放されます。FIFO 以外のアドレスから読み出す場合、レジスタ・アドレスは次のアドレスへ自動的に進みます。ただし、レジスタ 0x5F とレジスタ 0x7F は例外で、アドレスが自動的にインクリメントしません。この自動インクリメントにより、複数のレジスタを順に読み出す場合のオーバーヘッドが低下します。

レジスタ書き込みはいずれもシングルワードのみで、16 ビット (1 ワード) のデータが必要です。

ソフトウェア・リセット (レジスタ 0x0F のビット 0) により、アクノレッジが返されます。その後、デバイスはスタンバイ・モードに戻り、すべてのレジスタがデフォルト状態になります。

図 23. I²C 読出し動作と書き込み動作

SPI ポート

ADPD107 は SPI 専用デバイスです。このデバイスは、I²C インターフェースをサポートしていません。SPI ポートは 4 線インターフェースを使用します。このポートは、CS、MOSI、MISO、SCLK の各信号で構成されており、常にスレーブ・ポートとして動作します。CS はトランザクションを開始する際にローになります。トランザクションを終了する際にハイになります。SCLK 信号はローからハイに遷移するときに、MOSI をラッピします。MISO データは SCLK の立下がりエッジでデバイスからシフト出力されます。また、SCLK の立上がりエッジでは、マイクロコントローラのような受信デバイスに対してクロックを供給する必要があります。MOSI 信号はシリアル入力データを伝送し、MISO 信号はシリアル出力データを伝送します。MISO 信号は、読み出し動作が要求されるまでスリー・ステート (Z) を維持します。この結果、他の SPI 互換ペリフェラルが同じ MISO ラインを共有できます。すべての SPI トランザクションは、表 17 に示す共通の基本フォーマットを使用します。タイミング図を図 3 に示します。どのデータも、MSB ファーストで書き込みます。

表 17. 全般的な制御ワード・シーケンス

Byte 0	Byte 1	Byte 2	Subsequent Bytes
Address[6:0], W/R	Data[15:8]	Data[7:0]	Data[15:8], Data[7:0]

SPI トランザクションで最初に書き込まれるバイトは、7 ビットのアドレスです。これは、アクセスしようとするアドレスの場所を表しており、その後に W/R ビットが続けます。このビットで、通信が書き込み（ロジック・レベル 1）または読み取り（ロジック・レベル 0）のどちらであるかを決定します。この結果を表 18 に示します。

表 18. SPI アドレスと Write/R のバイト・フォーマット

Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7
A6	A5	A4	A3	A2	A1	A0	W/R

一般的に SPI 通信スレーブ・ポートのフォーマットは、SPI モード 3 として知られています。ここでは、クロック極性 (CPOL) = 1、クロック位相 (CPHA) = 1 です（図 24 を参照）。クロックの基本値は 1 です。データはクロックの立上がりエッジでキャプチャされ、立下がりエッジで伝搬されます。

SPI スレーブ・ポートの最大読み出し／書き込み速度は 10 MHz です。

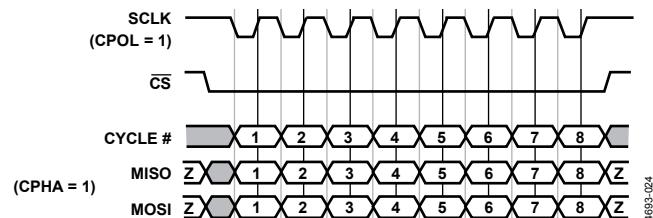


図 24. SPI スレーブ・ポートのクロック極性と位相 (CPOL = 1、CPHA = 1)

単一のレジスタに対するマルチワード SPI 書込み動作のサンプル・タイミング図を図 25 に示します。シングルワード SPI 読出し動作のサンプル・タイミング図を図 26 に示します。MISO ピンは、有効な \overline{R} ビットを受信した後、3 ステート (Z) から、駆動される状態に遷移します。この例では、バイト 0 はアドレスと W/R ビットで構成されており、それ以降のバイトはデータを伝送します。マルチワード SPI 読出し動作のサンプル・タイミング図を

図 27 に示します。図 25～図 27 では、SCLK の立上がりエッジを上向きの矢印で示し、この立上がりエッジでデータ・ラインがサンプリングされることを表しています。

0x5F、0x60 (FIFO)、0x7F の各アドレスを除き、マルチワードの読み取りまたは書き込みを行う場合、データ・アドレスは後続のトランザクションに備えて、次の連続アドレスへ自動的にインクリメントします。

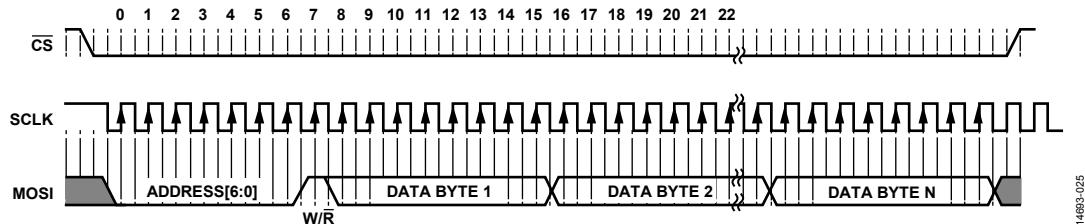


図 25. SPI スレーブ書き込み用のクロック供給 (バースト書き込みモード、N バイト)

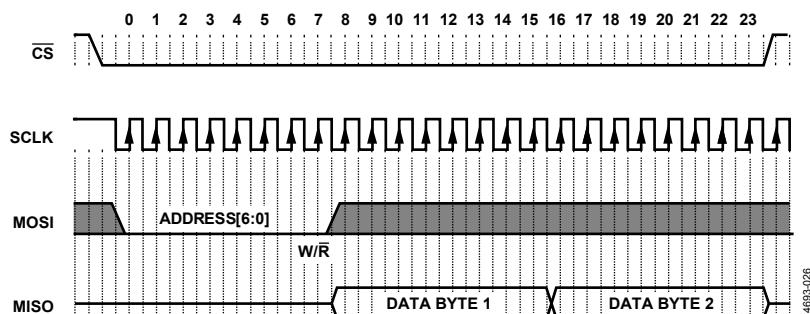


図 26. SPI スレーブ読み出し用のクロック供給 (シングルワード・モード、2 バイト)

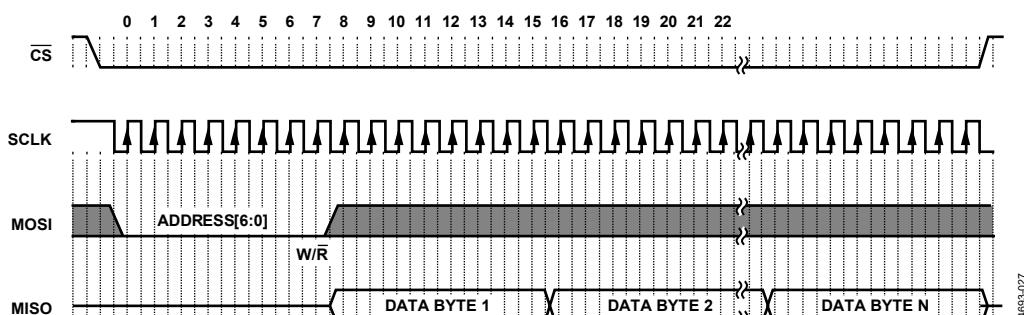


図 27. SPI スレーブ読み出し用のクロック供給 (バースト読み出しモード、N バイト)

代表的な接続図

図 28 に、緑の LED と ADPD105 を採用し、手首での心拍測定で使用する代表的な回路を示します。1.8 V I²C の通信ラインである SCL と SDA、および GPIO0 と GPIO1 の各ラインは、システムのマイクロプロセッサまたはセンサー・ハブに接続します。I²C 信号に対して、1.8 V または 3.3 V の電源に接続したプルアップ抵抗を追加することもできます。GPIO0 と GPIO1 の各信号と互換性があるのは 1.8 V 電源のみであり、これらの信号でレベル変換器が必要になることがあります。図 28 に示す回路は、ADPD107 でも同様に利用できますが、その場合は I²C インターフェースを SPI で置き換える必要があります。

1.8 V 電源である V_{DD} を AVDD と DVDD に供給します。表 3 に規定されており、LED ドライバのピンと LED 電源電圧セクションで計算方法を示すピーク電流要件に従う、標準的なレギュレータ回路を LED 電源として使用します。

最善のノイズ特性を達成するには、AGND、DGND、LGNDのすべてを束ね、グラウンド・プレーン、グラウンド・ポア、太いグラウンド・パターンのように、面積の広い導体面に接続します。

使用するフォトダイオードや LED の数は、アプリケーションだけでなく、必要なダイナミック・レンジと SNR によっても異なります。例えば、単一の大きいフォトダイオードを使用するアプリケーションでは、複数の入力間で電流を分割する方法で、ダイナミック・レンジを広げることができます。電流がデバイスの4個のチャンネルに均等に分割されるように、フォトダイオードのアノードを PD1-2 と PD3-4 の両方のチャンネルに接続すると、単一チャンネルの構成に比べてダイナミック・レンジを実質的に4倍に広げることができます。代わりに、フォトダイオードが小型の場合や、信号が大きく減衰している場合、フォトダイオードを PD1-2 入力のみに接続し、必要とされるダイナミック・レンジの正確な幅に基づいてデバイスを 1 チャンネル・モードまたは 2 チャンネル・モードに設定することで、SNR を最大化できます。フォトダイオードのアノードは常に、PD1-2 と PD3-4 の各入力ピンに接続されます。一方、フォトダイオードのカソードは、PDC ピンに接続されます。どちらか 1 つの入力のみを使用する場合、デバイスが正しく動作するように、未使用の入力をフロート状態のままにしておくことが重要です。

図 29 と図 30 に、ADPD105 と ADPD107 のそれぞれで推奨される接続図とプリント回路基板 (PCB) のレイアウトを示します。サンプリング期間中、電流入力ピンである PD1-2 と PD3-4 には、代表値で 1.3 V の電圧が印加されます。スリープ期間中、これらのピンはカソード・ピンに接続されます。カソードとアノードの各電圧を表 3 に示します。

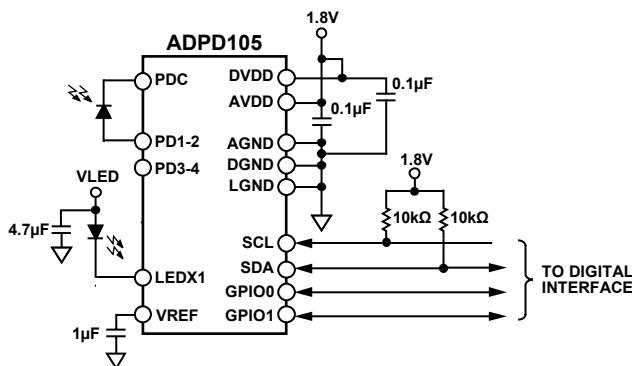


図 28. 代表的な手首型の HRM (心拍モニタ) 測定

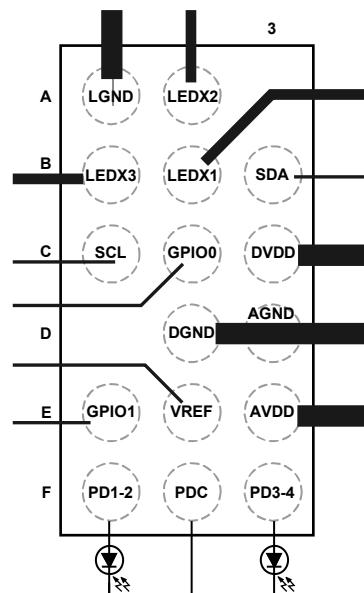


図 29. ADPD105 の接続と PCB レイアウトの図（上面図）

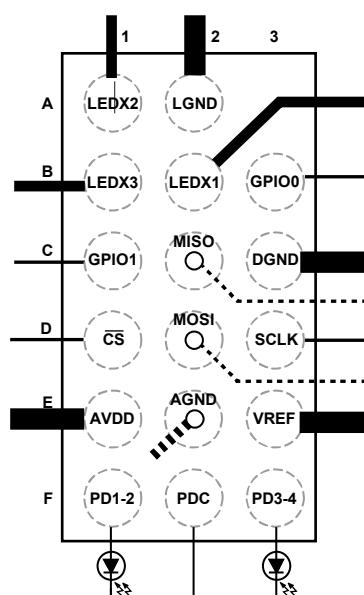


図 30. ADPD107 の接続と PCB レイアウトの図（上面図）、
破線のパターンは外部から見えないビアを経由

LED ドライバのピンと LED 電源電圧

LEDX1、LEDX2、LEDX3 の各ピンには、3.6 V の絶対最大定格の電圧が印加されています。この定格を超過する電圧を印加した場合でも、デバイス動作の信頼性に影響を与え、特定の状況ではデバイスが正常に動作しなくなる場合があります。LEDx ピンの電圧と LED の供給電圧 (V_{LEDx}) を混同しないでください。 V_{LEDx} は外部 LED のアノードに印加される電圧で、LEDX x ピンは内部電流ドライバへの入力です。これらのピンは外部 LED のカソードに接続されます。

LED ドライバの動作

ADPD105/ADPD107 の LED ドライバは、電流シンク型です。設定した LED 電流を維持するうえで、グラウンドを基準としてドライバ・ピンで測定する場合、必要とされるコンプライアンス電圧は、必要な電流の関数で表現されます。図 12 に、さまざまな LED のおおまかな設定値で必要とされるコンプライアンス電圧の代表値を示します。図 31 に、ADPD105/ADPD107 を LED ドライバ経由で LED に接続する場合の基本的な回路図を示します。平均電流の決定と CVLED の決定のセクションで、バイパス・コンデンサ (C_{VLED}) と LED の供給電圧 (V_{LEDx}) の要件を定義します。

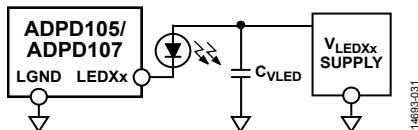


図 31. V_{LEDx} 給電の回路図

平均電流の決定

ADPD105/ADPD107 は、短い連続パルスで LED を駆動します。図 32 に、パルス・バースト・シーケンスに関する ADPD105/ADPD107 の代表的な設定を示します。

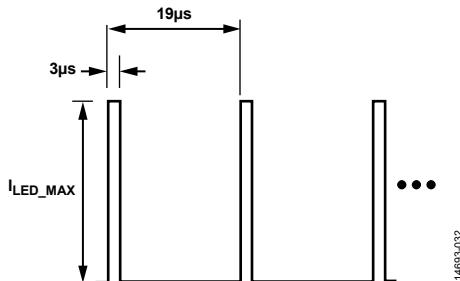


図 32. LED パルス・バースト・シーケンスの代表的な設定

この例では、LED パルス幅 t_{LED_PULSE} は 3 μs、LED パルス期間 t_{LED_PERIOD} は 19 μs です。この LED は緑色の LED で形成されたペアで、250 mA ピークの電流で駆動されます。 C_{VLED} の目的は、個別のパルスの間で LED のバッファとして機能することにあります。ワースト・ケースのシナリオでは、図 32 に示すパルス系列が短いパルスの連続シーケンスとして発生し、 V_{LEDx} 電源が平均電流を供給する必要があります。したがって、次のように $I_{LED_AVERAGE}$ を計算します。

$$I_{LED_AVERAGE} = (t_{LED_PULSE}/t_{LED_PERIOD}) \times I_{LED_MAX} \quad (1)$$

ここで

$I_{LED_AVERAGE}$ は、パルス期間中に V_{LEDx} 電源から供給する必要のある平均電流になります。これは、 V_{LEDx} の定格電源電流でもあります。

I_{LED_MAX} は、LED を流れるピーク電流の設定値です。

式 1 に示した数値を使用すると、 $I_{LED_AVERAGE} = 3/19 \times I_{LED_MAX}$ になります。代表的な LED タイミングでは、 V_{LEDx} の平均電源電流は $3/19 \times 250 \text{ mA} = 39.4 \text{ mA}$ となり、 V_{LEDx} 電源が 40 mA の DC 電流をサポートする必要があることを示しています。

C_{VLED} の決定

C_{VLED} コンデンサの値を決定するには、LED 動作中の最大順方向バイアス電圧である $V_{FB_LED_MAX}$ を決定する必要があります。図 33 に示すように、LED 電流 I_{LED_MAX} を $V_{FB_LED_MAX}$ に変換します。この例では、並列接続された緑色の LED 2 個を通過する 250 mA の電流から、 $V_{FB_LED_MAX} = 3.95 \text{ V}$ という値が得られます。LED パス内にあるすべての直列抵抗成分も、この電圧計算に含める必要があります。LED パスを設計する際は、LED を流れるピーク電流が非常に大きくなることが原因で、抵抗成分が小さくても電圧降下が大きくなる可能性があることに注意してください。さらに、これらの抵抗成分は、 V_{LED} 電源に不要な制約を課す可能性があります。

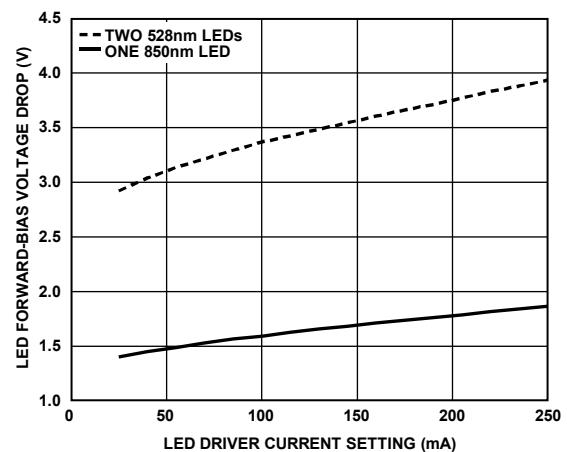


図 33. ドライバ電流の関数として表現した LED 順方向バイアス電圧降下の平均値の例

C_{VLED} コンデンサのサイズを正しく設定するには、コンデンサの枯渇を避け、LED へのパルス供給を行っている間、コンデンサの電圧が LED の順方向バイアス電圧を下回らないように設定してください。 V_{LED} バイパス・コンデンサの最小値を計算するには、次の式を使用します。

$$C_{VLED} = \frac{t_{LED_PULSE} \times I_{LED_MAX}}{V_{LED_MIN} - (V_{FB_LED_MAX} + 0.2)} \quad (2)$$

ここで

t_{LED_PULSE} は、LED パルス幅。

I_{LED_MAX} は、デバイスを動作させる際に使用する LED の最大順方向バイアス電流。

V_{LED_MIN} は、無負荷時に V_{LEDx} 電源から供給される最小電圧。

$V_{FB_LED_MAX}$ は、LED が I_{LED_MAX} を実現するために必要とされる最小順方向バイアス電圧。

C_{VLED} の式における分子から、バイパス・コンデンサから放電される合計電荷をクーロン単位で表した値が計算されます。この値は設定済みの LED シングル・パルスを最大電流で供給するためには必要となります。分母は、LED で必要とされる電圧と V_{LEDx} 電源の最小電圧の間の差を表します。LED で必要となる電圧とは、LED ドライバの 0.2 V のコンプライアンスや、最大電流で動作する LED の順方向バイアス電圧を実現する、LED のアノード電圧を意味します。ADPD105/ADPD107 の代表的な例では、 V_{LEDx} 電源電圧の最小値が 4.4 V であり、2 個の 528 nm LED を並列接続した場合のピーク電流が 250 mA であることを想定しています。 C_{VLED} の最小値は、3 μ F です。

$$C_{VLED} = (3 \times 10^{-6} \times 0.250) / (4.4 - (3.95 + 0.2)) = 3 \mu\text{F} \quad (3)$$

式 3 に示すように、電源の最小電圧降下は最大アノード電圧に近い値なので、 C_{VLED} に対する要件はより厳しくなり、コンデンサの値がより大きくなる傾向を招きます。式 1、式 2、式 3 に正しい値を挿入することが重要です。例えば、 V_{LED_MIN} のワースト・ケース値の代わりに V_{LED_MIN} の平均値を使用すると、設計に重大な欠陥が生じる可能性があります。その結果、 C_{VLED} の値が過度に小さくなり、アプリケーションで光パワーが不足する可能性があります。したがって、 C_{VLED} の値に十分なマージンを追加することを強く推奨します。また、部品の寿命全体にわたる電圧、バイアス、温度、その他の係数に対するコンデンサ値のディレーティングを考慮し、 C_{VLED} に対するマージンも追加してください。

LED のインダクタンスに関する考慮事項

ADPD105/ADPD107 の LED ドライバ (LED Xx) で、スルー・レートを設定できます (レジスタ 0x22 のビット [6:4]、レジスタ 0x23 のビット [6:4]、およびレジスタ 0x24 のビット [6:4])。これらのスルー・レートは、表 3 で定義されています。最小の設定値を使用する場合でも、ボードの設計とレイアウトを注意深く考慮する必要があります。LED のカソードと LED X ピンの間に、長い PCB パターンのような大きい直列インダクタを接続する場合、LED パルスのスルー部分が発生している間に、スイッチングされたインダクタで電圧スパイクが発生し、絶対最大/最小電圧の限界を超える可能性があります。

寄生インダクタンスに起因する電圧スパイクが LED Xx ピンで発生しないことを確認するには、オシロスコープを使用して LED Xx ピンを測定し、通常動作時の電圧をモニタします。3.6 V を上回る正のスパイクは、デバイスの損傷を招く可能性があります。

さらに、-0.3 V を下回る負のスパイクも、デバイスの損傷を招く可能性があります。

推奨されるスタートアップ・シーケンス

図 18 に示すように、パワーアップ時にデバイスはスタンバイ・モードになります (レジスタ 0x10 = 0x0)。ADPD105/ADPD107 では、特定のパワーアップ・シーケンスは必要ありません。

スタンバイ・モードから測定を開始するには、次のように ADPD105/ADPD107 を初期化します。

1. CLK32K_EN ビット (レジスタ 0x4B のビット 7) をセットし、サンプリング・クロック (32 kHz クロック) を開始します。このクロックは、ステート・マシンを制御します。このクロックをオフにすると、ステート・マシンはレジスタ 0x10 の定義に従って遷移できません。
2. レジスタ 0x10 に 0x1 を書き込み、デバイスを強制的にプログラム・モードに移行します。ステップ 1 とステップ 2 を入れ替えることもできますが、両方のステップを実施するまで、実際のステート遷移は発生しません。
3. デバイスがプログラム・モードにある間、他の制御レジスタに対して任意の順序で書き込みを行い、必要に応じてデバイスを設定します。
4. レジスタ 0x10 に 0x2 を書き込み、通常のサンプリング動作を開始します。

通常の動作を終了するには、以下のシーケンスに従って ADPD105/ADPD107 をスタンバイ・モードに移行します。

1. レジスタ 0x10 に 0x1 を書き込み、デバイスを強制的にプログラム・モードに移行します。
2. デバイスがプログラム・モードにある間、任意の順序でレジスタに書き込みを行います。
3. レジスタ 0x00 に 0x00FF を書き込み、すべての割込みをクリアします。必要な場合、レジスタ 0x00 に 0x80FF を書き込む方法で、FIFO もクリアします。
4. レジスタ 0x10 に 0x0 を書き込み、デバイスを強制的にスタンバイ・モードに移行します。
5. 代わりに、CLK32K_EN ビット (レジスタ 0x4B のビット 7) をリセットして、32 kHz クロックを停止することもできます。デバイスがスタンバイ・モード (レジスタ 0x10 = 0x0) で、実行する必要がある書き込みはレジスタ 0x4B のビット 7=0 のみです。プログラム・モードまたは通常動作モードで、このビットに 0 を書き込むと、スタンバイ・モードを含め、他のどのモードにもデバイスを遷移することができません。これ以降にデバイスに対して書き込みを行い、モードの遷移を実行する場合も、この制限が適用されます。その結果、スタンバイ・モードのように見受けられる状態で、消費電力が大幅に増加します。この理由以外にも、32 kHz クロックが動作している間も電流の引き込み量は非常に小さいため、使いやすさの観点から、32 kHz クロックが有効になった後、このクロックを引き続き動作させることを推奨します。

データの読出し

サンプル・データにアクセスできるように、ADPD105/ADPD107 には、複数の方法を用意しています。FIFO またはデータ・レジスタを使用してデータにアクセスできるように、各タイム・スロットを個別に設定できます。また、適切な時期に簡単にデータにアクセスできるように、割込み信号を使用する方法も利用できます。FIFO を使用すれば、データ・アクセスに関するシステムのタイミング要件を緩和することもできます。

FIFO を使用したデータの読出し

ADPD105/ADPD107 は 128 バイトの FIFO メモリ・バッファを搭載しているので、一方または両方のタイム・スロットから取得し

たデータを格納するように、この FIFO を設定することもできます。どの種類のデータを各タイム・スロットから取得して FIFO に書き込むか選択するには、レジスタ 0x11 を使用します。両方のタイム・スロットが FIFO を使用するように設定することもできますが、両者の出力データ・レートが等しい場合のみ、この設定を使用できることに注意してください。

$$\text{出力データ・レート} = f_{\text{SAMPLE}}/N$$

ここで

f_{SW} は、サンプリング周波数。

N は、各タイム・スロットの平均化の係数 (N_A はタイム・スロット A、 N_B はタイム・スロット B に対応)。言い換えると、両方のタイム・スロットから取得したデータを FIFO に格納するには、 $N_A = N_B$ が成立している必要があります。

データ・パケットは、出力データ・レートで FIFO に書き込まれます。 FIFO に書き込むデータ・パケットは、有効になっている各タイム・スロットに対応するサンプル全体で形成されています。各フォトダイオード・チャンネルに対応するデータは、16 ビットと 32 ビットのどちらかで格納されます。モードとデータ・フォーマットに応じて、各タイム・スロットはサンプルあたり 2、4、8、16 バイトいずれかのデータを格納できます。データ・パケットが損傷していないことを確認するため、パケット全体を書き込む空き容量が十分にある場合のみ、新しいデータが FIFO に書き込まれます。十分な空き容量がないときに到着したデータは失われます。十分な空き容量が存在する場合、 FIFO はデータの格納を続けます。データ・パケットが損傷していないことを確認するため、必ず完全なパケットを単位として FIFO データの読み出しを行ってください。

FIFO 内に現在格納されているバイト数は、レジスタ 0x00 のビット [15:8] で確認できます。専用の FIFO 割込みを利用することもでき、指定した量のデータが FIFO に書き込まれた時点での自動的に割込みが生成されます。

割込みベースの方法

割込みベースの方法を使用して FIFO からデータを読み出すには、次の手順を使用します。

1. プログラム・モードで、必要に応じてタイム・スロットを設定します。
2. レジスタ 0x11 に、各タイム・スロットで希望するデータ・フォーマットを書き込みます。
3. レジスタ 0x06 のビット [13:8] にある FIFO_THRESH を、割込み閾値に設定します。ここで推奨される値は、データ・パケット内にある 16 ビット・ワードの個数から 1 を引いた値です。この場合、FIFO 内に少なくとも完全なパケットを 1 個格納できる空き容量が存在する時点で、割込みが生成されます。
4. FIFO 割込みを有効にするには、レジスタ 0x01 のビット 8 にある FIFO_INT_MASK に 0 を書き込みます。さらに、レジスタ 0x02 内の各ビットに適切な値を書き込む方法で、割込みピン (GPIO0) も設定します。
5. レジスタ 0x10 を 0x2 に設定して、通常の動作モードに移行します。

6. 割込みが発生した場合

- a. 完全なパケットが 1 個以上存在する場合のみ、割込みが生成されるため、FIFO_SAMPLES ビットを読み出す必要はありません。代わりに、割込みルーチンがこれらのビットを読み出す方法により、利用可能なパケットが複数あるかどうか確認することもできます。
- b. レジスタ 0x60 を使用してマルチワード・アクセスを 1 回以上行う方法で、完全なパケットを読み出します。 FIFO の読み出しを行うと、該当する領域が自動的に解放され、新しいサンプルを格納できるようになります。

FIFO からデータを読み出した直後に FIFO の割込みが自動的にクリアされます。また、 FIFO への書き込みが行われ、 FIFO 内のワード数が閾値に達した時点でのみ、割込みが再び設定されます。

ポーリングによる方法

ポーリングによる方法を使用して FIFO からデータを読み出すには、次の手順を使用します。

1. プログラム・モードで、必要に応じてタイム・スロットを設定します。
2. レジスタ 0x11 に、各タイム・スロットで希望するデータ・フォーマットを書き込みます。
3. レジスタ 0x10 を 2 に設定して、通常の動作モードに移行します。

次に、ポーリング動作を開始します。

1. ポーリング間隔が経過するまで待ちます。
2. FIFO_SAMPLES ビット (レジスタ 0x00 のビット [15:8]) を読み出します。
3. FIFO_SAMPLES ≥ パケット・サイズである場合、次の手順を使用してパケットを読み出します。
 - a. レジスタ 0x60 を使用してマルチワード・アクセスを 1 回以上行う方法で、完全なパケットを読み出します。 FIFO の読み出しを行うと、該当する領域が自動的に解放され、新しいサンプルを格納できるようになります。
 - b. ステップ 1 を繰り返します。

モード変更が必要な場合や、通常のサンプリングに対して他の中断が必要な場合、 FIFO をクリアする必要があります。ステートをクリアし、 FIFO を空にするには、次の手順に従います。

1. レジスタ 0x10 を 0x1 に設定して、プログラム・モードに移行します。
2. レジスタ 0x00 のビット 15 に 1 を書き込みます。

割込みを使用したレジスタからのデータ読み出し

最新のサンプル・データは常にデータ・レジスタで利用でき、各タイム・スロットの終了と同時に更新されます。各フォトダイオード・チャンネルに対応するデータ値は、タイム・スロット A ではレジスタ 0x64 ~ レジスタ 0x67 にある 16 ビット値として利用できます。同様に、タイム・スロット B ではレジスタ 0x68 ~ レジスタ 0x6B にある 16 ビット値として利用できます。最大値に達することが許容される場合、レジスタ 0x64 ~ レジスタ 0x6B のクリップが実施されます。レジスタ 0x64 ~ レジスタ 0x6B が飽和している場合、タイム・スロット A ではレジスタ 0x70 ~ レジスタ 0x77、タイム・スロット B ではレジスタ 0x78 ~ レジスタ 0x7F で、各チャンネルに対応する飽和していない値(最大 27 ビット)を利用できます。レジスタが更新され、読み出しの準備ができた時点で、サンプルの割込みを利用できるようになります。特定のタイム・スロットに対応する割込みを使用するには、次の手順に従います。

1. サンプル割込みを有効にするには、レジスタ 0x01 の適切なビットに 0 を書き込みます。タイム・スロット A での割込みを有効にするには、ビット 5 に 0 を書き込みます。タイム・スロット B での割込みを有効にするには、ビット 6 に 0 を書き込みます。一方または両方の割込みを設定できます。
2. また、レジスタ 0x02 内の各ビットに適切な値を書き込む方法で、割込みピン (GPIO0) を設定します。
3. データ・レジスタが更新された時点で、割込みが生成されます。

4. 割込みハンドラは、次の作業を実行する必要があります。
 - a. レジスタ 0x00 を読み取り、ビット 5 またはビット 6 を参照して、どちらの割込みが発生したか確認します。どちらか一方の割込みのみを使用している場合、このステップは不要です。
 - b. 次のサンプルの書き込みが可能になる前に、データ・レジスタを読み出します。出力データ・レートに基づき、システム内で適切な割込み遅延を達成し、次のデータ更新が発生する前に応答できるほど十分短いサービス時間を実現する必要があります。
 - c. 割込みをクリアするには、レジスタ 0x00 のビット 5 またはビット 6 に 1 を書き込みます。

両方のタイム・スロットを使用している場合、タイム・スロット B の割込みを使用して、すべてのレジスタを読み出す準備ができたときに通知を行うことも可能です。データ・レジスタからデータを転送する目的で、マルチワード読出しを使用することが推奨されます。

割込みを使用しないレジスタからのデータ読み出し

システム割込みの応答が高速でないか十分な予測可能性を確保できないことが原因で、割込みベースの方法を使用できない場合や、割込みピン (GPIOx) を使用していない場合は、データ保持の機構を使用して信頼性の高いデータ・アクセスを実現できます。同じサンプリング時刻に複数のレジスタからデータを読み出すには、現在のデータを読み出している間にサンプルが更新されることを防止する必要があります。割込みのタイミングを使用せずにレジスタ読出しを行う方法は、次のとおりです。

1. アクセスする必要のあるタイム・スロットを対象にして、SLOTA_DATA_HOLD または SLOTB_DATA_HOLD (それぞれ、レジスタ 0x5F のビット 1 とビット 2) に 1 を書き込みます (両方のタイム・スロットにアクセスすることもできます)。この設定により、サンプルの更新が防止されます。
2. 必要に応じて、レジスタを読み出します。
3. すでにセットした SLOTA_DATA_HOLD または SLOTB_DATA_HOLD ビット (それぞれ、レジスタ 0x5F のビット 1 とビット 2) に 0 を書き込みます。サンプルの更新が再び許可されます。

読み出しを実施している間に新しいサンプルが到着する可能性があるので、この方法を採用すると、読み出し中のデータの一部が新しいサンプルによって上書きされる問題を防止できます。

クロックとタイミングの補正

ADPD105/ADPD107 は 2 つの内部タイム・ベースを使用して動作します。1 つは、サンプリングのタイミングを設定する 32 kHz クロックです。もう 1 つは、LED へのパルス供給やデータ・キャプチャのような内部機能のタイミングを制御する 32 MHz クロックです。どちらのクロックも内部で生成され、デバイス間で約 10 % (typ) の変動を示します。

心拍モニタ・アプリケーションでは、1 分あたりの心拍数を正確に測定するため、高精度のタイム・ベースが必要です。ADPD105/ADPD107 は、両方のクロックを対象にして、簡潔な補正手順を用意しています。

32 kHz クロックの補正

32 kHz クロックの補正を実施する場合、出力データ・レートに関連する項目の補正が行われます。心拍測定など高精度のデータ・レートを重視するアプリケーションでは、このクロックの補正が重要です。

32 kHz クロックの補正を行うには、次の手順に従ってください。

1. サンプリング周波数を、2000 Hz のようにシステムで処理できる最大値に設定します。32 kHz クロックはサンプリングのタイミングを制御するので、この周波数は GPIO0 ピンを通じて容易にアクセスできます。レジスタ 0x02 のビットに適切な値を書き込むことで、割込みを設定します。また、レジスタ 0x01 のビット 5 またはビット 6 に 0 を書き込むことで、サンプリング周波数で割込みが発生するように設定します。GPIO0 ピンをモニタします。割込み周波数は、設定済みのサンプリング周波数に一致する必要があります。
2. モニタ中の割込み周波数が、設定済みのサンプリング周波数を下回っている場合、CLK32K_ADJUST ビット (レジスタ 0x4B のビット [5:0]) を大きくします。モニタ中の割込み周波数が、設定済みのサンプリング周波数を上回っている場合、CLK32K_ADJUST ビットを小さくします。
3. モニタ中の割込み周波数が、設定済みのサンプリング周波数に十分近接するまで、ステップ b を繰り返します。

32 MHz クロックの補正

同様に、32 MHz クロックの補正を実施する場合、32 kHz クロックの補正がすでに実施されていることを前提として、LED パルス幅やパルス間隔など、サンプリング期間に関連する項目の補正が行われます。

32 MHz クロックの補正を行うには、次の手順に従ってください。

1. レジスタ 0x5F のビット 0 に 0x1 を書き込みます。
2. レジスタ 0x50 のビット 5 に 0x1 を書き込むことで、CLK_RATIO の計算を有効にします。この機能は、32 kHz クロックの 2 サイクル分を単位として、32 MHz クロックのサイクル数を数えます。この機能が有効になっている場合、このサイクルの値はレジスタ 0x0A のビット [11:0] に書き込まれます。この比率の公称値は 2000 (0x7D0) です。
3. 次のように、32 MHz クロックの誤差を計算します。

$$\text{クロック誤差} = 32 \text{ MHz} \times (1 - \text{CLK_RATIO}/2000)$$

4. 次の式に従って、レジスタ 0x4D のビット [7:0] を設定することで、周波数を調整します。

$$\text{CLK32M_ADJUST} = \text{クロック誤差} / 109 \text{ kHz}$$

5. レジスタ 0x50 のビット 5 に 0x0 を書き込み、CLK_RATIO 機能をリセットします。

必要な精度を達成できるまで、ステップ 2 ～ ステップ 5 を繰り返します。

レジスタ 0x5F のビット 0 に 0x0 を書き込みます。また、GPIO0 ピンを、通常の動作で必要とされるモードに対応する値に戻します。

GPIO0 と GPIO1 で利用できるオプションのタイミング信号

ADPD105/ADPD107 は、GPIO0 ピンと GPIO1 ピンを通じて、さまざまなタイミング信号を供給しています。この結果、システム同期が容易になり、柔軟性の高いトリガ・オプションを利用できるようになります。GPIOx ピンが他のドライバとバスを共有している場合、これらのピンの各ビットをオーブンドレイン出力として設定できます。代わりに、これらのピンが常にバスを駆動するように設定することもできます。タイミング信号をデフォルト状態から反転できるように、どちらの出力も極性制御の機能を備えています。

表 19. GPIOx 制御の設定値

Pin Name	Register[Bits]	Setting Description
GPIO0	0x02[0]	0: polarity active high 1: polarity active low
	0x02[1]	0: always drives the bus 1: drives the bus when asserted
	0x02[2]	0: disables the GPIO0 pin drive 1: enables the GPIO0 pin drive
GPIO1	0x02[8]	0: polarity active high 1: polarity active low
	0x02[9]	0: always drives the bus 1: drives the bus when asserted
	0x4F[6]	0: disables the GPIO1 pin drive 1: enables the GPIO1 pin drive

各種の利用可能なタイミング信号は、レジスタ 0x0B 内の設定値を使用して制御できます。このレジスタのビット [12:8] は、GPIO1 で利用できるタイミング信号を制御します。ビット [4:0] は、GPIO0 で利用できるタイミング信号を制御します。このデータシートに掲載されているタイミング信号はすべて、GPIO0 ピンと GPIO1 ピンのどちらか一方（または両方）で利用できます。タイミング図を図 34 と図 35 に示します。タイミング図を生成するために使用したタイム・スロットの設定を表 20 に示します。

表 20. 図 34 と図 35 に示すタイミング図で使用した ADPD105/ADPD107 の設定

Register	Setting	Description
0x31	0x0118	Time Slot A: 1 LED pulse
0x36	0x0418	Time Slot B: 4 LED pulses
0x15	0x0120	Time Slot A decimation = 4, Time Slot B decimation = 2

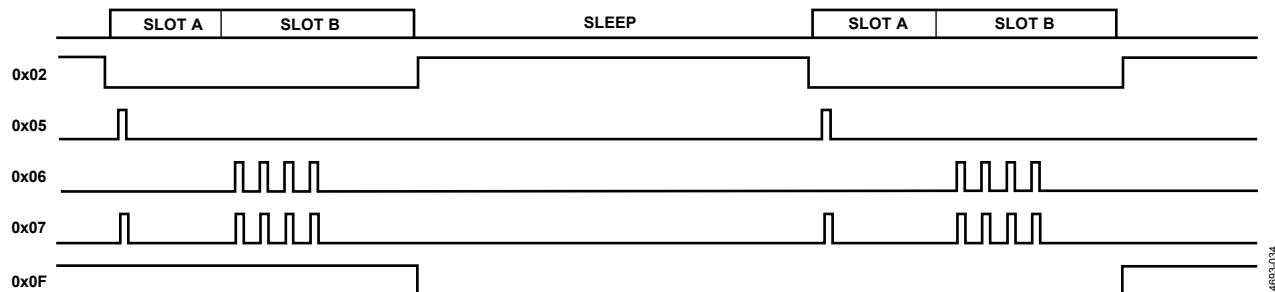


図 34. GPIOx で利用できるオプションのタイミング信号—レジスタ 0x0B のビット [12:8] またはビット [4:0] = 0x02、0x05、0x06、0x07、および 0x0F

14693-034

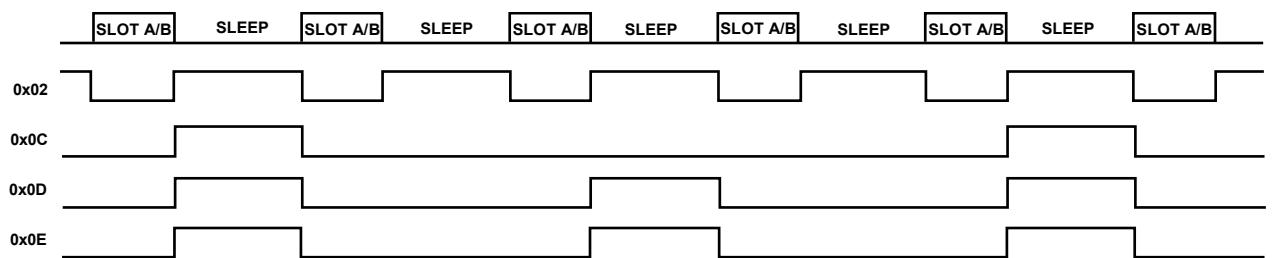


図 35. GPIOx で利用できるオプションのタイミング信号—レジスタ 0x0B のビット [12:8] またはビット [4:0] = 0x02、0x0C、0x0D、および 0x0E

14693-035

ADPD103 に対する下位互換性

レジスタ 0x0B=0 に設定すると、ADPD103 に対する下位互換性を確保できます。GPIO0 ピンは、ADPD103 の INT ピンの機能を反映するようになります。GPIO1 ピンは、ADPD103 の PDSO ピンの機能を反映するようになります。

割込み機能

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x01 に設定すると、該当するピンが、レジスタ 0x01 で設定されている定義に従って、割込み機能を実行するようになります。

サンプリングのタイミング

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x02 に設定すると、該当するピンが次のような信号を供給するようになります。この信号は、現在のサンプルの最初のタイム・スロット開始時にアサートされ、現在のサンプルの最後のタイム・スロット終了時にアサート解除されます。例えば、両方のタイム・スロットが有効な場合、この信号はタイム・スロット A の開始時にアサートされ、タイム・スロット B の終了時にアサート解除されます。どちらか一方のタイム・スロットのみが有効な場合、この信号は有効なタイム・スロットの開始時にアサートされ、同じタイム・スロットの終了時にアサート解除されます。

パルス出力

LED パルス出力のコピーを作成するには、3 つのオプションを利用できます。レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x05 に設定すると、タイム・スロット A の LED パルスをコピーしたものが、該当のピンに供給されます。レジスタ 0x06 を設定すると、タイム・スロット B のパルスが供給され、レジスタ 0x07 を設定すると、両方のタイム・スロットのパルスが供給されます。

出力データ・サイクル信号

出力データ・レジスタまたは FIFO に出力データがいつ書き込まれたか示す信号を供給する場合、3 つのオプションを利用できます。レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x0C に設定すると、タイム・スロット A にデータ値が書き込まれたことを示す信号が供給されます。レジスタ 0x0D を設定すると、タイム・スロット B にデータ値が書き込まれたことを示す信号が供給されます。レジスタ 0x0E を設定すると、どちらか一方のタイム・スロットに値が書き込まれたことを示す信号が供給されます。出力データがすでに書き込まれている場合、この信号は、該当するタイム・スロット終了時にアサートされ、それ以降のサンプリング開始時にアサート解除されます。FIFO を使用している場合、このタイミング信号は特に役立ちます。例えば、FIFO が、レジスタ 0x06 のビット [13:8] で設定した FIFO 閾値に達した時点で割込みを生成するように、一方の GPIOx ピンを設定できます。もう一方の GPIOx ピンは、出力データ・サイクル信号を供給するように設定できます。この信号を使用して、加速度センサーのような周辺機器をトリガすることもできます。その結果、時間整列された信号をプロセッサに供給できます。

f_s/2 出力

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x0F に設定すると、該当するピンが、サンプリング・レートの半分でトグルする信号を供給するようになります。このタイミング信号は、サンプルごとに 3 個以上の LED を必要とする状況などで役に立ちます。単一の LED ドライバに 2 個の LED を多重化するマルチプレクサに対して、この信号をセレクト信号として使用できます。その結果、サンプリング期間ごとに最大 4 個の LED を駆動できるようになります。このような状況で、ADPD105/ADPD107 はサンプリング・レートに比べて 2 倍の速度で動作し、サンプリングの合間のスリープ期間中に LED の設定を再変更できます。多重化の対象である複数の LED で同一の LED 設定（電流とタイミング）を使用する場合、ホストの介在なしで、サンプリング期間あたり最大 4 個の LED をサンプリングできます。この設定の例を図 36 に示します。

デバイスがスタンバイ・モードから通常動作モードに切り替わると、f_s/2 タイミング信号は必ずアクティブ・ロー状態から開始されます。その後、最初のサンプリングが完了した時点でのこの信号はハイの状態に遷移します。

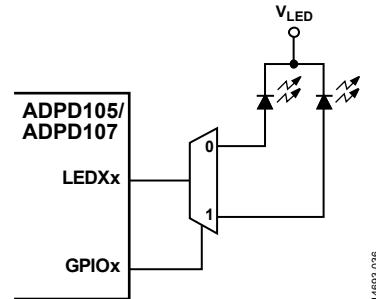


図 36. f_s/2 タイミング信号の使用例

ロジック 0 の出力

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x10 に設定すると、該当するピンがロジック 0 の出力を供給するようになります。

ロジック 1 の出力

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x11 に設定すると、該当するピンがロジック 1 の出力を供給するようになります。

32 kHz 発振器の出力

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x13 に設定すると、該当するピンがオンボードの 32 kHz 発振器のコピーを供給するようになります。

消費電流の計算

ADPD105/ADPD107 の消費電流は、選択した動作設定に基づき、次の式によって決定されます。

消費電力の計算

合計消費電力を計算するには、式 4 を使用します。

$$\text{合計電力} = I_{VDD_AVG} \times V_{DD} + I_{LEDA_AVG} \times V_{LEDA} + I_{LEDB_AVG} \times V_{LEDB} \quad (4)$$

V_{DD} からの平均電源電流

V_{DD} からの平均電源電流を計算するには、式 5 を使用します。

$$I_{VDD_AVG} = DR \times ((I_{AFE_A} \times t_{SLOTA}) + (I_{AFE_B} \times t_{SLOTB}) + Q_{PROC_X}) + I_{VDD_STANDBY} \quad (5)$$

ここで

DR は、Hz 単位のデータ・レート。

$I_{VDD_STANDBY} = 0.2 \mu\text{A}$

Q_{PROC_X} は、処理時間に対して次のように関連付けられる平均電荷です。

タイム・スロット A のみが有効な場合

$$Q_{PROC_A} (\text{C}) = 0.135 \times 10^{-6} + (186 \times 10^{-6} \times (2.69 \times 10^{-3} + (6.2 \times 10^{-3} / SCALE_A \times I_{LEDA_PK})) \quad (6)$$

タイム・スロット B のみが有効な場合

$$Q_{PROC_B} (\text{C}) = 0.135 \times 10^{-6} + (134 \times 10^{-6} \times (2.69 \times 10^{-3} + (6.2 \times 10^{-3} / SCALE_A \times I_{LEDA_PK})) \quad (7)$$

タイム・スロット A とタイム・スロット B が有効な場合

$$Q_{PROC_AB} (\text{C}) = 0.135 \times 10^{-6} + (206 \times 10^{-6} \times (2.69 \times 10^{-3} + (6.2 \times 10^{-3} / SCALE_A \times I_{LEDA_PK})) \quad (8)$$

$$I_{AFE_X} (\text{A}) = 3.0 \times 10^{-3} + (1.5 \times 10^{-3} \times NUM_CHANNELS) + (5.7 \times 10^{-3} / SCALE_X \times I_{LEDX_PK}) \quad (9)$$

$$t_{SLOTx} (\text{sec}) = LEDx_OFFSET + LEDx_PERIOD \times PULSE_COUNT \quad (10)$$

ここで

$NUM_CHANNELS$ は、アクティブなチャンネルの数。

I_{LEDX_PK} は、特定のタイム・スロットで有効になっている LED を流れる、アンペア単位のピーク LED 電流。Q_{PROC} の計算で、タイム・スロット A が有効になっているかどうかに関係なく、タイム・スロット A で動作するように設定された LED を流れる電流の関数として、処理中の電荷がスケール化されることに注意してください。このため、タイム・スロット A を使用しない場合でも、電力を節約するため、タイム・スロット A の LED を流れるピーク LED 電流を最小化するようしてください。

$SCALE_X$ は、以下の LEDX_DRV レジスタのビット 13 によって決定される LED 駆動電流のスケール・ファクタです。レジスタ 0x22、レジスタ 0x23、およびレジスタ 0x24。

$LEDx_OFFSET$ は、秒単位で表現される、パルス開始時刻のオフセット。

$LEDx_PERIOD$ は、秒単位で表現されるパルス期間。

$PULSE_COUNT$ はパルス数。

タイム・スロット A とタイム・スロット B のどちらかが無効になっている場合、該当するタイム・スロットで $I_{AFE_X} = 0$ になっています。さらに、デジタル統合モードで動作している場合、レジスタ 0x3C のビット [8:3] = 010010 に設定することで、電力を節約できます。この設定により、デジタル統合モードでバイパスされるバンドパス・フィルタが無効になります。その結果、AFE の消費電力に対する寄与が次のように変化します。

$$I_{AFE_X} (\text{mA}) = 3.0 \times 10^{-3} + (1.0 \times 10^{-3} \times NUM_CHANNELS) + (5.7 \times 10^{-3} / SCALE_X \times I_{LEDX_PK}) \quad (11)$$

V_{LEDA} からの平均電源電流

V_{LEDA} からの平均電源電流を計算するには、式 9 を使用します。

$$I_{LED_AVG_A} = SLOTA_LED_WIDTH \times I_{LEDA_PK} \times DR \times PULSE_COUNT \quad (12)$$

ここで

$SLOTA_LED_WIDTH$ は、秒単位で表現される LED パルス幅。 I_{LEDX_PK} は、タイム・スロット A で選択される LED を流れる、アンペア単位のピーク LED 電流。

V_{LEDB} からの平均電源電流

V_{LEDB} からの平均電源電流を計算するには、式 10 を使用します。

$$I_{LED_AVG_B} = SLOTB_LED_WIDTH \times I_{LEDB_PK} \times DR \times PULSE_COUNT \quad (13)$$

ここで

$SLOTB_LED_WIDTH$ は、秒単位で表現される LED パルス幅。 I_{LEDB_PK} は、タイム・スロット B で選択される LED を流れる、アンペア単位のピーク LED 電流。

ワットあたり SNR の最適化

ADPD105/ADPD107 では、さまざまなパラメータを用意しています。ユーザーはこれらのパラメータを調整して最善の信号を実現できます。システム性能にとって重要な目標は、最善のシステム SNR を達成すると同時に、合計消費電力を最小限に抑えることです。多くの場合、この目標を「SNR/ワットの最適化」と呼びます。システムが SNR のみを重視し、消費電力があまり重要でない場合でも、同じ SNR を達成するうえで、消費電力の少ない手段と消費電力の多い手段が存在する可能性があります。

ピーク SNR を重視した最適化

ピーク SNR を重視して最適化を行う場合、最初のステップは、LED パルス数が一定にとどまり、最善の性能を達成できる TIA ゲインと LED レベルを見つけることです。ピーク SNR を重視する場合、表 4 の「Noise」セクションを目安として使用できます。「平均化の対象となるパルス数の平方根に比例して SNR が改善される」という事実を理解しておくのが重要です。一方、LED パルス数を増やすと、それに直接比例して LED の消費電力が増加します。言い換えると、LED パルス数を 2 倍にするごとに、LED の消費電力は 2 倍になります。SNR は 3 dB 改善されます。その結果、消費電力のペナルティが 2 倍になってしまっても SNR の改善が 3dB 未満にとどまるような設定変更は避けてください。消費電力のペナルティが 2 倍になるとしても、3dB 以上の改善が見られる場合、TIA ゲインの設定変更は適切な選択肢になります。ピーク SNR を重視し、どのゲインを採用しても LED パルスによるフォトダイオードの飽和が発生する懸念がない場合、50k の TIA ゲイン設定は最適な選択肢になります。パルスあたりの SNR、またチャンネルあたりの SNR を最適化した後、パルス数を増やすと、目的のシステム SNR を達成できます。

信号に制限のあるシステムにおけるワットあたりの SNR の最適化

実際には、ピーク SNR の最適化が必ずしも実用的であるとは限りません。信号が制限される領域で PPG 信号の SNR が不十分になる状況を考えましょう。このシナリオでは、目的のリターン(反射) レベルを達成する前に、LED 電流が上限に達します。

ピーク SNR の改善が停止する場所から、この状況を調整する作業を開始することになります。開始ポイントとして、50k の公称ゲインを使用します。LED 電流の最小設定値を 8 mA として、フォトダイオードが飽和しないことや、強度が高い周辺光から保護するには 50k のゲインで十分であることを前提とすると、このゲイン値は妥当です。いずれかの条件が成立しない場合、出発点として 25k のゲインを使用します。

DC リターン信号を 50 % や 60 % のような特定の ADC レンジに到達させることができ、調整プロセスの目標です。ADC レンジの選択肢は、時間の経過に伴って DC レベルが変動する場合でも、飽和を防止するために必要とされるヘッドルームのマージンに対する関数として表現できます。PPG 波形の SNR は常に、DC レベルに比べて何らかのパーセント値に相当します。最善のゲインを使用しても目標のレベルを達成できない場合は、ゲインを大きくしてこの手順を繰り返します。システムを調整する際に、周辺信号による飽和を防止するため、ゲインの上限を設定することが必要となる場合があります。

パルス数の調整

LED ピーク電流と TIA ゲインを最適化した後、サンプルあたりのパルス数を増やすと、パルス数の平方根に比例して SNR が改善されます。パルス数を増やす方法は 2 つあります。パルス数レジスタ (レジスタ 0x31 のビット [15:8] とレジスタ 0x36 のビット [15:8]) を使用して、内部サンプルあたりのパルス数を変更します。レジスタ 0x15 のビット [6:4] とビット [10:8] は、データを出力へ送信する前に平均化の対象となる内部サンプルの数を制御します。したがって、サンプルあたりのパルス数は、パルス数レジスタの値に、後続の平均化に使用されるサンプル数を掛けた値に等しくなります。通常、望ましい出力データ・レートを維持するため、平均化の対象となる内部サンプルの数を増やすと、内部サンプリング・レートは増大します。SNR/ワットは、パルス数の値が 16 以下のときに最大の最適化を実現できます。パルス数の値が 16 より大きい場合、パルス数レジスタ内で平方根の関係が維持されません。ただし、レジスタ 0x15 を使用して平均化の対象となるサンプルの数を変更すると、この関係を引き続き維持できます。

LED ピーク電流を大きくすると、LED の消費電力にほぼ比例して SNR が改善されますが、n 倍だけパルス数を増やす場合、SNR の公称値は \sqrt{n} 倍しか改善されません。

合計/平均化の対象となるサンプルの数を変更する機能 (レジスタ 0x15) を使用する場合、合計されるサンプルの数に応じて出力データ・レートは低下します。静的な出力データ・レートを維持するには、レジスタ 0x15 で選択したのと同じ係数倍だけ、サンプリング周波数 (レジスタ 0x12) を引き上げます。例えば、出力データ・レートが 100 Hz で、合計/平均化の対象となるサン

プルの数が 4 個の場合は、サンプリング周波数を 400 Hz に設定します。

未使用のチャンネルとアンプの無効化による電力の最適化

シングル・チャンネル AFE モード

アプリケーションで単一のフォトダイオードを使用し、そのフォトダイオードを単一の AFE チャンネル (チャンネル 1 とチャンネル 2 のどちらか) に接続する場合、ADPD105/ADPD107 では未使用的チャンネルへの電力供給を停止 (パワーダウン) し、デバイスをシングル AFE チャンネル・モードに移行するオプションを利用できます。このモードでは全部で 4 個ある AFE チャンネルのうち 3 個が無効になるので、消費電力もかなり減少します。

チャンネル 1 のみを使用する場合、レジスタ 0x3C のビット [8:6] に 0x7 を書き込み、チャンネル 2、チャンネル 3、チャンネル 4 を無効にします。チャンネル 2 のみを使用する場合、レジスタ 0x3C のビット [5:3] に 0x7 を書き込んでチャンネル 1 を無効にし、レジスタ 0x37 のビット [15:13] に 0x7 を書き込んでチャンネル 3 とチャンネル 4 を無効にします。

デュアル・チャンネル AFE モード

4 個のチャンネルのうち 2 個を使用する場合、残り 2 個のチャンネルを無効にすることが可能です。レジスタ 0x37 のビット [15:13] に 0x7 を書き込んで、チャンネル 1 とチャンネル 2 を有効に (チャンネル 3 とチャンネル 4 を無効に) します。チャンネル 3 とチャンネル 4 をデュアル・チャンネル・モードで動作させる (チャンネル 1 とチャンネル 2 を無効にする) には、レジスタ 0x3C のビット [5:3] とレジスタ 0x37 のビット [12:10] の両方に 0x7 を書き込みます。

同様に、適切な設定を使用して、3 チャンネル・モードを実現することも可能です。さまざまなチャンネルの組み合わせで電力供給を停止する場合に必要な設定については、表 21 を参照してください。最大の SNR と最小の消費電力を達成するため、システム設定を最適化する際に必要となる、PDX 入力と有効なチャンネルのさまざまな組み合わせを決定する方法については、タイム・スロット・スイッチセクションを参照してください。

表 21. チャンネルのパワーダウン設定

Number of Channels	Channels Enabled	Register 0x3C, Bits[8:6]	Register 0x3C, Bits[5:3]	Register 0x37, Bits[15:13]	Register 0x37, Bits[12:10]
1	Channel 1	0x7	0x0	Not applicable	Not applicable
1	Channel 2	0x0	0x7	0x7	0x0
2	Channel 1, Channel 2	0x0	0x0	0x7	0x0
2	Channel 3, Channel 4	0x0	0x7	0x0	0x7
3	Channel 2, Channel 3, Channel 4	0x0	0x7	0x0	0x0
4	All channels	0x0	0x0	0x0	0x0

さらなる節電のための個々のアンプのパワーダウン

各チャンネルには、1 個の TIA、1 個の BPF、1 個の積分器が搭載されています。これらをバッファとして設定することもできます（図 37 を参照）。信号パス内にある個々のアンプをパワーダウンするオプションがデバイスに内蔵されています。例えば、デジタル統合モードでは、BPF がバイパスされますが、デフォルトでは電力は供給されたままで。BPF を完全に無効にすることもできます。この場合はサンプリング・フェーズで AFE が消費する電力の 1/3 を節約できます。個々のアンプを無効にする方法の詳細については、表 26 に記載されているレジスタ 0x3C とレジスタ 0x37 に関する説明を参照してください。

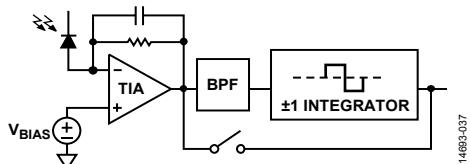


図 37. 信号パスのブロック図

デバイスが正しく動作するように、未使用の入力チャンネルをフロート状態のままにしておくことが重要です。

TIA ADC モード

図 38 に示すように、アナログ・バンドパス・フィルタと積分器を使用せず、実質的に TIA が ADC を直接駆動するモードにデバイスを移行する方法があります。このモードを TIA ADC モードと呼びます。TIA ADC モードを使用する基本的なアプリケーションが 2 つあります。通常の動作では、周辺光すべてがシグナル・チェーンから除去されるので、周辺光を測定できません。TIA_ADC モードを使用して、背景光／周辺光の量を測定できます。また、このモードを使用して、漏れ抵抗のような他の DC 入力電流を測定することもできます。

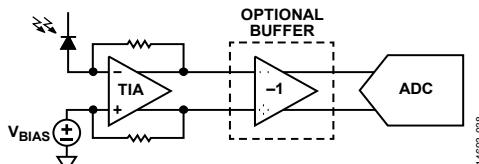


図 38. TIA ADC モードのブロック図

デバイスが TIA ADC モードで動作している場合、バンドパス・フィルタと積分器の段はバイパスされます。このバイパスにより、実質的に TIA が ADC に直結されます。設定済みのサンプリング周波数で、ADC はチャンネル 1 からチャンネル 4 を順番にサンプリングし、各サンプルは 1 μs の間隔で取得されます。

TIA ADC モードには、2 種類の動作モードがあります。1 つの動作モードは反転設定であり、TIA ADC モードが ADC を直接駆動します。この動作モードを有効にするには、レジスタ 0x43（タイム・スロット A）とレジスタ 0x45（タイム・スロット B）の一方または両方を 0xB065 に設定します。この結果、バンドパス・フィルタと積分器はバイパスされます。目的のチャンネルで ADC オフセット・レジスタを 0 に設定した場合、ADC の出力は、单一パルスとゼロ入力電流の条件下で 13,000 以下のコードになります。フォトダイオードからの入力電流が増加すると、ADC 出力は 0 に向かって減少します。この設定は、ADPD103 から継承したレガシー TIA ADC モードであり、下位互換性の目的で ADPD105/ADPD107 でも維持されています。

TIA ADC モードでは、バンドパス・フィルタをバイパスし、積分器を反転バッファとして設定する動作モードも推奨されています。この動作モードを有効にするには、レジスタ 0x43（タイム・スロット A）とレジスタ 0x45（タイム・スロット B）の一方または両方に 0xAE65 を書き込み、バンドパス・フィルタをバイパスします。さらに、レジスタ 0x42 のビット 7（タイムスロット A）

とレジスタ 0x44 のビット 7（タイムスロット B）を 1 に設定し、積分器をバッファとして構成する必要があります。目的のチャンネルで ADC オフセット・レジスタを 0 に設定した場合、ADC の出力は、单一パルスとゼロ入力電流の条件下で 3000 以下のコードになります。フォトダイオードからの入力電流が増加すると、ADC 出力は 16,384 に向かって増加します。

ADC 出力 (ADC_{OUT}) は、次のように計算されます。

$$ADC_{OUT} = 8192 \pm ((2 V_{BIAS} - 2iR_F - 1.8 \text{ V})/146 \text{ } \mu\text{V/LSB}) \quad (11)$$

ここで

V_{BIAS} は、TIA のバイアス電圧（デフォルト値は 1.265 V）。

i は TIA への入力電流。

R_F は TIA の帰還抵抗。

式 11 で、反転設定の場合は + を使用し、バッファ付きの非反転設定の場合は - を使用します。

式 11 は近似式であり、内部オフセットやゲイン誤差を考慮していません。また、この計算は ADC オフセット・レジスタが 0 に設定されていることを想定しています。

一方のタイム・スロットを TIA ADC モードで使用すると同時に、もう一方のタイム・スロットを通常のパルス・モードで使用することもできます。周辺信号とパルス信号を同時にモニタリングする場合、この設定が役に立ちます。TIA ADC モードを使用するように設定したタイム・スロットで周辺信号をモニタリングすると同時に、周辺信号を除去したパルス信号は、通常動作モードに設定したタイム・スロットでモニタリングします。

通常動作時の TIA 飽和の防止

飽和する可能性のある環境への対策を備えることが、TIA ADC モードでモニタリングを行う理由の 1 つです。強い光が照射されている条件下で動作する場合、特に、大きいフォトダイオードを使用すると、ADPD105/ADPD107 がデータの通信を継続している間に、TIA 段が飽和することが懸念されます。結果として生じる飽和は、代表的なものではありません。この設定に基づく TIA が取り扱えるのは、特定のレベルのフォトダイオード電流のみです。ADPD105/ADPD107 の設定方法に基づき、フォトダイオードから入力される電流レベルが、TIA で処理できるレベルを上回ると、LED パルスが生成される間の TIA 出力は実質的に電流パルスを拡大することになり、パルス幅が広がります。その後、バンドパス・フィルタの出力の正の部分が、積分ウインドウの負のセクションにまで拡大されるため、AFE のタイミング違反が発生します。この結果、フォトダイオードに起因する信号が、信号自体から差し引かれます。つまり、実質的な光信号は増大しているにもかかわらず、出力信号が減少するという事態につながります。

TIA からの応答を測定し、この段が飽和していないことを確認するには、デバイスを TIA ADC モードに移行し、タイミングをわざかに変更します。特に、4 個のチャンネルのうち 2 個または 3 個が最小値に達するまで、SLOT_x_AFE_OFFSET を掃引します（TIA が反転設定になっていることに注意してください）。4 個のチャンネルはいずれも、この最小値に達しません。通常、3 μs の LED パルス幅を使用し、ADC は 1 μs の間隔で 4 個のチャンネルを順にサンプリングするからです。この手順に従えば、ADC のサンプリング時間が、光検出器に投射される光の量を測定する LED パルスに整合します（例えば、周辺光 + LED パルス）。

この最小値が 0 LSB を上回っている場合、TIA は飽和していません。ただし、結果が 0 LSB ではない場合でも、飽和点付近でデバイスを動作させると、光条件が変化した場合に急速に飽和する結果を招く可能性があるため、注意してください。通常、安全な動作領域は、フルスケールの 3/4 以下の範囲に収まります。チャンネル／パルスあたりをベースとして、入力コードを ADC レベルにマップする方法を決定するには、表 22 を参照してください。これらのコードは、通常動作モードと同じではありません。バンドパス・フィルタと積分器がユニティ・ゲイン素子ではないからです。

周辺光の大まかな測定

表 22 の代表値を使用する場合、TIA ADC モードに移行して、光検出器に照射される背景光または周辺光の量を測定／定量化できます。この設定は、通常動作モードで使用するタイミングがそのモードにとって十分な値であることを除けば、通常動作時の TIA 飽和の防止セクションで説明した設定と同様です。SLOTx_AFE_OFFSET を掃引する必要はありません。SLOTx_AFE_OFFSET が通常動作モードと同じ地点にある場合、LED がオンとオフのどちらであるかに関係なく、TIA ADC モードは同じ値を返しません。

TIA_MODE で、暗レベルのときは、チャンネル／パルスあたり 13,000 LSB 付近の高いレベルを示します（表 22 を参照）。この値を測定する場合、フォトダイオードを選択してはいけません。タイム・スロット B ではレジスタ 0x14 のビット [11:8] に 0x0 を書き込み、タイム・スロット A ではレジスタ 0x14 のビット [7:4] に 0x0 を書き込みます。この設定を使用すると、内部でフォトダイオードの接続回路がオープンになります。ゼロ信号入力と一致するベースライン LSB の値が返されます。

レジスタ 0x14 を通常の値に戻し、フォトダイオードを TIA に接続した後、フォトダイオード回路がオープンの場合の値から、この TIA ADC の結果を差し引くと、周辺光の測定値が得られます。この測定値を入力光電流に変換するには、表 22 を使用します。この結果は、10 % 以内の誤差を含むため、大まかな絶対測定値として使用する必要があります。

PCB の寄生入力抵抗の測定

ADPD105/ADPD107 の取り付けプロセスの実行中に、組み立て時の誤りや PCB に付着した細片が原因で、望ましくない抵抗が入力側に現れることがあります。これらの抵抗は、アノードとカソードの間や、アノードと他の電源またはグラウンドの間に形成されることがあります。通常の動作では、ADPD105/ADPD107 の周辺除去機能によって、このような抵抗による効果はほとんどマスクされ、抵抗の検出が非常に困難になります。ただし、抵抗が $1\text{ M}\Omega$ ~ $10\text{ M}\Omega$ の範囲に達した場合でも、ノイズの増加やダイナミック・レンジの縮小という形で性能に大きな影響を与えることがあります。TIA ADC モードを使用すれば、組み立てに起因するこれらの問題を検討できます。

フォトダイオードに影響するシャント抵抗の測定

通常、フォトダイオードの両端に接続されたシャント抵抗は、動作中のデバイスの出力レベルに影響を与えません。特に、動作中にフォトダイオードが 0 V に固定される場合、TIA の実効インピーダンスが非常に小さくなることが原因です。ただし、このような抵抗はシステム・ノイズの増加と性能低下を招く可能性があります。フォトダイオード・シャント抵抗を使用するのが、フォトダイオードの漏れを検出する最善の方法です。この抵抗は、TIA ADC モードのデバイスを暗状態に移行し、動作モードのカソード電圧を変化させます。カソードの電位を 1.3 V に設定すると、フォトダイオード両端の電圧は 0 V になります。動作中、アノードの電位は常に 1.3 V になるためです。カソードを 1.8 V に設定すると、フォトダイオード両端の電圧は 0.5 V になります。表 3 に示すレジスタの設定値を使用して、カソード電圧を制御し、両方の電圧で TIA ADC の値を測定します。次に、 0.5 V の電位差／電流に変換した ADC の結果を計算します（割り算）。この結果が、シャント抵抗の近似値です。この値が $10\text{ M}\Omega$ を上回る場合、測定が困難になりますが、明白な障害を識別するうえで、この方法は役立ちます。

TIA 入力のシャント抵抗の測定

別の問題として、TIA 入力と PCB 上に存在する別の電源またはグラウンドの間に抵抗が出現する可能性があります。これらの抵抗が原因で、TIA が永続的に飽和状態になることがあります。このように早期の飽和が発生した場合、動作中のデバイスのダイナミック・レンジが縮小し、入力に対してジョンソン・ノイズ成分が追加されます。これらの抵抗を測定するには、TIA ADC モードのデバイスを暗状態に移行し、フォトダイオードの入力を非接続状態にして（レジスタ 0x14 のビット [11:8] = 0 または レジスタ 0x14 のビット [7:4] = 0）、TIA ADC オフセット・レベルの測定を開始します。この値から、TIA ADC モードで暗状態のフォトダイオードを接続したときの測定値を差し引き、その差を電流に変換します。この値が正であり、ADC 信号が減少している場合、 V_{DD} のように 1.3 V よりも高い電圧との間に抵抗が存在しています。TIA に流れ込む電流が原因で、出力の電圧降下が発生します。ADC のコードが増加する現象が示すように、出力の差が負である場合、電流は TIA から流出し、グラウンドのように、 1.3 V よりも低い電位との間にシャント抵抗が存在します。

表 22. TIAADC とデジタル積分モードのアナログ仕様

Parameter	Test Conditions/Comments	Typ	Unit
TIA ADC/Digital Integration Saturation Levels	Values expressed per channel, per sample; TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ	38.32 19.16 9.58 4.79	μA μA μA μA
TIA ADC Resolution	Values expressed per channel, per sample; TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ	2.92 1.5 0.73 0.37	nA/LSB nA/LSB nA/LSB nA/LSB
Output with No Input Photocurrent	ADC offset (Register 0x18 to Register 0x21) = 0x0	13,000	LSB

デジタル積分モード

ADPD105/ADPD107 にはデジタル積分モードが内蔵されています。このモードではデバイスがより広い LED/AFE パルス幅に対応するだけでなく、入力側でさまざまな種類のセンサーを使用できます。AFE の動作セクションで説明したアナログ積分モードは、大きい LED デューティ・サイクルを必要とするアプリケーションや、サンプリング手法のカスタマイズを必要とするアプリケーションに最適です。一方、デジタル積分モードを使用すると、ADC より後段のデジタル領域で積分機能を実行することができます。デバイスはこのモードで、入力側センサーから供給される、かなり広い範囲に対応できるようになります。

デジタル積分モードでは、ADC は積分ウィンドウ内で 1 μs ごとに変換を行います。積分ウィンドウ内で、デジタル・エンジンは直前のサンプルに対する加算または減算のどちらかを実行します。バンドパス・フィルタはバイパスされ、積分器は電圧バッファに変換され、デジタル・エンジンが積分機能を実行できるようになります。このモードでは、タイミングを最適化した後、フォトダイオードに照射される光レベルが上昇すると、ADC 出力が増加します。

積分ウィンドウは、負のウィンドウと正のウィンドウの組み合せです。これらのウィンドウの持続時間は、SLOTx_AFE_WIDTH で設定します。デジタル積分ウィンドウの終了時に、結果の和が、LED パルスに対応するサンプルとしてデシメーション・ユニットに送信されます。どのサンプル・サイクルでも、タイム・スロットごとに 1 つのサンプルが採取されます。表 23 に、デバイスをデジタル積分モードに設定するために必要とされるレジスタを示します。

これ以外にも、SLOTx_AFE_OFFSET レジスタと FIFO 設定レジスタ (0x11) に変更を加えることが必要となる場合があります。FIFO を使用して最終的な値を読み出す場合、タイム・スロット A ではレジスタ 0x11 のビット [4:2]、タイム・スロット B ではレジスタ 0x11 のビット [8:6] に適切な値を設定します。代わりに、以下のデータ・レジスタを使用して最終的な出力を取得することもできます。タイム・スロット A の場合は、レジスタ 0x64、レジスタ 0x70、およびレジスタ 0x74 です。タイム・スロット B の場合は、レジスタ 0x68、レジスタ 0x78、およびレジスタ 0x7C です。

タイム・スロット A の期間中に ADPD105/ADPD107 をデジタル積分モードに移行するには、レジスタ 0x58 のビット 12 に 0x1 を書き込みます。タイム・スロット B の期間に ADPD105/ADPD107 をデジタル積分モードに移行するには、レジスタ 0x58 のビット 13 に 0x1 書き込みます。デジタル積分モードに切り替えるために必要となる他の書き込みを表 23 に示します。

デジタル積分モードを使用する場合、最大 2 個のフォトダイオードを ADPD105/ADPD107 の入力に接続できます。PDx の各入力グループ (PD1/PD2/PD3/PD4 または PD5/PD6/PD7/PD8) に対して、1 個のフォトダイオードを接続します。2 つの PDx グループにまたがって同じフォトダイオードを接続しないでください。デジタル積分モードでは、フォトダイオードを 4 つの AFE チャンネル (PD1/PD2/PD3/PD4 または PD5/PD6/PD7/PD8) に接続するオプションと、ただ 1 つの AFE チャンネル (PD1 または PD5) に接続するオプションを利用できます。単一の AFE チャンネルに接続する状況では、タイム・スロット A の場合はレジスタ 0x54 のビット 14 に 0x1 を書き込み、タイム・スロット B の場合はレジスタ 0x54 のビット 15 に 0x1 を書き込みます。

単一の AFE チャンネルに接続する状況では、チャンネル 2、チャンネル 3、およびチャンネル 4 を無効にする（電力を節約する）オプションも利用できます。その場合、レジスタ 0x55 のビット [15:13] に 0x7 を書き込みます。4 つのチャンネル (PD1/PD2/PD3/PD4 または PD5/PD6/PD7/PD8) すべてに接続する状況では、タイム・スロット A の場合はレジスタ 0x54 のビット 14 に 0x0 (デフォルト) を書き込み、タイム・スロット B の場合はレジスタ 0x54 のビット 15 に 0x0 (デフォルト) を書き込みます。レジスタ 0x55 のビット [15:13] に 0x0 を書き込むときは、すべての AFE チャンネルに電力が供給されていることを確認してください。

单一のフォトダイオードを単一の AFE チャンネルに接続すると、信号が制限されているアプリケーションで最善の SNR 性能を達成できます。一方、単一のフォトダイオードを 4 つの AFE チャンネルすべてに接続すると、信号の帯域が広いアプリケーションで最善のダイナミック・レンジを達成できます。

デジタル積分のサンプリング・モード

デバイスをデジタル積分モードで使用している場合、2 つのサンプリングモードを使用できます。シングル・サンプル・ペア・モードとダブル・サンプル・ペア・モードです。

シングル・サンプル・ペア・モードでは、図 41 と図 42 に示すように、単一の負のサンプリング領域と、単一の正のサンプリング領域が存在します。シングル・サンプル・ペア・モードを使用する場合、タイム・スロット A ではレジスタ 5A のビット 5 に 0x1 を書き込み、タイム・スロット B ではレジスタ 5A のビット 6 に 0x1 を書き込みます。負のサンプリング領域は、SLOTx_AFE_OFFSET + 9 で開始され、その持続時間（採取するサンプルの数）は、SLOTx_AFE_WIDTH で設定します。正のサンプリング領域は、SLOTx_AFE_OFFSET + 9 + SLOTx_AFE_WIDTH で開始され、その持続時間は同じく SLOTx_AFE_WIDTH で設定します。負のサンプリング領域全体が LED 応答の平坦な（暗い）部分に属し、正のサンプリング領域が LED 応答のパルス領域に属するように、タイミングを設定してください。SLOTx_AFE_OFFSET + 9 + SLOTx_AFE_WIDTH の開始時点に、LED パルス・オフセット SLOTx_LED_OFFSET を設定すると、このタイミングを実現できます。出力は、2 つの領域で得られる各信号の差に等しくなります。

ダブル・サンプル・ペア・モードは、もう1つのサンプリング方法です。このモードでは、負のサンプリング領域2つと正のサンプリング領域1つが存在します(図39と図40を参照)。ダブル・サンプル・ペア・モードを使用する場合、タイム・スロットAではレジスタ0x5Aのビット5に0x0を書き込み、タイム・スロットBの場合はビット6に0x0を書き込みます。最初の負のサンプリング領域は、SLOTx_AFE_OFFSET + 9で開始され、その持続時間は、SLOTx_AFE_WIDTHで設定します。正のサンプリング領域は、SLOTx_AFE_OFFSET + 9 + SLOTx_AFE_WIDTHで開始され、その持続時間はSLOTx_AFE_WIDTHの2倍に設定します。その後、もう1つの負のサンプリング領域が実行されます。SLOTx_AFE_OFFSET + 9 + 3 × SLOTx_AFE_WIDTHで開始され、その持続時間は、SLOTx_AFE_WIDTHで設定します。負のサンプリング領域が両方ともLED応答の平坦な(暗い)部分に属し、正のサンプリング領域がLED応答のパルス領域に属するように、タイミングを設定してください。SLOTx_AFE_OFFSET + 9 + SLOTx_AFE_WIDTH × SLOTx_AFE_OFFSET + 9 + SLOTx_AFE_WIDTHの開始時点に、LEDパルス・オフセットSLOTx_LED_OFFSETを設定すると、このタイミングを実現できます。出力は、負/正/負の順に領域の応答すべてを加算する方法で計算されます。ダブル・サンプル・ペア・モードは、周辺光が一定ではない場合に役立ちます。このモードでは、周辺除去を良好に実施できることが理由ですが、シングル・サンプル・ペア・モードよりも多くの電力を消費します。

サンプリングのタイミング・モード

サンプリング領域のタイミングには、2つのオプションがあります。ギャップ・モードと連続モードです。

ギャップ・タイミング・モードでは、負のサンプリング領域と正のサンプリング領域の間に、空白があります。この領域の幅は、31.25 nsのステップを単位として、タイム・スロットAではSLOTA_AFE_FOFFSETで指定し、タイム・スロットBではSLOTB_AFE_FOFFSETで指定します。この機能を有効にするには、レジスタ0x5Aのビット7に0x1を書き込みます。このビットをセットすると、デジタル積分モードになっているタイム・スロットで、ギャップ・タイミングが有効になります。LED応答の中に望ましくない遷移が存在し、正確な出力を得るにはその遷移を無視する必要がある場合、このモードが役に立ちます。

LED応答の遷移に関する懸念がない場合は、連続タイミング・モードを選択します。このモードでは、負のサンプリング領域と正のサンプリング領域の間に、空白はありません。サンプリング領域を連続タイミング・モードに設定するには、レジスタ0x5Aのビット7に0x0を書き込みます。

ギャップと連続のどちらのサンプリング・タイミング・モードも、シングル・サンプル・ペア・モードやダブル・サンプル・ペア・モードで使用できます。図39、図40、図41、および図42に、サンプルのタイミング図を示します。

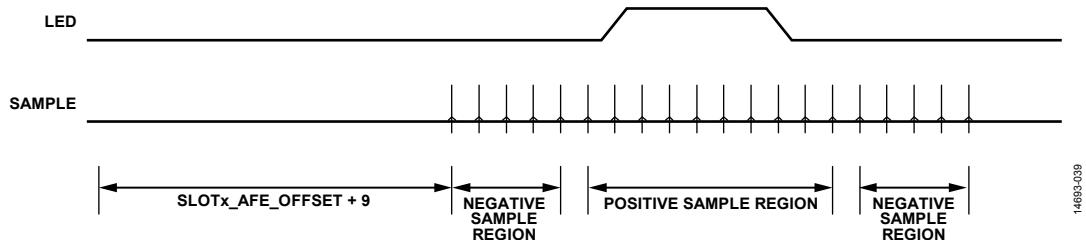


図39. ダブル・サンプル・ペア・モードで連続サンプリング・タイミングを使用する場合のデジタル積分モード

背景ノ周辺の値

デジタル積分モードでは、デジタル積分の背景(周辺)値であるDI_BACKGROUND、言い換えると暗値も格納され、出力データとして利用できます。これは、LEDパルス供給中の出力値であるDI_OUTPUTに追加するデータです。ただし、DI_OUTPUTでは、暗値がすでに差し引かれています。DI_BACKGROUNDは、負のサンプリング領域で得られたサンプルの合計です。

これらの値をFIFOに格納する場合、タイム・スロットAではレジスタ0x11のビット[4:2]を設定し、タイム・スロットBではレジスタ0x11のビット[8:6]を設定します。16ビット・データの場合はこの値を0x3に設定し、32ビット・データの場合はこの値を0x04に設定します。これらの値は、以下のデータ・レジスタを介して使用することもできます。タイム・スロットAではレジスタ0x65、レジスタ0x71、およびレジスタ0x75です。タイム・スロットBではレジスタ0x69、レジスタ0x79、およびレジスタ0x7Dです。デジタル積分モードで背景(周辺)の値をFIFOに格納する場合、チャンネル・オフセット(レジスタ0x18～レジスタ0x21)を0x1F00に設定することを推奨します。これらのチャンネル・オフセットは、サンプルの値に影響しませんが、背景(周辺)値に対してより多くのヘッドルームが確保されます。

デジタル積分モードにおける飽和の検出

通常動作時にバンドパス・フィルタと積分器を使用すると、ほとんどの場合、TIAより先にADCが飽和します。通常動作時とは異なり、信号の値が、正のサンプリング領域から基準の領域を引いた値に等しいデジタル積分モードでは、信号の値を観察するだけでTIAまたはADCの飽和を検出することはできません。これは、積分された値自体から、積分期間中にいざれかのADC変換がADC出力範囲を上回ったことを判別できないためです。この結果、単独のサンプル内で一部のADC変換のみに対応するリアルタイム出力が飽和する可能性があります。また、最終的な累積和がこの事実を反映しない可能性もあります。デジタル積分モードでTIAの飽和を検出するには、背景光/周辺光の値であるDI_BACKGROUNDと、信号の値であるDI_OUTPUTの両方を収集する必要があります。これらの値を収集するレジスタ0x11の正しい設定については、背景/周辺の値セクションを参照してください。

シングル・サンプル・ペア・モードの状況では、以下の場合に飽和が発生したことがわかります。

$$(DI_OUTPUT / (\min(SLOTx_LED_WIDTH, SLOTx_AFE_WIDTH)) + DI_BACKGROUND / AFE_WIDTH) / \text{NUM_PULSES} > 0x3FFF$$

ダブル・サンプル・ペア・モードの状況では、以下の場合に飽和が発生したことがわかります。

$$(DI_OUTPUT / (\min(SLOTx_LED_WIDTH, 2 \times SLOTx_AFE_WIDTH)) + DI_BACKGROUND / (2 \times SLOTx_AFE_WIDTH)) / \text{NUM_PULSES} > 0x3FFF$$

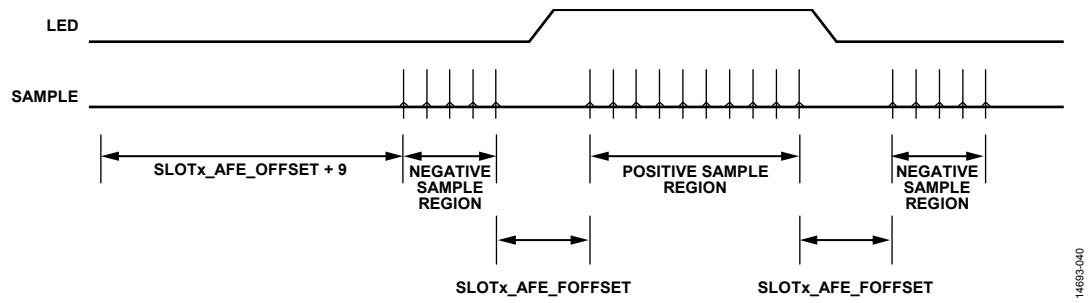


図 40. ダブル・サンプル・ペア・モードでギャップ・サンプリング・タイミングを使用する場合のデジタル積分モード

14693.040

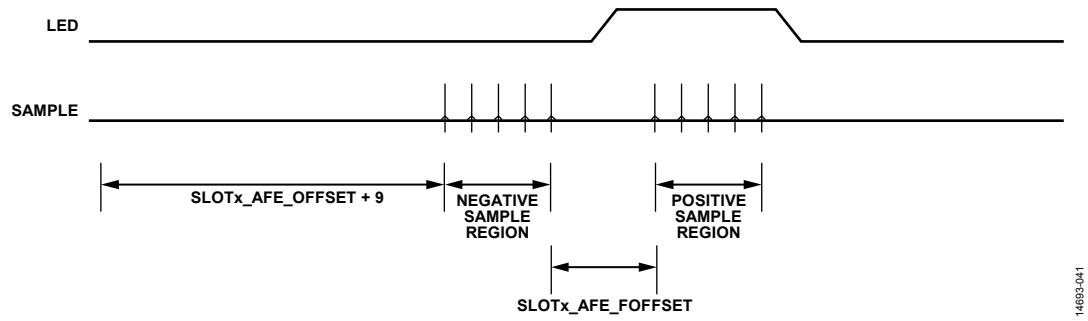


図 41. シングル・サンプル・ペア・モードでギャップ・サンプリング・タイミングを使用する場合のデジタル積分モード

14693.041

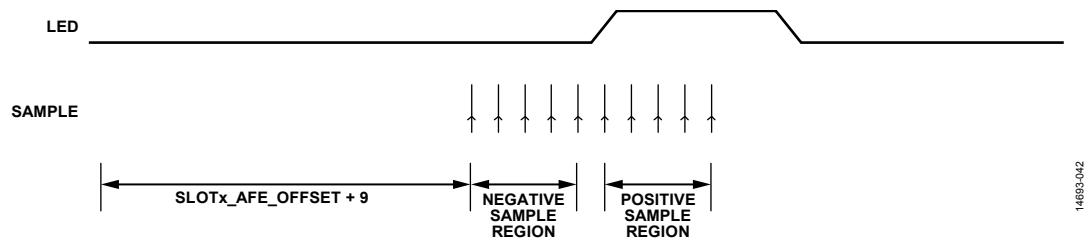


図 42. シングル・サンプル・ペア・モードで連続サンプリング・タイミングを使用する場合のデジタル積分モード

14693.042

表 23. 通常サンプリング・モード、TIAADC モード、デジタル積分モードを切り替えるための設定レジスタ

アドレス	データ・ビット	ビット名	通常動作モードの値	TIA ADC モードの値	デジタル積分モードの値	説明
0x42	[15:8]	SLOTA_AFE_MODE	0x1C	Not applicable	0x1D	通常動作モードでは、この設定値を使用して、積分器ブロックの動作を最適化します。デジタル積分モードでは、この設定値を使用して、積分器ブロックがバッファとして動作するように設定します。この設定値は、TIA ADC モードでは重要ではありません。
	7	SLOTA_INT_AS_BUF	0x0	0x1	Not applicable	0: 通常の積分設定。 1: 積分器をバッファ・アンプに変換（デジタル積分モードでは、この変換は自動的に実施されます）。
0x43	[15:0]	SLOTA_AFE_CFG	0xADA5	0xAE65	0xAE65	タイム・スロット A の AFE 接続。 0xAE65 に設定すると、バンドパス・フィルタがバイパスされます。 0xB065 は、TIA ADC モードでも使用できます。この設定値により、BPF と積分器の両方がバイパスされます。
0x44	[15:8]	SLOTB_AFE_MODE	0x1C	Not applicable	0x1D	通常動作モードでは、この設定値を使用して、積分器ブロックの動作を最適化します。デジタル積分モードでは、この設定値を使用して、積分器ブロックがバッファとして動作するように設定します。この設定値は、TIA ADC モードでは重要ではありません。
	7	SLOTB_INT_AS_BUF	0x0	0x1	Not applicable	0: 通常の積分設定。 1: 積分器をバッファ・アンプに変換（デジタル積分モードでは、この変換は自動的に実施されます）。
0x45	[15:0]	SLOTB_AFE_CFG	0xADA5	0xAE65	0xAE65	タイム・スロット B の AFE 接続。 0xAE65 に設定すると、バンドパス・フィルタがバイパスされます。 0xB065 は、TIA ADC モードでも使用できます。この設定値により、BPF と積分器の両方がバイパスされます。
0x4E	[15:0]	ADC_TIMING	Not applicable	Not applicable	0x0040	TIA ADC モードで、ADC クロックを 1 MHz に設定します。
0x58	13	SLOTB_DIGITAL_INT_EN	0x0	0x0	0x1	デジタル積分モードで、タイム・スロット B を有効にするかどうか。 0: 無効。 1: 有効。
	12	SLOTA_DIGITAL_IN_T_EN	0x0	0x0	0x1	デジタル積分モードで、タイム・スロット A を有効にするかどうか。 0: 無効。 1: 有効。
0x5A	[15:0]	DIG_INT_CFG	Not applicable	Not applicable	Variable	デジタル積分モードでの設定は、使用状況に依存します。他のモードでは、このレジスタは無視されます。

パルス接続モード

パルス接続モードでは、LED パルス・タイミング・レジスタで設定されたタイミングに応じて、フォトダイオードにパルスが供給されます。このモードで、2 μ s の LED パルスを供給するように LED パルス・タイミングが設定されている場合、デバイスは 2 μ s の LED パルスを供給する代わりに、フォトダイオードの入力に 2 μ s にわたってパルスを供給します。このモードは TIA ADC モードに代わる選択肢であり、周辺光を測定する目的や、各種センサー（例えば、ECG）を利用して他の種類の測定を行う目的で、バンドパス・フィルタと積分器を含む信号バス全体を使用します。

パルス接続モードを有効にするには、通常動作モードと同様の方法でデバイスを設定しますが、例外として、タイム・スロット A ではレジスタ 0x14 のビット [3:2] = 0、タイム・スロット B ではレジスタ 0x14 のビット [1:0] = 0 に設定します。

パルス接続モードを使用した ECG と PPG の同期測定

患者のヘルスケアを監視する目的で開発されたウェアラブル・デバイスでは、生物医学信号を同期して測定することが必要になります。例えば、患者の ECG と PPG の同期測定を行うと、PWTT（パルス波搬送時間）を決定できます。この値を使用すれば、血圧を推定できます。

図43に記載した回路は、AD8232とADPD105を使用した、ECGとPPGの同期測定を示しています。AD8232では、カットオフ周波数が0.3Hzである2極ハイパス・フィルタと、カットオフ周波数が37Hzである2極ローパス・フィルタを実装しています。AD8232の出力は、50kΩの抵抗を経由してADPD105の電流入力のいずれかに供給され、AD8232の電圧出力は電流に変換されます。

ADPD105 は、連続する複数のタイム・スロットを使用して、フォトダイオードの信号と、AD8232 から出力される ECG 信号を交互に測定し、完全に同期された PPG 測定値と ECG 測定値を供給するように設定されています。オンチップ FIFO またはデータ・

レジスタから、直接データを読み出すことができます。ECG 信号を処理する目的で使用する ADPD105 のチャンネルは、パルス接続モードで設定されています。タイム・スロット A で ECG 信号を測定する場合はレジスタ 0x42 のビット [5:4]、タイム・スロット B で ECG 信号を測定する場合は、レジスタ 0x44 のビット [5:4] を使用して、バイアス電圧の設定値を 0.90 V に指定します。信号パスのダイナミック・レンジを最適化する目的で、TIA ゲインの設定値を指定することもできます。PPG 信号を処理するために使用するチャンネルは、通常動作モードで設定します。図 44 に、AD8232 と ADPD105 を使用した、ECG と PPG の同期測定のプロットを示します。

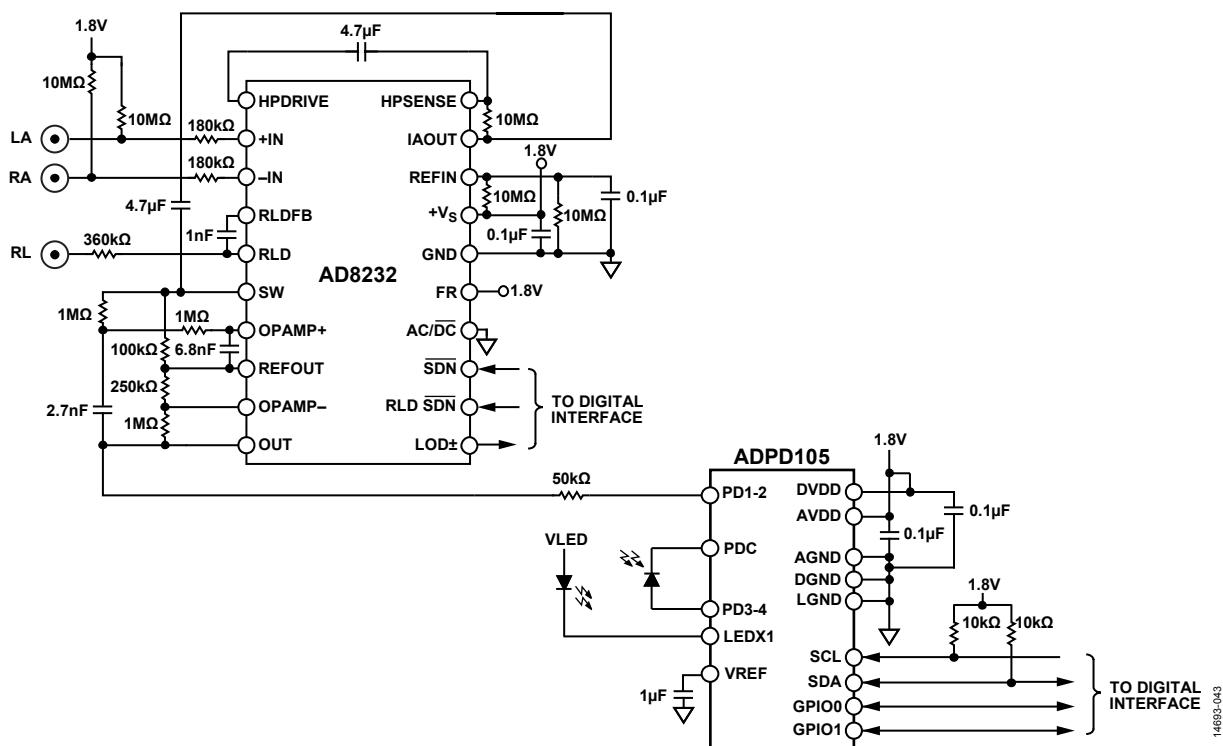


図 43. ADPD105/ADPD107 と AD8232 の組み合わせを使用した PPG と ECG の同期測定

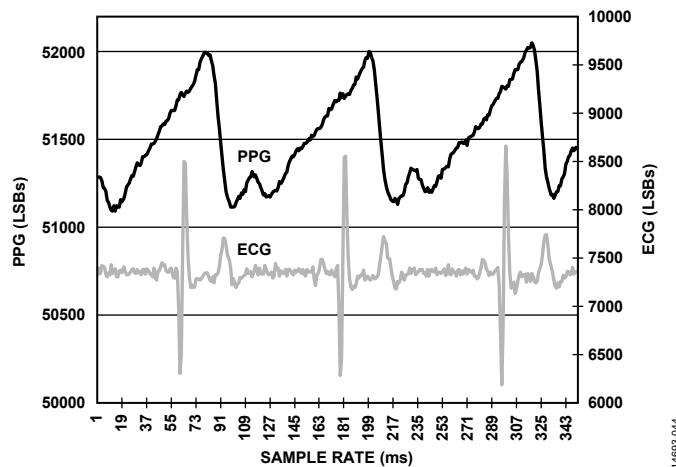


図 44. ECG と PPG の同期波形のプロット

レジスタの一覧

表 24. 数値型レジスタの一覧¹

Hex Addr	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	RW				
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0						
0x00	Status	[15:8]	FIFO_SAMPLES[7:0]				Reserved				0x0000	R/W				
		[7:0]	Reserved	SLOTB_INT	SLOTA_INT											
0x01	INT_MASK	[15:8]	Reserved				FIFO_INT_MASK				0x00FF	R/W				
		[7:0]	Reserved	SLOTB_INT_MASK	SLOTA_INT_MASK											
0x02	GPIO_DRV	[15:8]	Reserved				GPIO1_DRV	GPIO1_POL	0x0000	R/W						
		[7:0]	Reserved				GPIO0_ENA	GPIO0_DRV	GPIO0_POL							
0x06	FIFO_THRESH	[15:8]	Reserved	FIFO_THRESH[5:0]				Reserved				0x0000	R/W			
		[7:0]														
0x08	DEVID	[15:8]	REV_NUM[7:0]				Reserved				0x0516	R				
		[7:0]	DEV_ID[7:0]				Reserved									
0x09	I2CS_ID	[15:8]	ADDRESS_WRITE_KEY[7:0]				Reserved				0x00C8	R/W				
		[7:0]	SLAVE_ADDRESS[6:0]				Reserved									
0x0A	CLK_RATIO	[15:8]	Reserved		CLK_RATIO[11:8]				Reserved				0x0000	R		
		[7:0]	CLK_RATIO[7:0]				Reserved									
0x0B	GPIO_CTRL	[15:8]	Reserved		GPIO1_ALT_CFG[4:0]				Reserved				0x0000	R/W		
		[7:0]	Reserved		GPIO0_ALT_CFG[4:0]				Reserved							
0x0D	SLAVE_ADDRESS_KEY	[15:8]	SLAVE_ADDRESS_KEY[15:8]				Reserved				0x0000	R/W				
		[7:0]	SLAVE_ADDRESS_KEY[7:0]				Reserved									
0x0F	SW_RESET	[15:8]	Reserved				Reserved				0x0000	R/W				
		[7:0]	Reserved				SW_RESET									
0x10	Mode	[15:8]	Reserved				Reserved				0x0000	R/W				
		[7:0]	Reserved				Mode[1:0]									
0x11	SLOT_EN	[15:8]	Reserved	RDOUT_MODE	FIFO_OVRN_PREVENT	Reserved				SLOTB_FIFO_MODE[2]	0x1000	R/W				
		[7:0]	SLOTB_FIFO_MODE[1:0]	SLOTB_EN	SLOTA_FIFO_MODE[2:0]	Reserved				SLOTA_EN						
0x12	FSAMPLE	[15:8]	FSAMPLE[15:8]				FSAMPLE[7:0]				0x0028	R/W				
		[7:0]	FSAMPLE[7:0]				FSAMPLE[7:0]									
0x14	PD_LED_SELECT	[15:8]	Reserved				SLOTB_PD_SEL[3:0]				0x0541	R/W				
		[7:0]	SLOTA_PD_SEL[3:0]				SLOTB_LED_SEL[1:0]									
0x15	NUM_AVG	[15:8]	Reserved				SLOTB_NUM_AVG[2:0]				0x0600	R/W				
		[7:0]	Reserved	SLOTA_NUM_AVG[2:0]		Reserved				Reserved						
0x18	SLOTA_CH1_OFFSET	[15:8]	SLOTA_CH1_OFFSET[15:8]				SLOTA_CH1_OFFSET[7:0]				0x2000	R/W				
		[7:0]	SLOTA_CH1_OFFSET[7:0]				SLOTA_CH1_OFFSET[7:0]									
0x19	SLOTA_CH2_OFFSET	[15:8]	SLOTA_CH2_OFFSET[15:8]				SLOTA_CH2_OFFSET[7:0]				0x2000	R/W				
		[7:0]	SLOTA_CH2_OFFSET[7:0]				SLOTA_CH2_OFFSET[7:0]									
0x1A	SLOTA_CH3_OFFSET	[15:8]	SLOTA_CH3_OFFSET[15:8]				SLOTA_CH3_OFFSET[7:0]				0x2000	R/W				
		[7:0]	SLOTA_CH3_OFFSET[7:0]				SLOTA_CH3_OFFSET[7:0]									
0x1B	SLOTA_CH4_OFFSET	[15:8]	SLOTA_CH4_OFFSET[15:8]				SLOTA_CH4_OFFSET[7:0]				0x2000	R/W				
		[7:0]	SLOTA_CH4_OFFSET[7:0]				SLOTA_CH4_OFFSET[7:0]									
0x1E	SLOTB_CH1_OFFSET	[15:8]	SLOTB_CH1_OFFSET[15:8]				SLOTB_CH1_OFFSET[7:0]				0x2000	R/W				
		[7:0]	SLOTB_CH1_OFFSET[7:0]				SLOTB_CH1_OFFSET[7:0]									
0x1F	SLOTB_CH2_OFFSET	[15:8]	SLOTB_CH2_OFFSET[15:8]				SLOTB_CH2_OFFSET[7:0]				0x2000	R/W				
		[7:0]	SLOTB_CH2_OFFSET[7:0]				SLOTB_CH2_OFFSET[7:0]									

Hex Addr	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	RW			
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0					
0x20	SLOTB_CH3_OFFSET	[15:8]									0x2000	R/W			
		[7:0]													
0x21	SLOTB_CH4_OFFSET	[15:8]									0x2000	R/W			
		[7:0]													
0x22	ILED3_COARSE	[15:8]	Reserved		ILED3_SCALE		Reserved					0x3000	R/W		
		[7:0]	Reserved		ILED3_SLEW[2:0]		ILED3_COARSE[3:0]								
0x23	ILED1_COARSE	[15:8]	Reserved		ILED1_SCALE		Reserved					0x3000	R/W		
		[7:0]	Reserved		ILED1_SLEW[2:0]		ILED1_COARSE[3:0]								
0x24	ILED2_COARSE	[15:8]	Reserved		ILED2_SCALE		Reserved					0x3000	R/W		
		[7:0]	Reserved		ILED2_SLEW[2:0]		ILED2_COARSE[3:0]								
0x25	ILED_FINE	[15:8]			ILED3_FINE[4:0]					ILED2_FINE[4:2]	0x630C	R/W			
		[7:0]	ILED2_FINE[1:0]	Reserved			ILED1_FINE[4:0]								
0x30	SLOTA_LED_PULSE	[15:8]	Reserved				SLOTA_LED_WIDTH[4:0]					0x0320	R/W		
		[7:0]					SLOTA_LED_OFFSET[7:0]								
0x31	SLOTA_NUM-PULSES	[15:8]					SLOTA_LED_NUMBER[7:0]					0x0818	R/W		
		[7:0]					SLOTA_LED_PERIOD[7:0]								
0x34	LED_DISABLE	[15:8]	Reserved					SLOTB_LED_DIS	SLOTA_LED_DIS	0x0000	R/W				
		[7:0]	Reserved												
0x35	SLOTB_LED_PULSE	[15:8]	Reserved				SLOTB_LED_WIDTH[4:0]					0x0320	R/W		
		[7:0]					SLOTB_LED_OFFSET[7:0]								
0x36	SLOTB_NUM-PULSES	[15:8]					SLOTB_LED_NUMBER[7:0]					0x0818	R/W		
		[7:0]					SLOTB_LED_PERIOD[7:0]								
0x37	ALT_PWR_DN	[15:8]	CH34_DISABLE[15:13]			CH2_DISABLE[12:10]		Reserved			0x0000	R/W			
		[7:0]	Reserved												
0x38	EXT_SYNC_STARTUP	[15:8]				EXT_SYNC_STARTUP[15:8]					0x000	R/W			
		[7:0]				EXT_SYNC_STARTUP[7:0]									
0x39	SLOTA_AFE_WINDOW	[15:8]				SLOTA_AFE_WIDTH[4:0]		SLOTA_AFE_OFFSET[5:3]			0x22FC	R/W			
		[7:0]				SLOTA_AFE_OFFSET[2:0]		SLOTA_AFE_FOFFSET[4:0]							
0x3B	SLOTB_AFE_WINDOW	[15:8]				SLOTB_AFE_WIDTH[4:0]		SLOTB_AFE_OFFSET[5:3]			0x22FC	R/W			
		[7:0]				SLOTB_AFE_OFFSET[2:0]		SLOTB_AFE_FOFFSET[4:0]							
0x3C	AFE_PWR_CFG1	[15:8]	Reserved			Reserved		Reserved	V_CATHODE	AFE_POWER-DOWN[5]	0x3006	R/W			
		[7:0]	AFE_POWERDOWN[4:0]			Reserved									
0x42	SLOTA_TIA_CFG	[15:8]				SLOTA_AFE_MODE[7:0]					0x1C38	R/W			
		[7:0]	SLOTA_INT_AS_BUF	SLOTA_TIA_IND_EN		SLOTA_TIA_VBIAS[1:0]	Reserved (write 0x1)		SLOTA_TIA_GAIN[1:0]						
0x43	SLOTA_AFE_CFG	[15:8]				SLOTA_AFE_CFG[15:8]					0xADA5	R/W			
		[7:0]				SLOTA_AFE_CFG[7:0]									
0x44	SLOTB_TIA_CFG	[15:8]				SLOTB_AFE_MODE[7:0]					0x1C38	R/W			
		[7:0]	SLOTB_INT_AS_BUF	SLOTB_TIA_IND_EN		SLOTB_TIA_VBIAS[1:0]	Reserved (write 0x1)		SLOTB_TIA_GAIN[1:0]						
0x45	SLOTB_AFE_CFG	[15:8]				SLOTB_AFE_CFG[15:8]					0xADA5	R/W			
		[7:0]				SLOTB_AFE_CFG[7:0]									
0x4B	SAMPLE_CLK	[15:8]				Reserved			CLK32K_BYP		0x2612	R/W			
		[7:0]	CLK32K_EN	Reserved		CLK32K_ADJUST[5:0]									

Hex Addr	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	RW				
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0						
0x4D	CLK32M_ ADJUST	[15:8]	Reserved			CLK32M_ADJUST[7:0]						0x0098	R/W			
		[7:0]														
0x4E	ADC_ CLOCK	[15:8]	ADC_TIMING[15:8]			ADC_TIMING[7:0]						0x0060	R/W			
		[7:0]														
0x4F	EXT_ SYNC_ SEL	[15:8]	Reserved									0x2090	R/W			
		[7:0]	Reserved	GPIO1_ OE	GPIO1_ IE	Reserved	EXT_SYNC_SEL[1:0]	GPIO0_ IE	Reserved							
0x50	CLK32M_ CAL_EN	[15:8]	Reserved									0x0000	R/W			
		[7:0]	Reserved	GPIO1_ CTRL	CLK32M_ CAL_EN	Reserved										
0x54	AFE_ PWR_ CFG2	[15:8]	SLOTB_SIN- GLE_CH- DIG_INT	SLOTA_ SINGLE_ CH_DIG- INT	SLEEP_V_CATHODE[1:0]		SLOTB_V_ CATHODE[1:0]	SLOTA_V_CATHODE[1:0]			0x0020	R/W				
		[7:0]	REG54_ VCAT_ ENABLE	Reserved												
0x55	TIA_IN-DE P GAIN	[15:8]	DIGINT_POWER[2:0]		Reserved		SLOTB_TIA_GAIN_4[1:0]	SLOTB_TIA_GAIN_3[1:0]			0x0000	R/W				
		[7:0]	SLOTB_TIA_GAIN_2[1:0]		SLOTA_TIA_GAIN_4[1:0]		SLOTA_TIA_GAIN_3[1:0]	SLOTA_TIA_GAIN_2[1:0]								
0x58	DIGITAL_ INT_EN	[15:8]	Reserved		SLOTB_ DIGITAL_ INT_EN	SLOTA_ DIGITAL_ IN_T_EN	Reserved						0x0000	R/W		
		[7:0]	Reserved													
0x5A	DIG_ INT_CFG	[15:8]	Reserved									0x0000	R/W			
		[7:0]	DIG_INT_ GAPMODE	SLOTB_ DIG_INT_ SAMPLE_ MODE	SLOTA_ DIG_INT_ SAMPLE_ MODE	Reserved										
0x5F	DATA_ ACCESS_ CTL	[15:8]	Reserved									0x0000	R/W			
		[7:0]	Reserved			SLOTB_DATA_HOLD			SLOTA_DATA_HOLD							
0x60	FIFO_ ACCES	[15:8]	FIFO_DATA[15:8]									0x0000	R			
		[7:0]	FIFO_DATA[7:0]													
0x64	SLOTA_ PD1_ 16BIT	[15:8]	SLOTA_CH1_16BIT[15:8]									0x0000	R			
		[7:0]	SLOTA_CH1_16BIT[7:0]													
0x65	SLOTA_ PD2_ 16BIT	[15:8]	SLOTA_CH2_16BIT[15:8]									0x0000	R			
		[7:0]	SLOTA_CH2_16BIT[7:0]													
0x66	SLOTA_ PD3_ 16BIT	[15:8]	SLOTA_CH3_16BIT[15:8]									0x0000	R			
		[7:0]	SLOTA_CH3_16BIT[7:0]													
0x67	SLOTA_ PD4_ 16BIT	[15:8]	SLOTA_CH4_16BIT[15:8]									0x0000	R			
		[7:0]	SLOTA_CH4_16BIT[7:0]													
0x68	SLOTB_ PD1_ 16BIT	[15:8]	SLOTB_CH1_16BIT[15:8]									0x0000	R			
		[7:0]	SLOTB_CH1_16BIT[7:0]													
0x69	SLOTB_ PD2_ 16BIT	[15:8]	SLOTB_CH2_16BIT[15:8]									0x0000	R			
		[7:0]	SLOTB_CH2_16BIT[7:0]													
0x6A	SLOTB_ PD3_ 16BIT	[15:8]	SLOTB_CH3_16BIT[15:8]									0x0000	R			
		[7:0]	SLOTB_CH3_16BIT[7:0]													
0x6B	SLOTB_ PD4_ 16BIT	[15:8]	SLOTB_CH4_16BIT[15:8]									0x0000	R			
		[7:0]	SLOTB_CH4_16BIT[7:0]													
0x70	A_PD1_ LOW	[15:8]	SLOTA_CH1_LOW[15:8]									0x0000	R			
		[7:0]	SLOTA_CH1_LOW[7:0]													

Hex Addr	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	RW
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x71	A_PD2_ LOW	[15:8]									0x0000	R
		[7:0]										
0x72	A_PD3_ LOW	[15:8]									0x0000	R
		[7:0]										
0x73	A_PD4_ LOW	[15:8]									0x0000	R
		[7:0]										
0x74	A_PD1_ HIGH	[15:8]									0x0000	R
		[7:0]										
0x75	A_PD2_ HIGH	[15:8]									0x0000	R
		[7:0]										
0x76	A_PD3_ HIGH	[15:8]									0x0000	R
		[7:0]										
0x77	A_PD4_ HIGH	[15:8]									0x0000	R
		[7:0]										
0x78	B_PD1_ LOW	[15:8]									0x0000	R
		[7:0]										
0x79	B_PD2_ LOW	[15:8]									0x0000	R
		[7:0]										
0x7A	B_PD3_ LOW	[15:8]									0x0000	R
		[7:0]										
0x7B	B_PD4_ LOW	[15:8]									0x0000	R
		[7:0]										
0x7C	B_PD1_ HIGH	[15:8]									0x0000	R
		[7:0]										
0x7D	B_PD2_ HIGH	[15:8]									0x0000	R
		[7:0]										
0x7E	B_PD3_ HIGH	[15:8]									0x0000	R
		[7:0]										
0x7F	B_PD4_ HIGH	[15:8]									0x0000	R
		[7:0]										

¹ 推奨値は記載していません。表 24 には、パワーオン・リセット値のみを記載しています。推奨値は、使用状況に大きく依存します。推奨値については、表 25～表 31 を参照してください。

LED 制御レジスタ

表 25. LED 制御レジスタ

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x14	[15:12]	0x0	R/W	Reserved	正しく動作するように、これらのビットに 0x0 書き込みます。
	[11:8]	0x5	R/W	SLOTB_PD_SEL	タイム・スロット B に対応する PDx 接続の選択。図 16 と図 17 を参照してください 0x0: すべてのフォトダイオード入力はフロート状態です。 0x1: すべてのフォトダイオード入力は、タイム・スロット B の期間中に接続されます。 0x5: PD1/PD2/PD3/PD4 は、タイム・スロット B の期間中に接続されます。 その他: 予備。
	[7:4]	0x4	R/W	SLOTA_PD_SEL	タイム・スロット A に対応する PDx 接続の選択。図 16 と図 17 を参照してください 0x0: すべてのフォトダイオード入力はフロート状態です。 0x1: すべてのフォトダイオード入力は、タイム・スロット A の期間中に接続されます。 0x5: PD1/PD2/PD3/PD4 は、タイム・スロット A の期間中に接続されます。 その他: 予備。
	[3:2]	0x0	R/W	SLOTB_LED_SEL	タイム・スロット B の LED 設定。これらのビットを使用して、タイム・スロット B に関連付ける LED を決定します。 0x0: AFE への PDx 接続にパルスを供給します。 0x1: タイム・スロット B の期間中、LEDX1 にパルスを供給します。 0x2: タイム・スロット B の期間中、LEDX2 にパルスを供給します。 0x3: タイム・スロット B の期間中、LEDX3 にパルスを供給します。
	[1:0]	0x1	R/W	SLOTA_LED_SEL	タイム・スロット A の LED 設定。これらのビットを使用して、タイム・スロット A に関連付ける LED を決定します。 0x0: AFE への PDx 接続にパルスを供給します。 0x1: タイム・スロット A の期間中、LEDX1 にパルスを供給します。 0x2: タイム・スロット A の期間中、LEDX2 にパルスを供給します。 0x3: タイム・スロット A の期間中、LEDX3 にパルスを供給します。
0x22	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	13	0x1	R/W	ILED3_SCALE	LEDX3 の電流のスケール・ファクタ。 1:100 % の強度。 0:40 % の強度、LEDX3 ドライバを低消費電力モードに設定します。 LEDX3 の電流スケール = $0.4 + 0.6 \times$ (レジスタ 0x22 のビット 13)。
	12	0x1	R/W	Reserved	0x1 を書き込みます。
	[11:7]	0x0	R/W	Reserved	0x0 を書き込みます。
	[6:4]	0x0	R/W	ILED3_SLEW	LEDX3 ドライバのスルー・レート制御。スルー・レートを低速化すると、LED ドライバの過電圧発生のリスクが低下するため、動作の安全性が向上します。 0x0: 最も遅いスルー・レート。 ... 0x7: 最も速いスルー・レート。
	[3:0]	0x0	R/W	ILED3_COARSE	LEDX3 のおおまかに電流設定値。標準的な動作時における LEDX3 のおおまかに電流シンク目標。 0x0: 最小のおおまかに設定値。 ... 0xF: 最大のおおまかに設定値。 $LED3_{PEAK} = LED3_{COARSE} \times LED3_{FINE} \times LED3_{SCALE}$ ここで $LED3_{PEAK}$ は、LEDX3 のピーク目標値 (mA)。 $LED3_{COARSE} = 50.3 + 19.8 \times$ (レジスタ 0x22 のビット [3:0])。 $LED3_{FINE} = 0.74 + 0.022 \times$ (レジスタ 0x25 のビット [15:11])。 $LED3_{SCALE} = 0.4 + 0.6 \times$ (レジスタ 0x22 のビット 13)。

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x23	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	13	0x1	R/W	ILED1_SCALE	LEDX1 の電流のスケール・ファクタ。 1:100 % の強度。 0:40 % の強度、LEDX1 ドライバを低消費電力モードに設定します。 $LEDX1 \text{ の電流スケール} = 0.4 + 0.6 \times (\text{レジスタ } 0x23 \text{ のビット } 13)$ 。
	12	0x1	R/W	Reserved	0x1 を書き込みます。
	[11:7]	0x0	R/W	Reserved	0x0 を書き込みます。
	[6:4]	0x0	R/W	ILED1_SLEW	LEDX1 ドライバのスルー・レート制御。スルー・レートを低速化すると、LED ドライバの過電圧発生のリスクが低下するため、動作の安全性が向上します。 0: 最も遅いスルー・レート。 ... 7: 最も速いスルー・レート。
	[3:0]	0x0	R/W	ILED1_COARSE	LEDX1 のおおまかな電流設定値。標準的な動作時における LEDX1 のおおまかな電流シンク目標。 0x0: おおまかな最小設定値。 ... 0xF: おおまかな最大設定値。 $LEDI_{PEAK} = LEDI_{COARSE} \times LEDI_{FINE} \times LEDI_{SCALE}$ ここで $LEDI_{PEAK}$ は、LEDX1 のピーク目標値 (mA)。 $LEDI_{COARSE} = 50.3 + 19.8 \times (\text{レジスタ } 0x23 \text{ のビット } [3:0])$ 。 $LEDI_{FINE} = 0.74 + 0.022 \times (\text{レジスタ } 0x25 \text{ のビット } [4:0])$ 。 $LEDI_{SCALE} = 0.4 + 0.6 \times (\text{レジスタ } 0x23 \text{ のビット } 13)$ 。
	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
0x24	13	0x1	R/W	ILED2_SCALE	LEDX2 の電流のスケール・ファクタ。 1:100 % の強度。 0:40 % の強度、LEDX2 ドライバを低消費電力モードに設定します。 $LEDX2 \text{ の電流スケール} = 0.4 + 0.6 \times (\text{レジスタ } 0x24 \text{ のビット } 13)$ 。
	12	0x1	R/W	Reserved	0x1 を書き込みます。
	[11:7]	0x0	R/W	Reserved	0x0 を書き込みます。
	[6:4]	0x0	R/W	ILED2_SLEW	LEDX2 ドライバのスルー・レート制御。スルー・レートを低速化すると、LED ドライバの過電圧発生のリスクが低下するため、動作の安全性が向上します。 0: 最も遅いスルー・レート。 ... 7: 最も速いスルー・レート。
	[3:0]	0x0	R/W	ILED2_COARSE	LEDX2 のおおまかな電流設定値。標準的な動作時における LEDX2 のおおまかな電流シンク目標。 0x0: おおまかな最小設定値。 ... 0xF: おおまかな最大設定値。 $LED2_{PEAK} = LED2_{COARSE} \times LED2_{FINE} \times LED2_{SCALE}$ ここで $LED2_{PEAK}$ は、LEDX2 のピーク目標値 (mA)。 $LED2_{COARSE} = 50.3 + 19.8 \times (\text{レジスタ } 0x24 \text{ のビット } [3:0])$ 。 $LED2_{FINE} = 0.74 + 0.022 \times (\text{レジスタ } 0x25 \text{ のビット } [10:6])$ 。 $LED2_{SCALE} = 0.4 + 0.6 \times (\text{レジスタ } 0x24 \text{ のビット } 13)$ 。
	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x25	[15:11]	0xC	R/W	ILED3_FINE	LEDX3 の微調整。LED3 の電流調整の乗数。 LEDX3 の微調整 = $0.74 + 0.022 \times$ (レジスタ 0x25 のビット [15:11])。 LED3 の式全体については、レジスタ 0x22 のビット [3:0] を参照してください。
	[10:6]	0xC	R/W	ILED2_FINE	LEDX2 の微調整。LED2 の電流調整の乗数。 LEDX2 の微調整 = $0.74 + 0.022 \times$ (レジスタ 0x25 のビット [10:6])。 LED2 の式全体については、レジスタ 0x24 のビット [3:0] を参照してください。
	5	0x0	R/W	Reserved	0x0 を書き込みます。
	[4:0]	0xC	R/W	ILED1_FINE	LEDX1 の微調整。LED1 の電流調整の乗数。 LEDX1 の微調整 = $0.74 + 0.022 \times$ (レジスタ 0x25 のビット [4:0])。 LED1 の式全体については、レジスタ 0x23 のビット [3:0] を参照してください。
0x30	[15:13]	0x0	R/W	Reserved	0x0 を書き込みます。
	[12:8]	0x3	R/W	SLOTA_LED_WIDTH	タイム・スロット A に対応する LED パルス幅 (1 μ s ステップ単位)。
	[7:0]	0x20	R/W	SLOTA_LED_OFFSET	タイム・スロット A に対応する LED オフセット幅 (1 μ s ステップ単位)。
0x31	[15:8]	0x08	R/W	SLOTA_LED_NUMBER	LED タイム・スロット A のパルス数、n _A : タイム・スロット A の LED パルス数。これは通常 LED1 を指します。アプリケーション内で調整します。6 個のパルス (0x06) による設定値が代表的です。
	[7:0]	0x18	R/W	SLOTA_LED_PERIOD	LED タイム・スロット A のパルス数 (1 μ s ステップ単位)。
0x34	[15:10]	0x00	R/W	Reserved	0x0 を書き込みます。
	9	0x0	R/W	SLOTB_LED_DIS	タイム・スロット B の LED 無効化。1: タイム・スロット B に割り当たられた LED を無効化します。 レジスタ 0x34 はドライバをアクティブ状態に維持し、ドライバが LED に対して電流をパルス供給することを防止します。暗レベルを測定するため、このレジスタを使用して両方の LED を無効化する手法がよく使用されます。LED に加え、実際のタイム・スロットの使用も有効化または無効化するには、レジスタ 0x11 を使用します。
	8	0x0	R/W	SLOTA_LED_DIS	タイム・スロット A の LED 無効化。1: タイム・スロット A に割り当たられた LED を無効化します。 LED に加え、実際のタイム・スロットの使用も有効化または無効化するには、レジスタ 0x11 を使用します。
	[7:0]	0x00	R/W	Reserved	0x00 を書き込みます。
0x35	[15:13]	0x0	R/W	Reserved	0x0 を書き込みます。
	[12:8]	0x3		SLOTB_LED_WIDTH	タイム・スロット B に対応する LED パルス幅 (1 μ s ステップ単位)。
	[7:0]	0x20		SLOTB_LED_OFFSET	タイム・スロット B に対応する LED オフセット幅 (1 μ s ステップ単位)。
0x36	[15:8]	0x08	R/W	SLOTB_LED_NUMBER	LED タイム・スロット B のパルス数、n _B : タイム・スロット B 内の LED パルス数。これは通常 LED2 を指します。6 個のパルス (0x06) という設定値が代表的です。
	[7:0]	0x18	R/W	SLOTB_LED_PERIOD	LED タイム・スロット B のパルス数 (1 μ s ステップ単位)。

AFE グローバル設定レジスタ

表 26. AFE グローバル設定レジスタ

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x37	[15:13]	0x0	R/W	CH34_DISABLE	チャンネル3とチャンネル4のみのパワーダウン・オプション。 ビット 13: チャンネル3とチャンネル4の TIA オペアンプをパワーダウンします。 ビット 14: チャンネル3とチャンネル4の BPF オペアンプをパワーダウンします。 ビット 15: チャンネル3とチャンネル4の積分器オペアンプをパワーダウンします。
	[12:10]	0x0	R/W	CH2_DISABLE	ビット 10: チャンネル2の TIA オペアンプをパワーダウンします。 ビット 11: チャンネル2の BPF オペアンプをパワーダウンします。 ビット 12: チャンネル2の積分器オペアンプをパワーダウンします。
	[9:0]	0x000	R/W	Reserved	0x000 を書き込みます。

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x3C	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	[13:11]	0x6	R/W	Reserved	0x6 を書き込みます。
	10	0x0	R/W	Reserved	予備
	9	0x0	R/W	V_CATHODE	0x0:1.3 V (アナログ電圧と同じ)、推奨設定値。 0x1:1.8 V (550 mVまでの逆バイアス・フォトダイオード)。この設定値を使用すると、ノイズが増加する可能性があります。
	[8:3]	0x00	R/W	AFE_POWERDOWN	AFE チャンネルのパワーダウン選択。 0x0:すべてのチャンネルをオンに維持。 ビット3:チャンネル1のTIA オペアンプをパワーダウンします。 ビット4:チャンネル1のBPF オペアンプをパワーダウンします。 ビット5:チャンネル1の積分器オペアンプをパワーダウンします。 ビット6:チャンネル2、チャンネル3、チャンネル4のTIA オペアンプをパワーダウンします。 ビット7:チャンネル2、チャンネル3、チャンネル4のBPF オペアンプをパワーダウンします。 ビット8:チャンネル2、チャンネル3、チャンネル4の積分器オペアンプをパワーダウンします。
	[2:0]	0x6	R/W	Reserved	0x6 を書き込みます。
	15	0x0	R/W	SLOTB_SINGLE_CH_DIG_INT	0: タイム・スロット B で、4つの並列接続されたフォトダイオード・チャンネルすべてをデジタル積分に使用します (最高のダイナミック・レンジを実現するためのデフォルト設定)。 1: タイム・スロット B で、チャンネル1のみをデジタル積分に使用します。この設定値は、PD1 または PD5 のみに接続するように制限を加えます。
0x54	14	0x0	R/W	SLOTA_SINGLE_CH_DIG_INT	0: タイム・スロット A で、4つの並列接続されたフォトダイオード・チャンネルすべてをデジタル積分に使用します (最高のダイナミック・レンジを実現するためのデフォルト設定)。 1: タイム・スロット A で、チャンネル1のみをデジタル積分に使用します。この設定値は、PD1 または PD5 のみに接続するように制限を加えます。
	[13:12]	0x0	R/W	SLEEP_V_CATHODE	ビット7=1の場合、デバイスがスリープ・モードになっている間、この設定値はカソード電圧に適用されます。アノード電圧は常に、スリープ・モードにおけるカソード電圧と同じ値に設定されます。 0x0:V _{DD} (1.8 V)。 0x1:1.3 V。 0x2:1.55 V。 0x3:0.0 V。
	[11:10]	0x0	R/W	SLOTB_V_CATHODE	ビット7=1の場合、デバイスがタイム・スロット B で動作している間、この設定値はカソード電圧に適用されます。タイム・スロット B モードでは、アノード電圧は常に 1.3 V です。 0x0:V _{DD} (1.8 V)。 0x1:1.3 V。 0x2:1.55 V。 0x3:0.0 V (入力側でダイオードに順方向バイアスを印加します)。
	[9:8]	0x0	R/W	SLOTA_V_CATHODE	ビット7=1の場合、デバイスがタイム・スロット A で動作している間、この設定値はカソード電圧に適用されます。タイム・スロット A モードでは、アノード電圧は常に 1.3 V です。 0x0:V _{DD} (1.8 V)。 0x1:1.3 V。 0x2:1.55 V。 0x3:0.0 V (入力側でダイオードに順方向バイアスを印加します)。
	7	0x0	R/W	REG54_VCAT_ENABLE	0: レジスタ 0x3C のビット9で定義したカソード電圧の設定を使用します。 1: レジスタ 0x54 のビット [13:8] で定義したカソード設定値を使用して、レジスタ 0x3C のビット9を上書きします。
	[6:0]	0x20	R/W	Reserved	予備

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x58	[15:14]	0x0	R/W	Reserved	予備
	13	0x0	R/W	SLOTB_DIGITAL_INT_EN	0x0: タイム・スロット B は通常モードで動作します。 0x1: タイム・スロット B はデジタル積分モードで動作します。
	12	0x0	R/W	SLOTA_DIGITAL_INT_EN	0x0: タイム・スロット A は通常モードで動作します。 0x1: タイム・スロット A はデジタル積分モードで動作します。
	[11:0]	0x000	R/W	Reserved	予備
0x5A	[15:8]	0x00	R/W	Reserved	0x0 を書き込みます。
	7	0x0	R/W	DIG_INT_GAPMODE	デジタル積分モードのギャップ・モードを有効にするかどうか。 0: 負のサンプリング領域と正のサンプリング領域の間にギャップはありません。 1: タイム・スロット A に対して SLOTA_AFE_FOFFSET、タイム・スロット B に対して SLOTB_AFE_FOFFSET を使用し、 μs 単位でギャップを指定します。
	6	0x0	R/W	SLOTB_DIG_INT_SAMPLE_MODE	タイム・スロット B で、デジタル積分モードのシングル・サンプル・ペア・モードを使用するかどうか。 0: ダブル・サンプル・ペア・モード。 1: シングル・サンプル・ペア・モード。
	5	0x0	R/W	SLOTA_DIG_INT_SAMPLE_MODE	タイム・スロット A で、デジタル積分モードのシングル・サンプル・ペア・モードを使用するかどうか。 0: ダブル・サンプル・ペア・モード。 1: シングル・サンプル・ペア・モード。
	[4:0]	0x00	R/W	Reserved	0x00 を書き込みます。

表 27. AFE 設定レジスタ、タイム・スロット A

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x39	[15:11]	0x4	R/W	SLOTA_AFE_WIDTH	タイム・スロット A に対応する AFE 積分ウィンドウ幅 (1 μs ステップ単位)。
	[10:5]	0x17	R/W	SLOTA_AFE_OFFSET	タイム・スロット A に対応する AFE 積分ウィンドウのおまかたオフセット (1 μs ステップ単位)。
	[4:0]	0x1C	R/W	SLOTA_AFE_FOFFSET	タイム・スロット A に対応する AFE 積分ウィンドウのオフセット微調整 (31.25 ns ステップ単位)。
0x42	[15:8]	0x1C	R/W	SLOTA_AFE_MODE	0x1C: タイム・スロット A の通常動作モード用の AFE 設定値。シグナル・チェーンの 4 個のブロックすべて (TIA, BPF、後段の積分器、最後の ADC) を通常動作モードで使用します。 0x1D: タイム・スロット A のデジタル積分モード用の AFE 設定値。
	7	0x0	R/W	SLOTA_INT_AS_BUF	0: 通常の積分設定。 1: 積分器をバッファ・アンプに変換 (デジタル積分モードでは、この変換は自動的に実施されます)。
	6	0x0	R/W	SLOTA_TIA_IND_EN	タイム・スロット A の TIA ゲインの個別調整を有効にするかどうか。有効にする場合、チャンネル 1 の TIA ゲインはレジスタ 0x42 のビット [1:0] を使用して設定し、チャンネル 2 ~ チャンネル 4 の TIA ゲインはレジスタ 0x55 のビット [5:0] を使用して設定します。 0: TIA ゲインの個別設定を無効にします。 1: TIA ゲインの個別設定を有効にします。
	[5:4]	0x3	R/W	SLOTA_TIA_VBIAS	タイム・スロット A に対応する TIA の V_{BIAS} を設定します。 0: 1.14 V。 1: 1.01 V。 2: 0.90 V。 3: 1.27 V (デフォルトの推奨値)。
	[3:2]	0x2	R/W	Reserved	予備 0x1 を書き込みます。
	[1:0]	0x0	R/W	SLOTA_TIA_GAIN	タイム・スロット A に対応するトランスインピーダンス・アンプのゲイン。SLOTA_TIA_IND_EN が有効な場合、タイム・スロット B に対応するチャンネル 1 の TIA ゲインが対象になります。SLOTA_TIA_IND_EN が無効な場合、タイム・スロット A に対応する 4 つのチャンネルすべての TIA ゲイン設定値が対象になります。 0: 200 k Ω 。 1: 100 k Ω 。 2: 50 k Ω 。 3: 25 k Ω 。

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x43	[15:0]	0xADA5	R/W	SLOTA_AFE_CFG	タイム・スロット A の AFE 接続。 0xADA5: アナログ・フル・パス・モード (TIA_BPF_INT_ADC)。 0xAE65:TIA ADC モード (レジスタ 0x42 のビット 7=1 の場合)。 0xB065:TIA ADC モード (レジスタ 0x42 のビット 7=0 の場合)。 0xAE65: デジタル積分モード。 その他: 予備。
0x55	[15:13]	0x0	R/W	DIGINT_POWER	デジタル積分モードで、チャンネル 2、チャンネル 3、チャンネル 4 をパワーダウンするかどうか。 0: すべてのチャンネルをパワーアップ状態に維持します。 7: チャンネル 2、チャンネル 3、チャンネル 4 をパワーダウンします。
	[12]	0x0	R/W	Reserved	0x0 を書き込みます。
	[11:10]	0x0	R/W	SLOTB_TIA_GAIN_4	タイム・スロット B、チャンネル 4 の TIA ゲイン (PD4)。 0:200 kΩ 1:100 kΩ 2:50 kΩ 3:25 kΩ
	[9:8]	0x0	R/W	SLOTB_TIA_GAIN_3	タイム・スロット B、チャンネル 3 の TIA ゲイン (PD3)。 0:200 kΩ 1:100 kΩ 2:50 kΩ 3:25 kΩ
	[7:6]	0x0	R/W	SLOTB_TIA_GAIN_2	タイム・スロット B、チャンネル 2 の TIA ゲイン (PD2)。 0:200 kΩ 1:100 kΩ 2:50 kΩ 3:25 kΩ
	[5:4]	0x0	R/W	SLOTA_TIA_GAIN_4	タイム・スロット A、チャンネル 4 の TIA ゲイン (PD4)。 0:200 kΩ 1:100 kΩ 2:50 kΩ 3:25 kΩ
	[3:2]	0x0	R/W	SLOTA_TIA_GAIN_3	タイム・スロット A、チャンネル 3 の TIA ゲイン (PD3)。 0:200 kΩ 1:100 kΩ 2:50 kΩ 3:25 kΩ
	[1:0]	0x0	R/W	SLOTA_TIA_GAIN_2	タイム・スロット A、チャンネル 2 の TIA ゲイン (PD2)。 0:200 kΩ 1:100 kΩ 2:50 kΩ 3:25 kΩ
0x5A	[15:8]	0x00	R/W	Reserved	0x0 を書き込みます。
	[7]	0x0	R/W	DIG_INT_GAPMODE	デジタル積分モードのギャップ・モードを有効にするかどうか。 0: 負のサンプリング領域と正のサンプリング領域の間にギャップはありません。 1: タイム・スロット A に対して SLOTA_AFE_FOFFSET、タイム・スロット B に対して SLOTB_AFE_FOFFSET を使用し、μs 単位でギャップを指定します。
	[6]	0x0	R/W	SLOTB_DIG_INT_SAMPLEMODE	タイム・スロット B で、デジタル積分モードのシングル・サンプル・ペア・モードを使用するかどうか。 0: ダブル・サンプル・ペア・モード。 1: シングル・サンプル・ペア・モード。
	[5]	0x0	R/W	SLOTA_DIG_INT_SAMPLEMODE	タイム・スロット A で、デジタル積分モードのシングル・サンプル・ペア・モードを使用するかどうか。 0: ダブル・サンプル・ペア・モード。 1: シングル・サンプル・ペア・モード。
	[4:0]	0x00	R/W	Reserved	0x0 を書き込みます。

表 28. AFE 設定レジスタ、タイム・スロット B

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x3B	[15:11]	0x04	R/W	SLOTB_AFE_WIDTH	タイム・スロット B に対応する AFE 積分ウィンドウ幅 (1 μ s ステップ単位)。
	[10:5]	0x17	R/W	SLOTB_AFE_OFFSET	タイム・スロット B に対応する AFE 積分ウィンドウの近似オフセット (1 μ s ステップ単位)。
	[4:0]	0x1C	R/W	SLOTB_AFE_FOFFSET	タイム・スロット B に対応する AFE 積分ウィンドウのオフセット微調整 (31.25 ns ステップ単位)。
0x44	[15:8]	0x1C	R/W	SLOTB_AFE_MODE	0x1C: タイム・スロット B の通常動作モード用の AFE 設定値 (TIA_BPF_INT_ADC)。 0x1D: タイム・スロット B のデジタル積分モード用の AFE 設定値。
	7	0x0	R/W	SLOTB_INT_AS_BUF	0: 通常の積分設定。 1: 積分器をバッファ・アンプに変換 (デジタル積分モードでは、この変換は自動的に実施されます)。
	6	0x0	R/W	SLOTB_TIA_IND_EN	タイム・スロット B の TIA ゲインの個別調整を有効にするかどうか。有効にする場合、チャンネル 1 の TIA ゲインはレジスタ 0x44 のビット [1:0] を使用して設定し、チャンネル 2 ~ チャンネル 4 の TIA ゲインはレジスタ 0x55 のビット [11:6] を使用して設定します。 0: TIA ゲインの個別設定を無効にします。 1: TIA ゲインの個別設定を有効にします。
	[5:4]	0x3	R/W	SLOTB_TIA_VBIAS	タイム・スロット B に対応する TIA の VBIAS を設定します。 0: 1.14 V。 1: 1.01 V。 2: 0.90 V。 3: 1.27 V (デフォルトの推奨値)。
	[3:2]	0x2	R/W	Reserved	0x1 を書き込みます。
0x45	[15:0]	0xADA5	R/W	SLOTB_AFE_CFG	タイム・スロット B の AFE 接続。 0xADA5: アナログ・フル・パス・モード (TIA_BPF_INT_ADC)。 0xAE65: TIA ADC モード (レジスタ 0x44 のビット 7=1 の場合)。 0xB065: TIA ADC モード (レジスタ 0x44 のビット 7=0 の場合)。 0xAE65: デジタル積分モード。 その他: 予備。
	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	13	0x0	R/W	SLOTB_DIGITAL_INT_EN	デジタル積分モードで、タイム・スロット B を有効にするかどうか。 0: 無効。 1: 有効。
	12	0x0	R/W	SLOTA_DIGITAL_INT_EN	デジタル積分モードで、タイム・スロット A を有効にするかどうか。 0: 無効。 1: 有効。
	[11:0]	0x0000	R/W	Reserved	0x0000 を書き込みます。

システム・レジスタ

表 29. システム・レジスタ

アドレス	データ・ビット	デフォルト	アクセス	名前	説明
0x00	[15:8]	0x00	R/W	FIFO_SAMPLES	FIFO のステータス。FIFO から読み出すことができるバイト数。この値を FIFO 長の閾値（レジスタ 0x06 のビット [13:8]）と比較する場合、FIFO のステータス値はバイト単位で、FIFO 長の閾値はワード単位であることに注意してください。ここで、1 ワード = 2 バイトです。 FIFO の内容をクリアするには、ビット 15 に 1 を書き込みます。
	7	0x0	R/W	Reserved	0x1 を書き込むと、このビットはクリアされて 0x0 になります。
	6	0x0	R/W	SLOTB_INT	タイム・スロット B の割込み。割込みイベントの種類。値が 1 の場合、特定のイベントに対応する割込みが発生したことを表します。1 を書き込むと、対応する割込みがクリアされます。クリア後、レジスタは 0 になります。このレジスタに 0 を書き込んでも、何の効果もありません。
	5	0x0	R/W	SLOTA_INT	タイム・スロット A の割込み。割込みイベントの種類。値が 1 の場合、特定のイベントに対応する割込みが発生しています。1 を書き込むと、対応する割込みがクリアされます。クリア後、レジスタは 0 になります。このレジスタに 0 を書き込んでも、何の効果もありません。
	[4:0]	0x00	R/W	Reserved	0x1F を書き込むと、これらのビットはクリアされて 0x00 になります。
	[15:9]	0x00	R/W	Reserved	0x00 を書き込みます。
0x01	8	0x1	R/W	FIFO_INT_MASK	FIFO データ長が、レジスタ 0x06 のビット [13:8] で指定された FIFO 長の閾値を上回る場合、割込みを送信するかどうか。この値を 0 にすると、割込みが有効になります。
	7	0x1	R/W	Reserved	0x1 を書き込みます。
	6	0x1	R/W	SLOTB_INT_MASK	タイム・スロット B のサンプリングに対して割込みを送信します。1 を書き込むと、割込みが無効になります。0 を書き込むと、割込みが有効になります。
	5	0x1	R/W	SLOTA_INT_MASK	タイム・スロット A のサンプリングに対して割込みを送信します。1 を書き込むと、割込みが無効になります。0 を書き込むと、割込みが有効になります。
	[4:0]	0x1F	R/W	Reserved	0x1F を書き込みます。
	[15:10]	0x00	R/W	Reserved	0x0000 を書き込みます。
0x02	9	0x0	R/W	GPIO1_DRV	GPIO1 を駆動するかどうか。 0: GPIO1 ピンは常に駆動されます。 1: 割込みがアサートされると、GPIO1 ピンが駆動されます。それ以外の場合は、フロート状態のままになり、極性に応じてプルアップ抵抗またはプルダウン抵抗が必要になります（オープン・ドレインとして動作）。複数のデバイスが GPIO1 ピンを共有する必要がある場合は、この設定値を使用します。
	8	0x0	R/W	GPIO1_POL	GPIO1 の極性。 0: GPIO1 ピンはアクティブ・ハイ。 1: GPIO1 ピンはアクティブ・ロー。
	[7:3]	0x00	R/W	Reserved	0x00 を書き込みます。
	2	0x0	R/W	GPIO0_ENA	GPIO0 ピンを有効にするかどうか。 0: GPIO0 ピンを無効にします。割込みのステータスに関係なく、GPIO0 ピンはフロート状態になります。ステータス・レジスタ（アドレス 0x00）はアクティブな状態にとどまります。 1: GPIO0 ピンを有効にします。
	1	0x0	R/W	GPIO0_DRV	GPIO0 を駆動するかどうか。 0: GPIO0 ピンは常に駆動されます。 1: 割込みがアサートされると、GPIO0 ピンが駆動されます。それ以外の場合は、フロート状態のままになり、極性に応じてプルアップ抵抗またはプルダウン抵抗が必要になります（オープン・ドレインとして動作）。複数のデバイスが GPIO0 ピンを共有する必要がある場合は、この設定値を使用します。
	0	0x0	R/W	GPIO0_POL	GPIO0 の極性。 0: GPIO0 ピンはアクティブ・ハイ。 1: GPIO0 ピンはアクティブ・ロー。
	[15:10]	0x00	R/W	Reserved	0x0000 を書き込みます。
	[7:3]	0x00	R/W	Reserved	0x00 を書き込みます。

アドレス	データ・ビット	デフォルト	アクセス	名前	説明
0x06	[15:14]	0x0	R/W	Reserved	0x0 を書き込みます。
	[13:8]	0x00	R/W	FIFO_THRESH	FIFO 長の閾値。FIFO 内にあるデータワードの数が、FIFO_THRESH の値を上回ったときに割込みが生成されます。FIFO 内にあるデータワードの数が、FIFO_THRESH の値以下になった時点で、割込みピンは自動的にアサート解除されます。
	[7:0]	0x00	R/W	Reserved	0x00 を書き込みます。
0x08	[15:8]	0x04	R	REV_NUM	リビジョン番号。
	[7:0]	0x16	R	DEV_ID	デバイス ID。
0x09	[15:8]	0x00	W	ADDRESS_WRITE_KEY	SLAVE_ADDRESS への書き込みを行うときは、0xAD を書き込みます。それ以外の場合は、アクセスしないでください。
	[7:1]	0x64	R/W	SLAVE_ADDRESS	I ² C のスレーブ・アドレス。
	0	0x0	R	Reserved	アクセスしないでください。
0x0A	[15:12]	0x0	R	Reserved	0x0 を書き込みます。
	[11:0]	0x000	R	CLK_RATIO	CLK32M_CAL_EN ビット (レジスタ 0x50 のビット 5) がセットされている場合、デバイスは 32 kHz クロックの 2 サイクル分を単位として、32 MHz クロックのサイクル数を計算します。その結果、通常は CLK_RATIO ビット内に 2000 (0x07D0) が格納されます。
0x0B	[15:13]	0x0	R/W	Reserved	0x0 を書き込みます。
	[12:8]	0x00	R/W	GPIO1_ALT_CFG	GPIO1 ピンの代替設定。 0x0: GPIO1 は、ADPD103 の PDSO ピンの機能との下位互換性を備えています。 0x1: レジスタ 0x01 の定義に従って、GPIO1 で割込み機能を提供します。 0x2: 最初のタイム・スロット開始時にアサートされ、最後のタイム・スロット終了時にアサート解除されます 0x5: タイム・スロット A のパルス出力。 0x6: タイム・スロット B のパルス出力。 0x7: 両方のタイム・スロットのパルス出力。 0xC: タイム・スロット A に対応して発生したデータ・サイクルを出力します。 0xD: タイム・スロット B に対応して発生したデータ・サイクルを出力します。 0xE: 発生したデータ・サイクルを出力します。 0xF: サンプルごとにトグルします。この結果、サンプリング・レートの半分で信号が供給されます。 0x10: 出力 = 0 0x11: 出力 = 1 0x13: 32 kHz 発振器の出力。 残りの設定値はサポートされていません。
	[7:5]	0x0	R/W	Reserved	0x0 を書き込みます。
	[4:0]	0x00	R/W	GPIO0_ALT_CFG	GPIO0 ピンの代替設定。 0x0: GPIO0 は、ADPD103 の INT ピンの機能との下位互換性があります。 0x1: レジスタ 0x01 の定義に従って、GPIO0 で割込み機能を提供します。 0x2: 最初のタイム・スロット開始時にアサートされ、最後のタイム・スロット終了時にアサート解除されます 0x5: タイム・スロット A のパルス出力。 0x6: タイム・スロット B のパルス出力。 0x7: 両方のタイム・スロットのパルス出力。 0xC: タイム・スロット A に対応して発生したデータ・サイクルを出力します。 0xD: タイム・スロット B に対応して発生したデータ・サイクルを出力します。 0xE: 発生したデータ・サイクルを出力します。 0xF: サンプルごとにトグルします。この結果、サンプリング・レートの半分で信号が供給されます。 0x10: 出力 = 0 0x11: 出力 = 1 0x13: 32 kHz 発振器の出力。 残りの設定値はサポートされていません。

アドレス	データ・ビット	デフォルト	アクセス	名前	説明
0x0D	[15:0]	0x0000	R/W	SLAVE_ADDRESS_KEY	レジスタ 0x09 を使用した I ² C アドレスの変更を有効にするかどうか。 0x04AD: アドレスの変更を常に有効にします。 0x44AD: GPIO0 がハイの場合、アドレスの変更を有効にします。 0x84AD: GPIO1 がハイの場合、アドレスの変更を有効にします。 0xC4AD: GPIO0 と GPIO1 の両方がハイの場合、アドレスの変更を有効にします。
0x0F	[15:1]	0x0000	R	Reserved	0x0000 を書き込みます。
	0	0x0	R/W	SW_RESET	ソフトウェア・リセット。デバイスをリセットするには、0x1 を書き込みます。リセット後、このビットは自らクリアされます。I ² C 通信に関して、このコマンドはアクノレッジを返した後、すべてのレジスタでデフォルト状態にリセットされると、デバイスはスタンバイ・モードに戻ります。
0x10	[15:2]	0x0000	R/W	Reserved	0x000 を書き込みます。
	[1:0]	0x0	R/W	モード	ADPD105/ADPD107 の動作モードを決定します。 0x0: スタンバイ。 0x1: プログラム。 0x2: 通常動作。
0x11	[15:14]	0x0	R/W	Reserved	予備
	13	0x0	R/W	RDOUT_MODE	拡張データに対するリードバック・データ・モード。 0x0: N 個のサンプルのブロック合計。 0x1: N 個のサンプルのブロック平均。
	12	0x1	R/W	FIFO_OVRN_PREVENT	0x0: FIFO を折り返して使用し、新しいデータで古いデータを上書き。 0x1: FIFO がいっぱいではない場合は新しいデータを書き込み（推奨設定値）。
	[11:9]	0x0	R/W	Reserved	予備
	[8:6]	0x0	R/W	SLOTB_FIFO_MODE	タイム・スロット B の FIFO データ・フォーマット。 0: FIFO にデータを書き込みません。 1: デジタル積分モードの場合、16 ビット・サンプル。デジタル積分モード以外の場合、4 つのチャンネルすべての 16 ビットの合計。 2: デジタル積分モードの場合、32 ビット・サンプル。デジタル積分モード以外の場合、4 つのチャンネルすべての 32 ビットの合計。 3: デジタル積分モードの場合、16 ビット・サンプルと 16 ビットの背景値／周辺値。 4: デジタル積分モードの場合、32 ビット・サンプルと 32 ビットの背景値／周辺値。 デジタル積分モード以外の場合、タイム・スロット B に対応する 4 つのチャンネルすべての 16 ビット・サンプル・データ。 6: デジタル積分モード以外の場合、タイム・スロット B に対応する 4 つのチャンネルの 32 ビット拡張サンプル・データ。 その他: 予備。 タイム・スロット B で選択したデータは FIFO に保存されます。タイム・スロット A が同じ平均化の係数 N を使用している場合（レジスタ 0x15 のビット [10:8]=ビット [6:4]）や、タイム・スロット A が FIFO にデータを格納しない場合（レジスタ 0x11 のビット [4:2]=0）のみ、使用できます。
	5	0x0	R/W	SLOTB_EN	タイム・スロット B の有効化。1: タイム・スロット B を有効にします。
	[4:2]	0x0	R/W	SLOTA_FIFO_MODE	タイム・スロット A の FIFO データ・フォーマット。 0: FIFO にデータを書き込みません。 1: デジタル積分モードの場合、16 ビット・サンプル。デジタル積分モード以外の場合、4 つのチャンネルすべての 16 ビットの合計。 2: デジタル積分モードの場合、32 ビット・サンプル。デジタル積分モード以外の場合、4 つのチャンネルすべての 32 ビットの合計。 3: デジタル積分モードの場合、16 ビット・サンプルと 16 ビットの背景値／周辺値。 4: デジタル積分モードの場合、32 ビット・サンプルと 32 ビットの背景値／周辺値。 デジタル積分モード以外の場合、タイム・スロット A に対応する 4 つのチャンネルすべての 16 ビット・サンプル・データ。 6: デジタル積分モード以外の場合、タイム・スロット B に対応する 4 つのチャンネルの 32 ビット拡張サンプル・データ。 その他: 予備。
	1	0x0	R/W	Reserved	0x0 を書き込みます。
	0	0x0	R/W	SLOTA_EN	タイム・スロット A の有効化。1: タイム・スロット A を有効にします。

アドレス	データ・ビット	デフォルト	アクセス	名前	説明
0x38	[15:0]	0x0000	R/W	EXT_SYNC_STARTUP	EXT_SYNC_SEL が b01 または b10 の場合、0x4000 を書き込みます。それ以外の場合は、0x0 を書き込みます。
0x4B	[15:9]	0x13	R/W	Reserved	0x26 を書き込みます。
	8	0x0	R/W	CLK32K_BYP	32 kHz の内部発振器をバイパスするかどうか。 0x0: 通常動作。 0x1: GPIO1 ピンにある外部クロックを供給します。入力として GPIO1 ピンを有効にするには、レジスタ 0x4F のビット [6:5]=01 に設定する必要があります。
	7	0x0	R/W	CLK32K_EN	サンプリング・クロックのパワーアップ。データ・サンプリング・クロックを有効にするかどうか。 0x0: クロックを無効にします。 0x1: 通常動作。
	6	0x0	R/W	Reserved	0x0 を書き込みます。
	[5:0]	0x12	R/W	CLK32K_ADJUST	データ・サンプリング (32 kHz) クロックの周波数を調整。このレジスタは、デバイスのサンプリング周波数を補正し、レジスタ 0x12 で定義されるデータ・レートで高精度を達成するために使用します。LSB あたり 0.6 kHz で、サンプリング・マスター・クロックを調整します。レジスタ 0x12 で 100 Hz のサンプリング・レートを定義する場合、レジスタ 0x4B、ビット [5:0] の 1 LSB は 1.9 Hz になります。大きい値を指定するほど、周波数が低くなることに注意してください。クロック調整の詳細については、クロックとタイミングの補正セクションを参照してください。 00 0000: 最大周波数。 10 0010: 代表的なセンター周波数。 11 1111: 最小周波数。
	[15:8]	0x00	R/W	Reserved	0x00 を書き込みます。
	[7:0]	0x98	R/W	CLK32M_ADJUST	内部タイミング (32 MHz) クロックの周波数を調整。このレジスタは、デバイスの内部クロックを補正し、LED パルスを高精度のタイミングで供給する場合に使用します。LSB あたり 109 kHz で、32 MHz クロックを調整します。 クロック調整の詳細については、クロックとタイミングの補正セクションを参照してください。 0000 0000: 最小周波数。 1001 1000: デフォルト周波数。 1111 1111: 最大周波数。
0x4E ¹	[15:0]	0x0060	R/W	ADC_TIMING ¹	0x0040:ADC クロック速度 = 1 MHz. 0x0060:ADC クロック速度 = 500 kHz.
0x4F	[15:8]	0x20	R/W	Reserved	0x20 を書き込みます。
	7	0x1	R/W	Reserved	0x1 を書き込みます。
	6	0x0	R/W	GPIO1_OE	GPIO1 ピンを有効にするかどうか。
	5	0x0	R/W	GPIO1_IE	GPIO1 ピンの入力を有効にするかどうか。
	4	0x1	R/W	Reserved	0x1 を書き込みます。
	[3:2]	0x0	R/W	EXT_SYNC_SEL	サンプリング同期の選択。 00: 32 kHz の内部クロックを FSAMPLE と組み合わせて使用し、サンプリングのタイミングを選択します。 01: GPIO0 ピンを使用してサンプリング・サイクルをトリガします。 10: GPIO1 ピンを使用してサンプリング・サイクルをトリガします。 11: 予備
	1	0x0	R/W	GPIO0_IE	GPIO0 ピンの入力を有効にするかどうか。
	0	0x0	R/W	Reserved	0x0 を書き込みます。
	[15:7]	0x000	R/W	Reserved	0x000 を書き込みます。
0x50	6	0x0	R/W	GPIO1_CTRL	GPIO1 出力が有効になっている場合 (GPIO1_OE=0x1) 、GPIO1 出力を制御します。 0x0:GPIO1 出力をローに駆動します。 0x1:GPIO1 出力は AFE のパワーダウン信号によって駆動されます。
	5	0x0	R/W	CLK32M_CAL_EN	32 MHz クロックの補正ルーチンの一部として、1 を書き込んでクロック比の計算を開始します。レジスタ 0x0A の CLK_RATIO ビットから、この計算の結果を読み出します。 計算を再び初期化する前に、このビットを 0 にリセットしてください。
	[4:0]	0x00	R/W	Reserved	0x0 を書き込みます。

アドレス	データ・ビット	デフォルト	アクセス	名前	説明
0x5F	[15:3]	0x0000	R/W	Reserved	0x0000 を書き込みます。
	2	0x0	R/W	SLOTB_DATA_HOLD	このビットをセットすると、タイム・スロット B に対応するデータ・レジスタの更新が防止されます。このビットをセットすると、まだ読み出していないデータ・レジスタが確実に更新されなくなり、4つのフォトダイオード・チャンネルすべてから取得した連続データ・セットが確保されます。 1: タイム・スロット B に対応するデータ・レジスタを維持します。 0: データ・レジスタの更新を許可します。
	1	0x0	R/W	SLOTA_DATA_HOLD	このビットをセットすると、タイム・スロット A に対応するデータ・レジスタの更新が防止されます。このビットをセットすると、まだ読み出していないデータ・レジスタが確実に更新されなくなり、4つのフォトダイオード・チャンネルすべてから取得した連続データ・セットが確保されます。 1: タイム・スロット A に対応するデータ・レジスタを維持します。 0: データ・レジスタの更新を許可します。
	0	0x0	R/W	DIGITAL_CLOCK_ENA	32 MHz クロックの補正を実施するとき、32 MHz クロックを有効にするため、このビットを 1 に設定します。このビットを 0 にリセットして補正を実施した後、必ず 32 MHz クロックを無効にしてください。

¹ クロック速度の設定は、デジタル積分モードを使用している場合のみ適用されます。

ADC レジスタ

表 30. ADC レジスタ

アドレス	データ・ビット	デフォルト	アクセス	名前	説明
0x12	[15:0]	0x0028	R/W	FSAMPLE	サンプリング周波数: $f_{\text{SAMPLE}} = 32 \text{ kHz}$ (レジスタ 0x12 のビット [15:0] $\times 4$)。例えば、100 Hz = 0x0050、200 Hz = 0x0028 です。
0x15	[15:11]	0x00	R/W	Reserved	0x0 を書き込みます。
	[10:8]	0x6	R/W	SLOTB_NUM_AVG	タイム・スロット B に対応するサンプルの合計／平均。平均化の係数 N_B を指定します。この値は、合計の対象になる個別サンプル数であり、ADC よりも後段で平均化されます。レジスタ 0x70～レジスタ 0x7F はデータの合計を保持します。レジスタ 0x64～レジスタ 0x6B、およびレジスタ 0x60 内のデータ・バッファはデータ平均を保持します。この値を使用すると、16 ビット・レジスタでクリップを実行せずに SNR を向上することができます。 SLOTB_NUM_AVG ビットの値を使用して、データ・レートのデシメーションが実行されます。 0:1 1:2 2:4 3:8 4:16 5:32 6:64 7:128
	7	0x0	R/W	Reserved	0x0 を書き込みます。
	[6:4]	0x0	R/W	SLOTA_NUM_AVG	タイム・スロット A に対応するサンプルの合計／平均、 N_A : ビット [10:8] に似ていますが、タイム・スロット A を対象にしています。レジスタ 0x15 のビット [10:8] に関する説明を参照してください。
	[3:0]	0x0	R/W	Reserved	0x0 を書き込みます。
0x18	[15:0]	0x2000	R/W	SLOTA_CH1_OFFSET	タイム・スロット A のチャンネル 1 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x19	[15:0]	0x2000	R/W	SLOTA_CH2_OFFSET	タイム・スロット A のチャンネル 2 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x1A	[15:0]	0x2000	R/W	SLOTA_CH3_OFFSET	タイム・スロット A のチャンネル 3 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x1B	[15:0]	0x2000	R/W	SLOTA_CH4_OFFSET	タイム・スロット A のチャンネル 4 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x1E	[15:0]	0x2000	R/W	SLOTB_CH1_OFFSET	タイム・スロット B のチャンネル 1 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。

アドレス	データ・ビット	デフォルト	アクセス	名前	説明
0x1F	[15:0]	0x2000	R/W	SLOTB_CH2_OFFSET	タイム・スロット B のチャンネル 2 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x20	[15:0]	0x2000	R/W	SLOTB_CH3_OFFSET	タイム・スロット B のチャンネル 3 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x21	[15:0]	0x2000	R/W	SLOTB_CH4_OFFSET	タイム・スロット B のチャンネル 4 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。

データ・レジスタ

表 31. データ・レジスタ

アドレス	データ・ビット	アクセス	名前	説明
0x60	[15:0]	R	FIFO_DATA	FIFO 内で次に利用できるワード。
0x64	[15:0]	R	SLOTA_CH1_16BIT	タイム・スロット A のチャンネル 1 にある 16 ビット値。
0x65	[15:0]	R	SLOTA_CH2_16BIT	タイム・スロット A のチャンネル 2 にある 16 ビット値。
0x66	[15:0]	R	SLOTA_CH3_16BIT	タイム・スロット A のチャンネル 3 にある 16 ビット値。
0x67	[15:0]	R	SLOTA_CH4_16BIT	タイム・スロット A のチャンネル 4 にある 16 ビット値。
0x68	[15:0]	R	SLOTB_CH1_16BIT	タイム・スロット B のチャンネル 1 にある 16 ビット値。
0x69	[15:0]	R	SLOTB_CH2_16BIT	タイム・スロット B のチャンネル 2 にある 16 ビット値。
0x6A	[15:0]	R	SLOTB_CH3_16BIT	タイム・スロット B のチャンネル 3 にある 16 ビット値。
0x6B	[15:0]	R	SLOTB_CH4_16BIT	タイム・スロット B のチャンネル 4 にある 16 ビット値。
0x70	[15:0]	R	SLOTA_CH1_LOW	タイム・スロット A のチャンネル 1 にある下位データワード。
0x71	[15:0]	R	SLOTA_CH2_LOW	タイム・スロット A のチャンネル 2 にある下位データワード。
0x72	[15:0]	R	SLOTA_CH3_LOW	タイム・スロット A のチャンネル 3 にある下位データワード。
0x73	[15:0]	R	SLOTA_CH4_LOW	タイム・スロット A のチャンネル 4 にある下位データワード。
0x74	[15:0]	R	SLOTA_CH1_HIGH	タイム・スロット A のチャンネル 1 にある上位データワード。
0x75	[15:0]	R	SLOTA_CH2_HIGH	タイム・スロット A のチャンネル 2 にある上位データワード。
0x76	[15:0]	R	SLOTA_CH3_HIGH	タイム・スロット A のチャンネル 3 にある上位データワード。
0x77	[15:0]	R	SLOTA_CH4_HIGH	タイム・スロット A のチャンネル 4 にある上位データワード。
0x78	[15:0]	R	SLOTB_CH1_LOW	タイム・スロット B のチャンネル 1 にある下位データワード。
0x79	[15:0]	R	SLOTB_CH2_LOW	タイム・スロット B のチャンネル 2 にある下位データワード。
0x7A	[15:0]	R	SLOTB_CH3_LOW	タイム・スロット B のチャンネル 3 にある下位データワード。
0x7B	[15:0]	R	SLOTB_CH4_LOW	タイム・スロット B のチャンネル 4 にある下位データワード。
0x7C	[15:0]	R	SLOTB_CH1_HIGH	タイム・スロット B のチャンネル 1 にある上位データワード。
0x7D	[15:0]	R	SLOTB_CH2_HIGH	タイム・スロット B のチャンネル 2 にある上位データワード。
0x7E	[15:0]	R	SLOTB_CH3_HIGH	タイム・スロット B のチャンネル 3 にある上位データワード。
0x7F	[15:0]	R	SLOTB_CH4_HIGH	タイム・スロット B のチャンネル 4 にある上位データワード。

必須のスタートアップ・ロード手順

必須のスタートアップ・ロード手順は、次のとおりです。

1. ステート・マシンを駆動するクロックを有効にするには、レジスタ 0x4B のビット 7 に 0x1 を書き込みます。
2. レジスタ 0x10 に 0x0001 を書き込み、プログラム・モードに移行します。

3. 他のレジスタに書き込みを行います。デバイスがプログラム・モードにある間は、レジスタへの書き込み順序は重要ではありません。
4. レジスタ 0x10 に 0x0002 を書き込み、通常のサンプリング動作を開始します。

外形寸法

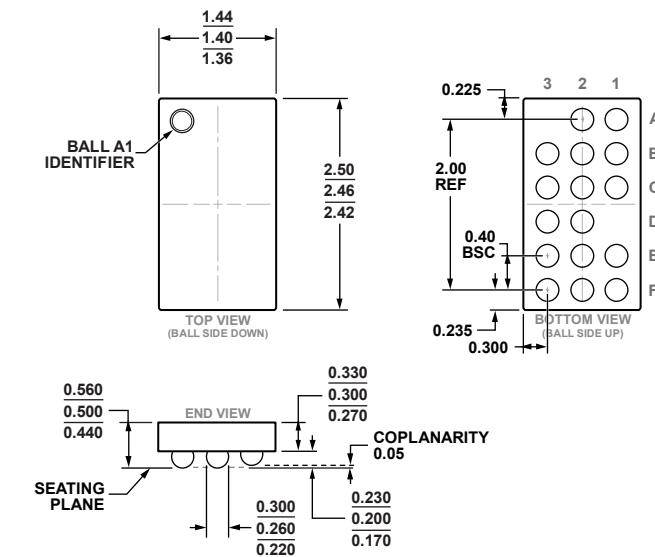


図 45.16 ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP]
(CB-16-18)
寸法単位: mm

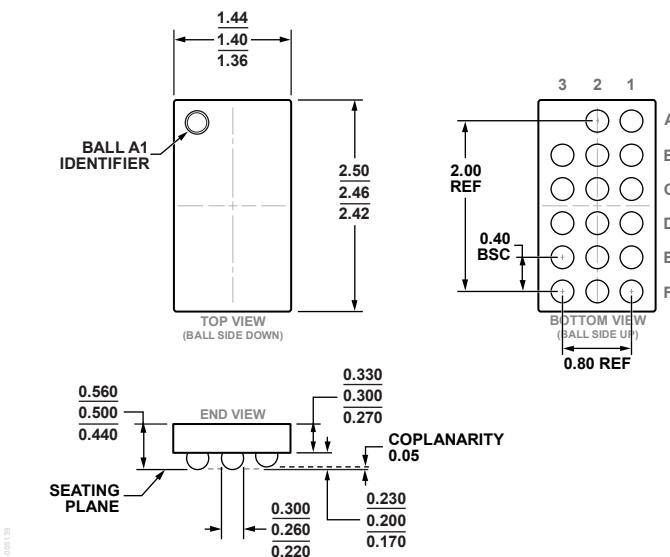


図 46.17 ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP]
(CB-17-1)
寸法単位: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADPD105BCBZR7	-40°C to +85°C	16-Ball WLCSP	CB-16-18
ADPD107BCBZR7	-40°C to +85°C	17-Ball WLCSP	CB-17-1
EVAL-ADPD105Z-GEN		Generic ADPD105 Evaluation Board ²	

¹ Z = RoHS 準拠製品。

² この評価用ボードは、ADPD105 と ADPD107 の両方で使用できます。