



フォトメトリック・ フロント・エンド

データシート

ADPD103

特長

- 多機能フォトメトリック・フロント・エンド AFE、ADC、LED ドライバ、タイミング・コアをすべて内蔵光電式容積脈波記録法を含む広範な光学測定アプリケーションに使用可能
- フォトダイオード光学フィルタなしでクラス最高レベルの周囲光除去能力を実現
- 8 mA から 250 mA までをカバーする 3 個の LED ドライバ LED/フォトダイオードの組み合わせごとに独立したデータ・レジスタ
- 1 ~ 8 個の光入力
- 光サンプリング 1 回ごとに柔軟性の高い複数の短い LED パルス
- 1 サンプリング周期あたり 20 ビットのサンプリングが可能な 20 ビット・バースト・アキュムレータ
- アキュムレータ・サンプリング用のオンボード・サンプリングにより、1 回で 27 ビットのデータ読出しが可能
- 低消費電力動作
- I²C インターフェースと 1.8 V アナログ/デジタル・コア
- 0.122 Hz ~ 3.820 kHz の柔軟なサンプリング周波数範囲
- FIFO データ動作

アプリケーション

- 心拍数モニタなどの装着式健康およびフィットネス・モニタ
- SpO₂ などの臨床測定
- 工業用モニタリング
- 背景光測定

概要

ADPD103 は、14 ビット A/D コンバータ (ADC) と、柔軟な発光ダイオード (LED) ドライバと連動する 20 ビット・バースト・アキュムレータが組み込まれた、高効率のフォトメトリック・フロント・エンドであり、LED を駆動して、これに対する光帰還信号を測定するように設計されています。データ出力と機能設定は、1.8 V の I²C インターフェースを介して行われます。制御回路には、柔軟な LED シグナリング機能と同期検出機能が含まれています。

アナログ・フロント・エンド (AFE) は、一般に周囲光によって引き起こされる変調干渉を原因とする信号のオフセットや破損の除去に関して、クラス最高レベルの能力を備えています。

ADPD103 は、100 pF 未満の低容量フォトダイオードと組み合わせることによって最大限の性能を発揮します。ADPD103 は、あらゆる LED とともに使用できます。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	AFE 積分オフセットの調整.....	18
アプリケーション.....	1	I ² C シリアル・インターフェース.....	20
概要.....	1	代表的な接続図.....	21
改訂履歴.....	2	LED ドライバ・ピンと LED 電源電圧.....	23
機能ブロック図.....	3	LED ドライバの動作.....	23
仕様.....	4	平均電流の決定.....	23
温度および電源仕様.....	4	C _{VLED} の決定.....	23
性能仕様.....	5	LED のインダクタンスに関する考慮事項.....	24
アナログ仕様.....	6	推奨スタートアップ・シーケンス.....	24
デジタル仕様.....	7	データの読出し.....	24
タイミング仕様.....	8	クロックとタイミングの校正.....	26
絶対最大定格.....	9	消費電流の計算.....	27
熱抵抗.....	9	ワットあたりの S/N 比の最適化.....	27
推奨のハンダ付けプロファイル.....	9	シングル AFE チャンネル・モード.....	28
ESD に関する注意.....	9	TIA_ADC モード.....	28
ピン配置およびピン機能の説明.....	10	デジタル積分モード.....	30
代表的な性能特性.....	12	レジスタ一覧.....	34
動作原理.....	13	LED コントロール・レジスタ.....	38
はじめに.....	13	AFE 設定レジスタ.....	41
デュアル・タイム・スロット動作.....	13	システム・レジスタ.....	46
タイム・スロットの切替え.....	14	ADC レジスタ.....	50
調整可能なサンプリング周波数.....	15	データ・レジスタ.....	51
ステート・マシンの動作.....	16	外形寸法.....	52
通常モード動作とデータ・フロー.....	16	オーダー・ガイド.....	52
AFE の動作.....	18		

改訂履歴

2/16—Revision B: Initial Version

機能ブロック図

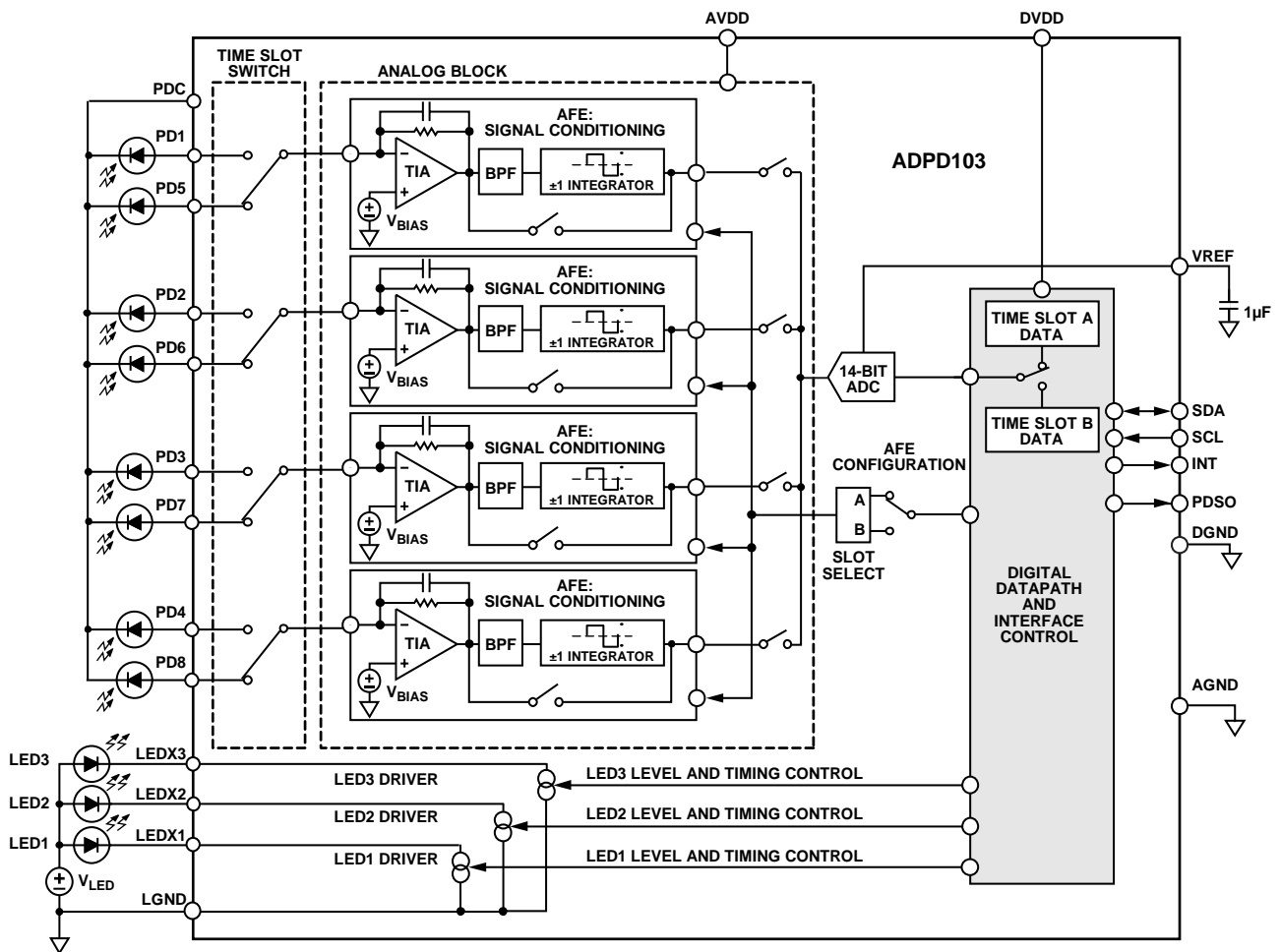


図 1. 代表的機能ブロック図

12722-001

仕様

温度および電源仕様

表 1. 動作条件

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
TEMPERATURE RANGE					
Operating Range		-40		+85	°C
Storage Range		-65		+150	°C
POWER SUPPLY VOLTAGES					
V _{DD}	Applied at the AVDD and DVDD pins	1.7	1.8	1.9	V

特に指定のない限り、AVDD = DVDD = 1.8 V、室温。

表 2. 消費電流^{1,2}

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLY (V _{DD}) CURRENT						
V _{DD} Supply Current		LED_OFFSET = 25 μs; LED_PERIOD = 19 μs; LED peak current = 25 mA, 4 channels active				
1 Pulse		100 Hz data rate; Time Slot A only		106		μA
		100 Hz data rate; Time Slot B only		94		μA
10 Pulses		100 Hz data rate; both Time Slot A and Time Slot B		151		μA
		100 Hz data rate; Time Slot A only		258		μA
		100 Hz data rate; Time Slot B only		246		μA
		100 Hz data rate; both Time Slot A and Time Slot B		455		μA
Peak V _{DD} Supply Current (1.8 V)	I _{VDD_PEAK}					
4-Channel Operation				9.3		mA
1-Channel Operation				2.3		mA
Standby Mode Current	I _{VDD_STANDBY}			3.5		μA
V _{LEDA} AND V _{LEDB} SUPPLY CURRENT						
Average Supply Current		Peak LED current = 100 mA; LED_PULSE width = 3 μs				
V _{LEDA} OR V _{LEDB}						
1 Pulse		50 Hz data rate		15		μA
		100 Hz data rate		30		μA
		200 Hz data rate		60		μA
10 Pulses		50 Hz data rate		150		μA
		100 Hz data rate		300		μA
		200 Hz data rate		600		μA

¹ LEDA または LEDB は、LED1、LED2、または LED3 のいずれか。V_{LEDA} または V_{LEDB} は、V_{LED1}、V_{LED2}、または V_{LED3} のいずれか。

² V_{DD} は、AVDD ピンと DVDD ピンに加わる電圧。

性能仕様

特に指定のない限り、AVDD = DVDD = 1.8 V、T_A = 全動作温度範囲。

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DATA ACQUISITION					
Resolution	Single pulse		14		Bits
Resolution/Sample	64 to 255 pulses		20		Bits
Resolution/Data Read	64 to 255 pulses and sample average = 128		27		Bits
LED DRIVER					
LED Current Slew Rate ¹					
Rise	Slew rate control setting = 0; T _A = 25°C; I _{LED} = 70 mA		240		mA/μs
	Slew rate control setting = 7; T _A = 25°C; I _{LED} = 70 mA		1400		mA/μs
Fall	Slew rate control setting = 0, 1, 2; T _A = 25°C; I _{LED} = 70 mA		3200		mA/μs
	Slew rate control setting = 6, 7; T _A = 25°C; I _{LED} = 70 mA		4500		mA/μs
LED Peak Current	LED pulse enabled	8		250	mA
Driver Compliance Voltage	Voltage above ground required for LED driver operation	0.2			V
LED PERIOD					
	AFE width = 4 μs	19			μs
	AFE width = 3 μs	17			μs
Sampling Frequency ²	Time Slot A only; normal mode; 1 pulse; OFFSET_LED A = 23 μs; PERIOD_LED A = 19 μs	0.122		3230	Hz
	Time Slot B only; normal mode; 1 pulse; OFFSET_LED A = 23 μs; PERIOD_LED A = 19 μs	0.122		3820	Hz
	Both time slots; normal mode; 1 pulse; OFFSET_LED A = 23 μs; PERIOD_LED A = 19 μs	0.122		1750	Hz
	Time Slot A only; normal mode; 8 pulses; OFFSET_LED A = 23 μs; PERIOD_LED A = 19 μs	0.122		2257	Hz
	Time Slot B only; normal mode; 8 pulses; OFFSET_LED A = 23 μs; PERIOD_LED A = 19 μs	0.122		2531	Hz
	Both time slots; normal mode; 8 pulses; OFFSET_LED A = 23 μs; PERIOD_LED A = 19 μs	0.122		1193	Hz
CATHODE PIN (PDC) VOLTAGE					
During All Sampling Periods	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 1 ³		1.8		V
	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 0		1.3		V
During Slot A Sampling	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x0 ³		1.8		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x1		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x2		1.55		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x3 ⁴		0		V
During Slot B Sampling	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x0 ³		1.8		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x1		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x2		1.55		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x3 ⁴		0		V
During Sleep Periods	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 1		1.8		V
	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 0		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x0		1.8		V
	Register 0x54, Bit 7 = 0x1; Register 0x54[13:12] = 0x1		1.3		V
	Register 0x54, Bit 7 = 0x1; Register 0x54[13:12] = 0x2		1.55		V
	Register 0x54, Bit 7 = 0x1; Register 0x54[13:12] = 0x3		0		V
PHOTODIODE INPUT PINS/ ANODE VOLTAGE					
During All Sampling Periods			1.3		V
During Sleep Periods			Cathode voltage		V

¹ これらの値に対応する LED のインダクタンスは無視できます。実効スルー・レートはインダクタンスの増加とともに低下します。

² この仕様の最大値は、ノーマル・モードでの内部 ADC のサンプリング・レートです。構成によっては、IC の読出しレートによりデバイスの実際出力データ・レートが制限されることがあります。

³ このモードではノイズが増大することがあるので、どうしても必要な時以外は推奨できません。1.8 V 設定では V_{DD} が使われますが、その場合はアノード電圧を基準にした差動電圧ノイズが増大します。アノードとカソードの間の差動電圧は、フォトダイオードの容量に大きさ C × dV/dt の差動電流を発生させます。

⁴ この設定は、フォトダイオードに 1.3 V の順方向バイアスを発生させるので、フォトダイオードには推奨できません。

アナログ仕様

特に指定のない限り、AVDD = DVDD = 1.8 V、T_A = 全動作温度範囲。AFE オフセットの補償については、AFE の動作のセクションで説明します。

表 4.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CAPACITANCE				100	pF
PULSED SIGNAL CONVERSIONS, 3 μs WIDE LED PULSE ¹	4 μs wide AFE integration; normal operation, Register 0x43 (Time Slot A) and Register 0x45 (Time Slot B) = 0xADA5				
ADC Resolution ²	Transimpedance amplifier (TIA) feedback resistor				
	25 kΩ		1.64		nA/LSB
	50 kΩ		0.82		nA/LSB
	100 kΩ		0.41		nA/LSB
	200 kΩ		0.2		nA/LSB
ADC Saturation Level	TIA feedback resistor				
	25 kΩ		13.4		μA
	50 kΩ		6.7		μA
	100 kΩ		3.35		μA
	200 kΩ		1.67		μA
Ambient Signal Headroom on Pulsed Signal	TIA feedback resistor				
	25 kΩ		37		μA
	50 kΩ		18.5		μA
	100 kΩ		9.25		μA
	200 kΩ		4.63		μA
PULSED SIGNAL CONVERSIONS, 2 μs WIDE LED PULSE ¹	3 μs wide AFE integration; normal operation, Register 0x43 (Time Slot A) and Register 0x45 (Time Slot B) = 0xADA5				
ADC Resolution ²	TIA feedback resistor				
	25 kΩ		2.31		nA/LSB
	50 kΩ		1.15		nA/LSB
	100 kΩ		0.58		nA/LSB
	200 kΩ		0.29		nA/LSB
ADC Saturation Level	TIA feedback resistor				
	25 kΩ		18.9		μA
	50 kΩ		9.46		μA
	100 kΩ		4.73		μA
	200 kΩ		2.37		μA
Ambient Signal Headroom on Pulsed Signal	TIA feedback resistor				
	25 kΩ		31.5		μA
	50 kΩ		15.7		μA
	100 kΩ		7.87		μA
	200 kΩ		3.93		μA
FULL SIGNAL CONVERSIONS ³					
TIA Saturation Level of Pulsed Signal and Ambient Level	TIA feedback resistor				
	25 kΩ		50.4		μA
	50 kΩ		25.2		μA
	100 kΩ		12.6		μA
	200 kΩ		6.3		μA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SYSTEM PERFORMANCE					
Total Output Noise Floor	Normal mode; per pulse; per channel; no LED; $C_{PD} = 70$ pF 25 k Ω ; referred to ADC input		2.0		LSB rms
	25 k Ω ; referred to peak input signal for 2 μ s LED pulse		4.6		nA rms
	25 k Ω ; referred to peak input signal for 3 μ s LED pulse		3.3		nA rms
	25 k Ω ; saturation signal-to-noise ratio (SNR) per pulse per channel ⁴		72.3		dB
	50 k Ω ; referred to ADC input		2.4		LSB rms
	50 k Ω ; referred to peak input signal for 2 μ s LED pulse		2.8		nA rms
	50 k Ω ; referred to peak input signal for 3 μ s LED pulse		2.0		nA rms
	50 k Ω ; saturation SNR per pulse per channel ⁴		70.6		dB
	100 k Ω ; referred to ADC input		3.4		LSB rms
	100 k Ω ; referred to peak input signal for 2 μ s LED pulse		1.9		nA rms
	100 k Ω ; referred to peak input signal for 3 μ s LED pulse		1.4		nA rms
	100 k Ω ; saturation SNR per pulse per channel ⁴		67.6		dB
	200 k Ω ; referred to ADC input		5.5		LSB rms
	200 k Ω ; referred to peak input signal for 2 μ s LED pulse		1.6		nA rms
200 k Ω ; referred to peak input signal for 3 μ s LED pulse		1.1		nA rms	
200 k Ω ; saturation SNR per pulse per channel ⁴		63.5		dB	
DC Power Supply Rejection Ratio (DC PSRR)			-37		dB

¹ この飽和レベルは ADC にのみ適用されるので、含まれるのはパルス信号だけです。非パルス信号は、ADC 段以前で除去されます。

² ADC の分解能は、AFE の動作のセクションに従って AFE オフセットが正しく補償された時点で、パルスごとにリストされています。複数のパルスを使用する場合は、パルス数で除してください。

³ この飽和レベルはすべての信号パスに適用されるので、周囲信号とパルス信号の両方を含んでいます。

⁴ 飽和 SNR のノイズは受信ノイズのみを表し、フォトン・ショット・ノイズや LED 信号自体のノイズは含んでいません。

デジタル仕様

特に指定のない限り、DVDD = 1.7 V ~ 1.9 V。

表 5.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
LOGIC INPUTS (SCL, SDA)						
Input Voltage Level						
High	V_{IH}		$0.7 \times DVDD$		3.6	V
Low	V_{IL}				$0.3 \times DVDD$	V
Input Current Level						
High	I_{IH}		-10		+10	μ A
Low	I_{IL}		-10		+10	μ A
Input Capacitance	C_{IN}			10		pF
LOGIC OUTPUTS						
INT Output Voltage Level						
High	V_{OH}	2 mA high level output current	$DVDD - 0.5$			V
Low	V_{OL}	2 mA low level output current			0.5	V
PDSO Output Voltage Level						
High	V_{OH}	2 mA high level output current	$DVDD - 0.5$			V
Low	V_{OL}	2 mA low level output current			0.5	V
SDA Output Voltage Level						
Low	V_{OL1}	2 mA low level output current			$0.2 \times DVDD$	V
SDA Output Current Level						
Low	I_{OL}	$V_{OL1} = 0.6$ V	6			mA

タイミング仕様

表 6. I²C タイミング仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
I ² C PORT ¹		See Figure 2				
SCL						
Frequency				400		kHz
Minimum Pulse Width						
High	t_1		600			ns
Low	t_2		1300			ns
Start Condition						
Hold Time	t_3		600			ns
Setup Time	t_4		600			ns
SDA Setup Time	t_5		100			ns
SCL and SDA						
Rise Time	t_6				1000	ns
Fall Time	t_7				300	ns
Stop Condition						
Setup Time	t_8		600			ns

¹ 設計により保証。

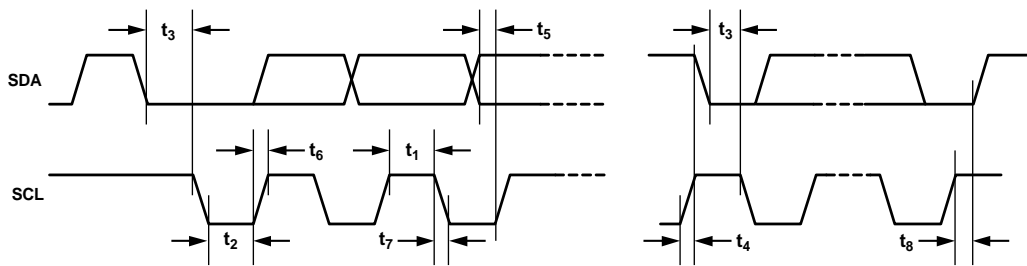


図 2. I²C のタイミング

12722-012

絶対最大定格

表 7.

Parameter	Rating
AVDD to AGND	-0.3 V to +2.2 V
DVDD to DGND	-0.3 V to +2.2 V
INT to DGND	-0.3 V to +2.2 V
PDSO to DGND	-0.3 V to +2.2 V
LEDXx to LGND	-0.3 V to +3.6 V
SCL to DGND	-0.3 V to +3.9 V
SDA to DGND	-0.3 V to +3.9 V
Junction Temperature	150°C
ESD	
28-Lead LFCSP	
Human Body Model (HBM)	1500 V
Charge Device Model (CDM)	1250 V
Machine Model (MM)	100 V
16-Ball WLCSP	
Human Body Model (HBM)	1500 V
Charge Device Model (CDM)	500 V
Machine Model (MM)	100 V

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

表 8. 熱抵抗

Package Type	θ_{JA}	Unit
28-Lead LFCSP_WQ	54.9	°C/W
16-Ball WLCSP	60	°C/W

推奨のハンダ付けプロファイル

図 3 と表 9 に、推奨するハンダ付けプロファイルの詳細を示します。

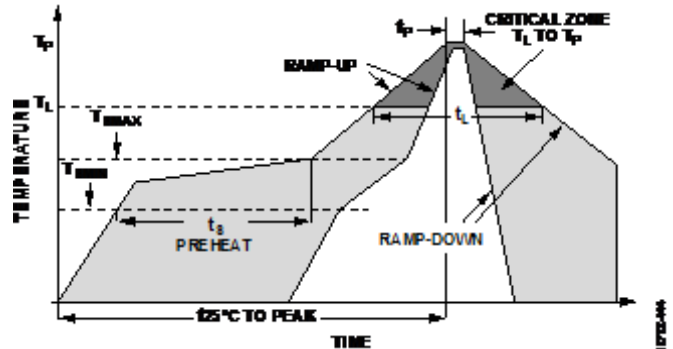


図 3. 推奨のハンダ付けプロファイル

表 9. 推奨のハンダ付けプロファイル

Profile Feature	Condition (Pb-Free)
Average Ramp Rate (T_L to T_P)	3°C/sec max
Preheat	
Minimum Temperature (T_{SMIN})	150°C
Maximum Temperature (T_{SMAX})	200°C
Time (T_{SMIN} to T_{SMAX}) (t_s)	60 sec to 180 sec
T_{SMAX} to T_L Ramp-Up Rate	3°C/sec maximum
Time Maintained Above Liquidous Temperature	
Liquidous Temperature (T_L)	217°C
Time (t_L)	60 sec to 150 sec
Peak Temperature (T_P)	+260 (+0/-5)°C
Time Within 5°C of Actual Peak Temperature (t_p)	<30 sec
Ramp-Down Rate	6°C/sec maximum
Time from 25°C to Peak Temperature	8 minutes maximum

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

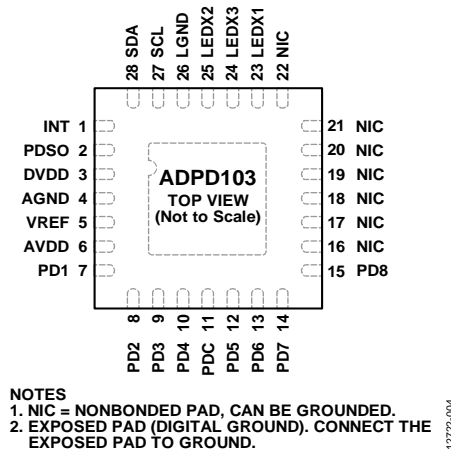


図 4. 28 ピン LFCSP ピン配置

表 10. 28 ピン LFCSP ピン機能の説明

Pin No.	Mnemonic	Type ¹	Description
1	INT	DO	割込み出力。
2	PDSO	DO	パワーダウン・ステータス出力
3	DVDD	S	1.8 V デジタル電源。
4	AGND	S	アナログ・グラウンド。
5	VREF	REF	内部で生成される ADC 電圧リファレンス。1 μF のコンデンサを使ってこのピンを AGND にバッファします。
6	AVDD	S	1.8 V アナログ電源。
7	PD1	AI	フォトダイオード電流入力 (アノード)。使用しない場合、このピンはフロート状態のままにします。
8	PD2	AI	フォトダイオード電流入力 (アノード)。使用しない場合、このピンはフロート状態のままにします。
9	PD3	AI	フォトダイオード電流入力 (アノード)。使用しない場合、このピンはフロート状態のままにします。
10	PD4	AI	フォトダイオード電流入力 (アノード)。使用しない場合、このピンはフロート状態のままにします。
11	PDC	AO	フォトダイオードの共通カソード・バイアス。
12	PD5	AI	フォトダイオード電流入力 (アノード)。使用しない場合、このピンはフロート状態のままにします。
13	PD6	AI	フォトダイオード電流入力 (アノード)。使用しない場合、このピンはフロート状態のままにします。
14	PD7	AI	フォトダイオード電流入力 (アノード)。使用しない場合、このピンはフロート状態のままにします。
15	PD8	AI	フォトダイオード電流入力 (アノード)。使用しない場合、このピンはフロート状態のままにします。
16 to 22	NIC	R	内部では未接続 (ボンディングされていないパッド)。このピンは接地できます。
23	LEDX1	AO	LED ドライバ 1 電流シンク。使用しない場合、このピンはフロート状態のままにします。
24	LEDX3	AO	LED ドライバ 3 電流シンク。使用しない場合、このピンはフロート状態のままにします。
25	LEDX2	AO	LED ドライバ 2 電流シンク。使用しない場合、このピンはフロート状態のままにします。
26	LGND	S	LED ドライバのグラウンド。
27	SCL	DI	I ² C クロック入力。
28	SDA	DIO	I ² C データ入力/出力。
	EPAD (DGND)	S	露出パッド (デジタル・グラウンド)。露出パッドはグラウンドに接続します。

¹ DO はデジタル出力、S は電源、REF は電圧リファレンス、AI はアナログ入力、AO はアナログ出力、R は予備、DI はデジタル入力、DIO はデジタル入力/出力を意味します。

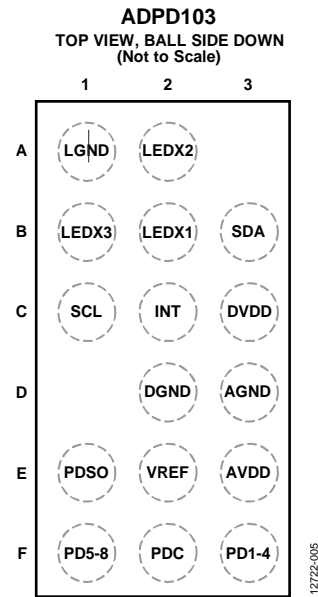


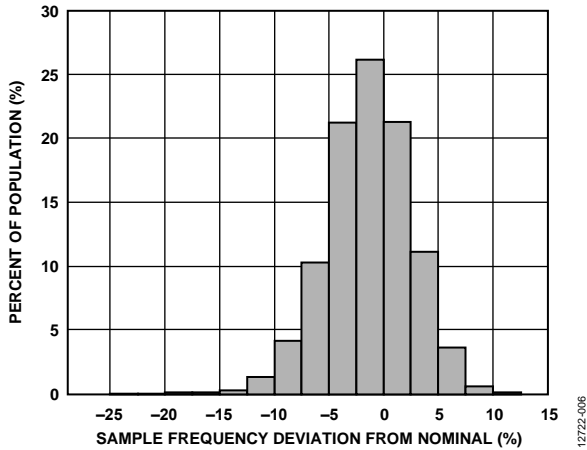
図 5. 16 ボール WLCSP のピン配置

表 11. 16 ボール WLCSP のピン機能の説明

Pin No.	Mnemonic	Type ¹	Description
A1	LGND	S	LED ドライバのグラウンド。
A2	LEDX2	AO	LED ドライバ 2 電流シンク。使用しない場合、このピンはフロート状態のままにします。
B1	LEDX3	AO	LED ドライバ 3 電流シンク。使用しない場合、このピンはフロート状態のままにします。
B2	LEDX1	AO	LED ドライバ 1 電流シンク。使用しない場合、このピンはフロート状態のままにします。
B3	SDA	DIO	I ² C データ入力/出力。
C1	SCL	S	I ² C クロック入力。
C2	INT	DO	割込み出力。
C3	DVDD	S	1.8 V デジタル電源。
D2	DGND	S	デジタル・グラウンド。
D3	AGND	S	アナログ・グラウンド。
E1	PDSO	DO	パワーダウン・ステータス出力
E2	VREF	REF	内部で生成される ADC 電圧リファレンス。1 μF のコンデンサを使ってこのピンを AGND にバッファします。
E3	AVDD	S	1.8 V アナログ電源。
F1	PD5-8	AI	PD5 ~ PD8 のフォトダイオード結合電流入力。使用しない場合、このピンはフロート状態のままにします。
F2	PDC	AO	フォトダイオードの共通カソード・バイアス。
F3	PD1-4	AI	PD1 ~ PD4 のフォトダイオード結合電流入力。使用しない場合、このピンはフロート状態のままにします。

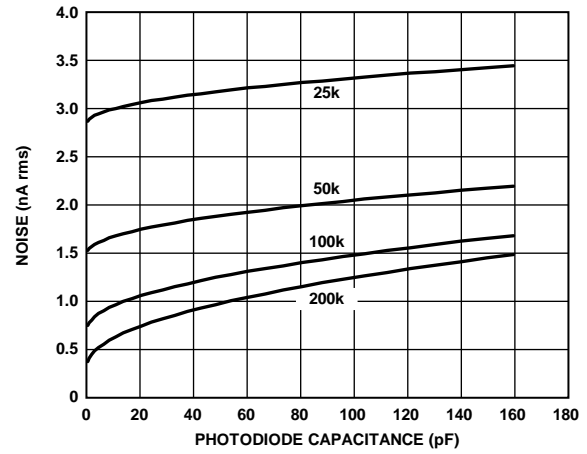
¹ S は電源、AO はアナログ出力、DIO はデジタル入力/出力、DO はデジタル出力、REF は電圧リファレンス、AI はアナログ入力を意味します。

代表的な性能特性



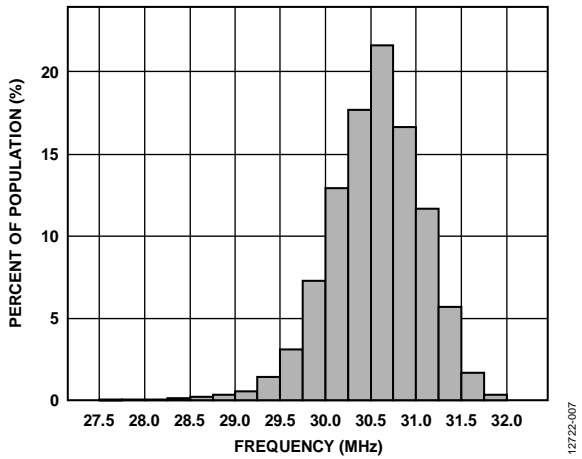
12722-006

図 6. 32 kHz クロック周波数の分布
(デフォルト設定、ユーザー校正前: レジスタ 0x4B = 0x2612)



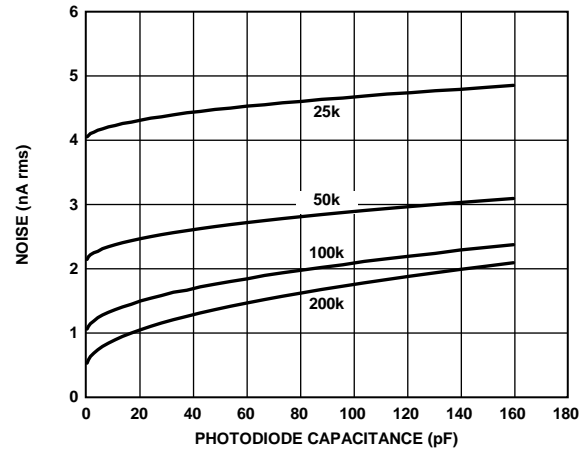
12722-200

図 8. フォトダイオード容量対入力換算ノイズ、
LED パルス幅 = 3 μ s



12722-007

図 7. 32 MHz クロック周波数の分布
(デフォルト設定、ユーザー校正前: レジスタ 0x4D = 0x425E)



12722-201

図 9. フォトダイオード容量対入力換算ノイズ、
LED パルス幅 = 2 μ s

動作原理

はじめに

ADPD103は、最大3個のLEDを駆動し、最大8個の個別電流入力からの帰還信号を測定するフル機能の光トランシーバとして動作します。コアは、ADCと組み合わせられたフォトメトリック・フロント・エンド、デジタル・ブロック、3つの独立したLEDドライバで構成されています。コア回路はLEDを駆動し、1～8個のフォトダイオード入力を介して戻されるアナログ・ブロックへの帰還信号を測定して、別々のデータ位置に結果を保存します。8個の入力は、4つの同時入力チャンネルからなる2つのブロックに分けられます。データは、レジスタによって直接読み出すか、FIFOを介して読み出すことができます。この高集積型システムには、アナログ信号処理ブロック、デジタル信号処理ブロック、I²C通信インターフェース、プログラマブル・パルスLED電流源などが含まれています。

LEDドライバは電流シンク型で、LEDの電源電圧やタイプには依存しません。フォトダイオード(PD_x)入力は、入力容量が100 pF未満のあらゆるフォトダイオードに対応できます。ADPD103は、比較的低いLEDパワーでも高いS/N比を実現できるように設計されていますが、周囲光が測定信号に及ぼす影響を大幅に軽減します。

デュアル・タイム・スロット動作

ADPD103は、順番に実行される2つの独立したタイム・スロット、つまりタイム・スロットAとタイム・スロットBで動作します。LED駆動からデータの取得および処理に至る全体的な信号パスは、それぞれのタイム・スロットの中で実行されます。各タイム・スロットは個別のデータ・パスを持ち、これらのパスは、LEDドライバ、AFEセットアップ、および結果として得られるデータに関して独立した設定を使用します。タイム・スロットAとタイム・スロットBは、図10に示すようにサンプリング周期ごとに順番に動作します。

タイミング・パラメータは次式で定義されます。

$$t_A (\mu\text{s}) = \text{SLOTA_LED_OFFSET} + n_A \times \text{SLOTA_LED_PERIOD}$$

ここで、 n_A はタイム・スロットAのパルス数です(レジスタ0x31、ビット[15:8])。

$$t_B (\mu\text{s}) = \text{SLOTB_LED_OFFSET} + n_B \times \text{SLOTB_LED_PERIOD}$$

ここで、 n_B はタイム・スロットBのパルス数です(レジスタ0x36、ビット[15:8])。

LEDの周期は次式を使って計算します。

$$\text{LED_PERIOD, minimum} = 2 \times \text{AFE_WIDTH} + 11$$

t_1 と t_2 は固定値で、各スロットの計算時間に基づく値です。スロットが使われていない場合、これらの時間は合計アクティブ時間には加算されません。これらのLEDタイミング・パラメータとサンプル・タイミング・パラメータの値を表12に示します。

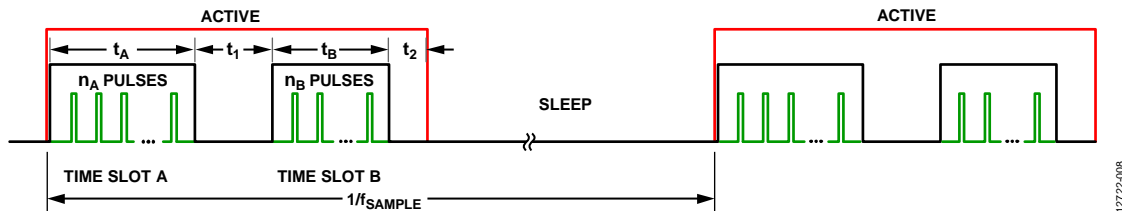


図 10. タイム・スロットのタイミング図

表 12. LED タイミング・パラメータとサンプル・タイミング・パラメータ

Parameter	Register	Bits	Test Conditions/Comments	Min	Typ	Max	Unit
SLOTA_LED_OFFSET ¹	0x30	[7:0]	Delay from power-up to LEDA rising edge	23		63	μs
SLOTB_LED_OFFSET ¹	0x35	[7:0]	Delay from power-up to LEDB rising edge	23		63	μs
SLOTA_LED_PERIOD ²	0x31	[7:0]	Time between LED pulses in Time Slot A; SLOT _x _AFE_WIDTH = 4 μs	19		63	μs
SLOTB_LED_PERIOD ²	0x36	[7:0]	Time between LED pulses in Time Slot B; SLOT _x _AFE_WIDTH = 4 μs	19		63	μs
t_1			Compute time for Time Slot A		68		μs
t_2			Compute time for Time Slot B		20		μs
t_{SLEEP}			Sleep time between sample periods	222			μs

¹ SLOT_x_LED_OFFSET を最小規定値より小さい値に設定すると、大型フォトダイオードの周囲光除去に問題が生じることがあります。

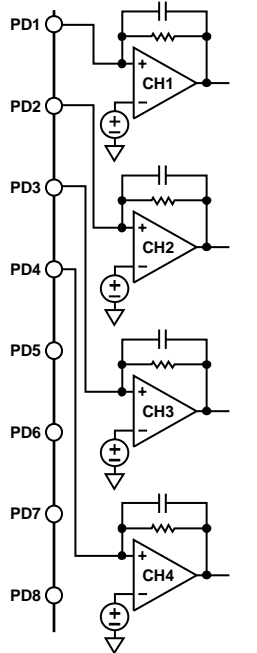
² SLOT_x_LED_PERIOD を最小規定値より小さい値に設定すると、取得されたデータが無効な値となることがあります。

タイム・スロットの切替え

ADPD103 には最大 8 個のフォトダイオード (PD1 ~ PD8) を接続できます。フォトダイオードのアノードは PD1 ~ PD8 入力ピンに、カソードはカソードピン PDC に接続します。アノードの割り当ては、レジスタ 0x14 の設定に応じ、3 つの異なる構成で行われます (図 11、図 12、図 13 を参照)。

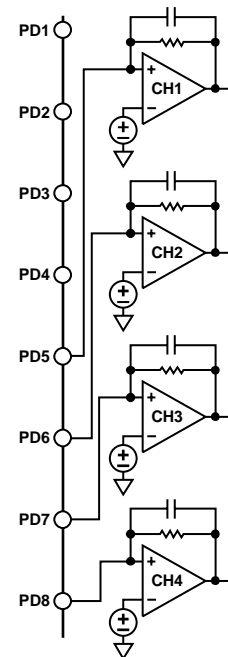
スイッチは、タイム・スロット A とタイム・スロット B の間どのフォトダイオード・グループを接続するかを設定します。タイム・スロット・スイッチ・レジスタについては表 13 を参照してください。使用するフォトダイオードが 8 個未満の時は、使用しない入力をフローティング状態のままにしておくことが、デバイスを正しく動作させる上で重要です。フォトダイオード入力は電流入力なので、これらのピンは電圧出力であると見なすこともできます。これらの入力を電圧に接続すると、アナログ・ブロックを飽和させる可能性があります。

レジスタ 0x14、PD1 ~ PD8 入力の構成



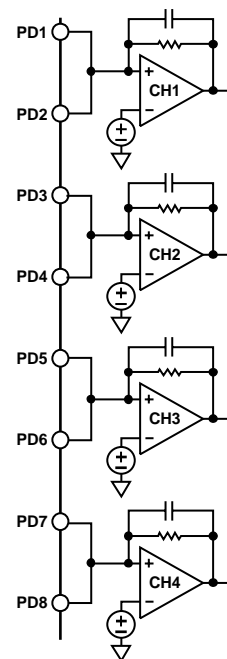
INPUT CONFIGURATION FOR
REGISTER 0x14[11:8] = 5
REGISTER 0x14[7:4] = 5

図 11. PD1 ~ PD4 の接続



INPUT CONFIGURATION FOR
REGISTER 0x14[11:8] = 4
REGISTER 0x14[7:4] = 4

図 12. PD5 ~ PD8 の接続



INPUT CONFIGURATION FOR
REGISTER 0x14[11:8] = 1
REGISTER 0x14[7:4] = 1

図 13. 2 つの PD 電流を 1 つに加算

表 13. タイム・スロットの切替え (レジスタ 0x14)

Address	Bits	Name	Description
0x14	[11:8]	SLOTB_PD_SEL	図 11、12、13 に示すように、タイム・スロット B に対するフォトダイオードの接続を選択します。 0x0: タイム・スロット B で入力がフロート状態になります。 0x1: タイム・スロット B ですべての PD _x ピン (PD1 ~ PD8) が接続されます。 0x4: タイム・スロット B で PD5 ~ PD8 が接続されます。 0x5: タイム・スロット B で PD1 ~ PD4 が接続されます。 その他: 予備
	[7:4]	SLOTA_PD_SEL	図 11、12、13 に示すように、タイム・スロット A に対するフォトダイオードの接続を選択します。 0x0: タイム・スロット A で入力がフロート状態になります。 0x1: タイム・スロット A ですべての PD _x ピン (PD1 ~ PD8) が接続されます。 0x4: タイム・スロット A で PD5 ~ PD8 が接続されます。 0x5: タイム・スロット A で PD1 ~ PD4 が接続されます。 その他: 予備

調整可能なサンプリング周波数

レジスタ 0x12 は ADPD103 のサンプリング周波数設定を制御し、レジスタ 0x4B のビット [5:0] は精度を上げるために、さらにこのクロックを調整します。サンプリング周波数は内蔵の 32 kHz サンプル・レート・クロックで管理されますが、このクロックは内部ステート・マシンの遷移にも使われます。いくつかのサンプル条件に対する最大サンプリング周波数を表 3 に示します。すべての条件に対する最大サンプル周波数は、次式で決定されます。

$$f_{\text{SAMPLE, MAX}} = 1 / (t_A + t_1 + t_B + t_2 + t_{\text{SLEEP, MIN}})$$

所定のタイム・スロットが使われていない場合、そのタイム・スロットの要素は計算時に組み込まれません。例えば、タイム・スロット A が使われていない場合、 t_A と t_1 はサンプリング周期には加算されず、新しい最大サンプリング周波数が次式により計算されます。

$$f_{\text{SAMPLE, MAX}} = 1 / (t_B + t_2 + t_{\text{SLEEP, MIN}})$$

ここで、 $t_{\text{SLEEP, MIN}}$ は、サンプルとサンプルの間に必要とされる最小スリープ時間です。 t_A 、 t_1 、 t_B 、および t_2 の定義については、デュアル・タイム・スロット動作のセクションを参照してください。

サンプリングのための外部同期

ADPD103 には、外部同期信号を使用してサンプリング周期をトリガするオプションがあります。この外部サンプル同期信号は、INT ピンまたは PDSO ピンから供給できます。この機能は、レジスタ 0x4F のビット [3:2] で制御されます。有効にすると、選択された入力の立上がりエッジによって、次のサンプル周期をいつ開始するかが指定されます。トリガされると、内部サンプリング・クロック (32 kHz) 1 ~ 2 周期分の遅延の後に、通常のスタートアップ・シーケンスが開始されます。このシーケンスは、通常のサンプル・タイムがトリガを行う場合と同じです。外部同期信号機能を有効にするには、以下の手順に従ってください。

1. レジスタ 0x10 に 0x1 を書き込み、プログラム・モードにします。
2. レジスタ 0x4F のビット [3:2] に適切な値を書き込んで、次のサンプル周期をいつ開始するかの指定に INT ピンを使用するか PDSO ピンを使用するかを選択します。また、INT ピンの場合はレジスタ 0x4F のビット 1、PDSO ピンの場合はレジスタ 0x4F のビット 5 を使用して、適切な入力バッファを有効にします。

3. 外部サンプリング・トリガを有効にするには、EXT_SYNC_ENA (レジスタ 0x38 のビット 14) に b1 を書き込みます。
4. レジスタ 0x10 に 0x2 を書き込んで、サンプリング動作を開始します。
5. 選択したピンに望みのレートの外部同期信号を加えると、そのレートでサンプリングが行われます。通常のサンプリング動作と同様に、FIFO またはデータ・レジスタを使用してデータを読み出します。

この場合は、最大周波数の制約も適用されます。

外部 32kHz クロックの供給

ADPD103 には、システム同期や、内部 32 kHz クロックよりも高精度のクロックが必要な場合のために、外部 32 kHz クロックを供給するオプションがあります。外部 32 kHz クロックは PDSO ピンに供給します。32 kHz 外部クロックを有効にするには、起動時に以下の手順に従ってください。

1. PDSO ピンを入力として有効にする前に、PDSO ピンを有効なロジック・レベルに駆動するか、望みの 32 kHz クロックで駆動します。フロート状態からそのまま有効にすることはしないでください。
2. レジスタ 0x4F のビット 5 に b1 を書き込んで、PDSO ピンを入力として有効にします。
3. レジスタ 0x4B のビット 7 とビット 8 (それぞれ (CLK32K_EN と CLK32K_BYP) に b11 を書き込んで、デバイスが外部 32 kHz クロックを使用するように設定します。
4. レジスタ 0x10 に 0x1 を書き込み、プログラム・モードにします。
5. デバイスがプログラム・モードの状態、その他のコントロール・レジスタに任意の順番で書き込みを行い、必要に応じてデバイスを設定します。
6. レジスタ 0x10 に 0x2 を書き込んで、通常のサンプリング動作を開始します。

ステート・マシンの動作

各タイム・スロットにおいて、ADPD103 はステート・マシンに従って動作します。ステート・マシンは以下のシーケンスで動作します。図 14 を参照してください。

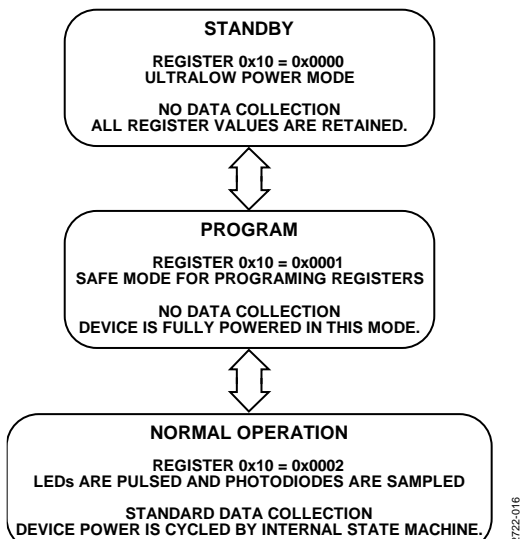


図 14. ステート・マシン動作のフローチャート

ADPD103 は、スタンバイ・モード、プログラム・モード、通常サンプリング・モードの 3 モードのいずれか 1 つで動作します。

スタンバイ・モードは省電力モードで、データの収集は行われません。このモードでは、すべてのレジスタ値が保持されます。デバイスをスタンバイ・モードにするには、レジスタ 0x10 のビット [1:0] に 0x0 を書き込みます。スタンバイ・モードでは、デバイスは通電状態になっています。

プログラム・モードはレジスタのプログラムに使用します。

レジスタ書き込みやモード変更時は、常に ADPD103 のプログラム・モードを繰り返します。

プログラム・モードでは電源のオン/オフが行われないので、デバイスは通常動作時よりも多くの電流を消費します。デバイスをプログラム・モードにするには、レジスタ 0x10 のビット [1:0] に 0x1 を書き込みます。

通常動作時、ADPD103 は、パルス光を発生してデータを収集します。このモードでの消費電力は、パルス数とデータ・レートによって異なります。デバイスを通常サンプリング・モードにするには、レジスタ 0x10 のビット [1:0] に 0x2 を書き込みます。

通常モード動作とデータ・フロー

通常モードの ADPD103 は、ステート・マシンによってセットアップされる特定パターンに従って動作します。このパターンを図 15 の対応データ・フローに示します。パターンは以下のとおりです。

1. LED パルスとサンプル。ADPD103 が外付けの LED をパルス駆動します。ADPD103 は、反射光に対するフォトダイオード (1 個または複数) の応答を測定します。各データ・サンプルは n 個の個別パルスの合計から構成されます。ここで n は、1 から 255 までの値にユーザーが設定できます。
2. サンプル間平均の算出。必要な場合、ロジックは n 個 (2 ~ 128 を 2 の累乗で表した値) のサンプルの平均を求めて、出力データを算出することができます。新しい出力データは、サンプル N 個ごとに出力レジスタに保存されます。
3. データの読出し。ホスト・プロセッサが、変換された結果をデータ・レジスタまたは FIFO から読み出します。
4. 繰り返し。このシーケンスには、両方のタイム・スロットの時間的な相対位置をごく近くに保ったまま、異なるタイプの平均計算を可能にするループがいくつかあります。

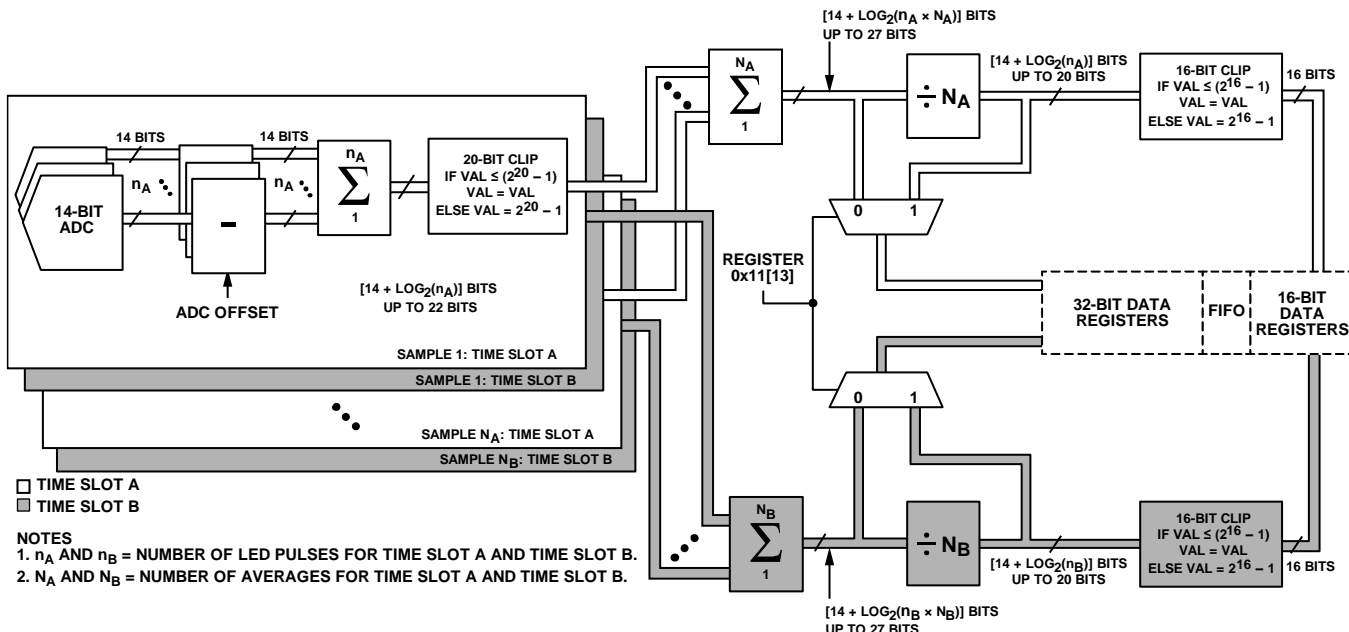


図 15. ADPD103 のデータパス

LED パルスとサンプル

図 16 に示すように、各サンプリング周期において、選択された LED ドライバが一連の LED パルスを駆動します。パルスの振幅、幅、および数は、I²C インターフェースを介してプログラムできます。検出された値が、対応 LED パルスだけに反応してフォトダイオード上で得られる合計電荷となるように、各 LED パルスは検出周期と一致します。周囲光など、LED パルスに対応しない電荷は除外されます。

各 LED パルスの後で、パルス化された LED 信号に関するフォトダイオード出力がサンプリングされて、14 ビット ADC によりデジタル値に変換されます。その後、続くサンプリング周期内の各変換値は、その前の結果に加算されます。ADC からのパルス値は、個々のサンプリング周期内で最大 255 個まで加算できます。各サンプリング周期の最大範囲は 20 ビットです。

平均値の算出

ADPD103 は、信号分解能向上のために、サンプルを蓄積して平均値を算出する機能を備えています。

AFE は、1 つのサンプリング周期内で連続する 256 個のパルスを合計することができます。図 15 に示すように、AFE が収集したサンプルは AFE 出口で 20 ビットにクリップされます。最大 27 ビットの追加的な分解能は、複数のサンプリング周期間の平均を求めることによって実現できます。N 個のサンプルを蓄積したこのデータは 27 ビット値として保存され、32 ビット出力レジスタか、32 ビット FIFO 構成を使用することによって、直接読み出すことができます。

レジスタによってセットアップされた平均算出機能を使用する時は、後に続くパルスを 2 の累乗で平均することができます。平均するサンプル数には 2、4、8 個といった 2 の累乗値（最大値は 128 個）を選択できます。この場合も、パルス・データは AFE によりサンプリング周波数 f_{SAMPLE} （レジスタ 0x12）で取得

できますが、新しいデータは、N 番目のサンプルごとに f_{SAMPLE}/N のレートでレジスタに書き込まれます。この新しいデータは、その前の N 個のサンプルの合計で構成されます。全 32 ビットの合計値は 32 ビット・レジスタに保存されます。ただし、このデータを FIFO へ送る前に、N による除算が行われます。この除算操作は、ビット深度を維持して FIFO でのクリッピングを防ぎます。

サンプル平均の算出と算出の間には、16 ビットの分解能を維持しながらノイズを低減するために、この方法を使用します。パルス・カウント・レジスタが 8 以下に維持されていれば、16 ビット幅を超えることはありません。したがって、レジスタ 0x15 を使ってその後続くパルスの平均値を求める時は、16 ビットのワード幅を超えることなく、多くのパルスを蓄積することができます。これにより、ホスト・プロセッサが必要とする FIFO 読出しの回数が減ります。

データの読出し

ホスト・プロセッサは、I²C プロトコルを使って ADPD103 から出力データを読み出します。読出しはデータ・レジスタまたは FIFO から行います。新しい出力データは、サンプル N 個ごとに得られます。ここで、N はユーザーが設定するデータ平均個数です。タイム・スロット A とタイム・スロット B の平均個数は、互いに独立した値に設定できます。両方を同じ値にすると、両方のタイム・スロットが FIFO にデータを保存するように設定できます。また、2 つの平均個数を異なる値にすると、FIFO にデータを保存できるタイム・スロットは 1 つだけになります。もう 1 つのタイム・スロットのデータは、出力レジスタから読み出すことができます。

データの読出し操作についての詳細は、データの読出しのセクションに示します。

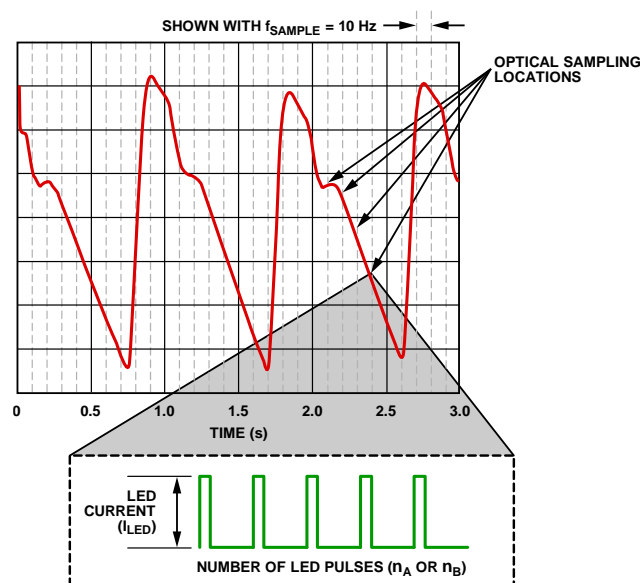


図 16. 1 サンプルあたり 5 個のパルスを使い、10 Hz のデータ・レートでサンプリングした光電式容積脈波記録法 (PPG) 信号の例

AFE の動作

各パルス・バースト内でのタイミングは、ADPD103 の動作を最適化する上で重要です。LED パルス応答が AFE のアナログ・ブロックを通して伝達される際の、1 つのタイム・スロットのタイミング波形を図 17 に示します。緑で示した最初のグラフは、理想 LED パルス出力を示したものです。青で示したグラフはフィルタをかけた LED 応答で、これはアナログ積分器の出力を示します。オレンジで示した 3 番目のグラフは、最適位置に配置された積分窓を示しています。最適値にプログラムすれば、フィルタをかけた LED 応答の信号全体を積分することができます。次いで、バンドパス・フィルタ (BPF) の出力に AFE 積分窓が適用されてその結果が ADC に送られ、N 個のパルスが合計されます。AFE 窓のサイズが正しく設定されていなかったり、位置が正しくなかったりすると、どの受信信号も正しく伝達されなくなり、システム性能が最適でなくなります。したがって、ハ

ードウェア設計や LED 幅を新しくすること、AFE の位置が適切かどうかを確認することが重要です。

AFE 積分オフセットの調整

AFE の積分幅は LED の幅以上とする必要があります。AFE の幅が広がると出力ノイズも増え、環境からの高周波成分を抑制する能力が低下します。したがって、AFE の積分幅は狭く保つことが望まれます。ただし、AFE 幅が狭過ぎると LED 信号が減衰します。ほとんどのハードウェアでは、AFE 幅を LED 幅より 1 μ s 広くした場合に最良の S/N 比が得られます。LED 幅、LED オフセット、および AFE 幅の設定後は、ADC オフセットを最適化することができます。AFE オフセットは、積分窓の最初のセグメントの立下りエッジが、フィルタをかけた LED 応答のゼロ交差位置と一致するように、手動で設定する必要があります。

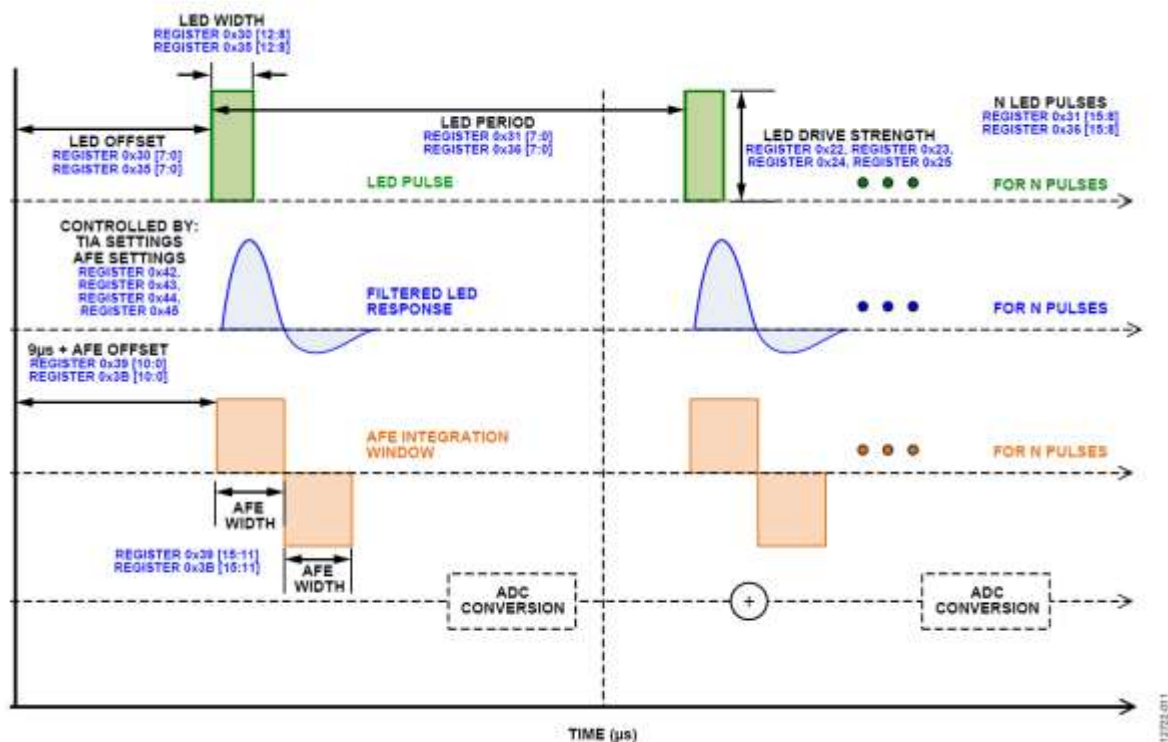


図 17. AFE 動作図

AFE 積分オフセット開始点

マイクロ秒で表すこのオフセットの開始点は、積分窓の立下りエッジと LED の立下りエッジが揃うように設定されます。

$$LED_FALLING_EDGE = LED_OFFSET + LED_WIDTH$$

および、

$$AFE_INTEGRATION_FALLING_EDGE = 9 + AFE_OFFSET + AFE_WIDTH$$

両方の立下りエッジが互いに等しくなるように設定されている場合は、AFE_OFFSET について式を変形することで以下の式が得られます。

$$AFE_OFFSET_STARTING_POINT = LED_OFFSET + LED_WIDTH - 9 - AFE_WIDTH$$

AFE オフセットを開始点よりも時間的に早い点に設定することは、積分を未来に設定することと同じです。AFE は、まだ発生していない LED パルスによる結果を積分することはできません。つまり、AFE_OFFSET の値を AFE_OFFSET_STARTING_POINT の値未満とする設定は誤りです。このような結果は TIA の電流が設計方向とは逆の方向へ流れることを示すものであり、LED パルスによって TIA から電流が流れ出すのではなく、流れ込むことになってしまいます。

ほとんどのセットアップでは、AFE_WIDTH の方が LED_WIDTH より 1 μ s 広いので、通常、AFE_OFFSET_STARTING_POINT は LED_OFFSET の値より 10 μ s 小さい値となります。LED_OFFSET - 10 未満の値はすべてエラーとなります。最適な AFE オフセットは、AFE_OFFSET_STARTING_POINT 後の、ある時点です。バンドパス・フィルタ応答、LED 応答、およびフォトダイオード応答には、それぞれある程度の遅延が加わります。一般に、コンポーネントの選択、ボード・レイアウト、LED_OFFSET、および LED_WIDTH は、AFE_OFFSET を変化させる可能性のある変数です。特定設計の設定後は AFE_OFFSET を固定することができ、それ以上最適化を行う必要はありません。

AFE 位置のスweep

タイム・スロット A とタイム・スロット B の AFE オフセットは、それぞれ、レジスタ 0x39 とレジスタ 0x3B のビット [10:0] で制御されます。それぞれの LSB は 32 MHz クロックの 1 周期、つまり 31.25 ns に相当します。レジスタは、これら 31.25 ns ステップの 2^{11-1} 倍と見なすことができます。つまり、

ビット [10:5] を使って 1 μ s ステップを表す AFE_COARSE 設定と、ビット [4:0] を使って 32.25 ns ステップを表す AFE_COARSE 設定に分けることができます。AFE オフセットを最適化するには、開始点から AFE 位置をスweepして極大値を見つける方法を推奨します。このテスト用セットアップを使用すれば、静的な方法で LED 光をフォトダイオードに当てることができます。これは通常、固定距離に置いた反射面を使うことによって行います。そうすれば、AFE 位置をスweepして、出力レベルの変化を探ることができます。AFE 位置を調整する時は、31.25 ns ステップを使って位置をスweepすることが重要です。通常、ほとんどのシステムの極大値は、開始点の 2 μ s 以内にあり、AFE スweepの例を図 18 に示します。この例では、x 軸の 0 が、上記で定義した AFE 開始点を表します。プロット内の各データ点が、AFE_OFFSET の 1 つの 31.25 ns ステップに相当します。この例における AFE_OFFSET の最適位置は、AFE 開始点から 0.687 μ s です。

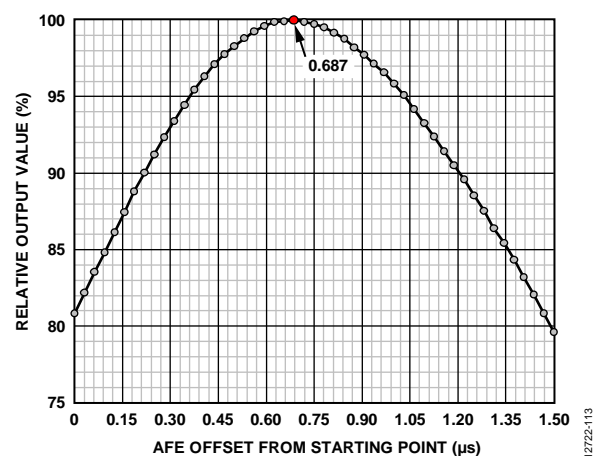


図 18. AFE スweepの例

最適化後の代表的な LED 値と AFE 値を表 14 にいくつか示します。一般に、表 14 に示す AFE_OFFSET の値を AFE スweep方法に対して確認することなく、その値をそのまま使用することは推奨できません。この方法を、すべての新しい LED 幅と、ADPD103 で作成したすべての新しいハードウェアのセットに対して繰り返します。最大限の精度を得るには、AFE をスweepする前に 32 MHz のクロックを校正することを推奨します。

表 14. AFE 窓の設定

LED Register 0x30 or Register 0x35	AFE Register 0x39 or Register 0x3B	Comment
0x0219	0x19FB	2 μ s LED pulse, 3 μ s AFE width, 25 μ s LED delay
0x0319	0x21F4	3 μ s LED pulse, 4 μ s AFE width, 25 μ s LED delay

I²C シリアル・インターフェース

ADPD103 は、SDA（データ）ピンと SCL（クロック）ピンを介した I²C シリアル・インターフェースをサポートしています。すべての内部レジスタへのアクセスは、I²C インターフェースを介して行われます。

ADPD103 は、UM10204 I²C-バス仕様およびユーザー・マニュアルの Rev. 05（9 October 2012、NXP Semiconductors から入手可能）に適合しており、高速モード（400 kbps）のデータ転送をサポートしています。また、図 19 に示すように、レジスタの読み出しと書き込みに対応しています。I²C インターフェースのタイミング図を図 2 に示します。

スレーブ・アドレス

デバイスのデフォルトの 7 ビット I²C スレーブ・アドレスは 0x64 で、その後 R/W ビットが続きます。書き込みでは、デフォルトの I²C スレーブ・アドレスは 0x08 で、読み出しでは、デフォルトの I²C アドレスは 0xC9 です。スレーブ・アドレスは、レジスタ 0x09 のビット [7:1] への書き込みによって設定できます。同じバス・ライン上に複数の ADPD103 がある場合は、INT ピンと PDSO ピンを使って、アドレス変更のために特定のデバイスを選択できます。レジスタ 0x0D は、特定デバイスのアドレス変更を可能にするキーを選択するために使用できます。同じ I²C バス・ラインに複数の ADPD103 デバイスが接続されている場合、スレーブ・アドレスを変更するには以下の手順に従ってください。

1. レジスタ 0x4F を使い、使用するキーに応じて PDSO ピンまたは INT ピン、もしくはその両方の入力バッファを有効にします。
2. アドレス変更が必要と認められるデバイスについては、INT ピンまたは PDSO ピン、もしくはその両方を、使用するキーに合わせてハイ・レベルまたはロー・レベルに設定します。
3. レジスタ 0x0D のビット [15:0] を使い、必要な機能に合わせて SLAVE_ADDRESS_KEY を書き込みます。使用可能なキーを表 24 に示します。

表 15. I²C 用語の定義

Term	Description
SCL	シリアル・クロック。
SDA	シリアル・アドレスとデータ。
Master	マスターは、転送を開始してクロック信号を生成し、最後に転送を終了させるデバイスです。
Slave	スレーブは、マスターによってアドレス指定されるデバイスです。ADPD103 はスレーブ・デバイスとして動作します。
Start (S)	SCL がハイ・レベルの状態での SDA ライン上のハイ・レベルからロー・レベルへの遷移。すべてのトランザクションは、開始条件により開始されます。
Start (Sr)	反復開始条件。
Stop (P)	SCL がハイ・レベルの状態での SDA ライン上のロー・レベルからハイ・レベルへの遷移。停止条件は、すべてのトランザクションを終了させます。
ACK	アックノレッジまたはノー・アックノレッジの時のクロック・パルスで、SDA ラインがローになり、その状態が維持されます。
NACK	アックノレッジまたはノー・アックノレッジの時のクロック・パルスで、SDA ラインがハイの状態に維持されます。
Slave Address	起動 (S) 後に 7 ビットのスレーブ・アドレスが送られ、その後データ方向ビット（読み出しまたは書き込み）が続きます。
Read (R)	1 はデータ要求を示します。
Write (W)	0 は送信を示します。

4. レジスタ 0x09 のビット [7:1] を使って、必要な SLAVE_ADDRESS を書き込みます。レジスタ 0x09 のビット [7:1] への書き込み時に、レジスタ 0x09 のビット [15:8] に 0xAD を書き込みます。レジスタ 0x09 への書き込みは、レジスタ 0x0D への書き込みの直後に行う必要があります。
5. SLAVE_ADDRESS の変更が必要なすべてのデバイスについて、ステップ 1 から 4 を繰り返します。
6. 各デバイスの新しい SLAVE_ADDRESS を使い、必要に応じて INT ピンと PDSO ピンを通常動作用に設定します。

I²C の書き込み動作と読み出し動作

ADPD103 の I²C 書き込み動作と読み出し動作を図 19 に示します。シングル・ワードとマルチワードの読み出し動作がサポートされています。シングル・レジスタ読み出しでは、ホストは 2 番目のデータ・バイトの読み出し後にノー・アックノレッジを送ります。アクセスごとに新しいレジスタ・アドレスが必要です。

マルチワード動作では、データ・バイトの各ペアの後には、最後のワードの最後のバイトが読み出されるまで、ホストからのアックノレッジが続きます。ホストは、ノー・アックノレッジを送ることによって最後の読み出しワードであることを知らせます。FIFO（レジスタ 0x60）から読み出しを行う場合は、データが自動的に FIFO 内の次のワードへ進んで、スペースが解放されます。他のレジスタからの読み出し時は、レジスタ 0x5F またはレジスタ 0x7F を除いて、レジスタ・アドレスが自動的に次のレジスタへ進みます。0x5F または 0x7F の場合、アドレスは加算されません。これにより、連続レジスタ読み出し時のオーバーヘッドを小さくすることができます。

すべてのレジスタ書き込みはシングル・ワードのみで、16 ビット（1 ワード）のデータが必要です。

ソフトウェア・リセット（レジスタ 0x0F のビット 0）は、アックノレッジを返さない唯一のコマンドです。アックノレッジを返さないのは、このコマンドが即座に実行されるためです。

I²C WRITE

REGISTER WRITE										
MASTER	START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	DATA[15:8]	DATA[7:0]	STOP				
SLAVE										

I²C SINGLE WORD READ MODE

REGISTER READ										
MASTER	START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	Sr	SLAVE ADDRESS + READ	ACK	DATA[15:8]	DATA[7:0]	NACK	STOP
SLAVE										

I²C MULTIWORD READ MODE

REGISTER READ										
MASTER	START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	Sr	SLAVE ADDRESS + READ	ACK	DATA[15:8]	DATA[7:0]	ACK/NACK	STOP
SLAVE										

NOTES

1. THE SHADED AREAS REPRESENT WHEN THE DEVICE IS LISTENING.

DATA TRANSFERRED
n (DATA[15:8]+ACK+DATA[7:0] + ACK/NACK)

12722-012

図 19. I²C の書き込み動作と読み出し動作

代表的な接続図

図 21 と図 22 は、ADPD103 に関して考えられる 2 つのフォトダイオード入力接続です。1.8 V の I²C 通信ライン、SCL と SDA、および INT ラインは、システム・マイクロプロセッサまたはセンサー・ハブに接続します。I²C の信号では、1.8 V または 3.3 V 電源に接続したプルアップ抵抗を使用できます。INT 信号と PDSO 信号に使用できる電源は 1.8 V のみで、レベル変換器が必要になることがあります。

AVDD と DVDD に 1.8 V 電源 (V_{DD}) を供給します。LED 電源には単電源 (V_{LED}) または複数電源 (V_{LED1}、V_{LED2}、および V_{LED3}) を使用しますが、この場合は、表 3 に示すピーク電流要件と、消費電流の計算のセクションに示す計算に従い、標準レギュレータ回路を使用します。

最高のノイズ性能を得るには、AGND、DGND (露出パッド)、および LGND をまとめて、グラウンド・プレーンやグラウンド・ポア (ground pour) のような広い導通面、あるいは太いグラウンド・パターンに接続します。

使用するフォトダイオードや LED の数はまちまちです。表 16 と図 23 に示すように、フォトダイオードを入力チャンネルに接続する方法は複数あります。フォトダイオードのアノードは PD1 ~ PD8 入力ピンに、カソードはカソード・ピンに接続します。

大型のフォトダイオードでは、複数入力間の電流を分割することによって、ダイナミック・レンジを広げることができます。結果として、大型のダイオードを 1 つだけ使用する場合で、受信信号が大きなものになると予想される場合は、所定のタイムスロットで 4 つの入力すべてにダイオードを分岐させることができます。このタイプの構成を図 21 に示します。フォトダイオードが小さいか、信号の減衰が大きいような場合は、フォトダイオードを PD1 や PD5 などの単一チャンネルに直接接続できます。図 22 に示すこの接続は、小さな信号の S/N 比を最大限まで高めることができます。8 つの入力チャンネルすべてに同じフォトダイオードを接続してはなりません。デバイスを正しく動作させるには、未使用のチャンネルをフロート状態のままにすることが重要です。WLCSP パッケージは、内部が広ダイナミック・レンジ・モード用に配線されています。

ADPD103 WLCSP パッケージの推奨接続図と推奨 PCB レイアウトを図 20 に示します。接続の詳細については図 21 または図 22 を参照してください。

サンプリング時の電流入力ピン (PD1 ~ PD8) の標準電圧は 1.3 V です。スリープ時には、これらのピンはカソード・ピンに接続されます。カソード電圧とアノード電圧を表 3 に示します。

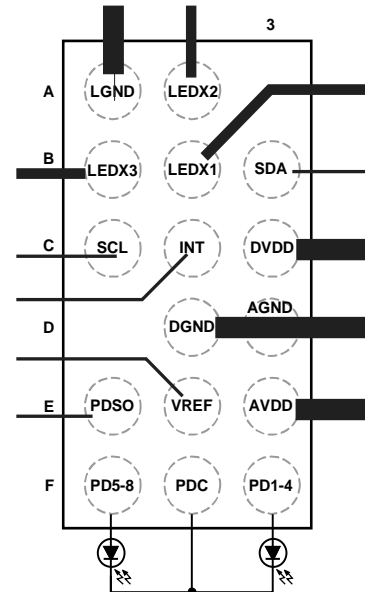


図 20. WLCSP パッケージの接続および PCB レイアウト図 (上面図)

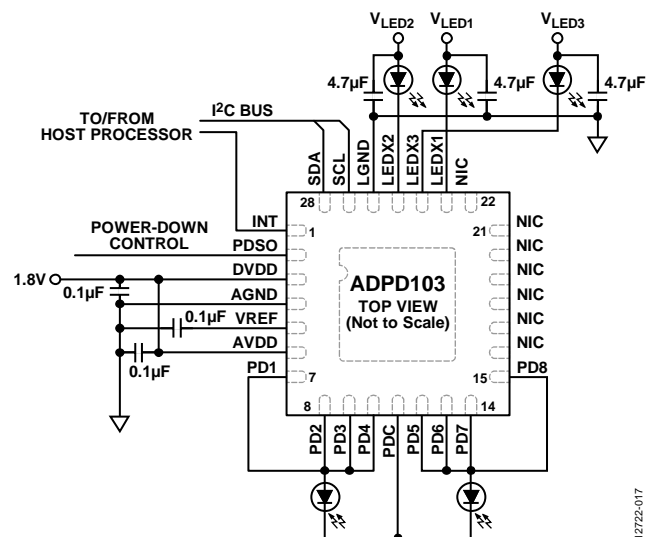


図 21. ダイナミック・レンジ向上のための接続図

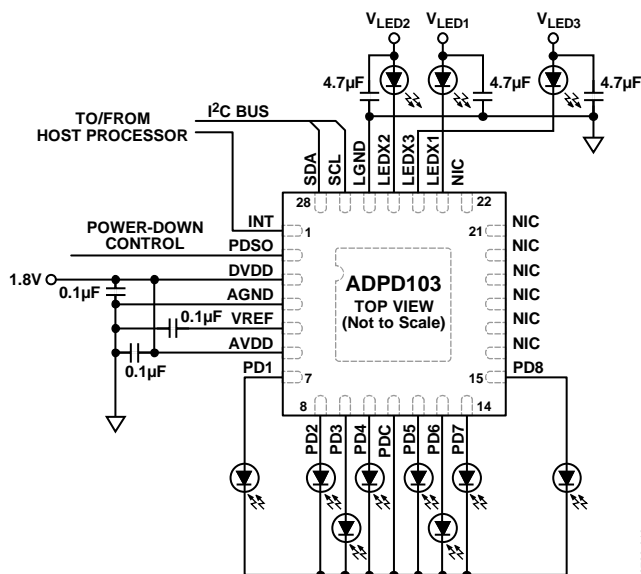


図 22. 個別シングル・チャンネル・ダイオードの接続オプション

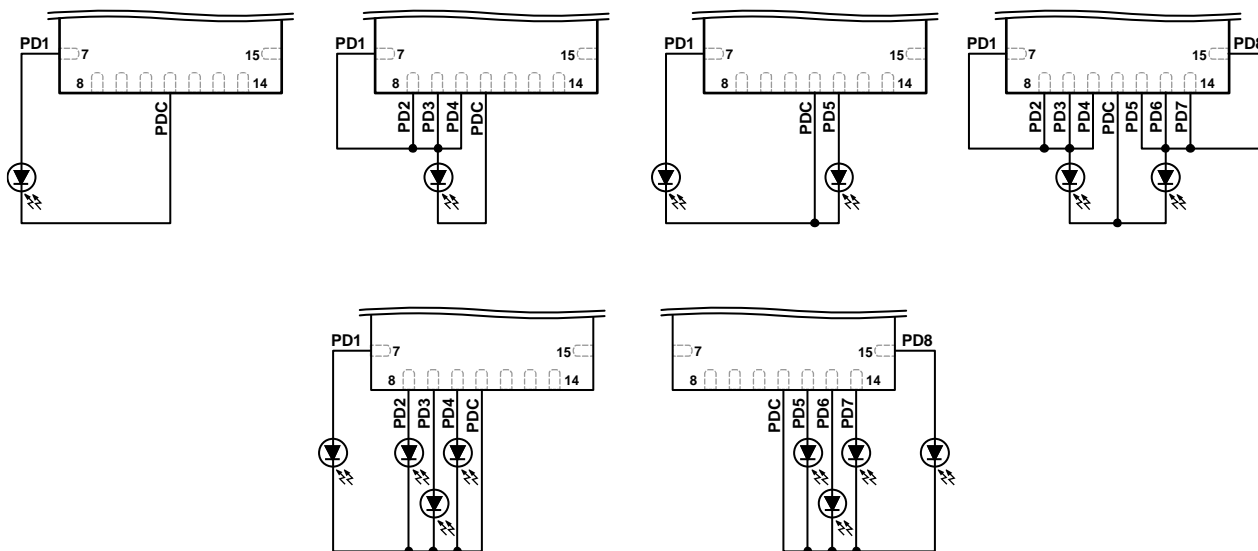


図 23. 代表的なフォトダイオード接続図

表 16. 代表的なフォトダイオードのアノードと入力チャンネルの接続

Photodiode Anode Configuration	Input Channel							
	PD1	PD2	PD3	PD4	PD5	PD6	PD7	PD8
Single Photodiode (D1)	D1	NC ¹	NC ¹	NC ¹	NC ¹	NC ¹	NC ¹	NC ¹
	NC ¹	NC ¹	NC ¹	NC ¹	D1	NC ¹	NC ¹	NC ¹
	D1	D1	D1	D1	NC ¹	NC ¹	NC ¹	NC ¹
	NC ¹	NC ¹	NC ¹	NC ¹	D1	D1	D1	D1
Two Photodiodes (D1, D2)	D1	NC ¹	NC ¹	NC ¹	D2	NC ¹	NC ¹	NC ¹
	D1	D1	D1	D1	D2	D2	D2	D2
Four Photodiodes (D1 to D4)	D1	D2	D3	D4	NC ¹	NC ¹	NC ¹	NC ¹
	NC ¹	NC ¹	NC ¹	NC ¹	D1	D2	D3	D4
Eight Photodiodes (D1 to D8)	D1	D2	D3	D4	D5	D6	D7	D8

¹ NC は、表 16 に示す条件下では接続しないことを意味します。未使用入力、すべてフロート状態のままにしてください。

LED ドライバ・ピンと LED 電源電圧

LEDx1、LEDx2、および LEDx3 ピンの絶対最大電圧定格は 3.6 V です。この定格を超える電圧をデバイスに加えると、デバイス動作の信頼性に悪影響を与えるおそれがあり、状況によっては正常に動作しなくなることもあります。LEDx ピンの電圧を、LED 自体の電源電圧 (V_{LEDx}) と間違えないようにしてください。 V_{LEDx} が外付け LED のアノードに加える電圧であるのに対し、LEDx ピンは内部電流ドライバの入力であり、外付け LED のカソードに接続されています。

LED ドライバの動作

ADPD103 の LED ドライバは、プログラムされた電流レベルを維持するために、グラウンドより 0.2 V 高いコンプライアンス電圧を必要とする電流シンク型です。ADPD103 を LED ドライバを介して LED に接続する方法を示す基本回路図を図 24 に示します。平均電流値の決定のセクションと C_{VLED} の決定のセクションに、バイパス・コンデンサ (C_{VLED}) と LED の電源電圧 (V_{LEDx}) に関する要件を示します。

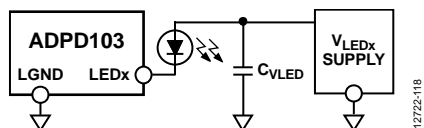


図 24. V_{LEDx} 電源の回路図

平均電流の決定

ADPD103 は、一連の短いパルスで LED を駆動します。ADPD103 の代表的なパルス・バースト・シーケンス波形を図 25 に示します。

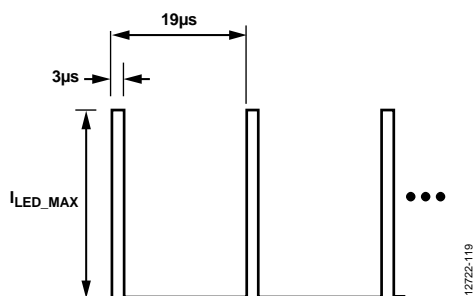


図 25. 代表的な LED パルス・バースト・シーケンス波形

この例では LED パルス幅 t_{LED_PULSE} が 3 μ s で、LED パルス周期 t_{LED_PERIOD} が 19 μ s です。駆動される LED は緑色の LED ペアで、ピーク値 250 mA まで駆動されます。 C_{VLED} の目的は、個々のパルス間で LED をバッファすることです。図 25 に示すパルス列が短いパルスの連続シーケンスとなるワーストケースのシナリオでは、 V_{LEDx} 電源が平均電流を供給する必要があります。したがって、 $I_{LED_AVERAGE}$ を以下のように計算します。

$$I_{LED_AVERAGE} = (I_{LED_PULSE}/I_{LED_PERIOD}) \times I_{LED_PEAK} \quad (1)$$

ここで、

$I_{LED_AVERAGE}$ はパルス周期において V_{LEDx} 電源が必要とする平均電流で、これは V_{LEDx} 電源電流定格でもあります。

I_{LED_PEAK} は LED のピーク電流の設定値です。

式 1 に数値を当てはめると、 $I_{LED_AVERAGE} = 3/19 \times I_{LED_PEAK}$ となります。代表的な LED タイミングの場合、平均 V_{LEDx} 電源電流は $3/19 \times 250 \text{ mA} = 39.4 \text{ mA}$ で、これは、 V_{LEDx} 電源が、40 mA の DC 電流を供給しなければならないことを示しています。

C_{VLED} の決定

C_{VLED} コンデンサの値を決定するには、まず動作時の LED の最大順方向バイアス電圧 $V_{FB_LED_MAX}$ を決定します。LED 電流 $I_{FB_LED_MAX}$ と $V_{FB_LED_MAX}$ の対応は図 26 のようになります。この例で、並列に接続された 2 個の緑色 LED を流れる 250 mA の電流による電圧は、 $V_{FB_LED_MAX} = 3.95 \text{ V}$ になります。この電圧では、LED のパスに直列抵抗も含める必要があります。LED パスの設計時には、LED のピーク電流が非常に大きいので、小さい抵抗の蓄積によって大きな電圧低下を招く可能性があるという点に注意してください。さらに、これらの抵抗が V_{LEDx} 電源にとって望ましくない制約となる可能性もあります。

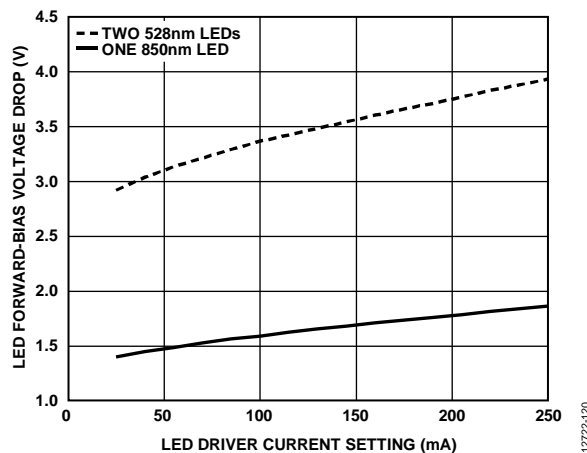


図 26. ドライバ電流の関数として表した平均 LED 順方向電圧降下の例

C_{VLED} コンデンサの値を正しく設定するには、LED のパルス内で、コンデンサ電圧が LED の順方向バイアス未満となる点までコンデンサが放電しないようにします。

V_{LEDx} バイパス・コンデンサの最小値の計算には、次の式を使用します。

$$C_{VLED} = \frac{t_{LED_PULSE} \times I_{FB_LED_MAX}}{V_{LED_MIN} - (V_{FB_LED_MAX} + 0.2)} \quad (2)$$

ここで、

t_{LED_PULSE} は LED パルスの幅、

$I_{FB_LED_MAX}$ はデバイス動作時に使用する LED の最大順方向バイアス電流、

V_{LED_MIN} は無負荷状態での V_{LEDx} 電源の最小電圧、

$V_{FB_LED_MAX}$ は、 I_{LED_PEAK} を実現するために LED で必要とされる最大順方向バイアス電圧です。

C_{VLED} の式の分子は、プログラムされた最大電流の LED パルス 1 個を生成するためにバイパス・コンデンサから放電される総電荷量 (単位: クーロン) を表わします。分母は、 V_{LEDx} 電源の最小電圧と、LED が必要とする電圧の差を表わします。LED が必要とする電圧は LED のアノード電圧で、この電圧は、LED ドライバの 0.2 V コンプライアンスと、最大電流で動作する LED の順方向バイアス電圧の要件を満たす値です。代表的な ADPD103 の例として、 V_{LEDx} 電源の最小値が 4.4 V で、2 個の 528 nm LED の並列使用時のピーク電流が 250 mA であるものとします。この場合、 C_{VLED} の最小値は 3 μ F となります。

$$C_{VLED} = (3 \times 10^{-6} \times 0.250) / (4.4 - (3.95 + 0.2)) = 3 \mu\text{F} \quad (3)$$

式 3 から分かるように、最小電源電圧が最大アノード電圧近くまで低下するにつれて、 C_{VLED} に関する要求はより厳しくなり、コンデンサ値を大きくしなければならなくなります。これらの式には、正しい値を代入することが重要です。例えば、 V_{LED_MIN} のワーストケースの値ではなく V_{LED_MIN} の平均値を使用すると重大な設計上の欠陥を引き起こすおそれがあり、結果として C_{VLED} の値が小さくなり過ぎて、アプリケーションの光学的能力が不十分なものとなってしまうことがあります。したがって、 C_{VLED} には十分な余裕を持たせることを強く推奨します。 C_{VLED} には、電圧、バイアス、温度、および寿命期間中のその他の要因によるコンデンサ値の低下に備えて、十分な余裕を持たせてください。

LED のインダクタンスに関する考慮事項

ADPD103 の LED ドライバ (LEDXx) は、スルー・レートの設定を変更することができます (レジスタ 0x22 のビット [6:4]、レジスタ 0x23 のビット [6:4]、およびレジスタ 0x24 のビット [6:4])。これらのスルー・レートを表 3 に示します。最も低い値に設定する場合でも、ボード設計やレイアウト時には慎重な検討が求められます。LED のカソードといずれかの LEDXx ピンの間に、長い PCB パターンのような大きい直列インダクタが接続される場合は、インダクタの切替で生じる電圧スパイクにより、LED パルスのスルー部分で LEDXx ピンの絶対最大電圧と絶対最小電圧を外れてしまう可能性があります。

寄生インダクタンスによる電圧スパイクが LEDXx ピンに生じないことを確認するには、LEDXx ピンにオシロスコープを接続して、通常動作時の電圧をモニタします。3.6 V を超える正のスパイクが発生すると、デバイスが損傷するおそれがあります。

また、-0.3 V 未満の負のスパイクも、デバイスを損傷させるおそれがあります。

推奨スタートアップ・シーケンス

パワーアップ時のデバイスは、図 14 に示すようにスタンバイ・モードになります (レジスタ 0x10 = 0x0)。ADPD103 は特別なパワーアップ・シーケンスを必要としません。

スタンバイ・モードから測定を開始するには、以下の手順に従って ADPD103 を操作してください。

1. CLK32K_EN ビット (レジスタ 0x4B のビット 7) をセットして、サンプル・クロック (32 kHz クロック) を起動します。このクロックがオフになっている場合、レジスタ 0x10 の定義に従ってステート・マシンを遷移させることはできません。
2. レジスタ 0x10 に 0x1 を書き込んで、デバイスをプログラム・モードにします。ステップ 1 とステップ 2 を入れ替えることもできますが、実際のステート遷移は、両方のステップが実行されるまで行われません。
3. デバイスがプログラム・モードの状態、その他のコントロール・レジスタに任意の順番で書き込みを行い、必要に応じてデバイスを設定します。
4. レジスタ 0x10 に 0x2 を書き込んで、通常のサンプリング動作を開始します。

通常動作を終了するには、以下の手順に従って ADPD103 をスタンバイ・モードにしてください。

1. レジスタ 0x10 に 0x1 を書き込んで、デバイスをプログラム・モードにします。
2. レジスタへの書き込みは、デバイスがプログラム・モードの間に任意の順番で行います。
3. レジスタ 0x00 に 0x00FF を書き込んで、すべての割込みをクリアします。必要な場合は、DIGITAL_CLOCK_ENA ビット (レジスタ 0x5F のビット 0) を設定してレジスタ 0x00 に 0x80FF を書き込むことにより、FIFO もクリアしてください。
4. レジスタ 0x10 に 0x0 を書き込んで、デバイスをスタンバイ・モードにします。
5. CLK32K_EN ビット (レジスタ 0x4B のビット 7) をリセットすれば、32 kHz クロックを停止することもできます。デバイスがスタンバイ・モード (レジスタ 0x10 = 0x0) の時に実行しなければならない書き込みは、レジスタ 0x4B のビット 7 = 0 だけです。プログラム・モードまたは通常モードでこのビットに 0 を書き込むと、デバイスは、その後と同じ書き込みを行っても、スタンバイ・モードを含む他のモードに遷移できなくなります。結果として、スタンバイ・モードにおける消費電力が大幅に増加します。このような理由と、動作中に 32 kHz クロックに流れる電流が非常に少ないという点から、使いやすさを考え、32 kHz クロックをオンにした後は常にクロックを作動状態にしておくことを推奨します。

データの読出し

ADPD103 がサンプル・データにアクセスする方法は複数あります。各タイム・スロットは、FIFO またはデータ・レジスタを使用してデータにアクセスするために、個別に設定することができます。適切なタイミングでのデータ・アクセスを容易にするために、割込み信号を使用することもできます。FIFO は、データ・アクセスに関するシステムのタイミング要件を緩和するために使用できます。

FIFO を使用したデータの読出し

ADPD103 には 128 バイトの FIFO メモリ・バッファが含まれており、これは、一方または両方のタイム・スロットからのデータを保存するように設定することができます。レジスタ 0x11 は、

各タイム・スロットからの FIFO に書き込むデータの種別を選択します。FIFO の使用は両方のタイム・スロットに対して有効にできますが、これは、その出力データ・レートが同じ場合に限られます。

$$\text{Output data rate} = f_{\text{SAMPLE}}/N$$

ここで、

f_{SAMPLE} はサンプリング周波数、 N は各タイム・スロットの平均個数です (タイム・スロット A は N_A 、タイム・スロット B は N_B)。つまり、両方のタイム・スロットからのデータを FIFO に保存するには、 $N_A = N_B$ が成り立たなければなりません。

データ・パケットは、出力データ・レートで FIFO に書き込まれます。FIFO 用のデータ・パケットは、有効化された各タイム・スロットのすべてのサンプルで構成されます。各フォトダイオード・チャンネルのデータは、16 ビットまたは 32 ビットとして保存できます。各タイム・スロットは、モードとデータ・フォーマットに応じ、1 つのサンプルあたり 2、4、8、または 16 バイトのデータを保存できます。データ・パケットの品質を損なわないように、パケット全体を書き込めるだけの十分なスペースが FIFO にあれば、新しいデータは FIFO にのみ書き込まれます。十分なスペースがない場合、受信された新しいデータは失われます。FIFO は、十分なスペースがある限りデータの保存を続けます。データ・パケットの品質を損なわないように、FIFO のデータを読み出す時は常にパケット全体を読み出してください。

FIFO に現在保存されているデータのバイト数は、レジスタ 0x00 のビット [15:8] で知ることができます。FIFO 専用の割込みも使用可能で、指定された量のデータが FIFO に書き込まれると、自動的に割込みが生成されます。

割込みによる方法

割込みによる方法を使って FIFO からデータを読み出すには、以下の手順に従ってください。

- 動作上の必要に応じ、プログラム・モードでタイム・スロットを設定します。
- 各タイム・スロットに必要なデータ・フォーマットで、レジスタ 0x11 へ書き込みを行います。
- レジスタ 0x06 のビット [13:8] の `IFO_THRESH` を、割込み閾値に設定します。適切な値は、データ・パケット内の 16 ビット・ワード数マイナス 1 です。これにより、FIFO 内に少なくとも 1 つの完全なパケットがある場合には、割込みが生成されます。
- レジスタ 0x01 のビット 8 の `FIFO_INT_MASK` に 0 を書き込むことによって、FIFO 割込みを有効にします。また、レジスタ 0x02 の該当ビットに適切な値を書き込むことによって、割込みピン (INT) を設定します。
- レジスタ 0x10 を 0x2 に設定することによって、通常動作モードにします。
- 割込み発生時は以下のように処理します。
 - 割込みは、1 つ以上のフル・パケットが存在する場合のみ生成されるので、`FIFO_SAMPLES` レジスタを読み出す必要はありません。オプションとして、割込みルーチンは、このレジスタを読み出すことによって、使用可能なパケットが複数存在するかどうかをチェックすることができます。
 - 書き込み操作を連続して行い、`FIFO_ACCESS_ENA` ビット (レジスタ 0x5F のビット 0) に 1 を 2 回書き込みます。

- レジスタ 0x60 を使い、1 回以上マルチ・ワード・アクセスを使用してパケット全体を読み出します。FIFO を読み出すと、新しいサンプル用のスペースが自動的に解放されます。
- `FIFO_ACCESS_ENA` ビット (レジスタ 0x5F のビット 0) に 0 を書き込みます。

FIFO から十分な量のデータが読み出されてデータ・レベルが閾値を下回ると、割込みは自動的にクリアされます。

ポーリング法

ポーリング法を使って FIFO からデータを読み出すには、以下の手順に従ってください。

- 動作上の必要に応じ、プログラム・モードでタイム・スロットを設定します。
- 各タイム・スロットに必要なデータ・フォーマットで、レジスタ 0x11 へ書き込みを行います。
- レジスタ 0x10 を 2 に設定することによって、通常動作モードにします。

次に、ポーリング動作を開始します。

- ポーリング時間が経過するのを待ちます。
- `FIFO_SAMPLES` ビット (レジスタ 0x00 のビット [15:8]) を読み出します。
- `FIFO_SAMPLES` がパケット・サイズ以上の場合、以下の手順に従ってパケットを読み出します。
 - 書き込み操作を連続して行い、`FIFO_ACCESS_ENA` ビット (レジスタ 0x5F のビット 0) に 1 を 2 回書き込みます。
 - レジスタ 0x60 を使い、1 回以上マルチ・ワード・アクセスを使用してパケット全体を読み出します。FIFO を読み出すと、新しいサンプル用のスペースが自動的に解放されます。
 - `FIFO_ACCESS_ENA` ビット (レジスタ 0x5F のビット 0) に 0 を書き込みます。
 - ステップ 1 から繰り返します。

モードを変更する必要がある時、またはその他の理由で通常サンプリングを中断する必要がある時は、FIFO をクリアしなければなりません。以下の手順に従ってステータスをクリアし、FIFO を空にしてください。

- レジスタ 0x10 を 0x1 に設定することによって、プログラム・モードにします。
- 書き込み操作を連続して行い、`FIFO_ACCESS_ENA` ビット (レジスタ 0x5F のビット 0) に 1 を 2 回書き込みます。
- レジスタ 0x00 のビット 15 に 1 を書き込みます。
- `FIFO_ACCESS_ENA` ビット (レジスタ 0x5F のビット 0) に 0 を書き込みます。

割込みを使用したレジスタからのデータ読出し

データ・レジスタ内には常に最新のサンプル・データが置かれ、各タイム・スロットの終了時に同時に更新されます。各フォトダイオード・チャンネルのデータ値は、タイム・スロット A の場合はレジスタ 0x64 からレジスタ 0x67 まで、タイム・スロット B の場合はレジスタ 0x68 から 0x6B までに 16 ビット値として格納されます。これらの値がその最大値に達した場合、レジスタ 0x64 ~ レジスタ 0x6B はクリップされます。レジスタ 0x64 ~ レジスタ 0x6B が飽和した場合、タイム・スロット A ではレジスタ 0x70 からレジスタ 0x77 まで、タイム・スロット B ではレジスタ 0x78 からレジスタ 0x7F までに各チャンネルの未飽和値 (最大 27 ビット) が格納されます。サンプル割込みは、レジスタが更新されて読出し可能な状態にあることを示すために使用できます。タイム・スロットに割込みを使用するには、

以下の手順に従ってください。

- レジスタ 0x01 の該当ビットに 0 を書き込むことによって、サンプル割込みを有効にします。タイム・スロット A の割込みを有効にするには、ビット 5 に 0 を書き込みます。タイム・スロット B の割込みを有効にするには、ビット 6 に 0 を書き込みます。割込みは、一方または両方のタイム・スロットに設定できます。
- 割込みピンの設定は、レジスタ 0x02 の該当ビットに適切な値を書き込むことによって行います。
- 割込みはデータ・レジスタの更新時に発生します。
- 割込みハンドラは以下の処理を行う必要があります。
 - レジスタ 0x00 を読み出してビット 5 またはビット 6 をチェックし、どちらの割込みが発生したかを確認します。使われている割込みが 1 つだけの場合、このステップは不要です。
 - 次のサンプルを書き込めるようになる前に、データ・レジスタを読み出します。システムの割込み遅延とサービス時間は、出力データ・レートを基準として、次のデータ更新前に応答を行うことができるよう十分に短い値でなければなりません。
 - レジスタ 0x00 のビット 5 またはビット 6 に 1 を書き込んで、割込みをクリアします。

両方のタイム・スロットが使用中の場合は、すべてのレジスタが読出し可能になった時に、タイム・スロット B の割込みだけを使用して知らせることができます。データ・レジスタからデータを転送するには、マルチワード読出しを使用することを推奨します。

割込みを使用しないレジスタからのデータ読出し

システム割込み応答が、割込み法を使用できるほど高速でない場合や十分に予測可能でない場合、あるいは割込みピンが使われていない場合は、データ保持メカニズムを使用することによって、信頼できるデータ・アクセスを行うことができます。レジスタからのデータ読出しが同じサンプル時間から行われるようにするには、現在の値を読み出している間にサンプルが更新されないようにする必要があります。割込みタイミングなしでレジスタ読出しを行う方法を、以下に示します。

- アクセスを必要としているタイム・スロット（どちらのタイム・スロットにもアクセス可能）に関して、SLOTA_DATA_HOLD または SLOTB_DATA_HOLD（それぞれレジスタ 0x5F のビット 1 とビット 2）に 1 を書き込みます。これにより、サンプルが更新されなくなります。
- 必要に応じてレジスタを読み出します。
- 前に設定した SLOTA_DATA_HOLD ビットまたは SLOTB_DATA_HOLD ビット（それぞれレジスタ 0x5F のビット 1 と 2）に 0 を書き込みます。これで、再びサンプルを更新できるようになります。

読出しの実行中に新しいサンプルを受信する可能性もありますが、この方法を用いれば、読み出すデータが部分的に上書きされるのを防ぐことができます。

クロックとタイミングの校正

ADPD103 は、2 つの内部タイム・ベースを使用して動作します。32 kHz クロックはサンプル・タイミングを設定し、32 MHz クロックは LED パルスの生成やデータ取得といった内部機能のタイミングを制御します。どちらのクロックも内部で生成され、デバイス間で約 10 %（代表値）のばらつきが生じます。

心拍数モニタリング・アプリケーションには、1 分あたりの心拍数を正確にカウントするために、正確なタイム・ベースが必要です。ADPD103 は、両方のクロックに対する簡単な校正手順を備えています。

- 32 kHz クロックの校正。これは、出力データ・レートに関連する項目を校正します。このクロックの校正は、心拍数測定など、正確なデータ・レートが必要とされるアプリケーションにとって重要です。
 - サンプル周波数を、システムが扱える最大値（例えば 2000 Hz）に設定します。32 kHz クロックはサンプル・タイミングを制御するので、その周波数には INT ピンを介して容易にアクセスすることができます。レジスタ 0x02 の該当ビットに適切な値を書き込むことによって割込みを設定し、レジスタ 0x01 のビット 5 またはビット 6 に 0 を書き込むことによって、サンプリング周波数で割込みが発生するように設定します。INT ピンをモニタしてください。割込み周波数は、設定されたサンプリング周波数に一致していなければなりません。
 - モニタされた割込み周波数が設定サンプリング周波数より低い場合は、CLK32K_ADJUST ビット（レジスタ 0x4B のビット [5:0]）の値を増やします。モニタされた割込み周波数が設定サンプリング周波数より高い場合は、CLK32K_ADJUST ビットの値を減らします。
 - モニタされた割込み信号周波数が設定サンプリング周波数に十分近くなるまで、ステップ b を繰り返します。
- 32 MHz クロックの校正。これは、LED パルスの幅や間隔など、サンプル周期内の精密タイミングに関連する項目を校正します。32 kHz クロックが校正済みであることが前提です。
 - レジスタ 0x5F のビット 0 に 0x1 を書き込みます。
 - レジスタ 0x50 のビット 5 に 0x1 を書き込むことによって、CLK_RATIO の計算を有効にします。この機能は、32 kHz クロック 2 サイクル内の 32 MHz クロックのサイクル数をカウントします。この機能を有効にすると、このサイクル値がレジスタ 0xA のビット [11:0] に保存されます。この比率は公称値で 2000 (0x7D0) です。
 - 32 MHz クロックの誤差は次式で計算します。

$$\text{Clock Error} = 32 \text{ MHz} \times (1 - \text{CLK_RATIO}/2000)$$
 - 次式に従ってレジスタ 0x4D のビット [7:0] を設定することにより、周波数を調整します。

$$\text{CLK32M_ADJUST} = \text{Clock Error}/109 \text{ kHz}$$
 - レジスタ 0x50 のビット 5 に 0x0 を書き込んで、CLK_RATIO 機能をリセットします。

必要な精度が得られるまで、ステップ 2b ~ ステップ 2e を繰り返します。

レジスタ 0x5F のビット 0 に 0x0 を書き込みます。また、INT ピンの設定を通常動作に必要なモードに戻します。

消費電流の計算

以下の式に示すように、ADPD103の消費電流はユーザーが選択する動作設定によって異なります。

総合消費電力

総合消費電力を計算するには、式4を使用します。

$$\text{Total Power} = I_{VDD_AVG} \times V_{DD} + I_{LEDA_AVG} \times V_{LEDA} + I_{LEDB_AVG} \times V_{LEDB} \quad (4)$$

平均 V_{DD} 電源電流

平均 V_{DD} 電源電流を計算するには、式5を使用します。

$$I_{VDD_AVG} = DR \times ((I_{AFE_A} \times t_{SLOTA}) + (I_{AFE_B} \times t_{SLOTB}) + Q_{PROC}) + I_{VDD_STANDBY} \quad (5)$$

ここで、

DR = データ・レート (Hz)、

$I_{VDD_STANDBY} = 3.5 \times 10^{-3}$ mA、

Q_{PROC} は処理時間に関連する平均電荷で、その値は以下のとおりです。

- タイム・スロット A だけが有効な場合:
 $Q_{PROC} = 0.64 \times 10^{-3}$ mC
- タイム・スロット B だけが有効な場合:
 $Q_{PROC} = 0.51 \times 10^{-3}$ mC
- タイム・スロット A と タイム・スロット B が有効な場合:
 $Q_{PROC} = 0.69 \times 10^{-3}$ mC

$$I_{AFE_x} \text{ (mA)} = 2.9 + (1.5 \times \text{NUM_CHANNELS}) + (\text{LED}_{x_PEAK} - 25) / 225 \quad (6)$$

$$t_{SLOTx} \text{ (sec)} = \text{LED}_{x_OFFSET} + \text{LED}_{x_PERIOD} \times \text{PULSE_COUNT} \quad (7)$$

ここで、

NUM_CHANNELS はアクティブ・チャンネルの数、

LED_{x_PEAK} はピーク LED 電流 (mA)、

LED_{x_OFFSET} はパルス開始時間オフセット (秒)、

LED_{x_PERIOD} はパルス周期 (秒)、

PULSE_COUNT はパルス数です。

タイム・スロット A か タイム・スロット B のどちらかが無効になっている場合、そのタイム・スロットでは $I_{AFE_x} = 0$ です。さらに、デジタル積分モードで動作している場合、省電力は、レジスタ 0x3C のビット [8:3] を b010010 に設定することによって実現できます。この設定は、デジタル積分モードでバイパスされるバンドパス・フィルタを無効化し、AFE の電力消費計算を次のように変化させます。

$$I_{AFE_x} \text{ (mA)} = 2.9 + (1.0 \times \text{NUM_CHANNELS}) + (\text{LED}_{x_PEAK} - 25) / 225$$

平均 V_{LEDA} 電源電流

平均 V_{LEDA} 電源電流を計算するには、式8を使用します。

$$I_{LED_AVG_A} = (\text{SLOTA_LED_WIDTH} / 1 \times 10^6) \times \text{LEDA}_{PEAK} \times DR \times \text{PULSE_COUNT} \quad (8)$$

ここで、 LEDA_{PEAK} は mA で表した LED1_{PEAK} 、 LED2_{PEAK} 、または LED3_{PEAK} で、タイム・スロット A に対して選択された任意の LED の値です。

平均 V_{LEDB} 電源電流

平均 V_{LEDB} 電源電流を計算するには、式9を使用します。

$$I_{LED_AVG_B} = (\text{SLOTB_LED_WIDTH} / 1 \times 10^6) \times \text{LEDB}_{PEAK} \times DR \times \text{PULSE_COUNT} \quad (9)$$

ここで、 LEDB_{PEAK} は mA で表した LED1_{PEAK} 、 LED2_{PEAK} 、または LED3_{PEAK} で、タイム・スロット B に対して選択された任意の LED の値です。

ワットあたりの S/N 比の最適化

ADPD103 には、最良の信号を得るためにユーザーが調整できるさまざまなパラメータがあります。システム性能に関する重要な目標のひとつは、できるだけ少ない総合消費電力で最良のシステム S/N 比を実現することです。通常、これはワットあたりの S/N 比の最適化と呼ばれています。S/N 比だけが問題で電力は二義的な問題に過ぎないようなシステムにおいても、同じ S/N 比を実現するにあたっては、消費電力がより小さい手段と大きい手段があります。

ピーク S/N 比の最適化

ピーク S/N 比最適化の第1ステップは、LED パルスの数を一定に保ったまま最大性能が得られるような TIA ゲインと LED レベルを見つけることです。ピーク S/N 比が目標である場合は、表3のノイズ部分をガイドとして使用できます。S/N 比はパルス数の平方根が平均化されるにつれて改善され、LED が消費する電力は LED パルス数に正比例しますが、この点に留意することが重要です。つまり、LED のパルス・カウントが2倍になるごとに LED の消費電力も2倍になり、S/N 比は3 dB 改善されます。したがって、消費電力が倍増した時の S/N 比改善が3 dB 未満となるようなゲイン設定変更は避けるようにしてください。消費電力が倍増した時に改善できる S/N 比が3 dB 以上となるような TIA ゲイン設定が、望ましい選択です。ピーク S/N 比が目標で、任意のゲインでの LED 電流によるフォトダイオードの飽和が問題とならない場合は、50 k の TIA ゲイン設定が最良の選択です。チャンネルごとのパルスあたり S/N 比を最適化した後は、パルス数を増やして、希望のシステム S/N 比を実現することができます。

信号抑制システムでのワットあたりの S/N 比の最適化

実際には、ピーク S/N 比の最適化は必ずしも現実的ではありません。光電式容積脈波記録法 (PPG) 信号の S/N 比が低下するシナリオのひとつが、信号抑制方式です。このシナリオでは、必要な DC リターン・レベルが実現される前に LED 電流が上限に達してしまいます。

このケースでの調整は、ピーク S/N 比調整が終了するところから始めます。この場合、8 mA の最小 LED 電流設定がフォトダイオードを飽和させず、50 k のゲイン設定が強い背景光に対する保護効果を十分に発揮する限りは、通常、50 k ゲインが開始点となります。ここでは 25 k ゲインを開始点とします。

調整プロセスの目標は、DC リターン信号を、50% あるいは 60% といった特定の ADC 範囲にすることです。ADC 範囲の

選択は、DC レベルの経年変動に伴う飽和の防止に必要なヘッドルームのマージンに依存します。PPG 波形の S/N 比は、常に、DC レベルに対する一定のパーセンテージとなります。ベース・ゲインで目標レベルを達成できない場合は、ゲインを大きくして同じ手順を繰り返します。この調整システムには、周囲信号による飽和を防ぐために、ゲインに上限を設けなければならないことがあります。

パルス・カウントの調整

LED ピーク電流と TIA ゲインの最適化後は、サンプルあたりのパルス数を増やすと、パルス数の平方根だけ S/N 比が向上します。パルス・カウントを増やす方法は 2 つあります。パルス・カウント・レジスタ（レジスタ 0x31 のビット [15:8] と、レジスタ 0x36 のビット [15:8]）は、内部サンプル 1 回あたりのパルス数を変化させます。レジスタ 0x15 のビット [6:4] とビット [10:8] は、データを出力へ送る前に平均される内部サンプルの数を制御します。したがって、サンプルあたりのパルス数は、パルス・カウント・レジスタの値に、その後平均化されるサンプル数を乗じた値になります。一般に、内部サンプル平均の数が増加すると、必要な出力データ・レートを維持するために、内部サンプリング・レートも増加します。ワットあたりの S/N 比は、パルス・カウント値が 16 以下の時に最適値となります。パルス・カウント値が 16 を超えると、パルス・カウント・レジスタ内の平方根関係が維持されなくなります。ただし、レジスタ 0x15 を使ってサンプル間の平均が行われる場合には、この関係は維持されます。

LED ピーク電流を増加させると S/N 比は LED 電力にほぼ正比例して増加しますが、パルス数を n 倍にしても、S/N 比の増加は公称値 \sqrt{n} に止まります。

サンプル合計／平均機能（レジスタ 0x15）使用時は、合計されたサンプルの数だけ出力データ・レートが低下します。静的な出力データ・レートを維持するには、サンプル周波数（レジスタ 0x12）を、レジスタ 0x15 で選択した率と同じ率で増加させます。例えば、出力データ・レートが 100 Hz で、4 個のサンプルに対してサンプル合計／平均を行う場合は、サンプル周波数を 400 Hz に設定します。

シングル AFE チャンネル・モード

アプリケーションで使用するフォトダイオードが 1 個だけの場合で、そのフォトダイオードが 1 つの AFE チャンネルに接続されている場合（表 16 参照）、ADPD103 には、チャンネル 2、チャンネル 3、チャンネル 4 をパワーダウンして、デバイスをシングル AFE チャンネル・モードにするオプションがあります。このモードでは、4 つある AFE チャンネルのうちの 3 つまでがオフになるので、消費電力が大幅に低下します。

デバイスを正しく動作させるには、未使用のチャンネルをフロート状態のままにすることが重要です。デバイスをシングル AFE チャンネル・モードで動作させるには、レジスタ 0x3C のビット [8:3] に 0x38 を書き込みます。デバイスをシングル AFE チャンネル・モードで動作させる必要がない場合は、レジスタ 0x3C のビット [8:3] を 0x00 のままにしておきます。

TIA_ADC モード

ADPD103 は、アナログ・バンドパス・フィルタと積分器を使わず、実質的に TIA を ADC 内で直接動作させるモードにすることができます。このモードは TIA_ADC モードと呼ばれます。TIA_ADC モードは基本的に 2 つの用途に使われます。通常モードでは、すべての背景光がシグナル・チェーンからブロックされるので、背景光を測定することはできません。TIA_ADC モードは、背景光／周囲光の量を測定するために使用できます。また、このモードは、リーク抵抗など、その他の DC 入力電流の測定にも使用できます。

デバイスが TIA_ADC モードの時は、バンドパス・フィルタと積分器の段がバイパスされます。これにより、TIA が実質的に直接 ADC 内に接続されます。設定されたサンプリング周波数において、ADC はチャンネル 1 からチャンネル 4 まで（またはチャンネル 5 からチャンネル 8 まで）を順番にサンプリングします。各サンプルは 1 μ s の間隔で収集されます。TIA は反転構成なので、フォトダイオードに当たる光が多いほど信号は低下します。光がゼロの状態、つまり暗黒状態における ADC から信号は約 13,000 LSB です。

タイム・スロット A の時に ADPD103 を TIA_ADC モードにするには、レジスタ 0x43 に 0xB065 を書き込んで、バンドパス・フィルタと積分器をバイパスします。同様に、タイム・スロット B の時に ADPD103 を TIA_ADC モードにするには、レジスタ 0x45 に 0xB065 を書き込みます。DC 信号とパルス信号を同時にモニタする方法のひとつは、一方のタイム・スロットでデバイスを TIA_ADC モードで動作させ、もう一方のタイム・スロットではパルス・モードで動作させることです。TIA 段は反転構成なので、TIA_ADC モードでは光量が増えると ADC コードが減少します。

通常動作時の TIA 飽和からの保護

TIA_ADC モードをモニタする理由のひとつは、飽和を引き起こす環境からの保護があります。大光量条件下での動作における懸念のひとつは（特に大きいフォトダイオード使用時）、TIA 段が飽和する可能性のある場合でも ADPD103 がデータ通信を継続してしまうことです。その結果生じる飽和状態は一般的なものではありません。TIA がその設定に基づいて扱うことのできるフォトダイオード電流は、一定のレベルに限られます。ADPD103 の設定状態に基づき、フォトダイオードからの電流レベルが TIA の扱える限度を超えた場合は、LED パルス内での TIA 出力が電流パルスを効果的に拡大し、より広いものにします。その場合は、バンドパス・フィルタの正の部分が積分窓の負領域まで拡大されるので、AFE タイミングが損なわれます。したがって光信号のレベルは減少し、有効な光信号が増加すると出力信号が減少します。

TIA からの応答を測定して、この段が飽和していないことを確認するには、デバイスを TIA_ADC モードにして、タイミングをわずかに変更します。具体的には、4 つあるチャンネルのうちの 2 つまたは 3 つが最小値に達するまで、SLOTx_AFE_OFFSET をスイープします（TIA は反転構成になっている点に注意）。通常は 3 μ s の LED パルス幅が使われ、ADC は 4 つのチャンネルを 1 μ s 間隔で順番にサンプリングするので、4 つのチャンネルすべてがこの最小値になることはありません。この手順は、フォトディテクタに当たる合計光量

(例えば背景光 + LED パルス) を測定するために、ADC のサンプリング時間を LED パルスに揃えます。

この最小値が 0 LSB より大きい場合、TIA は飽和していません。ただし、結果が 0 LSB でなくても、デバイスを飽和に近い状態で動作させると、光の状態が変化した時に急激に飽和することがあるので注意が必要です。安全な動作領域は、通常、フルスケールの 3/4 以下の領域です。パルスおよびチャンネルあたりの値を基準とした入力コードと ADC レベルの対応については、表 17 を参照してください。バンドパス・フィルタと積分器はユニティ・ゲイン要素ではないので、これらのコードは通常モードにおけるものとは異なります。

周囲光の概略測定

TIA_ADC モードは、表 17 の代表値を使用して、フォトディテクタ上の背景光や周囲光を測定したり定量化したりするために使用できます。設定は通常動作時の TIA 飽和からの保護のセクションに示した方法と同じですが、このモードに使用するタイミングは、通常動作モードに使用するタイミングで十分です。AFE_OFFSET をスワイプする必要はありません。AFE_OFFSET が通常モード動作時と同じ場所にある場合は、LED がオンになっているかオフになっているかに関わらず、TIA_ADC モードは同じ値を返しません。

TIA_MODE における暗黒レベルは、パルスおよびチャンネルあたり 13,000 LSB 近くになる高いレベルです (表 17 参照)。この値を測定するには、タイム・スロット B についてはレジスタ 0x14 のビット [11:8] に 0x0 を、タイム・スロット A についてはレジスタ 0x14 のビット [7:4] に 0x0 を書き込むことによって、PD を選択しないようにします。この設定は、フォトダイオードの接続を内部で開放します。これは、ゼロ信号入力に該当する基準 LSB 値を与えます。

フォトダイオードを TIA に接続した状態でレジスタ 0x14 をその通常値に戻した後は、背景光を測定するために、フォトダイオードの接続を開放した場合の値から、この TIA_ADC の結果を減じることができます。表 17 を使用して、この測定値を入力

光電流に変換してください。この結果の精度は通常 10 % 以内しかないので、概略値の絶対測定にのみ使用します。

PCB の寄生入力抵抗の測定

ADPD103 のマウント・プロセスにおいては、アセンブリ誤差や PCB 上のデブリにより、入力に望ましくない抵抗が生じることがあります。これらの抵抗は、アノードとカソードの間、あるいはアノードとその他の電源またはグラウンドの間に形成される可能性があります。通常動作時には、ADPD103 の外乱排除機能によってこれらの抵抗の一次的影響が隠されてしまい、検出が非常に難しくなります。しかし、1 MΩ ~ 10 MΩ であっても、これらの抵抗は、ノイズの増大やダイナミック・レンジの低下を通じて、性能に大きく影響します。TIA_ADC モードは、アセンブリに起因するこれらの問題を洗い出すために使用することができます。

フォトダイオードのシャント抵抗の測定

TIA の実効インピーダンスは非常に小さいので、一般にフォトダイオード両端のシャント抵抗が、デバイス動作時の出力レベルに影響することはありません。特に、動作時にフォトダイオードが 0 V に保たれる場合は、この傾向が顕著になります。しかし、これらの抵抗はシステムのノイズを増大させ、性能を低下させる可能性があります。フォトダイオードのシャント抵抗とも呼ばれるフォトダイオードの漏れを検出する最良の方法は、暗黒状態でデバイスを TIA_ADC モードにして、動作モードのカソード電圧を変化させることです。動作時のアノード電圧は常に 1.3 V なので、この場合、カソードが 1.3 V であればフォトダイオードにかかる電圧は 0 V です。カソードが 1.8 V の場合は、フォトダイオードにかかる電圧は 0.5 V になります。表 3 のレジスタ設定を使用してカソード電圧を制御し、両方の電圧での TIA_ADC 値を測定します。次に、0.5 V の電圧差を電流に変換した後に、ADC の結果の差によって 0.5 V の電圧差を分割します。この結果が、シャント抵抗の概略値です。10 MΩ を超える値は測定が困難ですが、この方法は全体的な不具合を確認する上で有効です。

表 17. TIA_ADC モードとデジタル積分モードのアナログ仕様

Parameter	Test Conditions/Comments	Typ	Unit
TIA_ADC/Digital Integration Saturation Levels	Values expressed per channel, per sample		
	TIA Feedback Resistor:		
	25 kΩ	38.32	μA
	50 kΩ	19.16	μA
	100 kΩ	9.58	μA
TIA_ADC Resolution	Values expressed per channel, per sample		
	TIA Feedback Resistor:		
	25 kΩ	2.92	nA/LSB
	50 kΩ	1.5	nA/LSB
	100 kΩ	0.73	nA/LSB
Output with No Input Current	200 kΩ	0.37	nA/LSB
	ADC offset (Register 0x18 to Register 0x21) = 0x0	13000	LSB

TIAの入力シャント抵抗の測定

生じる可能性のあるもうひとつの問題は、TIAの入力と、PCB上の別の電源またはグラウンドとの間に、抵抗が形成されることです。これらの抵抗は、TIAを尚早に飽和状態にしてしまうおそれがあります。これはさらに、動作中のデバイスのダイナミック・レンジを狭め、入力にジョンソン・ノイズ成分を追加します。これらの抵抗を測定するには、暗黒状態でデバイスをTIA_ADCモードにし、フォトダイオード入力の接続を解除（レジスタ0x14のビット[11:8]=0、またはレジスタ0x14のビット[7:4]=0）してTIA_ADCオフセット・レベルを測定することから開始します。この状態から、暗黒状態のフォトダイオードを接続してTIA_ADCモードの値を減じ、その差を電流に変換します。値が正でADC信号が減少した場合、抵抗は、 V_{DD} などの1.3Vより高い電圧に対するものとなります。TIAに流れ込む電流は出力を低下させます。ADCにおけるコード増加のために出力の差が負となった場合は、TIAから電流が流れ出し、グラウンドなどの1.3Vより低い電位に対するシャント抵抗が生じます。

デジタル積分モード

ADPD103にはデジタル積分モードが組み込まれており、より長いLED/AFEパルス幅をデバイスが扱える他、入力にさまざまなタイプのセンサーを使用することができます。AFEの動作のセクションに示すアナログ積分モードは、大きいLEDデュティ・サイクルを必要とするアプリケーションや、サンプリング方法のカスタマイズを必要とするアプリケーションに最適です。デジタル積分モードでは、デジタル領域において、ADCの後に積分機能を実行できます。このモードでは、非常に広範なセンサーを入力に使用することができます。

デジタル積分モードでは、積分窓内でADCが1 μ sごとに変換を実行します。積分窓内では、デジタル・エンジンが、前のサンプルへの加算や前のサンプルからの減算を行います。バンドパス・フィルタはバイパスされ、積分器は電圧バッファに変わります。これにより、デジタル・エンジンが積分機能を実行できるようになります。このモードでタイミングを最適化した場合は、フォトダイオードに加わる光のレベルが増加するとADCの出力も増加します。

積分窓は負の窓と正の窓の組み合わせで、これらの窓の時間的長さはSLOTx_AFE_WIDTHによって設定されます。デジタル積分窓の終了位置では、結果として得られる合計値が、そのLEDパルスのサンプルとしてデシメーション・ユニットに送られます。サンプルは、すべてのサンプリング周期で1タイム・スロットあたり1つずつ存在します。デバイスをデジタル積分モードにするために必要なレジスタを表18に示します。

SLOTx_AFE_OFFSETレジスタとFIFO設定レジスタ(0x11)には、変更が必要になることもあります。FIFOを介して最終的な値を読み出すには、タイム・スロットAについてはレジスタ0x11のビット[4:2]に、タイム・スロットBについてはレジスタ0x11のビット[8:6]に適切な値を設定します。あるいは、データ・レジスタから最終的な出力を得ることもできます。これらは、タイム・スロットAの場合はレジスタ0x64、レジスタ0x70、およびレジスタ0x74で、タイム・スロットBの場合はレジスタ0x68、レジスタ0x78、およびレジスタ0x7Cです。

タイム・スロットAの中でADPD103をデジタル積分モードにするには、レジスタ0x58のビット12に0x1を書き込みます。タイム・スロットBの中でADPD103をデジタル積分モードにするには、レジスタ0x58のビット13に0x1を書き込みます。デジタル積分モードへの切替えに必要なその他の書き込みを表18に示します。

デジタル積分モードを使用する時は、ADPD103の入力に最大2個のフォトダイオード、つまり、それぞれのPDx入力グループ(PD1/PD2/PD3/PD4またはPD5/PD6/PD7/PD8)に対してフォトダイオードを1個ずつ接続することができます。2つのPDxグループをまたいで同じフォトダイオードを接続してはなりません。デジタル積分モードでは、4つのAFEチャンネル(PD1/PD2/PD3/PD4またはPD5/PD6/PD7/PD8)のすべてにフォトダイオードを接続するか、1つのAFEチャンネル(PD1またはPD5)に接続するかのどちらかを選ぶことができます。1つのAFEチャンネルに接続する時は、タイム・スロットAについてはレジスタ0x54のビット14に0x1を書き込み、タイム・スロットBについてはレジスタ0x54のビット15に0x1を書き込みます。

1つのAFEチャンネルに接続する時は、さらに、レジスタ0x55のビット[15:13]に0x7を書き込むことによって、チャンネル2、チャンネル3、およびチャンネル4をオフにする（消費電力を小さくする）こともできます。4つのチャンネルすべてに接続する時は(PD1/PD2/PD3/PD4またはPD5/PD6/PD7/PD8)、タイム・スロットAについてはレジスタ0x54のビット14に0x0（デフォルト値）を書き込み、タイム・スロットBについてはレジスタ0x54のビット15に0x0（デフォルト値）を書き込みます。この場合は、レジスタ0x55のビット[15:13]に0x0を書き込むことによって、すべてのAFEチャンネルをパワーアップさせます。

信号が限定されている場合は、1個のフォトダイオードを1つのAFEチャンネルに接続することで最良のS/N比性能を得ることができ、信号が大きい場合は、1個のフォトダイオードを4つのAFEチャンネルすべてに接続することで最大のダイナミック・レンジを得ることができます。

デジタル積分のサンプリング・モード

デバイスがデジタル積分モード時に使用できるサンプリング・モードは、2つあります。これらのモードは、シングルサンプル・ペア・モードとダブルサンプル・ペア・モードです。

シングルサンプル・ペア・モードには、図29と図30に示すように、1つの負サンプル領域と1つの正サンプル領域があります。シングルサンプル・ペア・モードを使用するには、タイム・スロットAについてはレジスタ5Aのビット5に0x1を書き込み、タイム・スロットBについてはレジスタ5Aのビット6に0x1を書き込みます。負サンプル領域はSLOTx_AFE_OFFSET+9から始まり、その長さ（収集するサンプルの数）はSLOTx_AFE_WIDTHによって設定されます。正サンプル領域はSLOTx_AFE_OFFSET+9+SLOTx_AFE_WIDTHから始まり、その長さはやはりSLOTx_AFE_WIDTHにより設定されます。タイミングは、負サンプル領域がすべてLED応答のフラット（暗黒）部分に含まれるようにし、正サンプル領域がLED応答のパルス領域に含まれるように設定します。LEDパルス・オフセットSLOTx_LED_OFFSETをSLOTx_AFE_OFFSET+9+SLOTx_AFE_WIDTHの最初に配置すれば、このタイミングを実現できます。出力は、これら2つの領域内の信号の差です。

サンプリングのためのもう1つの方法が、ダブルサンプル・ペア・モードです。このモードには2つの負サンプル領域と1つの長い正サンプル領域があります(図27と図28を参照)。ダブルサンプル・ペア・モードを使用するには、タイム・スロットAについてはレジスタ0x5Aのビット5に0x0を書き込み、タイム・スロットBについてはビット6に0x0を書き込みます。最初の負サンプル領域はSLOTx_AFE_OFFSET+9から始まり、その長さはSLOTx_AFE_WIDTHによって設定されます。正サンプル領域はSLOTx_AFE_OFFSET+9+SLOTx_AFE_WIDTHから始まり、その長さはSLOTx_AFE_WIDTHの2倍です。その後もう1つの負サンプル領域があり、これはSLOTx_AFE_OFFSET+9+3×SLOTx_AFE_WIDTHから始めて、長さはSLOTx_AFE_WIDTHです。タイミングは、両方の負サンプル領域がLED応答のフラット(暗黒)部分に含まれるようにし、正サンプル領域がLED応答のパルス領域に含まれるように設定します。LEDパルス・オフセットSLOTx_LED_OFFSETをSLOTx_AFE_OFFSET+9+SLOTx_AFE_WIDTHの最初に配置すれば、このタイミングを実現できます。出力は、すべての領域の応答を負/正/負の要領で合計することによって計算されます。ダブルサンプル・ペア・モードは背景光除去能力に優れているので、背景光が一定でない場合に有効ですが、シングルサンプル・ペア・モードより多くの電力を消費します。

サンプル・タイミング・モード

サンプル領域のタイミング設定には、ギャップ・モードと連続モードという2つのモードがあります。

ギャップ・タイミング・モードでは、負サンプル領域と正サンプル領域の間にスペースがあります。この領域の幅は、タイム・スロットAではSLOTx_AFE_OFFSETによって指定され、タイム・スロットBではSLOTx_AFE_OFFSETによって指定されます。単位はマイクロ秒です。この機能を有効にするには、レジスタ0x5Aのビット7に0x1を書き込みます。このビットは、デジタル積分モード時のタイム・スロット(一方または両方)について、ギャップ・モードでのタイミングを有効にします。LED応答に望ましくないトランジェントが生じ、正確な出力を得るにはこれを無視しなければならないような場合には、このモードが有効です。

LED応答のトランジェントに関する問題がない場合は、連続タイミング・モードを選択してください。このモードでは、負サンプル領域と正サンプル領域の間のスペースがありません。サンプル領域を連続タイミング・モードにするには、レジスタ0x5Aのビット7に0x0を書き込みます。

ギャップ・サンプル・タイミング・モードも連続サンプル・タイミング・モードも、シングルサンプル・ペア・モードまたはダブルサンプル・ペア・モードとともに使用できます。タイミング図の例を図27、図28、図29、および図30に示します。

背景値

デジタル積分モードでは、デジタル積分背景値DI_BACKGROUND(暗黒値)も保存され、出力データとして使用できます。これは、LEDパルス内での出力値DI_OUTPUTに加えられる値で、DI_OUTPUTからは暗黒値が減じられます。DI_BACKGROUNDは、負領域サンプルの合計です。

これらの値をFIFOに含めるには、タイム・スロットAについてはレジスタ0x11のビット[4:2]を設定し、タイム・スロットBについてはレジスタ0x11のビット[8:6]を設定します。16ビット・データの場合はこの値を0x3に設定し、32ビット・データの場合はこの値を0x04に設定します。これらの設定値は、データ・レジスタを介して得ることもできます。タイム・スロットAにはレジスタ0x65、レジスタ0x71、およびレジスタ0x75を、タイム・スロットBにはレジスタ0x69、レジスタ0x79、およびレジスタ0x7Dを使用します。デジタル積分モードで背景値をFIFOに含める時は、チャンネル・オフセット(レジスタ0x18からレジスタ0x21まで)を0x1F00に設定することを推奨します。これらのチャンネル・オフセットがサンプルの値に影響することはありませんが、より多くのヘッドルームを背景値に提供します。

デジタル積分モードでの飽和検出

通常動作時にバンドパス・フィルタと積分器を使用すると、ほぼ例外なくTIAの前にADCが飽和します。通常動作時とは異なり、デジタル積分モードでは信号値が正サンプル領域と基準領域の差となるので、信号値を見るだけでTIAまたはADCの飽和を検出することはできません。これは、積分値自体には、積分時間内におけるADC変換のうちのひとつがADC出力範囲を超えたかどうかを示す情報が含まれていないためです。結果として、サンプル内のADC変換部分についてのみリアルタイム出力が飽和していて、最終的な累積合計にはこれが反映されていない場合もあり得ます。デジタル積分モードでTIAの飽和を検出するには、背景値DI_BACKGROUNDと信号値DI_OUTPUTの両方を収集する必要があります。これらの値を提供するレジスタ0x11の正しい設定については、背景値のセクションを参照してください。

シングルサンプル・ペア・モードでは、以下の場合に飽和が発生します。

$$\left(\frac{DI_OUTPUT}{\min(LED_WIDTH, AFE_WIDTH)} \right) + \frac{DI_BACKGROUND}{AFE_WIDTH} / NUM_PULSES > 0x3FFF$$

ダブルサンプル・ペア・モードでは、以下の場合に飽和が発生します。

$$\left(\frac{DI_OUTPUT}{\min(LED_WIDTH, 2 \times AFE_WIDTH)} \right) + \frac{DI_BACKGROUND}{(2 \times AFE_WIDTH)} / NUM_PULSES > 0x3FFF$$

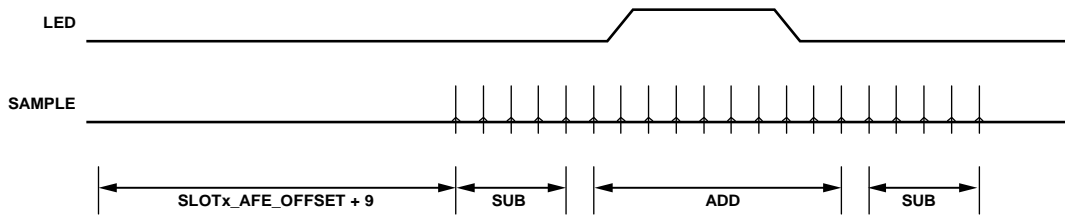


図 27. デジタル積分モード (ダブルサンプル・ペア・モード、連続サンプル・タイミング)

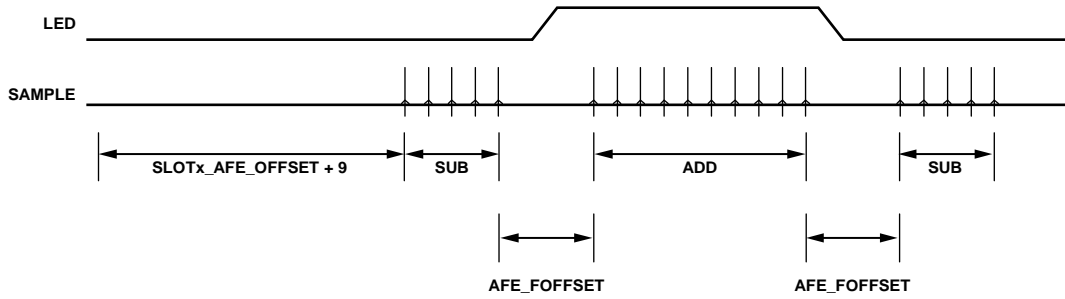


図 28. デジタル積分モード (ダブルサンプル・ペア・モード、ギャップ・サンプル・タイミング)

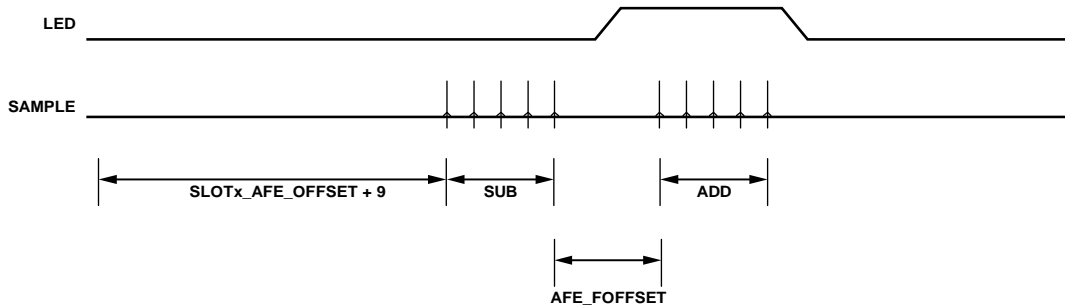


図 29. デジタル積分モード (シングルサンプル・ペア・モード、ギャップ・サンプル・タイミング)

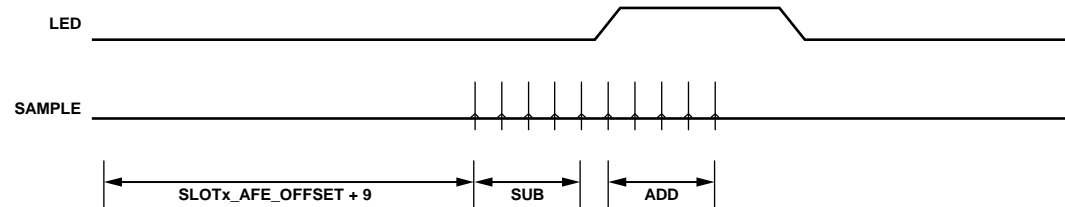


図 30. デジタル積分モード (シングルサンプル・ペア・モード、連続サンプル・タイミング)

表 18. 通常サンプル・モード、TIA_ADC モード、およびデジタル積分モードの切替えに使用する設定レジスタ

Address	Data Bits	Bit Name	Normal Mode Value	TIA_ADC Mode Value	Digital Integration Mode Value	Description
0x42	[15:8]	SLOTA_AFE_MODE	0x1C	Not applicable	0x1D	通常モードでは、この設定によって積分器ブロックが最適動作をします。デジタル積分モードでは、この設定によって積分器ブロックがバッファとして動作します。この設定は TIA_ADC モードでは重要ではありません。
0x43	[15:0]	SLOTA_AFE_CFG	0xADA5	0xB065	0xAE65	タイム・スロット A の AFE 接続。 0xAE65 はバンドパス・フィルタをバイパスします。 0xB065 はバンドパス・フィルタと積分器をバイパスします。
0x44	[15:8]	SLOTB_AFE_MODE	0x1C	Not applicable	0x1D	通常モードでは、この設定によって積分器ブロックが最適動作をします。デジタル積分モードでは、この設定によって積分器ブロックがバッファとして動作します。この設定は TIA_ADC モードでは重要ではありません。
0x45	[15:0]	SLOTB_AFE_CFG	0xADA5	0xB065	0xAE65	タイム・スロット B の AFE 接続。 0xAE65 はバンドパス・フィルタをバイパスします。 0xB065 はバンドパス・フィルタと積分器をバイパスします。
0x4E	[15:0]	ADC_TIMING	Not applicable	Not applicable	0x0040	TIA_ADC モードで ADC クロックを 1 MHz に設定します。
0x58	13	SLOTB_DIGITAL_INT_EN	0x0	0x0	0x1	タイム・スロット B のデジタル積分モードを有効にします。 0: 無効 1: 有効
	12	SLOTA_DIGITAL_INT_EN	0x0	0x0	0x1	デジタル積分モードでタイム・スロット A を有効化します。 0: 無効 1: 有効
0x5A	[15:0]	DIG_INT_CFG	Not applicable	Not applicable	Variable	用途に応じたデジタル積分の設定。他のモードではこのレジスタは無視されます。

レジスタ一覧

表 19. 数値レジスタ一覧¹

Hex Addr	Name	Bits	Bit 15 Bit 7	Bit 14 Bit 6	Bit 13 Bit 5	Bit 12 Bit 4	Bit 11 Bit 3	Bit 10 Bit 2	Bit 9 Bit 1	Bit 8 Bit 0	Reset	RW		
0x00	Status	[15:8] [7:0]	FIFO_SAMPLES[15:8]				Reserved[4:0]				0x0000	R/W		
0x01	INT_MASK	[15:8] [7:0]	Reserved[15:9]							FIFO_INT_MASK	0x00FF	R/W		
0x02	INT_IO_CTL	[15:8] [7:0]	Reserved[15:8]						INT_ENA	INT_DRV	INT_POL	0x0000	R/W	
0x06	FIFO_THRESH	[15:8] [7:0]	Reserved[15:14]		FIFO_THRESH[13:8]						0x0000	R/W		
0x08	DEVID	[15:8] [7:0]	REV_NUM[15:8]						DEV_ID[7:0]			0x0416	R	
0x09	I2CS_ID	[15:8] [7:0]	ADDRESS_WRITE_KEY[15:8]						SLAVE_ADDRESS[7:1]			0x00C8	R/W	
0x0A	CLK_RATIO	[15:8] [7:0]	Reserved[15:12]				CLK_RATIO[11:8]				0x0000	R		
0x0D	SLAVE_ADDRES_S_KEY	[15:8] [7:0]	SLAVE_ADDRESS_KEY[15:8]						SLAVE_ADDRESS_KEY[7:0]				0x0000	R/W
0x0F	SW_RESET	[15:8] [7:0]	Reserved[15:8]						Reserved[7:1]			SW_RESET	0x0000	R/W
0x10	Mode	[15:8] [7:0]	Reserved[15:8]						Reserved[7:2]			Mode[1:0]	0x0000	R/W
0x11	SLOT_EN	[15:8] [7:0]	Reserved[15:14]		RDOU_T_M ODE	FIFO_OVRN_ PREVENT	Reserved[11:9]			SLOTB_FIFO_ MODE	0x1000	R/W		
0x12	FSAMPLE	[15:8] [7:0]	FSAMPLE[15:8]						FSAMPLE[7:0]				0x0028	R/W
0x14	PD_LED_SELECT	[15:8] [7:0]	Reserved[15:12]				SLOTB_PD_SEL[11:8]				0x0541	R/W		
0x15	NUM_AVG	[15:8] [7:0]	Reserved		SLOTA_PD_SEL[7:4]		SLOTB_LED_SEL[3:2]		SLOTA_LED_SEL[1:0]		0x0600	R/W		
0x18	SLOTA_CH1_OFFSET	[15:8] [7:0]	Reserved						SLOTA_NUM_AVG				0x2000	R/W
0x19	SLOTA_CH2_OFFSET	[15:8] [7:0]	SLOTA_CH1_OFFSET[15:8]						SLOTA_CH1_OFFSET[7:0]				0x2000	R/W
0x1A	SLOTA_CH3_OFFSET	[15:8] [7:0]	SLOTA_CH2_OFFSET[15:8]						SLOTA_CH2_OFFSET[7:0]				0x2000	R/W
0x1B	SLOTA_CH4_OFFSET	[15:8] [7:0]	SLOTA_CH3_OFFSET[15:8]						SLOTA_CH3_OFFSET[7:0]				0x2000	R/W
0x1E	SLOTB_CH1_OFFSET	[15:8] [7:0]	SLOTA_CH4_OFFSET[15:8]						SLOTA_CH4_OFFSET[7:0]				0x2000	R/W
0x1F	SLOTB_CH2_OFFSET	[15:8] [7:0]	SLOTB_CH1_OFFSET[15:8]						SLOTB_CH1_OFFSET[7:0]				0x2000	R/W
0x20	SLOTB_CH3_OFFSET	[15:8] [7:0]	SLOTB_CH2_OFFSET[15:8]						SLOTB_CH2_OFFSET[7:0]				0x2000	R/W
0x21	SLOTB_CH4_OFFSET	[15:8] [7:0]	SLOTB_CH3_OFFSET[15:8]						SLOTB_CH3_OFFSET[7:0]				0x2000	R/W
			SLOTB_CH4_OFFSET[15:8]						SLOTB_CH4_OFFSET[7:0]				0x2000	R/W

Hex Addr	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	RW	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x22	ILED3_COARSE	[15:8]	Reserved[15:14]		ILED3_SCALE	Reserved[12:8]						0x3000	R/W
		[7:0]	Reserved	ILED3_SLEW[6:4]			ILED3_COARSE[3:0]						
0x23	ILED1_COARSE	[15:8]	Reserved[15:14]		ILED1_SCALE	Reserved[12:8]						0x3000	R/W
		[7:0]	Reserved	ILED1_SLEW[6:4]			ILED1_COARSE[3:0]						
0x24	ILED2_COARSE	[15:8]	Reserved[15:14]		ILED2_SCALE	Reserved[12:8]						0x3000	R/W
		[7:0]	Reserved	ILED2_SLEW[6:4]			ILED2_COARSE[3:0]						
0x25	ILED_FINE	[15:8]	ILED2_FINE[15:11]				ILED2_FINE[10:8]				0x630C	R/W	
		[7:0]	ILED2_FINE[7:6]		Reserved	ILED1_FINE[4:0]							
0x30	SLOTA_LED_PULSE	[15:8]	Reserved[15:13]			SLOTA_LED_WIDTH[12:8]						0x0320	R/W
		[7:0]	SLOTA_LED_OFFSET[7:0]										
0x31	SLOTA_NUM_PULSES	[15:8]	SLOTA_LED_NUMBER[15:8]									0x0818	R/W
		[7:0]	SLOTA_LED_PERIOD[7:0]										
0x34	LED_DISABLE	[15:8]	Reserved[15:10]						SLOTB_LED_DIS	SLOTA_LED_DIS	0x0000	R/W	
		[7:0]	Reserved[7:0]										
0x35	SLOTB_LED_PULSE	[15:8]	Reserved[15:13]			SLOTB_LED_WIDTH[12:8]						0x0320	R/W
		[7:0]	SLOTB_LED_OFFSET[7:0]										
0x36	SLOTB_NUM_PULSES	[15:8]	SLOTB_LED_NUMBER[15:8]									0x0818	R/W
		[7:0]	SLOTB_LED_PERIOD[7:0]										
0x38	TIMING_CFG	[15:8]	Reserved	EXT_SYNC_ENA	Reserved[13:8]						0x0000	R/W	
		[7:0]	Reserved[7:0]										
0x39	SLOTA_AFE_WINDOW	[15:8]	SLOTA_AFE_WIDTH[15:11]				SLOTA_AFE_OFFSET[10:8]				0x22FC	R/W	
		[7:0]	SLOTA_AFE_OFFSET[10:5]			SLOTA_AFE_FOFFSET[4:0]							
0x3B	SLOTB_AFE_WINDOW	[15:8]	SLOTB_AFE_WIDTH[15:11]				SLOTB_AFE_OFFSET[10:8]				0x22FC	R/W	
		[7:0]	SLOTB_AFE_OFFSET[10:5]			SLOTB_AFE_FOFFSET[4:0]							
0x3C	AFE_POWER_CFG1	[15:8]	Reserved[15:14]		Reserved[13:11]			Reserved	V_CATHODE	AFE_POWER-DOWN	0x3006	R/W	
		[7:0]	AFE_POWERDOWN[7:3]						Reserved[2:0]				
0x42	SLOTA_TIA_CFG	[15:8]	SLOTA_AFE_MODE[15:8]									0x1C38	R/W
		[7:0]	Reserved	SLOTA_TIA_IND_EN	Reserved[5:2] (write 0xD)				SLOTA_TIA_GAIN[1:0]				
0x43	SLOTA_AFE_CFG	[15:8]	SLOTA_AFE_CFG[15:8]									0xADA5	R/W
		[7:0]	SLOTA_AFE_CFG[7:0]										
0x44	SLOTB_TIA_CFG	[15:8]	SLOTB_AFE_MODE[15:8]									0x1C38	R/W
		[7:0]	Reserved	SLOTB_TIA_IND_EN	Reserved[5:2] (write 0xD)				SLOTB_TIA_GAIN[1:0]				
0x45	SLOTB_AFE_CFG	[15:8]	SLOTB_AFE_CFG[15:8]									0xADA5	R/W
		[7:0]	SLOTB_AFE_CFG[7:0]										
0x4B	SAMPLE_CLK	[15:8]	Reserved[15:8]									0x2612	R/W
		[7:0]	CLK32K_EN	Reserved	CLK32K_ADJUST[5:0]								
0x4D	CLK32M_ADJUST	[15:8]	RESERVED[15:8]									0x425E	R/W
		[7:0]	CLK32M_ADJUST[7:0]										
0x4E	ADC_CLOCK	[15:8]	ADC_CLOCK[15:8]									0x0060	R/W
		[7:0]	ADC_CLOCK[7:0]										
0x4F	EXT_SYNC_SEL	[15:8]	Reserved[15:8]									0x2090	R/W
		[7:0]	Reserved	PDSO_OE	PDSO_IE	Reserved	EXT_SYNC_SEL[3:2]		INT_IE	Reserved			

Hex Addr	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	RW	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x50	CLK32M_CAL_EN	[15:8]	Reserved[15:8]									0x0000	R/W
		[7:0]	Reserved	PDSO_CTRL	CLK32M_CAL_EN	Reserved[4:0]							
0x54	AFE_PWR_CFG2	[15:8]	SLOTB_SINGLE_CH_DIG_INT	SLOTA_SINGLE_CH_DIG_INT	SLEEP_V_CATHODE[13:12]			SLOTB_V_CATHODE[11:10]		SLOTA_V_CATHODE[9:8]		0x0020	R/W
		[7:0]	REG54_VCAT_ENABLE	Reserved[6:0]									
0x55	TIA_INDEP_GAIN	[15:8]	DIGINT_POWER[15:13]			Reserved		SLOTB_TIA_GAIN_4[11:10]		SLOTB_TIA_GAIN_3[9:8]		0x0000	R/W
		[7:0]	SLOTB_TIA_GAIN_2[7:6]		SLOTA_TIA_GAIN_4[5:4]		SLOTA_TIA_GAIN_3[3:2]		SLOTA_TIA_GAIN_2[1:0]				
0x58	DIGITAL_INT_EN	[15:8]	Reserved[15:14]		SLOTB_DIGITAL_INT_EN	SLOTA_DIGITAL_INT_EN	Reserved[11:8]					0x0000	R/W
		[7:0]	Reserved[7:0]										
0x5A	DIG_INT_CFG	[15:8]	Reserved[15:8]									0x0000	R/W
		[7:0]	DIG_INT_GAPMODE	SLOTB_DIG_INT_SAMPLEMODE	SLOTA_DIG_INT_SAMPLEMODE	Reserved[4:0]							
0x5F	DATA_ACCESS_CTL	[15:8]	Reserved[15:8]									0x0000	R/W
		[7:0]	Reserved[7:3]					SLOTB_DATA_HOLD	SLOTA_DATA_HOLD	DIGITAL_CLOCK_ENA			
0x60	FIFO_ACCESS	[15:8]	FIFO_DATA[15:8]									0x0000	R
		[7:0]	FIFO_DATA[7:0]										
0x64	SLOTA_PD1_16BIT	[15:8]	SLOTA_CH1_16BIT[15:8]									0x0000	R
		[7:0]	SLOTA_CH1_16BIT[7:0]										
0x65	SLOTA_PD2_16BIT	[15:8]	SLOTA_CH2_16BIT[15:8]									0x0000	R
		[7:0]	SLOTA_CH2_16BIT[7:0]										
0x66	SLOTA_PD3_16BIT	[15:8]	SLOTA_CH3_16BIT[15:8]									0x0000	R
		[7:0]	SLOTA_CH3_16BIT[7:0]										
0x67	SLOTA_PD4_16BIT	[15:8]	SLOTA_CH4_16BIT[15:8]									0x0000	R
		[7:0]	SLOTA_CH4_16BIT[7:0]										
0x68	SLOTB_PD1_16BIT	[15:8]	SLOTB_CH1_16BIT[15:8]									0x0000	R
		[7:0]	SLOTB_CH1_16BIT[7:0]										
0x69	SLOTB_PD2_16BIT	[15:8]	SLOTB_CH2_16BIT[15:8]									0x0000	R
		[7:0]	SLOTB_CH2_16BIT[7:0]										
0x6A	SLOTB_PD3_16BIT	[15:8]	SLOTB_CH3_16BIT[15:8]									0x0000	R
		[7:0]	SLOTB_CH3_16BIT[7:0]										
0x6B	SLOTB_PD4_16BIT	[15:8]	SLOTB_CH4_16BIT[15:8]									0x0000	R
		[7:0]	SLOTB_CH4_16BIT[7:0]										
0x70	A_PD1_LOW	[15:8]	SLOTA_CH1_LOW[15:8]									0x0000	R
		[7:0]	SLOTA_CH1_LOW[7:0]										
0x71	A_PD2_LOW	[15:8]	SLOTA_CH2_LOW[15:8]									0x0000	R
		[7:0]	SLOTA_CH2_LOW[7:0]										
0x72	A_PD3_LOW	[15:8]	SLOTA_CH3_LOW[15:8]									0x0000	R
		[7:0]	SLOTA_CH3_LOW[7:0]										
0x73	A_PD4_LOW	[15:8]	SLOTA_CH4_LOW[15:8]									0x0000	R
		[7:0]	SLOTA_CH4_LOW[7:0]										
0x74	A_PD1_HIGH	[15:8]	SLOTA_CH1_HIGH[15:8]									0x0000	R
		[7:0]	SLOTA_CH1_HIGH[7:0]										

Hex Addr	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	RW
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x75	A_PD2_ HIGH	[15:8]	SLOTA_CH2_HIGH[15:8]								0x0000	R
		[7:0]	SLOTA_CH2_HIGH[7:0]									
0x76	A_PD3_ HIGH	[15:8]	SLOTA_CH3_HIGH[15:8]								0x0000	R
		[7:0]	SLOTA_CH3_HIGH[7:0]									
0x77	A_PD4_ HIGH	[15:8]	SLOTA_CH4_HIGH[15:8]								0x0000	R
		[7:0]	SLOTA_CH4_HIGH[7:0]									
0x78	B_PD1_ LOW	[15:8]	SLOTB_CH1_LOW[15:8]								0x0000	R
		[7:0]	SLOTB_CH1_LOW[7:0]									
0x79	B_PD2_ LOW	[15:8]	SLOTB_CH2_LOW[15:8]								0x0000	R
		[7:0]	SLOTB_CH2_LOW[7:0]									
0x7A	B_PD3_ LOW	[15:8]	SLOTB_CH3_LOW[15:8]								0x0000	R
		[7:0]	SLOTB_CH3_LOW[7:0]									
0x7B	B_PD4_ LOW	[15:8]	SLOTB_CH4_LOW[15:8]								0x0000	R
		[7:0]	SLOTB_CH4_LOW[7:0]									
0x7C	B_PD1_ HIGH	[15:8]	SLOTB_CH1_HIGH[15:8]								0x0000	R
		[7:0]	SLOTB_CH1_HIGH[7:0]									
0x7D	B_PD2_ HIGH	[15:8]	SLOTB_CH2_HIGH[15:8]								0x0000	R
		[7:0]	SLOTB_CH2_HIGH[7:0]									
0x7E	B_PD3_ HIGH	[15:8]	SLOTB_CH3_HIGH[15:8]								0x0000	R
		[7:0]	SLOTB_CH3_HIGH[7:0]									
0x7F	B_PD4_ HIGH	[15:8]	SLOTB_CH4_HIGH[15:8]								0x0000	R
		[7:0]	SLOTB_CH4_HIGH[7:0]									

¹ 推奨値は示されていません。表 19 にはパワーオン・リセット値だけが示されています。推奨値は用途により大きく異なります。推奨値については表 20 から表 26 までを参照してください。

LED コントロール・レジスタ

表 20. LED コントロール・レジスタ

Address	Data Bit	Default Value	Access	Name	Description
0x14	[15:12]	0x0	R/W	Reserved	デバイスを正常に動作させるには、これらのビットに 0x0 を書き込みます。
	[11:8]	0x5	R/W	SLOTB_PD_SEL	タイム・スロット B の PDx 接続選択。図 13 を参照。 0x1: タイム・スロット B ですべてのフォトダイオード入力が接続されます。 0x4: タイム・スロット B で PD5/PD6/PD7/PD8 が接続されます。 0x5: タイム・スロット B で PD1/PD2/PD3/PD4 が接続されます。 その他: 予備
	[7:4]	0x4	R/W	SLOTA_PD_SEL	タイム・スロット A の PDx 接続選択。図 13 を参照。 0x1: タイム・スロット A ですべてのフォトダイオード入力が接続されます。 0x4: タイム・スロット A で PD5/PD6/PD7/PD8 が接続されます。 0x5: タイム・スロット A で PD1/PD2/PD3/PD4 が接続されます。 その他: 予備
	[3:2]	0x0	R/W	SLOTB_LED_SEL	タイム・スロット B の LED 設定。これらのビットは、どの LED がタイム・スロット B に関連付けられるかを決定します。 0x0: 予備 0x1: タイム・スロット B で LEDX1 がパルスを生成。 0x2: タイム・スロット B で LEDX2 がパルスを生成。 0x3: タイム・スロット B で LEDX3 がパルスを生成。
	[1:0]	0x1	R/W	SLOTA_LED_SEL	タイム・スロット A の LED 設定。これらのビットは、どの LED がタイム・スロット A に関連付けられるかを決定します。 0x0: 予備 0x1: タイム・スロット A で LEDX1 がパルスを生成。 0x2: タイム・スロット A で LEDX2 がパルスを生成。 0x3: タイム・スロット A で LEDX3 がパルスを生成。
0x22	[15:14]	0x0	R/W	Reserved	0x0 を書き込み。
	13	0x1	R/W	ILED3_SCALE	LEDX3 の電流スケール・ファクタ。 1: 100 % 強度。 0: 40 % 強度。LEDX3 ドライバを低消費電力モードに設定。 LEDX3 電流スケール = $0.4 + 0.6 \times$ (レジスタ 0x22 のビット 13)。
	12	0x1	R/W	Reserved	0x1 を書き込み。
	[11:7]	0x0	R/W	Reserved	0x0 を書き込み。
	[6:4]	0x0	R/W	ILED3_SLEW	LEDX3 ドライバのスルー・レート制御。スルー・レートが低いほど LED ドライバの過電圧リスクが低下し、性能面の安全性が向上。 0: 最小スルー・レート ... 7: 最大スルー・レート
	[3:0]	0x0	R/W	ILED3_COARSE	LEDX3 電流の概略設定。標準動作時の LEDX3 の電流シンクの概略目標値。 0: 25 mA 1: 40 mA 2: 55 mA ... 15: 250 mA $LED3_{PEAK} = LED3_{COARSE} \times LED3_{FINE} \times LED3_{SCALE}$ ここで、 LED3 _{PEAK} は LEDX3 の目標ピーク値 (mA)。 LED3 _{COARSE} = $28 + 15.46 \times$ (レジスタ 0x22, ビット [3:0])。 LED3 _{FINE} = $0.71 + 0.024 \times$ (レジスタ 0x25, ビット [15:11])。 LED3 _{SCALE} = $0.4 + 0.6 \times$ (レジスタ 0x22, ビット 13)。

Address	Data Bit	Default Value	Access	Name	Description
0x23	[15:14]	0x0	R/W	Reserved	0x0 を書き込み。
	13	0x1	R/W	ILED1_SCALE	LEDX1 の電流スケール・ファクタ。 1: 100 % 強度。 0: 40 % 強度。LEDX1 ドライバを低消費電力モードに設定。 $LEDX1 \text{ 電流スケール} = 0.4 + 0.6 \times (\text{レジスタ } 0x23, \text{ ビット } 13)$ 。
	12	0x1	R/W	Reserved	0x1 を書き込み。
	[11:7]	0x0	R/W	Reserved	0x0 を書き込み。
	[6:4]	0x0	R/W	ILED1_SLEW	LEDX1 ドライバのスルー・レート制御。スルー・レートが低いほど LED ドライバの過電圧リスクが低下し、性能面の安全性が向上。 0: 最小スルー・レート ... 7: 最大スルー・レート
	[3:0]	0x0	R/W	ILED1_COARSE	LEDX1 電流の概略設定。標準動作時の LEDX1 の電流シンクの概略目標値。 0: 25 mA 1: 40 mA 2: 55 mA ... 15: 250 mA $LED1_{PEAK} = LED1_{COARSE} \times LED1_{FINE} \times LED1_{SCALE}$ ここで、 $LED1_{PEAK}$ は LEDX1 の目標ピーク値 (mA)。 $LED1_{COARSE} = 28 + 15.46 \times (\text{レジスタ } 0x23, \text{ ビット } [3:0])$ 。 $LED1_{FINE} = 0.71 + 0.024 \times (\text{レジスタ } 0x25, \text{ ビット } [4:0])$ 。 $LED1_{SCALE} = 0.4 + 0.6 \times (\text{レジスタ } 0x23, \text{ ビット } 13)$ 。
0x24	[15:14]	0x0	R/W	Reserved	0x0 を書き込み。
	13	0x1	R/W	ILED2_SCALE	LEDX2 の電流スケール・ファクタ。 1: 100 % 強度。 0: 40 % 強度。LEDX2 ドライバを低消費電力モードに設定。 $LED2 \text{ 電流スケール} = 0.4 + 0.6 \times (\text{レジスタ } 0x24, \text{ ビット } 13)$
	12	0x1	R/W	Reserved	0x1 を書き込み。
	[11:7]	0x0	R/W	Reserved	0x0 を書き込み。
	[6:4]	0x0	R/W	ILED2_SLEW	LEDX2 ドライバのスルー・レート制御。スルー・レートが低いほど LED ドライバの過電圧リスクが低下し、性能面の安全性が向上。 0: 最小スルー・レート ... 7: 最大スルー・レート
	[3:0]	0x0	R/W	ILED2_COARSE	LEDX2 電流の概略設定。標準動作時の LED2 の電流シンクの概略目標値。値についてはレジスタ 0x23 のビット [3:0] を参照。 $LED2_{PEAK} = LED2_{COARSE} \times LED2_{FINE} \times LED2_{SCALE}$ ここで、 $LED2_{PEAK}$ は LEDX2 の目標ピーク値 (mA)。 $LED2_{COARSE} = 28 + 15.46 \times (\text{レジスタ } 0x24, \text{ ビット } [3:0])$ 。 $LED2_{FINE} = 0.71 + 0.024 \times (\text{レジスタ } 0x25, \text{ ビット } [10:6])$ 。 $LED2_{SCALE} = 0.4 + 0.6 \times (\text{レジスタ } 0x24, \text{ ビット } 13)$ 。

Address	Data Bit	Default Value	Access	Name	Description
0x25	[15:11]	0xC	R/W	ILED3_FINE	LEDX3の精密調整。LED3の電流調整乗数値。 $LEDX3 \text{ 精密調整} = 0.71 + 0.024 \times (\text{レジスタ } 0x25, \text{ビット } [15:11])$ 。 LED3の完全な式についてはレジスタ 0x22のビット [3:0]を参照。
	[10:6]	0xC	R/W	ILED2_FINE	LEDX2の精密調整。LED2の電流調整乗数値。 $LEDX2 \text{ 精密調整} = 0.71 + 0.024 \times (\text{レジスタ } 0x25, \text{ビット } [10:6])$ 。 LED2の完全な式についてはレジスタ 0x24のビット [3:0]を参照。
	5	0x0	R/W	Reserved	0x0を書込み。
	[4:0]	0xC	R/W	ILED1_FINE	LEDX1の精密調整。LED1の電流調整乗数値。 $LEDX1 \text{ 精密調整} = 0.71 + 0.024 \times (\text{レジスタ } 0x25, \text{ビット } [4:0])$ 。 LED1の完全な式についてはレジスタ 0x23のビット [3:0]を参照。
0x30	[15:13]	0x0	R/W	Reserved	0x0を書込み。
	[12:8]	0x3	R/W	SLOTA_LED_WIDTH	タイム・スロット A の LED パルス幅 (1 μ s ステップ)。
	[7:0]	0x20	R/W	SLOTA_LED_OFFSET	タイム・スロット A の LED オフセット幅 (1 μ s ステップ)。
0x31	[15:8]	0x08	R/W	SLOTA_LED_NUMBER	LED タイム・スロット A のパルス・カウント。 n_A : タイム・スロット A の LED パルス数。通常、これは LED1 です。アプリケーションで調整。通常は 6 パルス (0x06) に設定。
	[7:0]	0x18	R/W	SLOTA_LED_PERIOD	のタイム・スロット A での LED パルス周期 (1 μ s ステップ)。
0x34	[15:10]	0x00	R/W	Reserved	0x0を書込み。
	9	0x0	R/W	SLOTB_LED_DIS	タイム・スロット B で LED を無効化。1: タイム・スロット B に割り当てられた LED を無効化します。 レジスタ 0x34 はドライバをアクティブに維持して、ドライバが LED にパルス電流を送るのを防止します。このレジスタを介して両方の LED を無効化する方法は、暗黒レベルの測定に多用されます。 LED だけでなく実際のタイム・スロット使用を有効化または無効化するには、代わりにレジスタ 0x11 を使用します。
	8	0x0	R/W	SLOTA_LED_DIS	タイム・スロット A で LED を無効化。1: タイム・スロット A に割り当てられた LED を無効化します。 LED だけでなく実際のタイム・スロット使用を有効化または無効化するには、代わりにレジスタ 0x11 を使用します。
	[7:0]	0x00	R/W	Reserved	0x00を書込み。
0x35	[15:13]	0x0	R/W	Reserved	0x0を書込み。
	[12:8]	0x3		SLOTB_LED_WIDTH	タイム・スロット B の LED パルス幅 (1 μ s ステップ)。
	[7:0]	0x20		SLOTB_LED_OFFSET	タイム・スロット B の LED オフセット幅 (1 μ s ステップ)。
0x36	[15:8]	0x08	R/W	SLOTB_LED_NUMBER	LED タイム・スロット B のパルス・カウント。 n_B : タイム・スロット B の LED パルス数。通常、これは LED2 です。通常は 6 パルス (0x06) に設定。
	[7:0]	0x18	R/W	SLOTB_LED_PERIOD	のタイム・スロット B での LED パルス周期 (1 μ s ステップ)。
0x3C	[15:14]	0x0	R/W	RESERVED	0x0を書込み。
	[13:11]	0x6	R/W	RESERVED	0x6を書込み。
	10	0x0	R/W	Reserved	0x0を書込み。
	9	0x0	R/W	V_CATHODE	0x0: 1.3 V (アノード電圧と同じ) - 推奨設定値。 0x1: 1.8 V (550 mV の逆バイアス・フォトダイオード。この設定値はノイズを増大させるおそれがあります)
	[8:3]	0x0	R/W	AFE_POWERDOWN	AFE チャンネルのパワーダウン選択。 0x38: AFE チャンネル 2、チャンネル 3、およびチャンネル 4 をパワーダウンします。 0x0: すべてのチャンネルをオンに維持します。
	[2:0]	0x6	R/W	Reserved	0x6を書込み。

AFE 設定レジスタ

表 21. AFE グローバル設定レジスタ

Address	Data Bit	Default Value	Access	Name	Description
0x3C	[15:14]	0x0	R/W	RESERVED	0x0 を書き込み。
	[13:11]	0x6	R/W	RESERVED	0x6 を書き込み。
	10	0x0	R/W	Reserved	0x0 を書き込み。
	9	0x0	R/W	V_CATHODE	0x0: 1.3 V (アノード電圧と同じ) - 推奨設定。 0x1: 1.8 V (550 mV の逆バイアス・フォトダイオード。この設定値はノイズを増大させるおそれがあります)
	[8:3]	0x0	R/W	AFE_POWERDOWN	AFE チャンネルのパワーダウン選択。 0x38: AFE チャンネル 2、チャンネル 3、およびチャンネル 4 をパワーダウンします。 0x0: すべてのチャンネルをオンに維持します。
	[2:0]	0x6	R/W	Reserved	0x6 を書き込み。
0x54	15	0x0	R/W	SLOTB_SINGLE_CH_DIG_INT	0: タイム・スロット B で、デジタル積分用に 4 つのフォトダイオード・チャンネルすべてを並列で使用します (最大ダイナミック・レンジのためのデフォルト設定値)。 1: タイム・スロット B で、チャンネル 1 だけをデジタル積分に使用します。この場合は、PD1 または PD5 への接続だけに制限されます。
	14	0x0	R/W	SLOTA_SINGLE_CH_DIG_INT	0: タイム・スロット A で、デジタル積分用に 4 つのフォトダイオード・チャンネルすべてを並列で使用します (最大ダイナミック・レンジのためのデフォルト設定値)。 1: タイム・スロット A で、チャンネル 1 だけをデジタル積分に使用します。この場合は、PD1 または PD5 への接続だけに制限されます。
	[13:12]	0x0	R/W	SLEEP_V_CATHODE	ビット 7=1 の場合、この設定値は、デバイスがスリープ・モード時のカソード電圧に適用されます。アノード電圧は常にスリープ・モード時のカソード電圧に設定されます。 0x0: V _{DD} (1.8 V) 0x1: 1.3 V 0x2: 1.55 V 0x3: 0.0 V
	[11:10]	0x0	R/W	SLOTB_V_CATHODE	ビット 7=1 の場合、この設定値は、デバイスがタイム・スロット B で動作する時のカソード電圧に適用されます。タイム・スロット B モードでは、アノード電圧は常に 1.3 V です。 0x0: V _{DD} (1.8 V) 0x1: 1.3 V 0x2: 1.55 V 0x3: 0.0 V (これは入力ダイオードを順方向にバイアスしません)
	[9:8]	0x0	R/W	SLOTA_V_CATHODE	ビット 7=1 の場合、この設定値は、デバイスがタイム・スロット A で動作する時のカソード電圧に適用されます。タイム・スロット A モードでは、アノード電圧は、常に 1.3 V です。 0x0: V _{DD} (1.8 V) 0x1: 1.3 V 0x2: 1.55 V 0x3: 0.0 V (これは入力ダイオードを順方向にバイアスしません)
	7	0x0	R/W	REG54_VCAT_ENABLE	0: レジスタ 0x3C のビット 9 により定義されたカソード電圧設定値を使用します。 1: レジスタ 0x3C のビット 9 を、レジスタ 0x54 のビット [13:8] により定義されたカソード設定値でオーバーライドします。
	[6:0]	0x20	R/W	Reserved	0x20 を書き込み。

Address	Data Bit	Default Value	Access	Name	Description
0x58	[15:14]	0x0	R/W	Reserved	0x0 を書き込み。
	13	0x0	R/W	SLOTB_DIGITAL_INT_EN	0x0: タイム・スロット B を通常モードで動作させます。 0x1: タイム・スロット B をデジタル積分モードで動作させます。
	12	0x0	R/W	SLOTA_DIGITAL_INT_EN	0x0: タイム・スロット A を通常モードで動作させます。 0x1: タイム・スロット A をデジタル積分モードで動作させます。
	[11:0]	0x000	R/W	Reserved	0x000 を書き込み。
0x5A	[15:8]	0x00	R/W	Reserved	0x00 を書き込み。
	7	0x0	R/W	DIG_INT_GAPMODE	デジタル積分ギャップ・モードを有効にします。 0: 負サンプル領域と正サンプル領域の間にギャップを設けません。 1: タイム・スロット A には SLOTA_AFE_FOFFSET、タイム・スロット B には SLOTB_AFE_FOFFSET を使用して、ギャップを μs 単位で指定します。
	6	0x0	R/W	SLOTB_DIG_INT_SAMPLE_MODE	タイム・スロット B のデジタル積分シングルサンプル・ペア・モード。 0: ダブルサンプル・ペア・モード 1: シングルサンプル・ペア・モード
	5	0x0	R/W	SLOTA_DIG_INT_SAMPLE_MODE	タイム・スロット A のデジタル積分シングルサンプル・ペア・モード。 0: ダブルサンプル・ペア・モード 1: シングルサンプル・ペア・モード
	[4:0]	0x00	R/W	Reserved	0x00 を書き込み。

表 22. AFE 設定レジスタ、タイム・スロット A

Address	Data Bit	Default Value	Access	Name	Description
0x39	[15:11]	0x4	R/W	SLOTA_AFE_WIDTH	タイム・スロット A の AFE 積分窓幅 (1 μs ステップ)。
	[10:5]	0x17	R/W	SLOTA_AFE_OFFSET	タイム・スロット A の AFE 積分窓オフセットの概略設定 (1 μs ステップ)。
	[4:0]	0x1C	R/W	SLOTA_AFE_FOFFSET	タイム・スロット A の AFE 積分窓オフセットの精密設定 (31.25 ns ステップ)。
0x42	[15:8]	0x1C	R/W	SLOTA_AFE_MODE	0x1C: 通常モードにおけるタイム・スロット A の AFE 設定。通常モードでは、シグナル・チェーンの 4 つのブロックすべてが使われます (TIA、BPF、その後に積分器 (INT)、最後に ADC)。 0x1D: デジタル積分モードにおけるタイム・スロット A の AFE 設定。
	7	0x0	R/W	Reserved	0x0 を書き込み。
	6	0x0	R/W	SLOTA_TIA_IND_EN	タイム・スロット A の TIA ゲインの個別設定を有効にします。これが有効になると、チャンネル 1 の TIA ゲインがレジスタ 0x42 のビット [1:0] を介して設定され、チャンネル 2 からチャンネル 4 までの TIA ゲインがレジスタ 0x55 のビット [5:0] を介して設定されます。 0: TIA ゲインの個別設定を無効にします。 1: TIA ゲインの個別設定を有効にします。
	[5:2]	0xE	R/W	Reserved	予備。0xD を書き込み。
	[1:0]	0x0	R/W	SLOTA_TIA_GAIN	タイム・スロット A のトランスインピーダンス・アンプのゲイン。SLOTA_TIA_IND_EN が有効になっている場合、この値は、タイム・スロット B、チャンネル 1 の TIA ゲインに使われます。SLOTA_TIA_IND_EN が無効になっている場合、この値は、タイム・スロット A の 4 つのチャンネルすべての TIA ゲイン設定に使われます。 0: 200 k Ω 1: 100 k Ω 2: 50 k Ω 3: 25 k Ω

Address	Data Bit	Default Value	Access	Name	Description
0x43	[15:0]	0xADA5	R/W	SLOTA_AFE_CFG	タイム・スロット A の AFE 接続。 0xADA5: アナログ・フル・パス・モード (TIA_BPF_INT_ADC) 0xB065: TIA_ADC モード 0xAE65: デジタル積分モード。 その他: 予備
0x55	[15:13]	0x0	R/W	DIGINT_POWER	デジタル積分モードでチャンネル 2、チャンネル 3、およびチャンネル 4 をパワーダウン。 0: すべてのチャンネルをパワーアップ状態に維持。 7: チャンネル 2、チャンネル 3、およびチャンネル 4 をパワーダウン。
	12	0x0	R/W	Reserved	0x0 を書き込み。
	[11:10]	0x0	R/W	SLOTB_TIA_GAIN_4	タイム・スロット B、チャンネル 4 (PD4) の TIA ゲイン。 0: 200 k Ω 1: 100 k Ω 2: 50 k Ω 3: 25 k Ω
	[9:8]	0x0	R/W	SLOTB_TIA_GAIN_3	タイム・スロット B、チャンネル 3 (PD3) の TIA ゲイン。 0: 200 k Ω 1: 100 k Ω 2: 50 k Ω 3: 25 k Ω
	[7:6]	0x0	R/W	SLOTB_TIA_GAIN_2	タイム・スロット B、チャンネル 2 (PD2) の TIA ゲイン。 0: 200 k Ω 1: 100 k Ω 2: 50 k Ω 3: 25 k Ω
	[5:4]	0x0	R/W	SLOTA_TIA_GAIN_4	タイム・スロット A、チャンネル 4 (PD4) の TIA ゲイン。 0: 200 k Ω 1: 100 k Ω 2: 50 k Ω 3: 25 k Ω
	[3:2]	0x0	R/W	SLOTA_TIA_GAIN_3	タイム・スロット A、チャンネル 3 (PD3) の TIA ゲイン。 0: 200 k Ω 1: 100 k Ω 2: 50 k Ω 3: 25 k Ω
	[1:0]	0x0	R/W	SLOTA_TIA_GAIN_2	タイム・スロット A、チャンネル 2 (PD2) の TIA ゲイン。 0: 200 k Ω 1: 100 k Ω 2: 50 k Ω 3: 25 k Ω

Address	Data Bit	Default Value	Access	Name	Description
0x5A	[15:8]	0x0	R/W	Reserved	0x0 を書き込み。
	7	0x0	R/W	DIG_INT_GAPMODE	デジタル積分ギャップ・モードを有効にします。 0: 負サンプル領域と正サンプル領域の間にギャップを設けません。 1: タイム・スロット A には SLOTA_AFE_FOFFSET、タイム・スロット B には SLOTB_AFE_FOFFSET を使用して、ギャップを μs 単位で指定します。
	6	0x0	R/W	SLOTB_DIG_INT_SAMPLEM ODE	タイム・スロット B のデジタル積分シングルサンプル・ペア・モード。 0: ダブルサンプル・ペア・モード 1: シングルサンプル・ペア・モード
	5	0x0	R/W	SLOTA_DIG_INT_SAMPLEM ODE	タイム・スロット A のデジタル積分シングルサンプル・ペア・モード。 0: ダブルサンプル・ペア・モード 1: シングルサンプル・ペア・モード
	[4:0]	0x0	R/W	Reserved	0x0 を書き込み。

表 23. AFE 設定レジスタ、タイム・スロット B

Address	Data Bit	Default Value	Access	Name	Description
0x3B	[15:11]	0x4	R/W	SLOTB_AFE_WIDTH	タイム・スロット B の AFE 積分窓幅 (1 μs ステップ)。
	[10:5]	0x17	R/W	SLOTB_AFE_OFFSET	タイム・スロット B の AFE 積分窓オフセット概略設定 (1 μs ステップ)。
	[4:0]	0x1C	R/W	SLOTB_AFE_FOFFSET	タイム・スロット B の AFE 積分窓オフセット精密設定 (31.25 ns ステップ)。
0x44	[15:8]	0x1C	R/W	SLOTB_AFE_MODE	0x1C: 通常モードにおけるタイム・スロット B の AFE 設定 (TIA_BPF_INT_ADC)。 0x1D: デジタル積分モードにおけるタイム・スロット B の AFE 設定。
	7	0x0	R/W	Reserved	0x0 を書き込み。
	6	0x0	R/W	SLOTB_TIA_IND_EN	タイム・スロット B の TIA ゲインの個別設定を有効にします。これが有効になると、チャンネル 1 の TIA ゲインがレジスタ 0x44 のビット [1:0] を介して設定され、チャンネル 2 からチャンネル 4 までの TIA ゲインがレジスタ 0x55 のビット [11:6] を介して設定されます。 0: TIA ゲインの個別設定を無効にします。 1: TIA ゲインの個別設定を有効にします。
	[5:2]	0xE	R/W	Reserved	0xD を書き込み。
	[1:0]	0x0	R/W	SLOTB_TIA_GAIN	タイム・スロット B のトランスインピーダンス・アンプのゲイン。SLOTB_TIA_IND_EN が有効になっている場合、この値はタイム・スロット B、チャンネル 1 の TIA ゲインに使われます。SLOTB_TIA_IND_EN が無効になっている場合、この値はタイム・スロット B の 4 つのチャンネルすべての TIA ゲイン設定に使われます。 0: 200 k Ω 1: 100 k Ω 2: 50 k Ω 3: 25 k Ω
0x45	[15:0]	0xADA5	R/W	SLOTB_AFE_CFG	タイム・スロット B の AFE 接続。 0xADA5: アナログ・フル・パス・モード (TIA_BPF_INT_ADC) 0xB065: TIA_ADC モード 0xAE65: デジタル積分モード。 その他: 予備

Address	Data Bit	Default Value	Access	Name	Description
0x58	[15:14]	0x0	R/W	Reserved	0x0 を書込み。
	13	0x0	R/W	DIG_INT_EN_B	デジタル積分モードでタイム・スロット B を有効にします。 0: 無効 1: 有効
	12	0x0	R/W	DIG_INT_EN_A	デジタル積分モードでタイム・スロット A を有効にします。 0: 無効 1: 有効
	[11:0]	0x0000	R/W	Reserved	0x0000 を書込み。

システム・レジスタ

表 24. システム・レジスタ

Address	Data Bit	Default	Access	Name	Description
0x00	[15:8]	0x00	R/W	FIFO_SAMPLES	FIFO ステータス。FIFO からの読出し可能バイト数。この値と FIFO 長（レジスタ 0x06 のビット [13:8]）を比較する時は、FIFO ステータス値がバイト単位で、FIFO 長の閾値がワード単位である点に注意してください。1 ワード=2 バイトです。 FIFO の内容をクリアするには、FIFO_ACCESS_ENA ビットを設定した状態で、FIFO_SAMPLES のビット 15 に 1 を書き込みます。
	7	0x0	R/W	Reserved	このビットをクリアして 0x0 にするには、0x1 を書き込みます。
	6	0x0	R/W	SLOTB_INT	タイム・スロット B の割込み。割込みイベントのタイプを記述します。1 は、特定のイベント・タイプの割込みが発生したことを示します。該当する割込みをクリアするには 1 を書き込みます。クリア後、レジスタは 0 になります。このレジスタに 0 を書き込んでも影響はありません。
	5	0x0	R/W	SLOTA_INT	タイム・スロット A の割込み。割込みイベントのタイプを記述します。1 は、特定のイベント・タイプの割込みが発生したことを示します。関連する割込みをクリアするには 1 を書き込みます。クリア後、レジスタは 0 になります。このレジスタに 0 を書き込んでも影響はありません。
	[4:0]	0x00	R/W	Reserved	これらのビットをクリアして 0x00 にするには、0x1F を書き込みます。
0x01	[15:9]	0x00	R/W	Reserved	0x00 を書き込み。
	8	0x0	R/W	FIFO_INT_MASK	FIFO のデータ長がレジスタ 0x06 のビット [13:8] の FIFO 長の閾値を超えると、割込みを送ります。0 は割込みを有効にします。
	7	0x1	R/W	Reserved	0x1 を書き込み。
	6	0x1	R/W	SLOTB_INT_MASK	タイム・スロット B のサンプルの割込みを送ります。割込みを無効にするには 1 を書き込みます。割込みを有効にするには 0 を書き込みます。
	5	0x1	R/W	SLOTA_INT_MASK	タイム・スロット A サンプルの割込みを送ります。割込みを無効にするには 1 を書き込みます。割込みを有効にするには 0 を書き込みます。
	[4:0]	0x1F	R/W	Reserved	0x1F を書き込み。
0x02	[15:3]	0x0000	R/W	Reserved	0x0000 を書き込み。
	2	0x0	R/W	INT_ENA	INT ピンの有効化。 0: INT ピンを無効にします。INT ピンは、割込みステータスに関わらずフロート状態です。ステータス・レジスタ（アドレス 0x00）はアクティブのままです 1: INT ピンを有効にします。
	1	0x0	R/W	INT_DRV	INT の駆動。 0: INT ピンが常に駆動されます。 1: 割込みがアサートされると INT ピンが駆動されます。それ以外の場合 INT ピンはフロート状態になり、極性に応じてプルアップ抵抗かプルダウン抵抗が必要になります（オープン・ドレインとして動作）。複数のデバイスで INT ピンを共有する必要がある時は、この設定を使用します。
	0	0x0	R/W	INT_POL	INT の極性。 0: INT ピンはアクティブ・ハイ。 1: INT ピンはアクティブ・ロー。
0x06	[15:14]	0x0	R/W	Reserved	0x0 を書き込み。
	[13:8]	0x00	R/W	FIFO_THRESH	FIFO 長の閾値。FIFO 内のデータワード数が FIFO_THRESH の値を超えると、割込みが生成されます。FIFO 内の使用可能データワード数が FIFO_THRESH の値以下になると、割込みピンは自動的にデアサートします。
	[7:0]	0x00	R/W	Reserved	0x00 を書き込み。
0x08	[15:8]	0x04	R	REV_NUM	レビジョン番号
	[7:0]	0x16	R	DEV_ID	デバイス ID

Address	Data Bit	Default	Access	Name	Description
0x09	[15:8]	0x0	W	ADDRESS_WRITE_KEY	SLAVE_ADDRESS への書込み時は 0xAD を書込みます。それ以外の場合にはアクセスしないでください。
	[7:1]	0x64	R/W	SLAVE_ADDRESS	I ² C スレーブ・アドレス
	0	0x0	R	Reserved	アクセスしないでください。
0x0A	[15:12]	0x0	R	Reserved	予備。読出し専用です。
	[11:0]	0x000	R	CLK_RATIO	CLK32M_CAL_EN ビット (レジスタ 0x50 のビット 5) を設定すると、デバイスは、32 kHz クロック 2 サイクル分に相当する 32 MHz クロックのサイクル数を計算します。結果は公称 2000 (0x7D0) で、これは CLK_RATIO ビットに保存されます。
0x0D	[15:0]	0x0	R/W	SLAVE_ADDRESS_WRITE_KEY	レジスタ 0x09 を使って I ² C アドレスの変更を有効にします。 0x04AD: 常にアドレス変更が有効になります。 0x44AD: INT がハイ・レベルの場合にアドレス変更が有効になります。 0x84AD: PDSO がハイ・レベルの場合にアドレス変更が有効になります。 0xC4AD: INT と PDSO の両方がハイ・レベルの場合にアドレス変更が有効になります。
0x0F	[15:1]	0x0000	R	Reserved	予備。読出し専用です。
	0	0x0	R/W	SW_RESET	ソフトウェア・リセット。デバイスをリセットするには 0x1 を書込みます。このビットはリセット後にクリアされます。このコマンドは即座に実行されるので、アクノレッジを返しません。
0x10	[15:2]	0x000	R/W	Reserved	0x000 を書込み。
	[1:0]	0x0	R/W	Mode	ADPD103 の動作モードを決定します。 0x0: スタンバイ 0x1: プログラム 0x2: 通常動作
0x11	[15:14]	0x0	R/W	Reserved	0x0 を書込み。
	13	0x0	R/W	RDOUT_MODE	拡張データ・レジスタのリードバック・データ・モード 0x0: N 個のサンプルのブロック合計 0x1: N 個のサンプルのブロック平均
	12	0x1	R/W	FIFO_OVRN_PREVENT	0x0: 古いデータを新しいデータで書き直して、FIFO をラップ・アラウンドします。 0x1: FIFO がいっぱいであれば新しいデータ (推奨設定値)。
	[11:9]	0x0	R/W	Reserved	0x0 を書込み。
	[8:6]	0x0	R/W	SLOTB_FIFO_MODE	タイム・スロット B の FIFO データ・フォーマット。 0: FIFO にデータを送りません。 1: デジタル積分モードでは 16 ビット・サンプル、デジタル積分モードでない時は 4 チャンネルすべての 16 ビット合計。 2: デジタル積分モードでは 32 ビット・サンプル、デジタル積分モードでない時は 4 チャンネルすべての 32 ビット合計。 3: デジタル積分モードでは、16 ビット・サンプルと 16 ビット背景値。 4: デジタル積分モードでは 32 ビット・サンプルと 32 ビット背景値、デジタル積分モードでない時は、タイム・スロット B における 4 チャンネルの 16 ビット・サンプル・データ。 6: デジタル積分モードでない時は、タイム・スロット B における 4 チャンネルの 32 ビット拡張サンプル・データ。 その他: 予備 選択されたタイム・スロット B データは FIFO に保存されます。タイム・スロット A が同じ平均個数 N を持つ場合 (レジスタ 0x15 のビット [10:8] = ビット [6:4])、またはタイム・スロット A が FIFO にデータを保存しない場合 (レジスタ 0x11 のビット [4:2] = 0) のみ使用できます。
5	0x0	R/W	SLOTB_EN	タイム・スロット B の有効化。1: タイム・スロット B を有効にします。	

Address	Data Bit	Default	Access	Name	Description
	[4:2]	0x0	R/W	SLOTA_FIFO_MODE	タイム・スロット B の FIFO データ・フォーマット。 0: FIFO にデータを送りません。 1: デジタル積分モードでは 16 ビット・サンプル、デジタル積分モードでない時は 4 チャンネルすべての 16 ビット合計。 2: デジタル積分モードでは 32 ビット・サンプル、デジタル積分モードでない時は 4 チャンネルすべての 32 ビット合計。 3: デジタル積分モードでは、16 ビット・サンプルと 16 ビット背景値。 4: デジタル積分モードでは 32 ビット・サンプルと 32 ビット背景値、デジタル積分モードでない時はタイム・スロット B における 4 チャンネルの 16 ビット・サンプル・データ。 6: デジタル積分モードでない時は、タイム・スロット B における 4 チャンネルの 32 ビット拡張サンプル・データ。 その他: 予備
	1	0x0	R/W	Reserved	0x0 を書き込み。
	0	0x0	R/W	SLOTA_EN	タイム・スロット A の有効化。1: タイム・スロット A を有効にします。
0x38	15	0x0	R/W	Reserved	0x0 を書き込み。
	14	0x0	R/W	EXT_SYNC_ENA	外部サンプリング・トリガの有効化。 0x0: 内部でサンプルをトリガします。 0x1: 外部でサンプルをトリガします。EXT_SYNC_SEL が b01 または b10 の場合は 1 に設定する必要があります。
	[13:0]	0x0	R/W	Reserved	0x0 を書き込み。
0x4B	[15:9]	0x13	R/W	Reserved	0x13 を書き込み。
	8	0x0	R/W	CLK32K_BYP	32 kHz の内部クロック発振器のバイパス。 0x0: 通常動作 0x1: PDSO ピンで外部クロックを使用します。
	7	0x0	R/W	CLK32K_EN	サンプル・クロックのパワーアップ。データ・サンプル・クロックを有効にします。 0x0: クロックを無効にします。 0x1: 通常動作
	6	0x0	R/W	Reserved	0x0 を書き込み。
	[5:0]	0x12	R/W	CLK32K_ADJUST	データ・サンプリング (32 kHz) クロックの周波数調整。このレジスタは、デバイスのサンプル周波数を校正して、レジスタ 0x12 で規定されたデータ・レートの精度を上げるために使用します。LSB あたり 0.6 kHz でサンプル・マスターの 32 kHz クロックを調整します。レジスタ 0x12 で規定された 100 Hz のサンプル・レートでは、レジスタ 0x4B のビット [5:0] の 1 LSB は 1.9 Hz です。 値を大きくすると周波数は低くなります。クロック調整の詳細については、クロックとタイミングの校正のセクションを参照してください。 00 0000: 最大周波数 10 0010: 標準中心周波数 11 1111: 最小周波数
0x4D	[15:8]	0x42	R/W	Reserved	0x42 を書き込み。
	[7:0]	0x5E	R/W	CLK32M_ADJUST	内部タイミング (32 MHz) クロックの周波数調整。このレジスタは、デバイスの内部クロックを校正して、正確なタイミングの LED パルスを実現するために使われます。LSB あたり 109 kHz で 32 MHz クロックを調整します。 クロック調整の詳細については、クロックとタイミングの校正のセクションを参照してください。 0000 0000: 最小周波数 0101 1110: デフォルト周波数 1111 1111: 最大周波数
0x4E ¹	[15:0]	0x0060	R/W	ADC_TIMING ¹	0x0040: ADC クロック速度 = 1 MHz 0x0060: ADC クロック速度 = 500 kHz

Address	Data Bit	Default	Access	Name	Description
0x4F	[15:7]	0x41	R/W	Reserved	0x41 を書き込み。
	6	0x0	R/W	PDSO_OE	PDSO ピン出力の有効化。
	5	0x0	R/W	PDSO_IE	PDSO ピン入力の有効化。
	4	0x1	R/W	Reserved	0x1 を書き込み。
	[3:2]	0x0	R/W	EXT_SYNC_SEL	サンプル同期の選択。 00: 内部 32 kHz クロックを FSAMPLE とともに使用してサンプル・タイミングを選択。 01: INT ピンを使用してサンプル・サイクルをトリガ。 10: PDSO ピンを使用してサンプル・サイクルをトリガ。 11 = 予備
	1	0x0	R/W	INT_IE	INT ピン入力の有効化。
	0	0x0	R/W	Reserved	0x0 を書き込み。
0x50	[15:7]	0x000	R/W	Reserved	0x000 を書き込み。
	6	0x0	R/W	PDSO_CTRL	PDSO 出力を有効 (PDSO_OE = 0x1) にした時の PDSO 出力を制御。 0x0: PDSO 出力がロー・レベルに駆動されます。 0x1: AFE パワーダウン信号によって PDSO 出力が駆動されます。
	5	0x0	R/W	CLK32M_CAL_EN	32 MHz クロック校正の一部として、クロック比の計算を開始するには 1 を書き込みます。この計算の結果はレジスタ 0x0A の CLK_RATIO ビットから読み出します。 計算を再開する場合は、その前にこのビットを 0 にリセットします。
	[4:0]	0x0	R/W	Reserved	0x0 を書き込み。
0x5F	[15:3]	0x0000	R/W	Reserved	0x0000 を書き込み。
	2	0x0	R/W	SLOTB_DATA_HOLD	このビットをセットすると、タイム・スロット B に対応するデータ・レジスタが更新されるのを防ぎます。4 つのフォトダイオード・チャンネルすべてのデータ・セットの連続性を保証しながら、まだ読み出されていないデータ・レジスタが更新されないようにするには、このビットをセットします。 1: タイム・スロット B のデータ・レジスタを保持します。 0: データ・レジスタを更新可能にします。
	1	0x0	R/W	SLOTA_DATA_HOLD	このビットをセットすると、タイム・スロット A に対応するデータ・レジスタが更新されるのを防ぎます。4 つのフォトダイオード・チャンネルすべてのデータ・セットの連続性を保証しながら、まだ読み出されていないデータ・レジスタが更新されないようにするには、このビットをセットします。 1: タイム・スロット A のデータ・レジスタを保持します。 0: データ・レジスタを更新可能にします。
	0	0x0	R/W	FIFO_ACCESS_ENA	FIFO アクセスを有効にするには 2 回続けて 1 に設定します。FIFO からデータを読み出すには、書き込み操作を連続して 2 回繰り返し、FIFO_ACCESS_ENA ビットに 1 を書き込む必要があります。32 MHz クロックを作動させるには、クロック校正時に 1 に設定します。消費電力削減のために、以上の操作が完了したら 0 にリセットします。

¹ クロック速度設定が関係するのはデジタル積分モードの場合だけです。

ADC レジスタ

表 25. ADC レジスタ

Address	Data Bits	Default	Access	Name	Description
0x12	[15:0]	0x0028	R/W	FSAMPLE	サンプリング周波数: $f_{\text{SAMPLE}} = 32 \text{ kHz} / (\text{レジスタ } 0x12 \text{ のビット } [15:0] \times 4)$ 。 例えば、100 Hz = 0x0050、200 Hz = 0x0028。
0x15	[15:11]	0x0	R/W	Reserved	0x0 を書き込み。
	[10:8]	0x6	R/W	SLOTB_NUM_AVG	タイム・スロット B のサンプル合計/平均。平均数 N_B を指定します。これは、ADC の後段で合計および平均される連続サンプルの数です。レジスタ 0x70 からレジスタ 0x7F はデータ合計を保持します。レジスタ 0x64 からレジスタ 0x6B と、レジスタ 0x60 のデータ・バッファは、16 ビット・レジスタにデータ平均を保持します。この平均値は、クリッピングなしで S/N 比を改善するために使用できます。データ・レートは、SLOTB_NUMB_AVG ビットの値によって間引かれます。 0: 1 1: 2 2: 4 3: 8 4: 16 5: 32 6: 64 7: 128
	7	0x0	R/W	Reserved	0x0 を書き込み。
	[6:4]	0x0	R/W	SLOTA_NUM_AVG	タイム・スロット A のサンプル合計/平均。 N_A : ビット [10:8] と同じですが、タイム・スロット A に使われます。レジスタ 0x15 のビット [10:8] の説明を参照してください。
	[3:0]	0x0	R/W	Reserved	0x0 を書き込み。
0x18	[15:0]	0x2000	R/W	SLOTA_CH1_OFFSET	タイム・スロット A チャンネル 1 の ADC オフセット。生の ADC 値から減じる値です。代表値は 0x2000 です。
0x19	[15:0]	0x2000	R/W	SLOTA_CH2_OFFSET	タイム・スロット A チャンネル 2 の ADC オフセット。生の ADC 値から減じる値です。代表値は 0x2000 です。
0x1A	[15:0]	0x2000	R/W	SLOTA_CH3_OFFSET	タイム・スロット A チャンネル 3 の ADC オフセット。生の ADC 値から減じる値です。代表値は 0x2000 です。
0x1B	[15:0]	0x2000	R/W	SLOTA_CH4_OFFSET	タイム・スロット A チャンネル 4 の ADC オフセット。生の ADC 値から減じる値です。代表値は 0x2000 です。
0x1E	[15:0]	0x2000	R/W	SLOTB_CH1_OFFSET	タイム・スロット B チャンネル 1 の ADC オフセット。生の ADC 値から減じる値です。代表値は 0x2000 です。
0x1F	[15:0]	0x2000	R/W	SLOTB_CH2_OFFSET	タイム・スロット B チャンネル 2 の ADC オフセット。生の ADC 値から減じる値です。代表値は 0x2000 です。
0x20	[15:0]	0x2000	R/W	SLOTB_CH3_OFFSET	タイム・スロット B チャンネル 3 の ADC オフセット。生の ADC 値から減じる値です。代表値は 0x2000 です。
0x21	[15:0]	0x2000	R/W	SLOTB_CH4_OFFSET	タイム・スロット B チャンネル 4 の ADC オフセット。生の ADC 値から減じる値です。代表値は 0x2000 です。

データ・レジスタ

表 26. データ・レジスタ

Address	Data Bits	Access	Name	Description
0x60	[15:0]	R	FIFO_DATA	FIFO 内の次の使用可能ワード。このレジスタを読み出す前に、FIFO アクセスを有効にするために、書込み操作を連続して2回繰り返し、FIFO_ACCESS_ENA ビットを2回 0x1 に設定します（レジスタ 0x5F のビット 0）。FIFO アクセス・シーケンスが終了したら、このビットを 0 にリセットします。
0x64	[15:0]	R	SLOTA_CH1_16BIT	タイム・スロット A、チャンネル 1 の 16 ビット値。
0x65	[15:0]	R	SLOTA_CH2_16BIT	タイム・スロット A、チャンネル 2 の 16 ビット値。
0x66	[15:0]	R	SLOTA_CH3_16BIT	タイム・スロット A、チャンネル 3 の 16 ビット値。
0x67	[15:0]	R	SLOTA_CH4_16BIT	タイム・スロット A、チャンネル 4 の 16 ビット値。
0x68	[15:0]	R	SLOTB_CH1_16BIT	タイム・スロット B、チャンネル 1 の 16 ビット値。
0x69	[15:0]	R	SLOTB_CH2_16BIT	タイム・スロット B、チャンネル 2 の 16 ビット値。
0x6A	[15:0]	R	SLOTB_CH3_16BIT	タイム・スロット B、チャンネル 3 の 16 ビット値。
0x6B	[15:0]	R	SLOTB_CH4_16BIT	タイム・スロット B、チャンネル 4 の 16 ビット値。
0x70	[15:0]	R	SLOTA_CH1_LOW	タイム・スロット A、チャンネル 1 のロー・データワード。
0x71	[15:0]	R	SLOTA_CH2_LOW	タイム・スロット A、チャンネル 2 のロー・データワード。
0x72	[15:0]	R	SLOTA_CH3_LOW	タイム・スロット A、チャンネル 3 のロー・データワード。
0x73	[15:0]	R	SLOTA_CH4_LOW	タイム・スロット A、チャンネル 4 のロー・データワード。
0x74	[15:0]	R	SLOTA_CH1_HIGH	タイム・スロット A、チャンネル 1 のハイ・データワード。
0x75	[15:0]	R	SLOTA_CH2_HIGH	タイム・スロット A、チャンネル 2 のハイ・データワード。
0x76	[15:0]	R	SLOTA_CH3_HIGH	タイム・スロット A、チャンネル 3 のハイ・データワード。
0x77	[15:0]	R	SLOTA_CH4_HIGH	タイム・スロット A、チャンネル 4 のハイ・データワード。
0x78	[15:0]	R	SLOTB_CH1_LOW	タイム・スロット B、チャンネル 1 のロー・データワード。
0x79	[15:0]	R	SLOTB_CH2_LOW	タイム・スロット B、チャンネル 2 のロー・データワード。
0x7A	[15:0]	R	SLOTB_CH3_LOW	タイム・スロット B、チャンネル 3 のロー・データワード。
0x7B	[15:0]	R	SLOTB_CH4_LOW	タイム・スロット B、チャンネル 4 のロー・データワード。
0x7C	[15:0]	R	SLOTB_CH1_HIGH	タイム・スロット B、チャンネル 1 のハイ・データワード。
0x7D	[15:0]	R	SLOTB_CH2_HIGH	タイム・スロット B、チャンネル 2 のハイ・データワード。
0x7E	[15:0]	R	SLOTB_CH3_HIGH	タイム・スロット B、チャンネル 3 のハイ・データワード。
0x7F	[15:0]	R	SLOTB_CH4_HIGH	タイム・スロット B、チャンネル 4 のハイ・データワード。

表 27. 必須スタートアップ・ロード・シーケンス

Step Number	Address	Comment
1	0x4B, Bit 7	ステート・マシンを駆動するクロックを有効にするには、0x1 を書き込みます。
2	0x10	プログラム・モードにするには 0x0001 を書き込みます。
3	Other registers	デバイスがプログラム・モード時は、レジスタの順番は重要ではありません。
4	0x10	通常のサンプリング動作を開始するには、0x0002 を書き込みます。

