



18GHz~44GHz、GaAs、pHEMT、MMIC、1/2Wパワー・アンプ

データシート

ADPA7006CHIP

特長

- 出力 P1dB : 29dBm
- PSAT : 29.5dBm
- ゲイン : 23.5dB
- 出力 IP3 : 38dBm
- 電源電圧 : 5V/800mA
- 内蔵パワー・ディテクタ
- 50Ω に整合した入出力
- ダイ・サイズ : 2.750mm × 1.805mm × 0.102mm

アプリケーション

- 防衛および航空宇宙
- 試験用計測器
- 通信

概要

ADPA7006CHIP は、ガリウム・ヒ素 (GaAs) モノリシック・マイクロ波集積回路 (MMIC) の擬似格子整合型高電子移動度トランジスタ (pHEMT) 分布型パワー・アンプで、動作範囲は 18GHz~44GHz です。このアンプは、23.5dB の小信号ゲイン、1dB 利得圧縮点で 29dBm の出力パワー、38dBm の出力 3 次インターセプト・ポイント (代表値) を提供します。

機能ブロック図

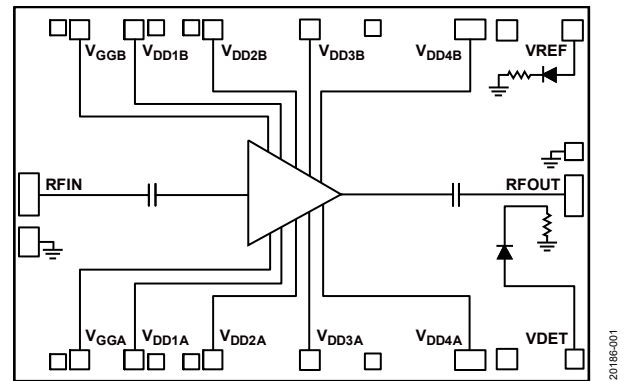


図 1.

ADPA7006CHIP は、電源電圧 (VDD) 上に 5V 電源から 800mA を必要とします。また、入出力が内部で 50Ω に整合しているため、マルチチップ・モジュール (MCM) に容易に組み込むことができます。全てのデータは、チップを長さ 0.31mm 未満の 2 本の 0.025mm ワイヤ・ボンドで接続して測定したものです。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	アプリケーション情報	16
アプリケーション	1	ミリ波 GaAs MMIC のマウントおよび	
機能ブロック図	1	ボンディング手法	16
概要	1	HMC980LP4E による ADPA7006CHIP の	
改訂履歴	2	バイアシング	18
仕様	3	アプリケーション回路のセットアップ	18
周波数範囲：18GHZ～20GHZ	3	ADPA7006CHIP の V _{GGX} の AMR（絶対最大定格）	
周波数範囲：20GHZ～28GHZ	3	条件に合わせた VGATE の制限	18
周波数範囲：28GHZ～36GHZ	4	HMC980LP4E のバイアス・シーケンス	20
周波数範囲：36GHZ～44GHZ	4	定ドレイン電流バイアシングと	
絶対最大定格	5	定ゲート電圧バイアシング	20
熱抵抗	5	代表的なアプリケーション回路	22
ESD に関する注意	5	アセンブリ図	23
ピン配置およびピン機能の説明	6	プライマリ・アセンブリ図	23
インターフェース回路図	6	代替アセンブリ図	23
代表的な性能特性	7	外形寸法	24
定ドレイン電流（I _{DD} ）での動作	14	オーダー・ガイド	24
動作原理	15		

改訂履歴

7/2019–Revision 0: 初版

仕様

周波数範囲：18GHZ～20GHZ

特に指定のない限り、通常動作で $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、静止電源電流 (I_{DQ}) = 800mA。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		18		20	GHz	
GAIN			22.5		dB	
Gain Flatness			± 0.75		dB	
Gain Variation Over Temperature			0.011		dB/ $^\circ\text{C}$	
NOISE FIGURE			9.5		dB	
RETURN LOSS						
Input			13		dB	
Output			17		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB		26		dBm	Measurement taken at output power (P_{OUT}) per tone = 14 dBm
Saturated Output Power	P_{SAT}		27		dBm	
Output Third-Order Intercept	IP3		34		dBm	
SUPPLY						
Current	I_{DQ}		800		mA	Adjust the gate bias voltage (V_{GGX}) from -1.5 V to 0 V to achieve the desired I_{DQ}
Voltage	V_{DD}	4	5		V	

周波数範囲：20GHZ～28GHZ

特に指定のない限り、通常動作で $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、静止電源電流 (I_{DQ}) = 800mA。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		20		28	GHz	
GAIN		23	25		dB	
Gain Flatness			± 1.0		dB	
Gain Variation Over Temperature			0.026		dB/ $^\circ\text{C}$	
NOISE FIGURE			7.5		dB	
RETURN LOSS						
Input			16		dB	
Output			24		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	26.0	28.5		dBm	Measurement taken at P_{OUT} per tone = 14 dBm
Saturated Output Power	P_{SAT}		29		dBm	
Output Third-Order Intercept	IP3		36		dBm	
SUPPLY						
Current	I_{DQ}		800		mA	Adjust the gate bias voltage (V_{GGX}) from -1.5 V to 0 V to achieve the desired I_{DQ}
Voltage	V_{DD}	4	5		V	

周波数範囲 : 28GHZ~36GHZ

特に指定のない限り、通常動作で $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 800\text{mA}$ 。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		28		36	GHz	
GAIN		21.5	23.5		dB	
Gain Flatness			± 0.5		dB	
Gain Variation Over Temperature			0.016		dB/ $^\circ\text{C}$	
NOISE FIGURE			5.5		dB	
RETURN LOSS						
Input			16		dB	
Output			23		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	26.5	29		dBm	
Saturated Output Power	P_{SAT}		29.5		dBm	
Output Third-Order Intercept	IP3		38		dBm	Measurement taken at P_{OUT} per tone = 14 dBm
SUPPLY						
Current	I_{DQ}		800		mA	Adjust the gate bias voltage (V_{GGX}) from -1.5 V to 0 V to achieve the desired I_{DQ}
Voltage	V_{DD}	4	5		V	

周波数範囲 : 36GHZ~44GHZ

特に指定のない限り、通常動作で $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 800\text{mA}$ 。

表 4.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		34		44	GHz	
GAIN		21	23		dB	
Gain Flatness			± 0.3		dB	
Gain Variation Over Temperature			0.03		dB/ $^\circ\text{C}$	
NOISE FIGURE			5		dB	
RETURN LOSS						
Input			23		dB	
Output			23		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	24.2	27		dBm	
Saturated Output Power	P_{SAT}		28		dBm	
Output Third-Order Intercept	IP3		38		dBm	Measurement taken at P_{OUT} per tone = 14 dBm
SUPPLY						
Current	I_{DQ}		800		mA	Adjust the gate bias voltage (V_{GGX}) from -1.5 V to 0 V to achieve the desired I_{DQ}
Voltage	V_{DD}	4	5		V	

絶対最大定格

表 5.

Parameter	Rating
Drain Bias Voltage (V_{DDXX})	6.0 V
Gate Bias Voltage (V_{GG1})	-1.5 V to 0 V
Radio Frequency (RF) Input Power (RFIN)	20 dBm
Continuous Power Dissipation (P_{DISS}), T = 85°C (Derate 92.6 mW/°C Above 85°C)	8.3 W
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-55°C to +85°C
Electrostatic Discharge (ESD) Sensitivity Human Body Model (HBM)	Class 1B Passed, 750 V
Reliability Information	
Junction Temperature to Maintain 1,000,000 Hour Mean Time to Failure (MTTF)	175°C
Nominal Junction Temperature (T = 85°C, $V_{DD} = 5$ V, $I_{DQ} = 800$ mA)	128.2°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、システムの設計と動作環境に直接関連します。PCB の熱設計には、細心の注意を払う必要があります。 θ_{JC} はチャンネルからケースまでの熱抵抗 (チャンネルとダイ下部の間にダイ取り付けエポキシを使用) です。

表 6. 熱抵抗

Package Type	θ_{JC}	Unit
C-14-7	10.8	°C/W

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

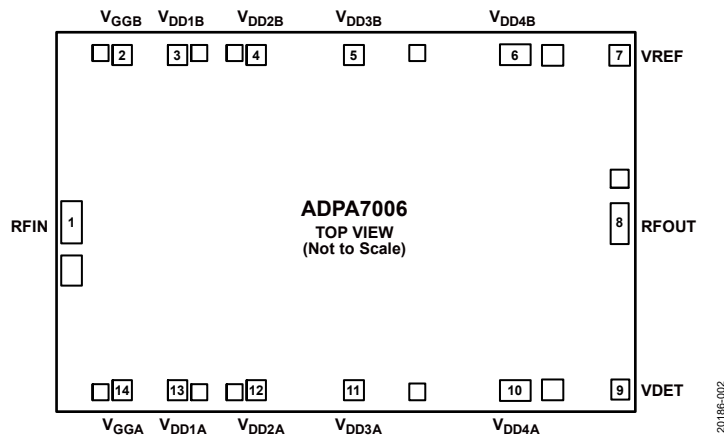


図 2. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1	RFIN	RF 信号入力。このパッドは AC カップリングされ、50Ω に整合されています。
2, 14	V _{GGA} , V _{GGB}	アンプ・ゲート制御。
3, 4, 5, 6, 10, 11, 12, 13	V _{DD1B} , V _{DD2B} , V _{DD3B} , V _{DD4B} , V _{DD4A} , V _{DD3A} , V _{DD2A} , V _{DD1A}	アンプのドレイン・バイアス。
7	VREF	リファレンス・ダイオード。このパッドは VDET の RF 出力パワー測定の温度補償に使用します。VDET と組み合わせて使用した場合、この電圧は VDET の RF 出力パワー測定に温度補償を提供します。
8	RFOUT	RF 信号出力。このパッドは AC カップリングされ、50Ω に整合されています。
9	VDET	RF 出力パワー測定用のディテクタ・ダイオード。このパッドを介して検出を行うには、外付けの直列抵抗を通じて DC バイアス電圧をかける必要があります。VREF と組み合わせて使用した場合の電圧差 (VREF - VDET) は、RF 出力パワーに比例する温度補償済み DC 電圧です。
Die Bottom	GND	これらのパッドとダイの下部は、RF/DC グラウンドに接続する必要があります。

インターフェース回路図



図 3. GND インターフェース回路図

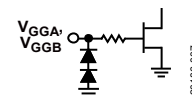


図 7. V_{GGA} および V_{GGB} のインターフェース回路図

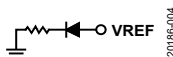


図 4. VREF インターフェース回路図

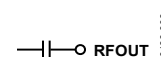


図 8. RFOUT インターフェース回路図

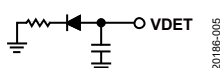


図 5. VDET インターフェース回路図

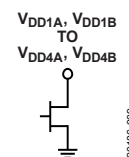


図 9. V_{DD1A}, V_{DD1B}~V_{DD4A}, V_{DD4B} のインターフェース回路図

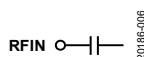
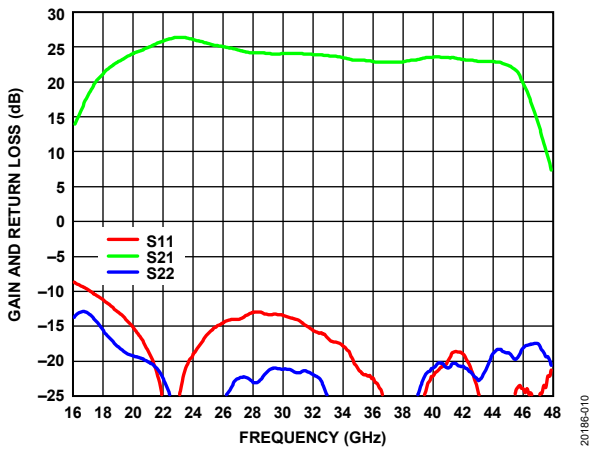
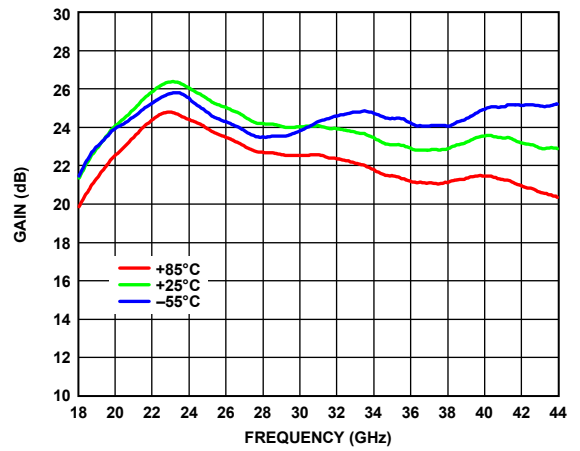


図 6. RFIN インターフェース回路図

代表的な性能特性



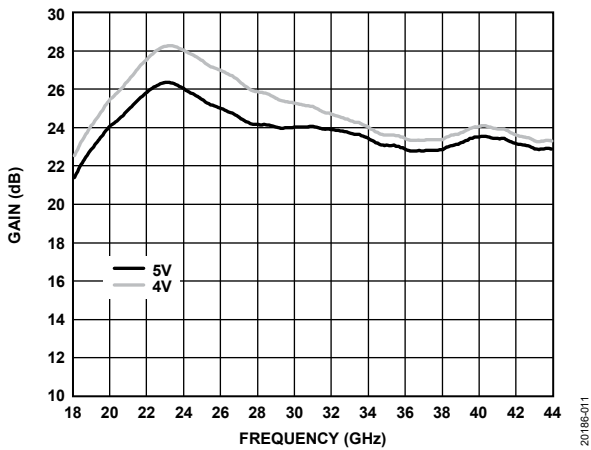
2018B-010



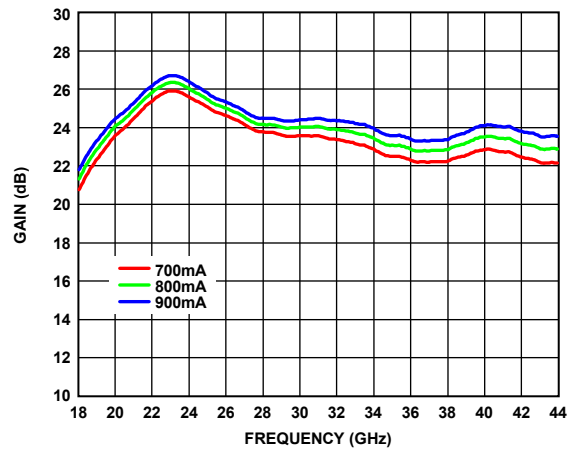
2018B-013

図 10. ゲインおよびリターン・ロスの周波数特性、
 $V_{DD} = 5V$ 、 $I_{DQ} = 800mA$

図 13. 様々な温度でのゲインの周波数特性、
 $V_{DD} = 5V$ 、 $I_{DQ} = 800mA$



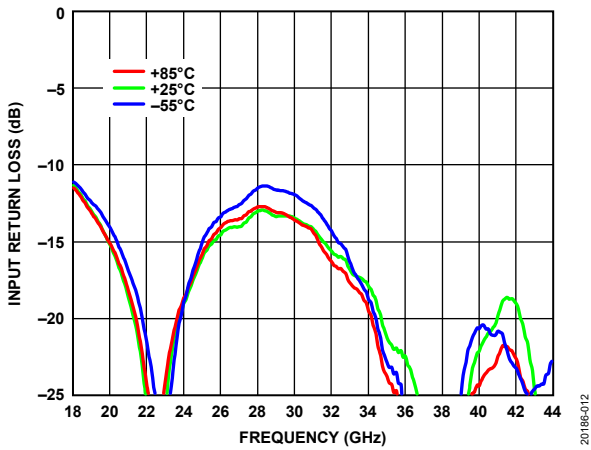
2018B-011



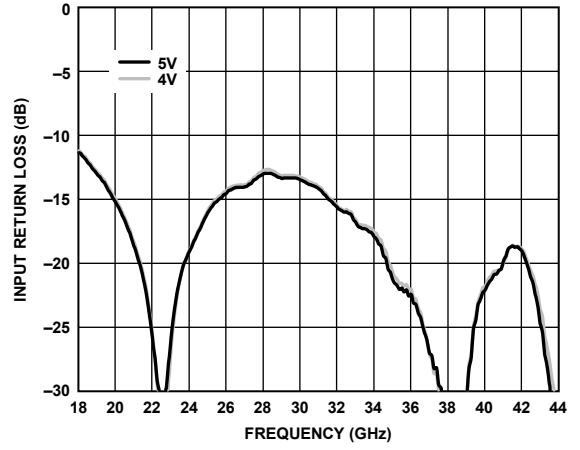
2018B-014

図 11. 様々な電源電圧 (V_{DD}) でのゲインの周波数特性、
 $I_{DQ} = 800mA$

図 14. 様々な I_{DQ} 値でのゲインの周波数特性、
 $V_{DD} = 5V$



2018B-012



2018B-015

図 12. 様々な温度での入力リターン・ロスの周波数特性、
 $V_{DD} = 5V$ 、 $I_{DQ} = 800mA$

図 15. 様々な電源電圧での入力リターン・ロスの周波数特性、
 $I_{DQ} = 800mA$

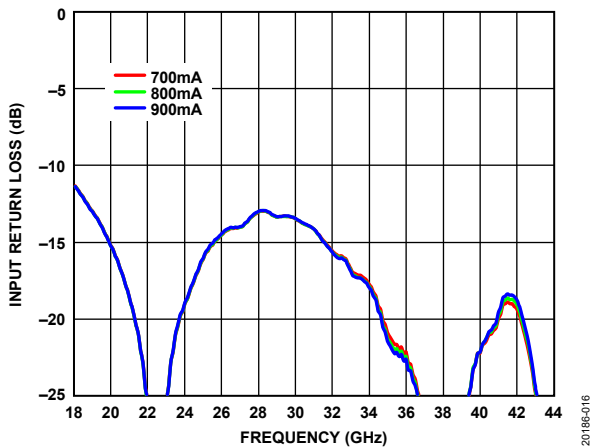


図 16. 様々な I_{DQ} 値での入力リターン・ロスの周波数特性、 $V_{DD} = 5V$

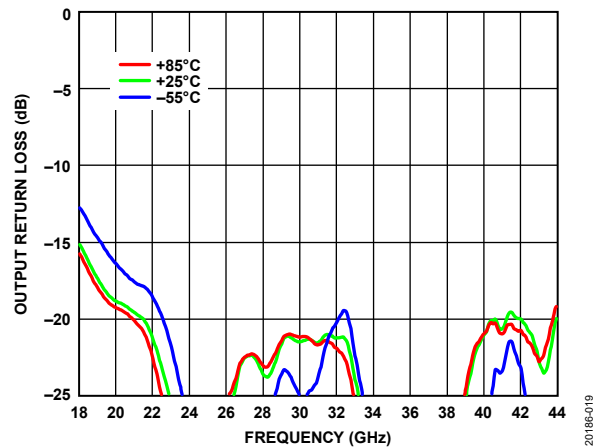


図 19. 様々な温度での出力リターン・ロスの周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 800mA$

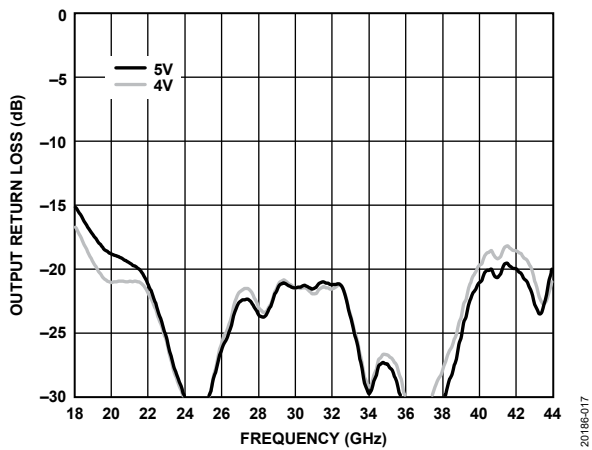


図 17. 様々な電源電圧 (V_{DD}) での出力リターン・ロスの周波数特性、 $I_{DQ} = 800mA$

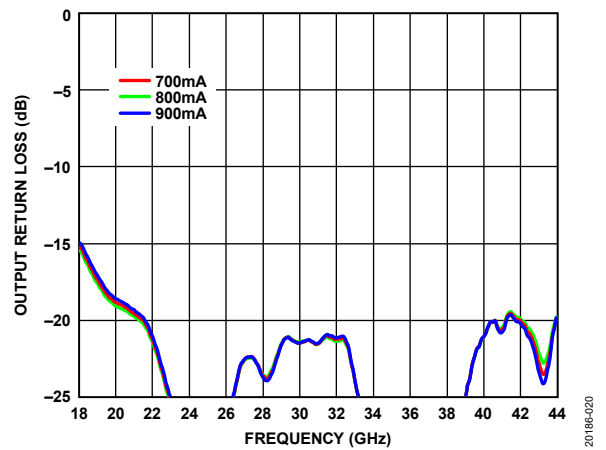


図 20. 様々な電源電流 (I_{DQ}) での出力リターン・ロスの周波数特性、 $V_{DD} = 5V$

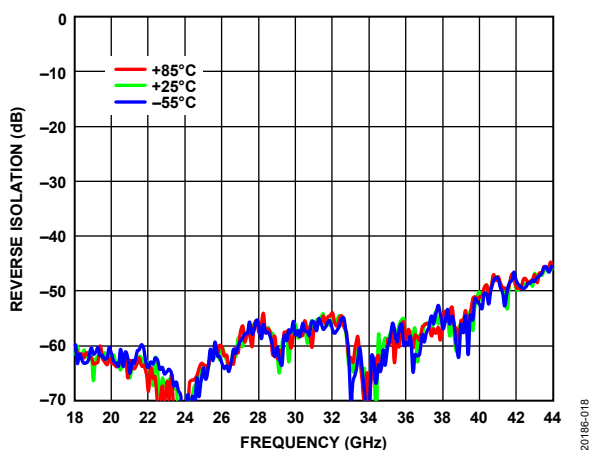


図 18. 様々な温度でのリバース・アイソレーションの周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 800mA$

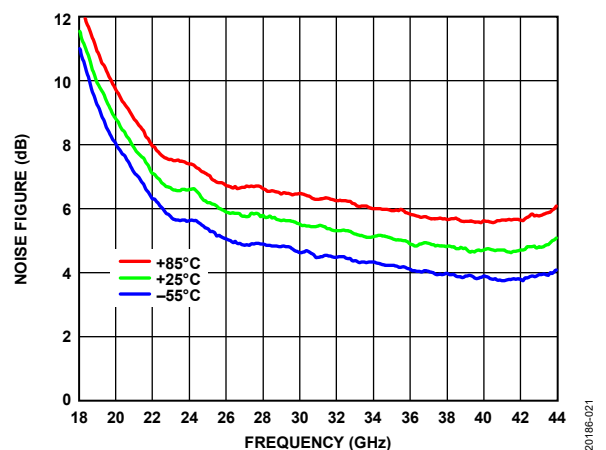


図 21. 様々な温度でのノイズ指数の周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 800mA$

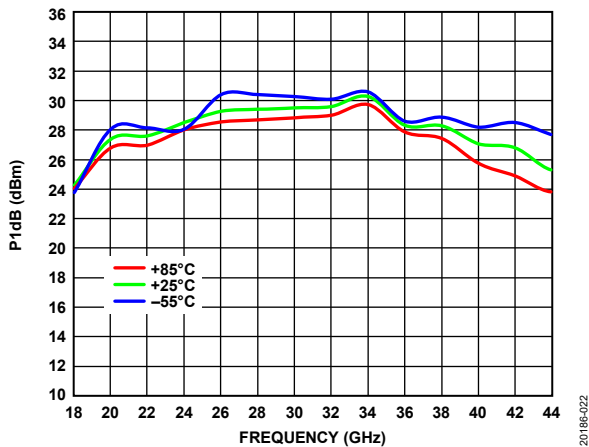


図 22. 様々な温度での 1dB 利得圧縮点 (P1dB) の出力電力の周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 800mA$

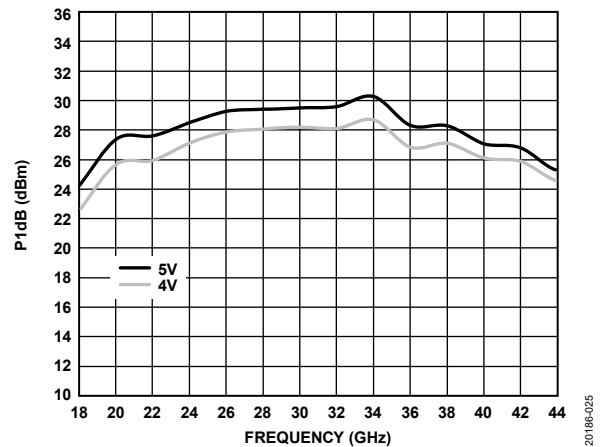


図 25. 様々な電源電圧 (V_{DD}) での P1dB の周波数特性、 $I_{DQ} = 800mA$

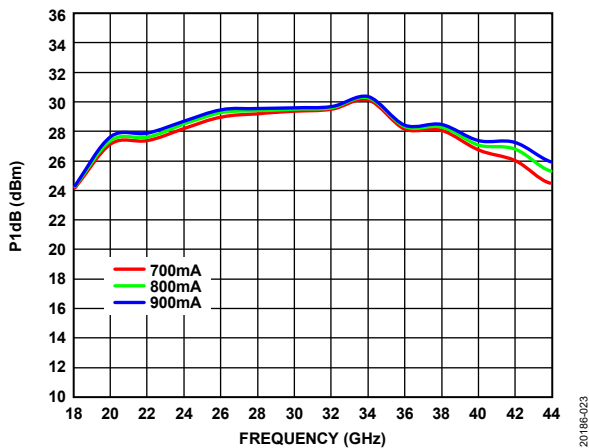


図 23. 様々な電源電流 (I_{DQ}) での P1dB の周波数特性、 $V_{DD} = 5V$

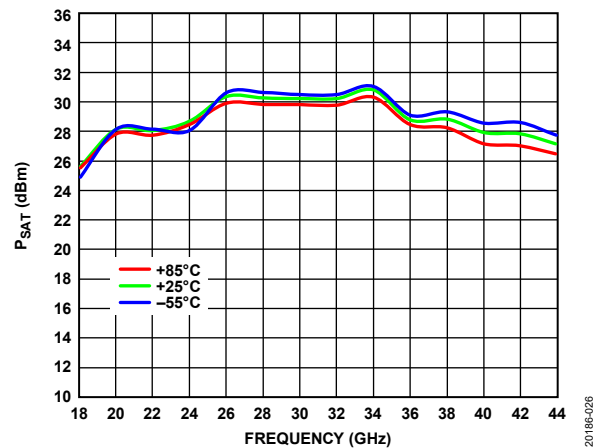


図 26. 様々な温度での P_{SAT} の周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 800mA$

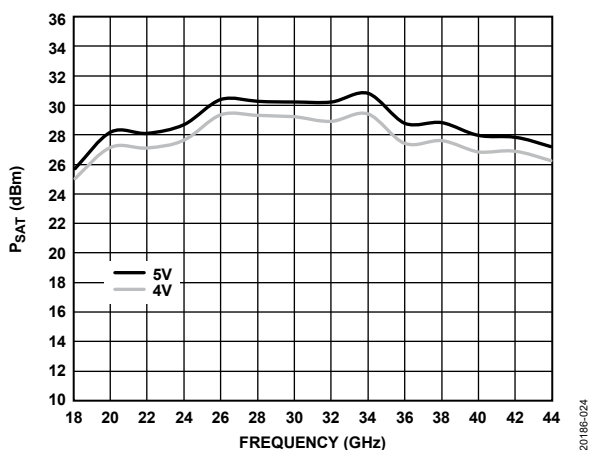


図 24. 様々な電源電圧 (V_{DD}) での飽和出力電力 (P_{SAT}) の周波数特性、ドレイン電流 (I_{DD}) = 800mA

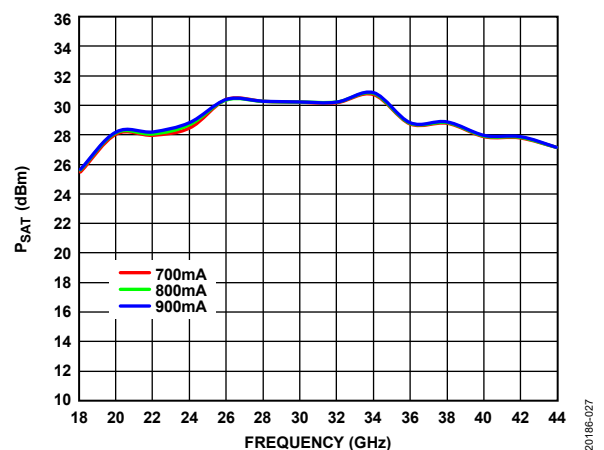
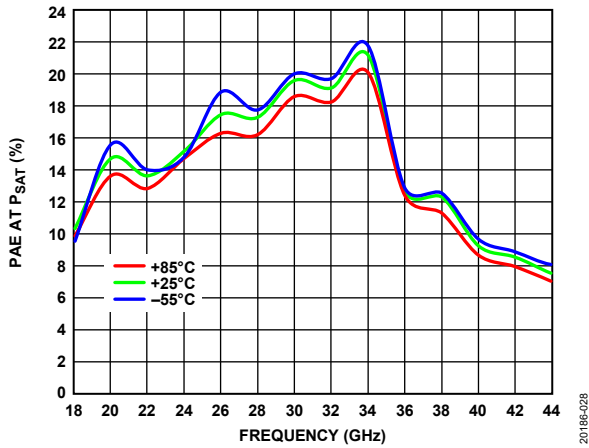
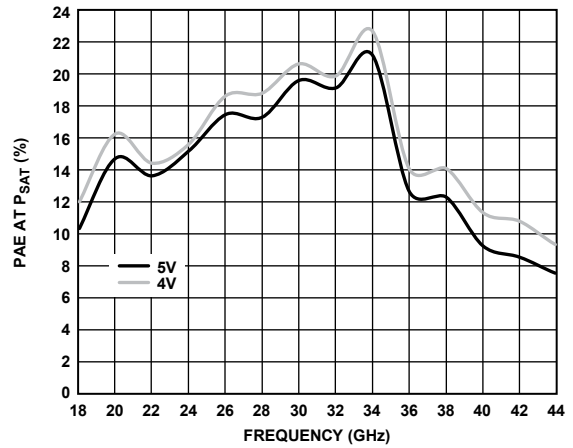


図 27. 様々な電源電流 (I_{DQ}) での P_{SAT} の周波数特性、 $V_{DD} = 5V$



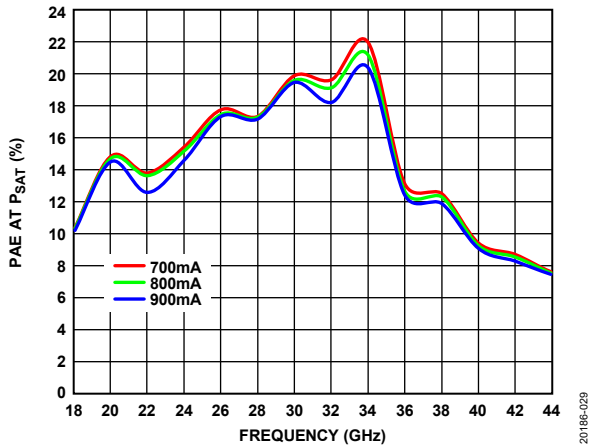
20186-028

図 28. 様々な温度での電力付加効率 (PAE) の周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 800\text{ mA}$ 、PAE は P_{SAT} において測定



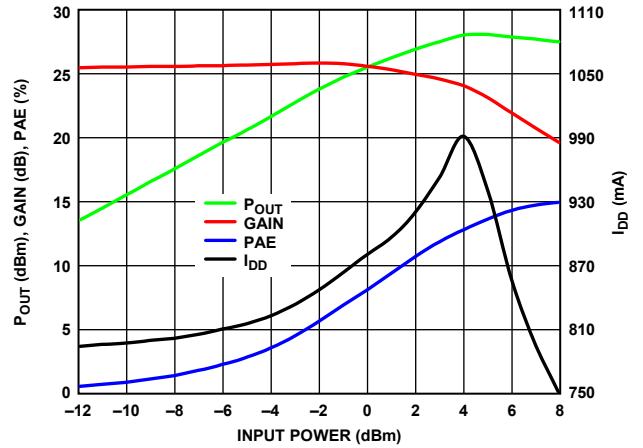
20186-031

図 31. 様々な電源電圧 (V_{DD}) での PAE の周波数特性、 $I_{DQ} = 800\text{ mA}$ 、PAE は P_{SAT} において測定



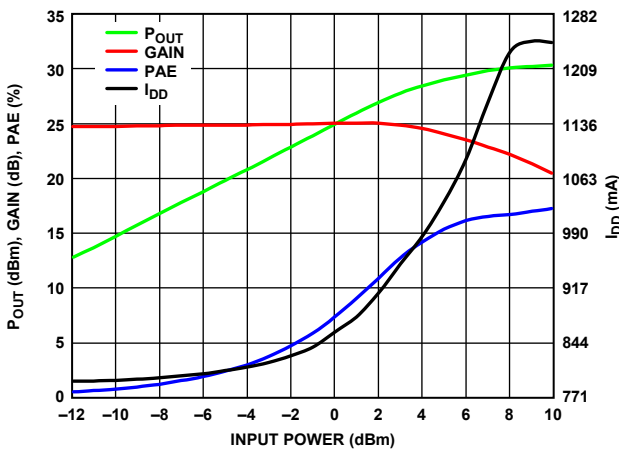
20186-029

図 29. 様々な電源電流 (I_{DQ}) での PAE の周波数特性、 $V_{DD} = 5V$ 、PAE は P_{SAT} において測定



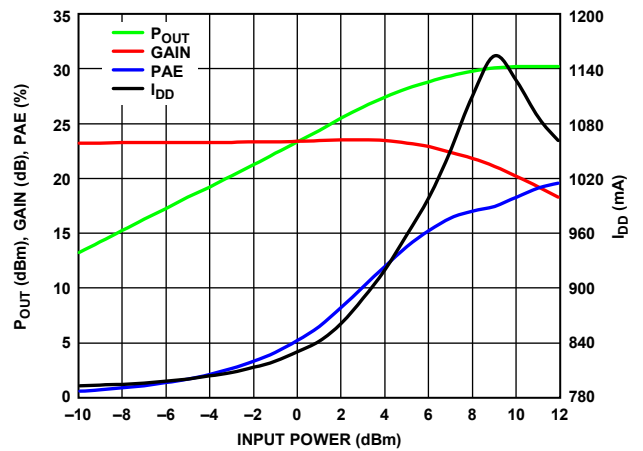
20186-032

図 32. P_{OUT} 、ゲイン、PAE、および I_{DD} と入力パワーの関係、22GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 800\text{ mA}$



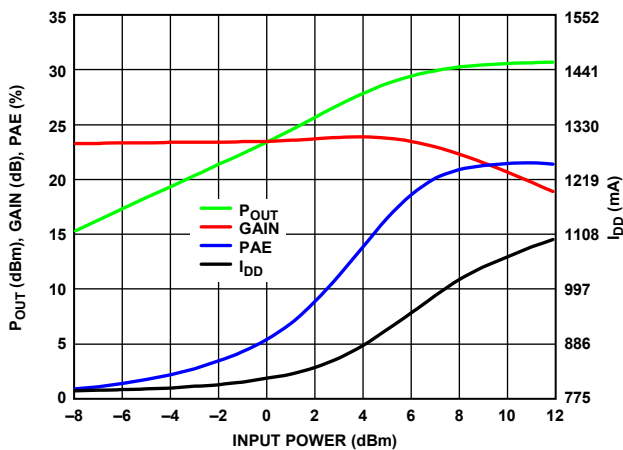
20186-030

図 30. 出力電力 (P_{OUT})、ゲイン、PAE、および I_{DD} と入力パワーの関係、26GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 800\text{ mA}$



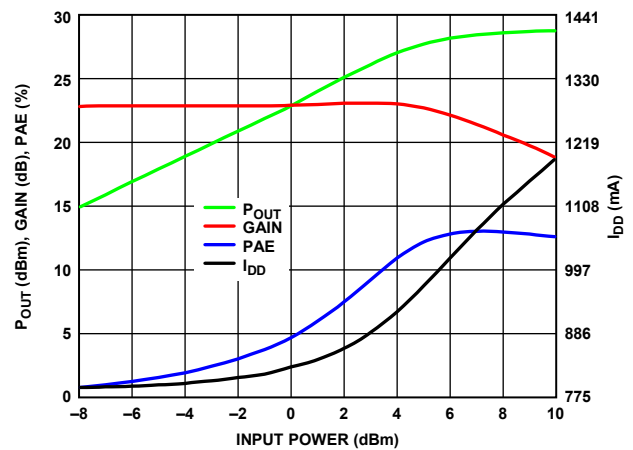
20186-033

図 33. P_{OUT} 、ゲイン、PAE、および I_{DD} と入力パワーの関係、30GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 800\text{ mA}$



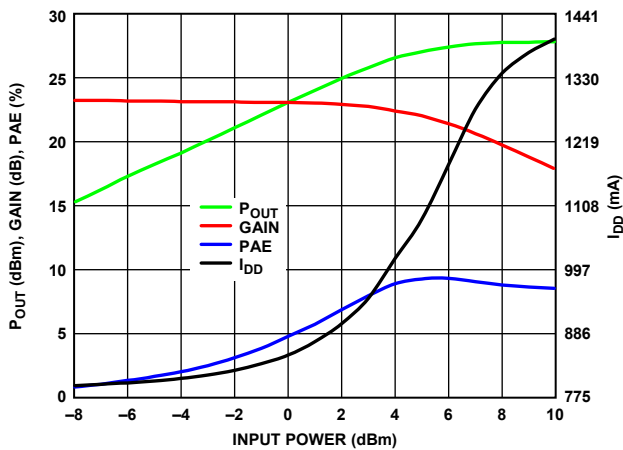
20186-034

図 34. P_{OUT} 、ゲイン、PAE、および I_{DD} と入力パワーの関係、34GHz、 $V_{DD} = 5V$ 、 $I_{DD} = 800mA$



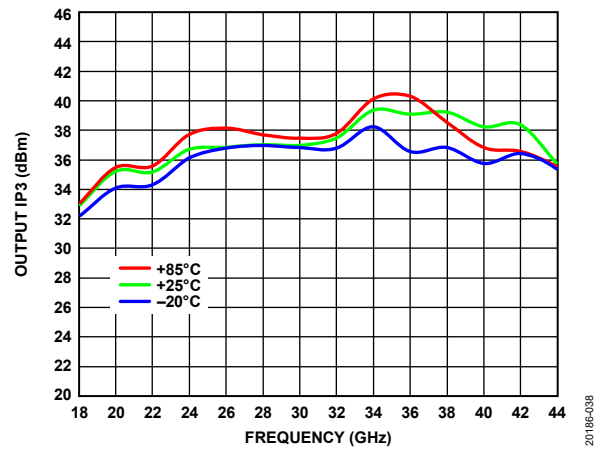
20186-037

図 37. P_{OUT} 、ゲイン、PAE、および I_{DD} と入力パワーの関係、38GHz、 $V_{DD} = 5V$ 、 $I_{DD} = 800mA$



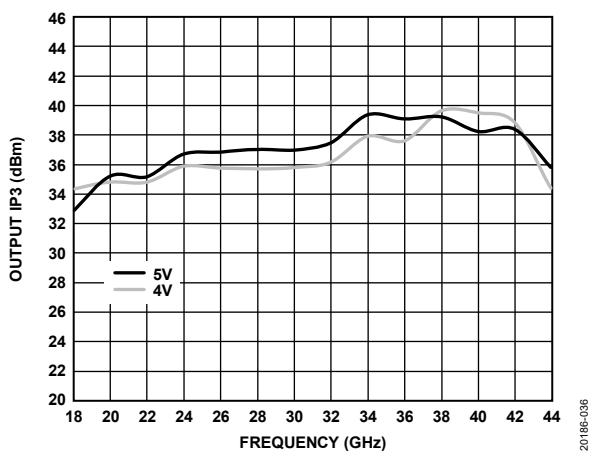
20186-035

図 35. P_{OUT} 、ゲイン、PAE、および I_{DD} と入力パワーの関係、42GHz、 $V_{DD} = 5V$ 、 $I_{DD} = 800mA$



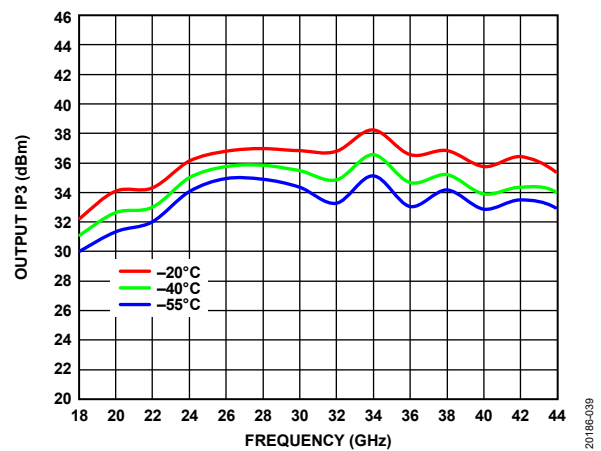
20186-038

図 38. 様々な温度での出力 IP3 の周波数特性、トーンあたりの $P_{OUT} = 14dBm$ 、 $V_{DD} = 5V$ 、 $I_{DQ} = 800mA$



20186-036

図 36. 様々な電源電圧 (V_{DD}) での出力 IP3 の周波数特性、トーンあたりの $P_{OUT} = 14dBm$ 、 $V_{DD} = 5V$ 、 $I_{DQ} = 800mA$



20186-039

図 39. 様々な温度での出力 IP3 の周波数特性、トーンあたりの $P_{OUT} = 14dBm$ 、 $V_{DD} = 5V$ 、 $I_{DQ} = 800mA$

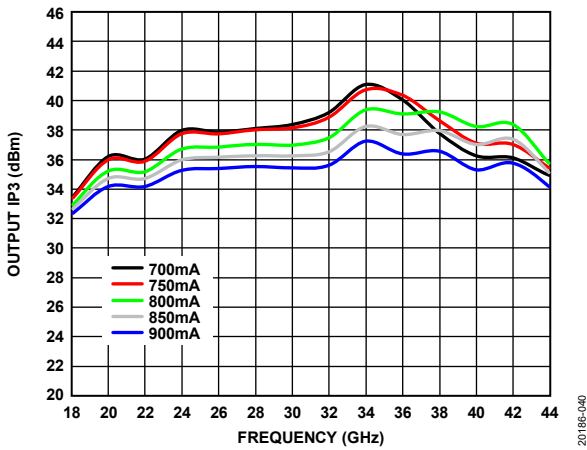


図 40. 様々な電源電流 (I_{DQ}) での出力 IP3 の周波数特性、トーンあたりの P_{OUT} = 14dBm、V_{DD} = 5V

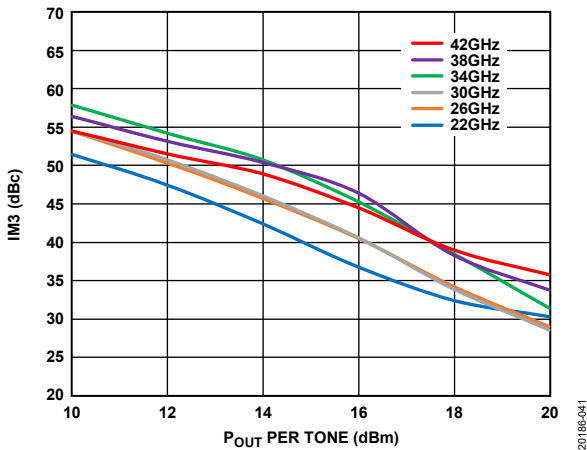


図 41. キャリアに対する 3 次相互変調歪み (IM3) とトーンあたりの P_{OUT} の関係、V_{DD} = 5V、I_{DQ} = 800mA

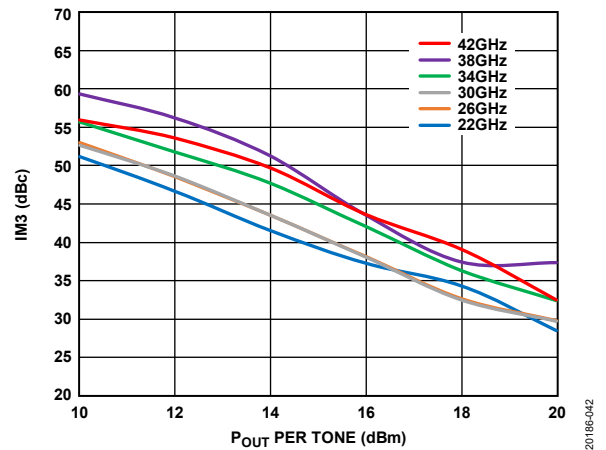


図 42. キャリアに対する 3 次相互変調歪み (IM3) とトーンあたりの P_{OUT} の関係、V_{DD} = 5V、I_{DQ} = 800mA

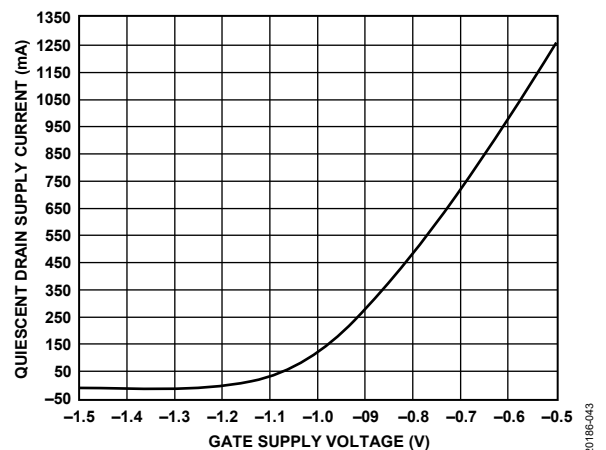


図 43. 静止電源電流 (I_{DQ}) とゲート電源電圧 (V_{GGx}) の関係

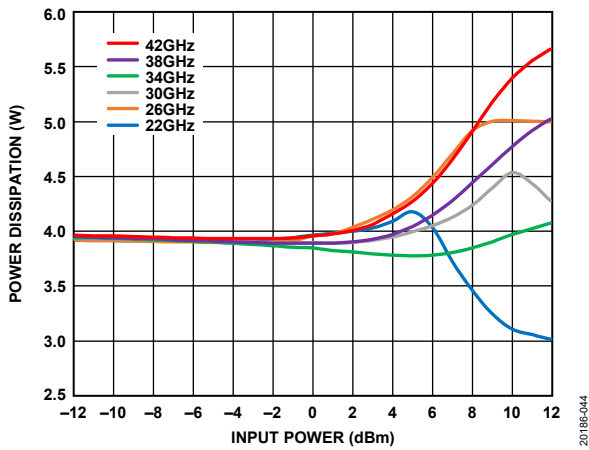


図 44. $T = 85^{\circ}\text{C}$ での消費電力と入力パワーの関係、
 $V_{\text{DD}} = 5\text{V}$ 、 $I_{\text{DD}} = 800\text{mA}$

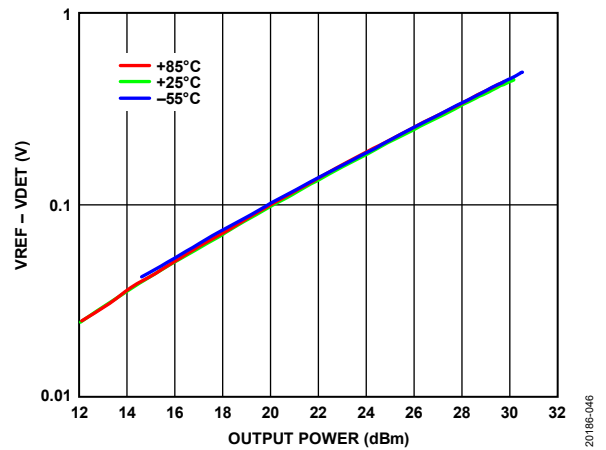


図 46. 様々な温度でのディテクタ電圧
($V_{\text{REF}} - V_{\text{DET}}$) と出力電力の関係、 32GHz 、
 $V_{\text{DD}} = 5\text{V}$ 、 $I_{\text{DD}} = 800\text{mA}$

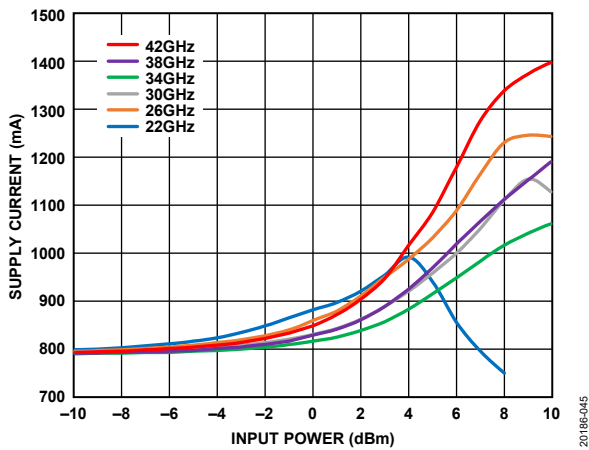


図 45. 様々な周波数での電源電流 (I_{DD}) と
入力パワーの関係、 $V_{\text{DD}} = 5\text{V}$ 、 $I_{\text{DQ}} = 800\text{mA}$

定ドレイン電流 (I_{DD}) での動作

特に指定のない限り、通常動作で $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DD} = 900\text{mA}$ 。図 47～図 50 には HMC980LP4E アクティブ・バイアス・コントローラを使用してバイアスを印加。

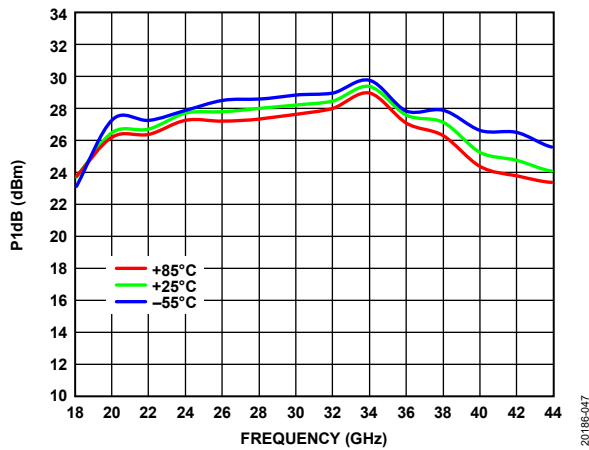


図 47. 様々な温度での P1dB の周波数特性、 $V_{DD} = 5\text{V}$ 、データは一定の I_{DD} で測定

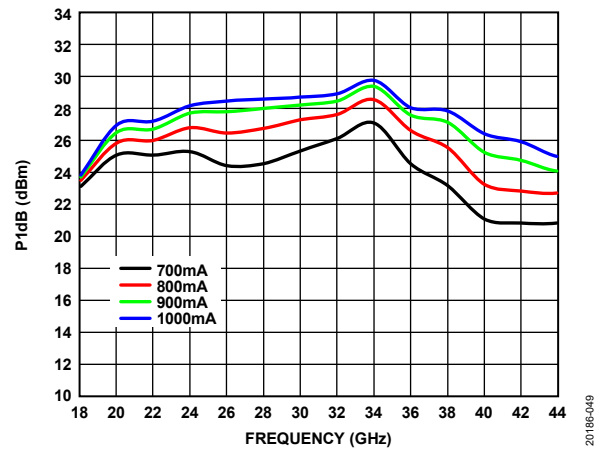


図 49. 様々なドレイン電流での P1dB の周波数特性、 $V_{DD} = 5\text{V}$ 、データは一定の I_{DD} で測定

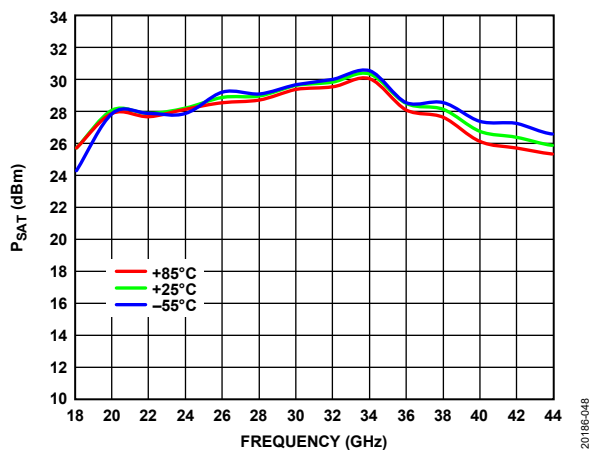


図 48. 様々な温度での P_{SAT} の周波数特性、 $V_{DD} = 5\text{V}$ 、データは一定の I_{DD} で測定

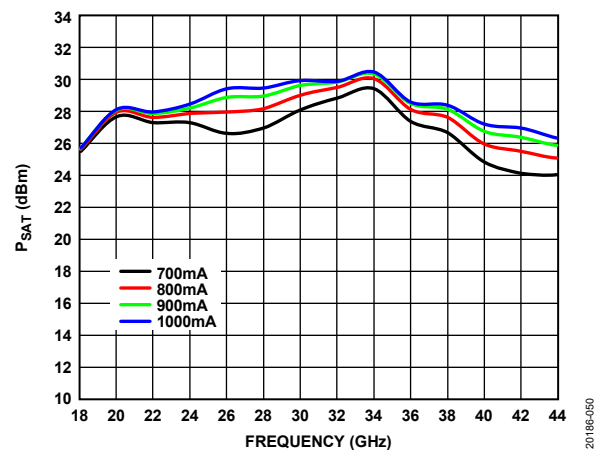


図 50. 様々なドレイン電流での P_{SAT} の周波数特性、 $V_{DD} = 5\text{V}$ 、データは一定の I_{DD} で測定

動作原理

ミディアム・パワー・アンプである ADPA7006CHIP のアーキテクチャを図 51 に示します。ADPA7006CHIP は、6 つの 90°ハイブリッド間で 90°位相をずらして動作する、2 つのカスケード接続された 4 段アンプを使用します。

入力信号は均等に 2 分割され、分割された各信号が再び 2 分割されます。各経路はそれぞれ 3 つの独立したゲイン段を通して増幅されます。増幅された信号は、出力で再び結合されます。このバランス・アンプ手法により、23dB の合成ゲインと 28dBm の P_{SAT} 値が得られます。

RF 出力信号の一部は、RF 出力パワー検出用のダイオードに方向性結合されます。このダイオードに DC バイアスがかかると、ダイオードは RF パワーを整流し、RF パワーは VDET の DC 電圧として測定できるようになります。VDET の温度補償ができるように、対称的に配置される同一の回路が（カップリングされる RF パワーを差し引いて）VREF を介して利用可能です。VREF - VDET の差を求めると、RF 出力に比例する温度補償済みの信号が得られます（図 51 を参照）。

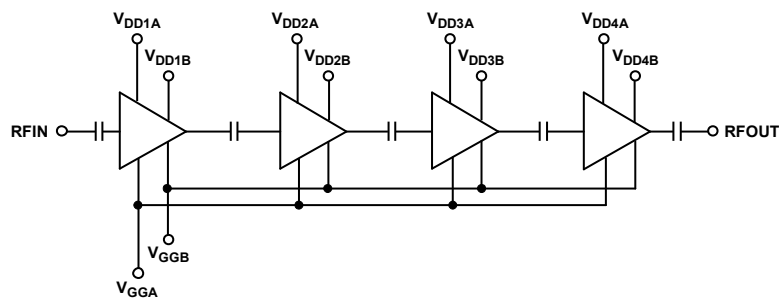


図 51. ADPA7006CHIP のアーキテクチャ

アプリケーション情報

ADPA7006CHIP は、GaAs を用いた pHEMT 構造の MMIC パワー・アンプです。全てのプライマリ/代替 V_{GGx} パッドと V_{DDxx} パッドに容量性バイパスが必要です。

V_{GGA} と V_{GGB} は、カスケード接続されたアンプ用のゲート・バイアス・パッドです。

V_{DD1A} 、 V_{DD1B} 、 V_{DD2A} 、 V_{DD2B} 、 V_{DD3A} 、 V_{DD3B} 、 V_{DD4A} 、および V_{DD4B} は、カスケード接続されたアンプ用のドレイン・バイアス・パッドです。

このデバイスの全ての測定値は、アセンブリ図（図 64 および図 65 を参照）に示すような代表的アプリケーション回路（図 63 を参照）を使って測定されています。

パワーアップ時の推奨バイアス・シーケンスを以下に示します。

1. GND を RF と DC グラウンドに接続します。
2. プライマリ・ゲート・バイアス電圧 (V_{GGA} および V_{GGB}) を $-1.5V$ に設定します。
3. 全てのドレイン・バイアス電圧 (V_{DDxx}) を $5V$ に設定します。
4. 望ましい静止電流が得られるようにゲート・バイアス電圧を上げて、 $I_{DQ} = 800mA$ に設定します。
5. RF 信号を印加します。

パワーダウン時の推奨バイアス・シーケンスを以下に示します。

1. RF 信号をオフにします。
2. プライマリ・ゲート・バイアス電圧 V_{GGA} を $-1.5V$ まで下げて、 $I_{DQ} = 0mA$ (およその値) にします。
3. 全てのドレイン・バイアス電圧を $0V$ に下げます。
4. ゲート・バイアス電圧を $0V$ まで上げます。

図 51 に、専用ゲイン段へのバイアス・パッド接続と、パッド間の依存性および独立性を簡略化した図を示します。

全体的な性能を最適化するために、 $V_{DD} = 5V$ 、 $I_{DQ} = 800mA$ のバイアス条件を推奨します。特に指定のない限り、ここに示すデータは推奨バイアス条件を使って得たものです。ADPA7006CHIP を異なるバイアス条件で動作させると、公称値 ($V_{DD} = 5V$ および $I_{DQ} = 800mA$) の代表的な性能特性の図に示されている性能

とは異なる性能となる可能性があります。より大きなドレイン電流が得られるように ADPA7006CHIP をバイアスすると、一般に P1dB、出力 IP3、およびゲインは大きくなりますが、代償として消費電力が大きくなります。

ミリ波 GaAs MMIC のマウントおよびボンディング手法

ダイは導通性のエポキシを使ってグラウンド・プレーンに直接取り付けます（手順は取り扱い上の注意のセクション、マウントのセクション、およびワイヤ・ボンディングのセクションを参照）。

チップとの間の RF 伝送には、厚さ $0.127mm$ のアルミナ薄膜基板上で 50Ω のマイクロストリップ伝送ラインを使用することを推奨します。ダイ表面と基板表面の高さが同じになるように、ダイを $0.075mm$ かさ上げします。

リボン・ボンドの長さを最小限に抑えるために、マイクロストリップ基板はできるだけダイに近付けます。通常、ダイから基板までの間隔は $0.076mm \sim 0.152mm$ です。広帯域マッチングを確保するために、PCB 上でリボン・ボンドの前に $15fF$ の容量性スタブを配置することを推奨します。

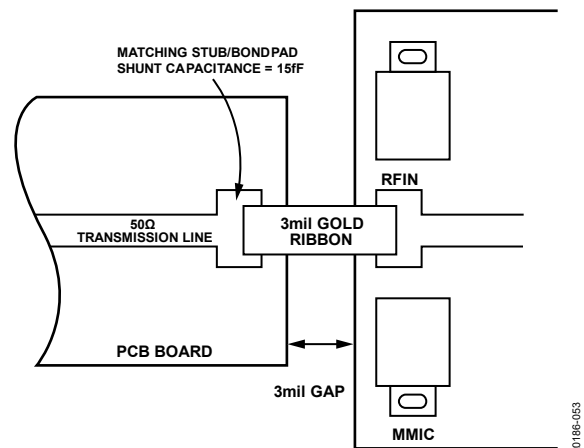


図 52. 高周波数入力の広帯域マッチング

表 8. パワー選択表^{1,2}

I_{DQ} (mA)	Gain (dB)	P1dB (dBm)	Output IP3 (dBm)	P_{DISS} (W)	V_{GGx} (V)
700	22.5	29.5	39.2	3.5	-0.7
800	22.9	29.6	37.5	4.0	-0.66
900	23.4	29.7	35.6	4.5	-0.62

¹データは次のバイアス条件（公称値）で測定しています。 $V_{DD} = 5V$ 、 $T_A = 25^\circ C$ 。

²望ましいドレイン電流が得られるように、 V_{GGA} を $-2V \sim 0V$ の範囲内で調整します。

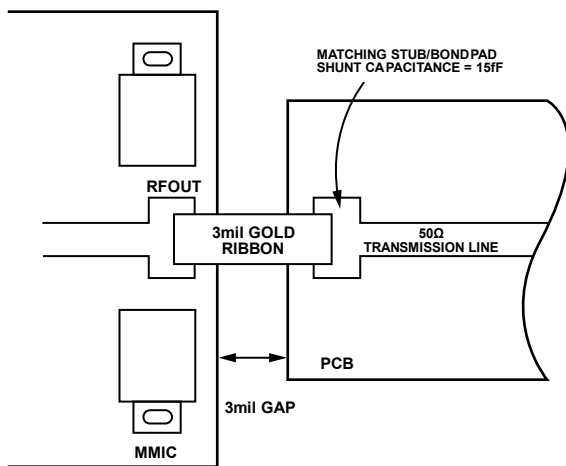


図 53. 高周波数出力の広帯域マッチング

取り扱い上の注意

恒久的な損傷を防ぐため、保存、清浄度、静電気の影響、トランジエントなど、以下の取り扱いに関する注意事項に従ってください。

- すべてのベア・ダイはワッフルベースまたはゲルベースの ESD 保護容器に収納され、その後、ESD 保護バッグに密封されて出荷されます。密封された ESD 保護バッグを開いた後は、すべてのダイを乾燥窒素環境下で保管する必要があります。
- チップの取扱いは清浄な環境下で行ってください。チップのクリーニングに液体クリーニング・システムを使用しないでください。
- ESD からチップを保護するために、ESD に関する注意事項に従ってください。

- バイアス印加時には、計測器やバイアス電源によるトランジエントの発生を防止してください。誘導の影響を最小限に抑えるために、信号ケーブルとバイアス・ケーブルはシールドされたものを使用してください。
- チップの取り扱いには真空コレットか先の尖ったピンセットを使い、エッジ部分を保持してください。チップ表面には壊れやすいエアブリッジ構造が使われているので、真空コレット、ピンセット、指などがチップの表面に触れないようにする必要があります。

マウント

ダイをエポキシで取り付ける際には、チップの配置後にチップ周辺に薄いエポキシのフィレットが観察される程度に、最小限のエポキシを取り付け表面に塗布します。エポキシは、メーカーが指定した手順で硬化させてください。

ワイヤ・ボンディング

RF ポートには、3mil×0.5mil の金リボンによる RF ボンドを推奨します。これらのボンドは、40g~60g の力でサーモソニック・ボンディングを施す必要があります。直径 0.025mm のサーモソニック・ボンディングされた DC ボンドを推奨します。40g~50g の強度でボール・ボンドを形成し、18g~22g の強度でウェッジ・ボンドを形成します。すべてのボンドは 150°C の公称段温度で形成します。最低量の超音波エネルギーを印加することにより信頼性の高いボンドが形成できます。すべてのボンドはできるだけ短くし、0.31mm 未満とします。

あるいは、2本の 1mm ワイヤを使用した 3mm 以下の短い RF ボンドを使用することもできます。

HMC980LP4EによるADPA7006CHIPのバイアシング

HMC980LP4E は、ADPA7006CHIP などのエンハンスメント・モードまたはディプリーション・モード・アンプのバイアス条件を満たすように設計されたアクティブ・バイアス・コントローラです。このコントローラは、温度の変化とデバイス間のばらつきに対して一定のドレイン電流バイアシングを提供します。またゲート電圧とドレイン電圧を適切にシーケンシングし、アンプの安全な動作を確保します。HMC980LP4E には、短絡に備えた自己保護機能もあります。また、ADPA7006CHIP のゲートに必要な負電圧を生成する内部チャージ・ポンプと、外部負電圧源を使用するオプションを備えています。HMC980LP4E は、[HMC980-DIE](#) としてダイ形態でも提供されています。

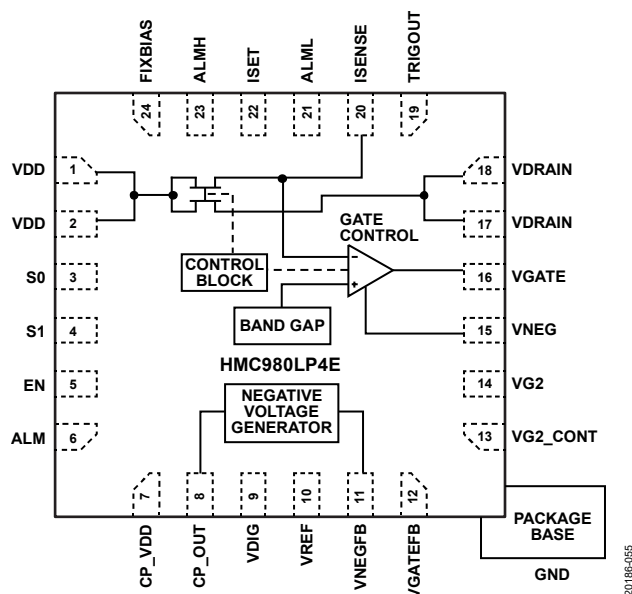


図 54. HMC980LP4E アクティブ・バイアス・コントローラ

アプリケーション回路のセットアップ

図 55 に、HMC980LP4E を使用して ADPA7006CHIP を制御するアプリケーション回路を示します。VNEG に外部負電圧を使用する場合は、図 56 のアプリケーション回路を参照してください。

図 55 に示すアプリケーション回路では、ADPA7006CHIP のドレイン電圧とドレイン電流は次の式によって設定されます。

$$V_{DRAIN} (5 V) = V_{DD} (5.77 V) - I_{DRAIN} (900 mA) \times 0.85$$

$$I_{DRAIN} (900 mA) = 150 \div R10 (125 \Omega)$$

ADPA7006CHIP の V_{GGx} の AMR (絶対最大定格) 条件に合わせた VGATE の制限

HMC980LP4E を使用して ADPA7006CHIP を制御する場合、VNEG と VGATE の最小電圧を-1.5V にして、これらの電圧を ADPA7006CHIP の V_{GGx} パッドの絶対最大定格の範囲内に保つ必要があります。最小電圧を設定するには、R15 と R16 を図 56 および図 57 に示す値に設定します。R15 と R16 の詳細および計算方法については、AN-1363 アプリケーション・ノートを参照してください。

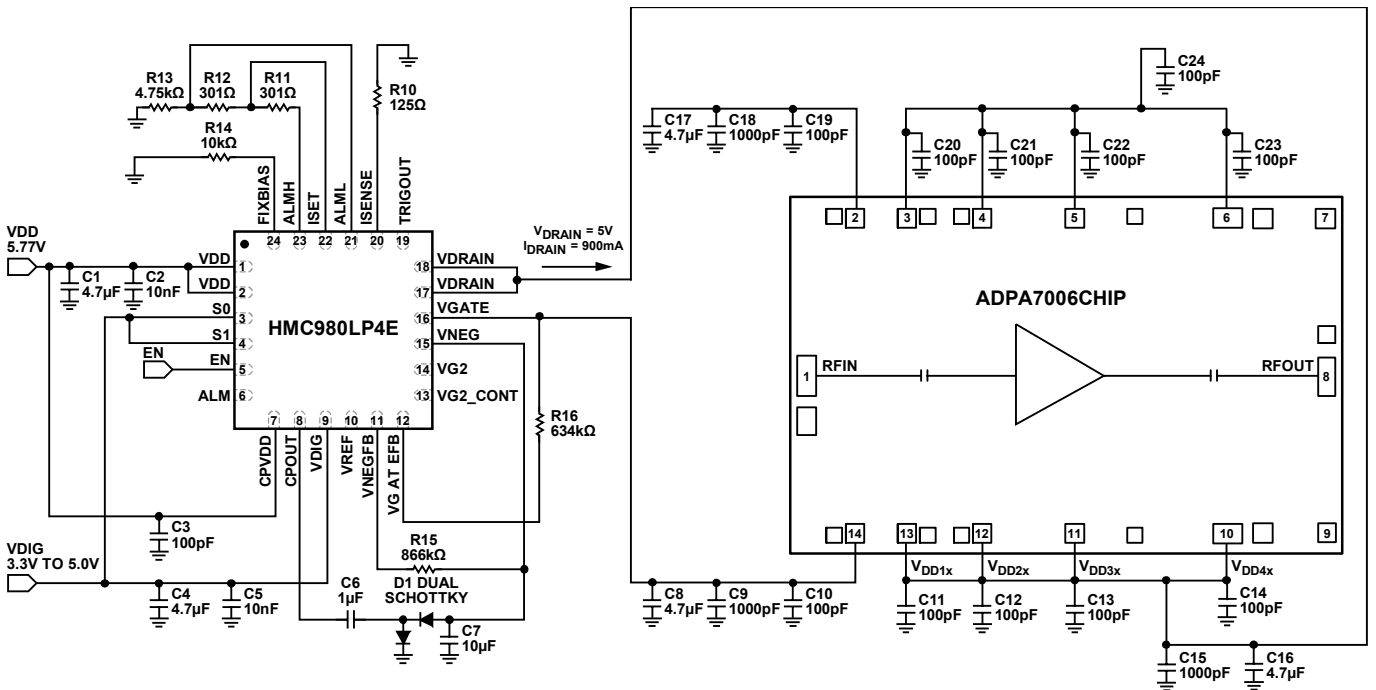


図 55. HMC980LP4E と ADPA7006CHIP を組み合わせて使用するアプリケーション回路

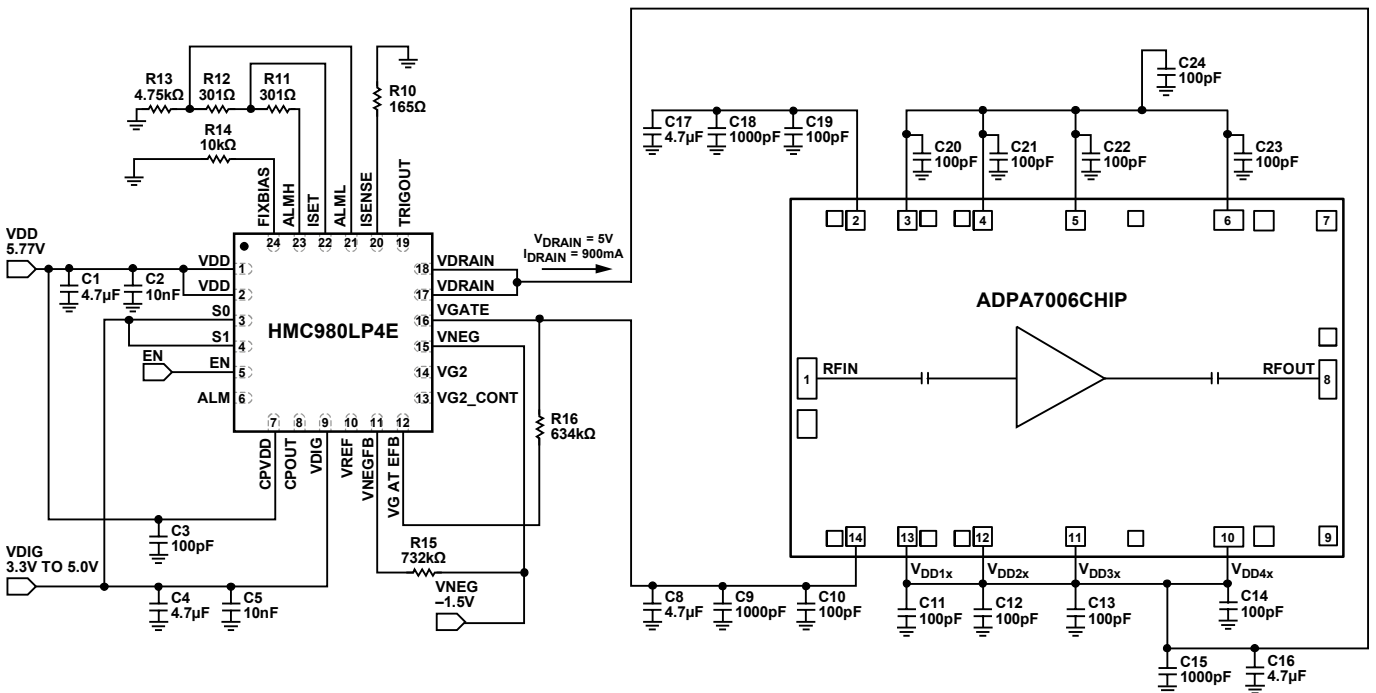


図 56. HMC980LP4E と ADPA7006CHIP を組み合わせて使用するアプリケーション回路 (外部負電圧源)

https://www.analog.com/jp/HMC980LP4EHMC980LP4Eのバイアス・シーケンス

HMC980LP4E を使用して ADPA7006CHIP を制御する場合は、HMC980LP4E の損傷を防ぐために、このセクションで説明する DC 電源シーケンスに従う必要があります。

パワーアップ・シーケンス

HMC980LP4E の電源投入シーケンスは次のとおりです。

1. VDIG = 3.3V
2. S0 = 3.3V
3. VDD = 5.77V
4. VNEG = -1.5V (内部で生成される電圧を使用する場合は不要)
5. EN = 3.3V (0V から 3.3V に遷移すると、VGATE と VDRAIN がオンになる)

パワーダウン・シーケンス

HMC980LP4E のパワーダウン・シーケンスは次のとおりです。

1. EN = 0V (3.3V から 0V に遷移すると、VDRAIN と VGATE がオフになる)
2. VNEG = 0V (内部で生成される電圧を使用する場合は不要)
3. VDD = 0V
4. S0 = 0V
5. VDIG = 0V

HMC980LP4E バイアス制御回路のセットアップが完了すると、EN パッドに 3.3V (オン) または 0V (オフ) を印加することにより、ADPA7006CHIP のバイアスのオンとオフをトグルできます。EN = 3.3V になると、VGATE は -1.5V まで低下し、VDRAIN は 5V でオンになります。VGATE の電圧は IDRAIN = 800mA になるまで上昇し、クローズド制御ループが IDRAIN を 900 mA に安定化させます。EN = 0V になると、VGATE は -1.5V に設定され、VDRAIN は 0V に設定されます。

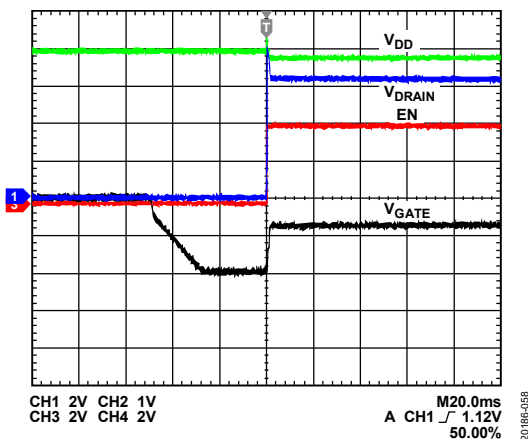


図 57. ターンオン - ADPA7006CHIP への HMC980LP4E の出力

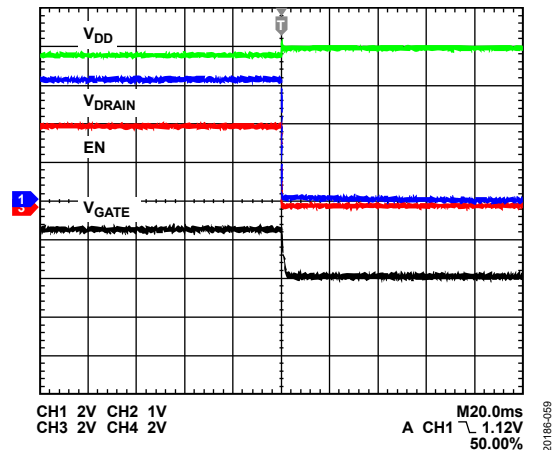


図 58. ターンオフ - ADPA7006CHIP への HMC980LP4E の出力

定ドレイン電流バイアシングと定ゲート電圧バイアシング

HMC980LP4E は、クローズドループ・フィードバックを使用して VGATE を連続調整し、DC 電源の変動、温度、および部品間のばらつきに対して一定のゲート電流バイアスを維持します。また、定ドレイン電流バイアスは、キャリブレーションの時間を短縮し、時間の経過に対して安定した性能を維持するための最適な手法です。RF パワーの印加時に電流が増える定ゲート電圧バイアスと比較すると、定ドレイン電流バイアスでは出力 P1dB が多少低下します。この出力 P1dB を図 62 に示します。デバイスが 1dB 利得圧縮点に達するため、高い入力パワーではドレイン電流が小さくなるので、この図では定ゲート電圧バイアス動作よりも RF 性能が多少低くなっています。

設定電流を I_{DD} に向けて大きくすることで、定ドレイン電流バイアスの出力 P1dB 性能を、定ゲート電圧バイアスの性能に近づけていくことができます。出力 P1dB 性能は、図 62 に示すように、定ゲート電圧バイアス条件の RF 駆動に達します。定電流動作で I_{DQ} をどこまで大きくできるかの制限は、通常はアンプのデータシートの絶対最大定格の表に記載されている熱的制限と最大消費電力の仕様によって決まります。 I_{DD} が増加し続けても、実際出力 P1dB が無制限に大きくなるわけではなく、消費電力が増加していきます。したがって、定ドレイン電流バイアシングを使用する場合は、消費電力と出力 P1dB 性能の兼ね合いを考慮に入れてください。

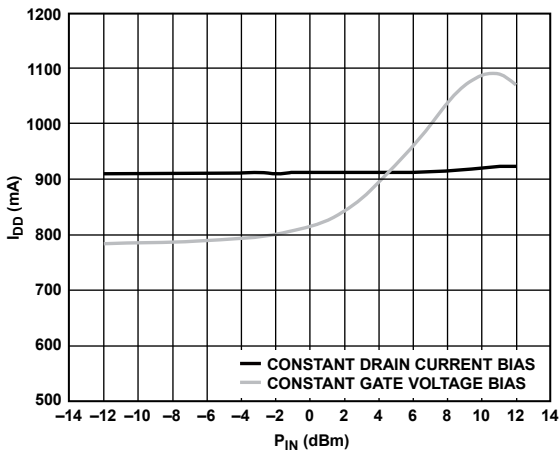


図 59. I_{DD} と入力パワー (P_{IN}) の関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、定ドレイン電流バイアスと定ゲート電圧バイアス

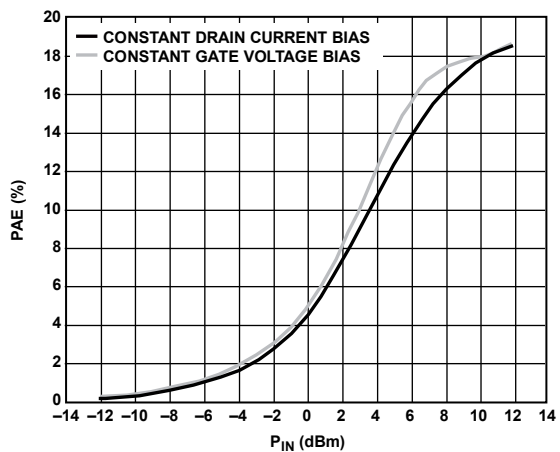


図 60. PAE と P_{IN} の関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、定ドレイン電流バイアスと定ゲート電圧バイアス

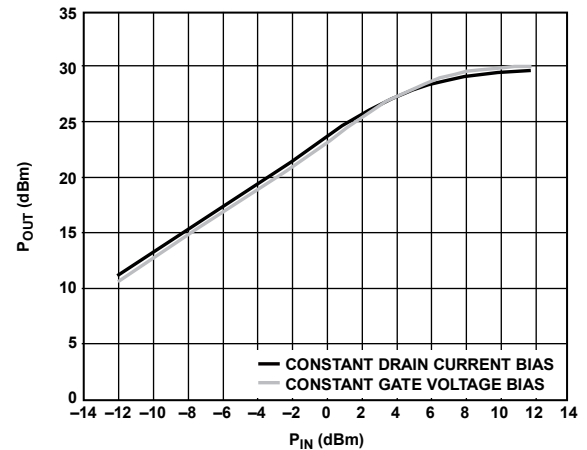


図 61. P_{OUT} と P_{IN} の関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、定ドレイン電流バイアスと定ゲート電圧バイアス

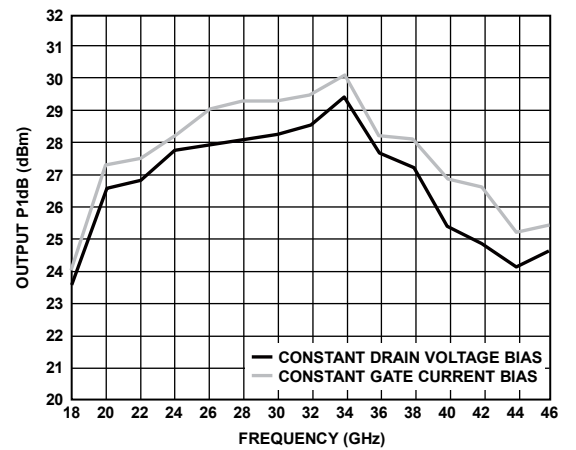


図 62. 出力 P1dB の周波数特性、 $V_{DD} = 5V$ 、定ドレイン電流バイアスと定ゲート電圧バイアス

代表的なアプリケーション回路

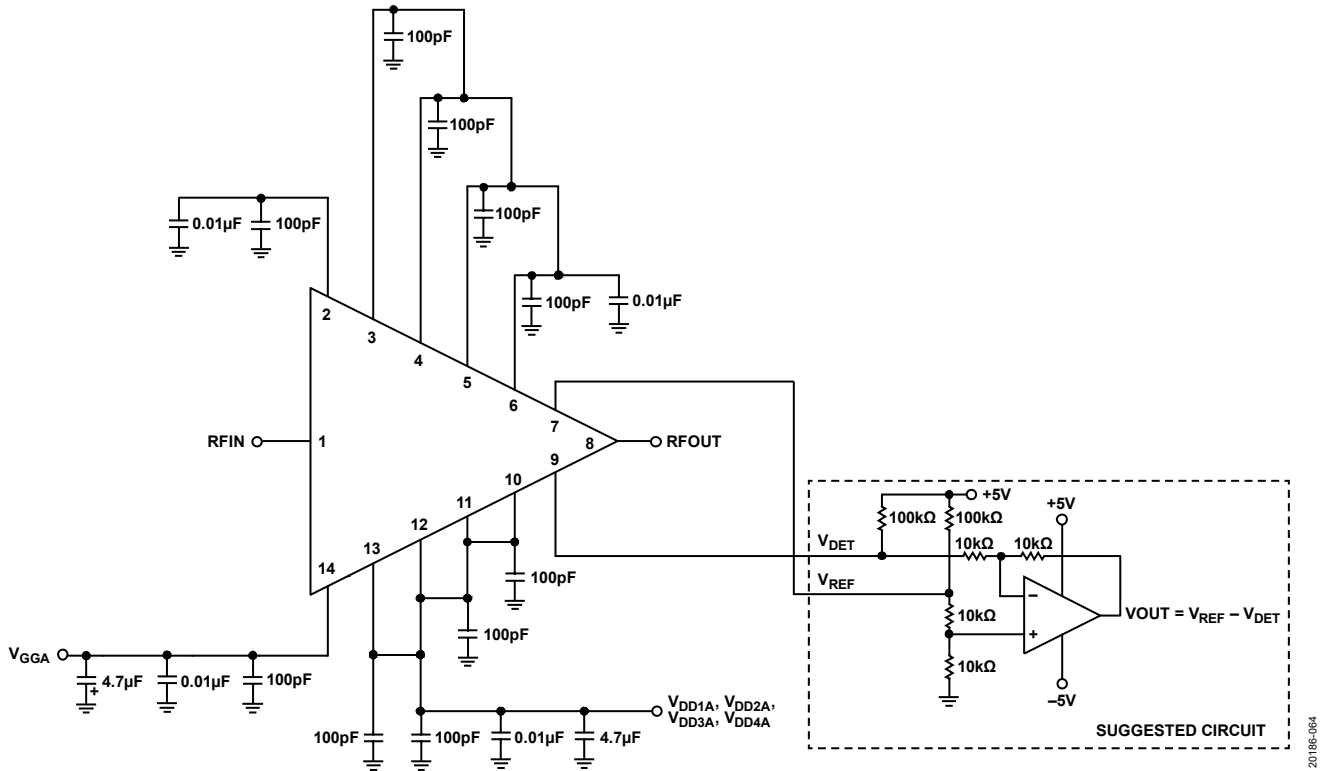


図 63. 代表的なアプリケーション回路

アセンブリ図

プライマリ・アセンブリ図

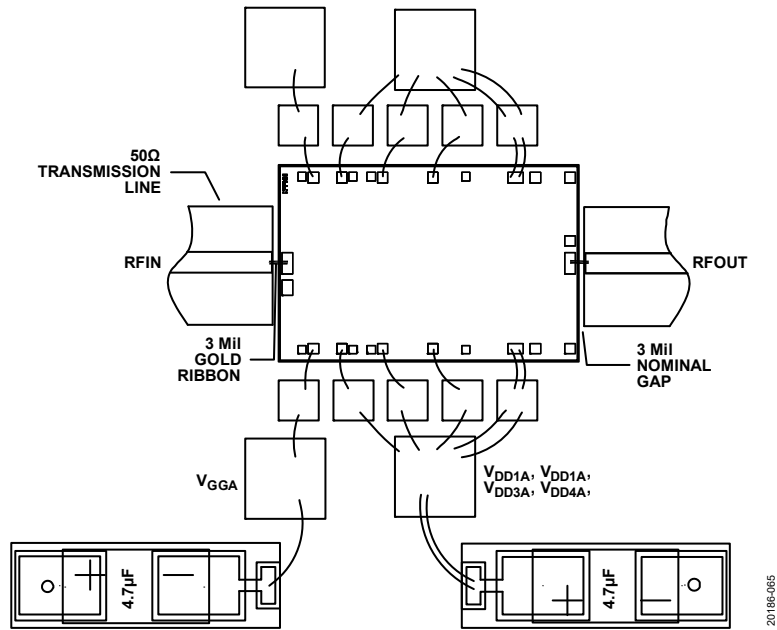


図 64. プライマリ・アセンブリ図

代替アセンブリ図

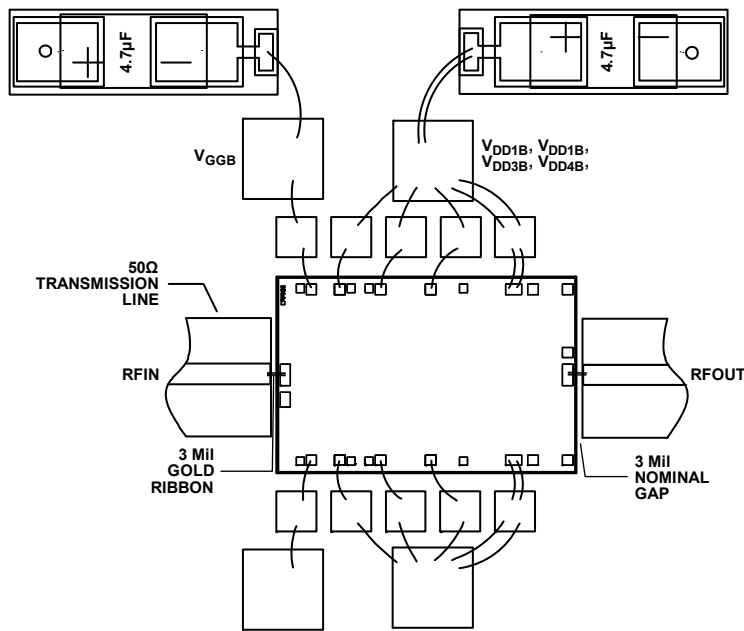
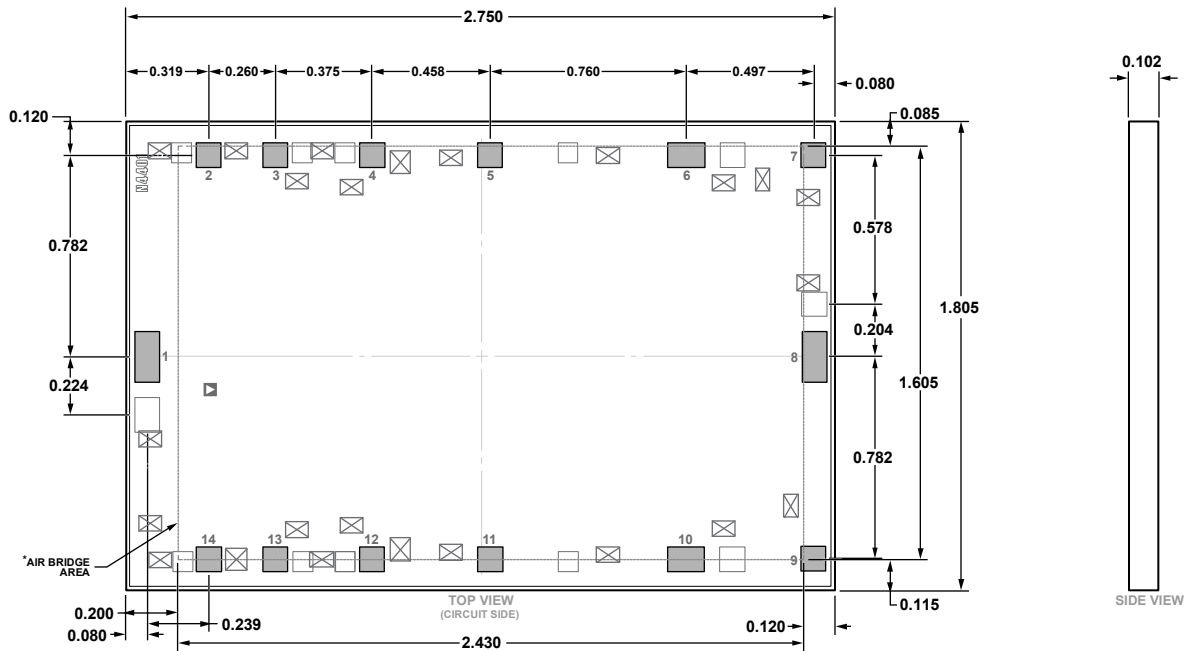


図 65. 代替アセンブリ図

外形寸法



*This die utilizes fragile air bridges. Any pickup tools used must not contact this area.

07-11-2019-B

図 66. 14 パッド・ベア・ダイ [チップ]
(C-14-7)
寸法：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADPA7006CHIP	-55°C to +85°C	14-Pad Bare Die [CHIP]	C-14-7
ADPA7006C-KIT	-55°C to +85°C	14-Pad Bare Die [CHIP]	C-14-7