



18GHz~44GHz、GaAs、pHEMT 32dBm (>1W) MMIC パワー・アンプ

データシート

ADPA7005

特長

出力 P1dB : 最大 31dBm (代表値)
P_{SAT} : 最大 32dBm (代表値)
ゲイン : 最大 15.5dB (代表値)
出力 IP3 : 最大 42.5dBm (代表値)
電源電圧 : 5V/1400mA
50Ω 整合入出力
18 端子、7mm × 7mm LCC_HS パッケージ
パワー・ディテクタ内蔵

アプリケーション

防衛および宇宙
試験用計測器
通信

機能ブロック図

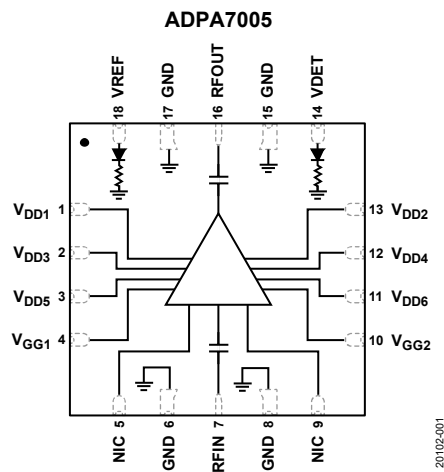


図 1.

概要

ADPA7005 は、ガリウム砒素 (GaAs) の擬似格子整合型高電子移動度トランジスタ (pHEMT) を使用した、飽和出力が 32dBm (>1W) のモノリシック・マイクロ波集積回路 (MMIC) パワー・アンプです。温度補償されたパワー・ディテクタを内蔵しており、18GHz~44GHz で動作します。5V 電源を使用し、32GHz の周波数で、15.5dB の小信号ゲインと約 32dBm の飽和出力電力を実現します (図 26 参照)。ADPA7005 の IP3 は 40dBm で、30dBm を超える効率的な飽和出力電力が求められる、電子対抗手段や計測アプリケーションなどのリニア・アプリケーション

に最適です。上位のアセンブリに組み込みやすくするため、RF 入出力は内部でマッチングされ、DC ブロックされています。ADPA7005 は、熱抵抗が小さいヒート・シンク付きの 7mm × 7mm 18 端子セラミック・リードレス・チップ・キャリア (LCC_HS) を採用しており、表面実装製造技術に対応しています。

目次

特長	1	代表的な性能特性	8
アプリケーション	1	定 I_{DD} での動作	15
機能ブロック図	1	動作原理	16
概要	1	アプリケーション情報	17
改訂履歴	2	HMC980LP4E による ADPA7005 のバイアシング	18
仕様	3	アプリケーション回路のセットアップ	18
周波数範囲：18GHz～20GHz	3	ADPA7005 の V_{GGx} 絶対最大定格条件に合わせた VGATE と	
周波数範囲：20GHz～24GHz	3	VNEG の制限	18
周波数範囲：24GHz～34GHz	4	HMC980LP4E のバイアス・シーケンス	21
周波数範囲：34GHz～44GHz	4	定ドレイン電流バイアシングと定ゲート電圧 バイアシング	21
絶対最大定格	5	外形寸法	23
熱抵抗	5	オーダー・ガイド	23
ESD に関する注意	5		
ピン配置およびピン機能の説明	6		
インターフェース回路図	7		

改訂履歴

11/2019—Revision 0: Initial Version

仕様

周波数範囲：18GHz～20GHz

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、ドレイン・バイアス電圧 (V_{DD}) = 5V、静止ドレイン電流 (I_{DQ}) = 1400mA（通常動作時）。50Ω 整合入出力。

表 1.

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
FREQUENCY RANGE		18		20	GHz	
GAIN			14.5		dB	
Gain Flatness			±1		dB	
Gain Variation over Temperature			0.021		dB/°C	
NOISE FIGURE			11		dB	
RETURN LOSS						
Input			18		dB	
Output			12.5		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB		29		dBm	トーンあたり出力電力 (P_{OUT}) = 16dBm で測定を実施
Saturated Output Power	P_{SAT}		30		dBm	
Output Third-Order Intercept	IP3		37.5		dBm	
POWER ADDED EFFICIENCY	PAE		11		%	P_{SAT} で測定
SUPPLY						V_{GGx} を -1.5V～0V の範囲で調整して必要な I_{DQ} を実現、 $V_{GGx} = -0.685\text{V}$ （代表値）で $I_{DQ} = 1400\text{mA}$
Quiescent Drain Current	I_{DQ}		1400		mA	
Drain Bias Voltage	V_{DD}	4	5		V	

周波数範囲：20GHz～24GHz

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 1400\text{mA}$ （通常動作時）。50Ω 整合入出力。

表 2.

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
FREQUENCY RANGE		20		24	GHz	
GAIN		13	15.5		dB	
Gain Flatness			±0.5		dB	
Gain Variation over Temperature			0.018		dB/°C	
NOISE FIGURE			8		dB	
RETURN LOSS						
Input			12		dB	
Output			12.5		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	27.5	30		dBm	トーンあたり $P_{OUT} = 16\text{dBm}$ で測定を実施
Saturated Output Power	P_{SAT}		30.5		dBm	
Output Third-Order Intercept	IP3		39		dBm	
POWER ADDED EFFICIENCY	PAE		13		%	P_{SAT} で測定
SUPPLY						V_{GGx} を -1.5V～0V の範囲で調整して必要な I_{DQ} を実現、 $V_{GGx} = -0.685\text{V}$ （代表値）で $I_{DQ} = 1400\text{mA}$
Current	I_{DQ}		1400		mA	
Voltage	V_{DD}	4	5		V	

周波数範囲 : 24GHz~34GHz

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 1400\text{mA}$ （通常動作時）。 50Ω 整合入出力。

表 3.

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
FREQUENCY RANGE		24		34	GHz	
GAIN		13.5	15.5		dB	
Gain Flatness			± 0.5		dB	
Gain Variation over Temperature			0.015		dB/ $^\circ\text{C}$	
NOISE FIGURE		7			dB	
RETURN LOSS						
Input			10		dB	
Output			12		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	28.5	31		dBm	
Saturated Output Power	P_{SAT}		32		dBm	
Output Third-Order Intercept	IP3		40		dBm	トーンあたり $P_{OUT} = 16\text{dBm}$ で測定を実施
POWER ADDED EFFICIENCY	PAE		13		%	P_{SAT} で測定
SUPPLY						V_{GGx} を $-1.5\text{V} \sim 0\text{V}$ の範囲で調整して必要な I_{DQ} に実現、 $V_{GGx} = -0.685\text{V}$ （代表値）で $I_{DQ} = 1400\text{mA}$
Current	I_{DQ}		1400		mA	
Voltage	V_{DD}	4	5		V	

周波数範囲 : 34GHz~44GHz

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 1400\text{mA}$ （通常動作時）。 50Ω 整合入出力。

表 4.

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
FREQUENCY RANGE		34		44	GHz	
GAIN		12	14.5		dB	
Gain Flatness			± 1		dB	
Gain Variation over Temperature			0.021		dB/ $^\circ\text{C}$	
NOISE FIGURE		6			dB	
RETURN LOSS						
Input			10		dB	
Output			14		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	28.5	30.5		dBm	
Saturated Output Power	P_{SAT}		31		dBm	
Output Third-Order Intercept	IP3		42.5		dBm	トーンあたり $P_{OUT} = 16\text{dBm}$ で測定を実施
POWER ADDED EFFICIENCY	PAE		8		%	P_{SAT} で測定
SUPPLY						V_{GGx} を $-1.5\text{V} \sim 0\text{V}$ の範囲で調整して必要な I_{DQ} に設定、 $V_{GGx} = -0.685\text{V}$ （代表値）で $I_{DQ} = 1400\text{mA}$
Current	I_{DQ}		1400		mA	
Voltage	V_{DD}	4	5		V	

絶対最大定格

表 5.

Parameter	Rating
Drain Bias Voltage (V_{DDx})	6.0 V
Gate Bias Voltage (V_{GGx})	-1.6 to 0 V
Radio Frequency Input Power (RFIN)	27 dBm
Continuous Power Dissipation (P_{DISS}), T = 85°C (Derate 137 mW/°C Above 85°C)	12.33 W
Storage Temperature Range	-55°C to +150°C
Operating Temperature Range	-40°C to +85°C
Junction Temperature to Maintain 1,000,000 Hour Mean Time to Failure (MTTF)	175°C
Nominal Junction Temperature (T = 85°C, $V_{DD} = 5$ V, $I_{DQ} = 1400$ mA)	136.1°C
Peak Reflow Temperature (Moisture Sensitivity Level 3 (MSL3)) ¹	260°C
Moisture Sensitivity Level	MSL3
Electrostatic Discharge (ESD) Sensitivity Human Body Model (HBM)	Class 1B (passed 500 V)

¹ 詳細については、オーダー・ガイドを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、システムの設計と動作環境に直接関連します。プリント回路基板 (PCB) の熱設計には細心の注意を払う必要があります。

θ_{JC} は、チャンネルからケースへ (チャンネルからダイ・アタッチ・エポキシ使用のダイ底面まで) の熱抵抗です。

表 6. 熱抵抗

Package Type	θ_{JC}	Unit
EH-18-1 ¹	7.3	°C/W

¹ θ_{JC} は以下の条件で行うシミュレーションにより決定：伝熱は、チャンネルからグラウンド・パッドを通して PCB に至る熱伝導のみによるものとします。また、グラウンド・パッドの動作温度は 85°C で一定に保たれるものとします。

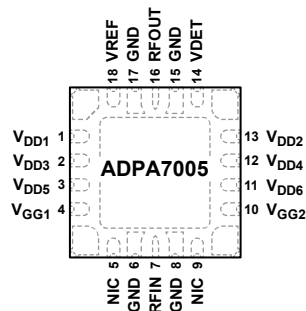
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. NIC = NO INTERNAL CONNECTION. NOTE THAT DATA SHOWN HEREIN WAS MEASURED WITH THESE PINS EXTERNALLY CONNECTED TO RF AND DC GROUND.
 2. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO RF AND DC GROUND.
- 20102-002

図 2. ピン配置

表 7. ピン機能の説明

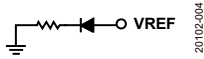
ピン番号	記号	説明
1, 2, 3, 11, 12, 13	V _{DD1} , V _{DD3} , V _{DD5} , V _{DD6} , V _{DD4} , V _{DD2}	アンプのドレイン・バイアス。
4, 10	V _{GG1} , V _{GG2}	アンプのゲート制御。ESD 保護ダイオードが組み込まれていて、-1.5V 未満でオンになります。
5, 9	NIC	内部では未接続。ここに示すデータは、これらのピンを外部で RF/DC グラウンドに接続した状態で測定しています。
6, 8, 15, 17	GND	グラウンド・ピン。これらのピンと露出パッドは RF/DC グラウンドに接続します。
7	RFIN	RF 信号入力。このピンは AC カップリングされ、内部で 50Ω に整合されています。
14	VDET	RF 出力パワーの測定に使用するディテクタ・ダイオード。このピンを介して検出を行うには、外付けの直列抵抗を通じて DC バイアス電圧をかける必要があります。VREF と組み合わせて使用した場合の電圧差 (VREF - VDET) は、RF 出力パワーに比例する温度補償済み DC 電圧です。
16	RFOUT	RF 信号出力。このピンは AC カップリングされ、内部で 50Ω に整合されています。
18	VREF	VDET による RF 出力パワー測定値の温度補償に使用するリファレンス・ダイオード。このピンを介して検出を行うには、外付けの直列抵抗を通じて DC バイアス電圧をかける必要があります。VDET と組み合わせて使用することにより、この電圧で VDET RF 出力パワー測定値の温度補償を行うことができます。
	EPAD	露出パッド。露出パッドは RF/DC グラウンドに接続する必要があります。

インターフェース回路図



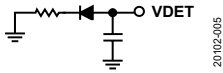
20102-003

図 3. GND インターフェース回路図



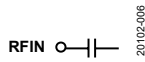
20102-004

図 4. VREF インターフェース回路図



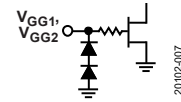
20102-005

図 5. VDET インターフェース回路図



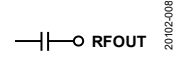
20102-006

図 6. RFIN インターフェース回路図



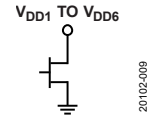
20102-007

図 7. V_{GG1} 、 V_{GG2} インターフェース回路図



20102-008

図 8. RFOUT インターフェース回路図



20102-009

図 9. V_{DD1} ~ V_{DD6} インターフェース回路図

代表的な性能特性

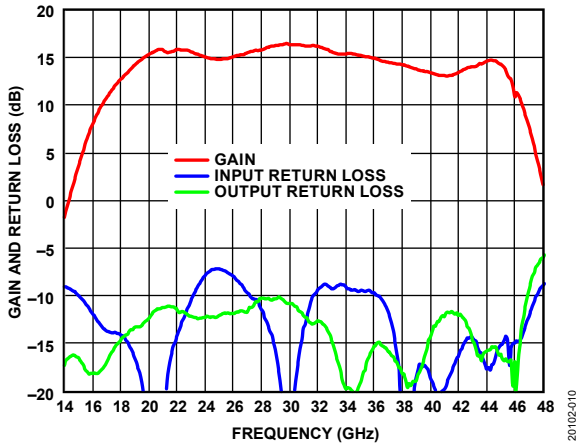


図 10. ゲインとリターン損失の周波数特性、
 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$

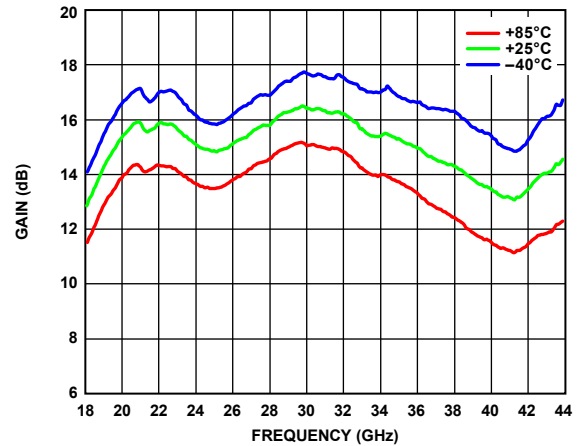


図 13. 様々な温度におけるゲインの周波数特性、
 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$

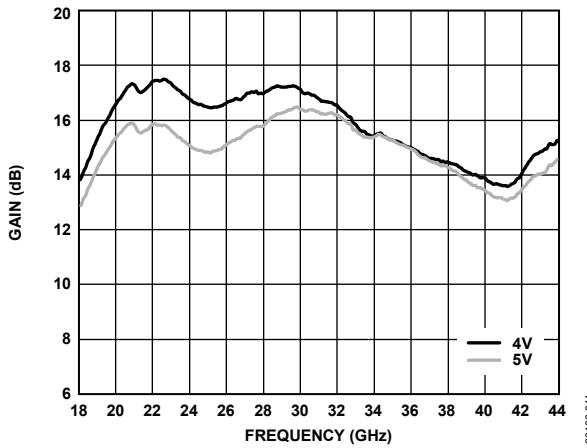


図 11. 異なる V_{DD} におけるゲインの周波数特性、 $I_{DQ} = 1400mA$

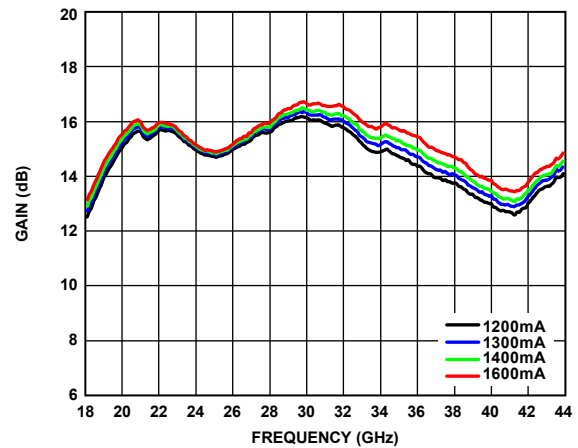


図 14. 様々な I_{DQ} におけるゲインの周波数特性、 $V_{DD} = 5V$

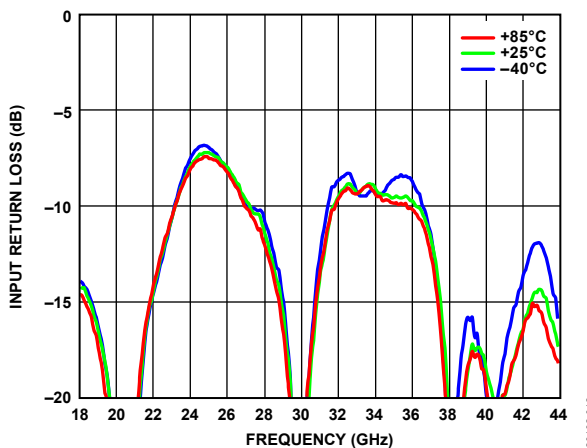


図 12. 様々な温度における入力リターン損失の周波数特性、
 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$

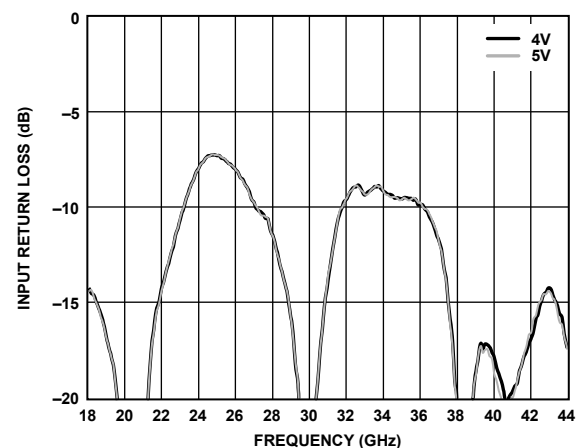


図 15. 様々な V_{DD} における入力リターン損失の周波数特性、
 $I_{DQ} = 1400mA$

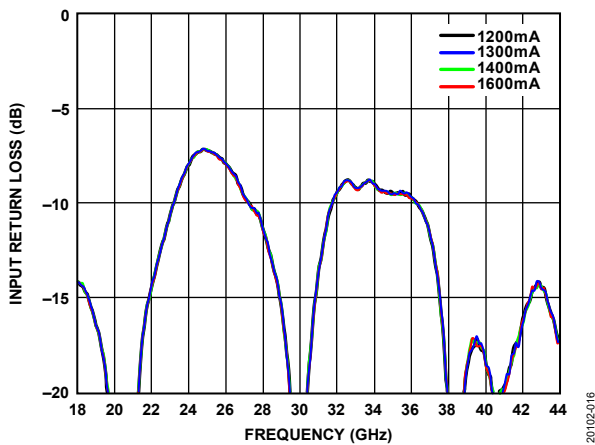


図 16. 様々な I_{DQ} における入力リターン損失の周波数特性、 $V_{DD} = 5V$

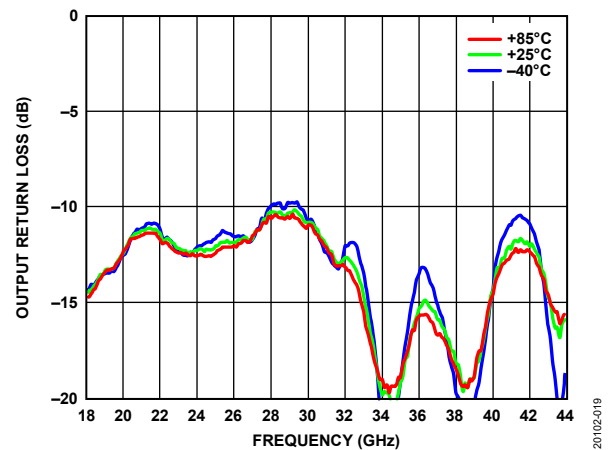


図 19. 様々な温度における出力リターン損失の周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$

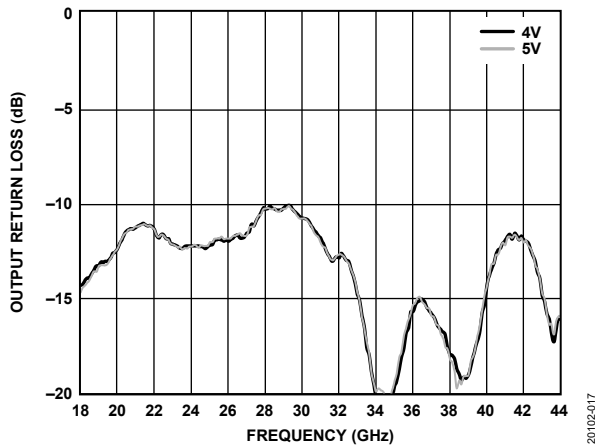


図 17. 様々な V_{DD} における出力リターン損失の周波数特性、 $I_{DQ} = 1400mA$

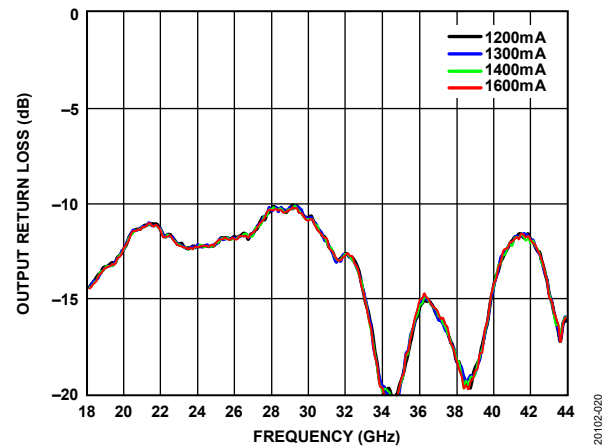


図 20. 様々な I_{DQ} における出力リターン損失の周波数特性、 $V_{DD} = 5V$

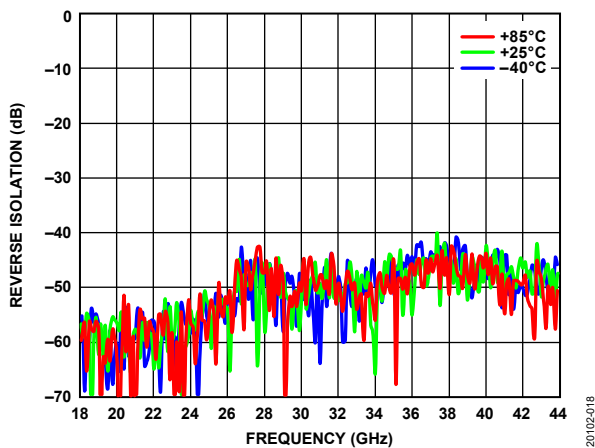


図 18. 様々な温度におけるリバース・アイソレーションの周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$

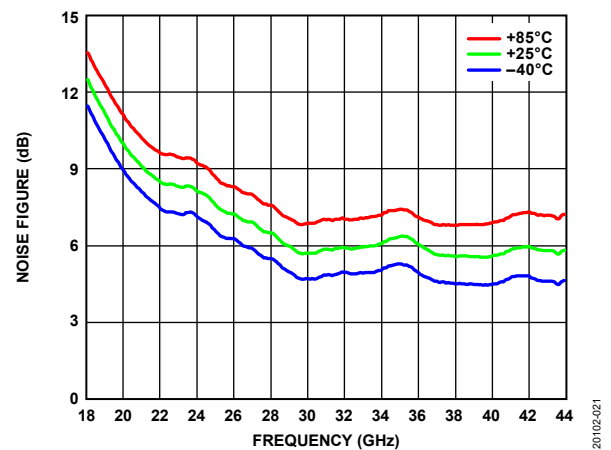


図 21. 様々な温度におけるノイズ指数の周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$

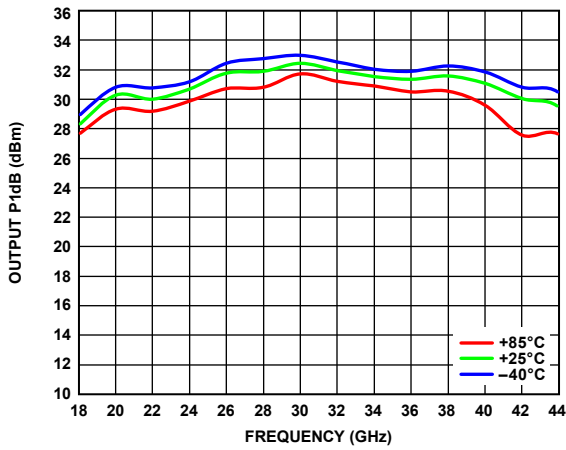


図 22. 様々な温度における出力 P1dB の周波数特性、
V_{DD} = 5V、I_{DQ} = 1400mA

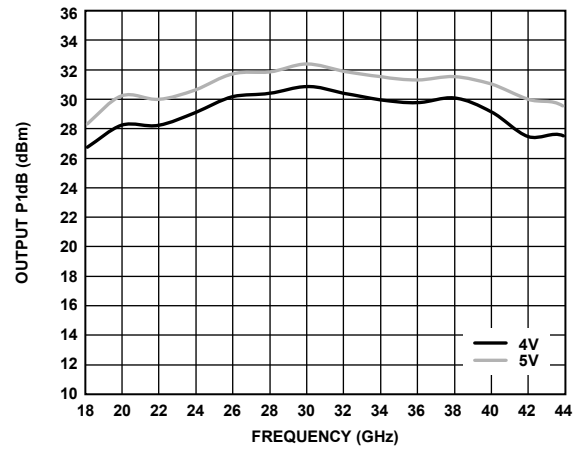


図 25. 様々な V_{DD} における出力 P1dB の周波数特性、
I_{DQ} = 1400mA

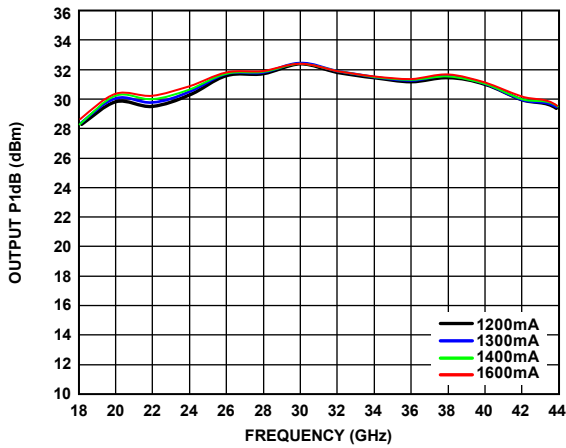


図 23. 様々な I_{DQ} における出力 P1dB の周波数特性、V_{DD} = 5V

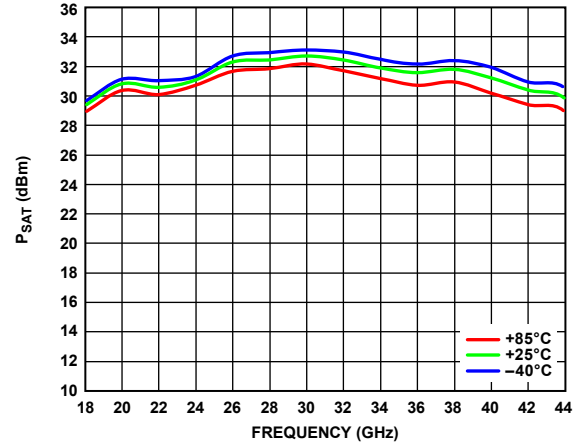


図 26. 様々な温度における P_{SAT} の周波数特性、
V_{DD} = 5V、I_{DQ} = 1400mA

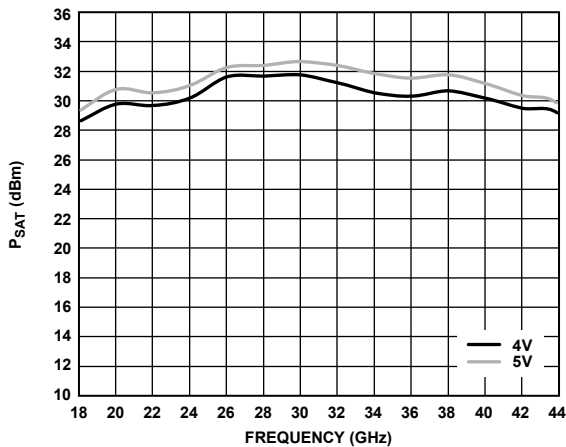


図 24. 様々な V_{DD} における P_{SAT} の周波数特性、I_{DQ} = 1400mA

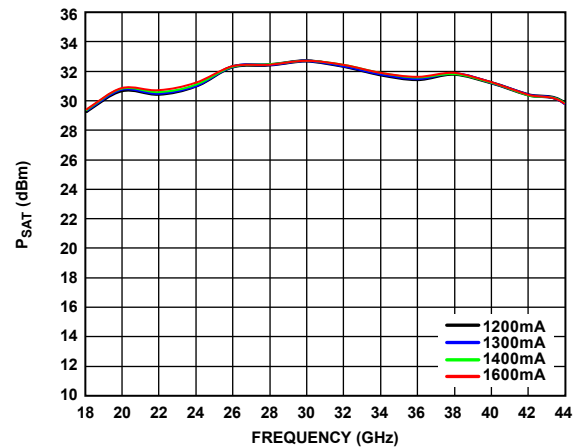


図 27. 様々な I_{DQ} における P_{SAT} の周波数特性、V_{DD} = 5V

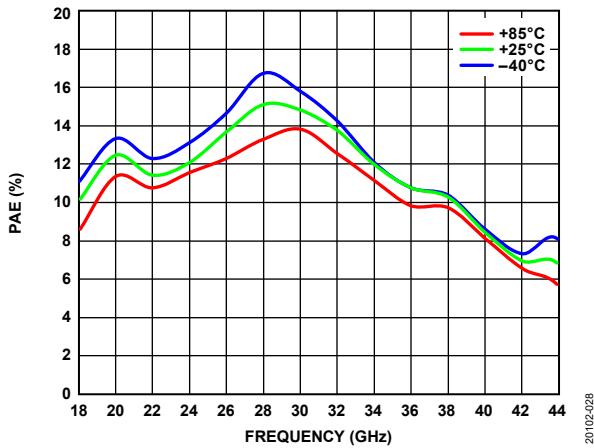


図 28. 様々な温度における電力付加効率 (PAE) の周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$ 、PAE は P_{SAT} で測定

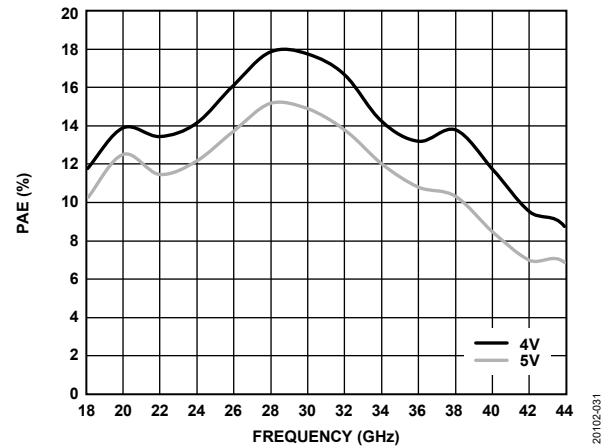


図 31. 様々な V_{DD} における PAE の周波数特性、 $I_{DQ} = 1400mA$ 、PAE は P_{SAT} で測定

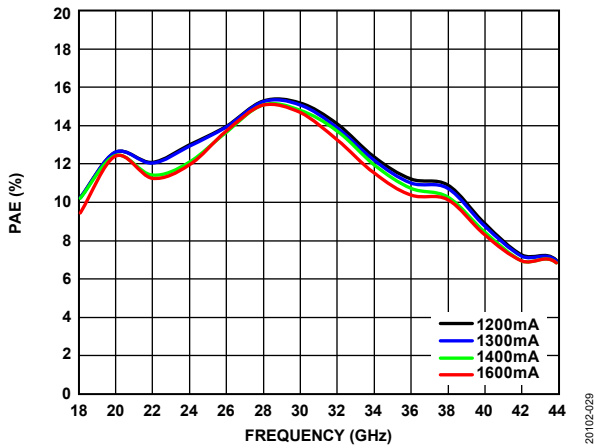


図 29. 様々な I_{DQ} における PAE の周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$ 、PAE は P_{SAT} で測定

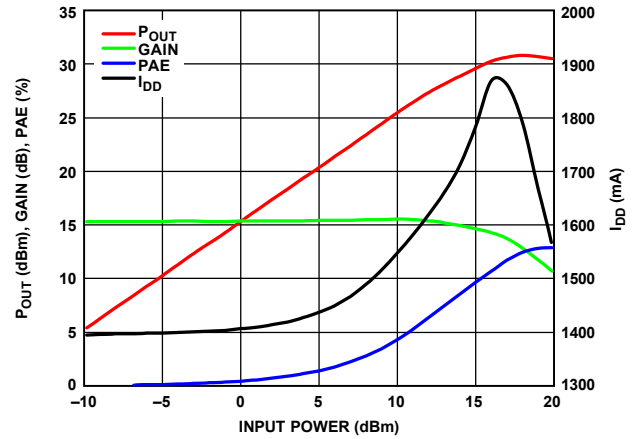


図 32. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力パワーの関係、20GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$

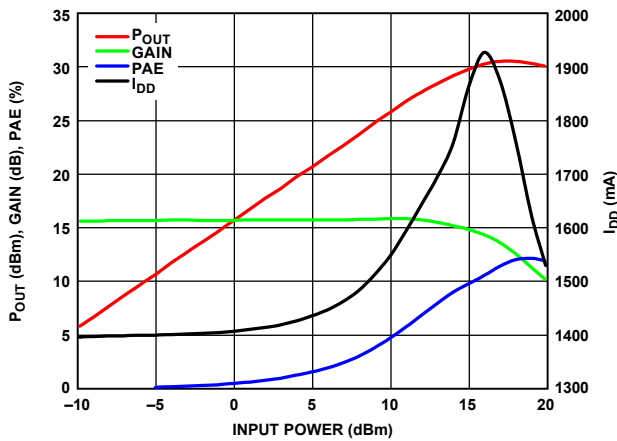


図 30. P_{OUT} 、ゲイン、PAE、RF 印加時のドレイン電流 (I_{DD}) と入力パワーの関係、22GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$

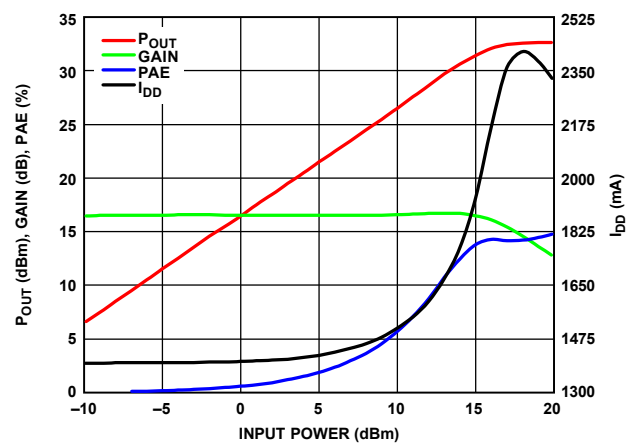


図 33. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力パワーの関係、30GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$

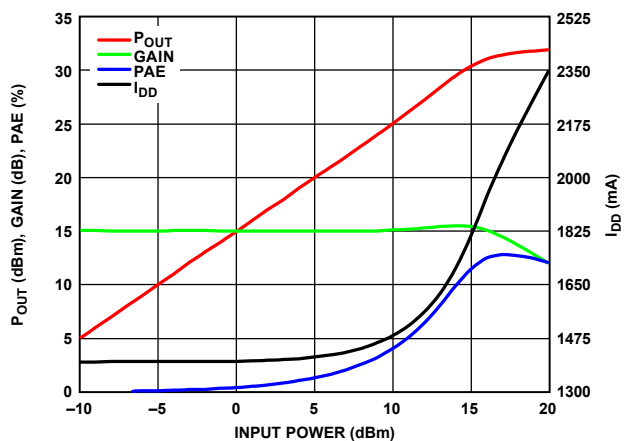


図 34. P_{OUT}、ゲイン、PAE、I_{DD} と入力パワーの関係、
34GHz、V_{DD} = 5V、I_{DQ} = 1400mA

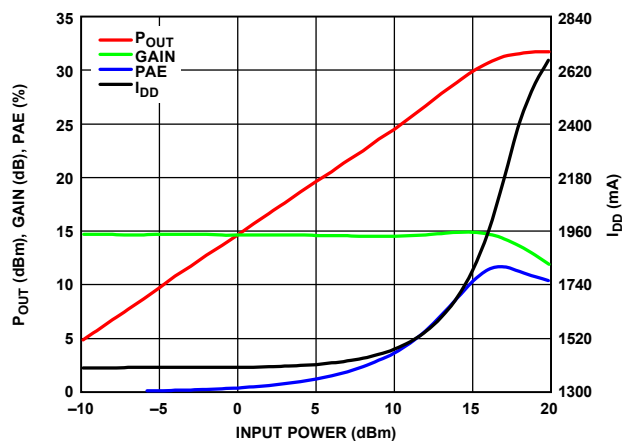


図 37. P_{OUT}、ゲイン、PAE、I_{DD} と入力パワーの関係、
38GHz、V_{DD} = 5V、I_{DQ} = 1400mA

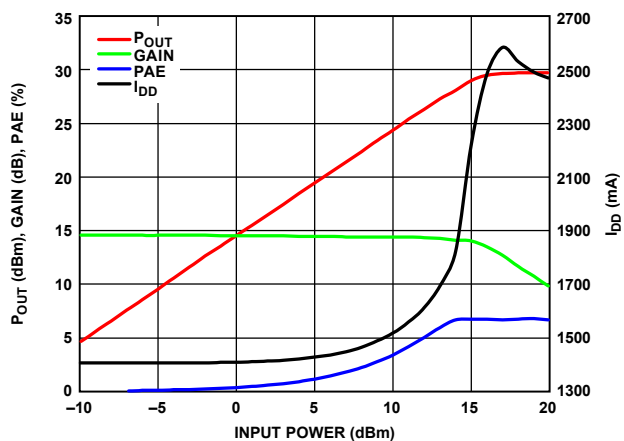


図 35. P_{OUT}、ゲイン、PAE、I_{DD} と入力パワーの関係、
44GHz、V_{DD} = 5V、I_{DQ} = 1400mA

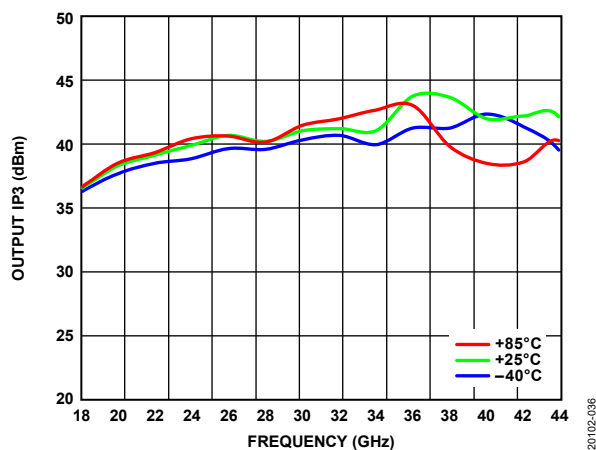


図 38. 様々な温度における出力 IP₃ の周波数特性、
トーンあたり P_{OUT} = 16dBm、V_{DD} = 5V、I_{DQ} = 1400mA

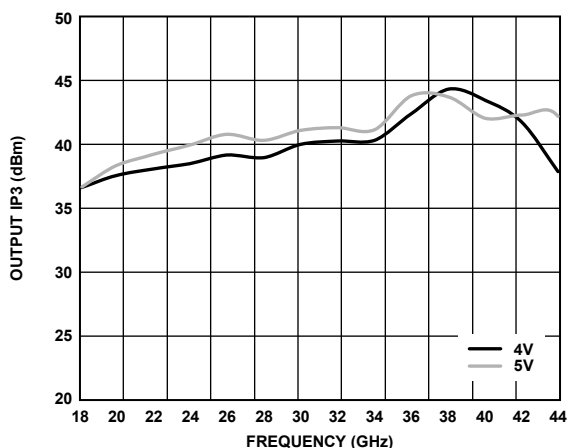


図 36. 異なる V_{DD} における出力 IP₃ の周波数特性、
トーンあたり P_{OUT} = 16dBm、V_{DD} = 5V、I_{DQ} = 1400mA

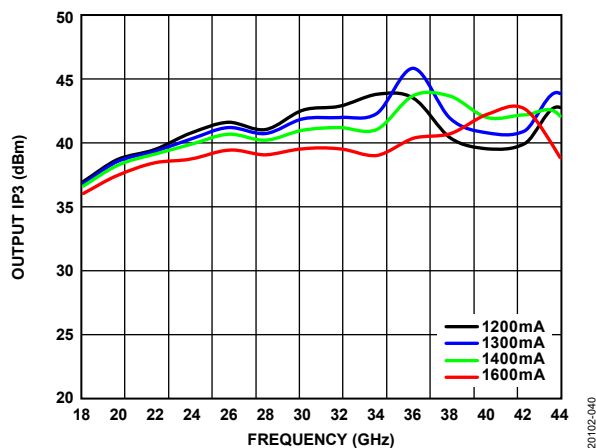


図 39. 様々な I_{DQ} における出力 IP₃ の周波数特性、
トーンあたり P_{OUT} = 16dBm、V_{DD} = 5V

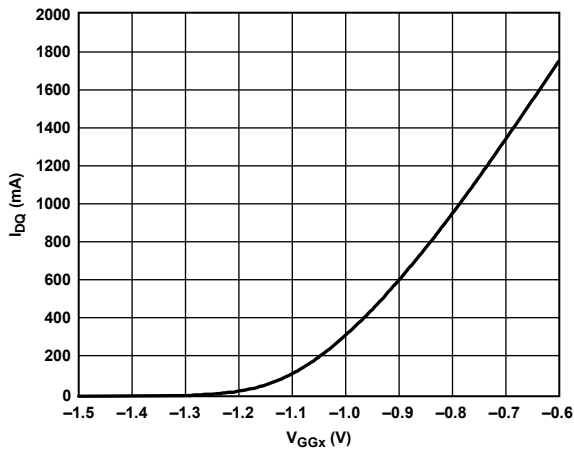


図 40. I_{DQ} と V_{GGx} の関係

20102-041

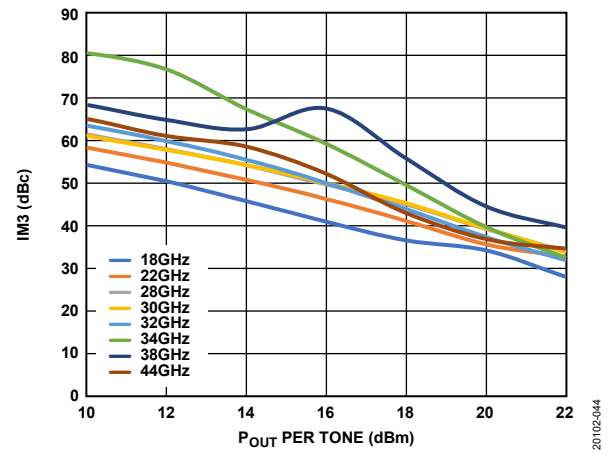


図 43. 3 次相互変調歪み (IM3) と トーンあたり P_{OUT} の関係、
 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$

20102-044

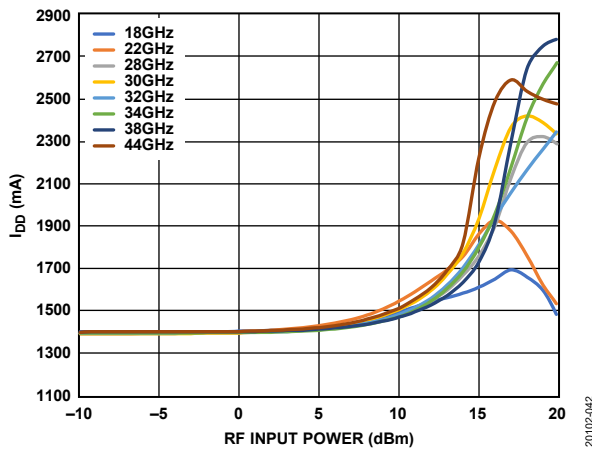


図 41. 様々な周波数における I_{DD} と RF 入力パワーの関係、
 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$

20102-042

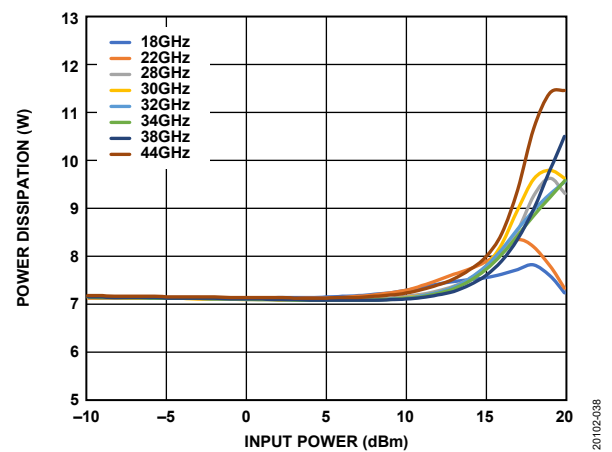


図 44. $T = 85^{\circ}C$ における消費電力と入力パワーの関係、
 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$

20102-038

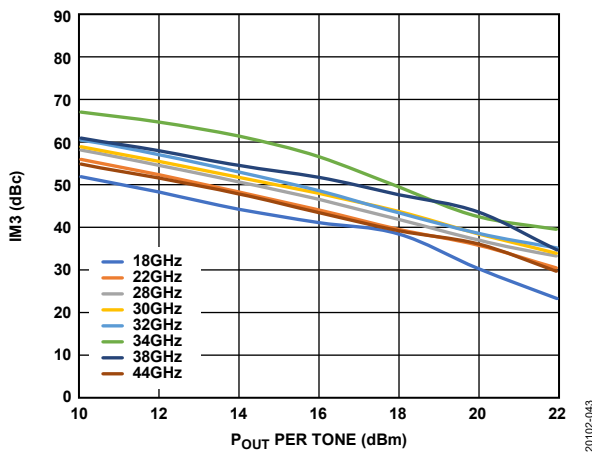


図 42. 3 次相互変調歪み (IM3) と トーンあたり P_{OUT} の関係、
 $V_{DD} = 4V$ 、 $I_{DQ} = 1400mA$

20102-043

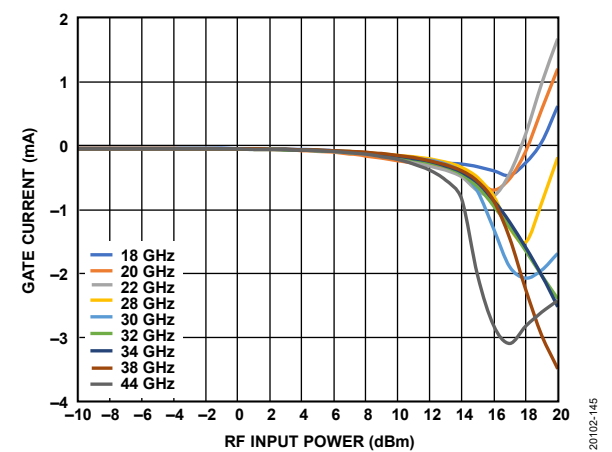


図 45. 様々な周波数におけるゲート電流 (I_{GG}) と RF 入力パワーの関係、
 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$

20102-145

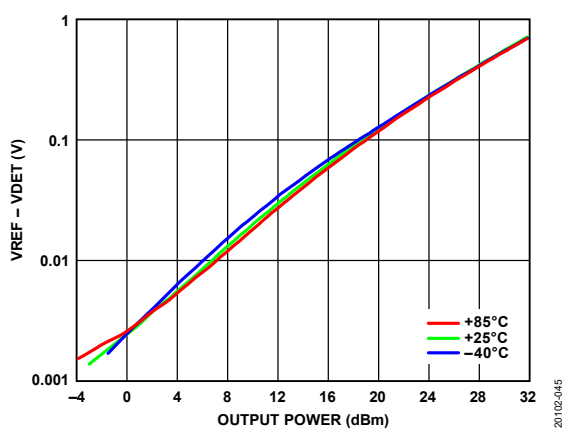


図 46. 様々な温度における VREF - VDET と出力パワーの関係、30GHz

定 I_{DD} での動作

HMC980LP4E アクティブ・バイアス・コントローラによるバイアス（図 53 参照）、特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DD} = 1800\text{mA}$ （通常動作時）。

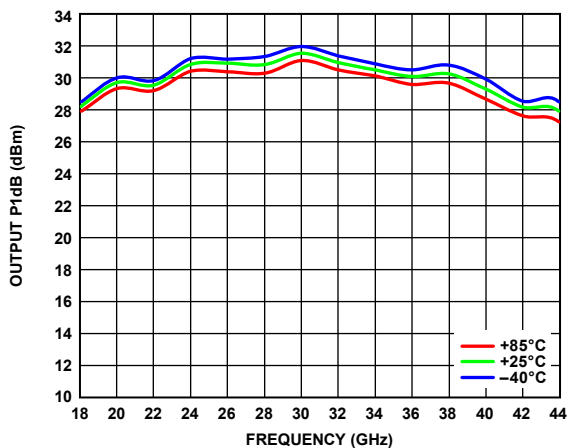


図 47. 様々な温度における出力 P1dB の周波数特性、 $V_{DD} = 5\text{V}$ 、 I_{DD} 一定でデータを測定

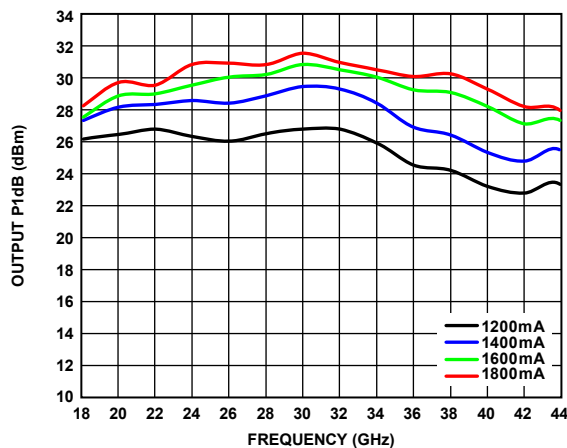


図 49. 様々な I_{DQ} における出力 P1dB の周波数特性、 $V_{DD} = 5\text{V}$ 、 I_{DD} 一定でデータを測定

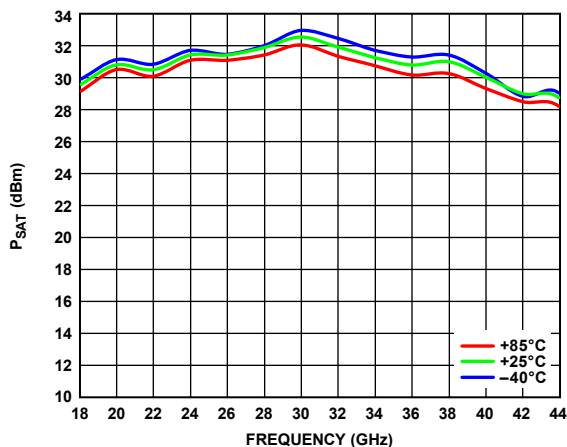


図 48. 様々な温度における P_{SAT} の周波数特性、 $V_{DD} = 5\text{V}$ 、 I_{DD} 一定でデータを測定

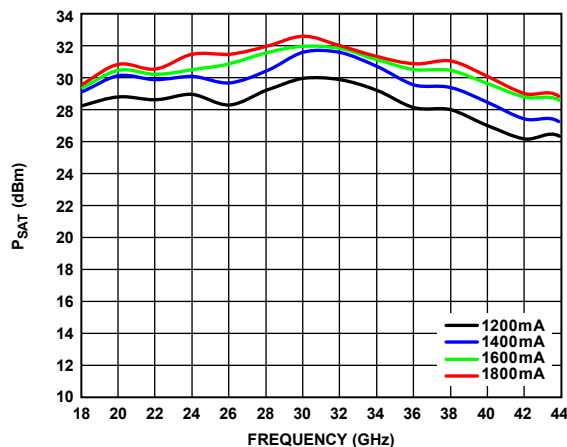


図 50. 様々な I_{DQ} における P_{SAT} の周波数特性、 $V_{DD} = 5\text{V}$ 、 I_{DD} 一定でデータを測定

動作原理

ADPA7005 パワー・アンプのアーキテクチャの概要を図 51 に示します。ADPA7005 はカスケード接続された 3 段構成のアンプで、結合ゲインは 15.5dB、 P_{SAT} 値は 32dBm です。

ドレイン電流は、 V_{GG1} ピンと V_{GG2} ピンの電圧によって制御されます。これらのピンは、互いに接続して $-1.5V \sim 0V$ の負電圧で駆動する必要があります（1400mA の静止ドレイン電流バイアスに対するゲート・バイアス電圧の代表値は $-0.685V$ ）。バイアス・ピンと専用ゲイン段の接続を示す簡略図を図 51 に示します。

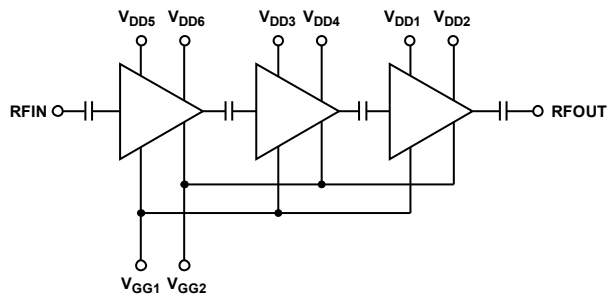


図 51. ADPA7005 のアーキテクチャの概要

RF 出力信号の一部は、RF 出力パワー検出用のダイオードに方向性結合（カップリング）されます。このダイオードに DC バイアスを加えると RF パワーが整流され、VDET の DC 電圧として RF パワーを測定に使用できるようになります。対称的に配置される同一の回路が（カップリングされる RF パワーを差し引いて）VREF を介して利用可能です。RF 出力に比例する温度補償信号は、電圧差 $VREF - VDET$ から得られます

ADPA7005 から最大限の性能を引き出し、デバイスの損傷を防ぐために、アプリケーション情報のセクションに示す推奨バイアス・シーケンスに従ってください。

アプリケーション情報

ADPA7005 を動作させるための基本的な接続方法を図 52 に示します。このデバイスのすべての測定値は、図 52 に示す代表的アプリケーション回路を使って測定されています。

すべての V_{GGx} ピンと V_{DDx} ピンには容量性バイパスが必要です。 V_{GG1} と V_{GG2} はカスケード接続されたアンプへのゲート・バイアス・ピンで、 $V_{DD1} \sim V_{DD6}$ はドレイン・バイアス・ピンです。

図 52 に示す電源およびゲート電圧のデカップリング・コンデンサは、デバイスの特性を最適なものにするために使用します。コンデンサの数は一定の範囲で減らすことができますが、その範囲はそれぞれのシステムによって異なります。最初は、デバイスから最も遠い位置にある最大のコンデンサから取り除くか、組み合わせてみることを推奨します。パワーアップ時の推奨バイアス・シーケンスは以下のとおりです。

1. 電源グラウンドを回路グラウンド (GND) に接続します。
2. ゲート・バイアス電圧 V_{GG1} と V_{GG2} を $-1.5V$ に設定します。
3. すべてのドレイン・バイアス電圧 (V_{DDx}) を $5V$ に設定します。
4. 静止電源電流状態になるまでゲート・バイアス電圧を上げて、 $I_{DQ} = 1400mA$ に設定します。
5. RF 信号を印加します。

パワーダウン時の推奨バイアス・シーケンスは以下のとおりです。

1. RF 信号をオフにします。
2. ゲート・バイアス電圧 V_{GG1} と V_{GG2} を $-1.5V$ まで下げて、 $I_{DQ} = 0mA$ (およその値) にします。
3. すべてのドレイン・バイアス電圧を $0V$ に下げます。
4. ゲート・バイアス電圧 V_{GGx} を $0V$ まで上げます。

ゲート電圧固定時に全体的な性能を最適化するには、 $V_{DD} = 5V$ 、 $I_{DQ} = 1400mA$ のバイアス条件を推奨します (ゲート電圧の値を固定すると、図 41 に示すように、RF 入力パワーレベルの増加に伴ってドレイン電流 I_{DD} も増加します)。特に指定のない限り、ここに示すデータは推奨バイアス条件を使って得たものです。ADPA7005 を異なるバイアス条件で使用すると、性能が変化します。ADPA7005 にバイアスをかけて静止ドレイン電流を大きくすると、ゲインと P1dB は大きくなりますが、消費電力が増大します (表 8 参照)。

表 8. パワー選択^{1, 2}

I_{DQ} (mA)	Gain (dB)	Output P1dB (dBm)	Output IP3 (dBm)	P_{DISS} (W)	V_{GGx} (V)
1200	15.80	31.89	42.90	6	-0.73
1400	16.20	31.93	41.30	7	-0.68
1600	16.50	31.95	39.55	8	-0.63

¹ データは次のバイアス条件 (公称値) で測定しています: $V_{DD} = 5V$ 、 $T_A = 25^\circ C$ 、周波数 = 32GHz。

² V_{GG1} と V_{GG2} を $-1.5V \sim 0V$ の範囲で調整することにより、目的の静止ドレイン電流 I_{DQ} が得られます。

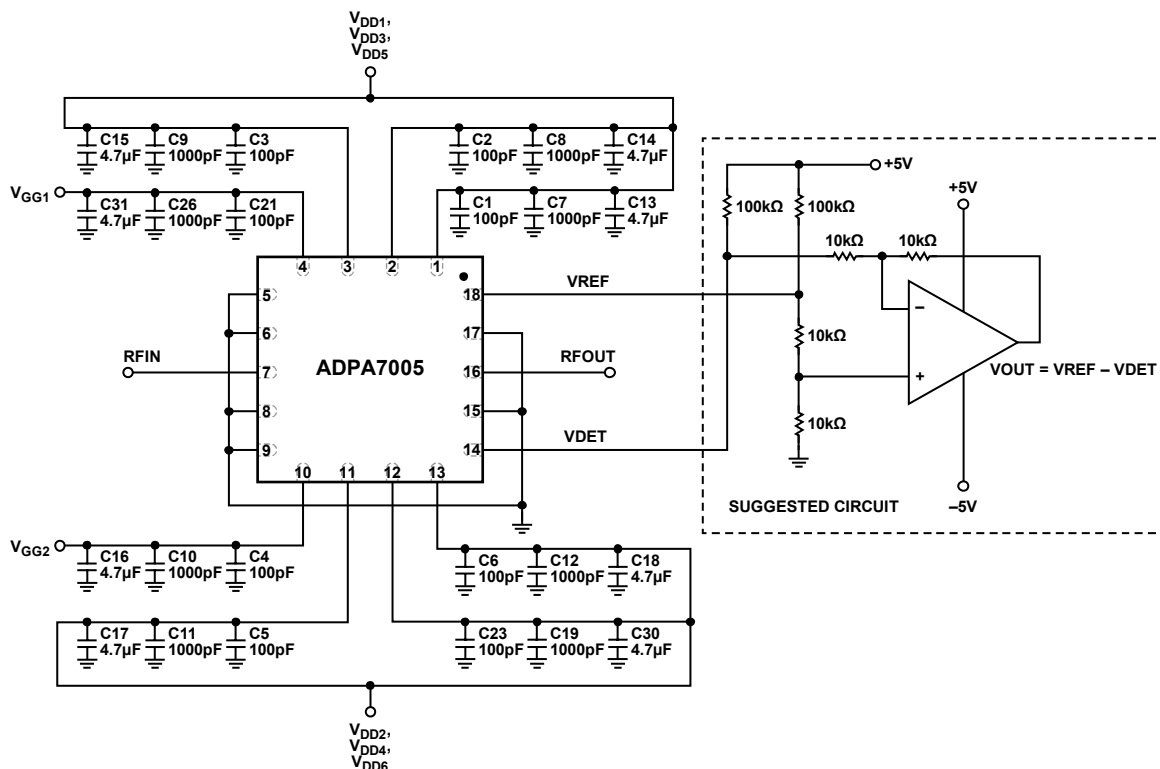


図 52. 代表的なアプリケーション回路

201022081

HMC980LP4E による ADPA7005 のバイアシング

HMC980LP4E はアクティブ・バイアス・コントローラで、ドレイン電流を測定し、ゲート電圧を自動的に調整することによってレギュレーションを行います。HMC980LP4E は、ドレイン電圧 16.5V、ドレイン電流 1.6A 以下の範囲で、RF アンプのバイアシングを制御することができます。このコントローラは、温度変化やデバイスの個体ごとの変化に関わらず一定のドレイン電流でバイアシングを行い、ゲート電圧とドレイン電圧のシーケンシングを正しく行って、アンプを安全に動作させられるようにします。

HMC980LP4E は短絡時のための自己保護機能を備えている他、ADPA7005 のゲートに必要な負電圧を生成するチャージ・ポンプを内蔵しています。HMC980LP4E には、外部負電圧源を使用するオプションもあります。HMC980LP4E は、[HMC980-DIE](#) としてダイの形態でも提供されています。

アプリケーション回路のセットアップ

図 53 は、2 個の HMC980LP4E デバイスを使用して ADPA7005 を制御するアプリケーション回路です。VNEG に外部負電圧源を使用するときは、図 54 の回路図を参照してください。

ADPA7005 の仕様は 1400mA の静止ドレイン電流で規定されていますが、ADPA7005 から最大出力パワーを引き出すために必要な動作ドレイン電流 I_{DRAIN} は、1800mA 付近に設定する必要があります。 I_{DRAIN} 電流は、RF 入力パワーが 15dBm (ほぼ入力圧縮ポイント) のときに約 1800mA まで増加します (図 41 参照)。このため、1800mA が I_{DRAIN} の目標値として選ばれています。

1 個の HMC980LP4E で対応できる最大電流は 1600mA なので、1800mA の電流レベルに対応するには 2 個の HMC980LP4E デバイスが必要です。図 53 と図 54 に示すアプリケーション回路では、次式により ADPA7005 のドレイン電圧とドレイン電流が設定されます。

$$V_{DRAIN} = V_{DD} - I_{DRAIN} \times 0.85\Omega \quad (1)$$

ここで、

$V_{DRAIN} = 5V$ (HMC980LP4E のピン 17 とピン 18 からのドレイン電圧)、

$V_{DD} = 5.765V$ (HMC980LP4E の電源電圧)、

$I_{DRAIN} = 1800mA$ (HMC980LP4E のピン 17 とピン 18 からの一定ドレイン電流) です。

$$R10 = \frac{150\Omega}{I_{DRAIN}} \quad (2)$$

ここで、

$I_{DRAIN} = 900mA$ (それぞれの HMC980LP4E についての値、図 53 のデュアル・バイアス・セットアップによる)、

$R10 = 166.66\Omega$ です。

ADPA7005 の V_{GGx} 絶対最大定格条件に合わせた VGATE と VNEG の制限

HMC980LP4E を使って ADPA7005 を制御する場合は、HMC980LP4E の VNEG ピンと VGATE ピンの最小電圧を $-1.5V$ に設定して、これらの電圧が ADPA7005 の V_{GGx} ピンの絶対最大定格の範囲内となるようにします。この最小電圧を設定するには、図 53 と図 54 に示す抵抗 R15 と R16 を使用します。R15 と R16 の詳細および計算方法については、アプリケーション・ノート AN-1363、Meeting Biasing Requirements of Externally Biased RF/Microwave Amplifiers with Active Bias Controllers を参照してください。

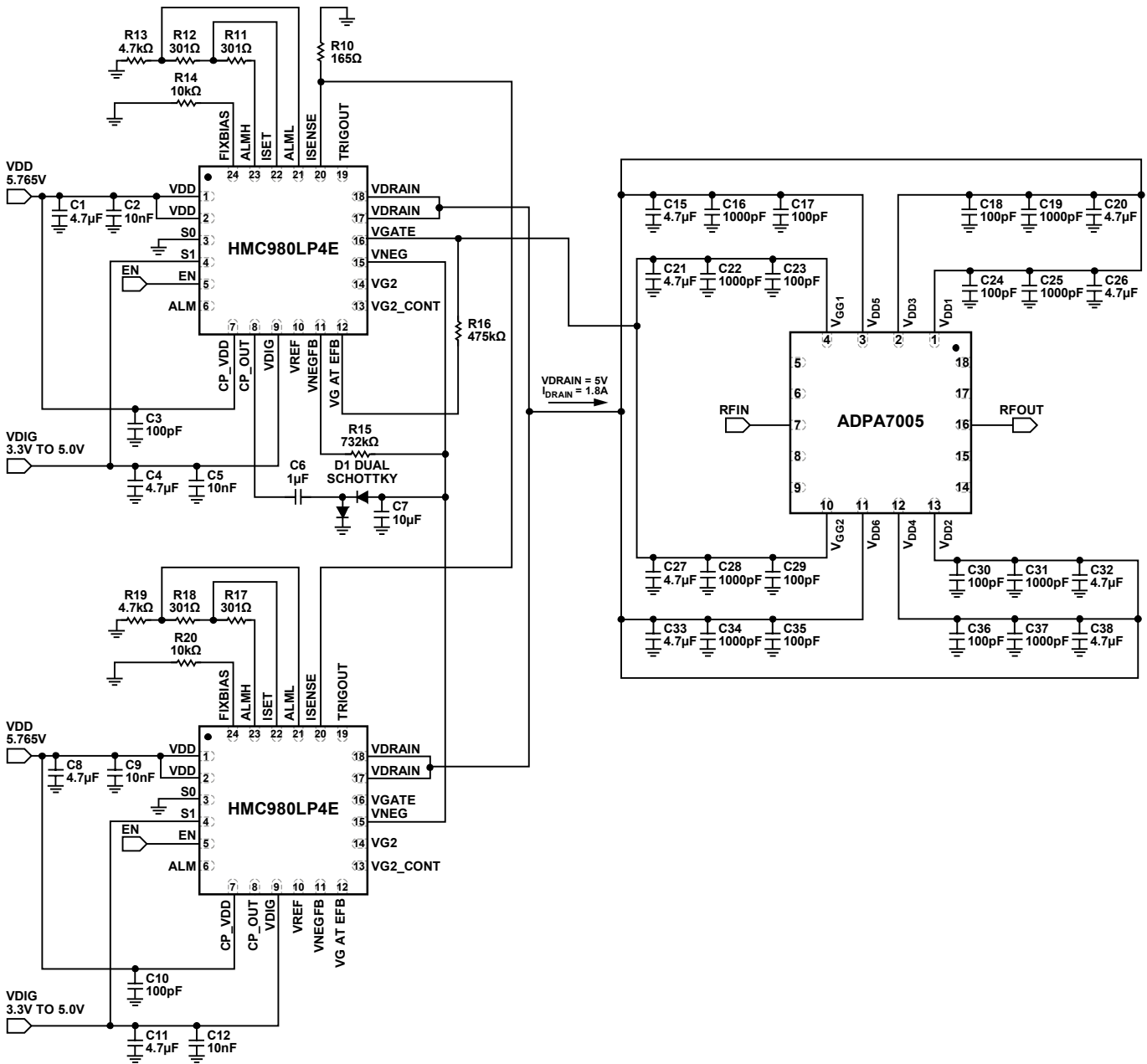


図 53. 2 個の HMC980LP4E と ADPA7005 を使用したアプリケーション回路

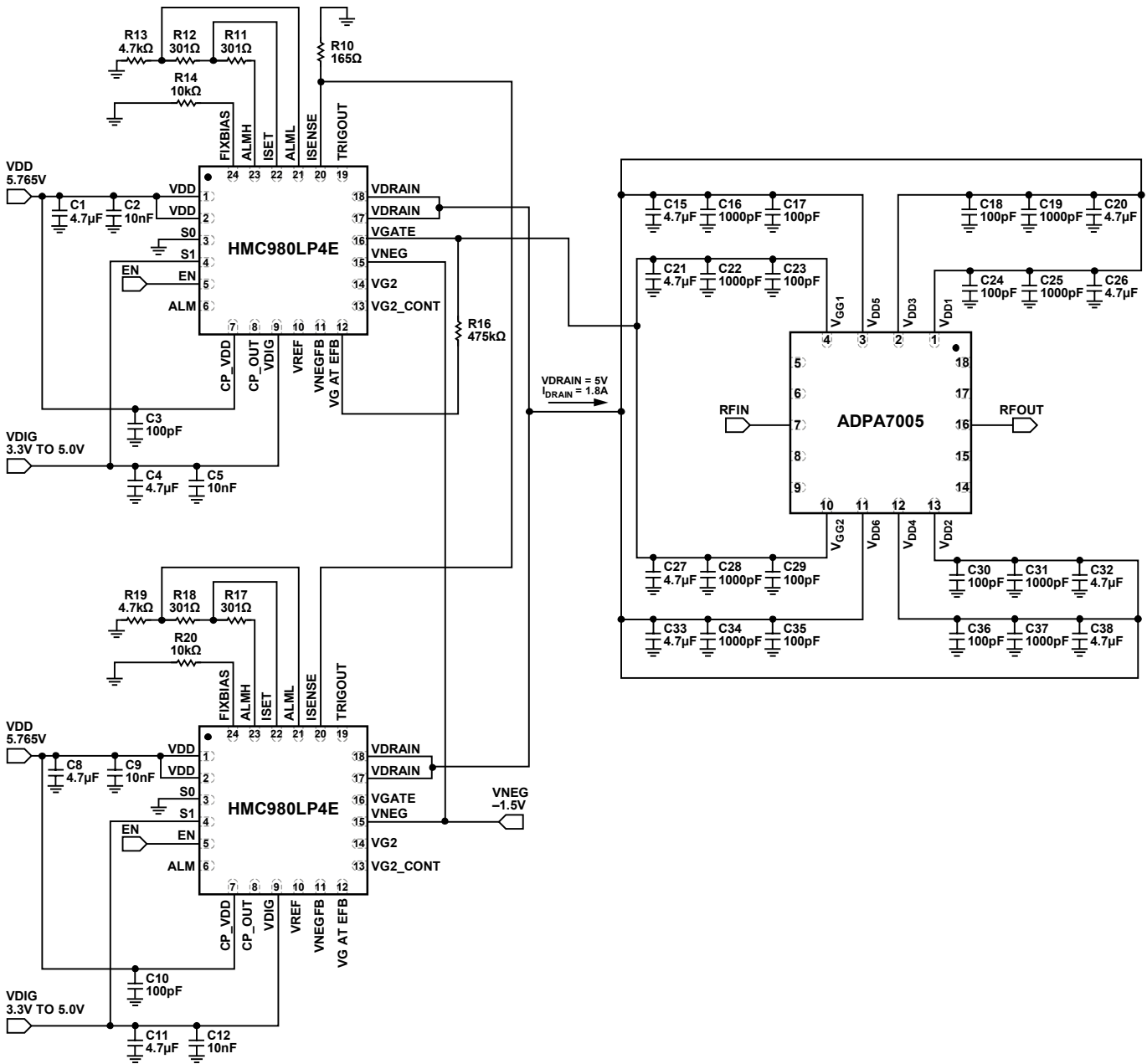


図 54. 2 個の HMC980LP4E と ADPA7005、および外部負電圧源を使用したアプリケーション回路

HMC980LP4E のバイアス・シーケンス

HMC980LP4E を使用して ADPA7005 を制御するときは、HMC980LP4E の損傷を避けるために、パワーアップ・シーケンスのセクションとパワーダウン・シーケンスのセクションに従って DC 電源シーケンシングを行う必要があります。

パワーアップ・シーケンス

パワーアップ・シーケンスは次のとおりです。

1. 両方の HMC980LP4E デバイスの VDIG (ピン 9) を 3.3V に設定します。
2. 両方の HMC980LP4E デバイスの VDD ピンを 5.765V に設定します。
3. 両方の HMC980LP4E デバイスの VNEG (ピン 15) を -1.5V に設定します。内部生成電圧を使用する場合、このステップは必要ありません。
4. 両方の HMC980LP4E デバイスの EN (ピン 5) を 3.3V に設定します (0V から 3.3V に遷移すると VGATE と VDRAIN がオンになる)。

パワーダウン・シーケンス

パワーダウン・シーケンスは次のとおりです。

1. EN (両方の HMC980LP4E デバイスのピン 5) を 0V に設定します (3.3V から 0V に遷移すると VDRAIN と VGATE がオフになる)。
2. VNEG (両方の HMC980LP4E デバイスのピン 15) を 0V に設定します。内部生成電圧を使用する場合、このステップは必要ありません。
3. 両方の HMC980LP4E デバイスの VDD ピンを 0V に設定します。
4. VDIG (両方の HMC980LP4E デバイスのピン 9) を 0V に設定します。

HMC980LP4E バイアス制御回路をセットアップしたら、ADPA7005 へのバイアスをオンまたはオフに切り替えます。オンにするには HMC980LP4E の EN ピンに 3.3V を加え、オフにするには 0V を加えます。EN = 3.3V では HMC980LP4E の VGATE ピンが -1.5V まで低下し、HMC980LP4E の VDRAIN ピンが 5V でオンになります。その後 VGATE が $I_{DRAIN} = 1800\text{mA}$ になるまで増加して、閉制御ループが I_{DRAIN} を 1800mA にレギュレーションします。EN = 0V のときは VGATE が -1.5V に設定されて、VDRAIN が 0V に設定されます (図 55 と図 56 参照)。

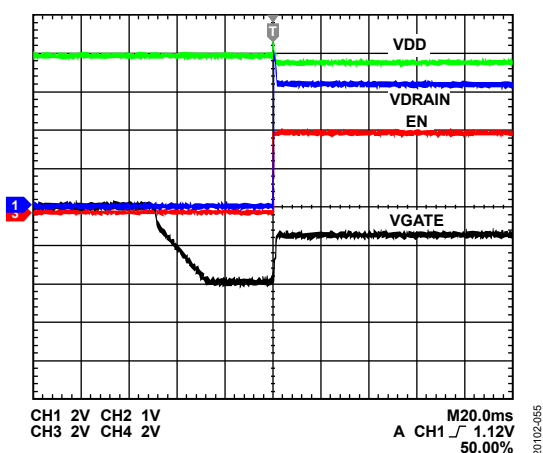


図 55. オン - ADPA7005 への HMC980LP4E 出力

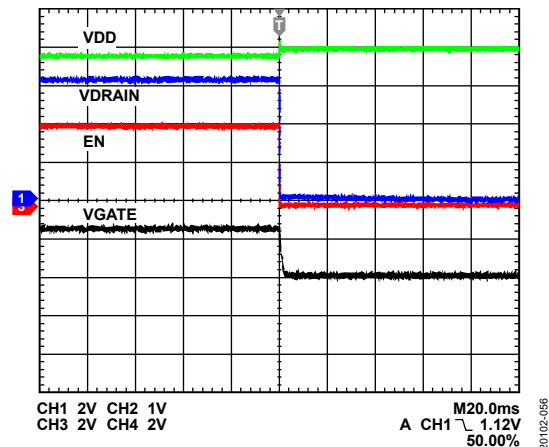


図 56. オフ - ADPA7005 への HMC980LP4E 出力

定ドレイン電流バイアシングと定ゲート電圧バイアシング

HMC980LP4E は帰還ループを使用して連続的に VGATE を調整し、DC 電源、温度、RF 入出力レベルの変動、およびデバイスごとの変動がある場合でも、ドレイン電流を一定に保ちます。キャリブレーション手順に要する時間を短縮すると共に、時間による性能の変動をなくすには、定ドレイン電流バイアスを使用することを推奨します。

RF パワーが加わると電流が増加する定ゲート電圧バイアスと比較して、定ドレイン電流では、出力 P1dB がわずかに低下します。この出力 P1dB を図 60 に示します。この図では、HMC980LP4E が 1dB 圧縮ポイントに達しているため、高入力パワー時のドレイン電流が定ゲート電圧バイアス動作の場合に比べて小さくなるため (図 57 参照)、RF 性能がわずかに低下します。

定ドレイン電流バイアスの出力 P1dB 性能は、設定電流を大きくして定ゲート電圧バイアス条件における RF 駆動時の I_{DD} に近付けることにより、定ゲート電圧バイアスの場合に近い性能を得ることができます (図 60 参照)。

定電流動作時にドレイン電流を増加させる際の限界値は、表 5 に示す熱限界と最大消費電力仕様によって決まります。 I_{DD} が増加し続けても実際の出力 P1dB が無制限に増加することはありませんが、消費電力は直線的に増加します。したがって、定ドレイン電流バイアシングを使用する場合は、消費電力と出力 P1dB 性能のトレードオフを考慮する必要があります。

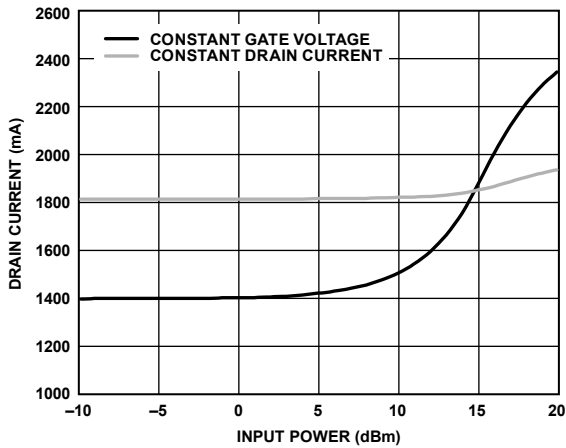


図 57. ドレイン電流と入力パワーの関係、 $V_{DD} = 5V$ 、
周波数 = 32GHz、定ドレイン電流バイアス
(I_{DRAIN} 設定点 = 1.8A) と定ゲート電圧バイアス
($V_{GGx} \approx -0.68V$)

20102-057

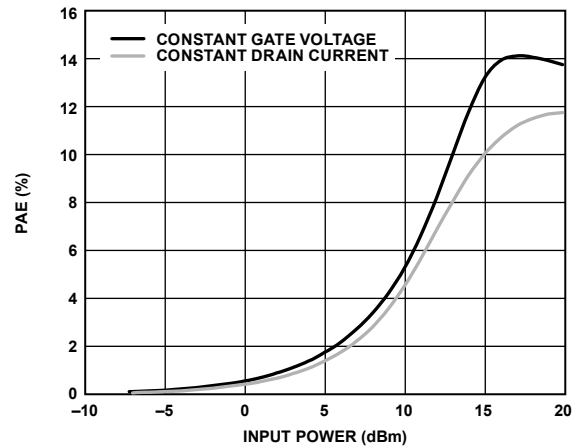


図 59. PAE と入力パワーの関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、
定ドレイン電流バイアス (I_{DRAIN} 設定点 = 1.8A) と
定ゲート電圧バイアス ($V_{GGx} \approx -0.68V$)

20102-059

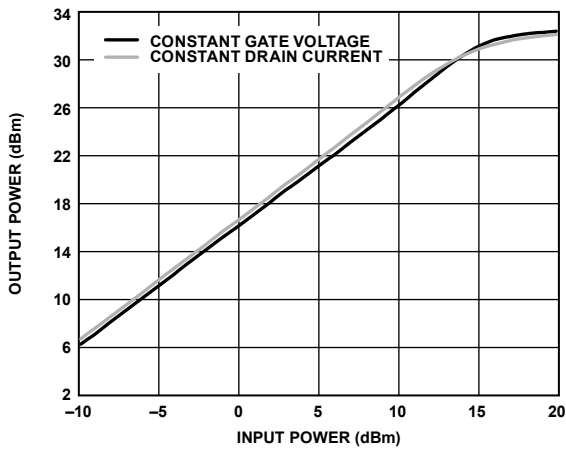


図 58. 出力パワーと入力パワーの関係、 $V_{DD} = 5V$ 、
周波数 = 32GHz、定ドレイン電流バイアス
(I_{DRAIN} 設定点 = 1.8A) と定ゲート電圧バイアス
($V_{GGx} \approx -0.68V$)

20102-058

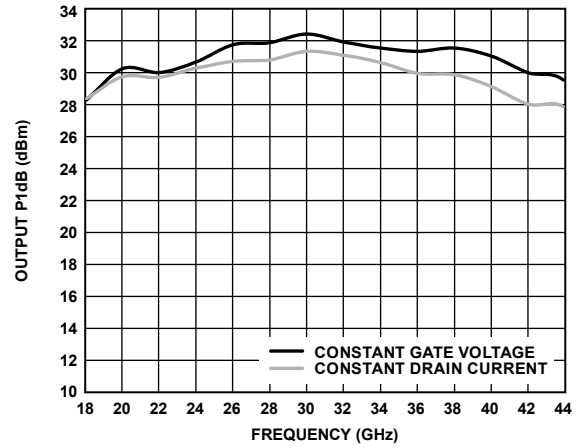


図 60. 出力 P1dB の周波数特性、 $V_{DD} = 5V$ 、
定ドレイン電流バイアス (I_{DRAIN} 設定点 = 1.8A) と
定ゲート電圧バイアス ($V_{GGx} \approx -0.68V$)

20102-060

外形寸法

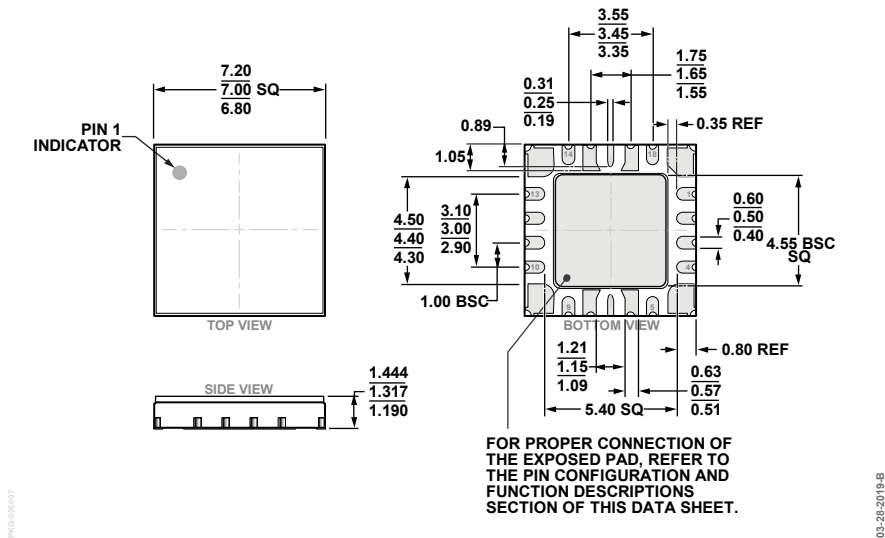


図 61. ヒート・シンク付き 18 端子セラミック・リードレス・チップ・キャリア [LCC_HS] (EH-18-1)
寸法 (ミリ単位)

オーダー・ガイド

Model ¹	Temperature Range	MSL Rating ²	Package Description	Package Option
ADPA7005AEHZ	-40°C to +85°C	MSL3	18-Terminal Ceramic Leadless Chip Carrier with Heat Sink [LCC_HS]	EH-18-1
ADPA7005AEHZ-R7	-40°C to +85°C	MSL3	18-Terminal Ceramic Leadless Chip Carrier with Heat Sink [LCC_HS]	EH-18-1
ADPA7005-EVALZ				

¹ Z = RoHS 準拠製品。

² 詳細については、絶対最大定格のセクションを参照してください。