



GaAs、pHEMT、MMIC、 1Wパワー・アンプ、20GHz~44GHz

データシート

ADPA7005CHIP

特長

出力 P1dB: 20GHz~34GHz で 31dBm (代表値)

P_{SAT}: 20GHz~34GHz で 32dBm (代表値)

ゲイン: 20GHz~34GHz で 17dB (代表値)

出力 IP3: 20GHz~34GHz で 41dBm (代表値)

電源電圧: 1200mA で 5V (最大値)

50Ω に整合した入出力

ダイ・サイズ: 3.75mm × 3.47mm × 0.1mm

アプリケーション

防衛および航空宇宙

試験用計測器

機能ブロック図

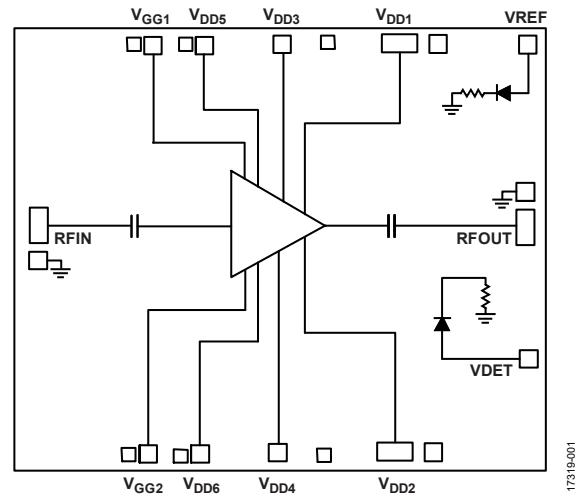


図 1.

概要

ADPA7005CHIP は、ガリウム・ヒ素 (GaAs) モノリシック・マイクロ波集積回路 (MMIC) の擬似格子整合型高電子移動度トランジスタ (pHEMT) 分布型パワー・アンプで、動作範囲は 20GHz~44GHz です。このアンプは、17dB の小信号ゲイン、1dB 利得圧縮点 (P1dB) で 31dBm の出力パワー、41dBm の出力 3 次インターセプト・ポイント (IP3)

(代表値) を提供します。ADPA7005CHIP は、電源電圧 (V_{DD}) 上に 5V 電源から 1200mA を必要とします。また、入出力が内部で 50Ω に整合しているため、マルチチップ・モジュール (MCM) に容易に組み込むことができます。全てのデータは、チップを最短 0.31mm の 2 本の 0.025mm ワイヤ・ボンドで接続して測定したものです。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本誌記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長.....	1	アプリケーション情報.....	15
アプリケーション.....	1	ミリ波 GaAs MMIC のマウントおよびボンディング	
機能ブロック図.....	1	手法.....	15
概要.....	1	HMC980LP4E による ADPA7005CHIP のバイアシング..	17
改訂履歴.....	2	アプリケーション回路のセットアップ.....	17
仕様.....	3	ADPA7005CHIP の V_{GGx} の絶対最大定格条件に	
周波数範囲：20GHz～34GHz.....	3	合わせた V_{GATE} の制限.....	17
周波数範囲：34GHz～44GHz.....	3	HMC980LP4E のバイアス・シーケンス.....	19
絶対最大定格.....	4	定ドレイン電流バイアシングと 定ゲート電圧バイア	
ESD に関する注意.....	4	シング.....	19
ピン配置およびピン機能の説明.....	5	代表的なアプリケーション回路.....	21
インターフェース回路図.....	6	アセンブリ図.....	22
代表的な性能特性.....	7	外形寸法.....	23
一定の I_{DD} での動作.....	13	オーダー・ガイド.....	23
動作原理.....	14		

改訂履歴

2/2019-Revision 0: 初版

仕様

周波数範囲：20GHz～34GHz

特に指定のない限り、公称条件で $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、静止電源電流 (I_{DQ}) = 1200mA。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		20		34	GHz	
GAIN		15	17		dB	
Gain Flatness			± 0.5		dB	
Gain Variation Over Temperature			0.012		dB/ $^\circ\text{C}$	
NOISE FIGURE			7		dB	
RETURN LOSS						
Input			18		dB	
Output			20		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	28	31		dBm	Measurement taken at output power (P_{OUT}) per tone = 14 dBm
Saturated Output Power	P_{SAT}		32		dBm	
Output Third-Order Intercept	IP3		41		dBm	
SUPPLY						
Current	I_{DQ}		1200		mA	Adjust the gate bias voltage (V_{GG1}) between -1.5 V up to 0 V to achieve the desired I_{DQ}
Voltage	V_{DD}	4	5		V	

周波数範囲：34GHz～44GHz

特に指定のない限り、公称条件で $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 1200\text{mA}$ 。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		34		44	GHz	
GAIN		11.5	14.5		dB	
Gain Flatness			± 0.7		dB	
Gain Variation Over Temperature			0.024		dB/ $^\circ\text{C}$	
NOISE FIGURE			6		dB	
RETURN LOSS						
Input			15		dB	
Output			17		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	27	30		dBm	Measurement taken at P_{OUT} per tone = 14 dBm
Saturated Output Power	P_{SAT}		31		dBm	
Output Third-Order Intercept	IP3		40.5		dBm	
SUPPLY						
Current	I_{DQ}		1200		mA	Adjust V_{GG1} between -1.5 V up to 0 V to achieve the desired I_{DQ}
Voltage	V_{DD}	4	5		V	

絶対最大定格

表 3.

Parameter	Rating
Drain Bias Voltage (V_{DDx})	6.0 V
V_{GG1}	-1.5 to 0 V
Radio Frequency Input Power (RFIN)	27dBm
Continuous Power Dissipation (P_{DISS}), T = 85°C (Derate 149.2 mW/°C Above 85°C)	13.4 W
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-55°C to +85°C
Electrostatic Discharge (ESD) Sensitivity Human Body Model (HBM)	Class 1B (passed 500 V)

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、システムの設計と動作環境に直接関連します。PCB の熱設計には、細心の注意を払う必要があります。 θ_{JC} はチャンネルからケースまでの熱抵抗（チャンネルとダイ下部の間にダイ取り付けエポキシを使用）です。

表 4. 熱抵抗

Package Type	θ_{JC}	Unit
C-12-3	6.7	°C/W

表 5. 信頼性情報

Parameter	Temperature (°C)
Junction Temperature to Maintain 1,000,000 Hour Mean Time to Failure (MTTF)	175
Nominal Junction Temperature (T = 85°C, $V_{DD} = 5$ V, $I_{DQ} = 600$ mA)	125.2

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されずに放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

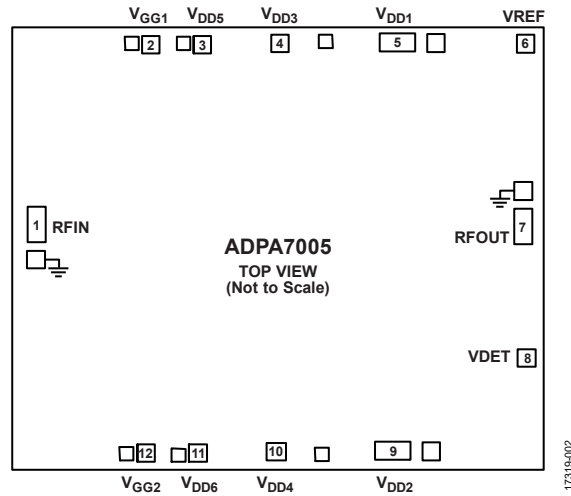


図 2. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	RFIN	RF 信号入力。このパッドは AC カップリングされ、50Ωに整合されています。
2, 12	VGG1, VGG2	アンプ・ゲート制御。4.7μF、0.01μF、100pF の外付けバイパス・コンデンサが必要です。ESD 保護ダイオードが内蔵され、-1.5V より低くなるとオンになります。
3, 4, 5, 9, 10, 11	VDD5, VDD3, VDD1, VDD2, VDD4, VDD6	アンプのドレイン・バイアス。4.7μF、0.01μF、100pF の外付けバイパス・コンデンサが必要です。
6	VREF	リファレンス・ダイオード。このピンは VDET と組み合わせて使用します。この電圧は VDET の RF 出力パワー測定に温度補償を提供します。
7	RFOUT	RF 信号出力。このパッドは AC カップリングされ、50Ωに整合されています。
8	VDET	RF 出力パワーの測定に使用するディテクタ・ダイオード。このピンを介して検出を行うには、外付けの直列抵抗を通じて DC バイアス電圧をかける必要があります。VREF と組み合わせて使用した場合の電圧差 (VREF - VDET) は、RF 出力パワーに比例する温度補償済み DC 電圧です。
Die Bottom	GND	グラウンド。これらのパッドとダイの下部は、RF/DC グラウンドに接続する必要があります。

インターフェース回路図



図 3. GND インターフェース回路図

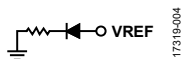


図 4. VREF インターフェース回路図

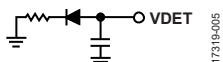


図 5. VDET インターフェース回路図

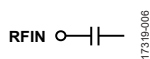


図 6. RFIN インターフェース回路図

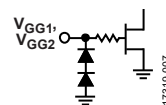


図 7. VGG1、VGG2 インターフェース回路図

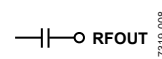


図 8. RFOUT インターフェース回路図

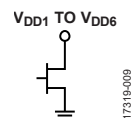


図 9. VDD1~VDD6 インターフェース回路図

代表的な性能特性

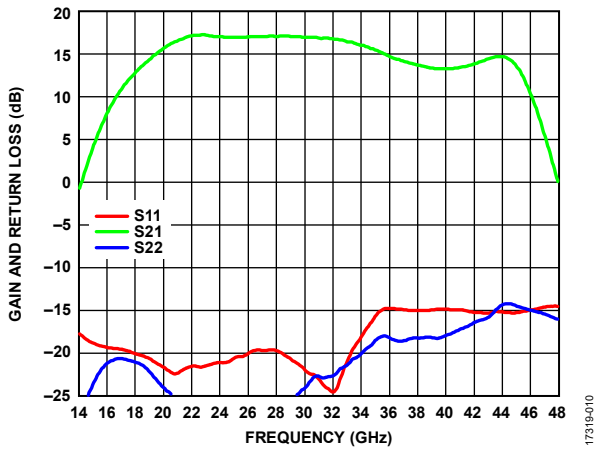


図 10. ゲインおよびリターン・ロスの周波数特性、
 $V_{DD} = 5V$ 、 $I_{DQ} = 1200mA$

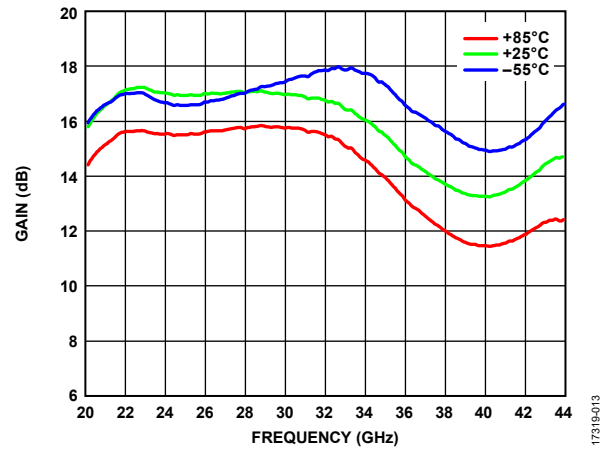


図 13. 様々な温度でのゲインの周波数特性、
 $V_{DD} = 5V$ 、 $I_{DQ} = 1200mA$

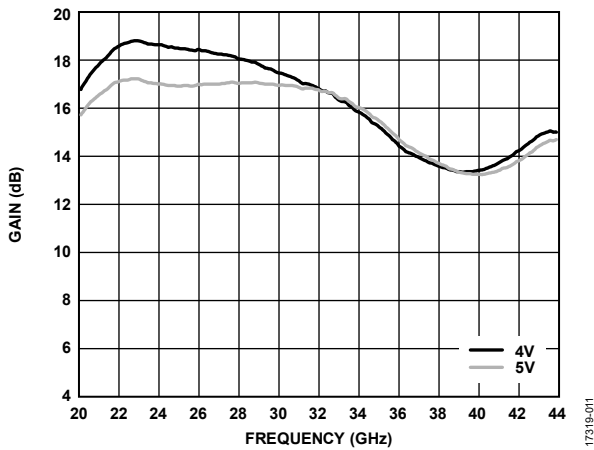


図 11. 様々な V_{DD} でのゲインの周波数特性、 $I_{DQ} = 1200mA$

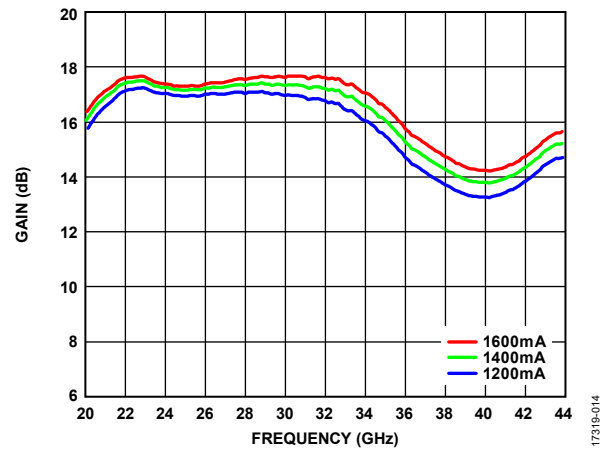


図 14. 様々な I_{DQ} でのゲインの周波数特性、 $V_{DD} = 5V$

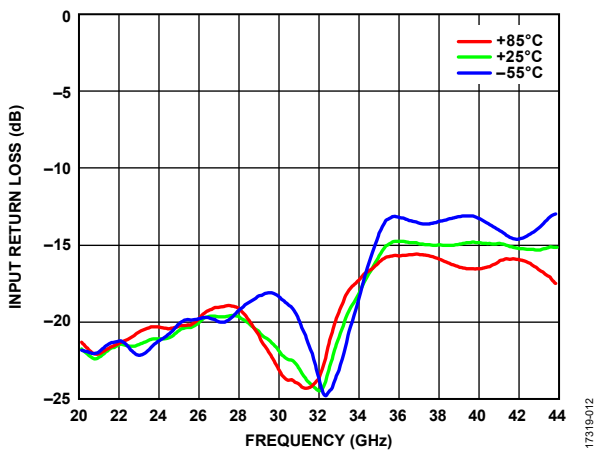


図 12. 様々な温度での入力リターン・ロスの周波数特性、
 $V_{DD} = 5V$ 、 $I_{DQ} = 1200mA$

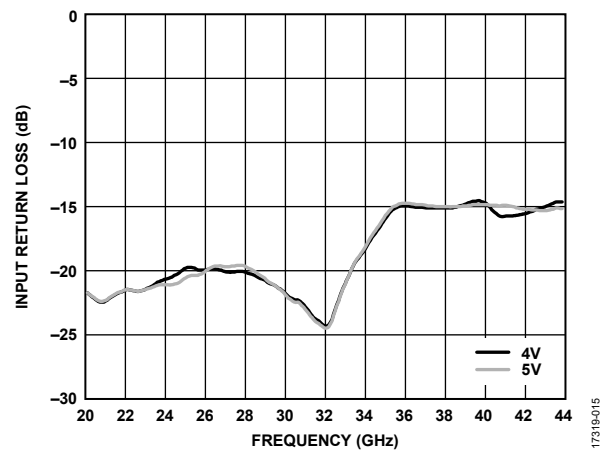


図 15. 様々な V_{DD} での入力リターン・ロスの周波数特性、
 $I_{DQ} = 1200mA$

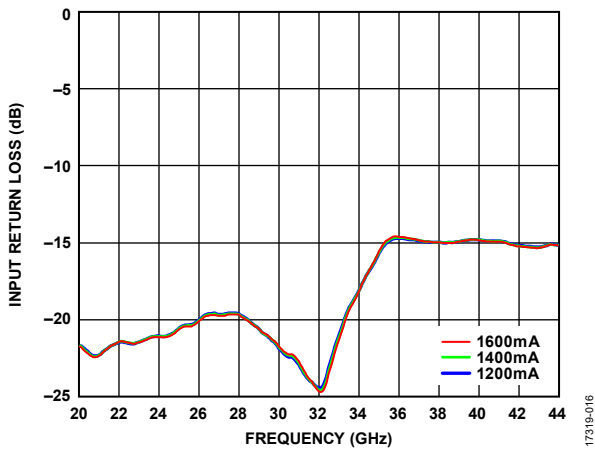


図 16. 様々な I_{DQ} での入力リターン・ロスの周波数特性、 $V_{DD} = 5V$

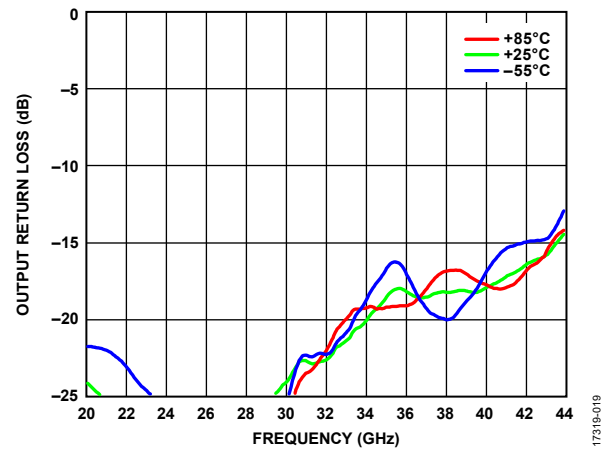


図 19. 様々な温度での出力リターン・ロスの周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 1200mA$

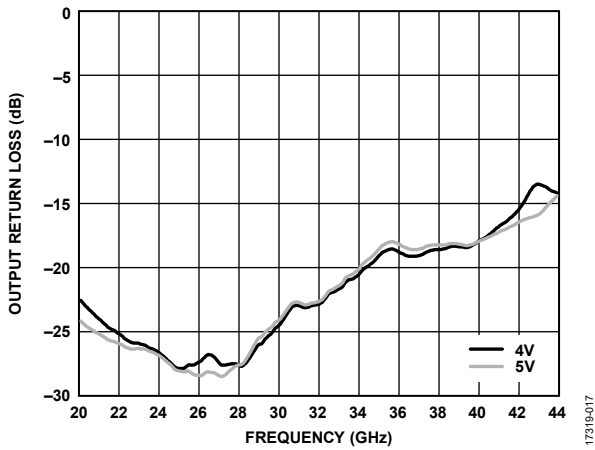


図 17. 様々な V_{DD} での出力リターン・ロスの周波数特性、 $I_{DQ} = 1200mA$

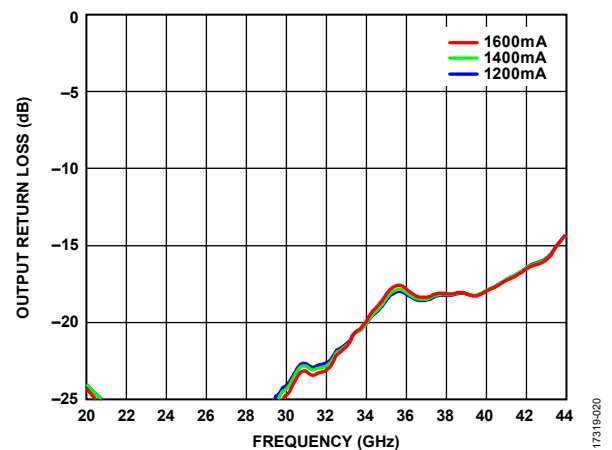


図 20. 様々な I_{DQ} での出力リターン・ロスの周波数特性、 $V_{DD} = 5V$

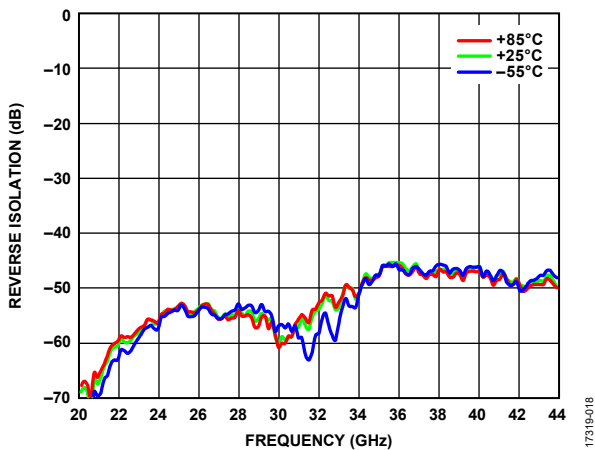


図 18. 様々な温度でのリバース・アイソレーションの周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 1200mA$

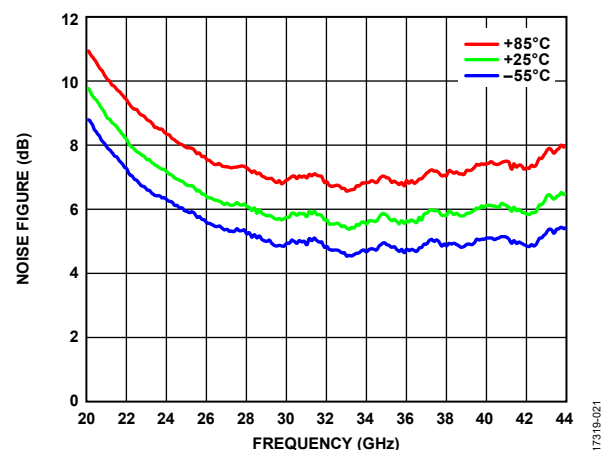


図 21. 様々な温度でのノイズ指数の周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 1200mA$

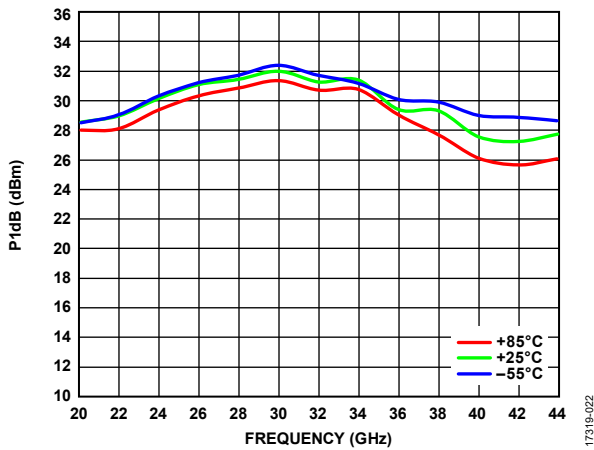


図 22. 様々な温度での出力 P1dB の周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 1200mA$

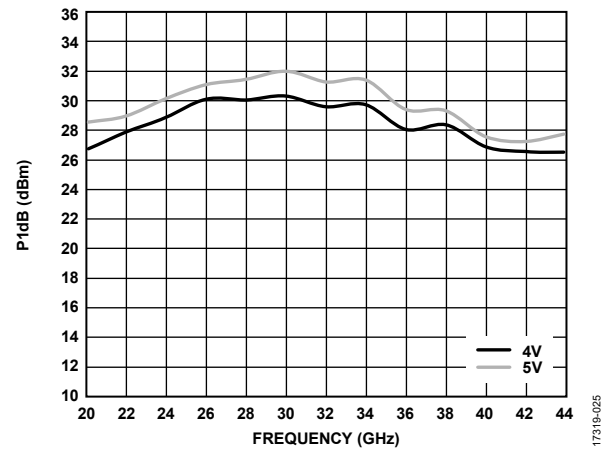


図 25. 様々な V_{DD} での P1dB の周波数特性、 $I_{DQ} = 1200mA$

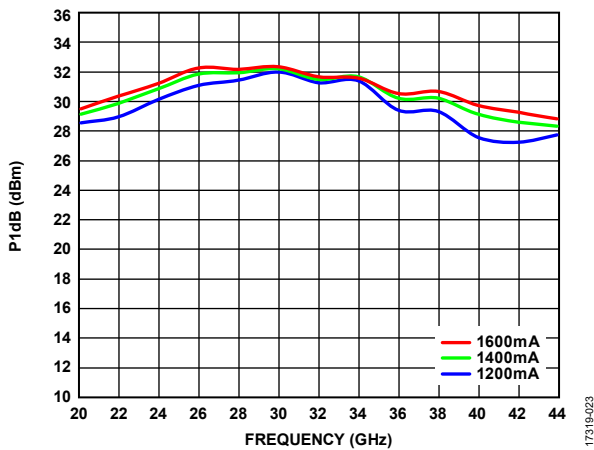


図 23. 様々な I_{DQ} での P1dB の周波数特性、 $V_{DD} = 5V$

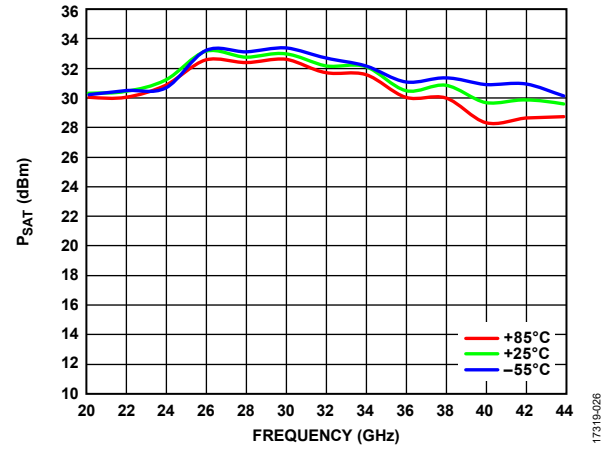


図 26. 様々な温度での P_{SAT} の周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 1200mA$

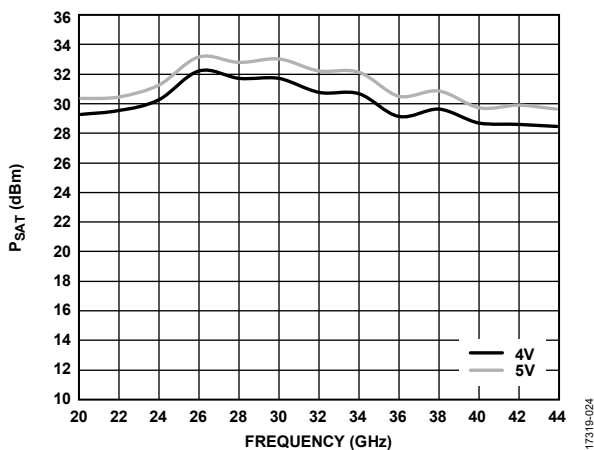


図 24. 様々な V_{DD} での P_{SAT} の周波数特性、 $I_{DQ} = 1200mA$

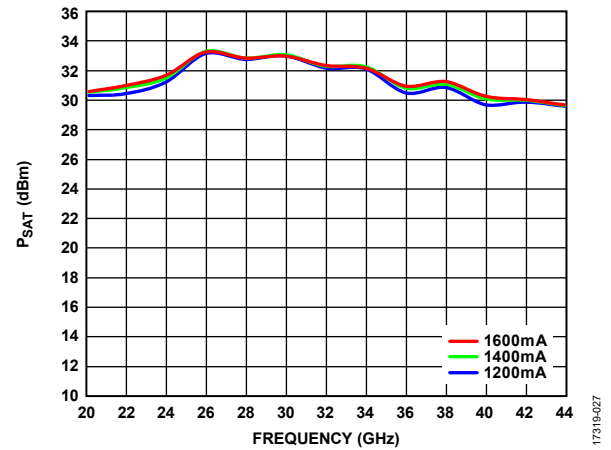
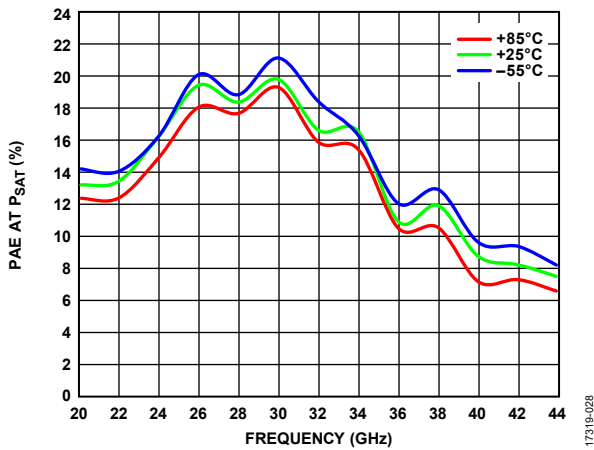
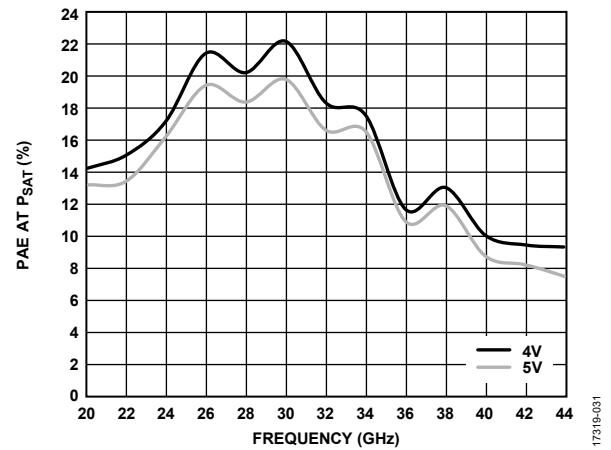


図 27. 様々な I_{DQ} での P_{SAT} の周波数特性、 $V_{DD} = 5V$



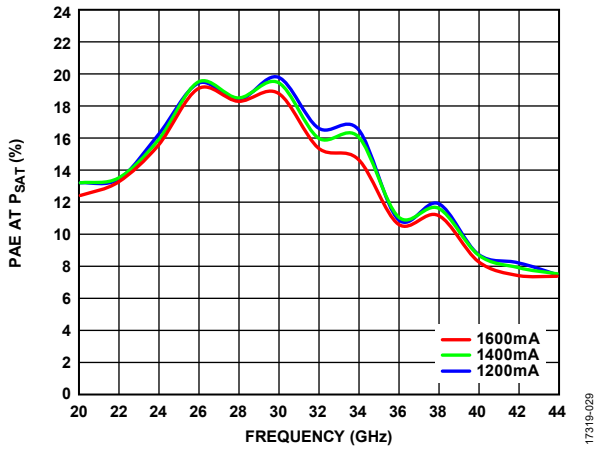
17319-028

図 28. 様々な温度での P_{SAT} における電力付加効率 (PAE) の周波数特性、
V_{DD} = 5V、I_{DQ} = 1200mA、PAE は P_{SAT} において測定



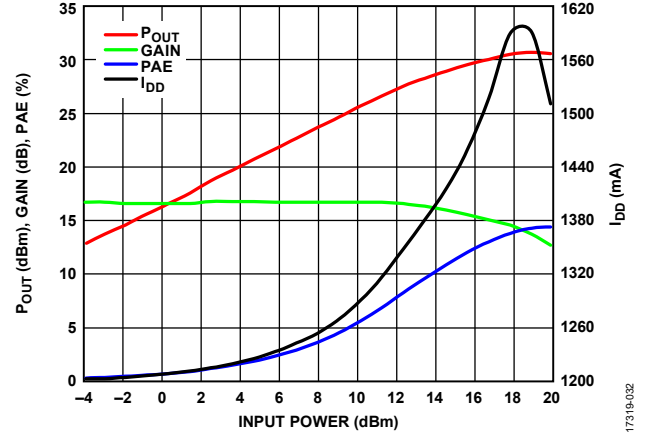
17319-031

図 31. 様々な V_{DD} での P_{SAT} における PAE の周波数特性、
I_{DQ} = 1200mA、PAE は P_{SAT} において測定



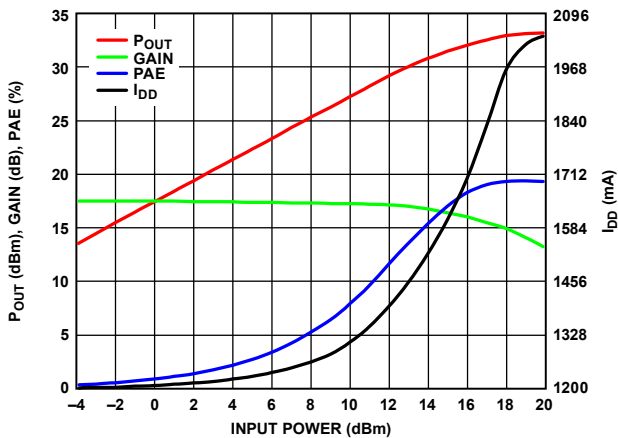
17319-029

図 29. 様々な I_{DQ} での P_{SAT} における PAE の周波数特性、
V_{DD} = 5V、I_{DQ} = 1200mA、PAE は P_{SAT} において測定



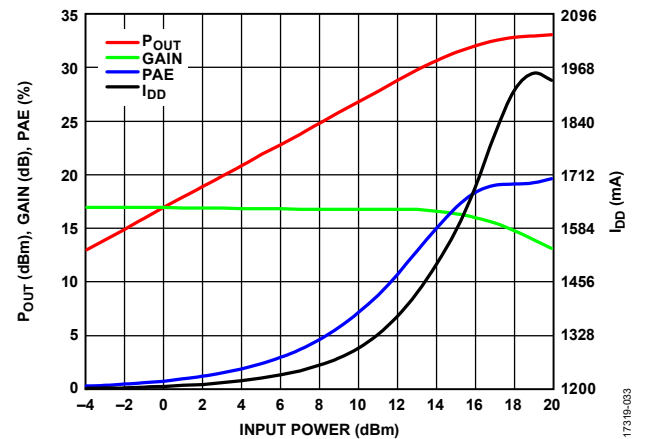
17319-032

図 32. P_{OUT}、ゲイン、PAE、および I_{DD} と入力パワーの関係、22GHz、V_{DD} = 5V、I_{DD} = 1200mA



17319-030

図 30. P_{OUT}、ゲイン、PAE、および I_{DD} と入力パワーの関係、
RF 印加時のドレイン電流 (I_{DD}) と入力パワーの関係、
26GHz、V_{DD} = 5V、I_{DD} = 1200mA



17319-033

図 33. P_{OUT}、ゲイン、PAE、および I_{DD} と入力パワーの関係、
30GHz、V_{DD} = 5V、I_{DD} = 1200mA

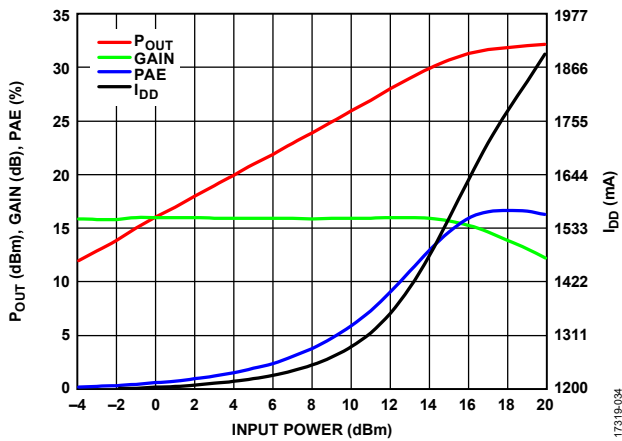


図 34. P_{OUT} 、ゲイン、PAE、および I_{DD} と入力パワーの関係、34GHz、 $V_{DD} = 5V$ 、 $I_{DD} = 1200mA$

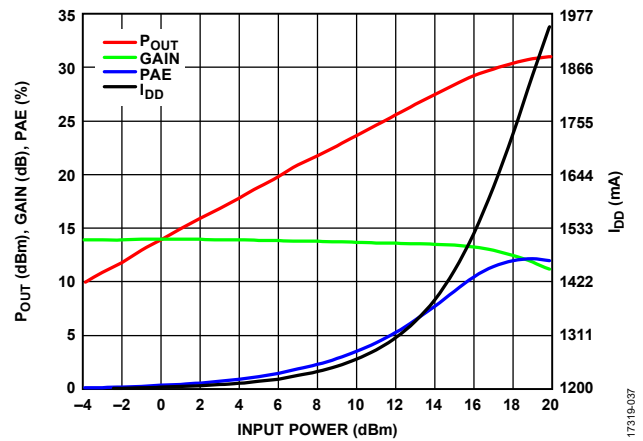


図 37. P_{OUT} 、ゲイン、PAE、および I_{DD} と入力パワーの関係、38GHz、 $V_{DD} = 5V$ 、 $I_{DD} = 1200mA$

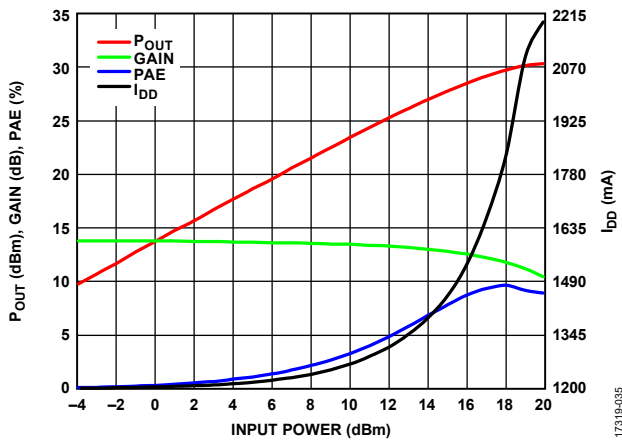


図 35. P_{OUT} 、ゲイン、PAE、および I_{DD} と入力パワーの関係、42GHz、 $V_{DD} = 5V$ 、 $I_{DD} = 1200mA$

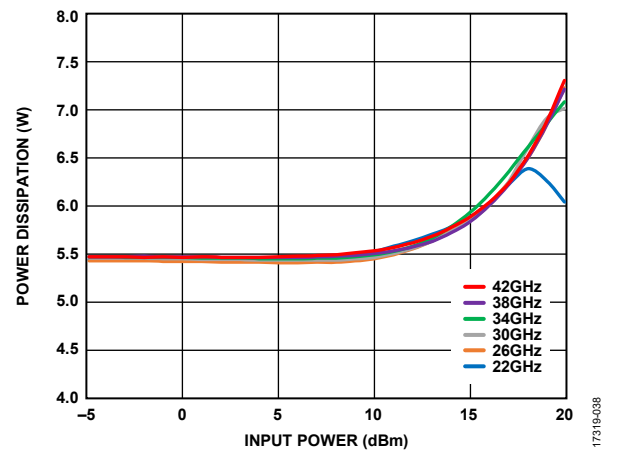


図 38. $T_A = 85^\circ C$ での消費電力と入力パワーの関係、 $V_{DD} = 5V$ 、 $I_{DD} = 1200mA$

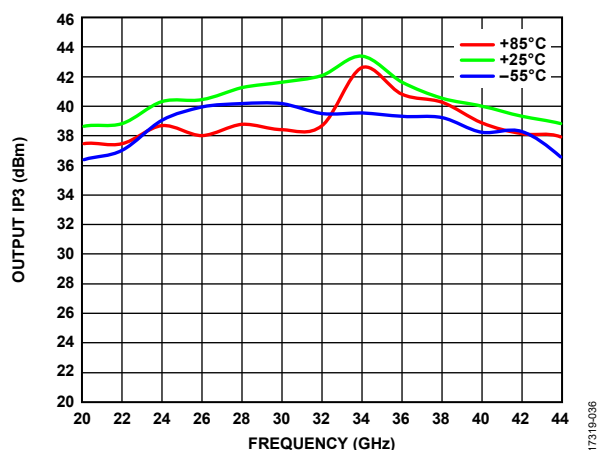


図 36. 様々な温度での出力 IP3 の周波数特性、
トーンあたりの $P_{OUT} = 14dBm$ 、 $V_{DD} = 5V$ 、 $I_{DQ} = 1200mA$

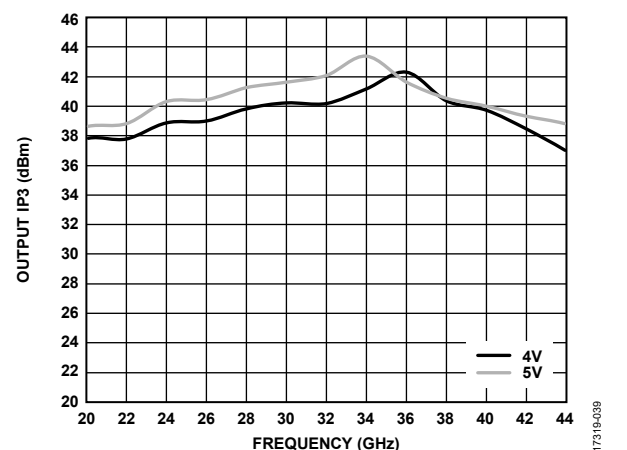


図 39. 様々な V_{DD} での出力 IP3 の周波数特性、
トーンあたりの $P_{OUT} = 14dBm$ 、 $V_{DD} = 5V$ 、 $I_{DQ} = 1200mA$

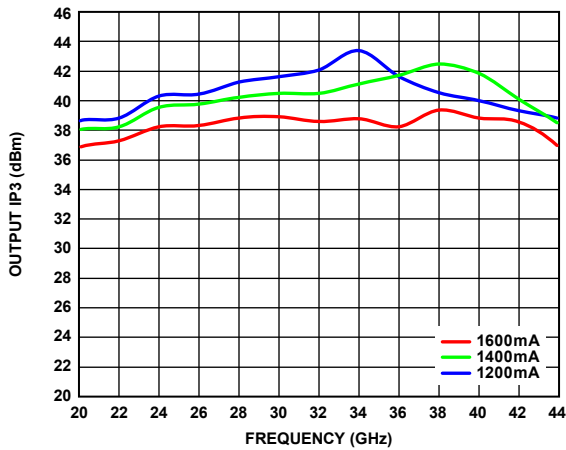


図 40. 様々な I_{DQ} での出力 IP3 の周波数特性、
トーンあたりの $P_{OUT} = 14\text{dBm}$ 、 $V_{DD} = 5\text{V}$

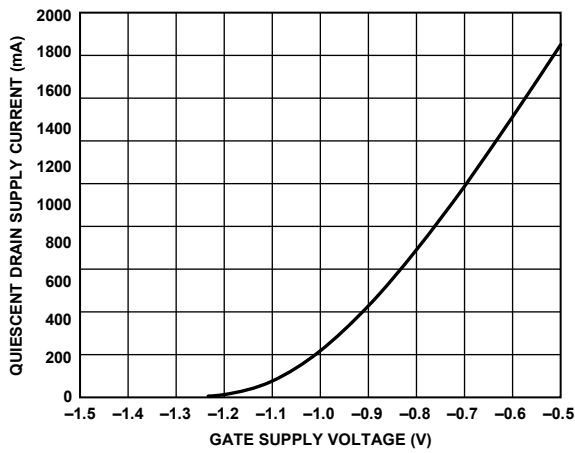


図 41. 静止ドレイン電源電流とゲート電源電圧の関係

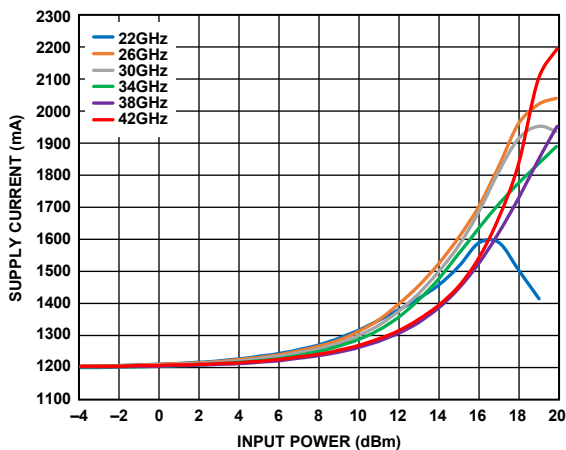


図 42. 様々な周波数での電源電流 I_{DD} と
入力パワーの関係、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 1200\text{mA}$

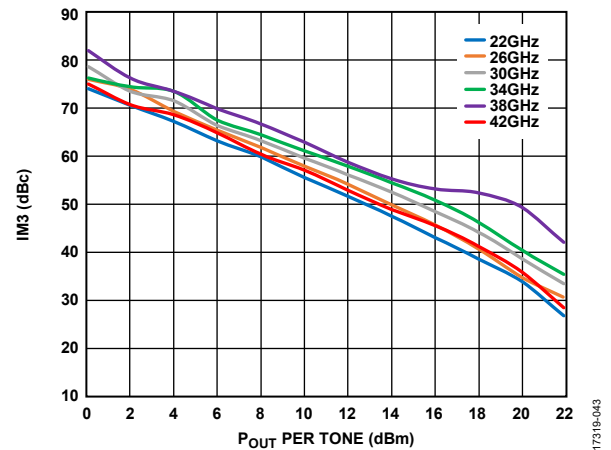


図 43. キャリアに対する 3 次相互変調歪み (IM3) と
トーンあたりの P_{OUT} の関係、 $V_{DD} = 4\text{V}$ 、 $I_{DQ} = 1200\text{mA}$

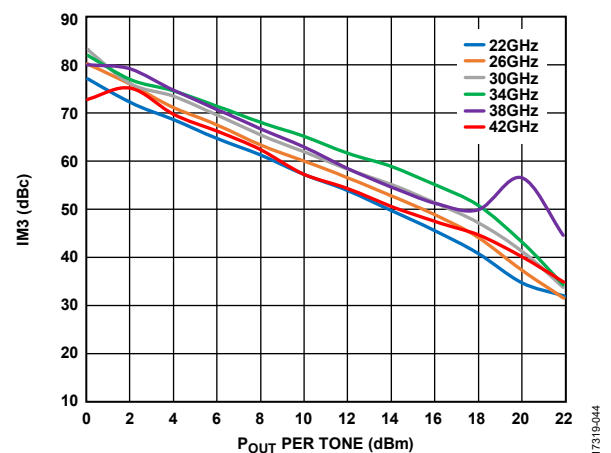


図 44. キャリアに対する 3 次相互変調歪み (IM3) と
トーンあたりの P_{OUT} の関係、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 1200\text{mA}$

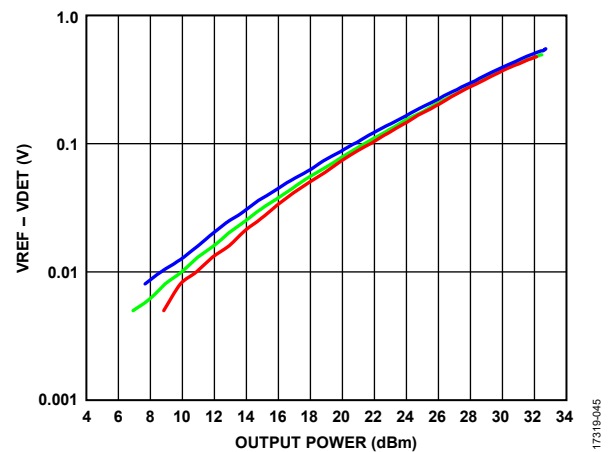


図 45. 様々な温度での $V_{REF} - V_{DET}$ と出力パワーの関係
(32GHz)

一定の I_{DD} での動作

HMC980LP4E アクティブ・バイアス・コントローラを使用してバイアスを印加 (図 55 を参照)。特に指定のない限り、公称条件で $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DD} = 1600\text{mA}$ 。

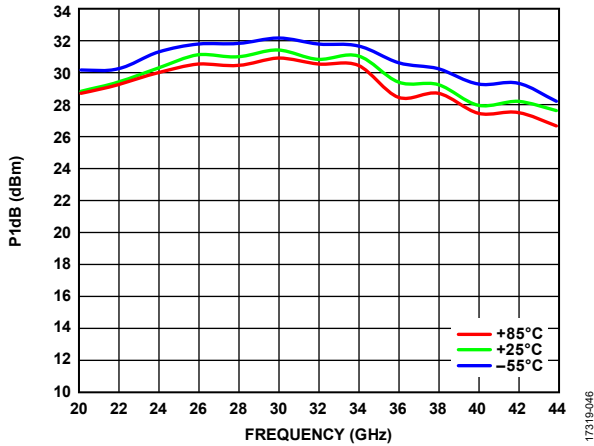


図 46. 様々な温度での P1dB の周波数特性、 $V_{DD} = 5\text{V}$ 、データは一定の I_{DD} で測定

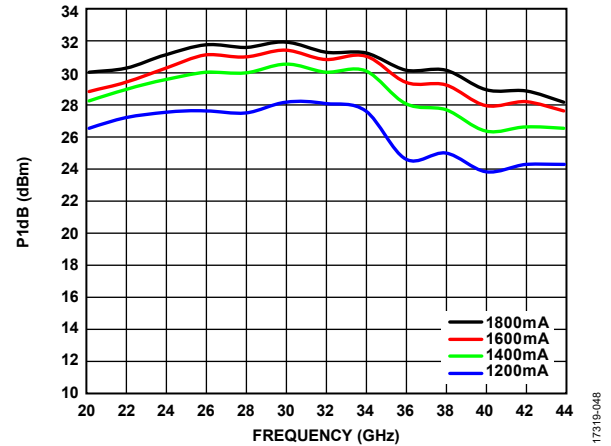


図 48. 様々なドレイン電流での P1dB の周波数特性、 $V_{DD} = 5\text{V}$ 、データは一定の I_{DD} で測定

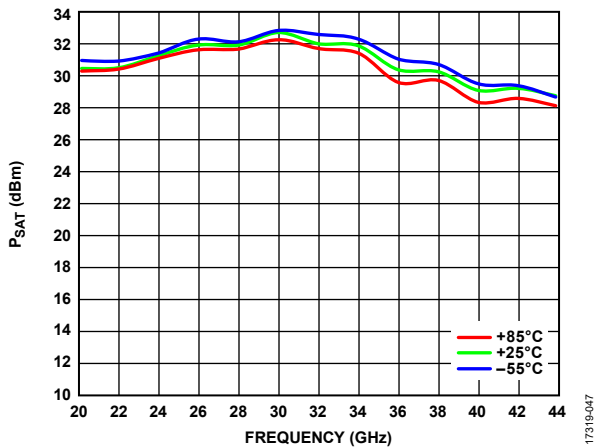


図 47. 様々な温度での P_{SAT} の周波数特性、 $V_{DD} = 5\text{V}$ 、データは一定の I_{DD} で測定

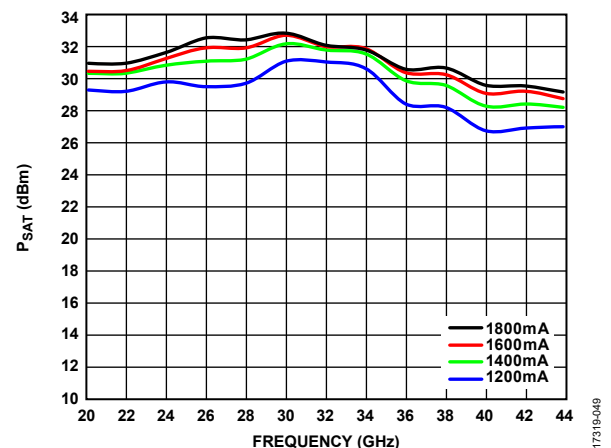


図 49. 様々なドレイン電流での P_{SAT} の周波数特性、 $V_{DD} = 5\text{V}$ 、データは一定の I_{DD} で測定

動作原理

ミディアム・パワー・アンプである ADPA7005CHIP のアーキテクチャを図 50 に示します。ADPA7005CHIP は、6 つの 90°ハイブリッド間で 90°位相をずらして動作する、2 つのカスケード接続された 3 段アンプを使用します。入力信号は均等に 2 分割され、分割された各信号が再び 2 分割されます。これらの新しい経路はそれぞれ 3 つの独立したゲイン段を通して増幅されます。増幅された信号は、出力で再び結合されます。このバランス・アンプ手法により、15dB の合成ゲインと 32dBm の P_{SAT} 値が得られます。RF 出力信号の一部は、RF 出力パワー検出用のダイオードに方向性結合されます。このダイオードに DC バイアスがか

かると、ダイオードは RF パワーを整流し、RF パワーは VDET の DC 電圧として測定できるようになります。VDET の温度補償ができるように、対称的に配置される同一の回路が（カップリングされる RF パワーを差し引いて）VREF を介して利用可能です。VREF - VDET の差を求めると、RF 出力に比例する温度補償済みの信号が得られます（図 50 を参照）。90°ハイブリッドにより、入出力リターン・ロスは確実に 15dB より大きくなります。各種ブロックのバイアシングの詳細については、図 63 と図 64 のアプリケーション回路を参照してください。

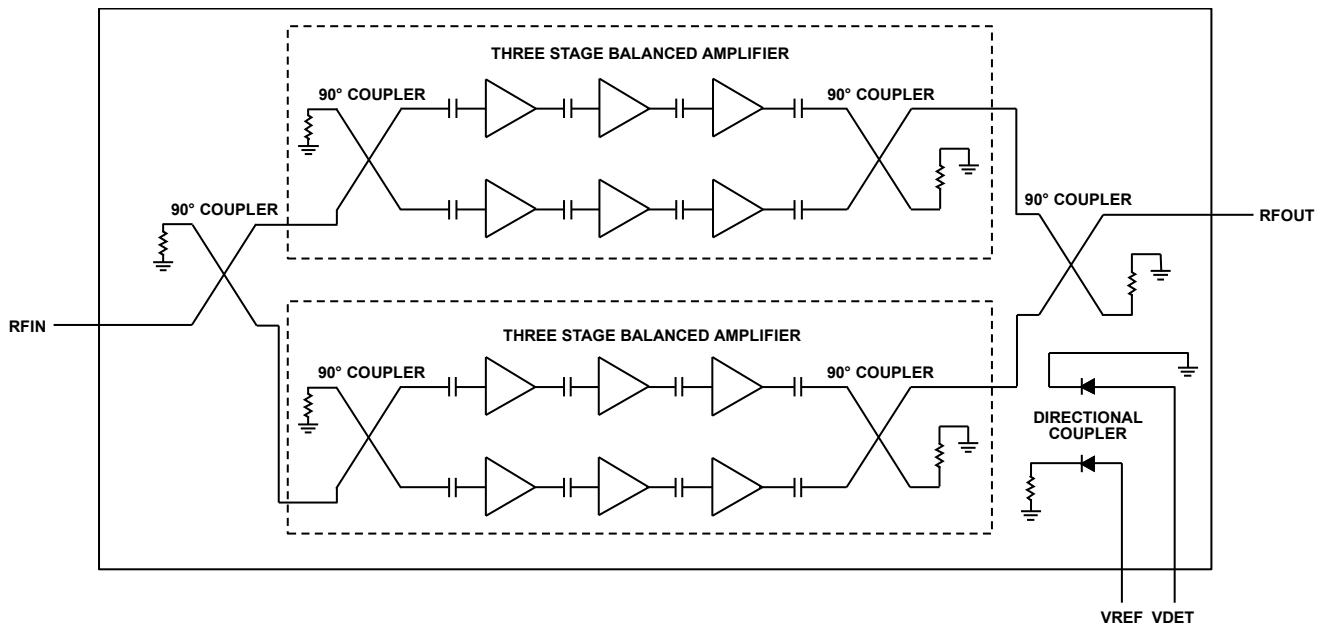


図 50. ADPA7005CHIP のアーキテクチャ

17319-050

アプリケーション情報

ADPA7005CHIP は、GaAs を用いた pHEMT 構造の MMIC パワー・アンプです。全ての V_{GGx} ピンと V_{DDx} ピンに容量性バイパスが必要です (図 51 を参照)。 V_{GG1} は、カスケード接続された上側アンプ用のゲート・バイアス・パッドです。 V_{GG2} は、カスケード接続された下側アンプ用のゲート・バイアス・パッドです。 V_{DD1} 、 V_{DD3} 、および V_{DD5} は、カスケード接続された上側アンプ用のドレイン・バイアス・パッドです。 V_{DD2} 、 V_{DD4} 、および V_{DD6} は、カスケード接続された下側アンプ用のドレイン・バイアス・パッドです。

このデバイスのすべての測定値は、アセンブリ図 (図 64 を参照) に示すような代表的アプリケーション回路 (図 63 を参照) を使って測定されています。

パワーアップ時の推奨バイアス・シーケンスを次に示します。

1. GND を RF と DC グラウンドに接続します。
2. 全てのゲート・バイアス電圧 (V_{GG1} および V_{GG2}) を $-2V$ に設定します。
3. 全てのドレイン・バイアス電圧 (V_{DDXX}) を $5V$ に設定します。
4. 望ましい静止電源電流が得られるようにゲート・バイアス電圧を上げて、 $I_{DQ} = 1200mA$ に設定します。
5. RF 信号を印加します。

パワーダウン時の推奨バイアス・シーケンスを次に示します。

1. RF 信号をオフにします。
2. $I_{DQ} =$ 約 $0mA$ になるように、ゲート・バイアス電圧 (V_{GG1} および V_{GG2}) を $-2V$ まで下げます。
3. 全てのドレイン・バイアス電圧を $0V$ に下げます。
4. V_{GG1} および V_{GG2} ゲート・バイアス電圧を $0V$ に上げます。

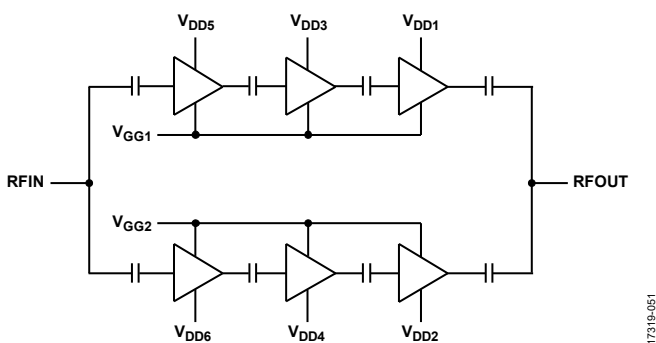


図 51. 簡略ブロック図

図 51 に、専用ゲイン段へのバイアス・パッド接続と、パッド間の依存性および独立性を簡略化した図を示します。

全体的な性能を最適化するために、 $V_{DD} = 5V$ および $I_{DD} = 1200mA$ のバイアス条件を推奨します。特に指定のない限り、ここに示すデータは推奨バイアス条件を使って得たものです。異なるバイアス条件で ADPA7005CHIP を動作させると、図 63 および図 64 に示されている性能とは異なる性能を示す可能性があります。より大きなドレイン電流が得られるように ADPA7005CHIP をバイアスすると、一般に P_{1dB} 、出力 $IP3$ 、およびゲインは大きくなりますが、代償として消費電力が大きくなります (表 7 を参照)。

ミリ波 GaAs MMIC のマウントおよびボンディング手法

ダイは導通性のエポキシを使ってグラウンド・プレーンに直接取り付けます (手順は取り扱い上の注意のセクション、マウントのセクション、およびワイヤ・ボンディングのセクションを参照)。

チップとの間の RF 伝送には、厚さ $0.127mm$ のアルミナ薄膜基板上で 50Ω のマイクロストリップ伝送ラインを使用することを推奨します。ダイ表面と基板表面の高さが同じになるように、ダイを $0.075mm$ かさ上げします。

リボン・ボンドの長さを最小限に抑えるために、マイクロストリップ基板はできるだけダイに近付けます。通常、ダイから基板までの間隔は $0.076mm \sim 0.152mm$ です。広帯域マッチングを確保するために、PCB 上でリボン・ボンドの前に $15fF$ の容量性スタブを配置することを推奨します。

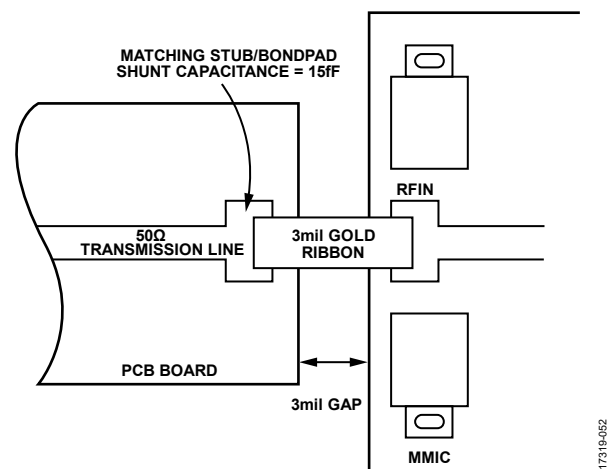


図 52. 高周波数入力の広帯域マッチング

表 7. パワー選択表^{1,2}

I_{DQ} (mA)	Gain (dB)	P_{1dB} (dBm)	OIP3 (dBm)	P_{DISS} (W)	V_{GG} (V)
1200	17	32.0	42	6	-0.59
1400	17.4	32.3	40.2	7	-0.53
1600	17.7	32.5	38.4	8	-0.46

¹ データは次の公称バイアス条件で測定されています。 $V_{DD} = 5V$ 、 $T_A = 25^\circ C$ 。

² 望ましいドレイン電流が得られるように、 V_{GG1} と V_{GG2} を $-2V \sim 0V$ の範囲内で調整します。

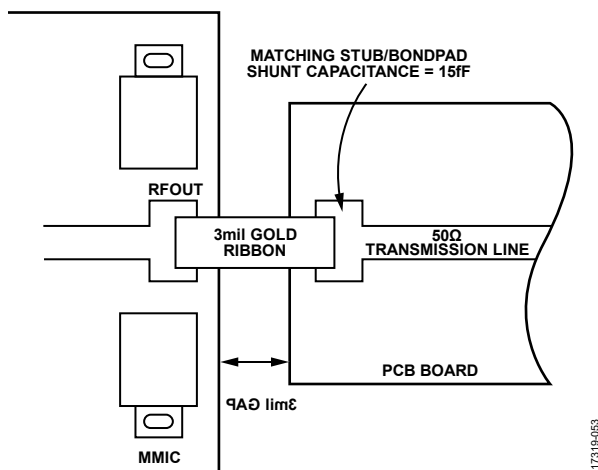


図 53. 高周波数出力の広帯域マッチング

取り扱い上の注意

恒久的な損傷の発生を防止するために、保管、清浄度、静電気感度、トランジェント、および一般的な取り扱いに関する以下の注意事項に従ってください。

- すべてのベアダイはワッフルベースまたはゲルベースの ESD 保護容器に收容され、ESD 保護バッグに封入されて出荷されます。密封された ESD 保護バッグを開いた後は、すべてのダイを乾燥窒素環境下で保管する必要があります。
- チップの取り扱いは清浄な環境下で行ってください。チップのクリーニングに液体クリーニング・システムを使用しないでください。
- ESD からチップを保護するために、ESD に関する注意事項に従ってください。

- バイアスを加えている間は、装置およびバイアスの電源トランジェントを抑制してください。誘導の影響を最小限に抑えるために、信号ケーブルとバイアス・ケーブルはシールドされたものを使用してください。
- チップの取り扱いには真空コレットか先のとがったピンセットを使い、エッジ部分を保持してください。チップ表面には壊れやすいエアブリッジ構造が使われているので、真空コレット、ピンセット、指などがチップの表面に触れないようにする必要があります。

マウント

エポキシ・ダイを取り付ける前に、マウント面に最小限のエポキシを塗布し、チップを所定の位置に置いたときに、チップ周囲にフィレット状の薄いエポキシ層が形成されるようにします。エポキシはメーカーの指示に従って硬化させてください。

ワイヤ・ボンディング

RF ポートには、3mil × 0.5mil の金リボンによる RF ボンドを推奨します。これらのボンドは、40g~60g の力でサーモソニック・ボンディングを施す必要があります。直径 0.025mm のサーモソニック・ボンディングされた DC ボンドを推奨します。ボール・ボンドには 40g~50g、ウェッジ・ボンドには 18g~22g の力を使用します。すべてのボンディングは、150°C の公称ステージ温度で行ってください。ボンディングの信頼性を確保するために、(使用するプロセスとパッケージに応じて) 最小限の超音波エネルギーを加えてください。すべてのボンドはできるだけ短くし、0.31mm 未満とします。

あるいは、2 本の 1mm ワイヤを使用した 3mm 以下の短い RF ボンドを使用することもできます。

HMC980LP4EによるADPA7005CHIPのバイアシング

HMC980LP4E は、ADPA7005CHIP などのエンハンスメント・モードまたはディプリーション・モード・アンプのバイアス条件を満たすように設計されたアクティブ・バイアス・コントローラです。このコントローラは、温度の変化とデバイス間のばらつきに対して一定のドレイン電流バイアシングを提供します。またゲート電圧とドレイン電圧を適切にシーケンシングし、アンプの安全な動作を確保します。HMC980LP4E には、短絡に備えた自己保護機能もあります。また、ADPA7005CHIP のゲートに必要な負電圧を生成する内部チャージ・ポンプと、外部負電圧源を使用するオプションを備えています。HMC980LP4E は、HMC980-DIE としてダイの形態でも供給されます。

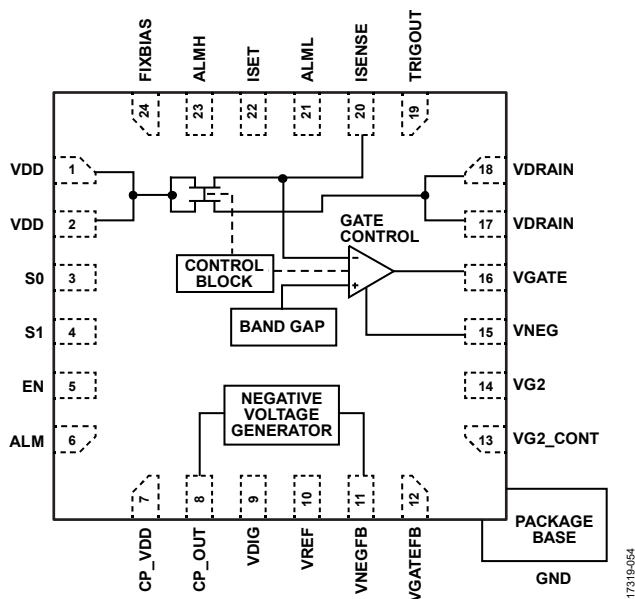


図 54. HMC980LP4E の機能図

アプリケーション回路のセットアップ

図 55 に、HMC980LP4E を使用して ADPA7005CHIP を制御するアプリケーション回路の回路図を示します。VNEG に外部負電源を使用する場合は、図 56 の回路図を参照してください。

図 55 に示すアプリケーション回路では、ADPA7005CHIP のドレイン電圧とドレイン電流は次の式によって設定されます。

$$VDRAIN(5V) = VDD(6.12V) - IDRAIN(1600mA) \times 0.7\Omega \quad (1)$$

$$IDRAIN(1600mA) = 150\Omega A \div R10(93.1\Omega) \quad (2)$$

ここで、 $IDRAIN$ は定ドレイン電流です。

ADPA7005CHIP の V_{GGx} の絶対最大定格条件に合わせた V_{GATE} の制限

HMC980LP4E を使用して ADPA7005CHIP を制御する場合、VNEG と VGATE の最小電圧を $-1.5V$ にして、これらの電圧を ADPA7005CHIP の V_{GGx} パッドの絶対最大定格の範囲内に保つ必要があります。最小電圧を設定するには、R15 と R16 を図 55 および図 56 に示す値に設定します。R15 と R16 の詳細および計算方法については、AN-1363 を参照してください。

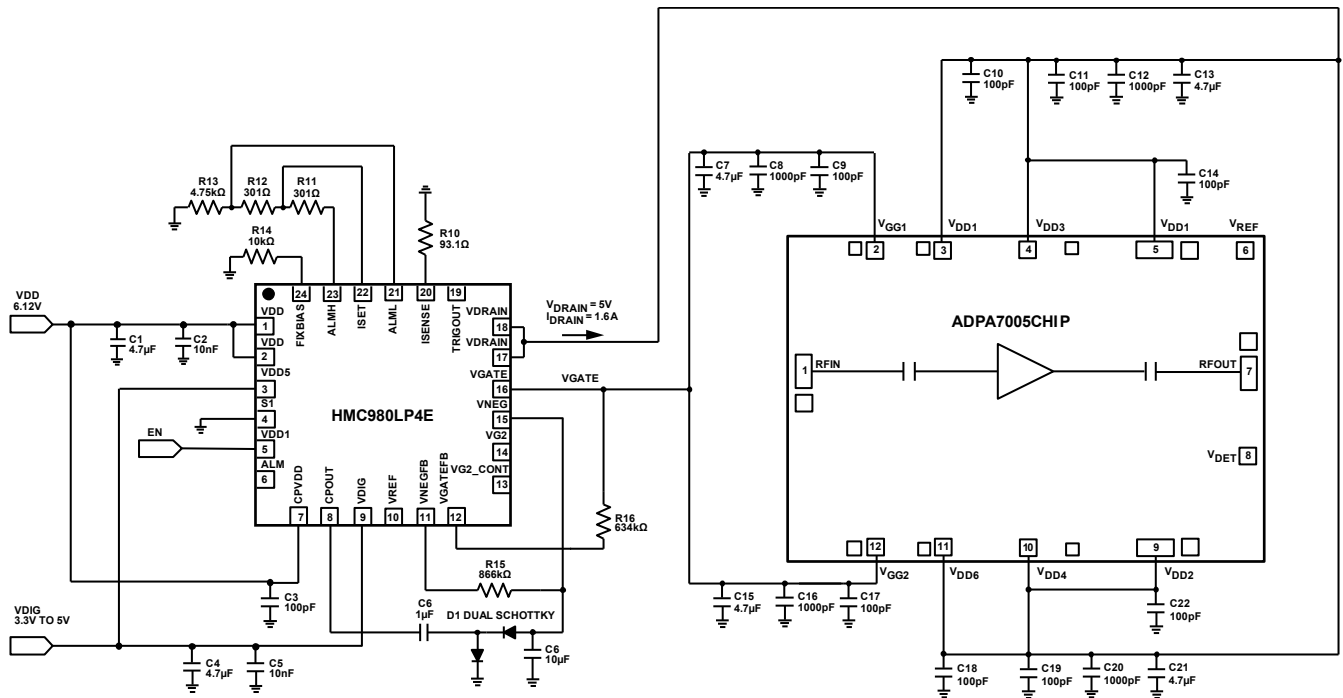


図 55. HMC980LP4E と ADPA7005CHIP を組み合わせて使用するアプリケーション回路

17319-055

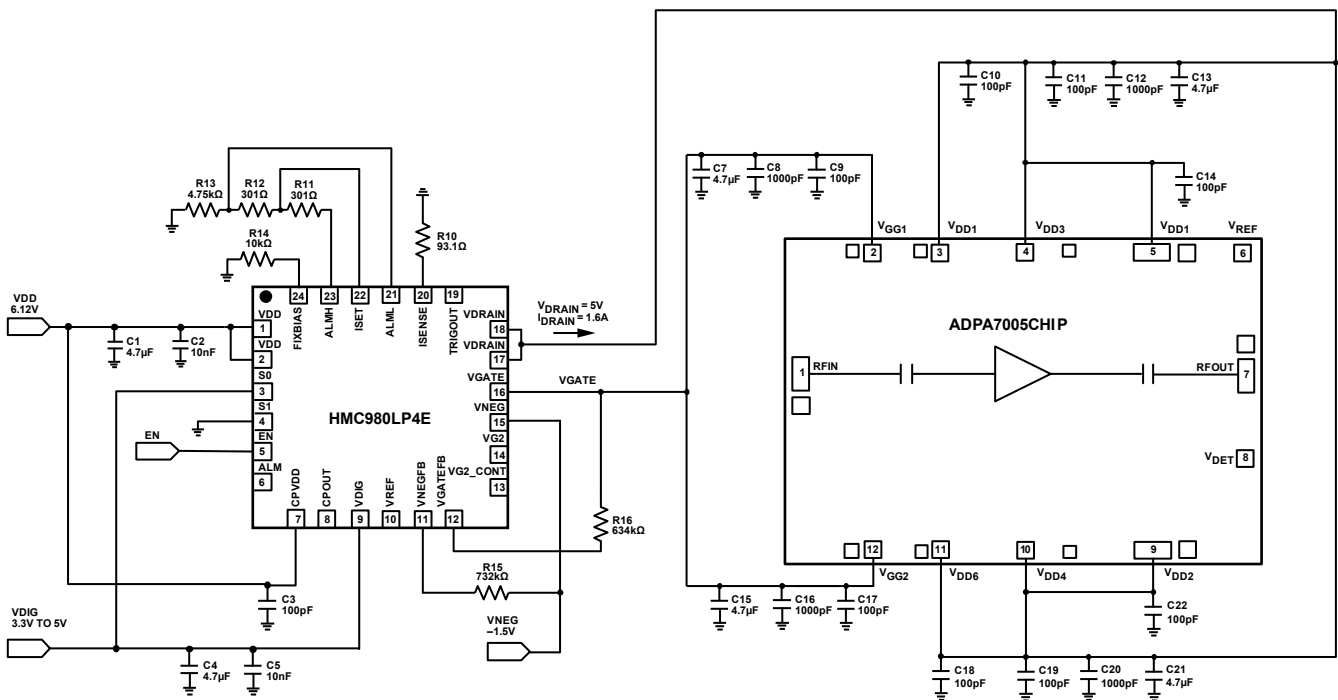


図 56. HMC980LP4E と ADPA7005CHIP と外部負電圧源を組み合わせて使用するアプリケーション回路

17319-056

HMC980LP4E のバイアス・シーケンス

HMC980LP4E を使用して ADPA7005CHIP を制御する場合は、HMC980LP4E の損傷を防ぐために、パワーアップ・シーケンスのセクションとパワーダウン・シーケンスのセクションの DC 電源シーケンスに従う必要があります。

パワーアップ・シーケンス

パワーアップ・シーケンスは次のとおりです。

1. $V_{DIG} = 3.3V$
2. $S_0 = 3.3V$
3. $V_{DD} = 5.68V$
4. $V_{NEG} = -1.5V$ (内部で生成される電圧を使用する場合は不要)
5. $EN = 3.3V$ (0V から 3.3V に遷移すると、VGATE と VDRAIN がオンになる)

パワーダウン・シーケンス

パワーダウン・シーケンスは次のとおりです。

1. $EN = 0V$ (3.3V から 0V に遷移すると、VDRAIN と VGATE とがオフになる)
2. $V_{NEG} = 0V$ (内部で生成される電圧を使用する場合は不要)
3. $V_{DD} = 0V$
4. $S_0 = 0V$
5. $V_{DIG} = 0V$

HMC980LP4E バイアス制御回路のセットアップが完了すると、EN パッドに 3.3V (オン) または 0V (オフ) を印加することにより、ADPA7005CHIP のバイアスのオンとオフをトグルできます。EN = 3.3V になると、VGATE は -1.5V まで低下し、VDRAIN は 5V でオンになります。VGATE の電圧は $I_{DRAIN} = 800mA$ になるまで上昇し、クローズド制御ループが I_{DRAIN} を 1600mA に安定化させます。EN = 0V になると、VGATE は -1.5V に設定され、VDRAIN は 0V に設定されます (図 57 と図 58 を参照)。

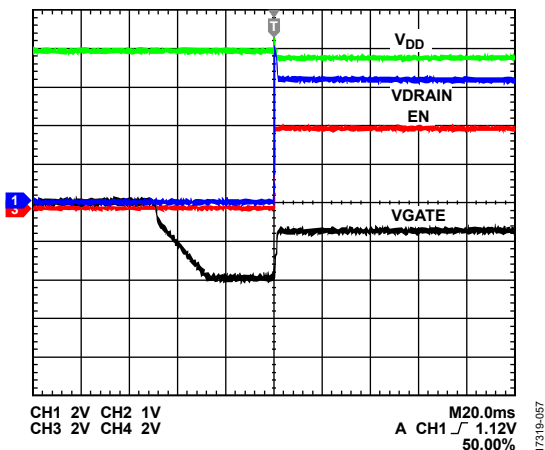


図 57. ターンオン - ADPA7005CHIP への HMC980LP4E の出力

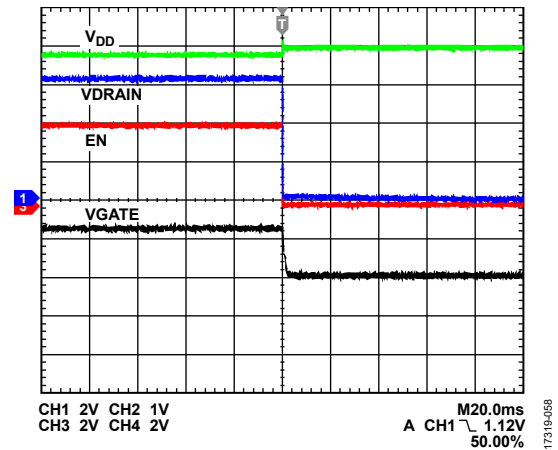


図 58. ターンオフ - ADPA7005CHIP への HMC980LP4E の出力

定ドレイン電流バイアシングと定ゲート電圧バイアシング

HMC980LP4E は、クローズドループ・フィードバックを使用して VGATE を連続調整し、DC 電源の変動、温度、および部品間のばらつきに対して一定のゲート電圧バイアスを維持します。また、定ドレイン電流バイアスは、キャリアブレーションの時間を短縮し、時間の経過に対して安定した性能を維持するための最適な手法です。RF パワーの印加時に電流が増える定ゲート電圧バイアスと比較すると、定ドレイン電流バイアスでは出力 P1dB が多少低下します。この出力 P1dB を図 62 に示します。デバイスが 1dB 利得圧縮点に達するため、高い入力パワーではドレイン電流が小さくなるので、この図では定ゲート電圧バイアス動作よりも RF 性能が多少低くなっています。

設定電流 I_{DD} が大きくなることで、定ドレイン電流バイアスの出力 P1dB 性能を、定ゲート電圧バイアスの性能に近づけていくことができます。出力 P1dB 性能は、図 62 に示すように、定ゲート電圧バイアス条件の RF 駆動に達します。定電流動作で I_{DQ} をどこまで大きくできるかの制限は、通常はアンプのデータシートの絶対最大定格の表 (表 3 を参照) に記載されている熱的制限と最大消費電力の仕様によって決まります。 I_{DD} が増加し続けても、実際の出力 P1dB が無制限に大きくなるわけではなく、消費電力が増加していきます。したがって、定ドレイン電流バイアシングを使用する場合は、消費電力と出力 P1dB 性能の兼ね合いを考慮に入れてください。

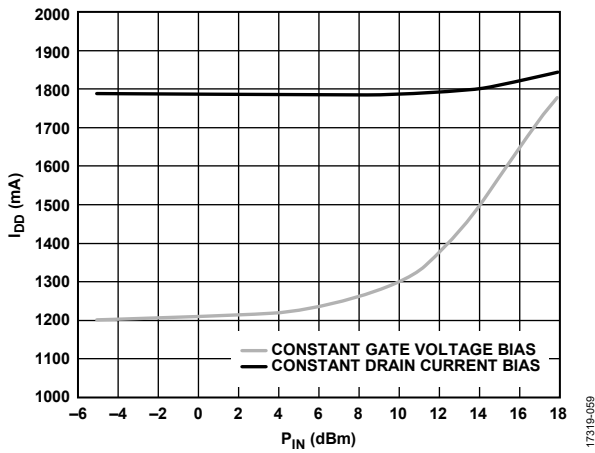


図 59. I_{DD} と RF 入力パワー (P_{IN}) の関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、定ドレイン電流バイアスと定ゲート電圧バイアス

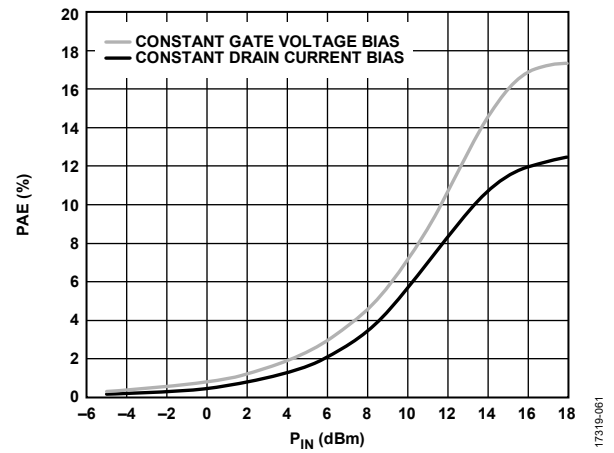


図 61. PAE と P_{IN} の関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、定ドレイン電流バイアスと定ゲート電圧バイアス

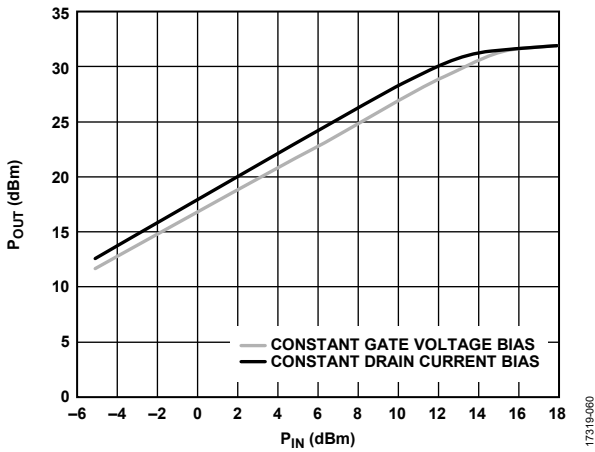


図 60. P_{OUT} と P_{IN} の関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、定ドレイン電流バイアスと定ゲート電圧バイアス

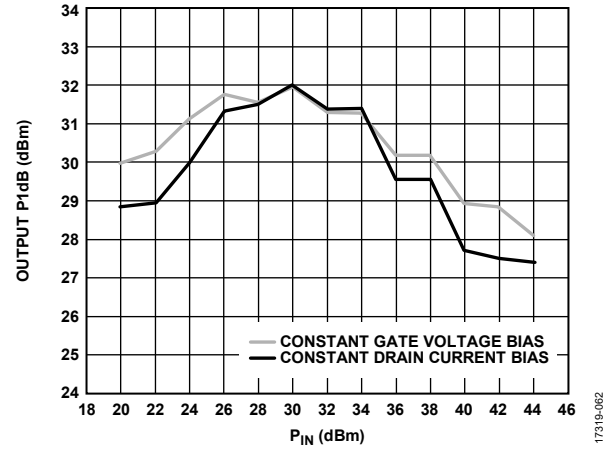


図 62. 出力 P1dB と P_{IN} の関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、定ドレイン電流バイアスと定ゲート電圧バイアス

代表的なアプリケーション回路

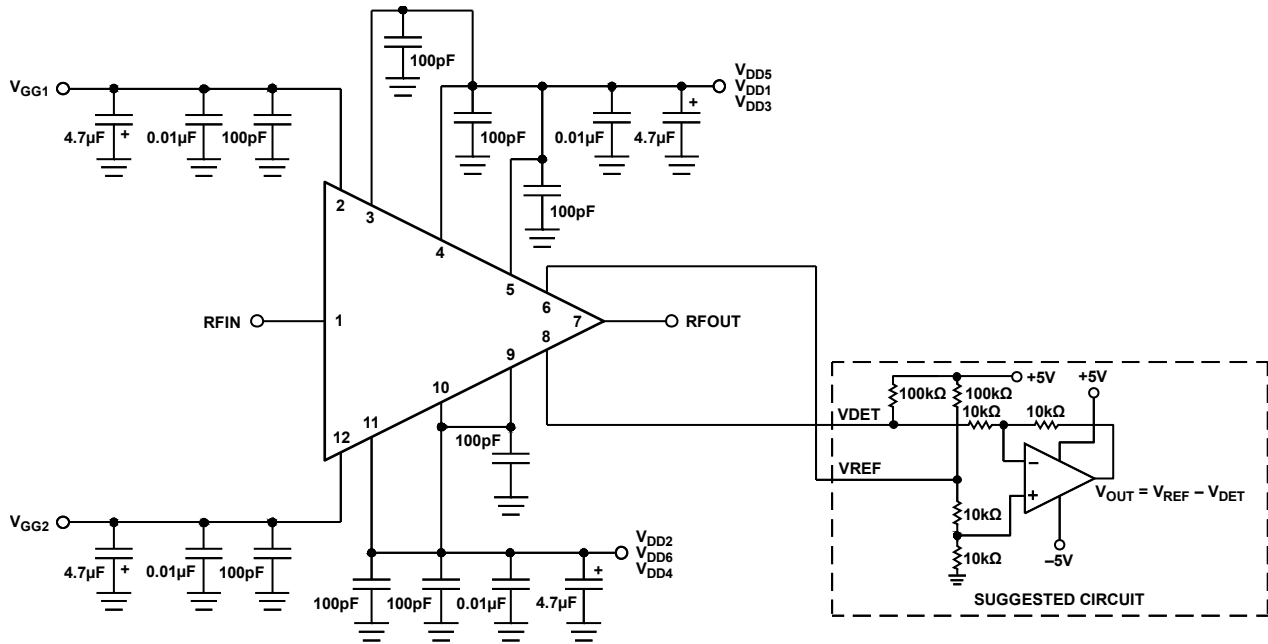
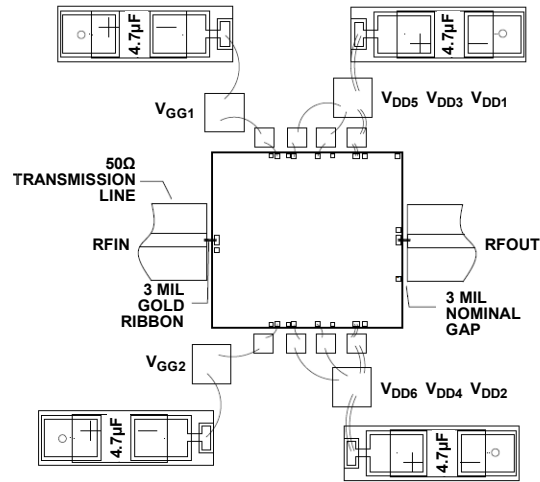


図 63. HMC980LP4E と ADPA7005CHIP を組み合わせて使用する代表的なアプリケーション回路

17319-083

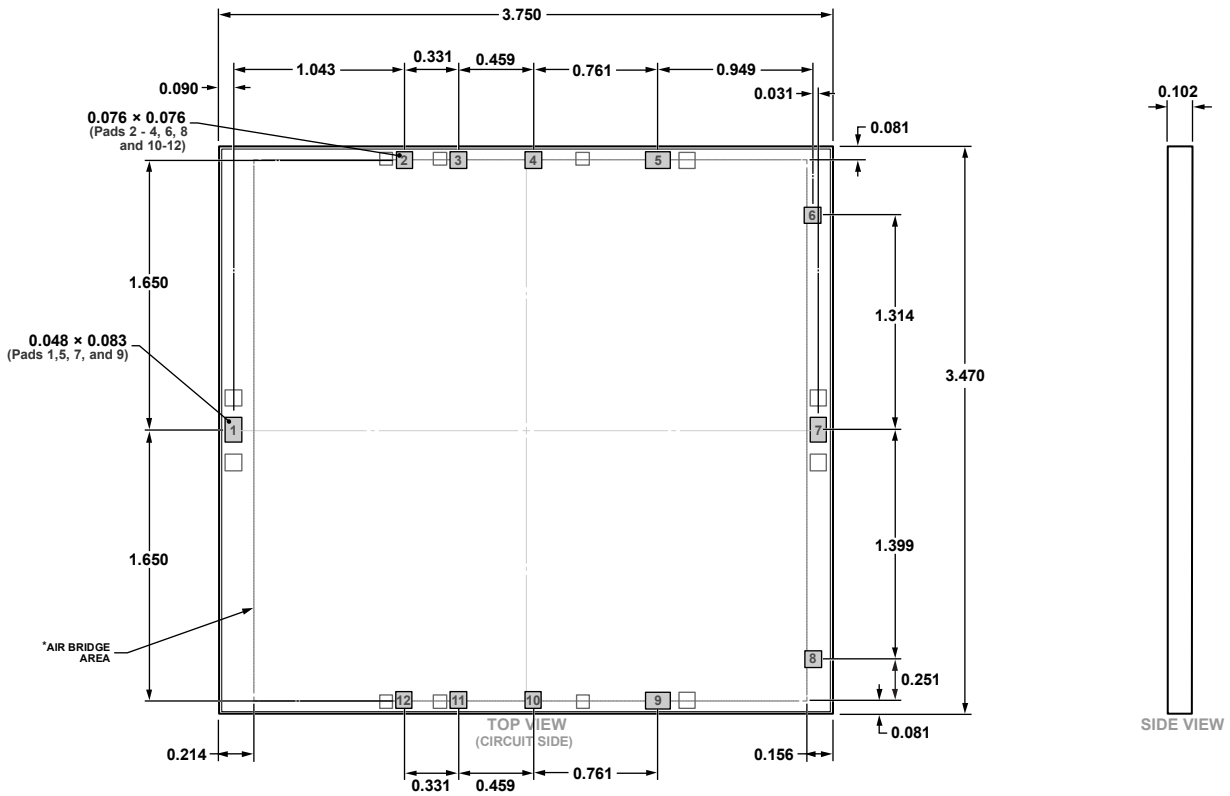
アセンブリ図



17319-004

図 64. アセンブリ図

外形寸法



*This die utilizes fragile air bridges. Any pickup tools used must not contact this area.

図 65. 12 パッド・ベア・ダイ [チップ]
(C-12-3)
寸法：mm

02-06-2019-B

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADPA7005CHIP	-55°C to +85°C	12-Pad Bare Die [CHIP]	C-12-3
ADPA7005C-KIT	-55°C to +85°C	12-Pad Bare Die [CHIP]	C-12-3