



GaAs、pHEMT、MMIC、1/2W、 20GHz~44GHzのパワー・アンプ

データシート

ADPA7002CHIP

特長

出力 P1dB : 34GHz~44GHz で 28dBm (代表値)

PsAT : 20GHz~34GHz で 30dBm (代表値)

ゲイン : 34GHz~44GHz で 15dB (代表値)

IP3 : 40dBm (代表値)

電源電圧 : 5V/600mA

ダイ・サイズ : 2.75mm × 1.805mm × 0.1mm

アプリケーション

防衛および航空宇宙

試験用計測器

機能ブロック図

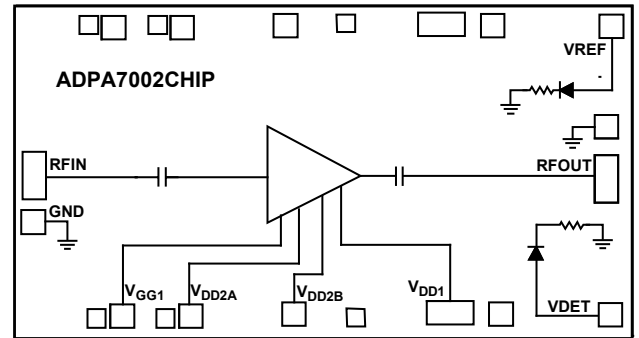


図 1.

概要

ADPA7002CHIP は、ガリウム・ヒ素 (GaAs) モノリシク・マイクロ波集積回路 (MMIC) の擬似格子整合型高電子移動度トランジスタ (pHEMT) 分布型パワー・アンプで、動作範囲は 20GHz~44GHz です。このアンプは、15dB の小信号ゲイン、1dB 利得圧縮点 (P1dB) で 28dBm の出力パワー、40dBm の出力 3 次インターセプト・ポイント (IP3) (代表値) を提供します。このアンプは、VDD2A、VDD2B、お

よび VDD1 上に 5V 電源から 600mA を必要とします。ADPA7002CHIP の入出力 (I/O) は内部で 50Ω に整合しているため、マルチチップ・モジュール (MCM) に容易に組み込むことができます。全てのデータは、基板上的チップを幅 0.025mm (1mil)、長さ 0.31mm (12mil) の 2 本のワイヤ・ボンドで接続して測定したものです。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本誌記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200

大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868

名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長.....	1	代表的な性能特性.....	7
アプリケーション.....	1	定ドレイン電流 (I_{DD}) での動作.....	14
機能ブロック図.....	1	動作原理.....	15
概要.....	1	ADPA7002CHIP のアセンブリ図と回路図.....	16
改訂履歴.....	2	代替アセンブリ図.....	17
仕様.....	3	バイアシング手順.....	18
周波数範囲：20GHz～34GHz.....	3	HMC980LP4E による ADPA7002CHIP のバイアシング.....	18
周波数範囲：34GHz～44GHz.....	3	ミリ波 GaAs MMIC のマウントおよびボンディング手法.....	22
絶対最大定格.....	4	外形寸法.....	23
ESD に関する注意.....	4	オーダー・ガイド.....	23
ピン配置およびピン機能の説明.....	5		
インターフェース回路図.....	6		

改訂履歴

2/2019–Revision 0: 初版

仕様

周波数範囲 : 20GHz~34GHz

特に指定のない限り、公称条件で $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、静止ドレイン電源電流 (I_{DQ}) = 600mA。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		20		34	GHz	
GAIN		15	17		dB	
Gain Flatness			± 0.5		dB	
Gain Variation over Temperature			0.012		dB/ $^\circ\text{C}$	
NOISE FIGURE			6		dB	
RETURN LOSS						
Input			20		dB	
Output			20		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	26	28.5		dBm	Measurement taken at saturated output power (P_{OUT}) per tone = 14 dBm
Saturated Output Power	P_{SAT}		30		dBm	
Output Third-Order Intercept	IP3		40		dBm	
SUPPLY						
Quiescent Drain Supply Current	I_{DQ}		600		mA	Adjust the gate bias voltage (V_{GG1}) between -2 V to 0 V to achieve the desired I_{DQ}
Voltage	V_{DD}	4	5		V	

周波数範囲 : 34GHz~44GHz

特に指定のない限り、公称条件で $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 600\text{mA}$ 。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		34		44	GHz	
GAIN		12	15		dB	
Gain Flatness			± 0.7		dB	
Gain Variation over Temperature			0.024		dB/ $^\circ\text{C}$	
NOISE FIGURE			5		dB	
RETURN LOSS						
Input			25		dB	
Output			16		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	25	28		dBm	Measurement taken at P_{OUT} per tone = 14 dBm
Saturated Output Power	P_{SAT}		28.5		dBm	
Output Third-Order Intercept	IP3		40		dBm	
SUPPLY						
Quiescent Drain Supply Current	I_{DQ}		600		mA	Adjust the gate bias voltage (V_{GG1}) between -2 V to 0 V to achieve the desired I_{DQ}
Voltage	V_{DD}	4	5		V	

絶対最大定格

表 3.

Parameter	Rating
Drain Bias Voltage (V_{DD})	6.0 V
Gate Bias Voltage (V_{GG1})	-1.5 to 0 V
Radio Frequency Input Power (RFIN)	25 dBm
Continuous Power Dissipation (P_{DISS}), T = 85°C (Derate 75.2 mW/°C above 85°C)	6.77 W
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-55°C to +85°C
Nominal Junction Temperature (T = 85°C, $V_{DD} = 5$ V, $I_{DQ} = 600$ mA)	124.9°C
Junction Temperature to Maintain 1,000,000 Hour Mean Time to Failure (MTTF)	175°C
Electrostatic Discharge (ESD) Sensitivity Human Body Model (HBM)	Class 1A (passed 500 V)

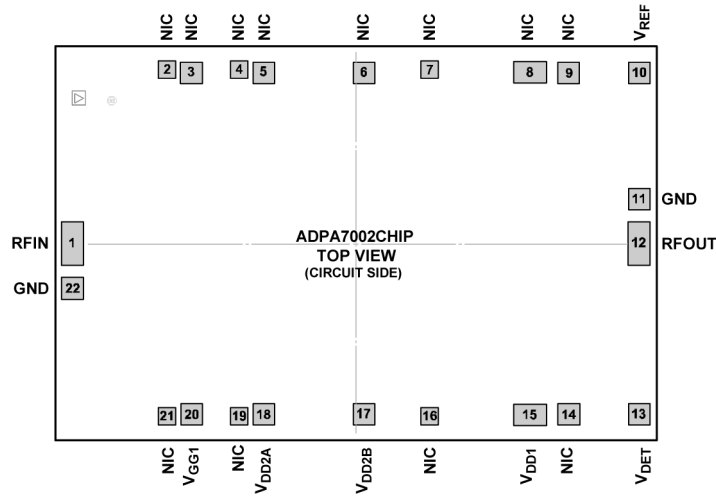
上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. NIC は内部接続なしを意味する。これらのパッドは内部で接続されない。

17236-002

図 2. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	RFIN	無線周波数 (RF) 信号入力。このパッドは AC カップリングされ、50Ω に整合されています。
2 to 9, 14, 16, 19, 21	NIC	内部接続なし。これらのパッドは内部で接続されません。
10	V _{REF}	V _{DET} RF 出力パワー測定値の温度補償用のリファレンス・ダイオード。
11, 22, Die Bottom	GND	グラウンド。これらのパッドとダイの下部は、RF/DC グラウンドに接続する必要があります。
12	RFOUT	RF 信号出力。このパッドは AC カップリングされ、50Ω に整合されています。
13	V _{DET}	RF 出力パワー測定用のディテクタ・ダイオード。このピンを介して出力パワーの検出を行うには、外付けの直列抵抗を通じて DC バイアス電圧をかける必要があります。V _{REF} ピンと組み合わせて使用した場合の電圧差 (V _{REF} - V _{DET}) は、RF 出力パワーに比例する温度補償済み DC 電圧です。
15, 17, 18	V _{DD1} , V _{DD2A} , V _{DD2B}	アンプのドレイン・バイアス。4.7μF および 0.01μF の外付けバイパス・コンデンサが必要です。
20	V _{GG1}	アンプのゲート制御。4.7μF および 0.01μF の外付けバイパス・コンデンサが必要です。

インターフェース回路図



図 3. GND インターフェース回路図

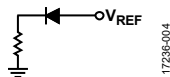


図 4. V_{REF} インターフェース回路図

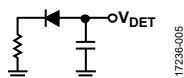


図 5. V_{DET} インターフェース回路図

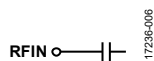


図 6. RFIN インターフェース回路図

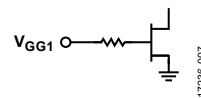


図 7. V_{GG1} 回路図

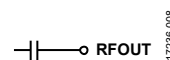


図 8. RFOUT インターフェース回路図

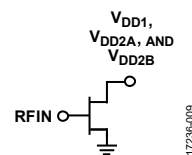


図 9. V_{DD1}、V_{DD2A}、および V_{DD2B} インターフェース回路図

代表的な性能特性

I_{DQ} = 静止ドレイン電源電流、 I_{DD} (ドレイン電流) = I_{DQ} に印加されるRF信号。

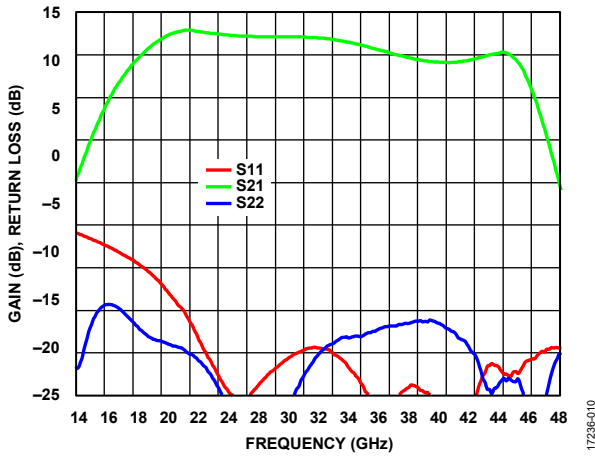


図 10. ゲインおよびリターン・ロスの周波数特性

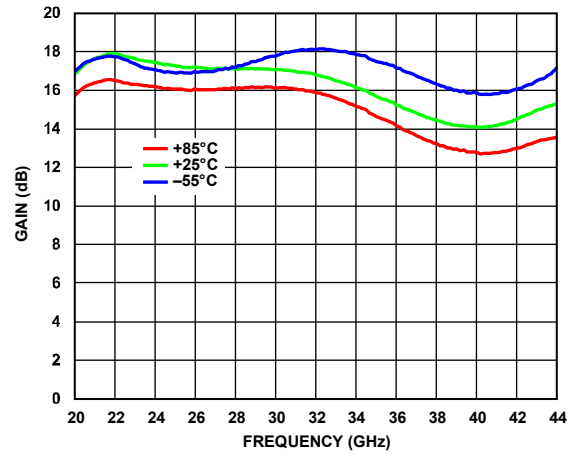


図 13. 様々な温度でのゲインの周波数特性

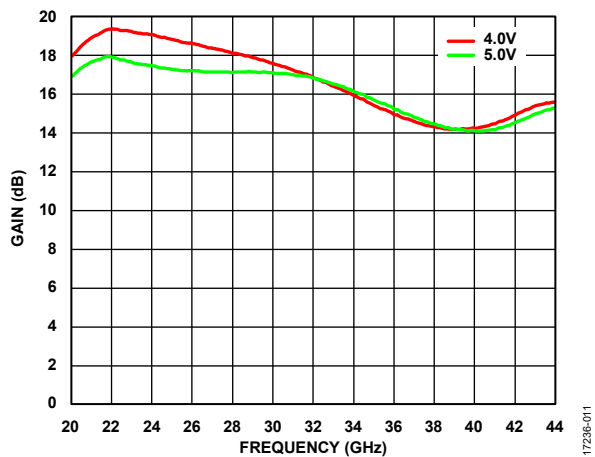


図 11. 様々な電源電圧 (V_{DD}) でのゲインの周波数特性

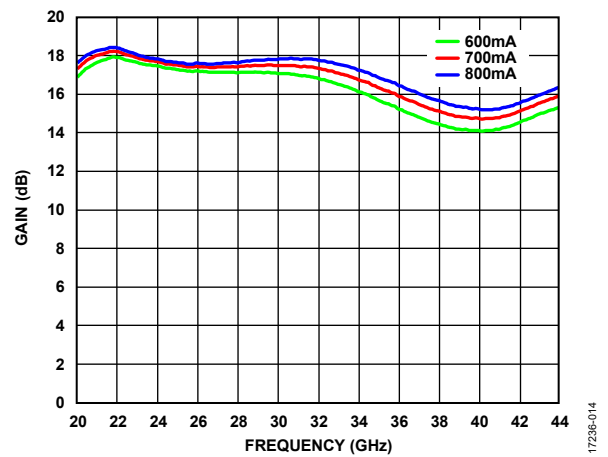


図 14. 様々な静止ドレイン電源電流 (I_{DQ}) でのゲインの周波数特性

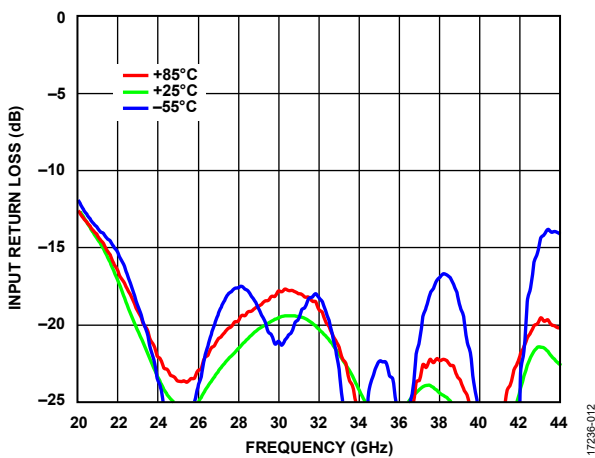


図 12. 様々な温度での入力リターン・ロスの周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 600mA$

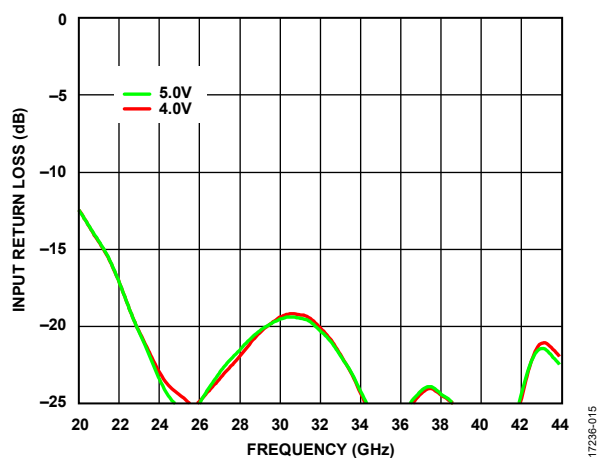


図 15. 様々な電源電圧 (V_{DD}) での入力リターン・ロスの周波数特性

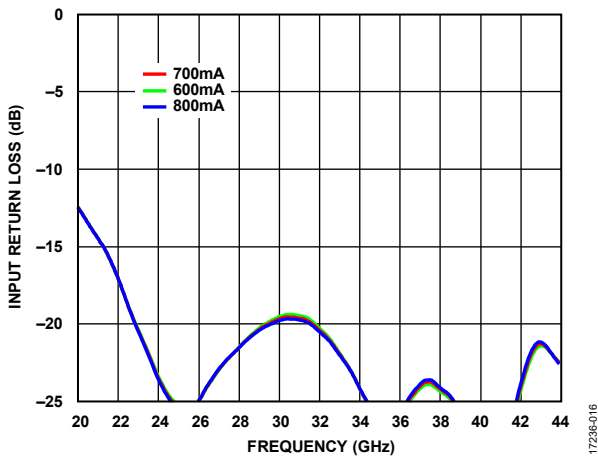


図 16. 様々な静止ドレイン電源電流 (I_{DQ}) での入力リターン・ロスの周波数特性

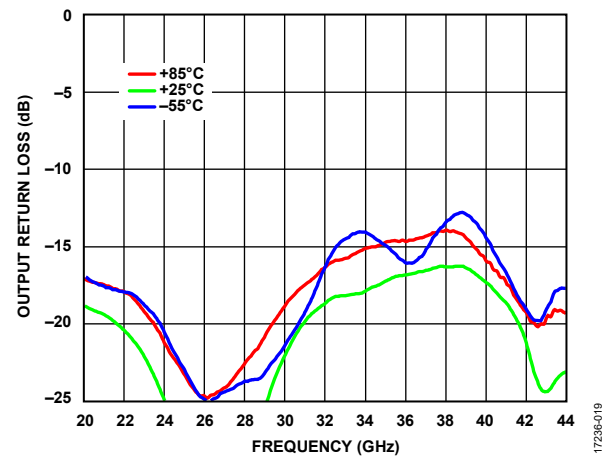


図 19. 様々な温度での出力リターン・ロスの周波数特性

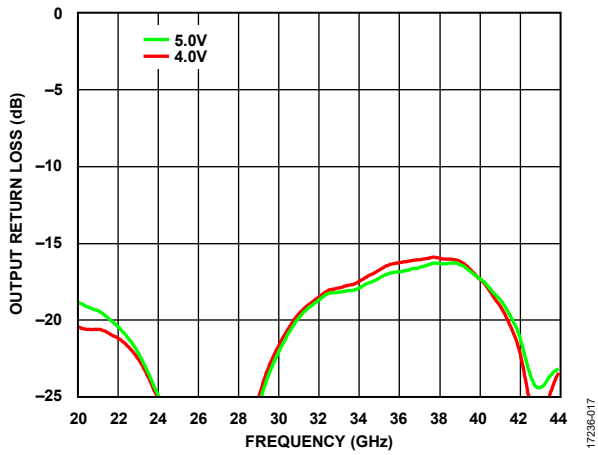


図 17. 様々な電源電圧 (V_{DD}) での出力リターン・ロスの周波数特性

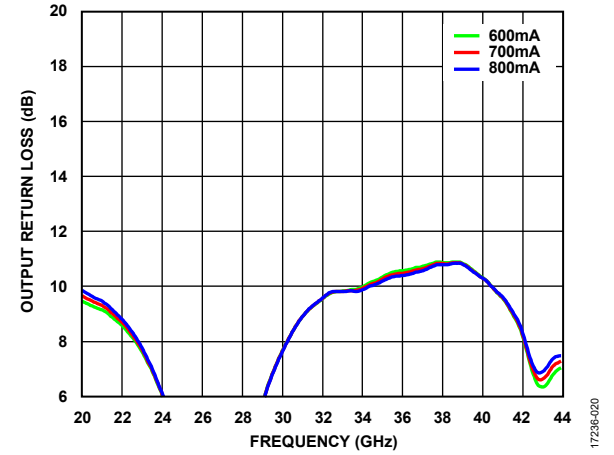


図 20. 様々な静止ドレイン電源電流 (I_{DQ}) での出力リターン・ロスの周波数特性

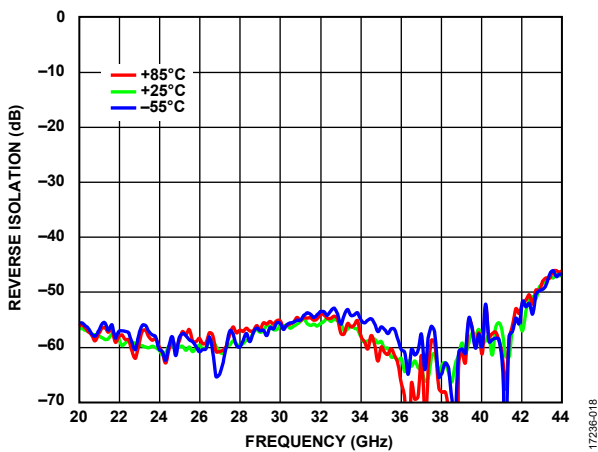


図 18. 様々な温度でのリバース・アイソレーションの周波数特性

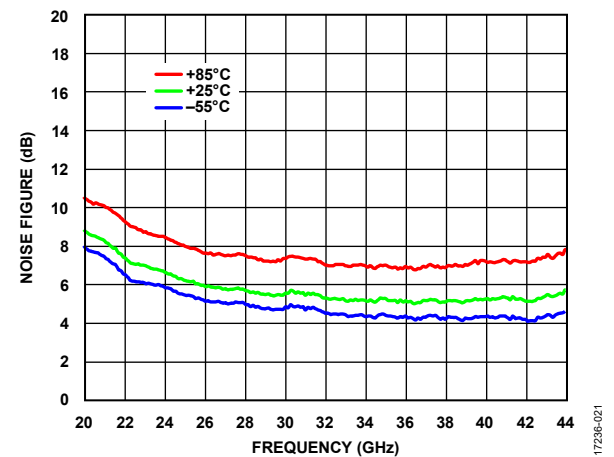


図 21. 様々な温度でのノイズ指数の周波数特性

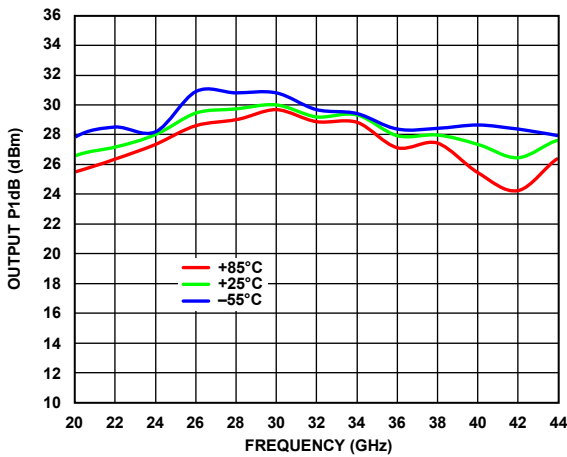


図 22. 様々な温度での出力 P1dB の周波数特性

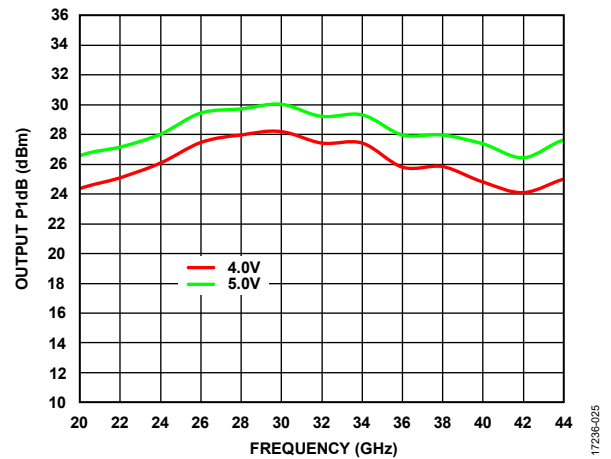


図 25. 様々な電源電圧での出力 P1dB の周波数特性

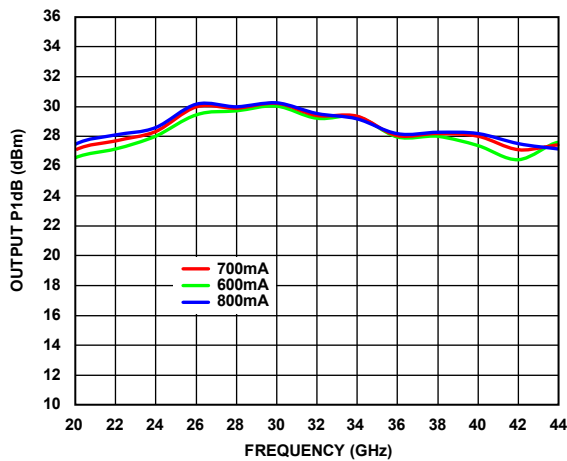


図 23. 様々な電源電流での出力 P1dB の周波数特性

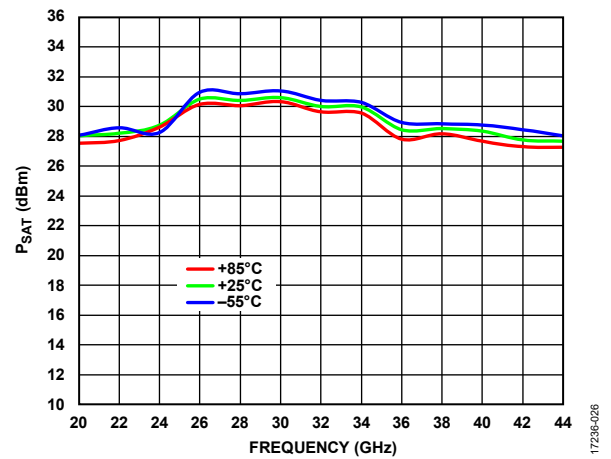


図 26. 様々な温度での PsAT の周波数特性

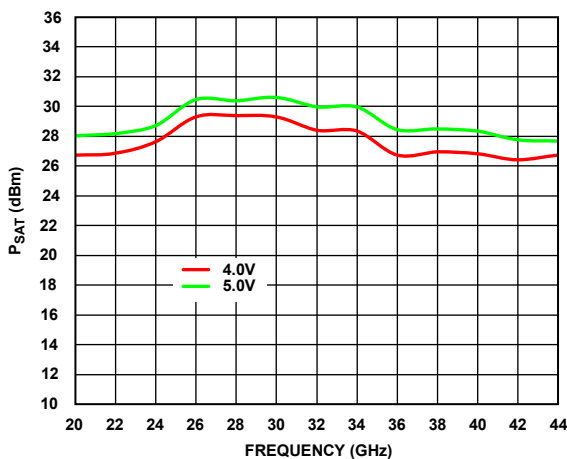


図 24. 様々な電源電圧での PsAT の周波数特性

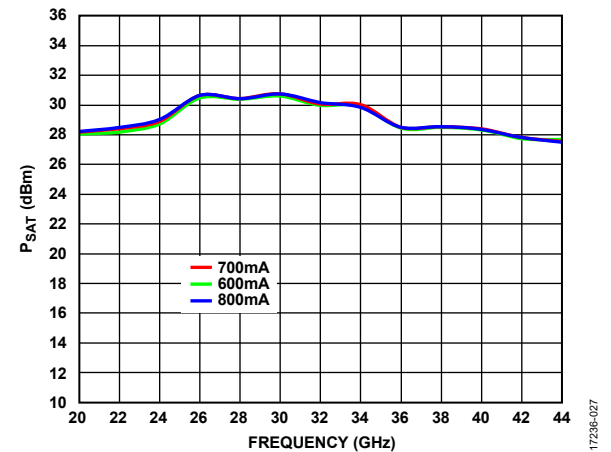


図 27. 様々な電源電流での PsAT の周波数特性

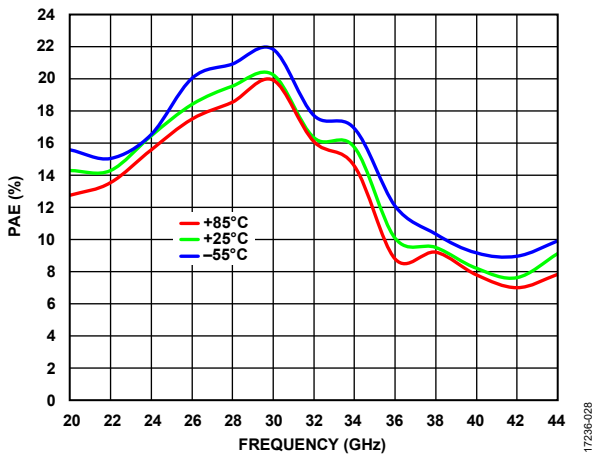


図 28. 様々な温度での電力付加効率 (PAE) の周波数特性、PAE は P_{SAT} で測定

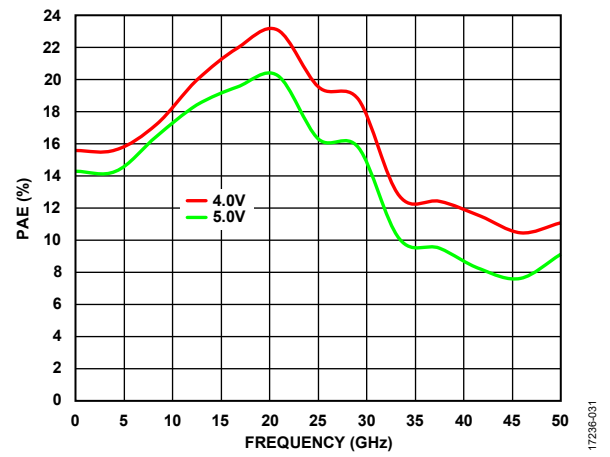


図 31. 様々な電源電圧 (V_{DD}) での PAE の周波数特性、PAE は P_{SAT} で測定

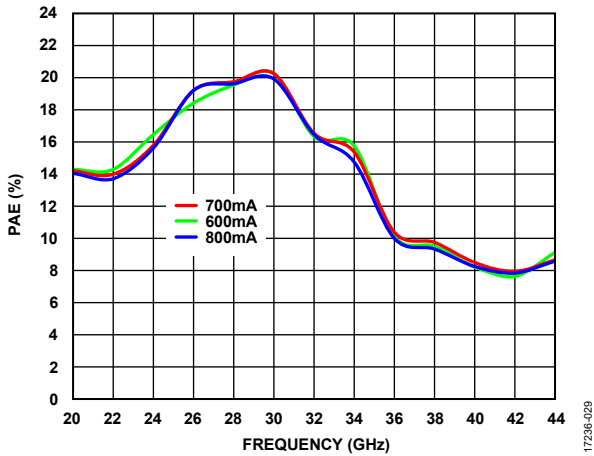


図 29. 様々なドレイン電流 (I_{DD}) での PAE の周波数特性、PAE は P_{SAT} で測定

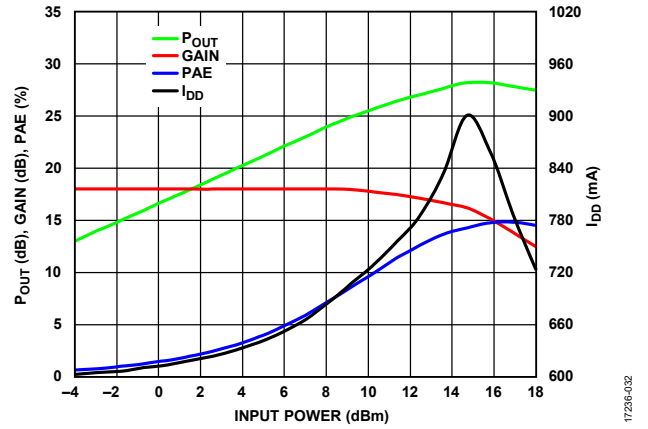


図 32. P_{OUT}、ゲイン、PAE、ドレイン電流 (I_{DD}) と入力パワーの関係、周波数 = 22GHz

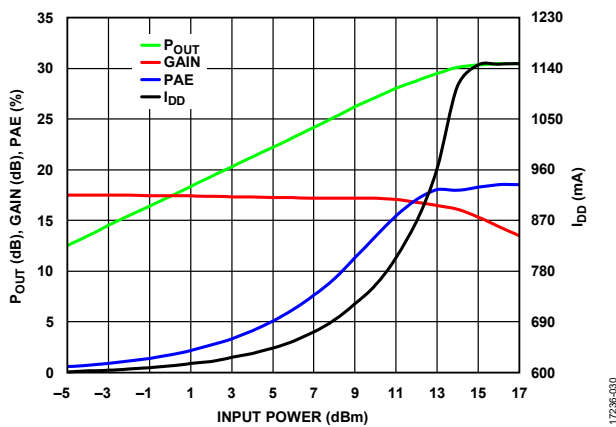


図 30. P_{OUT}、ゲイン、PAE、ドレイン電流 (I_{DD}) と入力パワーの関係、周波数 = 26GHz

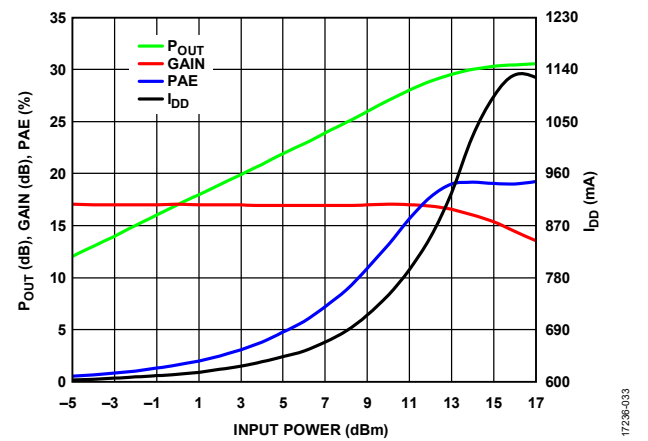
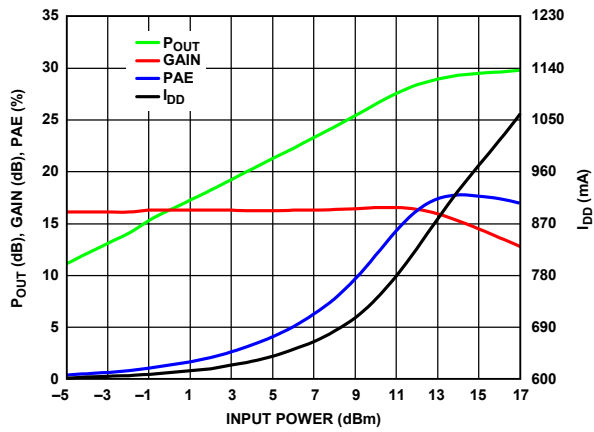
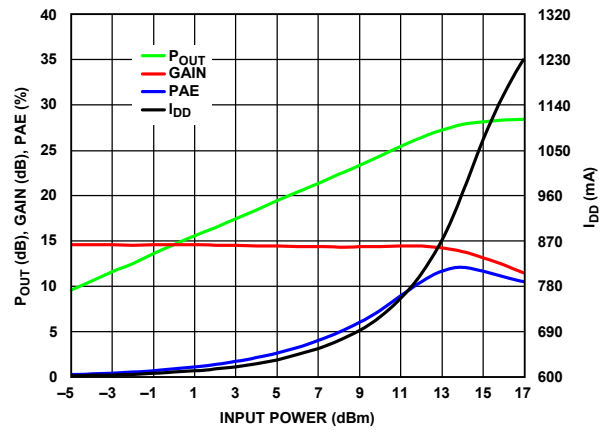


図 33. P_{OUT}、ゲイン、PAE、ドレイン電流 (I_{DD}) と入力パワーの関係、周波数 = 30GHz



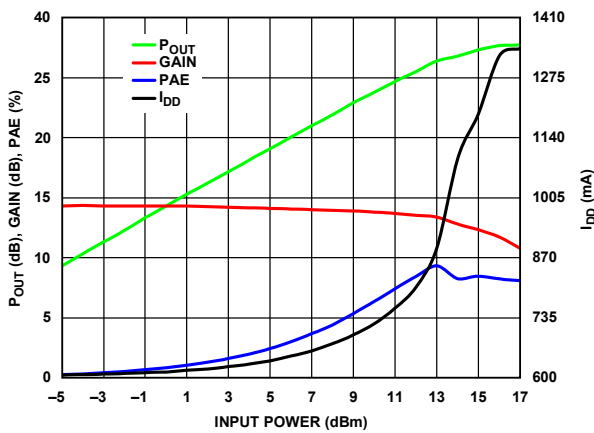
17236-034

図 34. P_{OUT}、ゲイン、PAE、ドレイン電流 (I_{DD}) と入力パワーの関係、周波数 = 34GHz



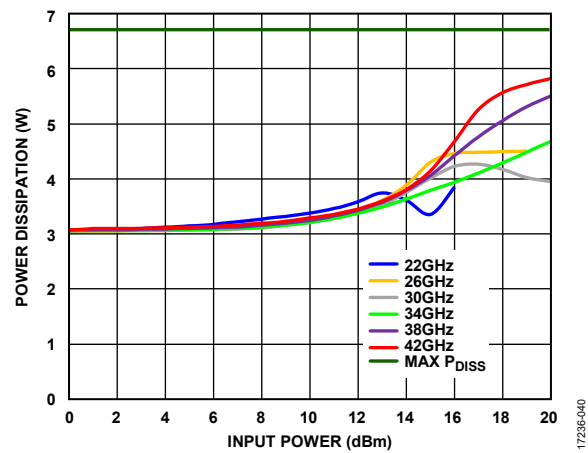
17236-039

図 37. P_{OUT}、ゲイン、PAE、ドレイン電流 (I_{DD}) と入力パワーの関係、周波数 = 38GHz



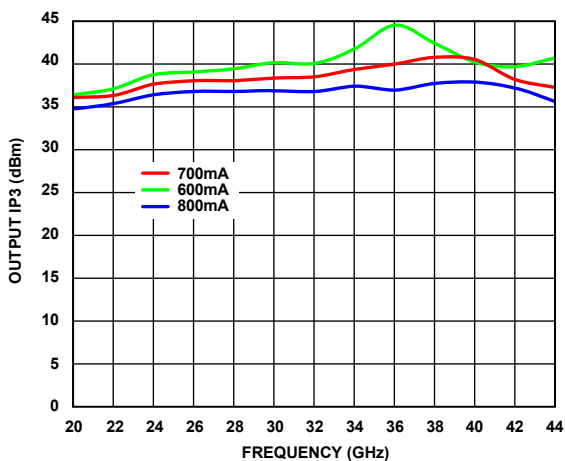
17236-035

図 35. P_{OUT}、ゲイン、PAE、ドレイン電流 (I_{DD}) と入力パワーの関係、周波数 = 42GHz



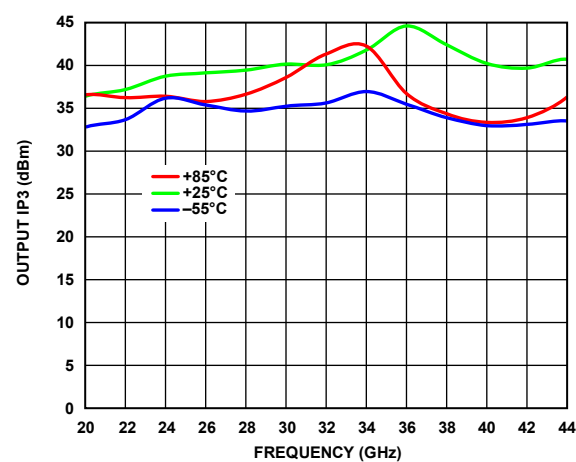
17236-040

図 38. 消費電力 (P_{DISS}) と入力パワーの関係、T_A = 85°C



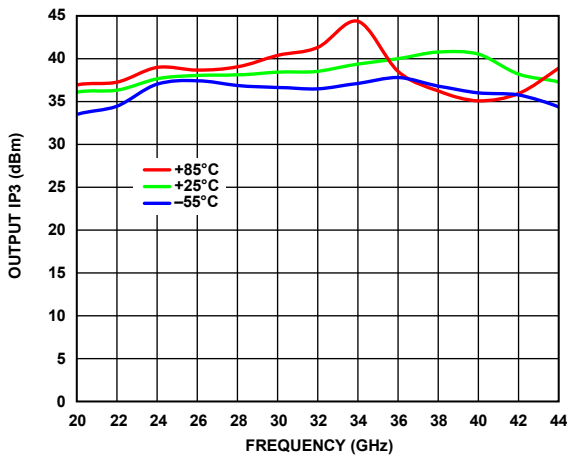
17236-042

図 36. 様々なドレイン電流 (I_{DD}) での出力 IP₃ の周波数特性、トーンあたりの P_{OUT} = 12dBm



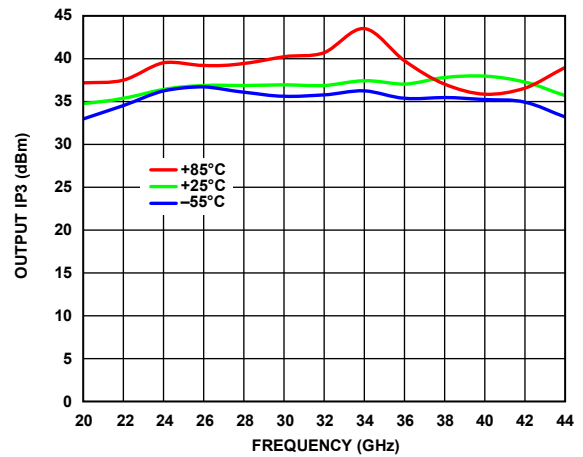
17236-038

図 39. 様々な温度での出力 IP₃ の周波数特性、トーンあたりの P_{OUT} = 12dBm、I_{DD} = 600mA



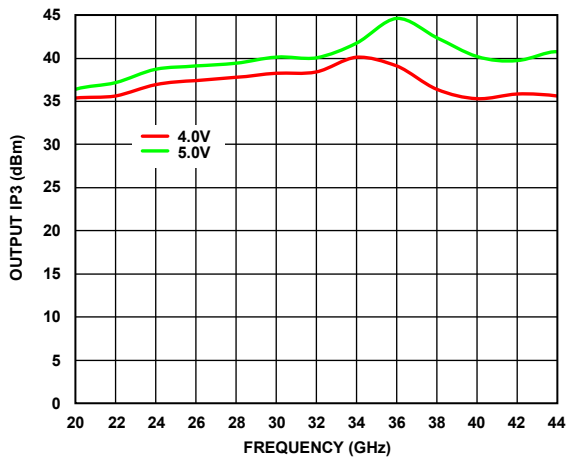
17236-037

図 40. 様々な温度での出力 IP3 の周波数特性、
トーンあたりの $P_{OUT} = 12\text{dBm}$ 、 $I_{DD} = 700\text{mA}$



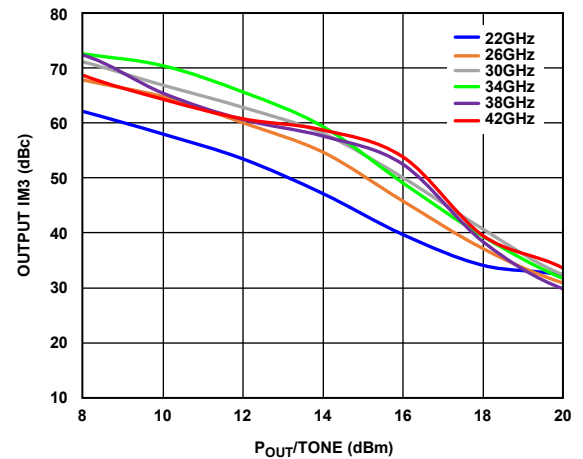
17236-038

図 43. 様々な温度での出力 IP3 の周波数特性、
トーンあたりの $P_{OUT} = 12\text{dBm}$ 、 $I_{DD} = 800\text{mA}$



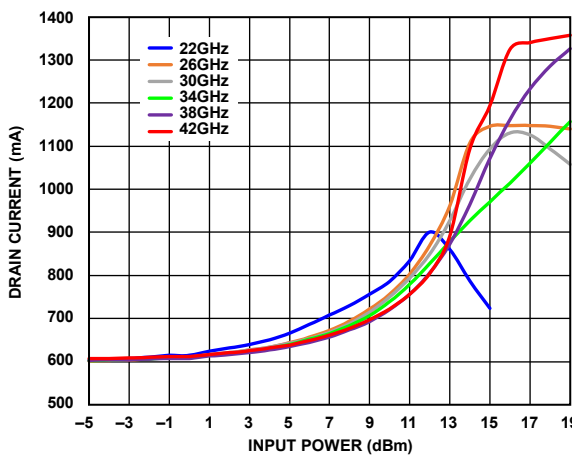
17236-041

図 41. 様々な電源電圧 (V_{DD}) での出力 IP3 の
周波数特性、トーンあたりの $P_{OUT} = 12\text{dBm}$



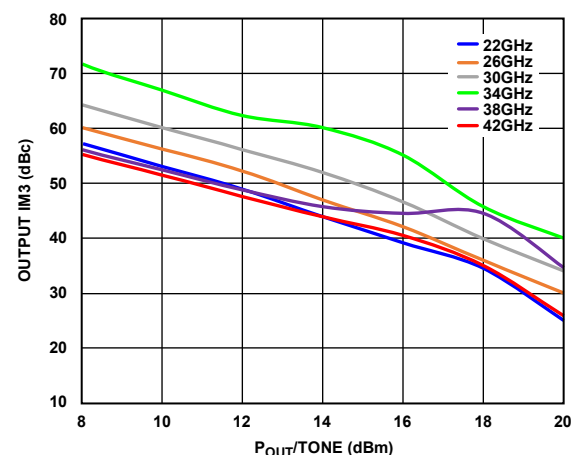
17236-043

図 44. 様々な周波数での出力 3 次相互変調歪み (IM3) と
トーンあたりの P_{OUT} の関係、 $V_{DD} = 5\text{V}$



17236-046

図 42. 様々な周波数でのドレイン電流 (I_{DD}) と
入力パワーの関係



17236-045

図 45. 様々な周波数での出力 IM3 と
トーンあたりの P_{OUT} の関係、 $V_{DD} = 4\text{V}$
(特に最小電圧でテスト)

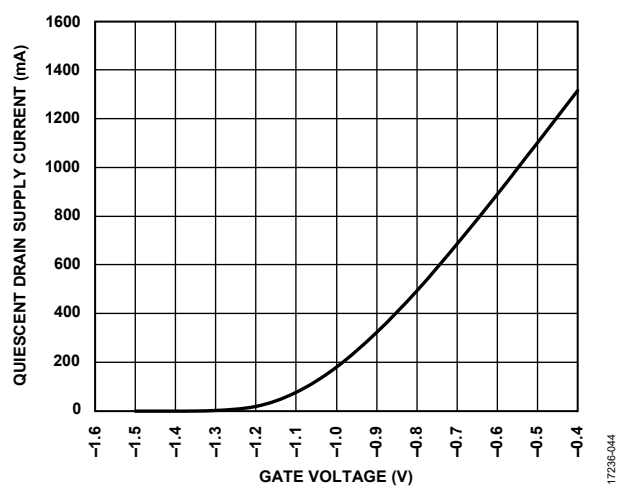


図 46. 静止ドレイン電源電流 (I_{DQ}) とゲート電圧 (V_{GG1}) の関係

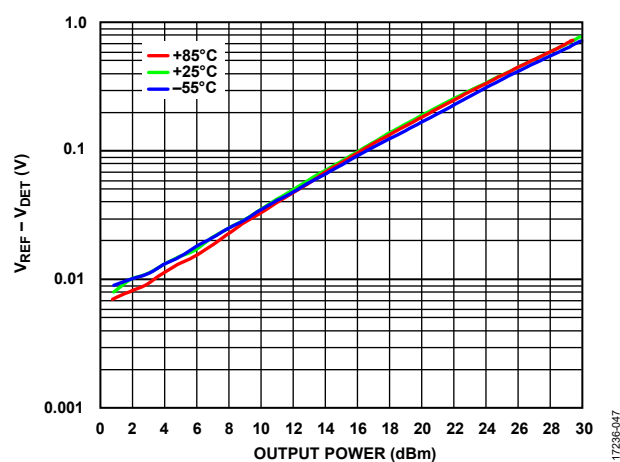


図 47. 様々な温度での $V_{REF} - V_{DET}$ と出力パワーの関係、周波数 = 32GHz

定ドレイン電流 (I_{DD}) での動作

特に指定のない限り、公称条件で T_A = 25°C、V_{DD} = 5V、I_{DD} = 800mA。図 48～図 51 は HMC980LP4E アクティブ・バイアス・コントローラを使用してバイアスされています。バイアシングの詳細については、HMC980LP4E による ADPA7002CHIP のバイアシング HMC980LP4E のセクションを参照してください。

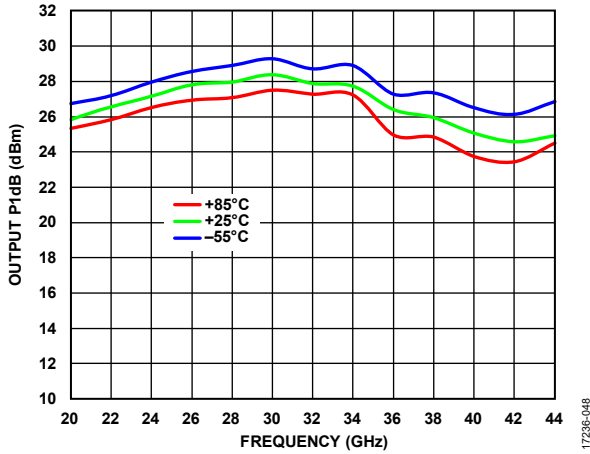


図 48. 様々な温度での出力 P1dB の周波数特性、データは定ドレイン電流 (I_{DD}) で測定

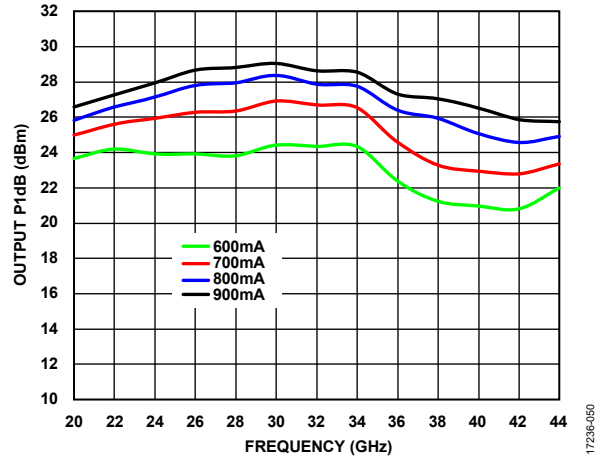


図 50. 様々な電源電流での出力 P1dB の周波数特性、データは定ドレイン電流 (I_{DD}) で測定

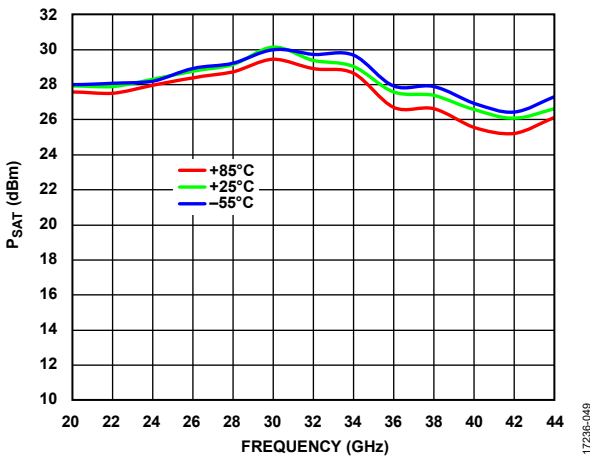


図 49. 様々な温度での P_{SAT} の周波数特性、データは定ドレイン電流 (I_{DD}) で測定

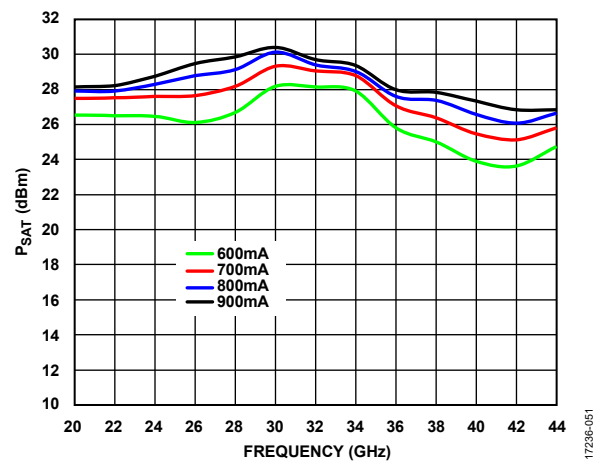


図 51. 様々な電源電流での P_{SAT} の周波数特性、データは定ドレイン電流 (I_{DD}) で測定

動作原理

ミディアム・パワー・アンプである ADPA7002CHIP のアーキテクチャを図 52 に示します。ADPA7002CHIP は、2 つの 90° ハイブリッド間で 90° 位相をずらして動作する、カスケード接続された 3 段アンプを使用します。

入力信号は均等に 2 分割されます。各入力信号は 3 つの独立したゲイン段を通して増幅され、増幅された信号は出力で結合されます。このバランス・アンプ手法により、15dB の合成ゲインと 30dBm の P_{SAT} 値が得られます。

RF 出力信号の一部は、RF 出力パワー検出用のダイオードに方向性結合されます (図 52 を参照)。このダイオードに DC バイアスがかかると、ダイオードは RF パワーを整流し、RF パワーは V_{DET} ピンの DC 電圧として測定できるようになります。温度補償は、図 56 に示すように、(DC 電圧出力

を含む) RF 出力にカップリングされない V_{REF} ピンの対称ダイオード回路をリファレンスにすることにより実現されます。 $V_{REF} - V_{DET}$ の差を求めると、RF 出力に比例する温度補償済みの信号が得られます。

90° ハイブリッドにより、入出力リターン・ロスは確実に 12dB より大きくなります。各種ブロックのバイアシングの詳細については、図 53 と図 54 のアプリケーション回路を参照してください。

ADPA7002CHIP が損傷することなく最適な性能で動作するように、バイアシング手順のセクションで説明する推奨バイアシング・シーケンスに従ってください。

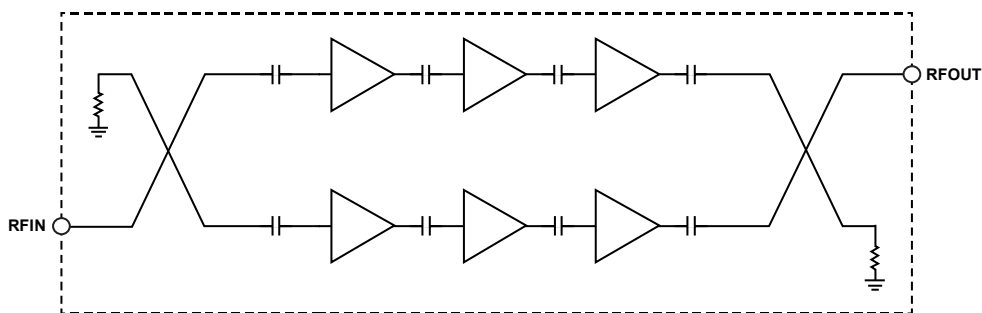


図 52. 基本セルの回路図

17236-052

ADPA7002CHIP のアセンブリ図と回路図

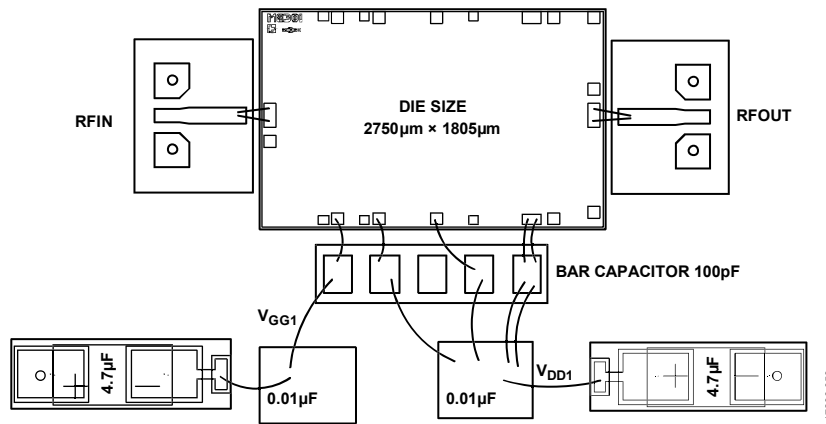


図 53. アセンブリ図

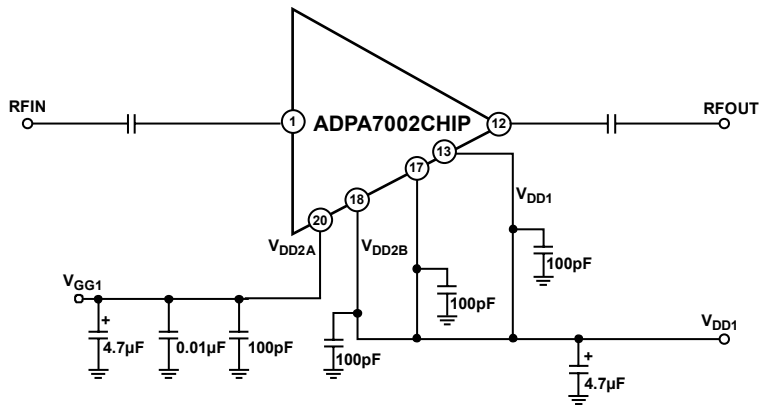
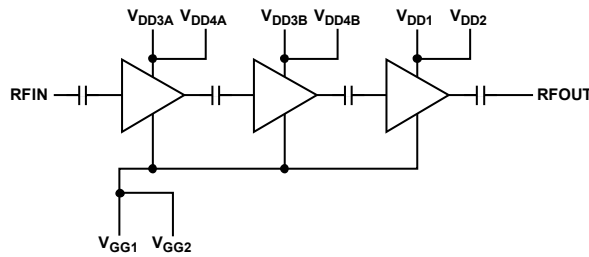


図 54. 代表的なアプリケーション回路



NOTES

1. V_{DD3A} IS A DRAIN BIAS PAD FOR THE FIRST STAGE.
 V_{DD3B} IS A DRAIN BIAS PAD FOR THE SECOND STAGE.
 V_{DD4A} AND V_{DD4B} ARE A COMBINED DRAIN BIAS PAD FOR THE THIRD STAGE.

図 55. ADPA7002CHIP の簡略化した内部ブロック図

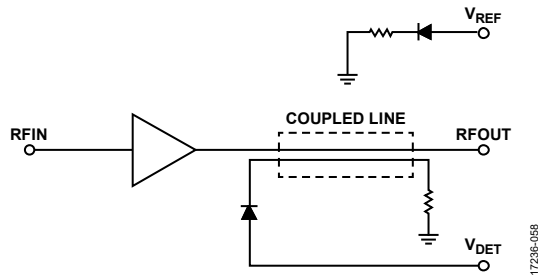


図 56. パワー・ディテクタ回路

代替アセンブリ図

ADPA7002CHIP のダイは対称的であり、ノース側とサウス側のどちらからバイアスをかけても同等の性能を発揮します (図 57 を参照)。

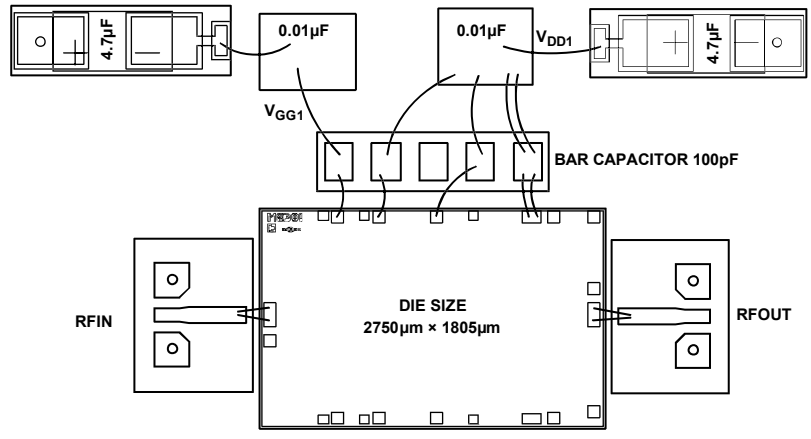


図 57. 代替アセンブリ図

17236-060

バイアシング手順

ADPA7002CHIP は、GaAs を用いた pHEMT 構造の MMIC パワー・アンプです。全ての V_{GGx} パッドと V_{DDx} パッドに容量性バイパスが必要です (図 54 を参照)。図 56 にバイパス・コンデンサの内部接続を示します。

V_{GG1} と V_{GG2} はゲート・バイアス・パッドです。 V_{DD2A} と V_{DD3A} は第 1 段のドレイン・バイアス・パッドです。 V_{DD2B} と V_{DD3B} は第 2 段のドレイン・バイアス・パッドです。 V_{DD1} と V_{DD2} は第 3 段のドレイン・バイアス・パッドです。

このデバイスのすべての測定値は、アセンブリ図 (図 53 を参照) に示すような代表的アプリケーション回路 (図 54 を参照) を使って測定されています。

パワーアップ時には次のバイアス・シーケンスに従ってください。

1. GND を RF と DC グラウンドに接続します。
2. V_{GG1} と V_{GG2} の電圧を $-2V$ に設定します。
3. 全てのドレイン・バイアス電圧を $V_{DDX} = 5V$ に設定します。
4. 静止電流が $I_{DQ} = 600mA$ になるように、ゲート・バイアス電圧を上げます。
5. RF 信号を印加します。

パワーダウン時には次のバイアス・シーケンスに従ってください。

1. RF 信号をオフにします。
2. $I_{DQ} =$ 約 $0mA$ になるように、ゲート・バイアス電圧 V_{GG1} および V_{GG2} を $-2V$ まで下げます。
3. 全てのドレイン・バイアス電圧を $0V$ に下げます。
4. ゲート・バイアス電圧を $0V$ に下げます。

図 54 に、専用ゲイン段へのバイアス・パッド接続と、パッド間の依存性および独立性を簡略化した図を示します。

表 5. パワー選択表^{1,2}

I_{DQ} (mA)	Gain (dB)	P1dB (dBm)	Output IP3 (dBm)	P_{Diss} (W)	V_{GG} (V)
600	17.2	30.04	40.6	3	-0.73
700	17.7	30.24	38.7	3.5	-0.67
800	18.0	30.25	37.0	4	-0.62

¹ データは次の公称バイアス条件で測定されています。 $V_{DD} = 5V$ 、 $T_A = 25^\circ C$ 。
² 望ましいドレイン電流が得られるように、 V_{GG1} と V_{GG2} を $-2V \sim 0V$ の範囲内で調整します。

全体的な性能を最適化するために、 $V_{DD} = 5V$ 、 $I_{DQ} = 600mA$ のバイアス条件を推奨します。特に指定のない限り、代表的な性能特性のセクションに示すデータは推奨バイアス条件を使って測定したものです。異なるバイアス条件で ADPA7002CHIP を動作させると、表 1 および表 2 に示されている性能とは異なる性能を示す可能性があります。より大きなドレイン電流が得られるように ADPA7002CHIP をバイアスすると、一般に P1dB、出力 IP3、および信号ゲインは大きくなりますが、代償として消費電力が大きくなります (バイアスの選択による性能の違いについては表 5 を参照)。

HMC980LP4E による ADPA7002CHIP のバイアシング

HMC980LP4E は、ADPA7002CHIP などのエンハンスメント・モードまたはディプリーション・モード・アンプのバイ

アス条件を満たすように設計されたアクティブ・バイアス・コントローラです。HMC980LP4E は、温度の変化とデバイス間のばらつきに対して一定の電流バイアシングを提供します。また、HMC980LP4E はゲート電圧とドレイン電圧を適切にシーケンシングしてアンプの安全な動作を確保します。短絡に備えた自己保護機能も備えています。このアクティブ・バイアス・コントローラは、ADPA7002CHIP のゲートに必要な負電圧を生成するチャージ・ポンプを内蔵しており、外部負電圧源としても使用できます。HMC980LP4E の使用方法の詳細については、HMC980LP4E データシートおよび AN-1363 アプリケーション・ノートを参照してください。

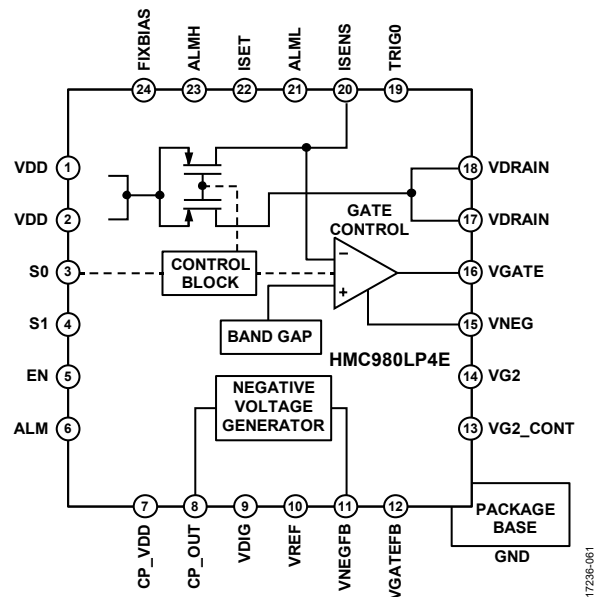


図 58. HMC980LP4E の機能図

アプリケーション回路のセットアップ

図 59 に、ADPA7002CHIP と組み合わせて使用される HMC980LP4E のアプリケーション回路の回路図を示します。VNEG ピンに外部負電圧源を使用する場合は、図 60 のアプリケーション回路図を参照してください。

このアプリケーション回路では、ADPA7002CHIP のドレイン電圧とドレイン電流は次の式によって設定されます。

$$V_{DRAIN} (5V) = V_{DD} (5.68V) - I_{DRAIN} (800mA) \times 0.85\Omega$$

$$I_{DRAIN} = 150\Omega \times R10 (187\Omega)$$

ここで、

V_{DD} は HMC980LP4E への電源電圧です。

I_{DRAIN} は HMC980LP4E のピン 17 およびピン 18 からの出力電流です。

ADPA7002CHIP の V_{GGx} の AMR に合わせた VGATE の制限
 ADPA7002CHIP と HMC980LP4E を組み合わせて使用する場合、VNEG と VGATE の最小電圧を $-1.5V$ までに制限して、ADPA7002CHIP の V_{GGx} パッドの絶対最大定格 (AMR) の範囲内に保つ必要があります。このために、R15 抵抗と R16 抵抗を図 59 と図 60 に示す値に設定します。R15 と R16 の詳細および計算方法については、AN-1363 アプリケーション・ノートを参照してください。

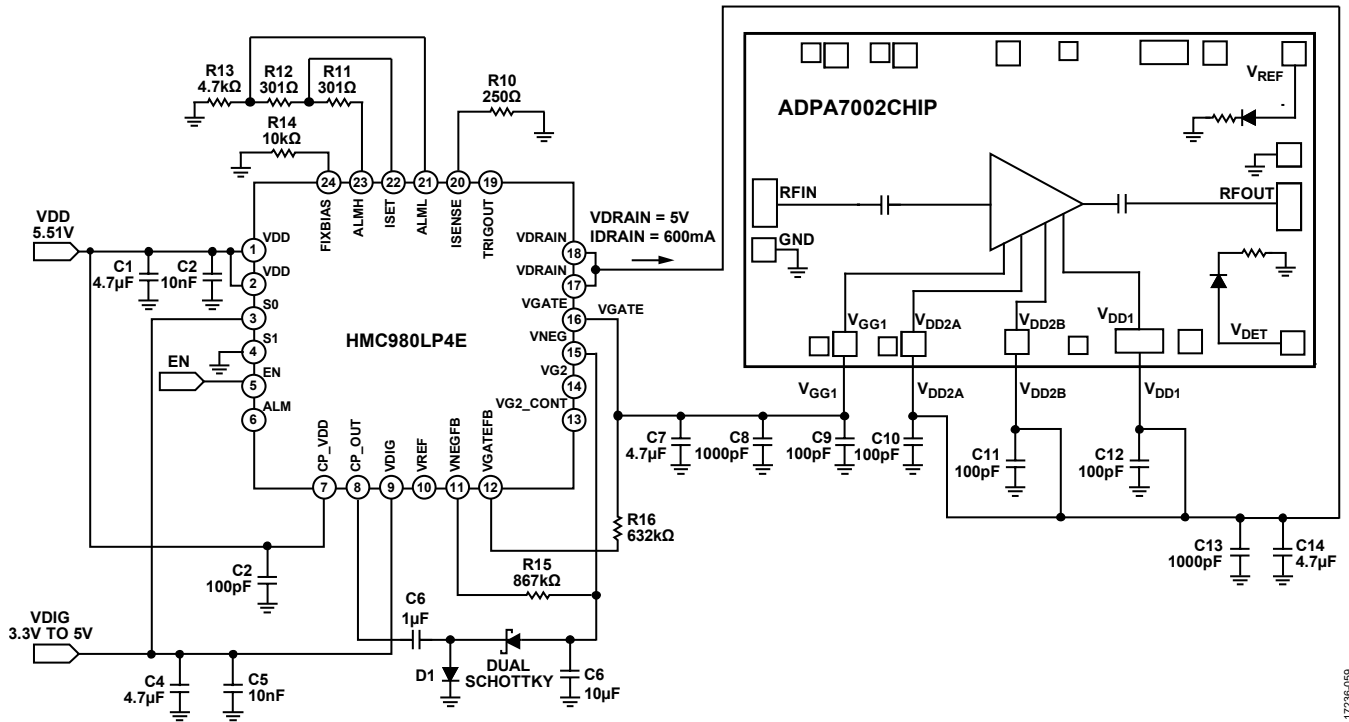


図 59. HMC980LP4E と ADPA7002CHIP を組み合わせて使用するアプリケーション回路

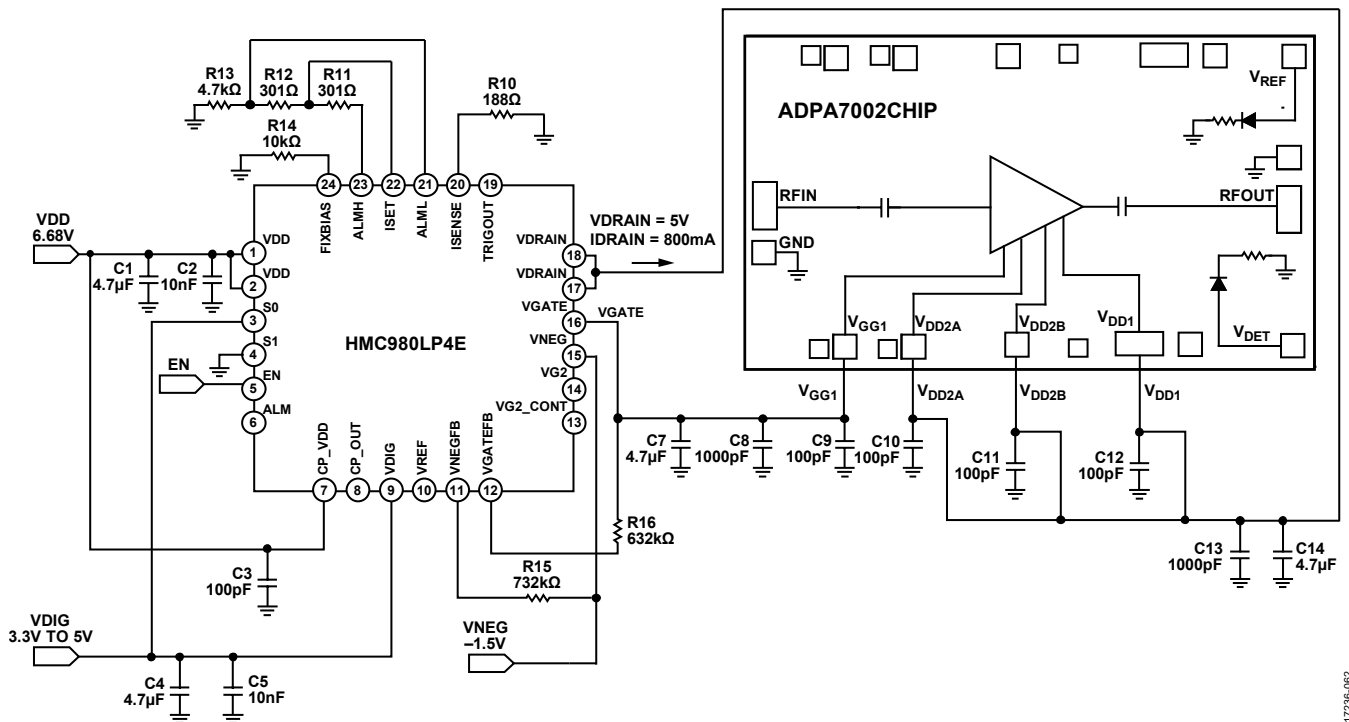


図 60. HMC980LP4E と ADPA7002CHIP を組み合わせて外部負電圧源として使用するアプリケーション回路

HMC980LP4E のバイアス・シーケンス

HMC980LP4E の損傷を防ぐために、適切な DC 電源シーケンシングが必要です。次のパワーアップ・シーケンス手順に従ってください。

1. HMC980LP4E デジタル回路 (図 60 を参照) の電圧電源入力 (ピン 9) の VDIG を 3.3V に設定します。
2. 内部電界効果トランジスタ (FET) および内部 HMC980LP4E 抵抗 (RDS) の抵抗値 (図 60 を参照) を設定するデジタル制御ピン (ピン 3) の S0 を 3.3V に設定します。
3. VDD ピンを 5.68V に設定します。
4. VNEG を -1.5V に設定します。内部で生成される電圧を使用する場合は、この手順は不要です。
5. EN パッドを 3.3V に設定します。0V から 3.3V に遷移すると、VGATE パッドと VDRAIN パッドがオンになります。

次のパワーダウン・シーケンス手順に従ってください。

1. EN パッドを 0V に設定します。3.3V から 0V に遷移すると、VDRAIN パッドと VGATE パッドがオフになります。
2. VNEG を 0V に設定します。内部で生成される電圧を使用する場合は、この手順は不要です。
3. VDD ピンを 0V に設定します。
4. S0 を 0V に設定します。
5. VDIG を 0V に設定します。

HMC980LP4E バイアス制御回路のセットアップが完了すると、EN パッドに 3.3V または 0V を印加することにより、ADPA7002CHIP のバイアスのオンとオフをトグルできます。EN が +3.3V に設定されると、VGATE は -1.5V まで低下し、VDRAIN は +5V で ON になります。IDRAIN = 800mA になるまで VGATE の電圧は上昇します。その後、クローズド制御ループは IDRAIN を 800mA に安定化させます。EN パッドが 0V に等しくなると、VGATE は自動的に -1.5V に設定され、VDRAIN は 0V に設定されます (図 61 と図 62 を参照)。

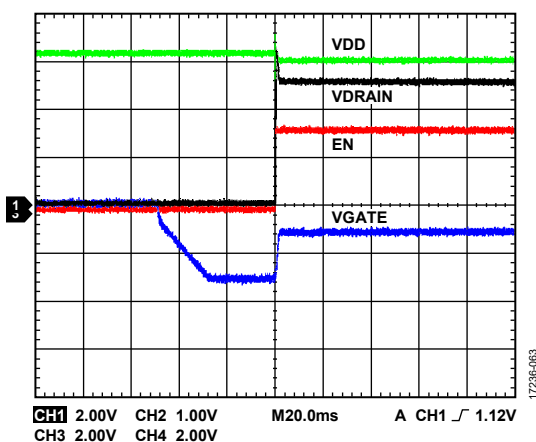


図 61. ターンオン-ADPA7002CHIP への HMC980LP4E の出力

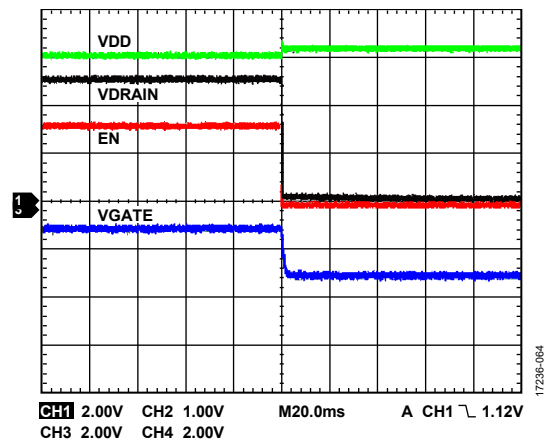


図 62. ターンオフ-ADPA7002CHIP への HMC980LP4E の出力

定ドレイン電流バイアシングと定ゲート電圧バイアシング

HMC980LP4E は、クローズドループ・フィードバックを使用して VGATE を連続調整し、DC 電源の変動、温度、および部品間のばらつきに対して一定のゲート電圧バイアスを維持します。定ドレイン電流バイアスは、キャリブレーションの時間を短縮し、時間の経過に対して安定した性能を維持するための優れた手法です。

RF パワーの印加時に電流が増える定ゲート電圧バイアスと比較すると、定ドレイン電流バイアスでは出力 P1dB が多少低下します。この効果を図 64 と図 66 に示します。ここでは定ゲート電圧バイアス動作よりも RF 性能が多少低くなっています。RF 性能の低下の原因は、HMC980LP4E が 1dB 利得圧縮点に達するため、高い入力パワー・レベルではドレイン電流が小さくなることです。

ドレイン電流のバイアスを一定にした条件での出力 P1dB 性能は、一定となるゲート・バイアス電圧を大きくすることで改善します。設定電流 I_{DD} が大きくなることにより、出力 P1dB 性能は、図 64 に示すゲート電圧バイアス一定条件の RF 駆動レベルまで上昇します。

定電流動作での I_{DD} の電流と温度の制限は、通常は絶対最大定格のセクションの表に記載されている熱的制限と最大消費電力の仕様によって決まります。 I_{DD} を大きくしても、実際の出力 P1dB が無制限に大きくなるわけではなく、消費電力が増加していきます。したがって、定ドレイン電流バイアシングを使用する場合は、消費電力と出力 P1dB 性能のトレードオフを考慮に入れてください。

HMC980LP4E のテスト

アプリケーション・ノートで HMC980LP4E を使用して ADPA7002CHIP にバイアスをかけた後、その結果と図 63～図 66 を比較して、バイアシング手順が適切であることを検証します。

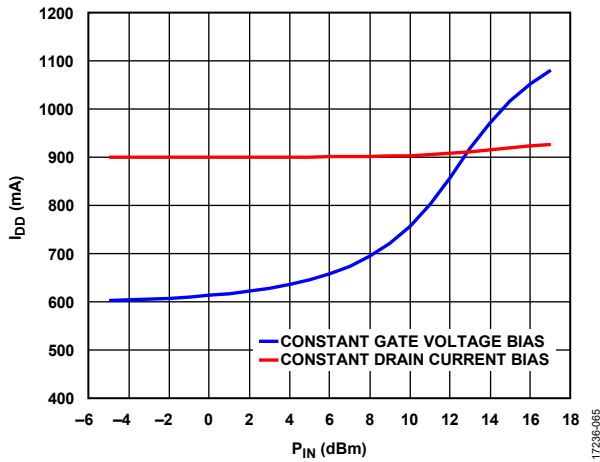


図 63. I_{DD} と入力パワー (P_{IN}) の関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、定電流バイアスと定電圧バイアス

定電流バイアスと定電圧バイアス

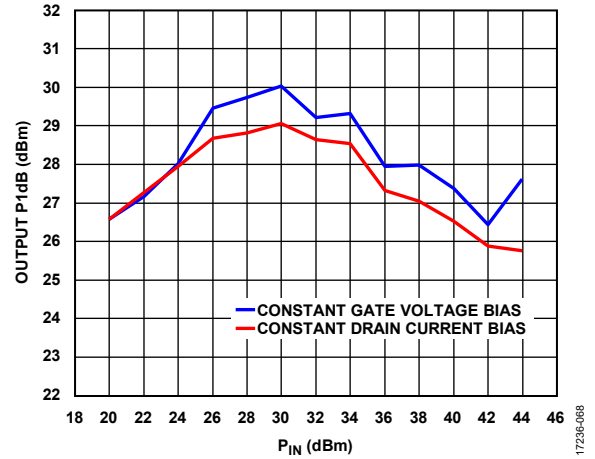


図 66. 出力 P1dB と P_{IN} の関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、定電流バイアスと定電圧バイアス

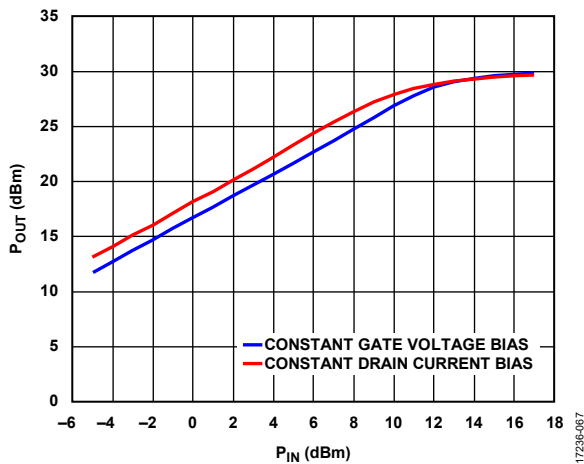


図 64. P_{OUT} と P_{IN} の関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、定電流バイアスと定電圧バイアス

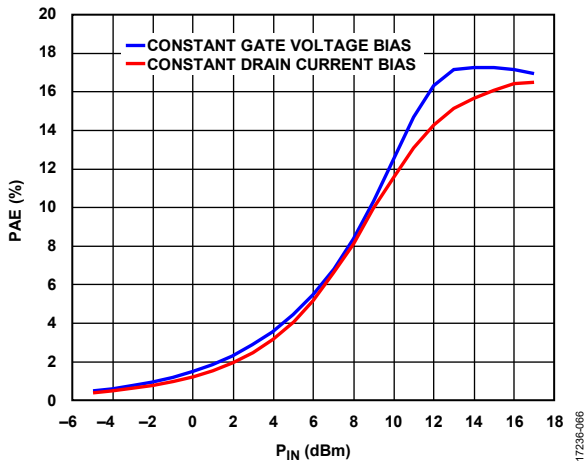


図 65. PAE と P_{IN} の関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、

ミリ波 GaAs MMIC のマウントおよびボンディング手法

ダイは導通性のエポキシを使ってグラウンド・プレーンに直接取り付けます（手順は取り扱い上の注意のセクション、マウントのセクション、およびワイヤ・ボンディングのセクションを参照）。

チップとの間の RF 送信には、厚さ 0.127mm (5mil) のアルミナ薄膜基板上で 50Ω のマイクロストリップ伝送ラインを使用することを推奨します。ダイ表面と基板表面の高さが同じになるように、ダイを 0.075mm (3mil) かさ上げします。

リボン・ボンドの長さを最小限に抑えるために、マイクロストリップ基板はできるだけダイに近付きます。通常、ダイから基板までの間隔は、0.076 mm~0.152mm (3mil~6mil) です。広帯域マッチングを確保するために、PCB 基板上でリボン・ボンドの前に 15fF の容量性スタブを配置することを推奨します。詳細については、図 67 と図 68 を参照してください。

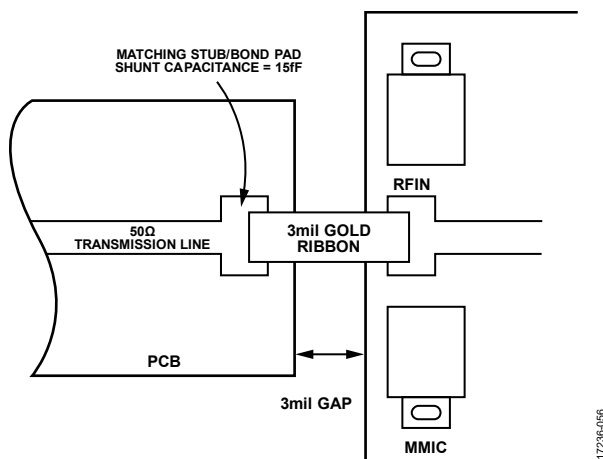


図 67. 高周波数入力の広帯域マッチング

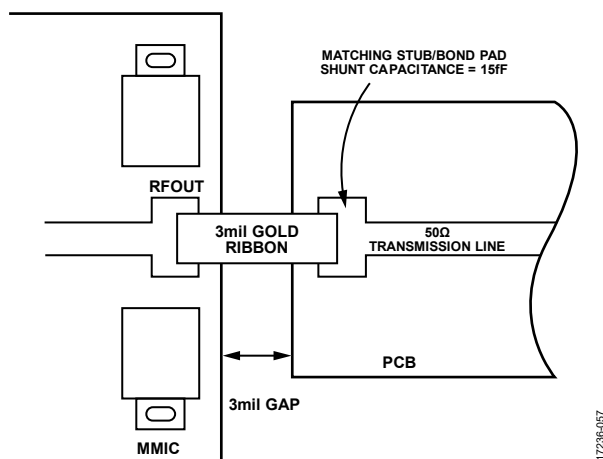


図 68. 高周波数出力の広帯域マッチング

取り扱い上の注意

ダイの恒久的な損傷の発生を防止するために、保管、清浄度、静電気感度、トランジェント、および一般的な取り扱いに関する以下の注意事項に従ってください。

- すべてのベアダイはワッフルベースまたはゲルベースの ESD 保護容器に收容され、ESD 保護バッグに封入されて出荷されます。密封された ESD 保護バッグを開いた後は、すべてのダイを乾燥窒素環境下で保管する必要があります。
- チップの取り扱いは清浄な環境下で行ってください。チップのクリーニングに液体クリーニング・システムを使用しないでください。
- ESD からチップを保護するために、ESD に関する注意事項に従ってください。
- バイアスを加える場合は、装置およびバイアスの電源トランジェントを抑制してください。誘導の影響を最小限に抑えるために、信号ケーブルとバイアス・ケーブルはシールドされたものを使用してください。
- チップの取り扱いには真空コレットか先のとがったピンセットを使い、エッジ部分を保持してください。チップ表面には壊れやすいエアブリッジ構造が使われているので、真空コレット、ピンセット、指などがチップの表面に触れないようにする必要があります。

マウント

エポキシ・ダイを ADPA7002CHIP に取り付ける前に、マウント面に最小限のエポキシ（別途注文）を塗布し、チップを所定の位置に置いたときに、チップ周囲にフィレット状の薄いエポキシ層が形成されるようにします。エポキシはメーカーの指示に従って硬化させてください。

ワイヤ・ボンディング

RF ポートには、0.003 インチ × 0.0005 インチの金リボンによる RF ボンドを推奨します。これらのボンドは、40g~60g の力で超音波熱圧着する必要があります。また DC ポートには、ボンド・ワイヤの接続用にボンド直径を 0.025mm (0.001 インチ) として超音波圧着することを推奨します。ボール・ボンドには 40g~50g、ウェッジ・ボンドには 18g~22g の力を使用します。全てのボンディングは、150°C の公称ステージ温度で行ってください。ボンディングの信頼性を確保するために、最小限の超音波エネルギーを加えてください。全てのボンドは、可能な限り短く、12mil (0.31mm) 未満にします。

金リボンの代わりに、2本の 1mil ワイヤを使用した 3mil 以下の短い RF ボンドを使用することもできます。

外形寸法

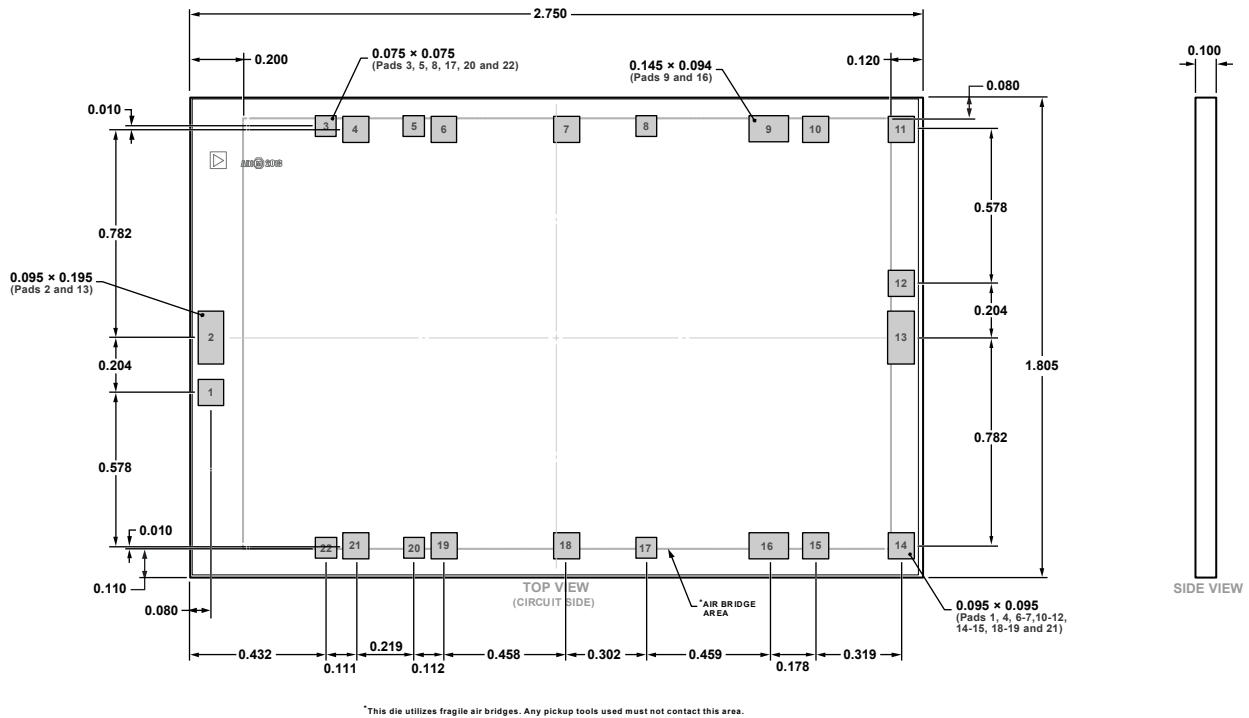


図 69. 22 パッド・ベア・ダイ [チップ]
(C-22-3)
寸法 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADPA7002CHIP	-55°C to +85°C	22-Pad Bare Die [CHIP]	C-22-3
ADPA7002C-KIT	-55°C to +85°C	22-Pad Bare Die [CHIP]	C-22-3

¹ADPA7002C-KIT は 2 個のデバイスのサンプル・オーダーです。