



50GHz~95GHz、GaAs pHEMT、MMIC 広帯域パワー・アンプ

データシート

ADPA7001CHIPS

特長

ゲイン：50GHz~70GHzで14.5dB（代表値）
S11：50GHz~70GHzで22dB（代表値）
S22：50GHz~70GHzで19dB（代表値）
P1dB：50GHz~70GHzで17dBm（代表値）
P_{SAT}：21dBm（代表値）
OIP3：70GHz~90GHzで25dBm（代表値）
電源電圧：3.5V/350mA
50Ωに整合した入出力
ダイ・サイズ：2.5mm × 3.32mm × 0.05mm

アプリケーション

試験用計測器
防衛および宇宙
通信インフラストラクチャ

機能ブロック図

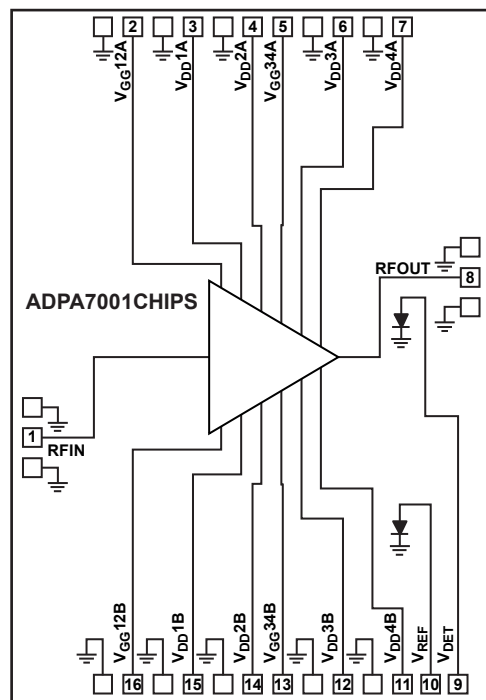


図 1.

概要

ADPA7001CHIPS は、ガリウムヒ素 (GaAs) の擬似格子整合型高電子移動度トランジスタ (pHEMT) を使用した、モノリシック・マイクロ波集積回路 (MMIC) のバランス中出力パワー・アンプです。温度補償されたオンチップのパワー・ディテクタを内蔵し、動作範囲は 50GHz~95GHz です。このデバイスは、50GHz~70GHz の低い帯域で、14.5dB のゲイン (代表値)、25.5dBm の出力 3 次インターセプト (OIP3)、1dB ゲイン圧縮ポイントでの 17dBm の出力電力を提供します。70GHz~90GHz

の高い帯域では、14dB のゲイン (代表値)、25dBm の出力 IP3、1dB ゲイン圧縮ポイントでの 17.5dBm の出力電力を提供します。ADPA7001CHIPS は 3.5V 電源から 350mA を必要とします。このアンプの入出力は内部で 50Ω に整合しているため、マルチチップ・モジュール (MCM) に容易に組み込むことができます。すべてのデータは、チップを最短 0.076mm (3mil) の 1 本の 0.076mm (3mil) リボン・ボンンドで接続して測定したものです。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	ピン配置およびピン機能の説明	6
アプリケーション	1	インターフェース回路図	7
機能ブロック図	1	代表的な性能特性	8
概要	1	動作原理	13
改訂履歴	2	アプリケーション情報	14
仕様	3	ミリ波 GaAs MMIC の取り付けおよびボンディング技術	14
50GHz～70GHz の周波数範囲	3	代表的なアプリケーション回路	16
70GHz～90GHz の周波数範囲	3	アセンブリ図	17
90GHz～95GHz の周波数範囲	4	外形寸法	18
絶対最大定格	5	オーダー・ガイド	18
熱抵抗	5		
ESD に関する注意	5		

改訂履歴

8/2018—Revision 0: Initial Version

仕様

50GHz~70GHzの周波数範囲

特に指定のない限り、 $T_{DIE\ BOTTOM} = 25^{\circ}C$ 、 $V_{DD} = V_{DD1A} = V_{DD2A} = V_{DD3A} = V_{DD4A} = 3.5V$ 、電源電流 (I_{DQ}) = $I_{DQ1A} + I_{DQ2A} + I_{DQ3A} + I_{DQ4A} = 350mA$ 。 $V_{GG} = V_{GG12A} = V_{GG34A}$ を $-1.5V \sim 0V$ の範囲で調整することにより、所望の I_{DQ} が得られます。通常、 $V_{GG} = -0.5V$ で $I_{DQ} = 350mA$ になります。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		50		70	GHz	
GAIN		12.5	14.5		dB	
Gain Variation over Temperature			0.02		dB/ $^{\circ}C$	
RETURN LOSS						
Input	S11		22		dB	
Output	S22		19		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	15.5	17		dBm	Output power (P_{OUT}) per tone = 0 dBm with 1 MHz tone spacing
Saturated Output Power	P_{SAT}		21		dBm	
Output Third-Order Intercept	OIP3		25.5		dBm	
INPUT						
Input Third-Order Intercept	IIP3		11.5		dBm	P_{OUT} per tone = 0 dBm with 1 MHz tone spacing
SUPPLY						
Current	I_{DQ}		350	400	mA	Adjust V_{GG} to achieve $I_{DQ} = 350$ mA typical
Voltage	V_{DD}	1.5	3.5	4.0	V	

70GHz~90GHzの周波数範囲

特に指定のない限り、 $T_{DIE\ BOTTOM} = 25^{\circ}C$ 、 $V_{DD} = V_{DD1A} = V_{DD2A} = V_{DD3A} = V_{DD4A} = 3.5V$ 、 $I_{DQ} = I_{DQ1A} + I_{DQ2A} + I_{DQ3A} + I_{DQ4A} = 350mA$ 。 $V_{GG} = V_{GG12A} = V_{GG34A}$ を $-1.5V \sim 0V$ の範囲で調整することにより、所望の I_{DQ} が得られます。通常、 $V_{GG} = -0.5V$ で $I_{DQ} = 350mA$ になります。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		70		90	GHz	
GAIN		12	14		dB	
Gain Variation over Temperature			0.02		dB/ $^{\circ}C$	
RETURN LOSS						
Input	S11		18		dB	
Output	S22		13		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	16	17.5		dBm	P_{OUT} per tone = 0 dBm with 1 MHz tone spacing
Saturated Output Power	P_{SAT}		21		dBm	
Output Third-Order Intercept	OIP3		25		dBm	
INPUT						
Input Third-Order Intercept	IIP3		11		dBm	P_{OUT} per tone = 0 dBm with 1 MHz tone spacing
SUPPLY						
Current	I_{DQ}		350	400	mA	Adjust V_{GG} to achieve $I_{DQ} = 350$ mA typical
Voltage	V_{DD}	1.5	3.5	4.0	V	

90GHz~95GHz の周波数範囲

特に指定のない限り、 $T_{DIE\ BOTTOM} = 25^{\circ}C$ 、 $V_{DD} = V_{DD1A} = V_{DD2A} = V_{DD3A} = V_{DD4A} = 3.5V$ 、 $I_{DQ} = I_{DQ1A} + I_{DQ2A} + I_{DQ3A} + I_{DQ4A} = 350mA$ 。 $V_{GG} = V_{GG12A} = V_{GG34A}$ を $-1.5V \sim 0V$ の範囲で調整することにより、所望の I_{DQ} が得られます。通常、 $V_{GG} = -0.5V$ で $I_{DQ} = 350mA$ になります。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		90		95	GHz	
GAIN			15		dB	
Gain Variation over Temperature			0.02		dB/°C	
RETURN LOSS						
Input	S11		15		dB	
Output	S22		12		dB	
SUPPLY						
Current	I_{DQ}		350	400	mA	Adjust V_{GG} to achieve $I_{DQ} = 350\text{ mA}$ typical
Voltage	V_{DD}	1.5	3.5	4.0	V	

絶対最大定格

表 4.

Parameter	Rating
Drain Bias Voltage (V_{DD})	4.5 V
Gate Bias Voltage (V_{GG})	-2 V to 0 V dc
Radio Frequency (RF) Input Power (RFIN)	17 dBm
Continuous Power Dissipation (P_{DISS}), at $T_{DIE\ BOTTOM} = 85^{\circ}C$ (Derate 26.95 mW/ $^{\circ}C$ Above $85^{\circ}C$)	2.4 W
Storage Temperature Range (Ambient)	$-65^{\circ}C$ to $+150^{\circ}C$
Operating Temperature Range (Die Bottom)	$-55^{\circ}C$ to $+85^{\circ}C$
ESD Sensitivity	
Human Body Model (HBM)	Class 0 125 V
Channel Temperature to Maintain 1 Million Hour Mean Time to Failure (MTTF)	$175^{\circ}C$
Nominal Channel Temperature at $T_{DIE\ BOTTOM} = 85^{\circ}C$, $V_{DD} = 3.5\ V$	$130.4^{\circ}C$

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 5. 熱抵抗

Package Type	θ_{JC}	Unit
C-16-2	37.1	$^{\circ}C/W$

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

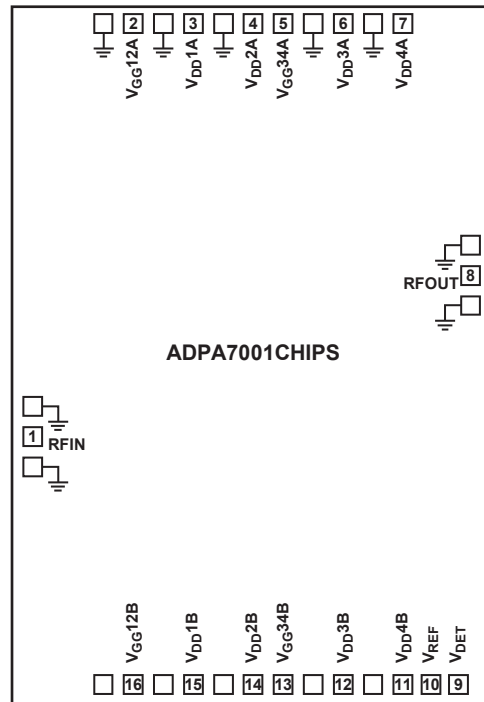


図 2. パッド構成

表 6. パッド機能の説明

パッド番号	記号	説明
1	RFIN	RF 入力。このパッドは AC カップリングされ、50Ω に整合されています。インターフェース回路図については、図 3 を参照してください。
2	V _{GG12A}	1 段目と 2 段目のアンプのゲート制御パッド。インターフェース回路図については、図 4 を参照してください。
3, 4	V _{DD1A} , V _{DD2A}	1 段目と 2 段目のアンプのドレイン・バイアス電圧パッド。この 2 つのパッドには、100pF、0.1μF、4.7μF の外付けバイパス・コンデンサが必要です。この 2 つのパッドは 3.5V の電源に接続してください。インターフェース回路図については、図 5 を参照してください。
5	V _{GG34A}	3 段目と 4 段目のアンプのゲート制御パッド。インターフェース回路図については、図 4 を参照してください。
6, 7	V _{DD3A} , V _{DD4A}	3 段目と 4 段目のアンプのドレイン・バイアス電圧パッド。この 2 つのパッドには、100pF、0.1μF、4.7μF の外付けバイパス・コンデンサが必要です。この 2 つのパッドは 3.5V の電源に接続してください。インターフェース回路図については、図 5 を参照してください。
8	RFOUT	RF 出力。このパッドは AC カップリングされ、50Ω に整合されています。インターフェース回路図については、図 9 を参照してください。
9	V _{DET}	RF 出力電力を表す DC 電圧。このパッドは、外部抵抗からバイアスが印加されたダイオードによって整流されます。インターフェース回路図については、図 9 を参照してください。
10	V _{REF}	ダイオードの DC 電圧。このパッドには、V _{DET} の温度補償に使用される外部ディテクタ回路からのバイアスが印加されます。インターフェース回路図については、図 10 を参照してください。
11, 12	V _{DD4B} , V _{DD3B}	4 段目と 3 段目の代替バイアス設定用のドレイン・バイアス電圧パッド。100pF、0.1μF、4.7μF の外付けバイパス・コンデンサが必要です。インターフェース回路図については、図 7 を参照してください。
13	V _{GG34B}	3 段目と 4 段目の代替バイアス設定用のゲート制御パッド。カップリング・コンデンサが必要です。インターフェース回路図については、図 8 を参照してください。
14, 15	V _{DD2B} , V _{DD1B}	2 段目と 1 段目の代替バイアス設定用のドレイン・バイアス電圧パッド。100pF、0.1μF、4.7μF の外付けバイパス・コンデンサが必要です。インターフェース回路図については、図 7 を参照してください。
16	V _{GG12B}	1 段目と 2 段目の代替バイアス設定用のゲート制御パッド。カップリング・コンデンサが必要です。インターフェース回路図については、図 8 を参照してください。
Die Bottom	GND	グラウンド。ダイの底面は RF/DC グラウンドに接続する必要があります。インターフェース回路図については、図 6 を参照してください。

インターフェース回路図

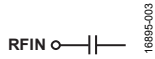


図 3. RFIN インターフェース回路図

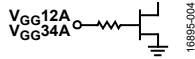


図 4. V_{GG}12A および V_{GG}34A のインターフェース回路図

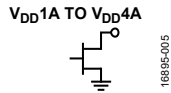


図 5. V_{DD}1A および V_{DD}4A のインターフェース回路図



図 6. GND インターフェース回路図

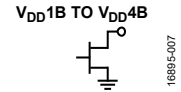


図 7. V_{DD}1B および V_{DD}4B のインターフェース回路図

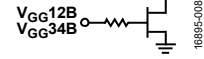


図 8. V_{GG}12B および V_{GG}34B のインターフェース回路図

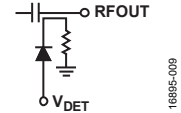


図 9. RFOUT および V_{DET} のインターフェース回路図

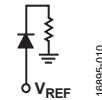


図 10. V_{REF} のインターフェース回路図

代表的な性能特性

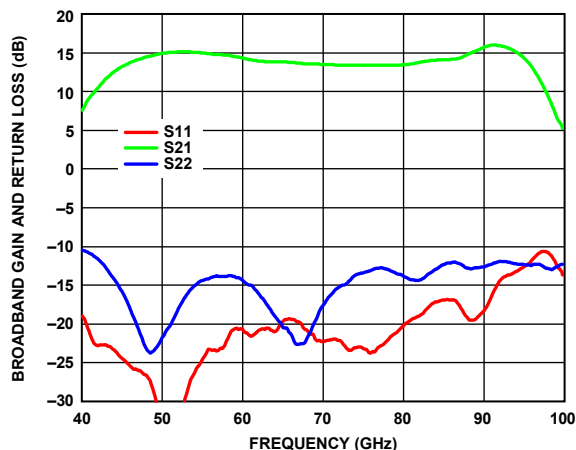


図 11. 広帯域ゲインとリターン・ロス の周波数特性

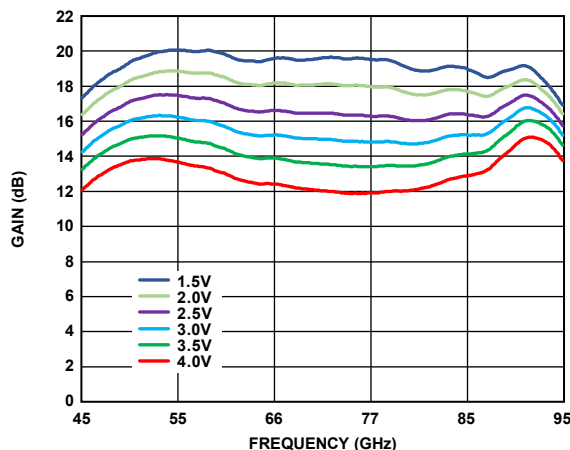


図 14. 様々な V_{DD} 値でのゲインの周波数特性

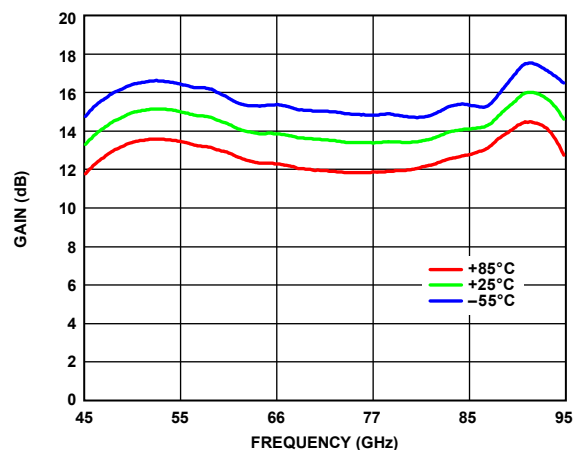


図 12. 様々な温度でのゲインの周波数特性

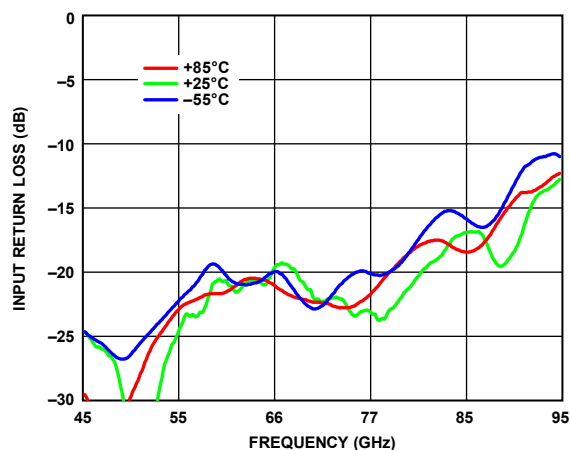


図 15. 様々な温度での入力リターン・ロス の周波数特性

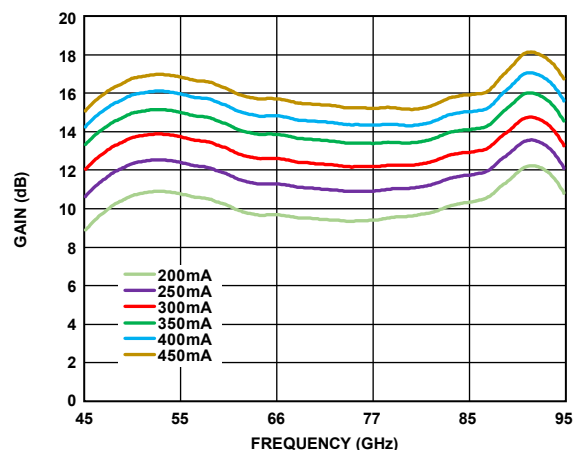


図 13. 様々な I_{DQ} 値でのゲインの周波数特性

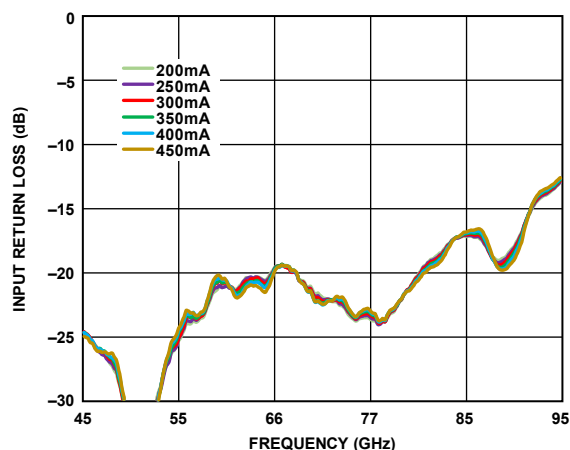


図 16. 様々な I_{DQ} 値での入力リターン・ロス の周波数特性

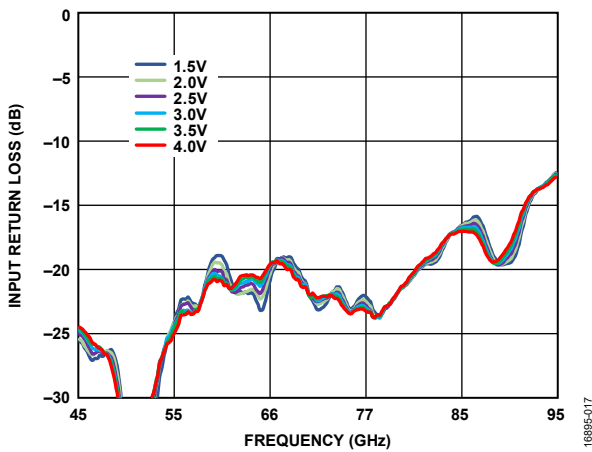


図 17. 様々な V_{DD} 値での入力リターン・ロスの周波数特性

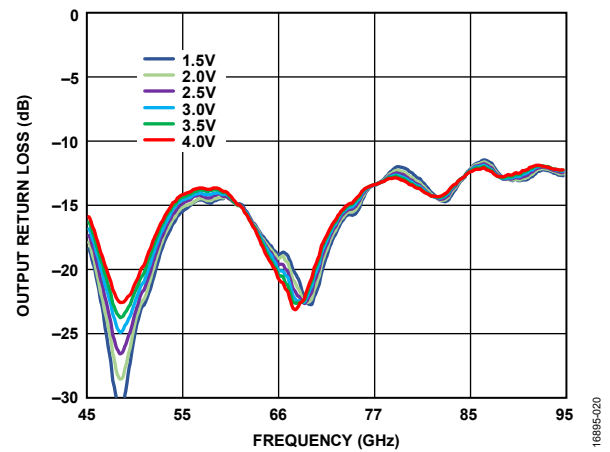


図 20. 様々な V_{DD} 値での出力リターン・ロスの周波数特性

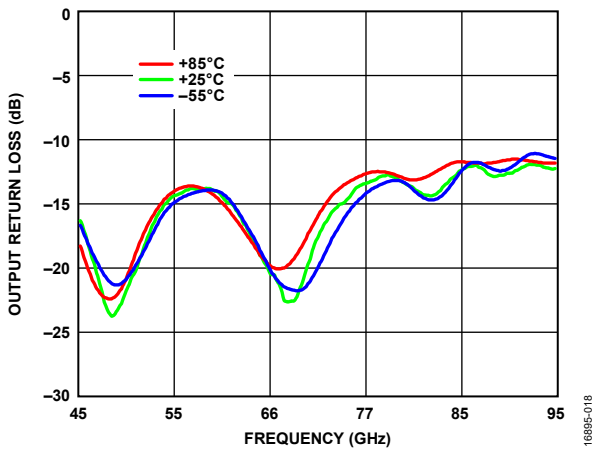


図 18. 様々な温度での出力リターン・ロスの周波数特性

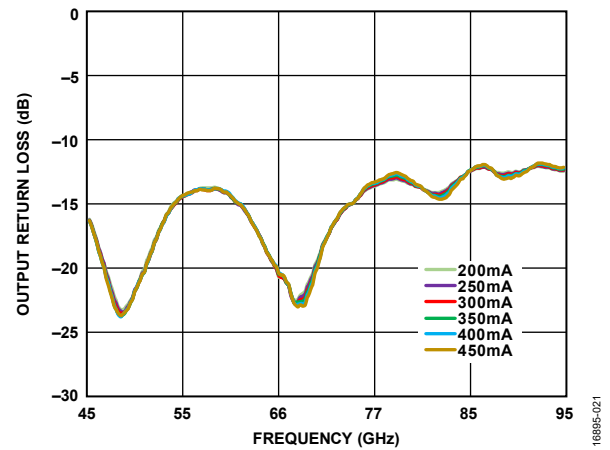


図 21. 様々な I_{DQ} 値での出力リターン・ロスの周波数特性

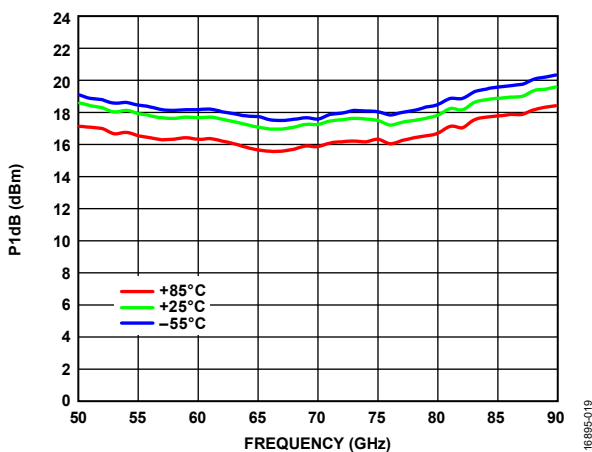


図 19. 様々な温度での P_{1dB} の周波数特性

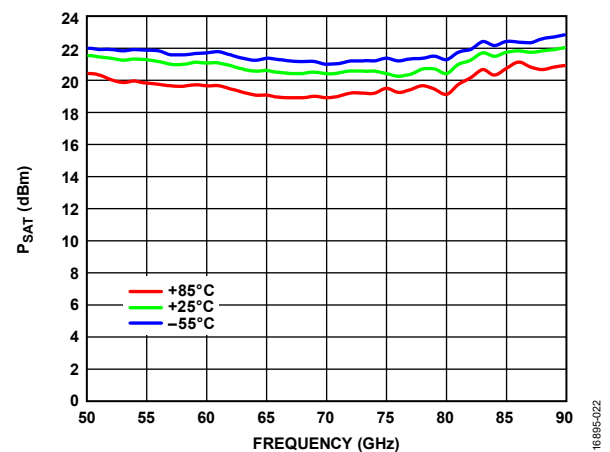


図 22. 様々な温度での P_{SAT} の周波数特性

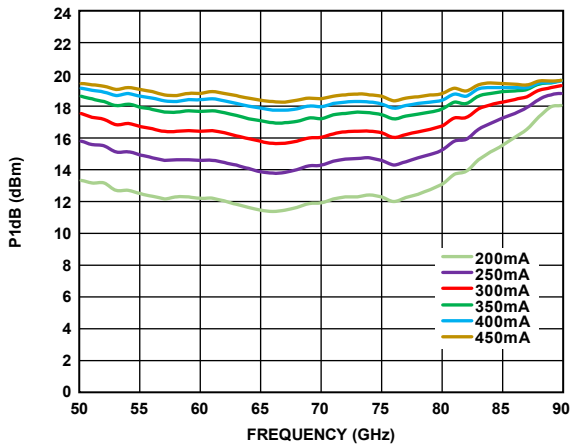


図 23. 様々な I_{DQ} 値での P1dB の周波数特性

16895-023

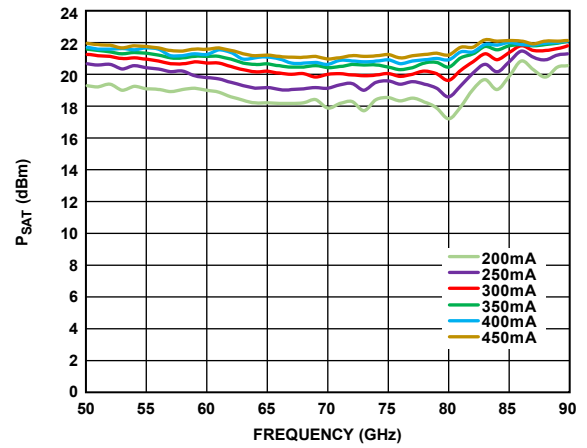


図 26. 様々な I_{DQ} 値での P_{SAT} の周波数特性

16895-026

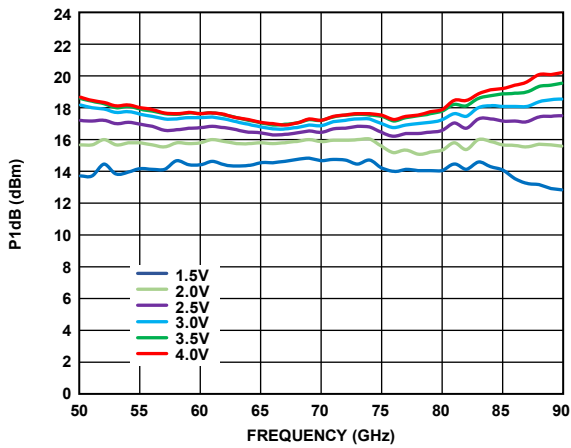


図 24. 様々な V_{DD} 値での P1dB の周波数特性

16895-024

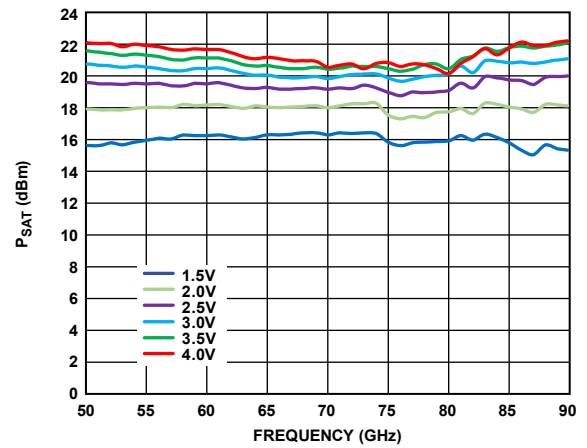


図 27. 様々な V_{DD} 値での P_{SAT} の周波数特性

16895-027

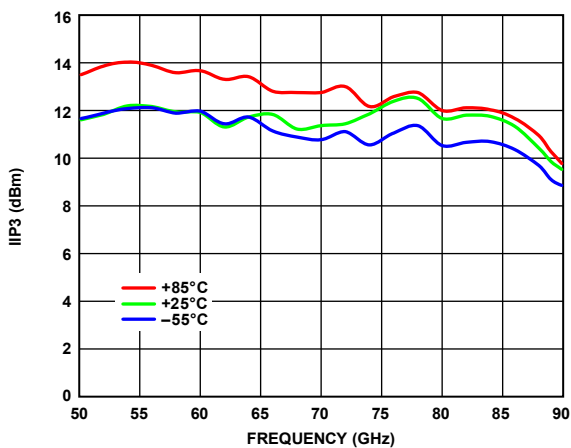


図 25. 様々な温度での IIP3 の周波数特性

16895-025

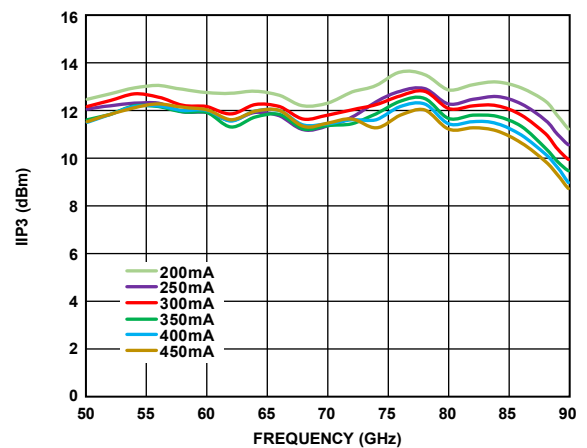


図 28. 様々な I_{DQ} 値での IIP3 の周波数特性

16895-028

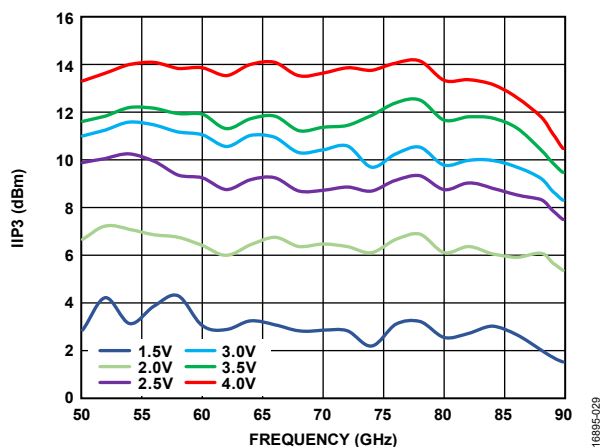


図 29. 様々な V_{DD} 値での IIP3 の周波数特性

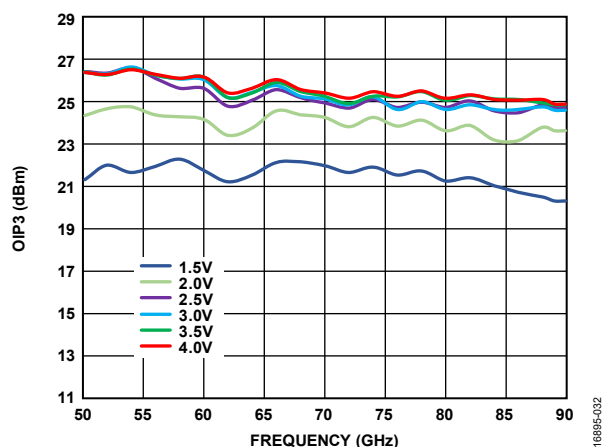


図 32. 様々な V_{DD} 値での OIP3 の周波数特性

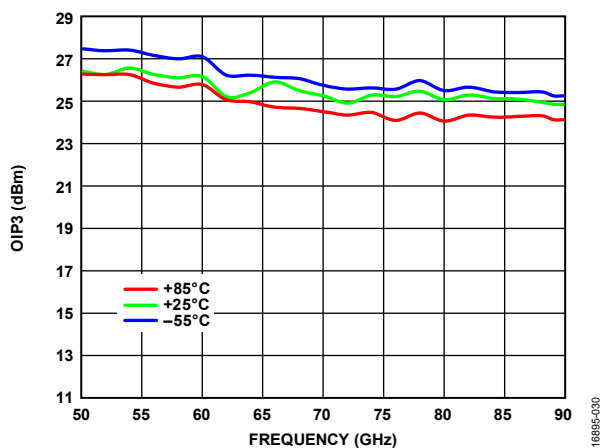


図 30. 様々な温度での OIP3 の周波数特性

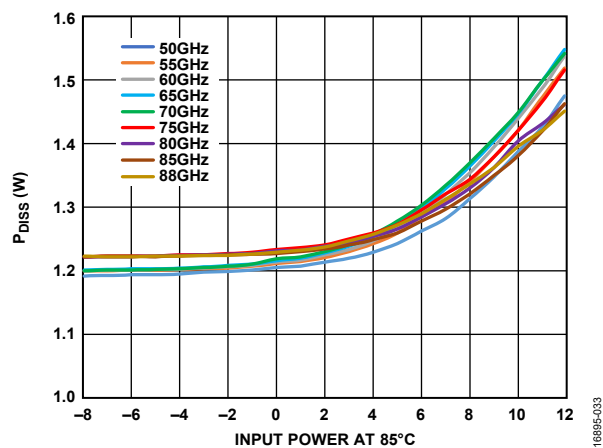


図 33. 様々な周波数での P_{DISS} と入力電力の関係、85°C

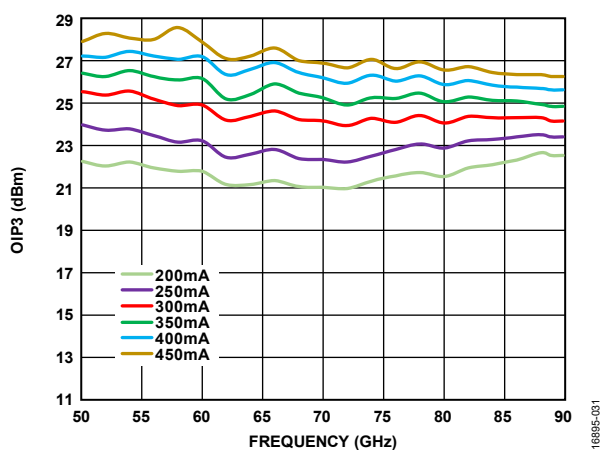


図 31. 様々な I_{BA} 値での OIP3 の周波数特性

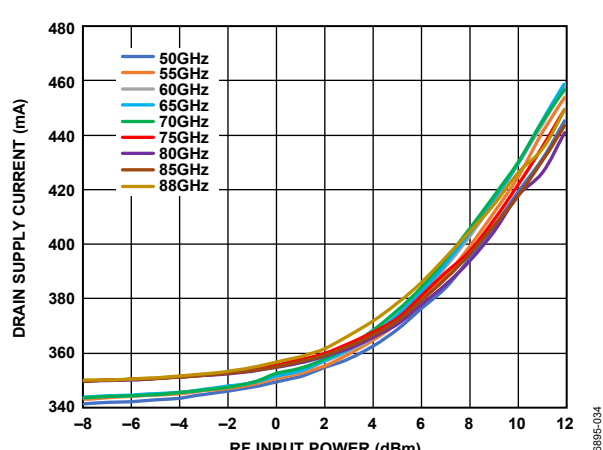


図 34. 様々な周波数でのドレイン電源電流と RF 入力電力の関係

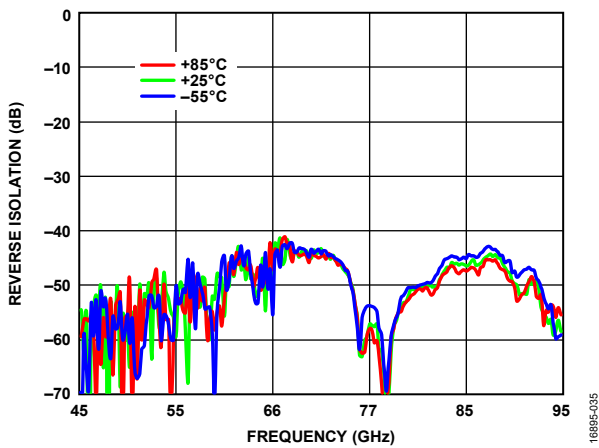


図 35. 様々な温度でのリバース・アイソレーションの周波数特性

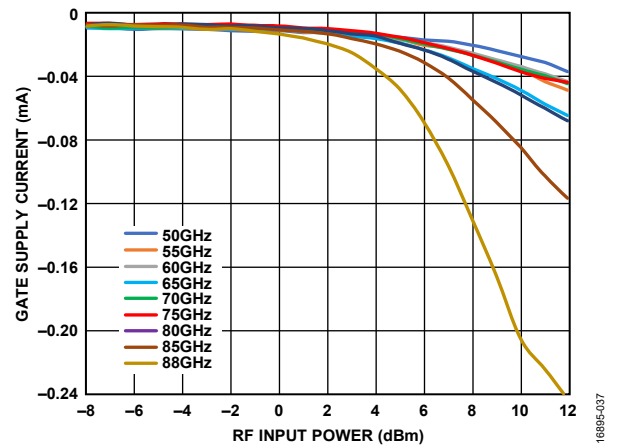


図 37. ゲート電源電流と RF 入力電力の関係

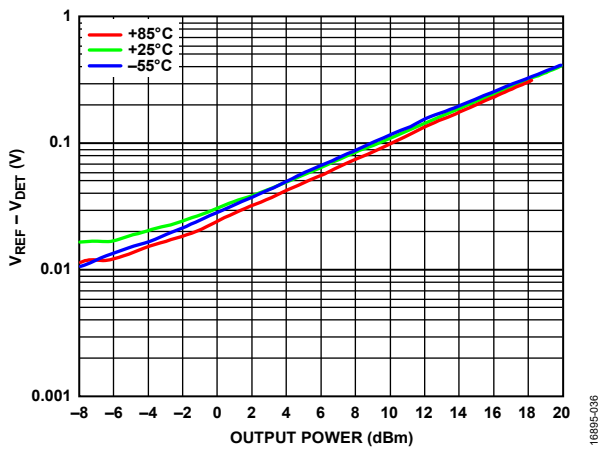


図 36. 様々な温度でのディテクタ電圧 ($V_{REF} - V_{DET}$) と出力電力の関係、70GHz

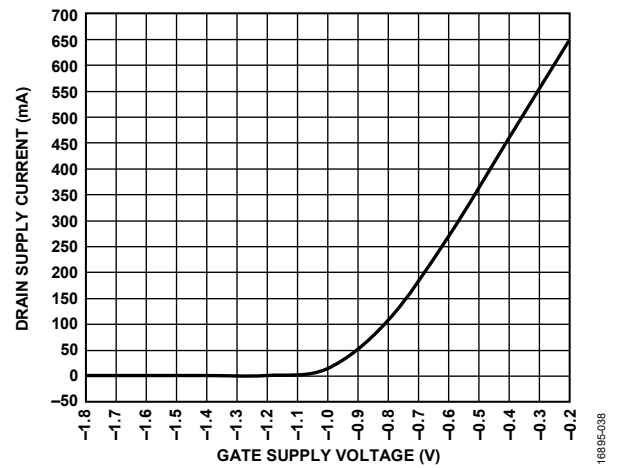


図 38. ドレイン電源電流とゲート電源電圧の関係

動作原理

ADPA7001CHIPS 中出力パワー・アンプのアーキテクチャを図 39 に示します。ADPA7001CHIPS は、4 段のアンプが 4 つ、カスケード接続された構成になっており、6 つの 90°ハイブリッドによって直交に動作します。

入力信号は 2 つに均等に分割されます。そして、分割された各信号は更に 2 つに分割され、それぞれのパスで 4 つの独立したゲイン段を通じて増幅されます。その後、増幅された信号は出力で合成されます。このバランスド・アンプの手法により、14dB の結合ゲインと 21dBm の P_{SAT} 値を備えたアンプを形成します。

RF 出力信号の一部は、ディレクショナル・カップラのダイオードに結合され、RF 出力電力の検出に使用されます。このダイオードに DC バイアスを印加すると RF 電力が整流されるため、 V_{DET} の DC 電圧が測定できるようになります。 V_{REF} を介して同一の回路を対称に配置し、カップリングされた RF 電力を差し引くことにより、 V_{DET} の温度補償が可能になります。 $V_{REF} - V_{DET}$ による差分から、RF 出力に比例する温度補償信号が得られます（図 36 参照）。

90°ハイブリッドにより、15dB 以上の入力リターン・ロスと 12dB 以上の出力リターン・ロスを実現します。様々なブロックのバイアス方法の詳細については、図 43 および 44 に示すアプリケーション回路を参照してください。

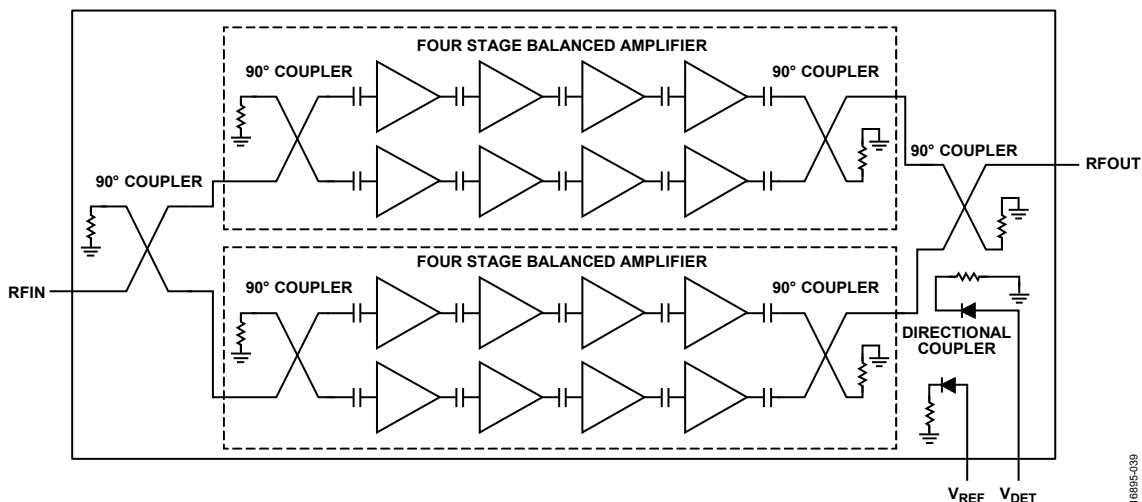


図 39. ADPA7001CHIPS のアーキテクチャ

アプリケーション情報

ADPA7001CHIPS は、GaAs の pHEMT を使用した MMIC パワー・アンプです。V_{DD1A}~V_{DD4A} と V_{DD1B}~V_{DD4B} には、バイパス・コンデンサが必要です（図 43 参照）。V_{GG12A} は、1 番目と 2 番目のゲイン段のゲート・バイアス・パッドです。V_{GG34A} は、3 番目と 4 番目のゲイン段のゲート・バイアス・パッドです。V_{GG12A} と V_{GG34A} にはゲート・バイアス電圧を印加します。この 2 つのパッドには、図 43 に示すようにバイパス・コンデンサを使用します。

このデバイスの測定はすべて、代表的なアプリケーション回路（図 43 参照）を使用し、アセンブリ図（図 45）に示すような構成で実施されました。

パワーアップ時の推奨バイアス・シーケンスは以下のとおりです。

1. GND を RF/DC グラウンドに接続します。
2. ゲート・バイアス電圧を -1.5V にセットします。
3. すべてのドレイン・バイアス電圧を V_{DD} = 3.5V にセットします。
4. 静止電流 I_{DQ} = 350mA になるまでゲート・バイアス電圧を上げます。
5. RF 信号を印加します。

パワーダウン時の推奨バイアス・シーケンスは以下のとおりです。

1. RF 信号をオフにします。
2. ゲート・バイアス電圧を -1.5V まで下げて I_{DQ} = 0mA（およその値）にします。
3. すべてのドレイン・バイアス電圧を 0V まで下げます。
4. ゲート・バイアス電圧を 0V まで上げます。

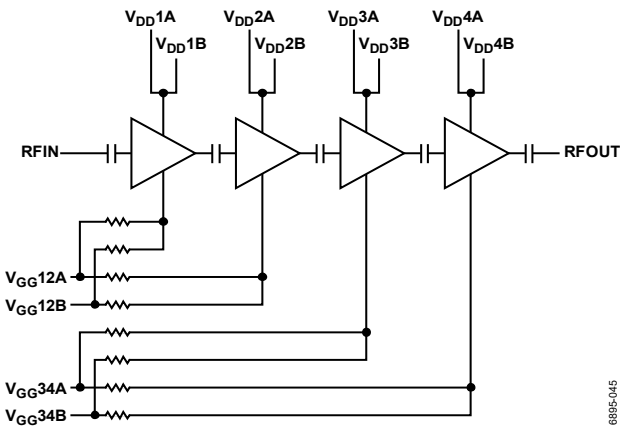


図 40. 簡略化したブロック図

バイアス・パッドと各パッドに対応するゲイン段との接続と、パッド間の依存関係および独立性を簡略化したものを図 40 に示します。

表 7. 電力選択リスト^{1, 2}

I _{DQ} (mA)	Gain (dB)	P1dB (dBm)	OIP3 (dBm)	P _{DISS} (mW)	V _{GG} (V)
200	10	11	22	700	-0.64
250	11.5	13.5	23	875	-0.59
300	13	15.5	24	1050	-0.54
350	14	16.5	25	1225	-0.48
400	15	17.5	26	1400	-0.44
450	16	18	27	1575	-0.39

¹ データは次のバイアス条件（公称値）で測定しています。V_{DD} = 3.5V、T = 25°C。

² V_{GG12A} と V_{GG34A} を -1.5V ~ 0V の範囲で調整することにより、所望のドレイン電流が得られます。

デバイス全体の性能を最適化するために、V_{DD} = 3.5V および I_{DQ} = 350mA のバイアス条件を推奨します。特に指定のない限り、ここに示すデータは推奨バイアス条件を使用して測定しています。ADPA7001CHIPS を異なるバイアス条件で動作させると、表 1 および表 2 に示した性能とは異なる性能が得られる可能性があります。ADPA7001CHIPS に高いドレイン電流をバイアスすると、一般的に P1dB、出力 IP3 およびゲインは大きくなりますが、その代わりに消費電力が増加します（表 7 参照）。

ミリ波 GaAs MMIC の取り付けおよびボンディング技術

導電性エポキシを使用して、ダイをグラウンド・プレーンに直接実装します（取り扱いに関する注意事項、取り付け、ワイヤ・ボンディングの各セクションを参照してください）。

チップとの間の RF 伝送には、厚さ 0.127mm (5mil) のアルミナ薄膜基板上に形成された 50Ω マイクロストリップ伝送ラインの使用を推奨します。ダイ表面と基板表面の高さが同じになるようにダイを 0.075mm (3mil) 持ち上げます。

リボン・ボンドの長さを最小限に抑えるために、マイクロストリップ基板をできるだけダイに近づけます。通常、ダイから基板までの間隔は、0.076mm ~ 0.152mm (3mil ~ 6mil) です。広帯域でのマッチングを確保するため、PCB のリボン・ボンド部には 15fF の容量性スタブを形成しておくことを推奨します。

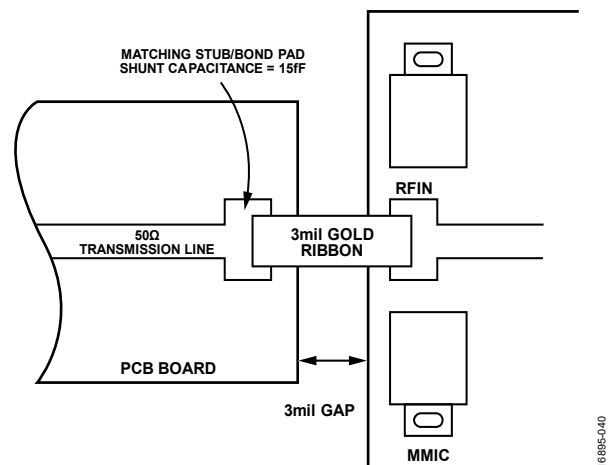


図 41. 高周波入力の広帯域マッチング

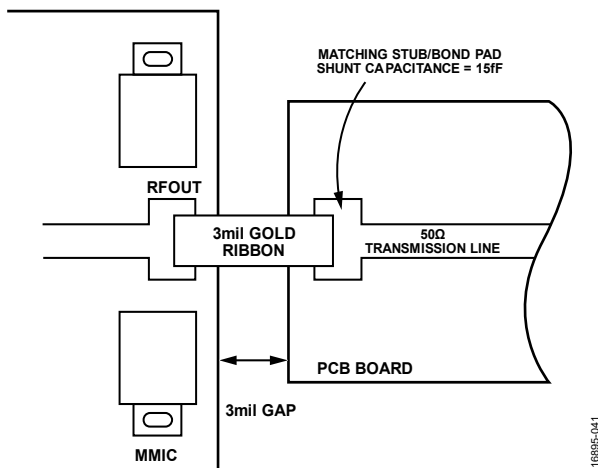


図 42. 高周波出力の広帯域マッチング

リボン・ボンズの長さを最小限に抑えるために、マイクロストリップ基板をできるだけダイに近づけます。通常、ダイから基板までの間隔は、0.076mm～0.152mm (3mil～6mil) です。

取り扱いに関する注意事項

恒久的な損傷を防ぐため、以下の保管、清浄度、静電気の影響、トランジェント、その他一般的な取り扱いに関する注意事項に従ってください。

- すべてのペアドायはワッフルベースまたはゲルベースの ESD 保護容器に入れ、その後、ESD 保護バッグに封入してから出荷してください。密閉された ESD 保護バッグを開いた後は、すべてのダイを乾燥した窒素雰囲気下で保管する必要があります。

- チップは清潔な環境で取り扱ってください。チップの洗浄には、液体のクリーニング・システムを使用しないでください。
- ESD の注意事項に従い、静電放電から保護してください。
- バイアス印加時には、計測器やバイアス電源によるトランジェントの発生を防止してください。誘電性ピックアップを最低限に抑えるため、シールド付きの信号/バイアス・ケーブルを使用します。
- チップは、バキューム・コレットまたは先端の尖ったピンセットを使用し、エッジ部を利用して取り扱ってください。チップの表面には壊れやすいエア・ブリッジがあるので、バキューム・コレット、ピンセット、指で触らないでください。

取り付け

ダイをエポキシで取り付ける際には、チップの配置後にチップ周辺に薄いエポキシのフィレットが観察される程度に、最小限のエポキシを取り付け表面に塗布します。エポキシは、メーカーが指定した手順で硬化させてください。

ワイヤ・ボンディング

RF ポートには、0.003 インチ×0.0005 インチの金リボンによる RF ボンドを推奨します。これらのボンドは、40g～60g の力で超音波熱圧着する必要があります。直径 0.001 インチ (0.025mm) の DC ボンドを超音波熱圧着することを推奨します。40g～50g の強度でボール・ボンドを形成し、18g～22g の強度でウェッジ・ボンドを形成します。すべてのボンドは 150°C の公称段温度で形成します。最低量の超音波エネルギーを印加することにより信頼性の高いボンドが形成できます。すべてのボンドは、可能な限り短く、12mil (0.31mm) 未満にします。

代わりに、2本の 1mil ワイヤを使用した短い (3mil 以下) RF ボンドも使用できます。

代表的なアプリケーション回路

ドレイン電圧とゲート電圧は、回路図の上側と下側のどちらにも印加できます。

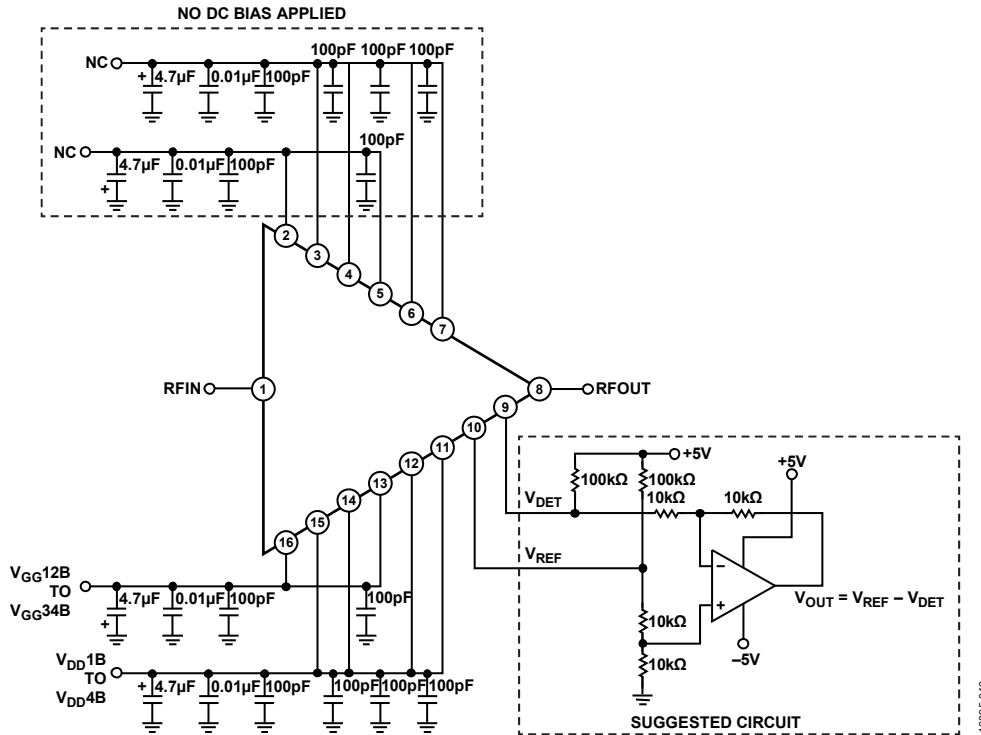


図 43. アプリケーション回路

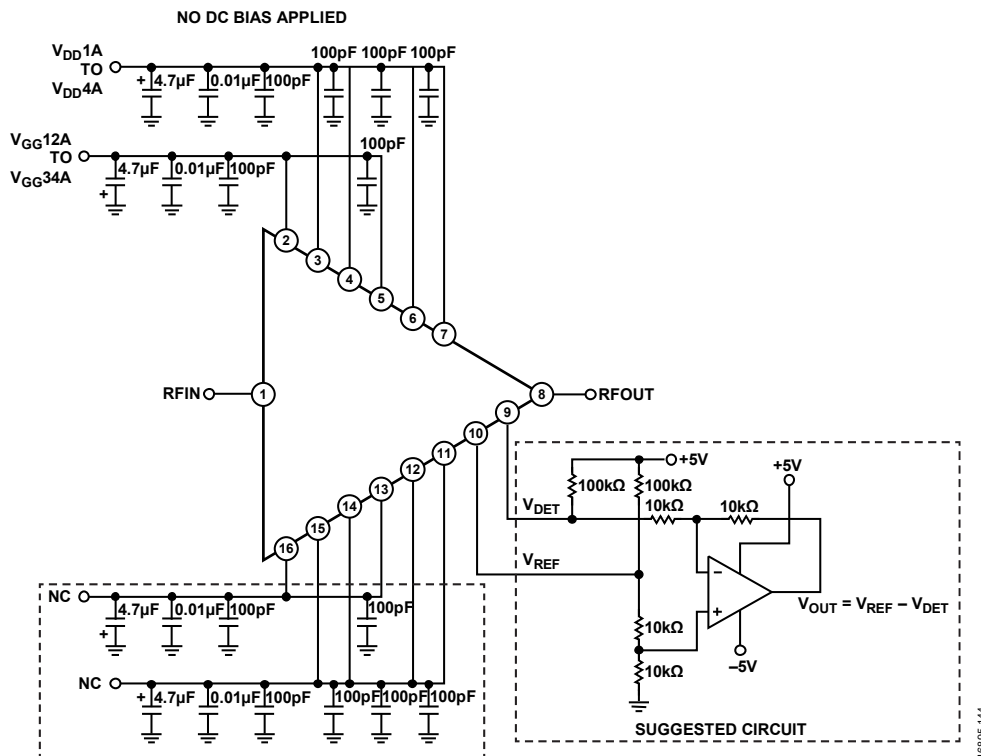


図 44. 代替アプリケーション回路

アセンブリ図

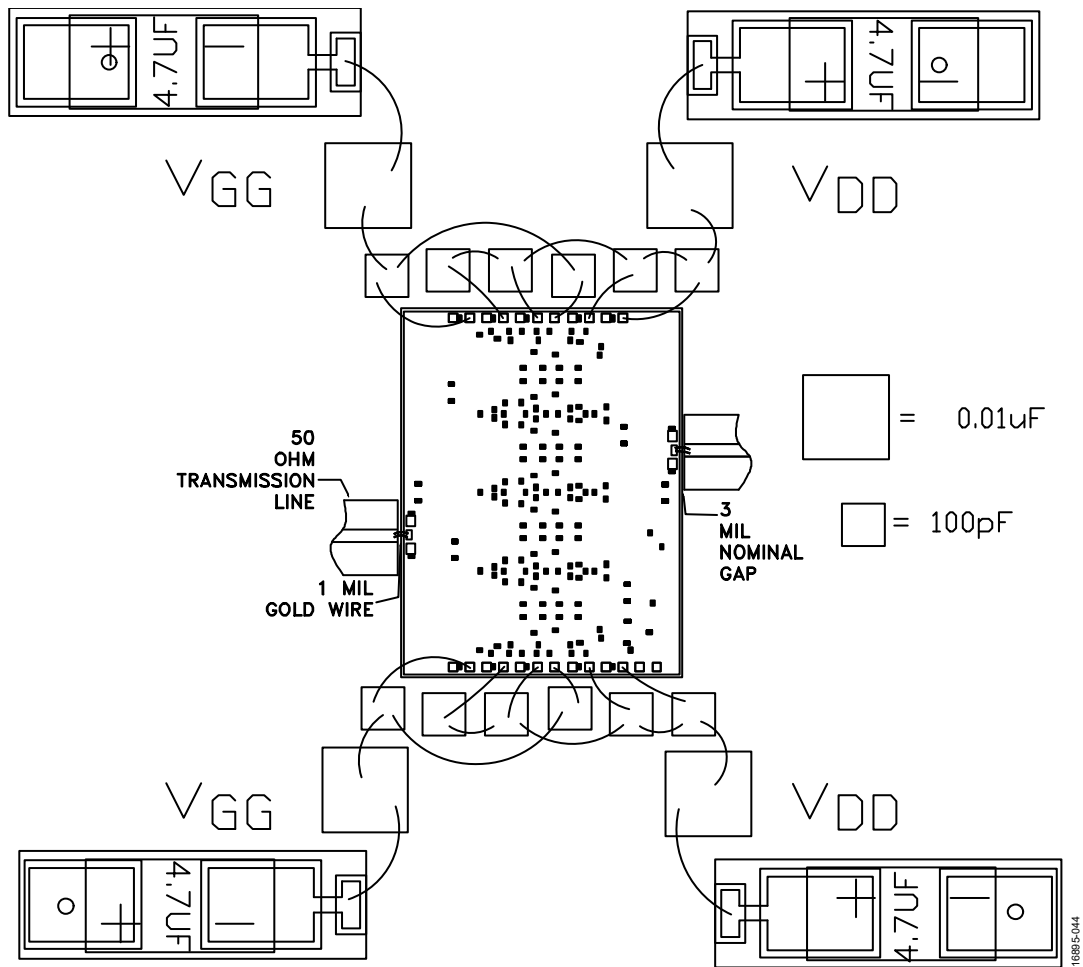
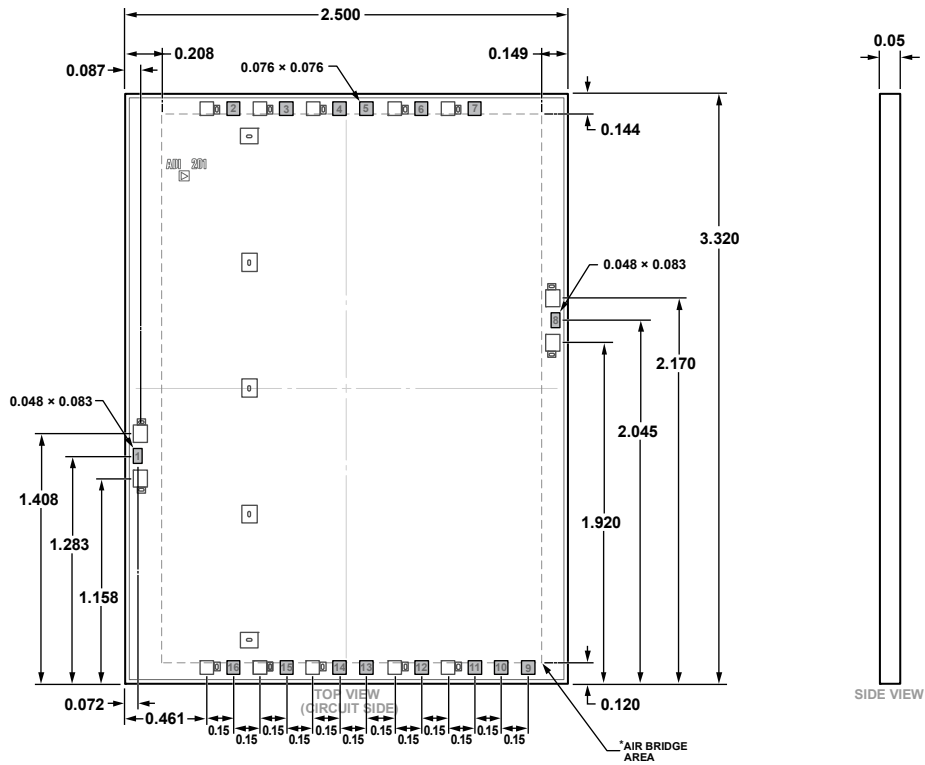


図 45. アセンブリ図

外形寸法



*This die utilizes fragile air bridges. Any pickup tools used must not contact this area.

図 46. 16 パッド・ベア・ダイ [チップ]
(C-16-2)
寸法：mm

07-30-2018-A

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADPA7001CHIPS	-55°C to +85°C	16-Pad Bare Die [CHIP]	C-16-2
ADPA7001CHIPS-SX	-55°C to +85°C	16-Pad Bare Die [CHIP]	C-16-2