



2 A、超低ノイズ、高 PSRR RF リニア・レギュレータ

データシート

ADP7158

特長

- 入力電圧範囲: 2.3 V ~ 5.5 V
- 1.2 V ~ 3.3 V の 16 種類の標準電圧が使用可能
- 最大負荷電流: 2 A
- 低ノイズ
 - 100 Hz ~ 100 kHz で 0.9 $\mu\text{V rms}$ の総合積分ノイズ
 - 10 Hz ~ 100 kHz で 1.6 $\mu\text{V rms}$ の総合積分ノイズ
 - ノイズ・スペクトル密度: 10 kHz ~ 1 MHz で 1.7 nV/ $\sqrt{\text{Hz}}$
- 電源変動除去比 (PSRR)
 - 1 kHz ~ 100 kHz で 70 dB; 1 MHz で 50 dB $V_{\text{OUT}} = 3.3 \text{ V}$, $V_{\text{IN}} = 4.0 \text{ V}$
- ドロップアウト電圧: $I_{\text{OUT}} = 2 \text{ A}$, $V_{\text{OUT}} = 3.3 \text{ V}$ で 200 mV (代表値)
- 初期精度: $I_{\text{LOAD}} = 10 \text{ mA}$ で $\pm 0.6 \%$
- 電源ライン、負荷、温度に対する初期精度: $\pm 1.5 \%$
- 静止電流: 無負荷で $I_{\text{GND}} = 4.0 \text{ mA}$ 、負荷 2 A で 9.0 mA
- 低シャットダウン電流: 0.2 μA
- 10 μF セラミック出力コンデンサで安定
- 10 ピンの 3 mm \times 3 mm LFCSP パッケージまたは 8 ピンの SOIC パッケージを採用
- 高精度イネーブルを装備
- ADIsimPower ツールのサポート

アプリケーション

- ノイズに敏感なアプリケーションでのレギュレーション: 位相ロックループ (PLL)、電圧制御発振器 (VCO)、VCO 内蔵 PLL
- 通信およびインフラストラクチャ
- バックホール回線およびマイクロ波回線

概要

ADP7158 は 2.3 V ~ 5.5 V で動作するリニア・レギュレータで、最大出力電流 2 A を供給します。当社独自の最新アーキテクチャを採用して高い電源変動除去比と超低ノイズを実現しており、10 μF セラミック出力コンデンサを使うだけで、優れたライン過渡応答と負荷過渡応答を実現します。

ADP7158 には 16 種類の標準出力電圧があります。1.2 V、1.8 V、2.0 V、2.5 V、2.8 V、3.0 V、3.3 V の電圧の製品を標準在庫品として提供しています。特別注文により、1.3 V、1.5 V、1.6 V、2.2 V、2.6 V、2.7 V、2.9 V、3.1V、3.2 V の電圧の製品も提供しています。

ADP7158 レギュレータの出力ノイズ (代表値) は 100 Hz ~ 100 kHz で 0.9 $\mu\text{V rms}$ 、ノイズ・スペクトル密度は 10 kHz ~ 1 MHz で 1.7 nV/ $\sqrt{\text{Hz}}$ です。ADP7158 は 10 ピン 3 mm \times 3 mm LFCSP パッケージおよび 8 ピン SOIC パッケージを採用しているため、非常に小型なソリューションであるだけでなく、フットプリントが小さく低プロファイルのパッケージで 2 A までの出力電流を必要とするアプリケーションに対して優れた熱性能も提供します。

代表的なアプリケーション回路

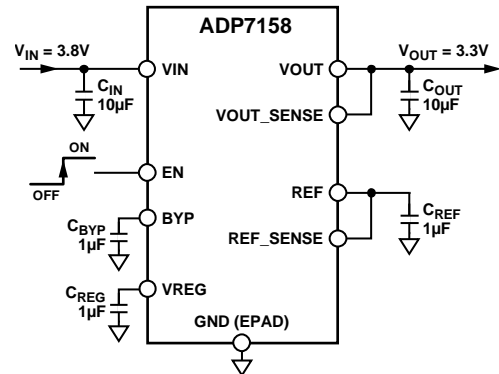


図 1.

表 1. 関連デバイス

Model	Input Voltage	Output Current	Fixed/Adj ¹	Package
ADP7159	2.3 V to 5.5 V	2 A	Adj	10-lead LFCSP/ 8-lead SOIC
ADP7156, ADP7157	2.3 V to 5.5 V	1.2 A	Fixed/ Adj	10-lead LFCSP/ 8-lead SOIC
ADM7150, ADM7151	4.5 V to 16 V	800 mA	Fixed/ Adj	8-lead LFCSP/ 8-lead SOIC
ADM7154, ADM7155	2.3 V to 5.5 V	600 mA	Fixed/ Adj	8-lead LFCSP/ 8-lead SOIC
ADM7160	2.2 V to 5.5 V	200 mA	Fixed	6-lead LFCSP/ 5-lead TSOT

¹ Adj は調節可能を意味します。

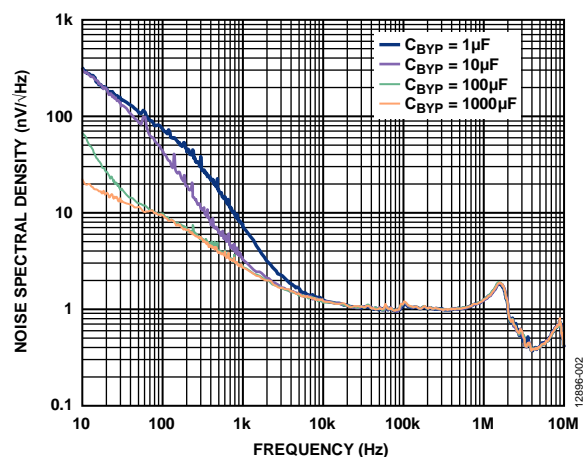


図 2. 様々な C_{BYP} 値でのノイズ・スペクトル密度、 $V_{\text{OUT}} = 3.3 \text{ V}$

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	アプリケーション情報.....	14
アプリケーション.....	1	ADIsimPower デザイン・ツール.....	14
概要.....	1	コンデンサの選択.....	14
代表的なアプリケーション回路.....	1	低電圧ロックアウト (UVLO).....	15
改訂履歴.....	2	プログラマブルな高精度イネーブル.....	16
仕様.....	3	スタートアップ時間.....	17
入力コンデンサと出力コンデンサの推奨仕様.....	4	REF、BYP、VREG の各ピン.....	17
絶対最大定格.....	5	電流制限およびサーマル・シャットダウン.....	17
熱データ.....	5	熱に対する考慮事項.....	17
熱抵抗.....	5	PCB レイアウトに関する検討事項.....	20
ESD に関する注意.....	5	外形寸法.....	21
ピン配置およびピン機能の説明.....	6	オーダー・ガイド.....	22
代表的な性能特性.....	7		
動作原理.....	13		

改訂履歴

3/16—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{IN} = V_{OUT} + 0.5\text{ V}$ または 2.3 V (いずれか大きい方) ; $V_{EN} = V_{IN}$; $I_{LOAD} = 10\text{ mA}$; $C_{IN} = C_{OUT} = 10\text{ }\mu\text{F}$; $C_{REG} = C_{REF} = C_{BYP} = 1\text{ }\mu\text{F}$; 代表値は $T_A = 25\text{ }^\circ\text{C}$; 最大値/最小値は $T_A = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit	
INPUT VOLTAGE RANGE	V_{IN}		2.3		5.5	V	
LOAD CURRENT	I_{LOAD}				2	A	
OPERATING SUPPLY CURRENT	I_{GND}	$I_{LOAD} = 0\text{ }\mu\text{A}$		4.0	8.0	mA	
		$I_{LOAD} = 2\text{ A}$		9.0	14.0	mA	
SHUTDOWN CURRENT	I_{IN_SD}	$EN = GND$		0.2	4	μA	
NOISE	OUT_{NOISE}	$V_{OUT} = 1.2\text{ V to } 3.3\text{ V}$					
		10 Hz to 100 kHz		1.6		$\mu\text{V rms}$	
		100 Hz to 100 kHz		0.9		$\mu\text{V rms}$	
Noise Spectral Density	OUT_{NSD}	10 kHz to 1 MHz		1.7		$\text{nV}/\sqrt{\text{Hz}}$	
POWER SUPPLY REJECTION RATIO	PSRR	1 kHz to 100 kHz, $V_{IN} = 4.0\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{LOAD} = 2\text{ A}$		70		dB	
		1 MHz, $V_{IN} = 4.0\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{LOAD} = 2\text{ A}$		50		dB	
		1 kHz to 100 kHz, $V_{IN} = 2.6\text{ V}$, $V_{OUT} = 1.8\text{ V}$, $I_{LOAD} = 2\text{ A}$		70		dB	
		1 MHz, $V_{IN} = 2.6\text{ V}$, $V_{OUT} = 1.8\text{ V}$, $I_{LOAD} = 2\text{ A}$		50		dB	
OUTPUT VOLTAGE ACCURACY	V_{OUT}	Output Voltage ¹		1.2	3.3	V	
		Initial Accuracy	$I_{LOAD} = 10\text{ mA}$, $T_A = 25\text{ }^\circ\text{C}$	-0.6	+0.6	%	
			$10\text{ mA} < I_{LOAD} < 2\text{ A}$, $T_A = 25\text{ }^\circ\text{C}$	-1.0	+1.0	%	
			$10\text{ mA} < I_{LOAD} < 2\text{ A}$, $T_A = -40\text{ }^\circ\text{C to } +125\text{ }^\circ\text{C}$	-1.5	+1.5	%	
REGULATION	$\Delta V_{OUT}/\Delta V_{IN}$	Line	$V_{IN} = V_{OUT} + 0.5\text{ V}$ or 2.3 V , whichever is greater to 5.5 V	-0.1	+0.1	%/V	
		Load ²	$I_{OUT} = 10\text{ mA to } 2\text{ A}$		0.3	%/A	
CURRENT-LIMIT THRESHOLD ³	I_{LIMIT}	REF		2.4	22	mA	
		VOUT		3	3.8	A	
DROPOUT VOLTAGE ⁴	$V_{DROPOUT}$	$I_{OUT} = 1.2\text{ A}$, $V_{OUT} = 3.3\text{ V}$		120	170	mV	
		$I_{OUT} = 2\text{ A}$, $V_{OUT} = 3.3\text{ V}$		200	280	mV	
PULL-DOWN RESISTANCE	V_{OUT_PULL}	$EN = 0\text{ V}$, $V_{IN} = 5.5\text{ V}$		650		Ω	
	V_{REG_PULL}	$V_{OUT} = 1\text{ V}$, $V_{REG} = 1\text{ V}$		31		$\text{k}\Omega$	
	V_{REF_PULL}	$V_{REF} = 1\text{ V}$		850		Ω	
	V_{BYP_PULL}	$V_{BYP} = 1\text{ V}$		650		Ω	
START-UP TIME ⁵	t_{START_UP}	$V_{OUT} = 3.3\text{ V}$		1.2		ms	
	$t_{REG_START_UP}$			0.6		ms	
	$t_{REF_START_UP}$			0.5		ms	
THERMAL SHUTDOWN	TS_{SD}	T_J rising		150		$^\circ\text{C}$	
	TS_{SD_HYS}			15		$^\circ\text{C}$	
UNDERVOLTAGE THRESHOLDS	$UVLO$	Input Voltage					
		Rising	$UVLO_{RISE}$	1.95	2.22	2.29	V
		Falling	$UVLO_{FALL}$		2.02		V
		Hysteresis	$UVLO_{HYS}$		200		mV

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
VREG UVLO THRESHOLDS ⁶						
Rising	VREGUVLO _{RISE}				1.94	V
Falling	VREGUVLO _{FALL}		1.60			V
Hysteresis	VREGUVLO _{HYS}			185		mV
EN INPUT PRECISION		2.3 V ≤ V _{IN} ≤ 5.5 V				
EN Input						
Logic High	V _{EN_HIGH}		1.13	1.22	1.31	V
Logic Low	V _{EN_LOW}		1.05	1.13	1.22	V
Logic Hysteresis	V _{EN_HYS}			90		mV
LEAKAGE CURRENT						
REF_SENSE	I _{REF_SENSE_LKG}			10		nA
EN	I _{EN_LKG}	EN = V _{IN} or GND		0.01	1	μA

¹ ADP7158 は 1.2 V ~ 3.3 V の範囲で 16 種類の標準電圧 1.2 V、1.3 V、1.5 V、1.6 V、1.8 V、2.0 V、2.2 V、2.5 V、2.6 V、2.7 V、2.8 V、2.9 V、3.0 V、3.1 V、3.2 V、3.3 V を提供しています。

² 10 mA と 2 A 負荷を使用した端点計算を使用。

³ 電流制限閾値は、出力電圧が規定代表値の 90 % に低下する電流値として定義されます。例えば、3.0 V 出力電圧の電流制限値は、出力電圧が 3.0 V の 90 % すなわち 2.7 V に低下する電流値として定義されます。

⁴ ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧—出力電圧間の電圧差として定義されます。ドロップアウト電圧は、2.3 V を超える出力電圧に対してのみ適用されます。

⁵ スタートアップ時間は、V_{EN} の立上がりエッジから V_{OUT}、V_{REG} または V_{REF} が公称値の 90 % になるまでの時間として定義されます。

⁶ VREG UVLO 立上がり閾値を通過するまで、出力電圧はディスエーブルされます。入力電圧 UVLO 立上がり閾値を通過するまで、VREG 出力はディスエーブルされます。

入力コンデンサと出力コンデンサの推奨仕様

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
MINIMUM CAPACITANCE		T _A = -40°C to +125°C				
Input ¹	C _{IN}		10.0			μF
Regulator	C _{REG}		1.0			μF
Output ¹	C _{OUT}		10.0			μF
Bypass	C _{BYP}		1.0			μF
Reference	C _{REF}		1.0			μF
CAPACITOR EFFECTIVE SERIES RESISTANCE (ESR)		T _A = -40°C to +125°C				
C _{OUT} , C _{IN}	R _{ESR}		0.001		0.1	Ω
C _{REG} , C _{REF}	R _{ESR}		0.001		0.2	Ω
C _{BYP}	R _{ESR}		0.001		2.0	Ω

¹ 最小入力容量と最小出力容量は、動作条件の全範囲で 7.0 μF より大きい必要があります。最小容量規定値を確実に満たすようにするため、デバイス選択時にアプリケーションの動作条件の全範囲を考慮する必要があります。X7R タイプと X5R タイプのコンデンサの使用を推奨します。Y5V コンデンサと Z5U コンデンサは、すべての低ドロップアウト・レギュレータに推奨しません。

絶対最大定格

表 4.

Parameter	Rating
VIN to Ground	-0.3 V to +7 V
VREG to Ground	-0.3 V to V _{IN} , or +4 V (whichever is less)
VOUT to Ground	-0.3 V to V _{REG} , or +4 V (whichever is less)
VOUT_SENSE to Ground	-0.3 V to V _{REG} , or +4 V (whichever is less)
VOUT to VOUT_SENSE	±0.3 V
BYP to VOUT	±0.3 V
EN to Ground	-0.3 V to +7 V
BYP to Ground	-0.3 V to V _{REG} , or +4 V (whichever is less)
REF to Ground	-0.3 V to V _{REG} , or +4 V (whichever is less)
REF_SENSE to Ground	-0.3 V to +4 V
Storage Temperature Range	-65°C to +150°C
Operational Junction Temperature Range	-40°C to +125°C
Soldering Conditions	JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱データ

絶対最大定格は組み合わせてではなく、個別に適用されます。ジャンクション温度を超えると ADP7158 は損傷を受けることがあります。周囲温度をモニタしても、T_Jが規定温度範囲内にあるとは保証できません。消費電力が大きいかつ熱抵抗が高いアプリケーションでは、最大周囲温度を下げる必要があります。

中程度の消費電力で、プリント回路ボード (PCB) の熱抵抗が低いアプリケーションでは、ジャンクション温度が規定値内にある限り、最大周囲温度はこの最大値を超えてもかまいません。デバイスのジャンクション温度 (T_J) は、周囲温度 (T_A)、デバイスの消費電力 (P_D)、パッケージのジャンクション—周囲間の熱抵抗 (θ_{JA}) に依存します。

最大ジャンクション温度 (T_J) は、次式を使って周囲温度 (T_A) と消費電力 (P_D) から計算します。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージのジャンクション—周囲間の熱抵抗 (θ_{JA}) は、4層ボードを使ったモデリングと計算に基づいています。ジャンクション—周囲間の熱抵抗は、アプリケーションとボード・レイアウトに強く依存します。最大消費電力が大きいアプリケーションでは、ボードの熱設計に注意が必要です。θ_{JA} 値は、PCB 材料、レイアウト、環境条件に依存して変化します。θ_{JA} の規定値は、4層の4インチ×3インチ回路ボードに基づいています。ボード構造については JESD51-7 と JESD51-9 を参照してください。

Ψ_{JB} はジャンクション—ボード間のサーマル・キャラクタライゼーション・パラメータで、単位は °C/W です。パッケージの Ψ_{JB} は、4層ボードを使ったモデリングと計算に基づいています。JESD51-12 「Guidelines for Reporting and Using Electronic Package Thermal Information」には、サーマル・キャラクタライゼーション・パラメータは熱抵抗と同じではないと記載されています。Ψ_{JB} は、熱抵抗 (θ_{JB}) の場合のように1つのパスではなく、複数のサーマル・パスを通過する電力成分を表します。したがって、Ψ_{JB} サーマル・パスには、パッケージ上面からの対流やパッケージからの放射 (実際のアプリケーションで Ψ_{JB} を有効にしている要因) が含まれます。最大ジャンクション温度 (T_J) は、次式を使ってボード温度 (T_B) と消費電力 (P_D) から計算します。

$$T_J = T_B + (P_D \times \Psi_{JB})$$

Ψ_{JB} の詳細については、JESD51-8 と JESD51-12 を参照してください。

熱抵抗

θ_{JA}、θ_{JC}、Ψ_{JB} は最悪の条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定しています。

表 5. 熱抵抗

Package Type	θ _{JA}	θ _{JC}	Ψ _{JB}	Unit
10-Lead LFCSP	53.8	15.6	29.1	°C/W
8-Lead SOIC	50.4	42.3	30.1	°C/W

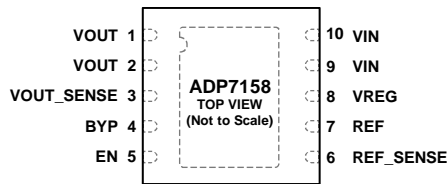
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

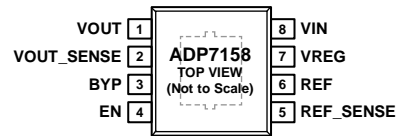


NOTES

1. THE EXPOSED PAD IS LOCATED ON THE BOTTOM OF THE PACKAGE. THE EXPOSED PAD ENHANCES THERMAL PERFORMANCE, AND IT IS ELECTRICALLY CONNECTED TO GROUND INSIDE THE PACKAGE. CONNECT THE EXPOSED PAD TO THE GROUND PLANE ON THE BOARD TO ENSURE PROPER OPERATION.

12896-003

図 3. 10 ピン LFCSP ピン配置



NOTES

1. THE EXPOSED PAD IS LOCATED ON THE BOTTOM OF THE PACKAGE. THE EXPOSED PAD ENHANCES THERMAL PERFORMANCE, AND IT IS ELECTRICALLY CONNECTED TO GROUND INSIDE THE PACKAGE. CONNECT THE EXPOSED PAD TO THE GROUND PLANE ON THE BOARD TO ENSURE PROPER OPERATION.

12896-004

図 4. 8 ピン SOIC のピン配置

表 6. ピン機能の説明

Pin No.		Mnemonic	Description
LFCSP	SOIC		
1, 2	1	VOUT	レギュレーションされた出力電圧。10 μ F 以上のコンデンサで VOUT をグラウンドへバイパスします。
3	2	VOUT_SENSE	出力検出。VOUT_SENSE は、内部で 10 Ω 抵抗を介して VOUT に接続されています。VOUT_SENSE は負荷のできるだけ近くに接続します。
4	3	BYP	低ノイズ・バイパス・コンデンサ。ノイズを減らすため、BYP ピンとグラウンドの間に 1 μ F のコンデンサを接続します。このピンには負荷を接続しないでください。
5	4	EN	イネーブル。EN をハイ・レベルにするとレギュレータがオンし、ロー・レベルにするとレギュレータがオフします。自動スタートアップの場合は、EN を VIN に接続します。
6	5	REF_SENSE	リファレンス検出。REF_SENSE は REF ピンに接続します。REF_SENSE を VOUT または GND へ接続しないでください。
7	6	REF	低ノイズ・リファレンス電圧出力。1 μ F 以上のコンデンサで REF をグラウンドへバイパスします。固定出力電圧の場合は、REF_SENSE を REF に短絡します。このピンには負荷を接続しないでください。
8	7	VREG	低ドロップアウト (LDO) アンプに対する安定化入力電源電圧。1 μ F 以上のコンデンサで VREG をグラウンドへバイパスします。
9, 10	8	VIN EP	安定化入力電源電圧。10 μ F 以上のコンデンサで VIN をグラウンドへバイパスします。 エクスポーズド・パッド。エクスポーズド・パッドはパッケージ底面にあります。エクスポーズド・パッドは熱性能を強化し、パッケージ内部でグラウンドに電気的に接続されています。エクスポーズド・パッドは回路ボードのグラウンド・プレーンへ接続し、正常動作を保証します。

代表的な性能特性

特に指定のない限り、 $V_{IN} = V_{OUT} + 0.5\text{ V}$ または 2.3 V (いずれか大きい方)、 $V_{EN} = V_{IN}$; $I_{LOAD} = 10\text{ mA}$; $C_{IN} = C_{OUT} = 10\text{ }\mu\text{F}$;
 $C_{REG} = C_{REF} = C_{BYP} = 1\text{ }\mu\text{F}$; $T_A = 25\text{ }^\circ\text{C}$ 。

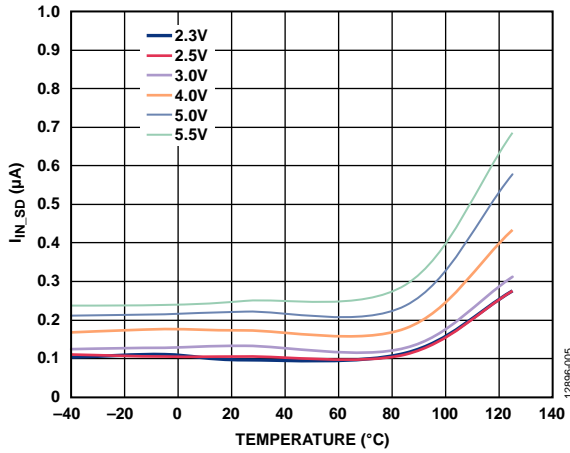


図 5. 様々な入力電圧 (V_{IN}) でのシャットダウン電流 (I_{IN_SD}) の温度特性、 $V_{OUT} = 1.8\text{ V}$

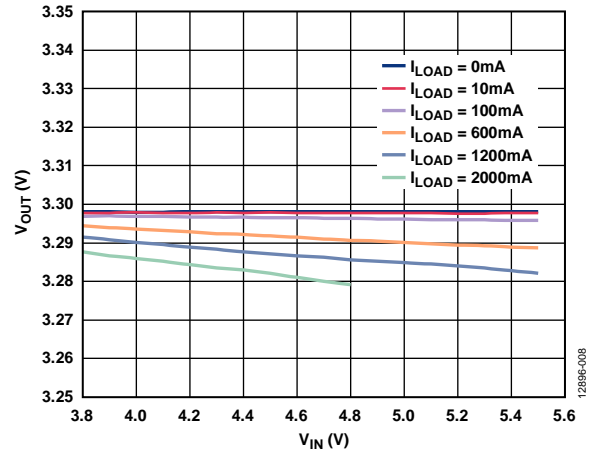


図 8. 様々な負荷での出力電圧 (V_{OUT}) 対入力電圧 (V_{IN})、 $V_{OUT} = 3.3\text{ V}$

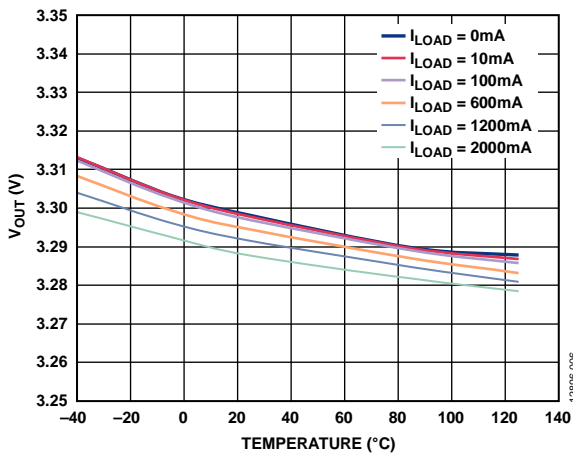


図 6. 様々な負荷での出力電圧 (V_{OUT}) の温度特性、 $V_{OUT} = 3.3\text{ V}$

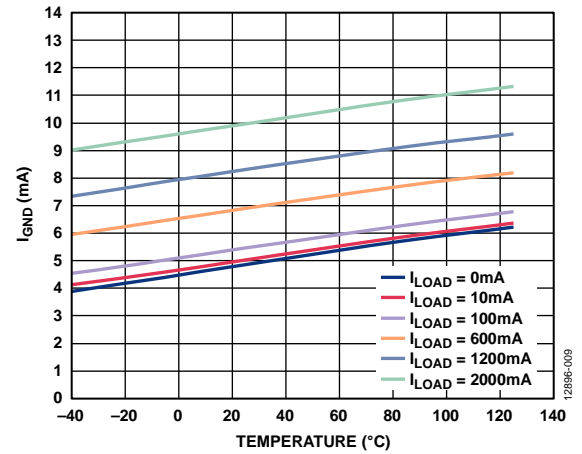


図 9. 様々な負荷でのグラウンド電流 (I_{GND}) 対温度、 $V_{OUT} = 3.3\text{ V}$

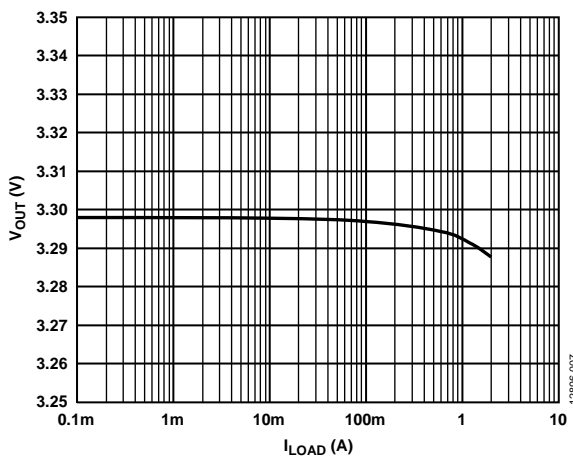


図 7. 出力電圧 (V_{OUT}) 対負荷電流 (I_{LOAD})、 $V_{OUT} = 3.3\text{ V}$

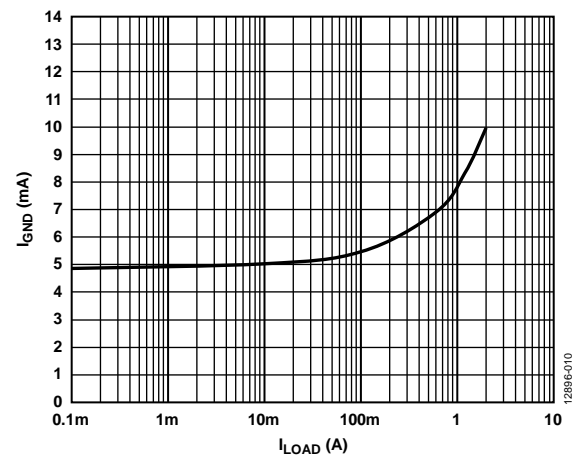


図 10. グラウンド電流 (I_{GND}) 対負荷電流 (I_{LOAD})、 $V_{OUT} = 3.3\text{ V}$

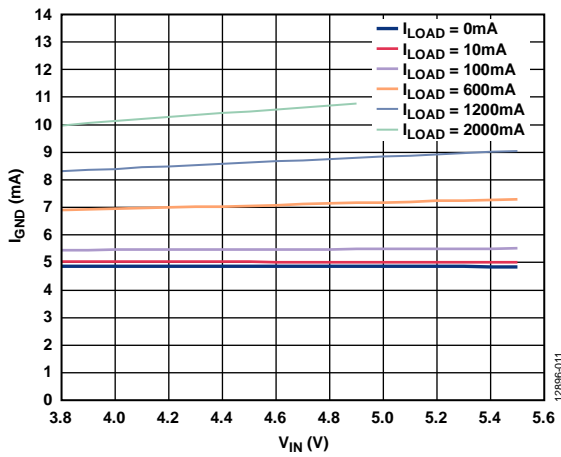


図 11. 様々な負荷でのグラウンド電流 (I_{GND}) 対入力電圧 (V_{IN})、 $V_{OUT} = 3.3\text{ V}$

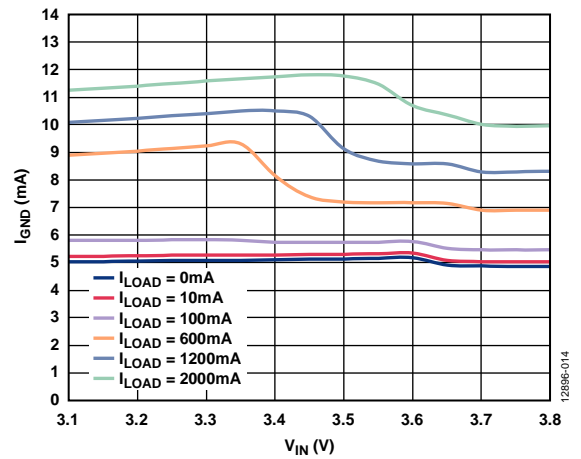


図 14. 様々な負荷でのグラウンド電流 (I_{GND}) 対入力電圧 (V_{IN})、ドロップアウト時、 $V_{OUT} = 3.3\text{ V}$

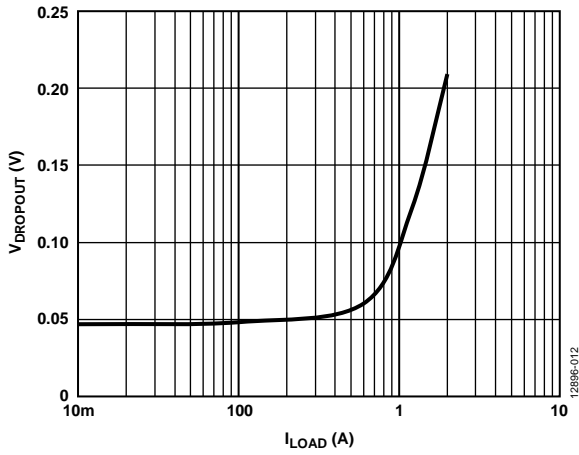


図 12. ドロップアウト電圧 ($V_{DROPOUT}$) 対負荷電流 (I_{LOAD})、 $V_{OUT} = 3.3\text{ V}$

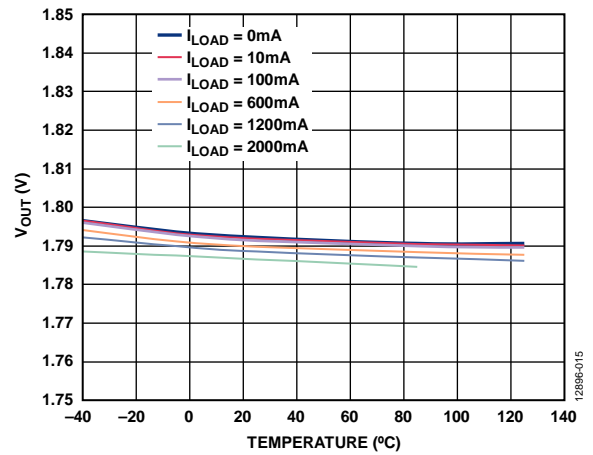


図 15. 様々な負荷での出力電圧 (V_{OUT}) の温度特性、 $V_{OUT} = 1.8\text{ V}$

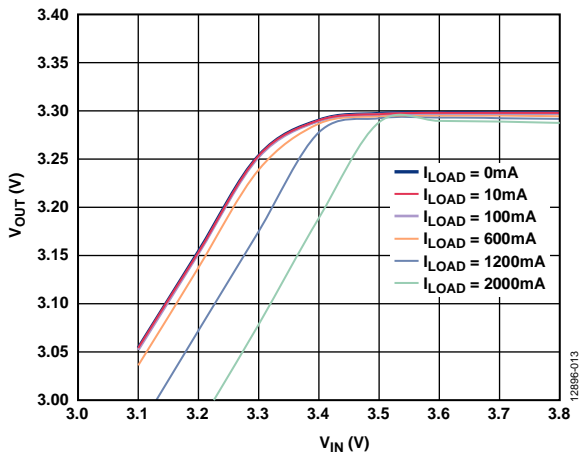


図 13. 様々な負荷での出力電圧 (V_{OUT}) 対入力電圧 (V_{IN})、ドロップアウト時、 $V_{OUT} = 3.3\text{ V}$

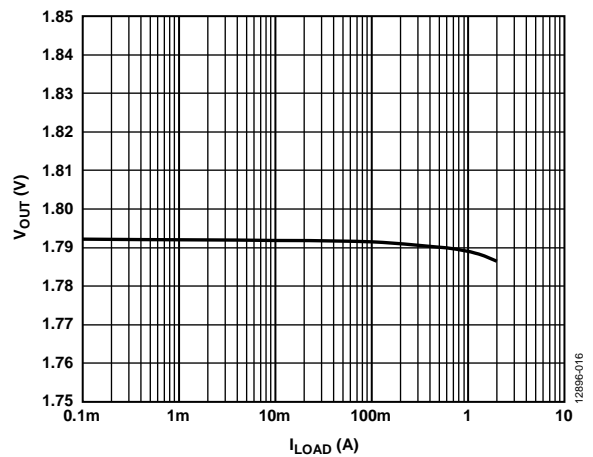


図 16. 出力電圧 (V_{OUT}) 対負荷電流 (I_{LOAD})、 $V_{OUT} = 1.8\text{ V}$

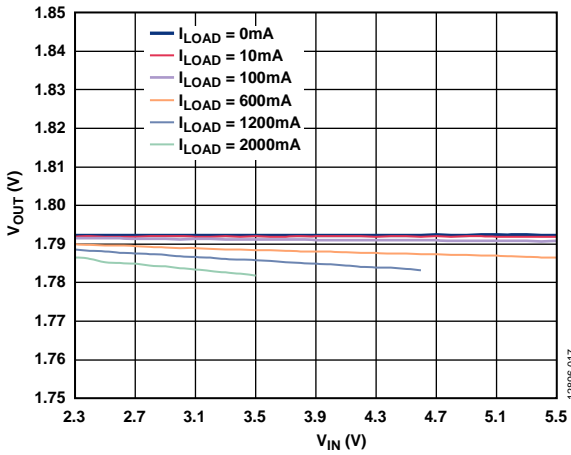


図 17. 様々な負荷での出力電圧 (V_{OUT}) 対入力電圧 (V_{IN})、 $V_{OUT} = 1.8 \text{ V}$

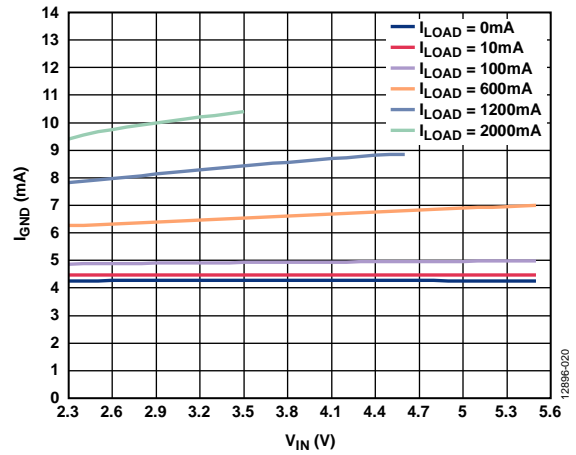


図 20. 様々な負荷でのグラウンド電流 (I_{GND}) 対入力電圧 (V_{IN})、 $V_{OUT} = 1.8 \text{ V}$

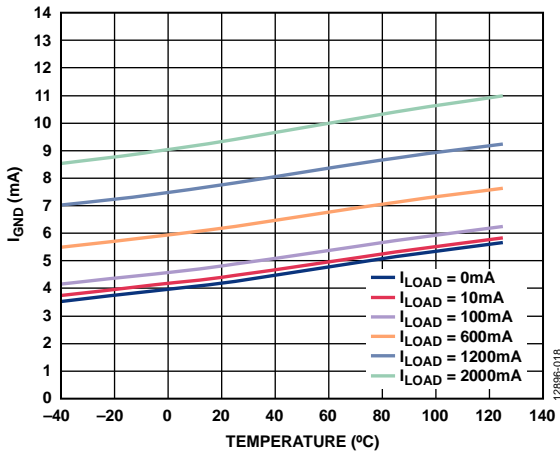


図 18. 様々な負荷でのグラウンド電流 (I_{GND}) の温度特性、 $V_{OUT} = 1.8 \text{ V}$

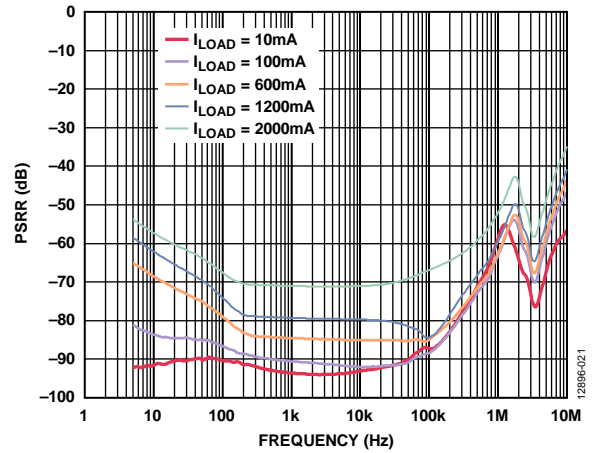


図 21. 様々な負荷での電源変動除去比 (PSRR) の周波数特性、 $V_{OUT} = 3.3 \text{ V}$ 、 $V_{IN} = 4.0 \text{ V}$

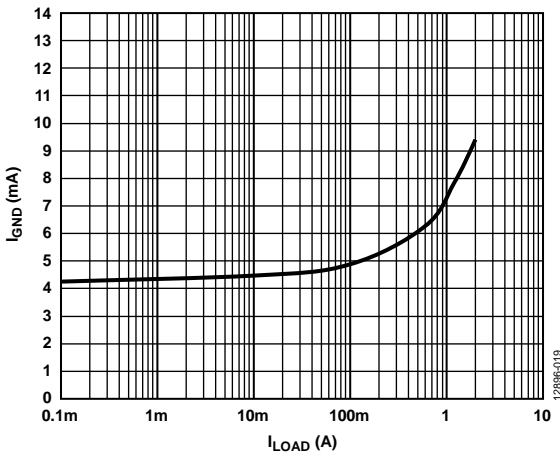


図 19. グラウンド電流 (I_{GND}) 対負荷電流 (I_{LOAD})、 $V_{OUT} = 1.8 \text{ V}$

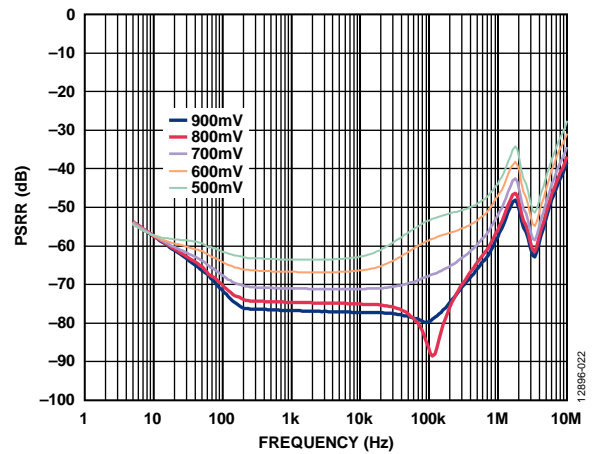


図 22. 様々なヘッドルーム電圧での電源変動除去比 (PSRR) の周波数特性、 $V_{OUT} = 3.3 \text{ V}$ 、2 A 負荷

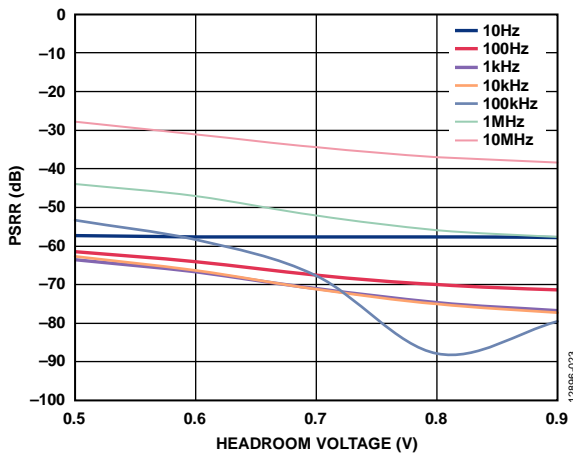


図 23. 様々な周波数での電源変動除去比 (PSRR) 対ヘッドルーム電圧、 $V_{OUT} = 3.3\text{ V}$ 、2 A 負荷

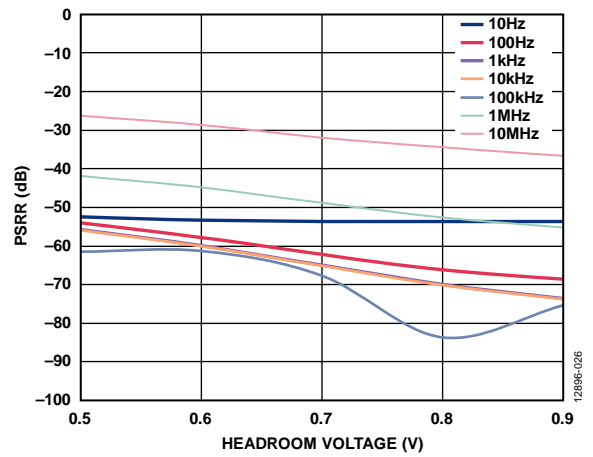


図 26. 様々な周波数での電源変動除去比 (PSRR) 対ヘッドルーム電圧、 $V_{OUT} = 1.8\text{ V}$ 、2 A 負荷

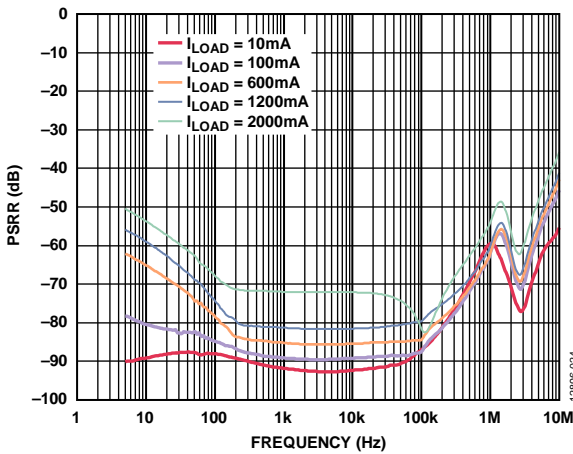


図 24. 様々な負荷での電源変動除去比 (PSRR) の周波数特性、 $V_{OUT} = 1.8\text{ V}$ 、 $V_{IN} = 2.6\text{ V}$

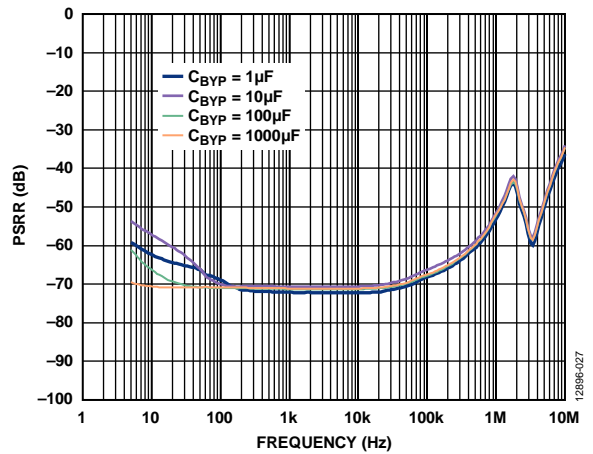


図 27. 様々な C_{BYP} 値での電源変動除去比 (PSRR) の周波数特性、 $V_{OUT} = 3.3\text{ V}$ 、 $V_{IN} = 4.0\text{ V}$ 、2 A 負荷

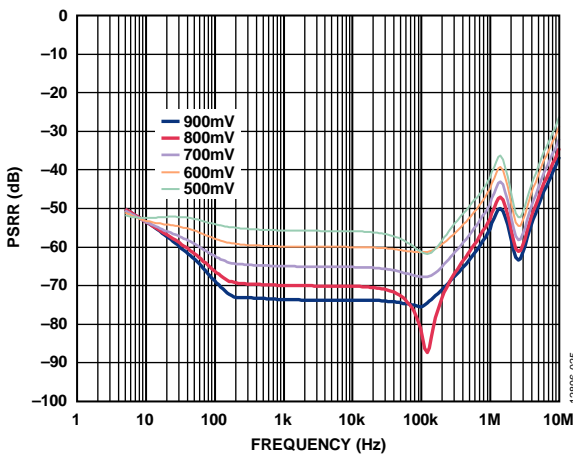


図 25. 様々なヘッドルーム電圧での電源変動除去比 (PSRR) の周波数特性、 $V_{OUT} = 1.8\text{ V}$ 、2 A 負荷

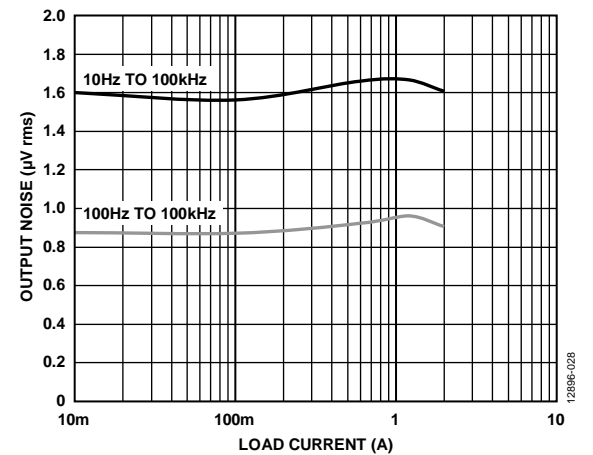


図 28. RMS 出力ノイズ対負荷電流

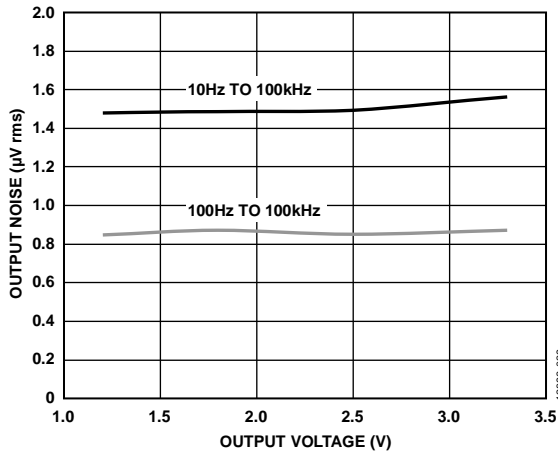


図 29. RMS 出力ノイズ対出力電圧

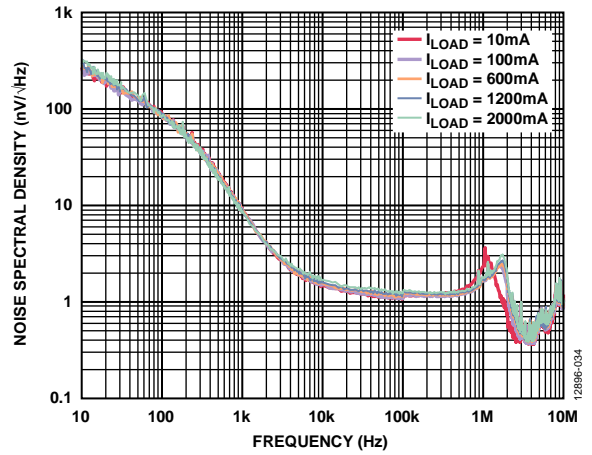


図 32. 様々な負荷での出力ノイズ・スペクトル密度の周波数特性、10 Hz~10 MHz

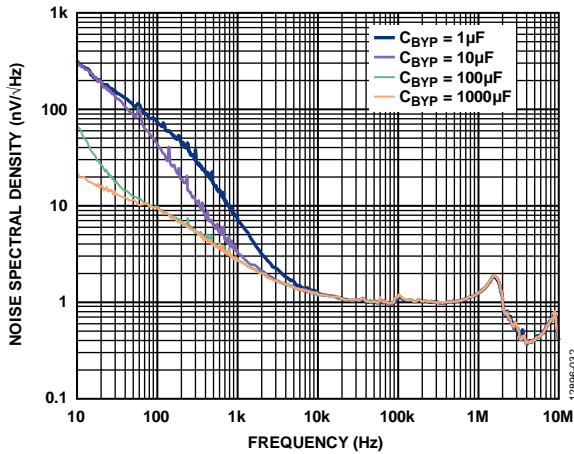


図 30. 様々な C_{BYP} 値でのノイズ・スペクトル密度の周波数特性

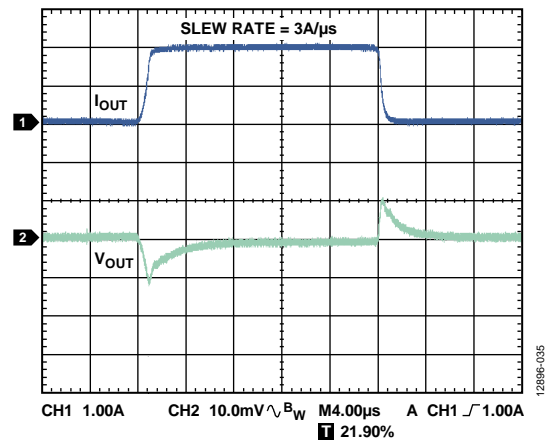


図 33. 負荷過渡応答、 $I_{LOAD} = 100\text{ mA} \sim 2\text{ A}$ 、 $V_{OUT} = 3.3\text{ V}$ 、 $V_{IN} = 4.0\text{ V}$ 、チャンネル 1 = I_{OUT} 、チャンネル 2 = V_{OUT}

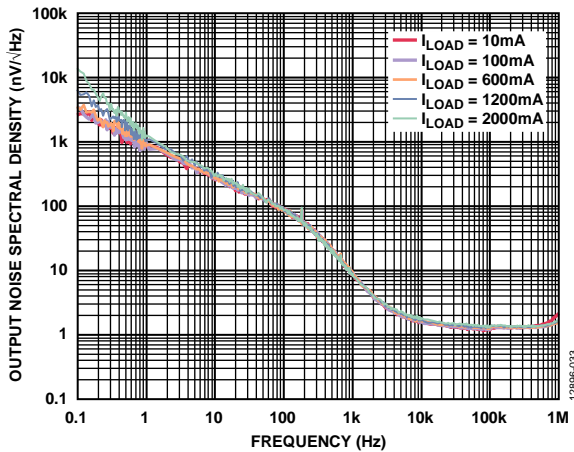


図 31. 様々な負荷での出力ノイズ・スペクトル密度の周波数特性、0.1 Hz~1 MHz

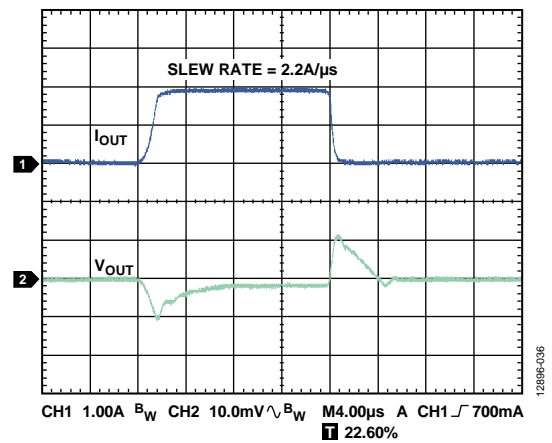


図 34. 負荷過渡応答、 $I_{LOAD} = 100\text{ mA} \sim 2\text{ A}$ 、 $V_{OUT} = 3.3\text{ V}$ 、 $V_{IN} = 4.0\text{ V}$ 、 $C_{OUT} = 22\text{ }\mu\text{F}$ 、チャンネル 1 = I_{OUT} 、チャンネル 2 = V_{OUT}

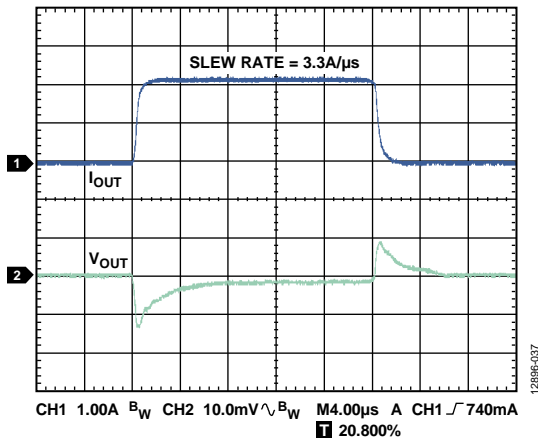


図 35. 負荷過渡応答、 $I_{LOAD} = 100\text{ mA} \sim 2\text{ A}$ 、 $V_{OUT} = 1.8\text{ V}$ 、 $V_{IN} = 2.5\text{ V}$ 、チャンネル 1 = I_{OUT} 、チャンネル 2 = V_{OUT}

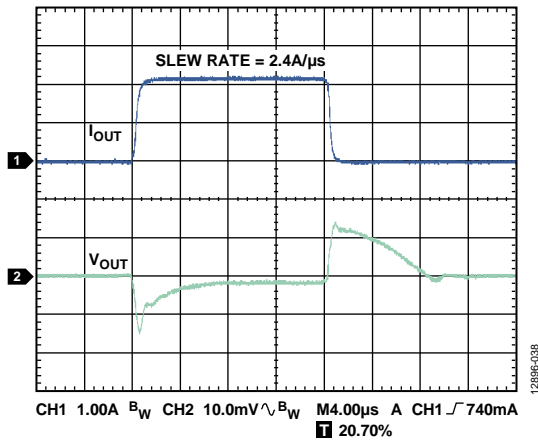


図 36. 負荷過渡応答、 $I_{LOAD} = 100\text{ mA} \sim 2\text{ A}$ 、 $V_{OUT} = 1.8\text{ V}$ 、 $V_{IN} = 2.5\text{ V}$ 、 $C_{OUT} = 22\text{ }\mu\text{F}$ 、チャンネル 1 = I_{OUT} 、チャンネル 2 = V_{OUT}

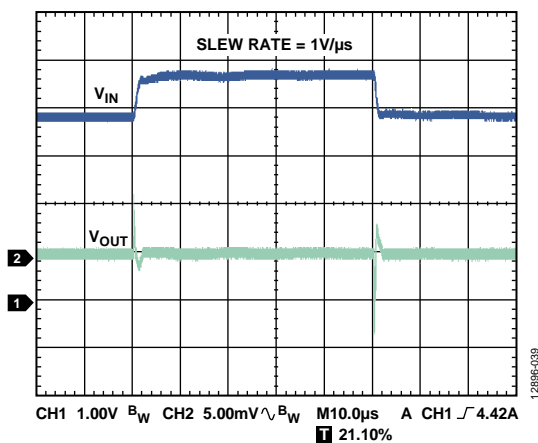


図 37. ライン過渡応答、 1 V 入力ステップ、 $I_{LOAD} = 2\text{ A}$ 、 $V_{OUT} = 3.3\text{ V}$ 、 $V_{IN} = 3.8\text{ V}$ 、チャンネル 1 = V_{IN} 、チャンネル 2 = V_{OUT}

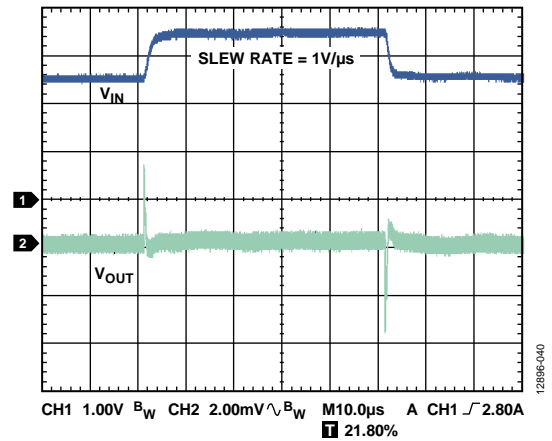


図 38. ライン過渡応答、 1 V 入力ステップ、 $I_{LOAD} = 2\text{ A}$ 、 $V_{OUT} = 1.8\text{ V}$ 、 $V_{IN} = 2.5\text{ V}$ 、チャンネル 1 = V_{IN} 、チャンネル 2 = V_{OUT}

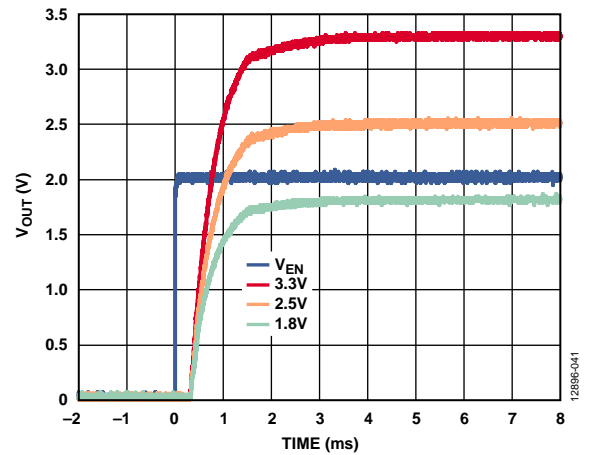


図 39. 様々な出力電圧での、 V_{EN} の上がりからの V_{OUT} スタートアップ時間、 $V_{IN} = 5\text{ V}$ 、 $C_{BYP} = 1\text{ }\mu\text{F}$

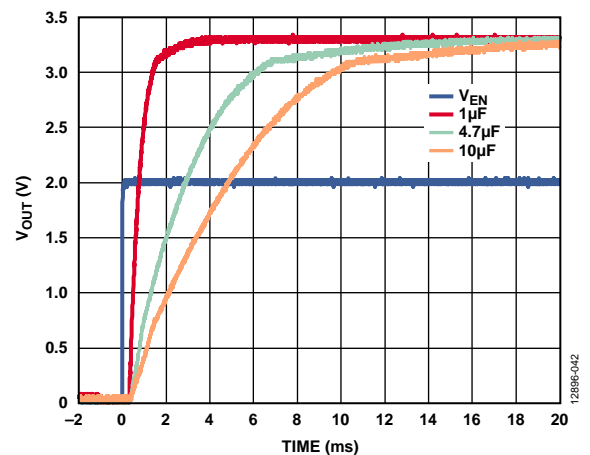


図 40. 様々な C_{BYP} 値での V_{OUT} スタートアップ時間動作、 $V_{OUT} = 3.3\text{ V}$

動作原理

ADP7158 は、無線周波 (RF) アプリケーションを対象とした、超低ノイズで高 PSRR のリニア・レギュレータです。入力電圧範囲は 2.3 V~5.5 V で、2 A までの負荷電流を供給することができます。シャットダウン消費電流は室温で 0.2 μ A (代表値) です。

ADP7158 は 10 μ F のセラミック・コンデンサで使用するよう最適化されており、過渡性能が優れています。

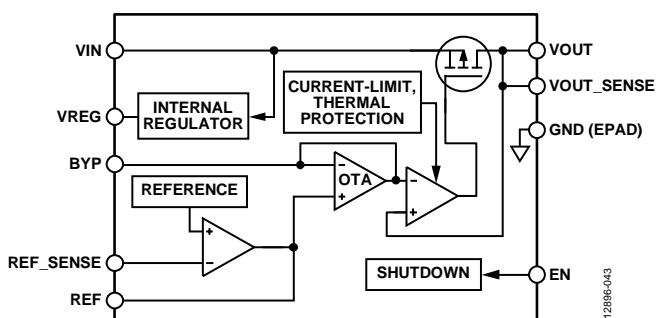


図 41. 簡略化した内部ブロック図

ADP7158 はリファレンス電圧、エラーアンプ、P チャンネル MOSFET パス・トランジスタで構成されています。出力電流は、エラーアンプによって制御される PMOS パス・デバイスを經由して供給されます。エラーアンプはリファレンス電圧と出力からの帰還電圧を比較して、その差を増幅します。帰還電圧がリファレンス電圧より低いと、PMOS デバイスのゲート電圧が低くなるので、通過する電流が増え、出力電圧が上昇します。帰還電圧がリファレンス電圧より高いと、PMOS デバイス

のゲート電圧が高くなるので、通過する電流が減り、出力電圧が低下します。

ADP7158 はリファレンス電圧のフィルタリングを強化することにより、10 kHz ~ 1 MHz で 1.7 nV/√Hz (代表値) の出力ノイズ・スペクトル密度を達成できます。エラーアンプは常にユニティ・ゲインであるため、出力ノイズは出力電圧に依存しません。

ADP7158 は EN ピンを使って、通常の動作状態で VOUT ピンをイネーブル/ディスエーブルします。EN がハイ・レベルのとき VOUT がオンし、EN がロー・レベルのとき VOUT がオフします。自動スタートアップの場合は、EN を VIN へ接続します。

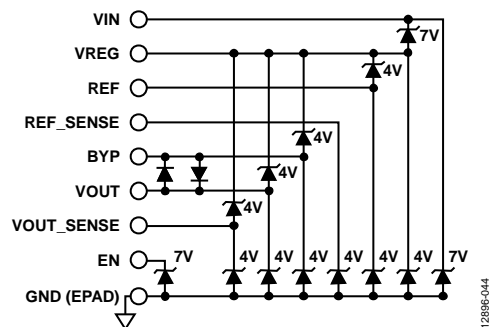


図 42. 簡略化した ESD 保護のブロック図

ESD 保護デバイスは、ブロック図ではツェナー・ダイオードとして示してあります (図 42 参照)。

アプリケーション情報

ADISIMPOWER デザイン・ツール

ADP7158 には ADIsimPower™ デザイン・ツール・セットを使用できます。ADIsimPower は、特定の設計目標に対して最適化された電源デザインを生成するツールのコレクションです。これらのツールを使用すると、わずか数分で必要なすべての回路図と部品表を作成し、性能を計算することができます。

ADIsimPower は、IC と実際の外付け部品の動作条件や制限事項を考慮しながら、コスト、面積、効率、デバイス数についてデザインを最適化することができます。詳細と ADIsimPower デザイン・ツールの取得については、www.analog.com/ADIsimPower をご覧ください。

コンデンサの選択

積層セラミック・コンデンサ (MLCC) はサイズが小さく、ESR と ESL が低く、動作温度範囲が広いので、バイパス・コンデンサに最適です。ただし、欠点があります。誘電体材料によっては、温度、DC バイアス、AC 信号レベルの変化に対して容量が大幅に変化します。そのため、適切なコンデンサを選択すると、最適な回路性能が得られます。

出力コンデンサ

ADP7158 はセラミック・コンデンサで動作するように設計されていますが、ESR 値に注意すれば一般に使用されているほとんどのコンデンサで動作します。出力コンデンサの ESR は、LDO 制御ループの安定性に影響を与えます。ADP7158 の安定性のためには、ESR が 0.1Ω 以下の最小 $10 \mu\text{F}$ のコンデンサの使用を推奨します。出力容量は負荷電流の変化に対する過渡応答にも影響を与えます。大きな値の出力容量を使用すると、負荷電流の大きな変化に対する ADP7158 の過渡応答を改善することができます。 $10 \mu\text{F}$ の出力容量に対する過渡応答を図 43 に示します。

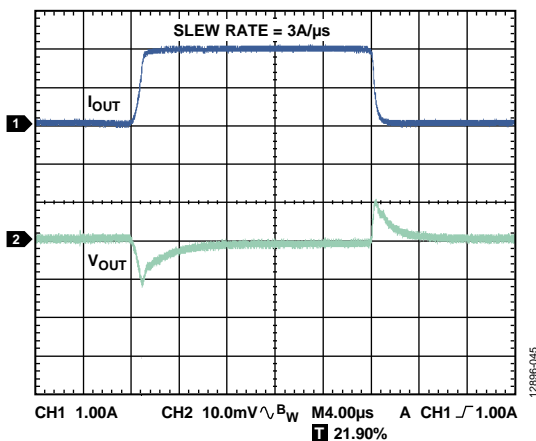


図 43. 出力過渡応答 $V_{\text{OUT}} = 3.3 \text{ V}$ 、 $C_{\text{OUT}} = 10 \mu\text{F}$ 、チャンネル 1 = 負荷電流、チャンネル 2 = V_{OUT}

入力コンデンサと VREG コンデンサ

V_{IN} ピンとグラウンドの間に $10 \mu\text{F}$ のコンデンサを接続すると、特に入力パターンが長いソース・インピーダンスが高い場合、PCB レイアウトに対する回路の感受性を小さくすることができます。

安定性と PSRR 性能をできるだけ高く保つために、VREG とグラウンドとの間に $1 \mu\text{F}$ 以上のコンデンサを接続してください。

REF コンデンサ

REF コンデンサ C_{REF} は、リファレンス・アンプを安定させるために必要です。REF とグラウンドの間に $1 \mu\text{F}$ 以上の出力コンデンサを接続してください。

BYP コンデンサ

BYP コンデンサ C_{BYP} は、リファレンス・バッファをフィルタするために必要で、通常、 $1 \mu\text{F}$ のコンデンサを BYP とグラウンドの間に接続します。最小 $0.1 \mu\text{F}$ のコンデンサを使用できます。ただし、LDO の出力ノイズ電圧が大きくなります。

さらに、BYP コンデンサ値を大きくして、 1 kHz 以下のノイズを小さくすることができますが、LDO レギュレータのスタートアップ時間が長くなります。 C_{BYP} の値を非常に大きくすると、 10 Hz 以下のノイズが大幅に減少します。固体タンタル・コンデンサはマイクロフォン・ノイズの問題の影響を受けにくいので、約 $33 \mu\text{F}$ を超えるコンデンサにはタンタル・コンデンサを推奨します。高い周波数で優れたノイズ性能を維持するには、 $1 \mu\text{F}$ のセラミック・コンデンサを大きなタンタル・コンデンサに並列接続することを推奨します。

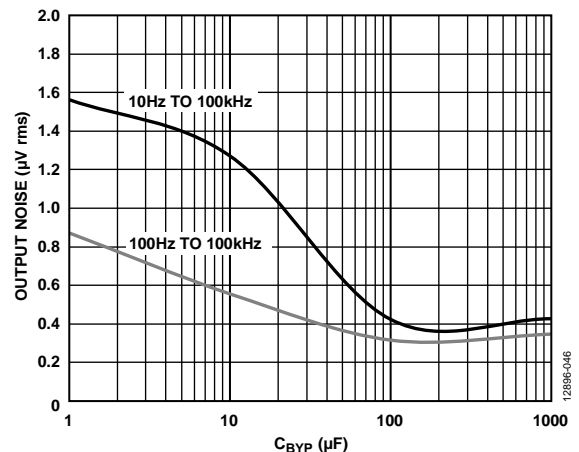


図 44. RMS 出力ノイズ対バイパス・コンデンサ (C_{BYP})

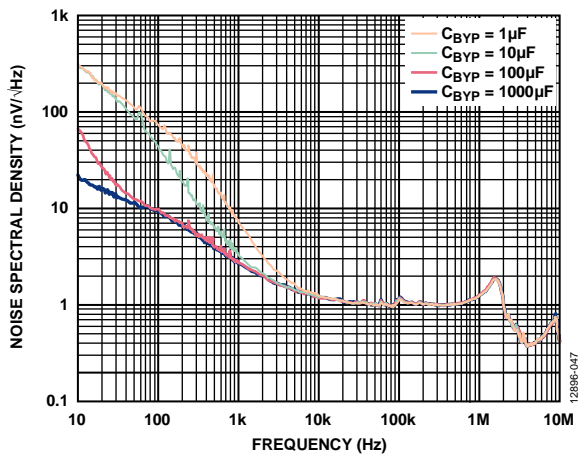


図 45. 様々な C_{BYP} 値でのノイズ・スペクトル密度の周波数特性

コンデンサの特性

最小容量と最大 ESR の条件を満たす限り、任意の高品質セラミック・コンデンサを ADP7156 に使うことができます。セラミック・コンデンサはさまざまな誘電体を使用して作られており、温度や印加電圧に対する動作がそれぞれ異なります。必要な温度範囲と DC バイアス条件に対して最小容量を保証できるような、適切な誘電体が使われているコンデンサを選ぶ必要があります。電圧定格が 6.3 V ~ 50 V で、X5R または X7R の誘電体のものを推奨します。Y5V と Z5U の誘電体のものは温度特性と DC バイアス特性が十分でないため推奨しません。

DC 電圧バイアスに対する、1206、10 μF、10 V の X5R コンデンサの容量の変化を図 46 に示します。コンデンサの電圧安定性は、コンデンサのサイズと電圧定格の影響を大きく受けます。一般に、コンデンサのパッケージが大きいほど、または電圧定格が大きいほど、優れた安定性を示します。X5R 誘電体の温度変動は、-40 °C ~ +85 °C の温度範囲で約 ±15 % であり、パッケージ・サイズまたは電圧定格によって変化することはありません。

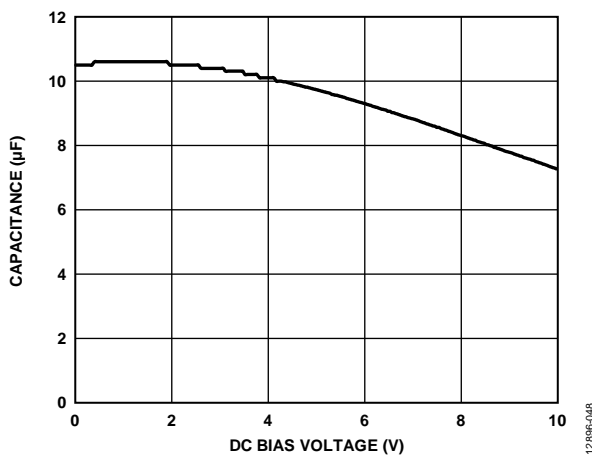


図 46. 容量対 DC バイアス電圧

温度、部品許容誤差、電圧に対するコンデンサの変動を考慮した、ワーストケース容量を求めるには、式 1 を使います。

$$C_{EFF} = C_{BIAS} \times (1 - tempco) \times (1 - TOL) \quad (1)$$

ここで、
 C_{EFF} はワーストケースの容量、
 C_{BIAS} は動作電圧での実効容量、
 $tempco$ はワーストケースのコンデンサ温度係数、
 TOL はワーストケースの部品許容誤差です。

この例では、-40 °C ~ +85 °C でのワーストケース温度係数 ($tempco$) を、X5R 誘電体では 15 % と仮定しています。図 46 に示すように、コンデンサの許容誤差 (TOL) は 10 %、かつ 5 V で $C_{BIAS} = 9.72 \mu F$ と仮定しています。

これらの値を式 1 に代入すると次のようになります。

$$C_{EFF} = 9.72 \mu F \times (1 - 0.15) \times (1 - 0.1) = 7.44 \mu F$$

したがって、この例で選択したコンデンサは、選択した出力電圧で、温度と許容誤差に対する LDO の最小容量条件を満たします。

ADP7158 の性能を保証するには、DC バイアス、温度、許容誤差がコンデンサの動作におよぼす影響をアプリケーションごとに評価することが不可欠です。

低電圧ロックアウト (UVLO)

ADP7158 は入力電圧がレギュレータの最小入力電圧定格を下回るとき出力電圧をディスエーブルする UVLO 回路も内蔵しています。上側と下側の閾値は、200 mV (代表値) のヒステリシスを持つように内部で固定されています。

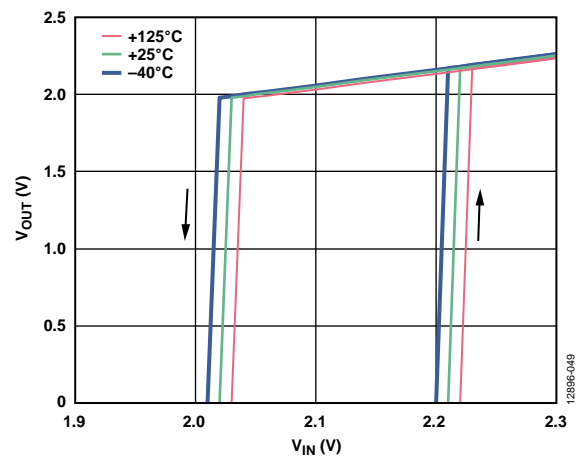


図 47. 様々な温度での代表的な UVLO 動作、V_{OUT} = 3.3 V

UVLO 機能の代表的な動作を図 47 に示します。このヒステリシスは、入力電圧が閾値を通過するときノイズによって発生することがあるオン/オフ発振を防止します。

プログラマブルな高精度イネーブル

ADP7158 では EN ピンを使って、通常の動作状態で V_{OUT} ピンをイネーブル/ディスエーブルします。図 48 に示すように、EN の電圧が上昇して 1.22 V（公称値）の上側閾値を上回ると、V_{OUT} がオンします。EN の電圧が下降して 1.13 V（公称値）の下側閾値を下回ると、V_{OUT} がオフします。EN 閾値のヒステリシスは 90 mV（代表値）です。

ADP7158 は、V_{OUT}、V_{REG}、REF、BYP の各ピンに放電抵抗を内蔵しています。デバイスがディスエーブルされると、これらの抵抗がオンし、対応するコンデンサを瞬時に放電するのに役立ちます。

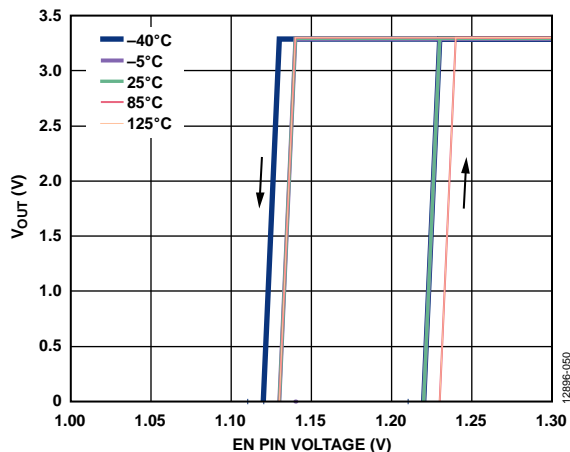


図 48. EN ピン動作に対する代表的な V_{OUT} 応答

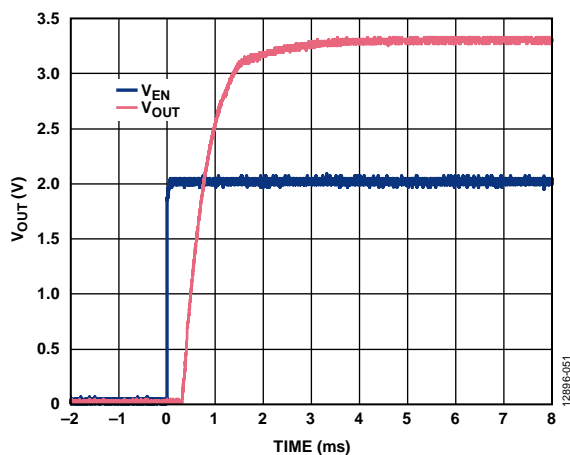


図 49. EN ピン動作 (V_{EN}) に対する代表的な V_{OUT} 応答、
V_{OUT} = 3.3 V、V_{IN} = 5 V、C_{BYP} = 1 µF

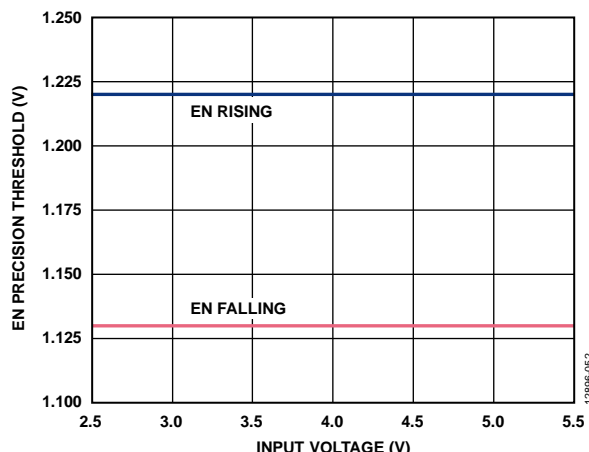


図 50. EN 高精度閾値（代表値）対入力電圧 (V_{IN})

上側と下側の閾値は、2本の抵抗を使って公称 1.22 V の閾値より高く設定することができます。抵抗値 R_{EN1} と R_{EN2} は次式によって求めます。

$$R_{EN1} = R_{EN2} \times (V_{EN} - 1.22 \text{ V}) / 1.22 \text{ V}$$

ここで、
R_{EN2} の範囲は一般に 10 kΩ ~ 100 kΩ。
V_{EN} は所望のオン電圧。

ヒステリシス電圧は次の倍率で大きくなります。

$$(R_{EN1} + R_{EN2}) / R_{EN1}$$

図 51 に示す例では、EN 閾値は 2.44 V で、ヒステリシスは 200 mV です。

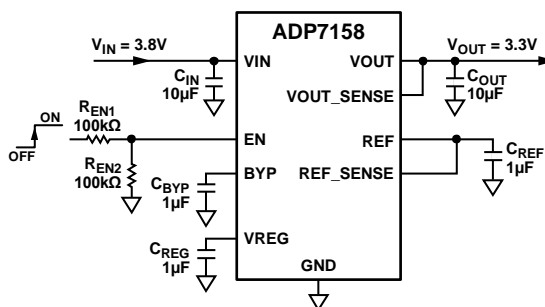


図 51. EN ピンの代表的な分圧器

EN ピンの代表的な分圧器構成を図 51 に示します。このヒステリシスは、EN ピンが閾値を通過するときに EN のノイズにより発生するおそれのあるオン/オフ発振を防止します。

スタートアップ時間

ADP7158 は内部ソフトスタート機能を使って、出力をイネーブ
ルしたときの突入電流を制限します。3.3 V 出力でのスタート
アップ時間は、EN のアクティブ閾値を通過してから出力が最終値
の 90 % に達するまでの約 1.2 ms です。

出力電圧の秒で表した立上がり時間（10 % から 90 %）は、お
よそ次のようになります。

$$0.0012 \times C_{BYP}$$

ここで、 C_{BYP} の単位は μF 。

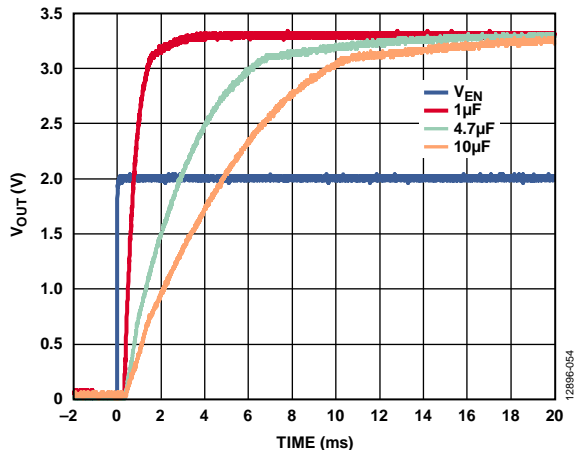


図 52. 代表的なスタートアップ動作、 $C_{BYP} = 1 \mu\text{F} \sim 10 \mu\text{F}$

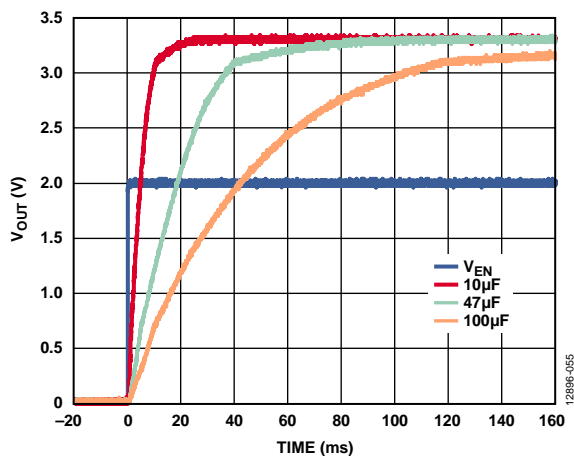


図 53. 代表的なスタートアップ動作、 $C_{BYP} = 10 \mu\text{F} \sim 100 \mu\text{F}$

REF、BYP、VREG の各ピン

REF、BYP、VREG の各ピンには、内部で電圧 (V_{REF} 、 V_{BYP} 、 V_{REG}) が生成されます。これらには、正しく動作するために外
付けバイパス・コンデンサが必要です。いかなる場合にもこれ
らのピンに負荷を接続しないでください。接続した場合、
ADP7158 のノイズと PSRR の性能が損われます。 C_{BYP} 、 C_{REF} 、
 C_{REG} の値を大きくしてもかまいませんが、スタートアップ時間
が長くなります（スタートアップ時間のセクションを参照）。

電流制限 およびサーマル・シャットダウン

ADP7158 は過電流保護回路と熱過負荷保護回路により、過大な
消費電力による損傷から保護されています。ADP7158 は、出力
負荷が 3 A（代表値）に達すると電流を制限するように設計さ
れています。出力負荷が 3 A を超えると、出力電圧を下げても
一定の電流限界値を維持します。

ADP7158 のジャンクション温度が 150°C を上回ると、サーマ
ル・シャットダウン回路により出力電圧がオフし、出力電流が
ゼロに減少します。ジャンクション温度が極端に高くなる要因
は、大電流動作、回路ボードの設計不備、高い周囲温度などデ
す。 15°C のヒステリシスが含まれているため、サーマル・シャ
ットダウン後にチップ温度が 135°C を下回るまで、ADP7158 は
通常動作に復帰しません。デバイスがサーマル・シャットダウン
から復帰すると、ソフトスタートが開始され、突入電流を小さ
く抑えます。

電流制限保護とサーマル・シャットダウンは、偶発的な過負荷
状態に対してデバイスを保護することを目的としています。例
えば、 V_{OUT} とグラウンドの間の短絡や、極めて長いソフト・
スタート・タイマーは、電流制限とサーマル・シャットダウン
の間で熱的発振を引き起こします。

熱に対する考慮事項

入力-出力間の電圧差が低いアプリケーションでは、ADP7158
の発熱は大きくなりませんが、周囲温度が高く、入力電圧が高
いアプリケーションでは、パッケージの発熱が大きくなって、
チップのジャンクション温度が最大ジャンクション温度 125°C
を超えることがあります。

チップのジャンクション温度は、式 2 に示すように、周囲温度
と電力消費によるパッケージの温度上昇の和です。高信頼性動
作を保証するためには、ADP7158 のジャンクション温度が
 125°C を超えてはなりません。ジャンクション温度をこの最大
値より低く抑えるには、ジャンクション温度の変化に影響を与
えるパラメータを知っておく必要があります。これらのパラメ
ータには周囲温度、パワー・デバイスの消費電力、ジャンクシ
ョン-周囲間の熱抵抗 (θ_{JA}) があります。 θ_{JA} 値は、パッケー
ジ組み立て材料とパッケージのエクスポーズド・パッド（グラウ
ンド）を PCB へハンダ付けする部分に使用する銅の量に依存し
ます。

PCB の銅サイズに対する 8 ピン SOIC パッケージと 10 ピン LFCSP パッケージの θ_{JA} 値 (代表値) を表 7 に示し、8 ピン SOIC パッケージと 10 ピン LFCSP パッケージの Ψ_{JB} (代表値) を表 8 に示します。

表 7. θ_{JA} 値 (代表値)

Copper Size (mm ²)	θ_{JA} (°C/W)	
	10-Lead LFCSP	8-Lead SOIC
25 ¹	130.2	123.8
100	93.0	90.4
500	65.8	66.0
1000	55.6	56.6
6400	44.1	45.5

¹ デバイスは最小サイズのピン・パターンにハンダ付け。

表 8. Ψ_{JB} 値 (代表値)

Package	Ψ_{JB} (°C/W)
10-Lead LFCSP	29.1
8-Lead SOIC	30.1

次式から ADP7158 のジャンクション温度 (T_J) を計算します。

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (2)$$

ここで、

T_A は周囲温度。

P_D はチップの消費電力で、次式で与えられます。

$$P_D = ((V_{IN} - V_{OUT}) \times I_{LOAD}) + (V_{IN} \times I_{GND}) \quad (3)$$

ここで、

V_{IN} と V_{OUT} は、それぞれ入力電圧と出力電圧。

I_{LOAD} は負荷電流。

I_{GND} はグラウンド電流。

グラウンド電流による消費電力は小さいため無視できます。このため、ジャンクション温度の式は次のように簡単になります。

$$T_J = T_A + (((V_{IN} - V_{OUT}) \times I_{LOAD}) \times \theta_{JA}) \quad (4)$$

式 4 に示すように、与えられた周囲温度、入力と出力間の電圧差、および連続負荷電流に対して、ジャンクション温度が 125 °C を超えないようにするため、PCB に対する最小銅サイズの要件が存在します。

ADP7158 のピンとエクスポート・パッドがハンダ付けされる場所の銅の量を増やすとパッケージからの放熱を改善することができます。パッケージの下にサーマル・プレーンを追加しても、熱性能が向上します。ただし、表 7 に示すように、結局は効果の減少点に到達して、それ以上銅面積を増やしてもジャンクション—周囲間の熱抵抗はわずかに減少しません。

様々な周囲温度、消費電力、PCB の銅面積に対するジャンクション温度の計算結果を図 54 ~ 図 59 に示します。

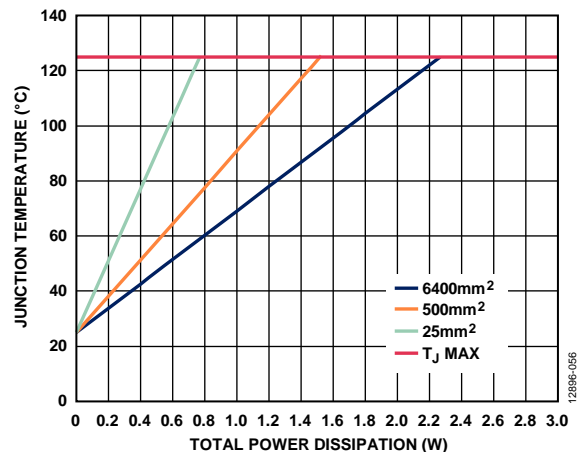


図 54. 10 ピン LFCSP のジャンクション温度対総合消費電力、 $T_A = 25\text{ °C}$

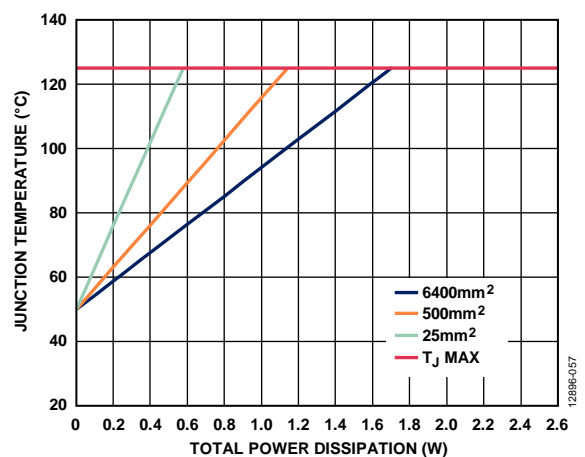


図 55. 10 ピン LFCSP のジャンクション温度対総合消費電力、 $T_A = 50\text{ °C}$

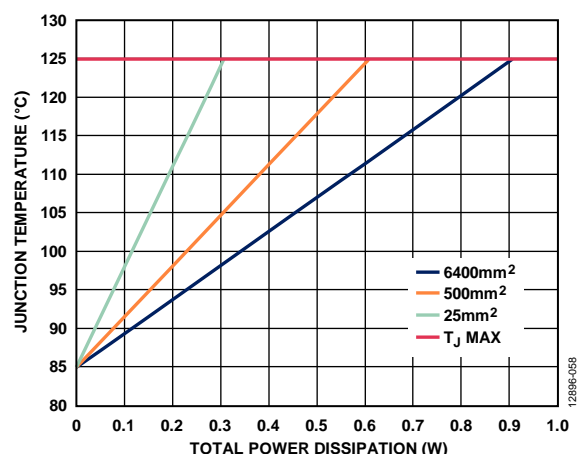


図 56. 10 ピン LFCSP のジャンクション温度対総合消費電力、 $T_A = 85\text{ °C}$

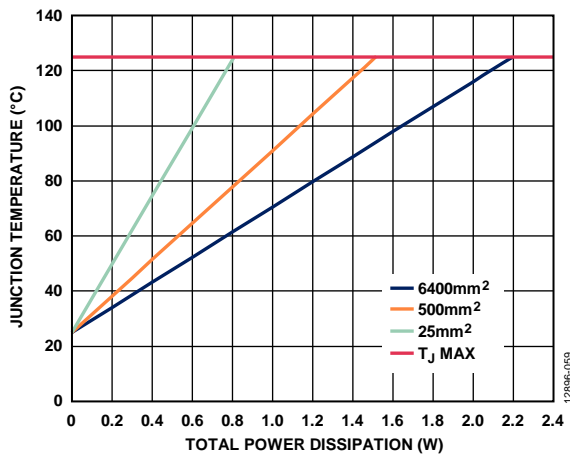


図 57.8 8 ピン SOIC のジャンクション温度対総合消費電力、 $T_A = 25^\circ\text{C}$

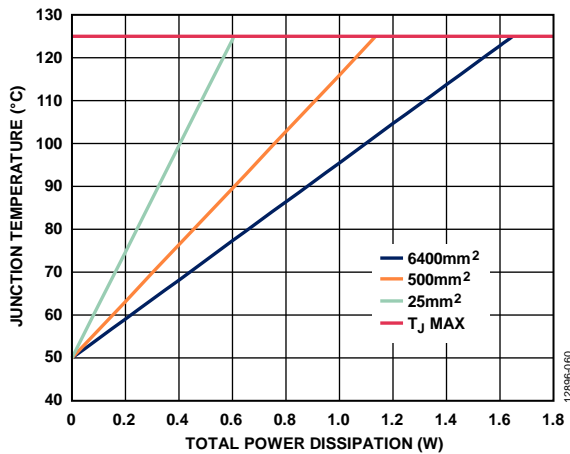


図 58.8 8 ピン SOIC のジャンクション温度対総合消費電力、 $T_A = 50^\circ\text{C}$

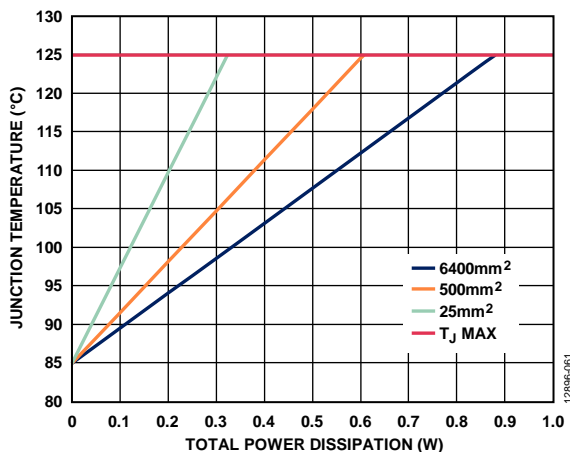


図 59.8 8 ピン SOIC のジャンクション温度対総合消費電力、 $T_A = 85^\circ\text{C}$

サーマル・キャラクタライゼーション・パラメータ (Ψ_{JB})

ボード温度が既知の場合、サーマル・キャラクタライゼーション・パラメータ Ψ_{JB} を使ってジャンクション温度の上昇を推定します (図 60 と図 61 参照)。次式を使って、評価用ボードの温度 (T_B) と消費電力 (P_D) から最大ジャンクション温度 (T_J) を計算します。

$$T_J = T_B + (P_D \times \Psi_{JB}) \tag{5}$$

Ψ_{JB} の代表値は、10 ピン LFCSP パッケージの場合 29.1°C/W 、8 ピン SOIC パッケージの場合 30.1°C/W です。

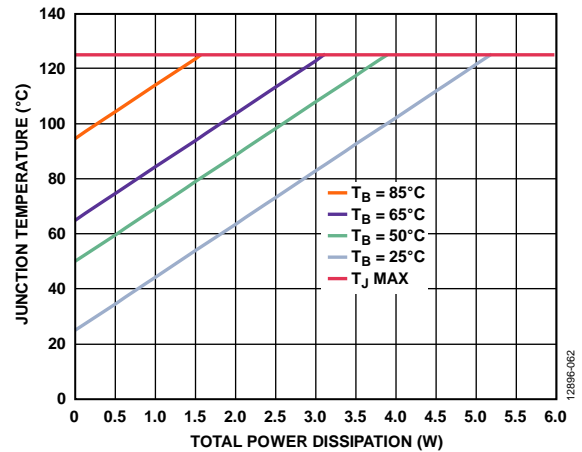


図 60. 10 ピン LFCSP のジャンクション温度対総合消費電力

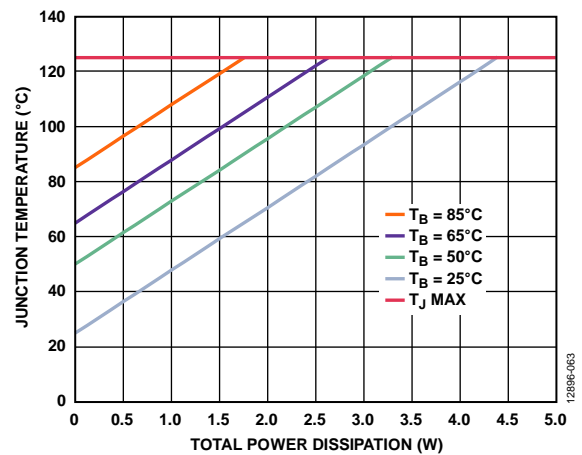


図 61.8 8 ピン SOIC のジャンクション温度対総合消費電力

PCB レイアウトに関する検討事項

入力コンデンサは VIN ピンとグラウンドの間にできるだけ近づけて配置します。出力コンデンサは VOUT ピンとグラウンドの間にできるだけ近づけて配置します。V_{REG}、V_{REF}、V_{BYP}のためのバイパス・コンデンサ (C_{REG}、C_{REF}、C_{BYP}) は、それぞれのピン (V_{REG}、REF、BYP) とグラウンドの近くに配置します。0805、0603、および 0402 のサイズのコンデンサを使うと、面積が制限されているボード上で最小のフットプリントのソリューションを実現できます。エクスポーズド・パッドのグラウンド・メタルの量を最大にし、部品側にできるだけ多くのビアを使って放熱性を良くします。

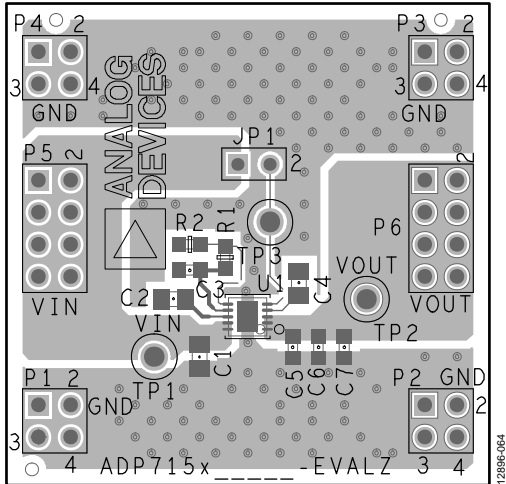


図 62. 10 ピン LFCSP の PCB レイアウト例

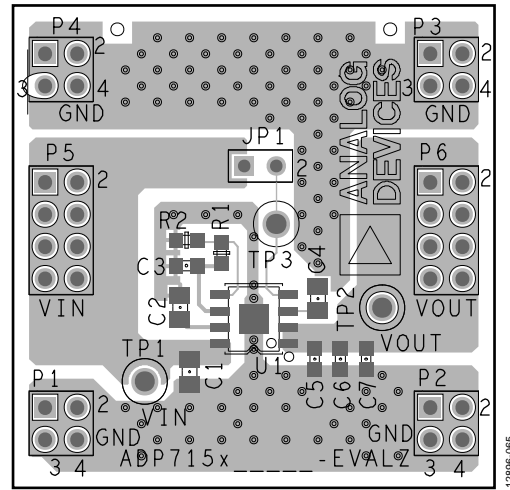


図 63. 8 ピン SOIC の PCB レイアウト例

外形寸法

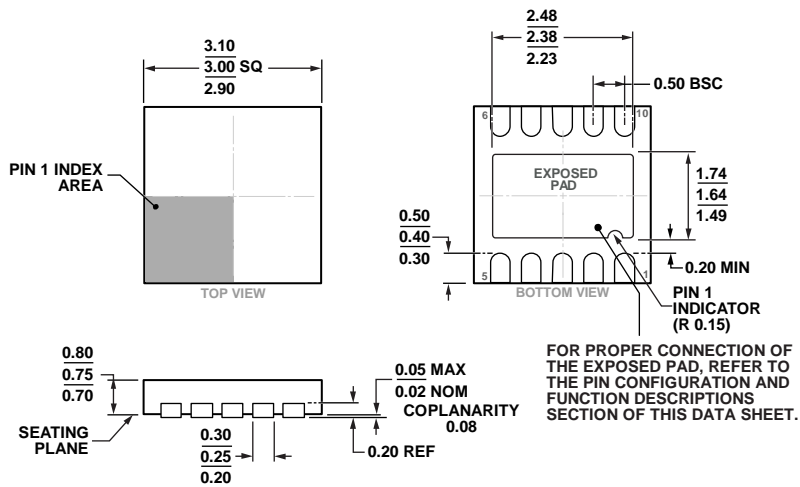
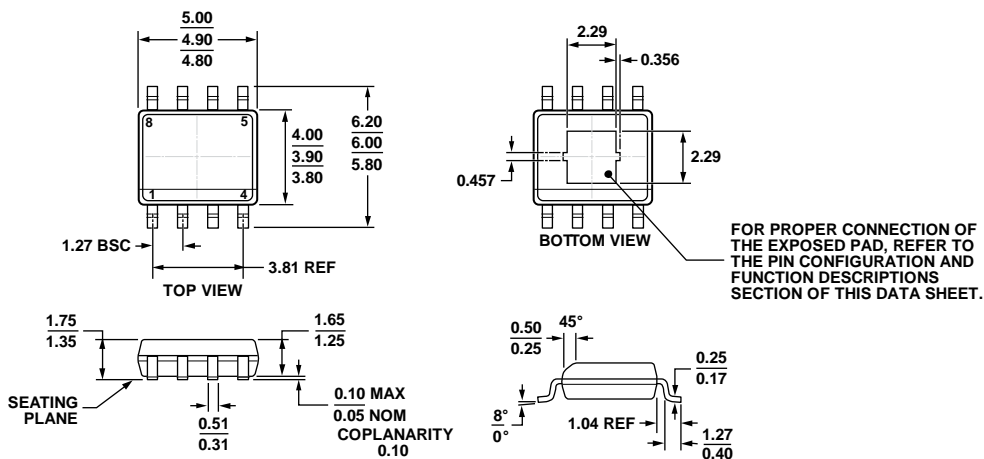


図 64. 10 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 3 mm x 3 mm ボディ、0.75 mm パッケージ高
 (CP-10-9)
 寸法: mm



COMPLIANT TO JEDEC STANDARDS MS-012-AA

図 65. 8 ピン標準スモール・アウトライン・パッケージ、エクスポーズド・パッド付き [SOIC_N_EP]
 ナロー・ボディ
 (RD-8-1)
 寸法: mm

オーダー・ガイド

Model ^{1, 2}	Temperature Range	Output Voltage (V)	Package Description	Package Option	Branding
ADP7158ACPZ-1.2-R7	-40°C to +125°C	1.2	10-Lead LFCSP	CP-10-9	LSL
ADP7158ACPZ-1.8-R7	-40°C to +125°C	1.8	10-Lead LFCSP	CP-10-9	LSM
ADP7158ACPZ-2.0-R7	-40°C to +125°C	2.0	10-Lead LFCSP	CP-10-9	LTR
ADP7158ACPZ-2.5-R7	-40°C to +125°C	2.5	10-Lead LFCSP	CP-10-9	LSN
ADP7158ACPZ-2.8-R7	-40°C to +125°C	2.8	10-Lead LFCSP	CP-10-9	LSP
ADP7158ACPZ-3.0-R7	-40°C to +125°C	3.0	10-Lead LFCSP	CP-10-9	LSQ
ADP7158ACPZ-3.3-R7	-40°C to +125°C	3.3	10-Lead LFCSP	CP-10-9	LSR
ADP7158ARDZ-1.2-R7	-40°C to +125°C	1.2	8-Lead SOIC_N_EP	RD-8-1	
ADP7158ARDZ-1.8-R7	-40°C to +125°C	1.8	8-Lead SOIC_N_EP	RD-8-1	
ADP7158ARDZ-2.0-R7	-40°C to +125°C	2.0	8-Lead SOIC_N_EP	RD-8-1	
ADP7158ARDZ-2.5-R7	-40°C to +125°C	2.5	8-Lead SOIC_N_EP	RD-8-1	
ADP7158ARDZ-2.8-R7	-40°C to +125°C	2.8	8-Lead SOIC_N_EP	RD-8-1	
ADP7158ARDZ-3.0-R7	-40°C to +125°C	3.0	8-Lead SOIC_N_EP	RD-8-1	
ADP7158ARDZ-3.3-R7	-40°C to +125°C	3.3	8-Lead SOIC_N_EP	RD-8-1	
ADP7158CP-3.3EVALZ			Evaluation Board		

¹ Z = RoHS 準拠製品。

² 電圧オプション 1.3 V、1.5 V、1.6 V、2.2 V、2.6 V、2.7 V、2.9 V、3.1 V、3.2 V のデバイスを注文される場合は、最寄りのアナログ・デバイス代理店にご相談ください。