

## 特長

- 入力電圧範囲: 3.3 V~20 V
- 最大出力電流: 500 mA
- 低ノイズ: 15  $\mu$ V rms (固定出力オプション)
- PSRR 性能: 60 dB (10 kHz、 $V_{OUT} = 3.3$  V)
- 逆電流保護機能
- 低ドロップアウト電圧: 500 mA で 350 mV
- 初期精度:  $\pm 0.8\%$
- ライン、負荷、温度に対して高精度:  $-2\% \sim +1\%$
- 低静止電流: 900  $\mu$ A ( $V_{IN} = 10$  V、 $I_{OUT} = 500$  mA)
- 低シャットダウン電流:  $< 50$   $\mu$ A ( $V_{IN} = 12$  V)、1  $\mu$ F の小型セラミック出力コンデンサで安定
- 3 種類の固定出力電圧オプション: 1.8、3.3 V、5 V
- 調整可能な出力電圧範囲: 1.22 V~19 V
- 突入電流制御用のプログラマブルなソフトスタート
- フォールドバック電流制限機能と熱過負荷保護機能
- ユーザー設定可能な高精度 UVLO/イネーブル
- パワーグッド表示インジケータ
- 8 ピン LFCSP または 8 ピン SOIC パッケージを採用

## アプリケーション

- ノイズに敏感なアプリケーションに対するレギュレーション:  
ADC 回路、DAC 回路、高精度アンプ、高周波発振器、クロック、PLL
- 通信およびインフラストラクチャ
- 医用および健康管理
- 工業用および計装機器

## 概要

ADP7105 は 3.3 V~20 V で動作し、最大 500 mA の出力電流を持つ低ドロップアウト (LDO) CMOS リニア・レギュレータです。この高入力電圧の LDO は、1.22 V~19 V の電源電圧で動作する高性能アナログ回路とミックスド・シグナル回路に最適です。ADP7105 は当社独自の最新アーキテクチャを採用し、高い電源変動除去比と低ノイズを提供し、小型の 1  $\mu$ F セラミック出力コンデンサを使うだけで、優れたライン過渡応答と負荷過渡応答を実現します。

ADP7105 には 3 種類の固定出力電圧オプションと調整可能なオプションがあり、調整可能なオプションでは、外付け帰還分圧器を使って 1.22 V~19 V の出力電圧範囲が可能で、ADP7105 では、スタートアップをプログラムする外付けソフトスタート・コンデンサを接続することができます。

## 代表的なアプリケーション回路

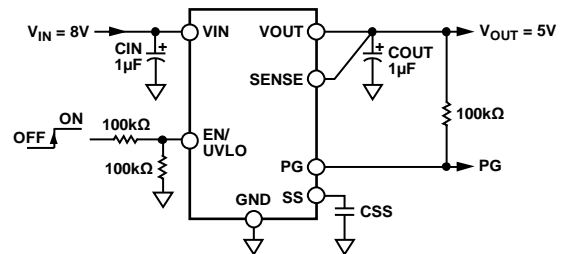


図 1. 固定出力電圧 5 V の ADP7105

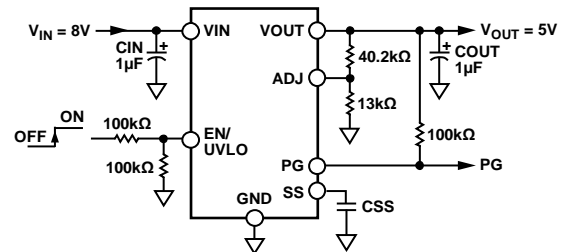


図 2. 5 V 調整可能出力電圧の ADP7105

このデータシートでは、SENSE/ADJ ピンのセンス機能 (SENSE) は固定出力電圧モデルでのみ使用し、調整入力機能 (ADJ) は調整可能な出力電圧モデルでのみ使用することに注意してください。例として、図 1 にセンス機能を、図 2 に調整入力機能を、それぞれ示します。

ADP7105 の出力ノイズ電圧は 15  $\mu$ V rms で、出力電圧に依存しません。デジタルのパワーグッド出力を使うと、電源システム・モニタに出力電圧の状態をチェックさせることができます。ユーザー設定可能な高精度低電圧ロックアウト機能を使うと、複数の電源のシーケンシングが可能になります。

ADP7105 は、8 ピンの 3 mm  $\times$  3 mm LFCSP パッケージまたは 8 ピンの SOIC パッケージを採用しています。LFCSP は非常に小さなソリューションを提供し、小さなロー・プロファイル・フットプリントで最大 500 mA の出力電流を必要とするアプリケーションに対して優れた熱性能も提供します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	動作原理.....	17
アプリケーション.....	1	アプリケーション情報.....	18
代表的なアプリケーション回路.....	1	コンデンサの選択.....	18
概要.....	1	設定可能な低電圧ロックアウト機能(UVLO).....	19
改訂履歴.....	2	ソフトスタート機能.....	19
仕様.....	3	パワーグッド機能.....	20
入力コンデンサと出力コンデンサの推奨仕様.....	4	調整可能な ADP7105 のノイズ削減.....	20
絶対最大定格.....	5	電流制限および熱過負荷保護.....	21
熱データ.....	5	熱に対する考慮事項.....	21
熱抵抗.....	5	プリント回路ボード・レイアウトでの考慮事項.....	24
ESD の注意.....	5	外形寸法.....	25
ピン配置およびピン機能説明.....	6	オーダー・ガイド.....	26
代表的な性能特性.....	7		

## 改訂履歴

### 5/14—Rev. 0 to Rev. A

Change to UVLO Threshold Rising Parameter, Table 1 ..... 4

### 7/13—Revision 0: Initial Version

## 仕様

特に指定がない限り、 $V_{IN} = (V_{OUT} + 1\text{ V})$ または $3.3\text{ V}$ (いずれか大きい方)、 $EN = V_{IN}$ 、 $I_{OUT} = 10\text{ mA}$ 、 $C_{IN} = C_{OUT} = 1\text{ }\mu\text{F}$ 、 $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT VOLTAGE RANGE	$V_{IN}$		3.3		20	V
OPERATING SUPPLY CURRENT	$I_{GND}$	$I_{OUT} = 100\text{ }\mu\text{A}$ , $V_{IN} = 10\text{ V}$ $I_{OUT} = 100\text{ }\mu\text{A}$ , $V_{IN} = 10\text{ V}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $I_{OUT} = 10\text{ mA}$ , $V_{IN} = 10\text{ V}$ $I_{OUT} = 10\text{ mA}$ , $V_{IN} = 10\text{ V}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $I_{OUT} = 300\text{ mA}$ , $V_{IN} = 10\text{ V}$ $I_{OUT} = 300\text{ mA}$ , $V_{IN} = 10\text{ V}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $I_{OUT} = 500\text{ mA}$ , $V_{IN} = 10\text{ V}$ $I_{OUT} = 500\text{ mA}$ , $V_{IN} = 10\text{ V}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		400 450 750 900	900 1050 1400	$\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$
SHUTDOWN CURRENT	$I_{GND-SD}$	$EN = GND$ , $V_{IN} = 12\text{ V}$ $EN = GND$ , $V_{IN} = 12\text{ V}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		40	50 75	$\mu\text{A}$ $\mu\text{A}$
INPUT REVERSE CURRENT	$I_{REV-INPUT}$	$EN = GND$ , $V_{IN} = 0\text{ V}$ , $V_{OUT} = 20\text{ V}$ $EN = GND$ , $V_{IN} = 0\text{ V}$ , $V_{OUT} = 20\text{ V}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		0.3	5	$\mu\text{A}$ $\mu\text{A}$
OUTPUT VOLTAGE ACCURACY						
Fixed Output Voltage Accuracy	$V_{OUT}$	$I_{OUT} = 10\text{ mA}$ $1\text{ mA} < I_{OUT} < 500\text{ mA}$ , $V_{IN} = (V_{OUT} + 1\text{ V})$ to $20\text{ V}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	-0.8 -2		+0.8 +1	% %
Adjustable Output Voltage Accuracy	$V_{ADJ}$	$I_{OUT} = 10\text{ mA}$ $1\text{ mA} < I_{OUT} < 500\text{ mA}$ , $V_{IN} = (V_{OUT} + 1\text{ V})$ to $20\text{ V}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	1.21 1.196	1.22	1.23 1.232	V V
LINE REGULATION	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = (V_{OUT} + 1\text{ V})$ to $20\text{ V}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	-0.015		+0.015	%/V
LOAD REGULATION <sup>1</sup>	$\Delta V_{OUT}/\Delta I_{OUT}$	$1\text{ mA} < I_{OUT} < 500\text{ mA}$ $1\text{ mA} < I_{OUT} < 500\text{ mA}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		0.2	0.75	%/A %/A
ADJ INPUT BIAS CURRENT <sup>2</sup>	$ADJ_{I-BIAS}$	$1\text{ mA} < I_{OUT} < 500\text{ mA}$ , $V_{IN} = (V_{OUT} + 1\text{ V})$ to $20\text{ V}$ , ADJ connected to VOUT		10		nA
SENSE INPUT BIAS CURRENT <sup>2</sup>	$SENSE_{I-BIAS}$	$1\text{ mA} < I_{OUT} < 500\text{ mA}$ , $V_{IN} = (V_{OUT} + 1\text{ V})$ to $20\text{ V}$ , SENSE connected to VOUT, $V_{OUT} = 1.5\text{ V}$		1		$\mu\text{A}$
DROPOUT VOLTAGE <sup>3</sup>	$V_{DROPOUT}$	$I_{OUT} = 10\text{ mA}$ $I_{OUT} = 10\text{ mA}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $I_{OUT} = 150\text{ mA}$ $I_{OUT} = 150\text{ mA}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $I_{OUT} = 300\text{ mA}$ $I_{OUT} = 300\text{ mA}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $I_{OUT} = 500\text{ mA}$ $I_{OUT} = 500\text{ mA}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		20 100 200 350	40 175 325 550	mV mV mV mV mV mV
START-UP TIME <sup>4</sup>	$t_{START-UP}$	$C_{SS} = 0\text{ nF}$ , $I_{OUT} = 10\text{ mA}$ $C_{SS} = 10\text{ nF}$ , $I_{OUT} = 10\text{ mA}$		625 11.5		$\mu\text{s}$ ms
CURRENT-LIMIT THRESHOLD <sup>5</sup>	$I_{LIMIT}$		625	775	1000	mA
PG OUTPUT LOGIC LEVEL						
PG Output Logic High	$PG_{HIGH}$	$I_{OH} < 1\text{ }\mu\text{A}$	1.0			V
PG Output Logic Low	$PG_{LOW}$	$I_{OL} < 2\text{ mA}$			0.4	V
PG OUTPUT THRESHOLD						
Output Voltage Falling	$PG_{FALL}$			-9.2		%
Output Voltage Rising	$PG_{RISE}$			-6.5		%
THERMAL SHUTDOWN						
Thermal Shutdown Threshold	$TS_{SD}$	$T_J$ rising		150		$^\circ\text{C}$
Thermal Shutdown Hysteresis	$TS_{SD-HYS}$			15		$^\circ\text{C}$
SOFT START SOURCE CURRENT	$SS_{I-SOURCE}$	$SS = GND$		1		$\mu\text{A}$

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
PROGRAMMABLE EN/UVLO						
UVLO Threshold Rising	UVLO <sub>RISE</sub>	3.3 V ≤ V <sub>IN</sub> ≤ 20 V, T <sub>J</sub> = -40°C to +125°C	1.18	1.22	1.28	V
UVLO Threshold Falling	UVLO <sub>FALL</sub>	3.3 V ≤ V <sub>IN</sub> ≤ 20 V, T <sub>J</sub> = -40°C to +125°C, 10 kΩ in series with the enable input pin		1.13		V
UVLO Hysteresis Current	UVLO <sub>HYS</sub>	V <sub>EN</sub> > 1.25 V, T <sub>J</sub> = -40°C to +125°C	7.5	9.8	12	μA
Enable Pull-Down Current	I <sub>EN-IN</sub>	EN = V <sub>IN</sub>		500		nA
Start Threshold	V <sub>START</sub>	T <sub>J</sub> = -40°C to +125°C			3.2	V
Shutdown Threshold	V <sub>SHUTDOWN</sub>	T <sub>J</sub> = -40°C to +125°C	2.45			V
Hysteresis				250		mV
OUTPUT NOISE	OUT <sub>NOISE</sub>	10 Hz to 100 kHz, V <sub>IN</sub> = 5.5 V, V <sub>OUT</sub> = 1.8 V		15		μV rms
		10 Hz to 100 kHz, V <sub>IN</sub> = 6.3 V, V <sub>OUT</sub> = 3.3 V		15		μV rms
		10 Hz to 100 kHz, V <sub>IN</sub> = 8 V, V <sub>OUT</sub> = 5 V		15		μV rms
		10 Hz to 100 kHz, V <sub>IN</sub> = 12 V, V <sub>OUT</sub> = 9 V		15		μV rms
		10 Hz to 100 kHz, V <sub>IN</sub> = 5.5 V, V <sub>OUT</sub> = 1.5 V, adjustable mode		18		μV rms
		10 Hz to 100 kHz, V <sub>IN</sub> = 12 V, V <sub>OUT</sub> = 5 V, adjustable mode		30		μV rms
		10 Hz to 100 kHz, V <sub>IN</sub> = 20 V, V <sub>OUT</sub> = 15 V, adjustable mode		65		μV rms
POWER SUPPLY REJECTION RATIO	PSRR	100 kHz, V <sub>IN</sub> = 4.3 V, V <sub>OUT</sub> = 3.3 V		50		dB
		100 kHz, V <sub>IN</sub> = 6 V, V <sub>OUT</sub> = 5 V		50		dB
		10 kHz, V <sub>IN</sub> = 4.3 V, V <sub>OUT</sub> = 3.3 V		60		dB
		10 kHz, V <sub>IN</sub> = 6 V, V <sub>OUT</sub> = 5 V		60		dB
		100 kHz, V <sub>IN</sub> = 3.3 V, V <sub>OUT</sub> = 1.8 V, adjustable mode		50		dB
		100 kHz, V <sub>IN</sub> = 6 V, V <sub>OUT</sub> = 5 V, adjustable mode		60		dB
		100 kHz, V <sub>IN</sub> = 16 V, V <sub>OUT</sub> = 15 V, adjustable mode		60		dB
		10 kHz, V <sub>IN</sub> = 3.3 V, V <sub>OUT</sub> = 1.8 V, adjustable mode		60		dB
		10 kHz, V <sub>IN</sub> = 6 V, V <sub>OUT</sub> = 5 V, adjustable mode		80		dB
		10 kHz, V <sub>IN</sub> = 16 V, V <sub>OUT</sub> = 15 V, adjustable mode		80		dB

<sup>1</sup> 1 mA と 500 mA 負荷を使用した端点計算を使用。1 mA 以下の負荷に対する負荷レギュレーション性能(typ)については図 6 を参照してください。

<sup>2</sup> SENSE/ADJ ピンの調整入力機能 (ADJ) は調整可能な出力電圧モデルでのみ使用し、センス機能 (SENSE) は固定出力電圧モデルでのみ使用します。

<sup>3</sup> ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧—出力電圧間の電位差として定義されます。この仕様は、3.0 V を超える出力電圧に対してのみ適用されます。

<sup>4</sup> スタートアップ時間は、EN の立上がりエッジから V<sub>OUT</sub> が公称値の 90% になるまでの時間として定義されます。

<sup>5</sup> 電流制限スレッシュホールドは、出力電圧が規定 typ 値の 90% に低下する電流値として定義されます。例えば、5.0 V 出力電圧の電流制限値は、出力電圧が 5.0 V の 90% すなわち 4.5 V に低下する電流値として定義されます。

## 入力コンデンサと出力コンデンサの推奨仕様

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Minimum Input and Output Capacitance <sup>1</sup>	C <sub>MIN</sub>	T <sub>A</sub> = -40°C to +125°C	0.7			μF
Capacitor ESR	R <sub>ESR</sub>	T <sub>A</sub> = -40°C to +125°C	0.001		0.2	Ω

<sup>1</sup> 最小入力容量と最小出力容量は、全動作範囲で 0.7 μF より大きい必要があります。最小容量規定値を確実に満たすようにするため、デバイス選択時にアプリケーションの全動作範囲を考慮する必要があります。X7R タイプと X5R タイプのコンデンサの使用が推奨されます。Y5V コンデンサと Z5U コンデンサはすべての LDO レギュレータに推奨できません。

## 絶対最大定格

表 3.

Parameter	Rating
VIN to GND	-0.3 V to +22 V
VOU to GND	-0.3 V to +20 V
EN/UVLO to GND	-0.3 V to VIN
PG to GND	-0.3 V to VIN
SENSE/ADJ to GND	-0.3 V to VOUT
SS to GND	-0.3 V to +3.6 V
Storage Temperature Range	-65°C to +150°C
Operating Junction Temperature Range	-40°C to +125°C
Soldering Conditions	JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱データ

絶対最大定格は、組み合わせではなく個別に適用されます。ジャンクション温度( $T_J$ )制限値を超えると ADP7105 は損傷を受けることがあります。周囲温度をモニタしても、 $T_J$  が規定温度範囲内にあることを保証できません。消費電力が大きいかつプリント回路ボード(PCB)の熱抵抗が高いアプリケーションでは、最大周囲温度を下げる必要があります。

中程度の消費電力で、PCB の熱抵抗が低いアプリケーションでは、ジャンクション温度が規定値内にある限り、最大周囲温度はこの最大値を超えても問題はありません。デバイスのジャンクション温度( $T_J$ )は、周囲温度( $T_A$ )、デバイス消費電力( $P_D$ )、パッケージのジャンクション-周囲間熱抵抗( $\theta_{JA}$ )に依存します。

最大ジャンクション温度( $T_J$ )は、次式を使って周囲温度( $T_A$ )と消費電力( $P_D$ )から計算されます。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージのジャンクション-周囲間の熱抵抗( $\theta_{JA}$ ) は 4 層ボードを使用したモデルと計算に基づいています。ジャンクション-周囲間の熱抵抗は、アプリケーションとボード・レイアウトに強く依存します。最大消費電力が大きいアプリケーションでは、ボードの熱設計に注意が必要です。 $\theta_{JA}$  の値は、PCB の材料、レイアウト、環境条件に応じて変わります。 $\theta_{JA}$  の規定値は、4 層、4 インチ × 3 インチの回路ボードに基づきます。ボード構造につ

いては JEDEC JESD51-7 と JESD51-9 を参照してください。詳細については、AN-772 アプリケーション・ノート「A Design and Manufacturing Guide for the Lead Frame Chip Scale Package (LFCSP)」をご覧ください。

$\Psi_{JB}$  はジャンクション-ボード間サーマル・キャラクタライゼーション・パラメータであり、単位は°C/W です。パッケージの  $\Psi_{JB}$  は、4 層ボードを使ったモデルと計算に基づいています。JEDEC JESD51-12 「Guidelines for Reporting and Using Electronic Package Thermal Information」には、サーマル・キャラクタライゼーション・パラメータは熱抵抗と同じではないと記載されています。 $\Psi_{JB}$  は、熱抵抗( $\theta_{JB}$ )の場合のように 1 つのパスではなく、複数のサーマル・パスを経由する成分を表します。したがって、 $\Psi_{JB}$  サーマル・パスには、パッケージ上面からの対流、パッケージからの放射、実際のアプリケーションで  $\Psi_{JB}$  を有効にしているファクタが含まれます。最大ジャンクション温度( $T_J$ )は、次式を使ってボード温度( $T_B$ )と消費電力( $P_D$ )から計算されます。

$$T_J = T_B + (P_D \times \Psi_{JB})$$

$\Psi_{JB}$  の詳細については、JESD51-8 と JESD51-12 を参照してください。

## 熱抵抗

$\theta_{JA}$  と  $\Psi_{JB}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。 $\theta_{JC}$  は上面にヒート・シンクを装着する表面実装パッケージ用のパラメータです。 $\theta_{JC}$  はここでは参考用に示してあります。

表 4.熱抵抗

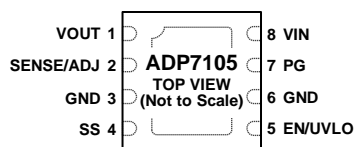
Package Type	$\theta_{JA}$	$\theta_{JC}$	$\Psi_{JB}$	Unit
8-Lead LFCSP	40.1	27.1	17.2	°C/W
8-Lead SOIC	48.5	58.4	31.3	°C/W

## ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

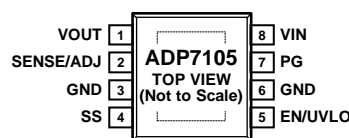


**NOTES**

1. IT IS HIGHLY RECOMMENDED THAT THE EXPOSED PAD ON THE BOTTOM OF THE PACKAGE BE CONNECTED TO THE GROUND PLANE ON THE BOARD.

11641-003

図 3.LFCSP パッケージのピン配置



**NOTES**

1. IT IS HIGHLY RECOMMENDED THAT THE EXPOSED PAD ON THE BOTTOM OF THE PACKAGE BE CONNECTED TO THE GROUND PLANE ON THE BOARD.

11641-004

図 4.ナロー・ボディ SOIC パッケージのピン配置

表 5.ピン機能の説明

ピン番号	記号	説明
1	VOUT	レギュレーションされた出力電圧。1 $\mu$ F 以上のコンデンサで VOUT を GND へバイパスしてください。
2	SENSE/ADJ	センス入力(SENSE)。SENSE ピンは負荷で実際の出力電圧を測定し、エラーアンプへ入力します。SENSE を負荷のできるだけ近くに接続して、レギュレータ出力と負荷の間のインピーダンスによる電圧降下の影響を小さくしてください。このセンス入力は固定電圧オプションの場合です。 調整入力(ADJ)。外付けの抵抗分圧器により出力電圧を設定します。この調整入力は調整可能電圧オプションの場合です。
3	GND	グラウンド。
4	SS	ソフトスタート。このピンに接続したコンデンサがソフトスタート時間を決めます。
5	EN/UVLO	イネーブル入力(EN)。EN をハイ・レベルにするとレギュレータがオンし、ロー・レベルにするとレギュレータがオフします。自動スタートアップの場合は、EN と VIN を接続します。 設定可能な低電圧ロックアウト(UVLO)。この設定可能な UVLO 機能を使う場合、上限と下限の閾値は設定抵抗により決定されます。
6	GND	グラウンド。
7	PG	パワーグッド出力。このオープン・ドレイン出力には、VIN または VOUT へ接続した外付けプルアップ抵抗が必要です。デバイスが、シャットダウン・モード、電流制限モード、サーマル・シャットダウンの場合、または V <sub>OUT</sub> が公称出力電圧の 90% を下回った場合、PG は直ちにロー・レベルになります。パワーグッド機能を使用しない場合は、このピンをオープンにするかグラウンドに接続することができます。
8	VIN	レギュレータ入力電源。VIN と GND との間に 1 $\mu$ F 以上のコンデンサを接続してバイパスしてください。
	EPAD	エクスポーズド・パッド。パッケージ底面のエクスポーズド・パッドは熱性能を強化し、パッケージ内部で GND に電氣的に接続されています。エクスポーズド・パッドはボードのグラウンド・プレーンに接続することが推奨されます。

## 代表的な性能特性

特に指定がない限り、 $V_{IN} = 7.5\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、 $I_{OUT} = 10\text{ mA}$ 、 $C_{IN} = C_{OUT} = 1\text{ }\mu\text{F}$ 、 $T_A = 25^\circ\text{C}$ 。

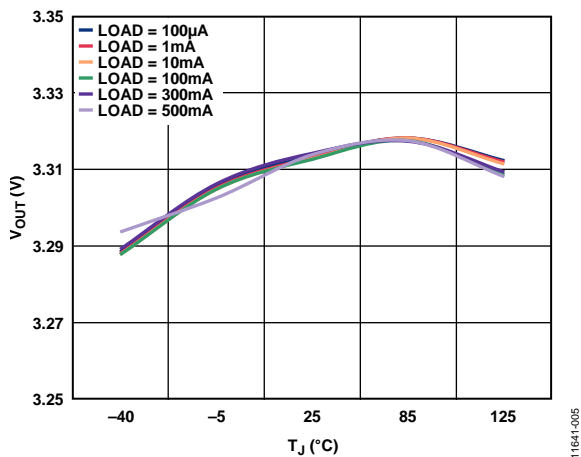


図 5. ジャンクション温度対出力電圧、 $V_{OUT} = 3.3\text{ V}$

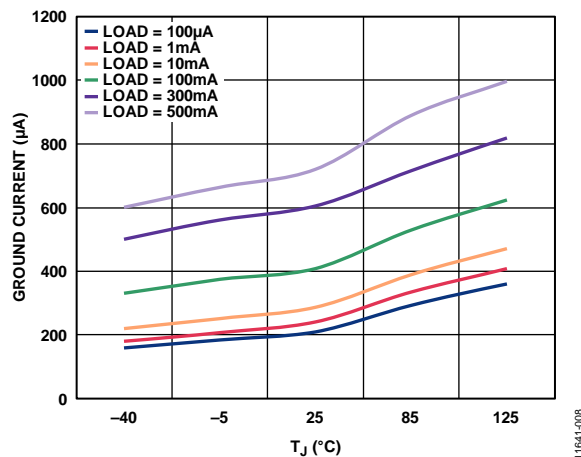


図 8. ジャンクション温度対グラウンド電流、 $V_{OUT} = 3.3\text{ V}$

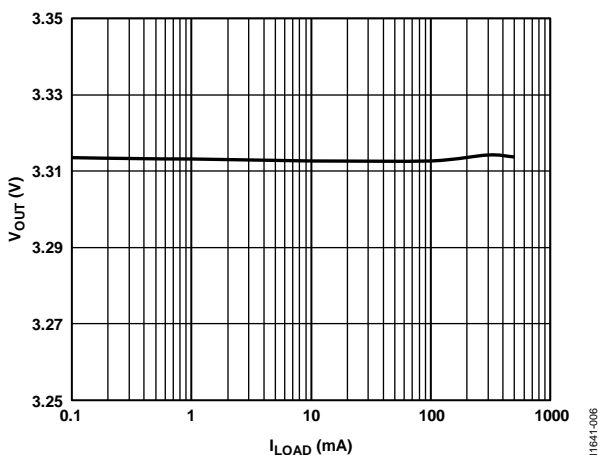


図 6. 負荷電流対出力電圧、 $V_{OUT} = 3.3\text{ V}$

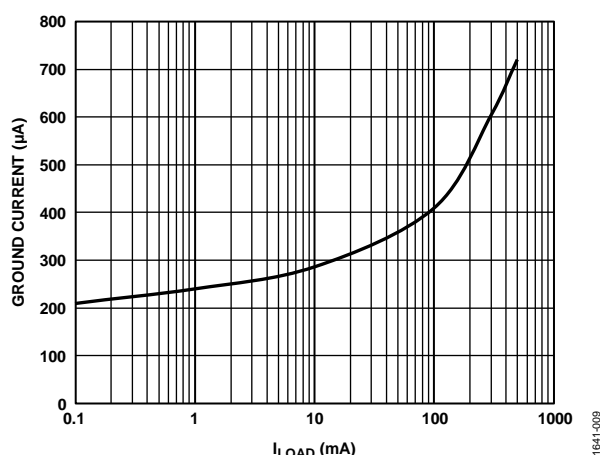


図 9. 負荷電流対グラウンド電流、 $V_{OUT} = 3.3\text{ V}$

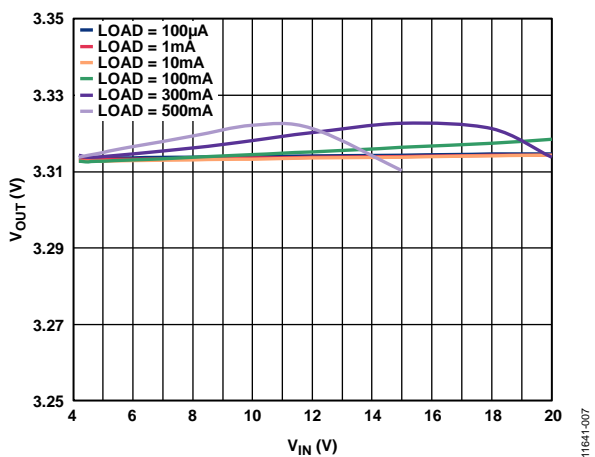


図 7. 入力電圧対出力電圧、 $V_{OUT} = 3.3\text{ V}$

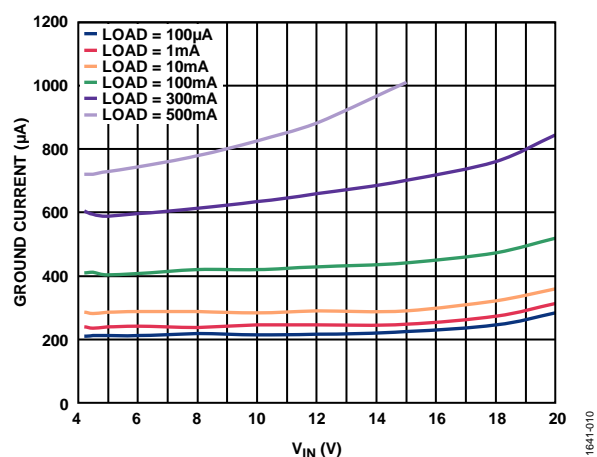


図 10. 入力電圧対グラウンド電流、 $V_{OUT} = 3.3\text{ V}$

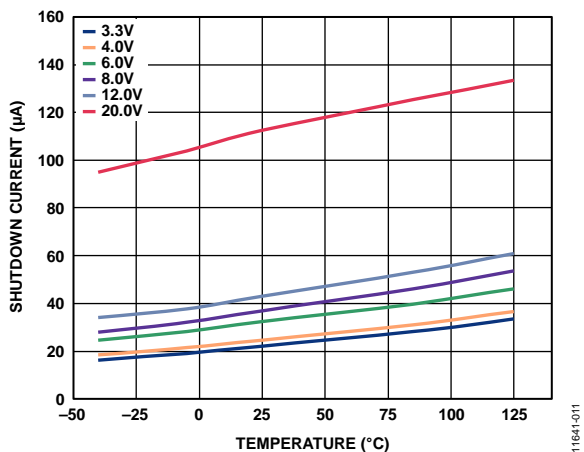


図 11. 様々な入力電圧でのシャットダウン電流の温度特性

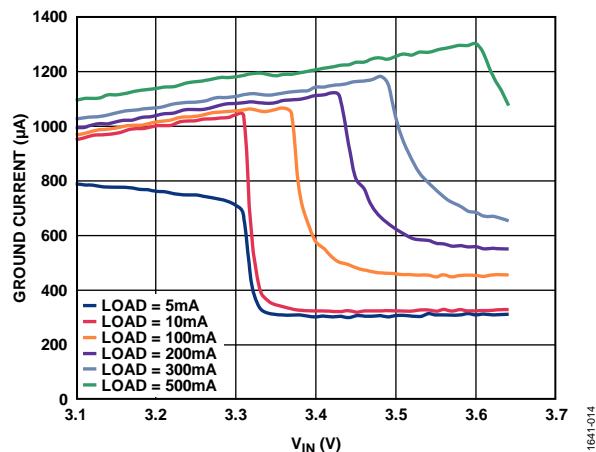


図 14. 入力電圧対グラウンド電流(ドロップアウト時)  
 $V_{OUT} = 3.3\text{ V}$

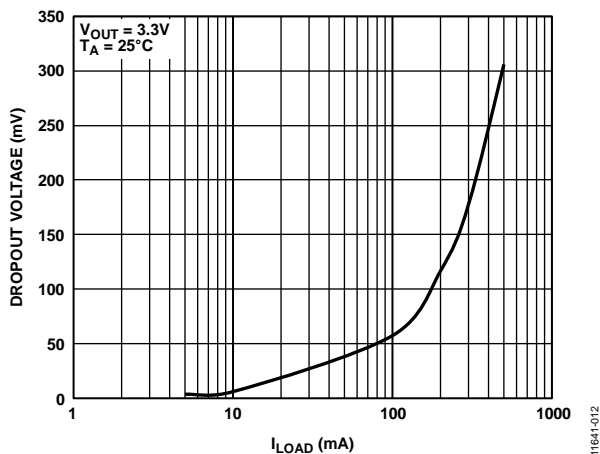


図 12. 負荷電流対ドロップアウト電圧、 $V_{OUT} = 3.3\text{ V}$

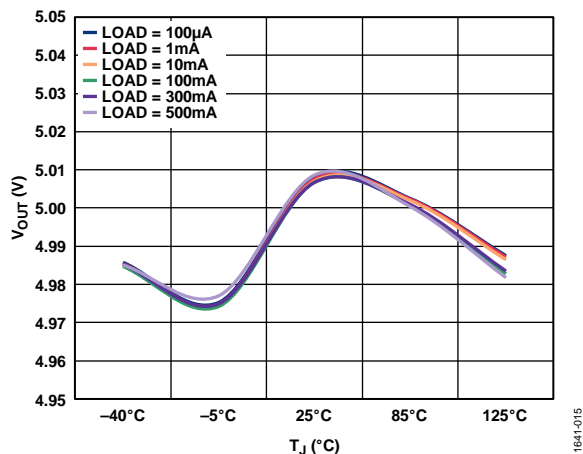


図 15. ジャンクション温度対出力電圧、 $V_{OUT} = 5\text{ V}$

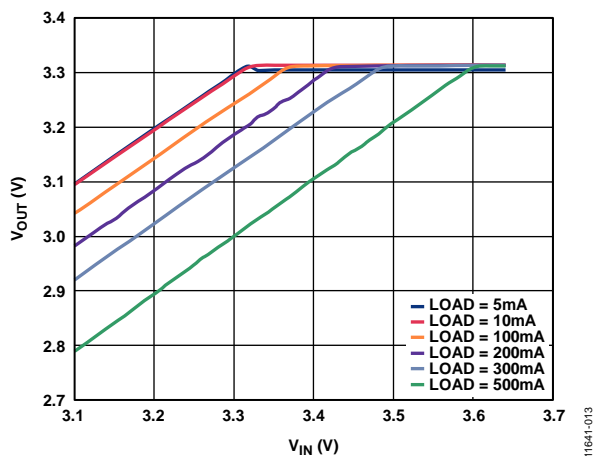


図 13. 入力電圧対出力電圧(ドロップアウト時)、 $V_{OUT} = 3.3\text{ V}$

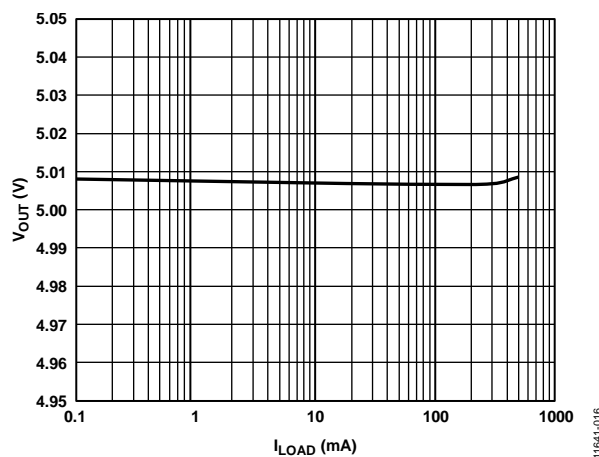


図 16. 負荷電流対出力電圧、 $V_{OUT} = 5\text{ V}$



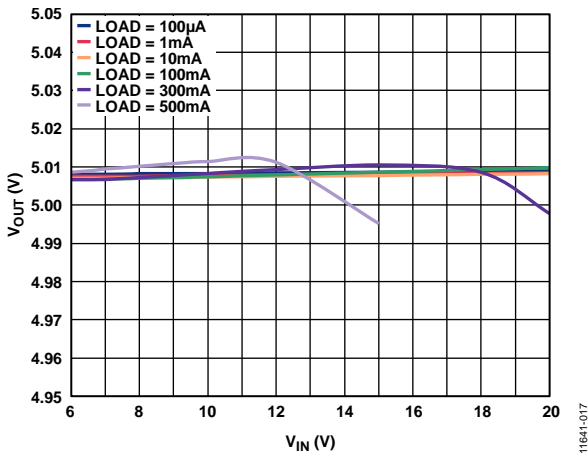


図 17. 入力電圧対出力電圧、 $V_{OUT} = 5V$

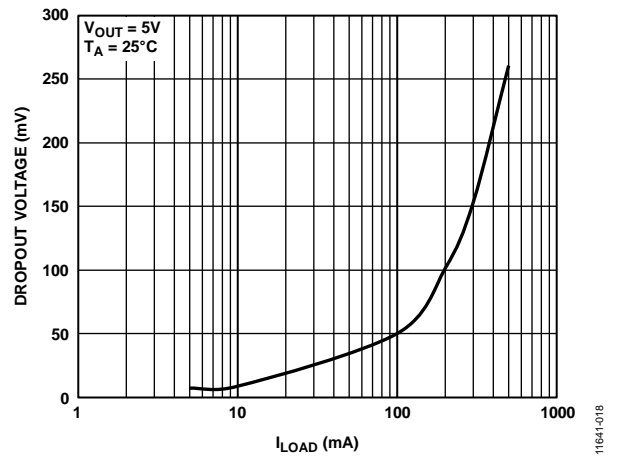


図 20. 負荷電流対ドロップアウト電圧、 $V_{OUT} = 5V$

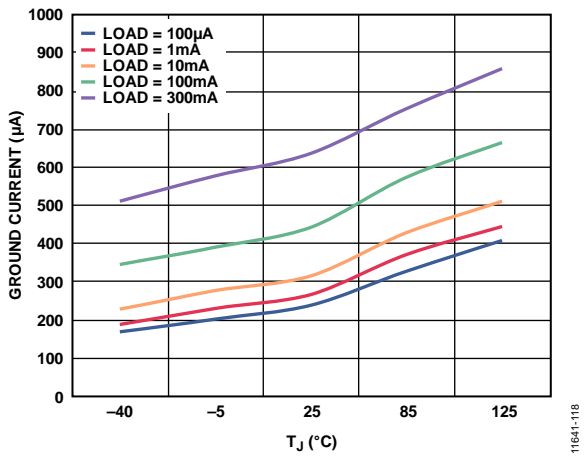


図 18. ジャンクション温度対グラウンド電流、 $V_{OUT} = 5V$

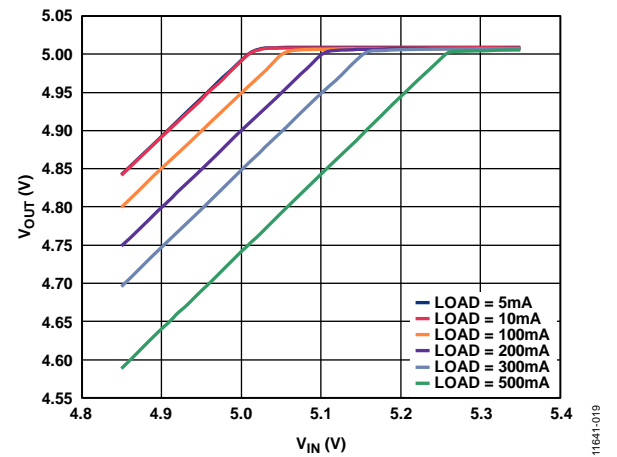


図 21. 入力電圧対出力電圧(ドロップアウト時)  
 $V_{OUT} = 5V$

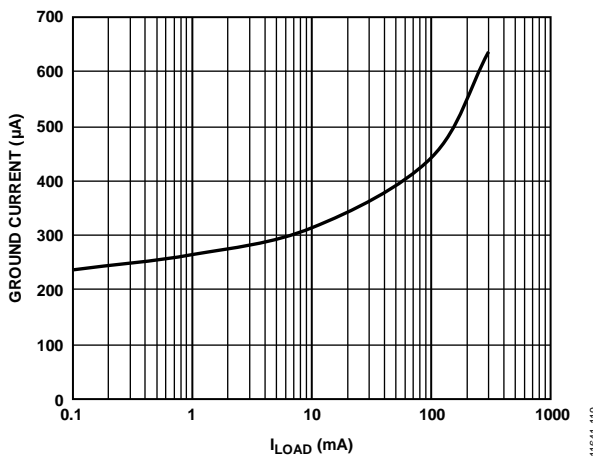


図 19. 負荷電流対グラウンド電流、 $V_{OUT} = 5V$

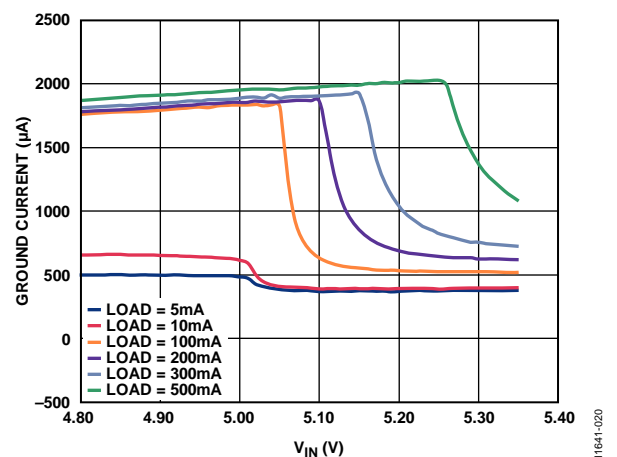


図 22. 入力電圧対グラウンド電流(ドロップアウト時)  
 $V_{OUT} = 5V$

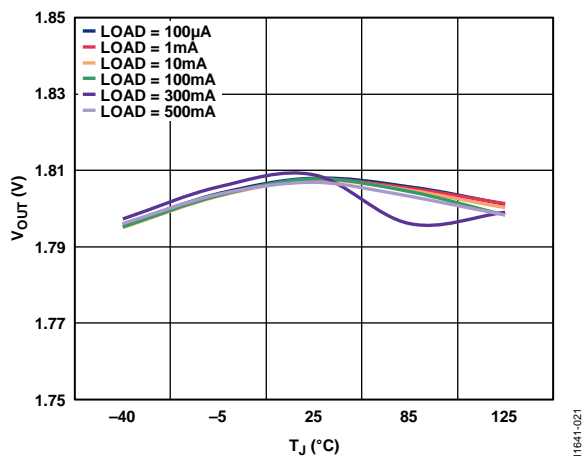


図 23. ジャンクション温度対出力電圧、 $V_{OUT} = 1.8$  V

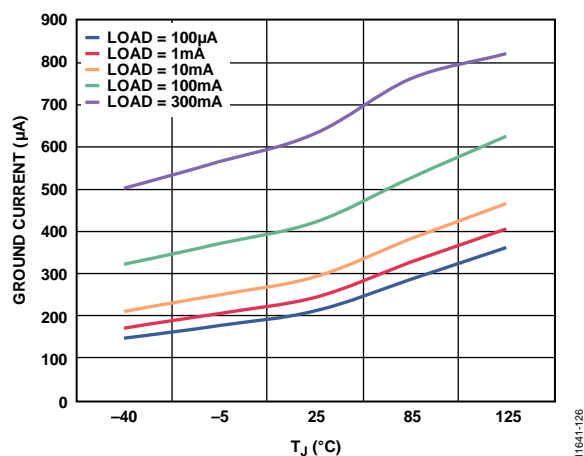


図 26. ジャンクション温度対グラウンド電流、 $V_{OUT} = 1.8$  V

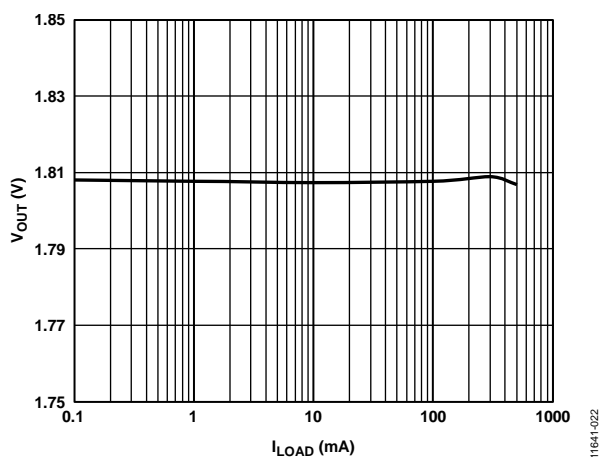


図 24. 負荷電流対出力電圧、 $V_{OUT} = 1.8$  V

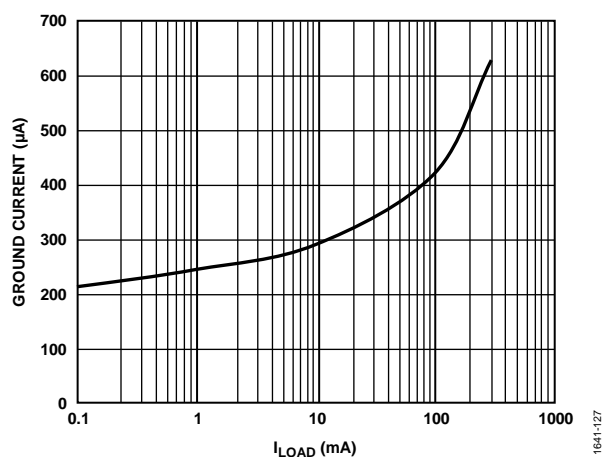


図 27. 負荷電流対グラウンド電流、 $V_{OUT} = 1.8$  V

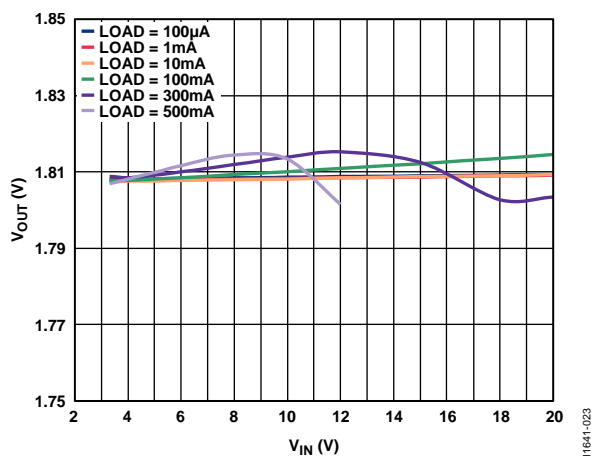


図 25. 入力電圧対出力電圧、 $V_{OUT} = 1.8$  V

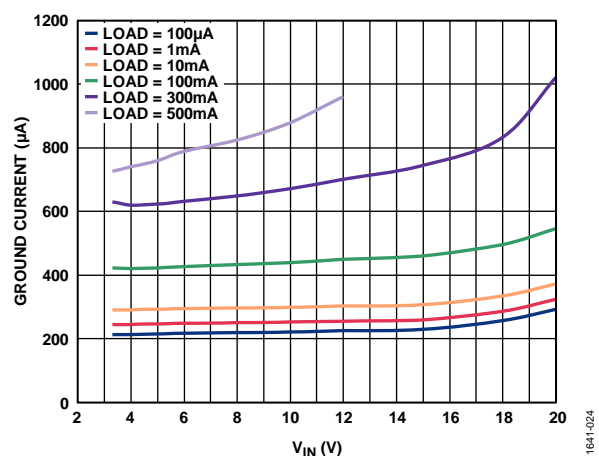


図 28. 入力電圧対グラウンド電流、 $V_{OUT} = 1.8$  V

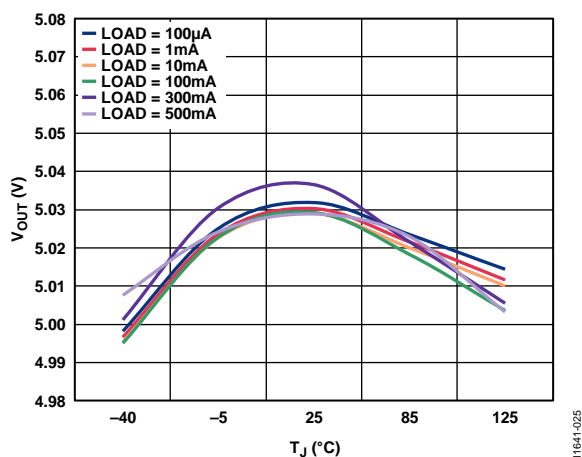


図 29.ジャンクション温度対出力電圧、 $V_{OUT} = 5V$ 、調整可能

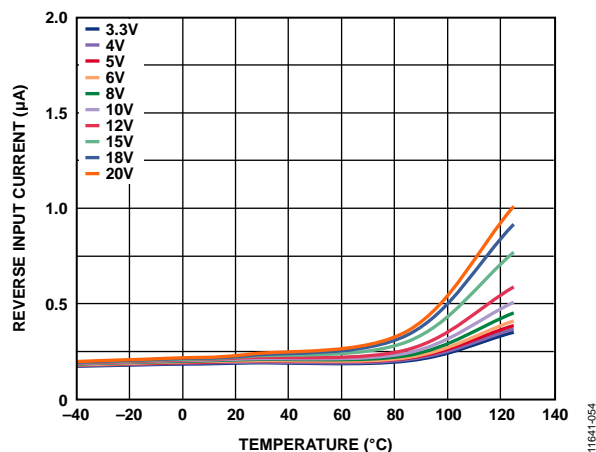


図 32.逆入力電流の温度特性、 $V_{IN} = 0V$ 、 $V_{OUT}$  差動電圧

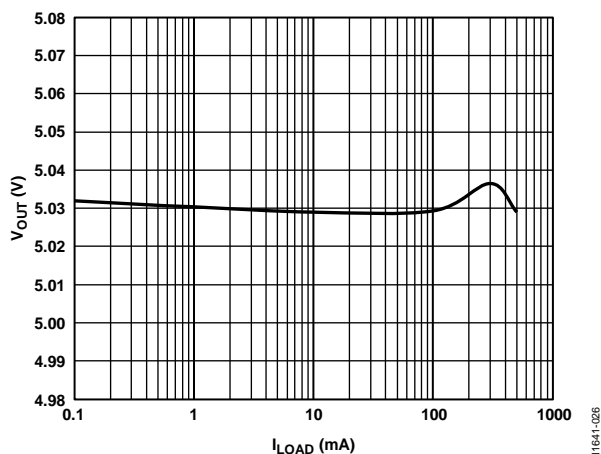


図 30.負荷電流対出力電圧、 $V_{OUT} = 5V$ 、調整可能

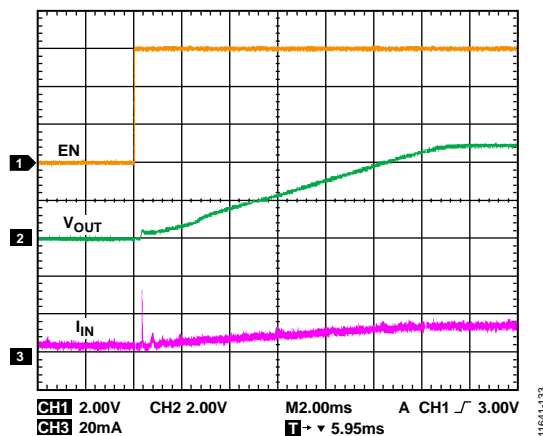


図 33.スタートアップ時間、 $V_{EN}$  および  $V_{IN} = 6V$ 、 $C_{IN}$  および  $C_{OUT} = 1\mu F$ 、 $C_{SS} = 10nF$ 、 $I_{OUT} = 10mA$ 、 $V_{OUT} = 5V$

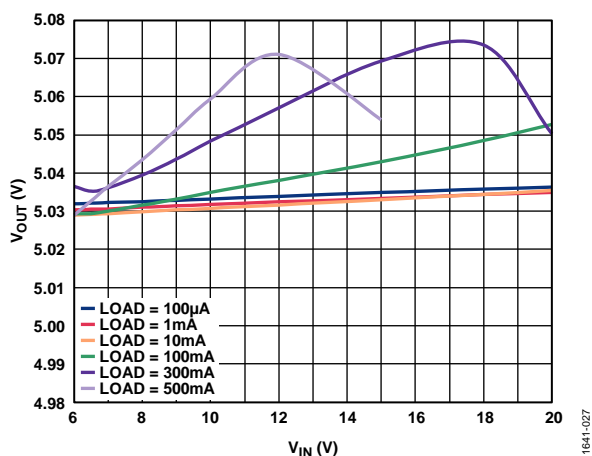


図 31.入力電圧対出力電圧、 $V_{OUT} = 5V$ 、調整可能

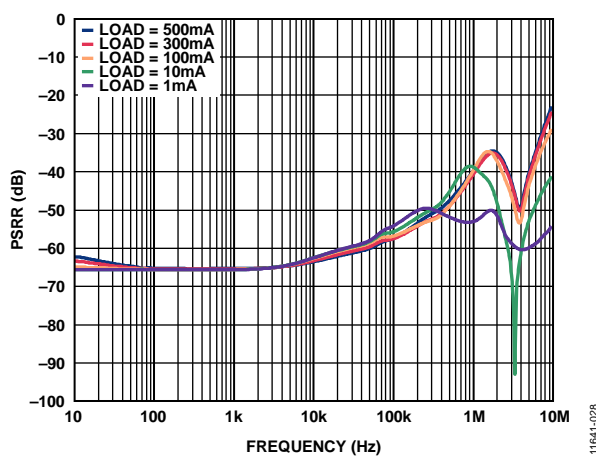


図 34.電源変動除去比の周波数特性、 $V_{OUT} = 1.8V$ 、 $V_{IN} = 3.3V$

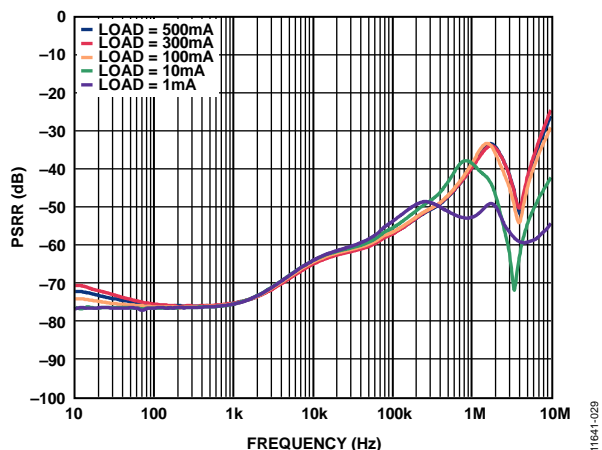


図 35.電源変動除去比の周波数特性、 $V_{OUT} = 3.3\text{ V}$ 、 $V_{IN} = 4.8\text{ V}$

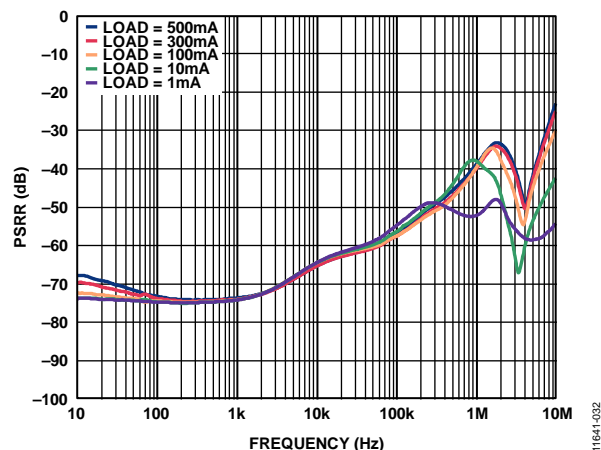


図 38.電源変動除去比の周波数特性、 $V_{OUT} = 5\text{ V}$ 、 $V_{IN} = 6.5\text{ V}$

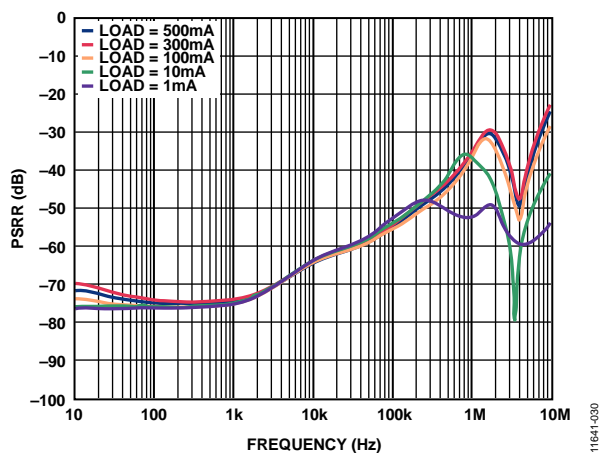


図 36.電源変動除去比の周波数特性、 $V_{OUT} = 3.3\text{ V}$ 、 $V_{IN} = 4.3\text{ V}$

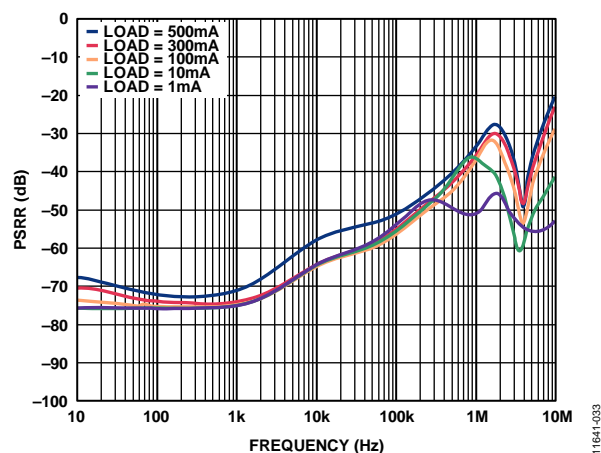


図 39.電源変動除去比の周波数特性、 $V_{OUT} = 5\text{ V}$ 、 $V_{IN} = 6\text{ V}$

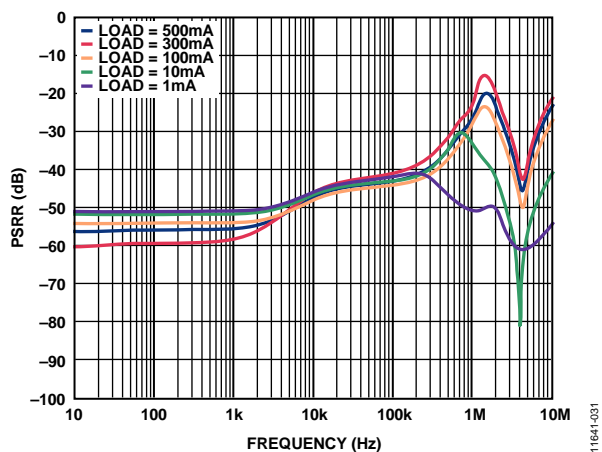


図 37.電源変動除去比の周波数特性、 $V_{OUT} = 3.3\text{ V}$ 、 $V_{IN} = 3.8\text{ V}$

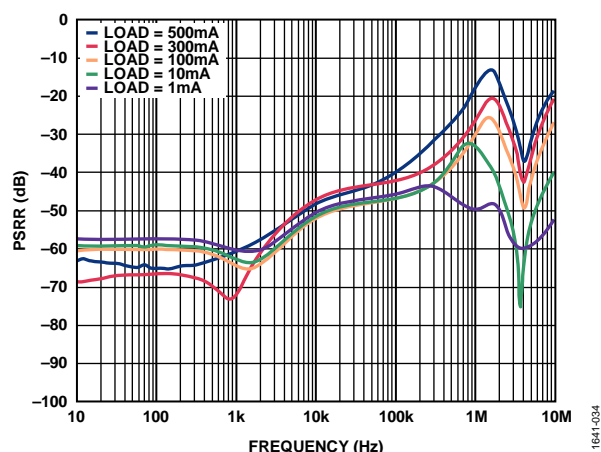


図 40.電源変動除去比の周波数特性、 $V_{OUT} = 5\text{ V}$ 、 $V_{IN} = 5.5\text{ V}$

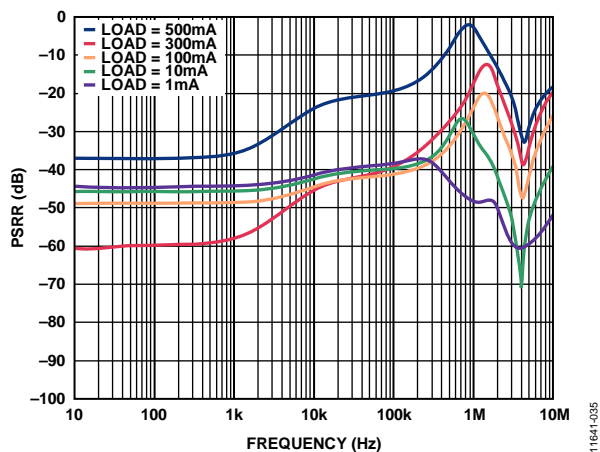


図 41.電源変動除去比の周波数特性、 $V_{OUT} = 5V$ 、 $V_{IN} = 5.3V$

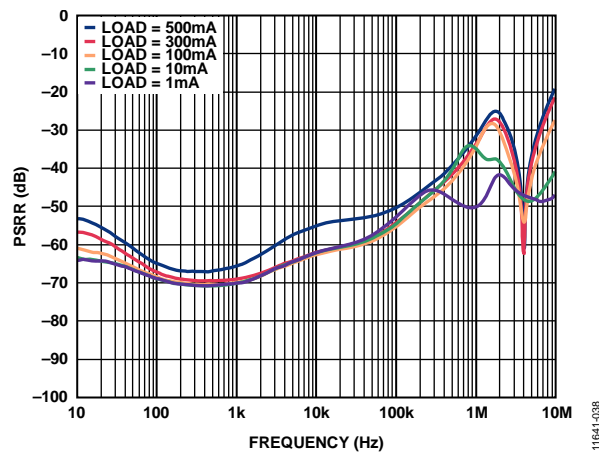


図 44.電源変動除去比の周波数特性、 $V_{OUT} = 5V$ 、 $V_{IN} = 6V$ 、調整可能、ノイズ削減回路使用

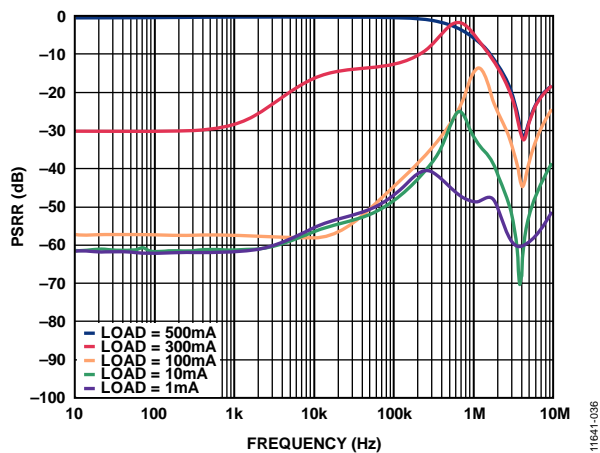


図 42.電源変動除去比の周波数特性、 $V_{OUT} = 5V$ 、 $V_{IN} = 5.2V$

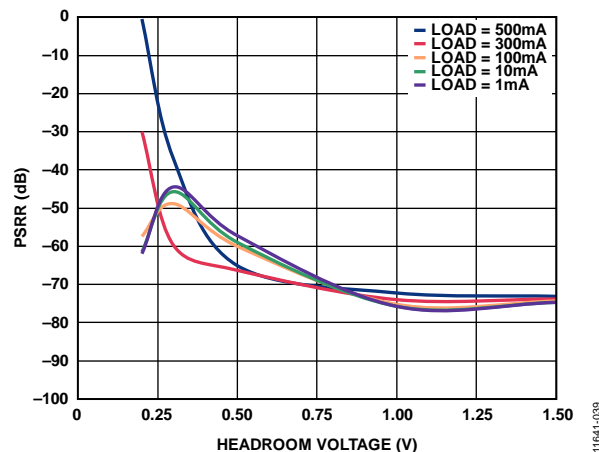


図 45.ヘッドルーム電圧対電源変動除去比、100 Hz、 $V_{OUT} = 5V$

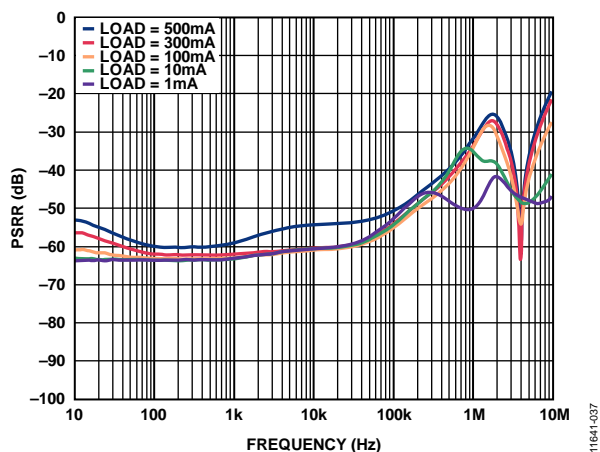


図 43.電源変動除去比の周波数特性  
 $V_{OUT} = 5V$ 、 $V_{IN} = 6V$  調整可能

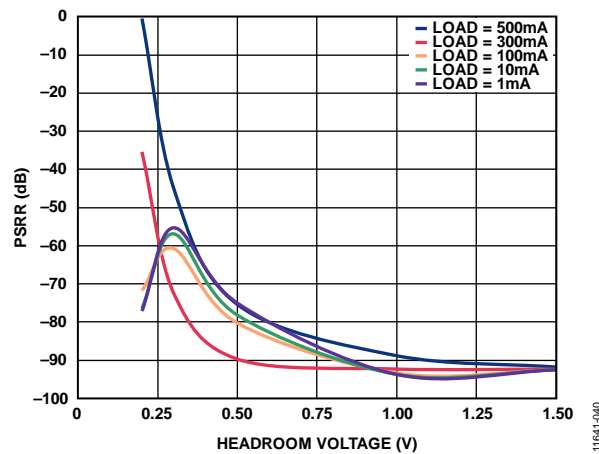


図 46.ヘッドルーム電圧対電源変動除去比  
1 kHz、 $V_{OUT} = 5V$

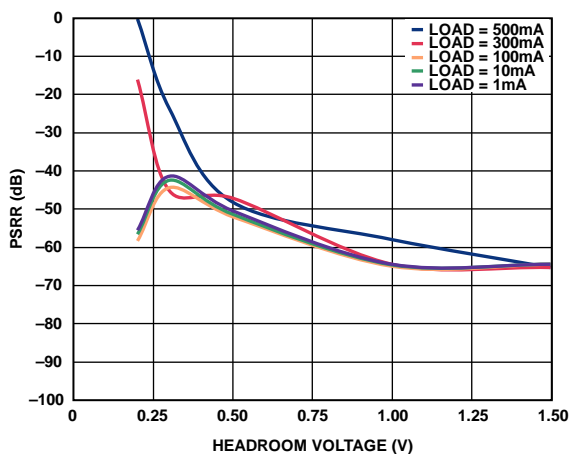


図 47.ヘッドルーム電圧対電源変動除去比  
10 kHz、 $V_{OUT} = 5\text{ V}$

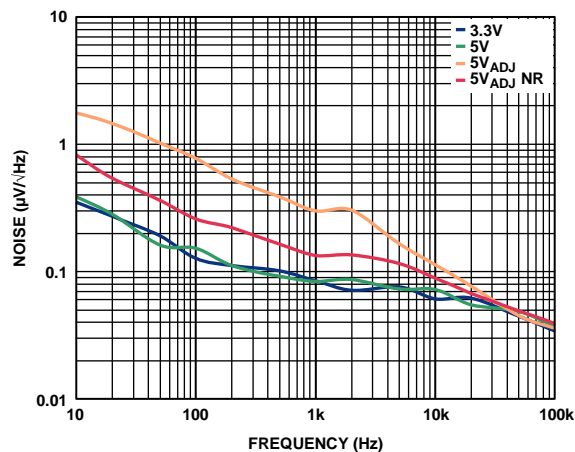


図 50.出力ノイズ・スペクトル密度  
 $I_{LOAD} = 10\text{ mA}$ 、 $C_{OUT} = 1\text{ }\mu\text{F}$

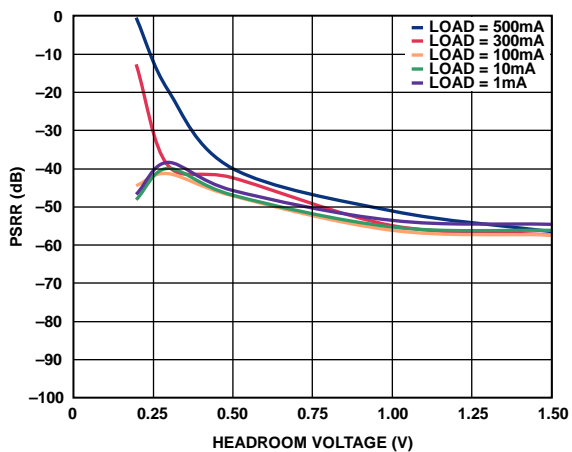


図 48.ヘッドルーム電圧対電源変動除去比  
100 kHz、 $V_{OUT} = 5\text{ V}$

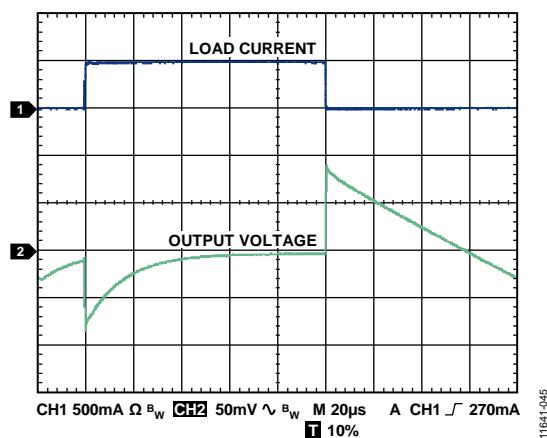


図 51.負荷過渡応答、 $C_{IN} = C_{OUT} = 1\text{ }\mu\text{F}$   
 $I_{LOAD} = 1\text{ mA} \sim 500\text{ mA}$ 、 $V_{OUT} = 1.8\text{ V}$ 、 $V_{IN} = 5\text{ V}$

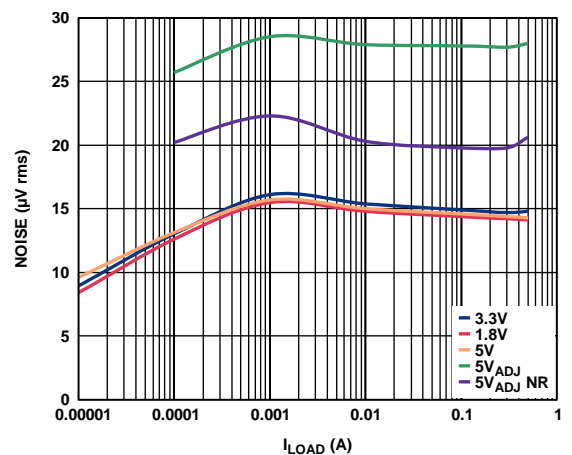


図 49.負荷電流／出力電圧対出力ノイズ、 $C_{OUT} = 1\text{ }\mu\text{F}$

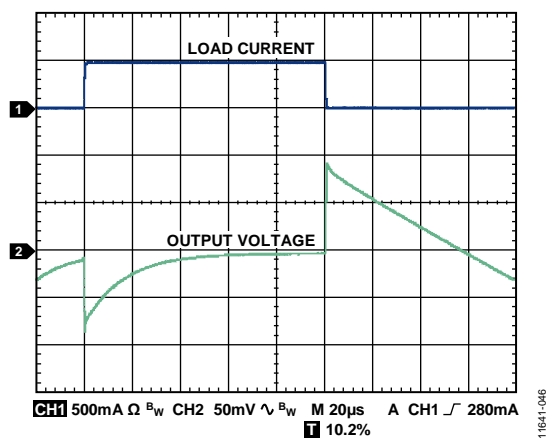


図 52.負荷過渡応答、 $C_{IN} = C_{OUT} = 1\text{ }\mu\text{F}$   
 $I_{LOAD} = 1\text{ mA} \sim 500\text{ mA}$ 、 $V_{OUT} = 3.3\text{ V}$ 、 $V_{IN} = 5\text{ V}$

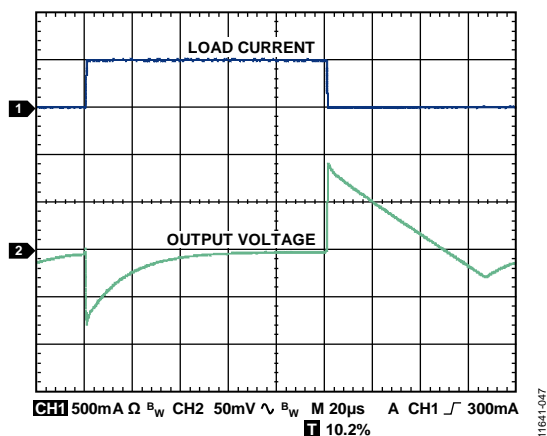


図 53. 負荷過渡応答、 $C_{IN} = C_{OUT} = 1 \mu F$   
 $I_{LOAD} = 1 \text{ mA} \sim 500 \text{ mA}$ ,  $V_{OUT} = 5 \text{ V}$ ,  $V_{IN} = 7 \text{ V}$

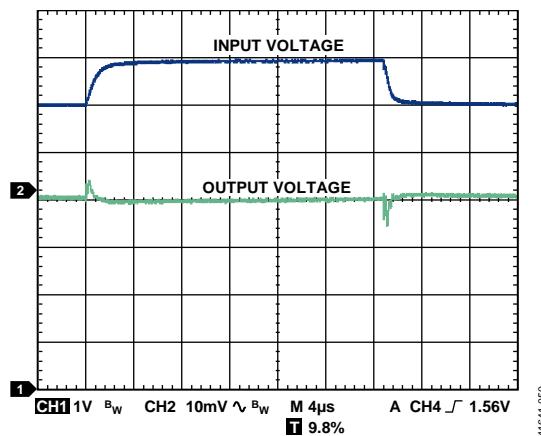


図 56. ライン過渡応答、 $C_{IN} = C_{OUT} = 1 \mu F$ ,  $I_{LOAD} = 500 \text{ mA}$ ,  
 $V_{OUT} = 5 \text{ V}$

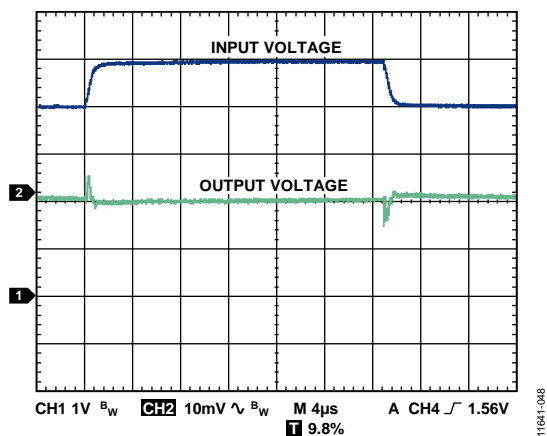


図 54. ライン過渡応答、 $C_{IN} = C_{OUT} = 1 \mu F$   
 $I_{LOAD} = 500 \text{ mA}$ ,  $V_{OUT} = 1.8 \text{ V}$

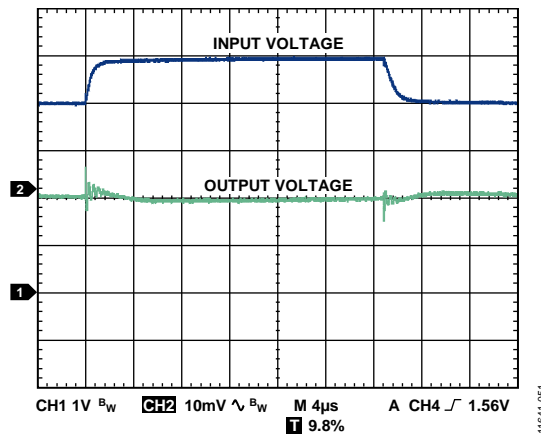


図 57. ライン過渡応答、 $C_{IN} = C_{OUT} = 1 \mu F$   
 $I_{LOAD} = 1 \text{ mA}$ ,  $V_{OUT} = 1.8 \text{ V}$

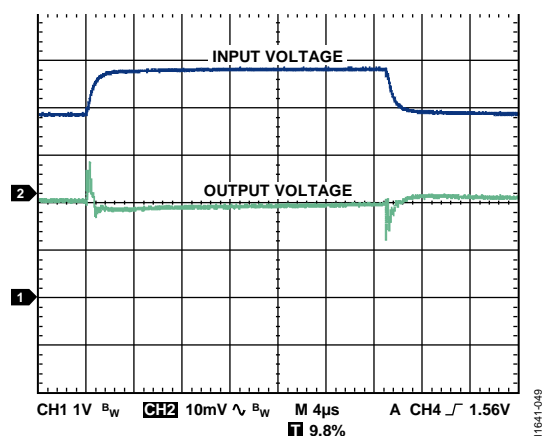


図 55. ライン過渡応答、 $C_{IN} = C_{OUT} = 1 \mu F$   
 $I_{LOAD} = 500 \text{ mA}$ ,  $V_{OUT} = 3.3 \text{ V}$

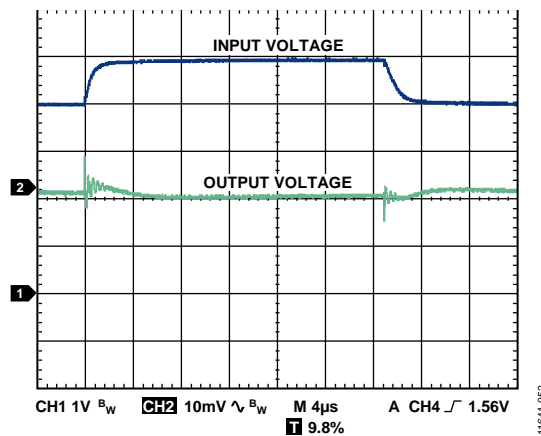


図 58. ライン過渡応答、 $C_{IN} = C_{OUT} = 1 \mu F$   
 $I_{LOAD} = 1 \text{ mA}$ ,  $V_{OUT} = 3.3 \text{ V}$

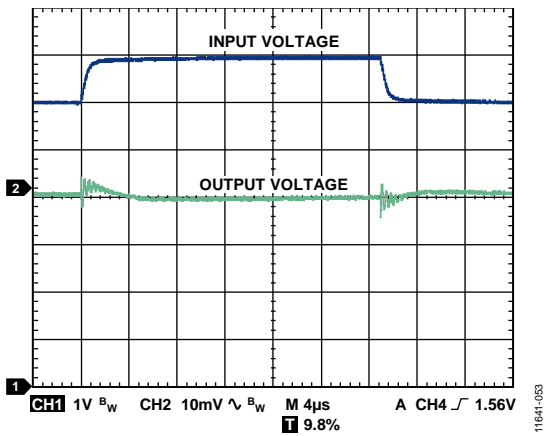


図 59. ライン過渡応答、 $C_{IN} = C_{OUT} = 1 \mu F$   
 $I_{LOAD} = 1 \text{ mA}$ 、 $V_{OUT} = 5 \text{ V}$



## 動作原理

ADP7105は3.3V～20Vで動作し、最大500mAの出力電流を持つ低静止電流のLDOリニア・レギュレータです。ADP7105は、フル負荷での静止電流が900μA (typ)と小さいため、バッテリーで動作するポータブル機器向けに最適です。シャットダウン消費電流は室温で40μA (typ)です。

ADP7105は1μFの小型セラミック・コンデンサを使用するように最適化されているため、優れた過渡性能を提供します。

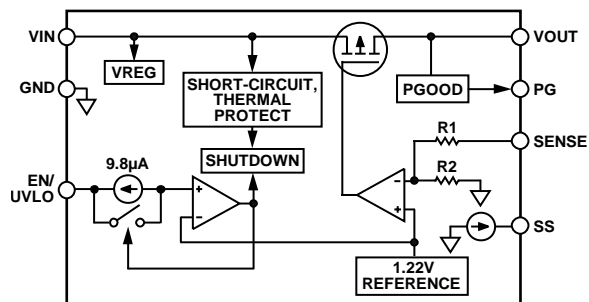


図 60.固定出力電圧の内部ブロック図

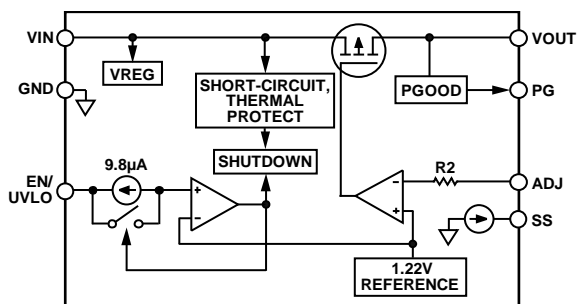


図 61.調整可能出力電圧の内部ブロック図

内部的には、ADP7105は、リファレンス電圧、エラーアンプ、帰還分圧器、PMOSパス・トランジスタから構成されています。出力電流は、エラーアンプから制御されるPMOSパス・デバイスを経由して供給されます。エラーアンプは、リファレンス電圧と出力からの帰還電圧を比較して、その差を増幅します。帰還電圧がリファレンス電圧より低い場合、PMOSデバイスのゲート電位が低くなるので、通過する電流が大きくなり、出力電

圧が上昇します。帰還電圧がリファレンス電圧より高い場合は、PMOSデバイスのゲート電位が高くなるので、通過する電流が小さくなり、出力電圧が低下します。

ADP7105には1.8V、3.3V、5Vの3種類の固定出力電圧オプションと調整可能オプションがあり、調整可能オプションでは、外付け分圧器を使って1.22V～19Vの出力電圧範囲が可能です。出力電圧は次式を使って設定することができます。

$$V_{OUT} = 1.22 \text{ V}(1 + R1/R2)$$

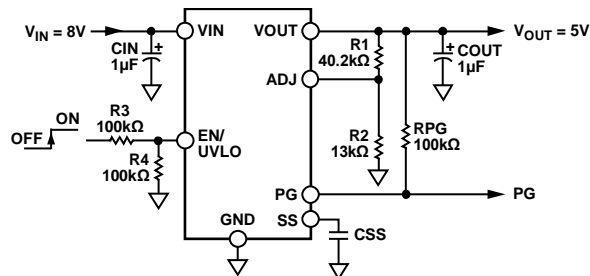


図 62.調整可能出力電圧の代表的なアプリケーション図

R2の値は200kΩより小さくして、ADJ入力電流から発生する出力電圧誤差を小さくする必要があります。例えば、R1 = R2 = 200kΩの場合、出力電圧は2.46Vです。25°CでのADJ入力電流を10nA (typ)とすると、ADJ入力電流で生ずる出力電圧誤差は2mV (= 0.08%)です。

ADP7105ではEN/UVLOピンを使って、通常の動作状態でVOUTピンをイネーブル/ディスエーブルします。EN/UVLOがハイ・レベルのときVOUTがオンし、EN/UVLOがロー・レベルのとき、VOUTがオフします。自動スタートアップの場合は、EN/UVLOとVINを接続することができます。

ADP7105は、出力電圧が入力電圧より大きい場合、内部のパス・トランジスタを経由して逆向きに流れる電流を防止する逆電流保護回路を内蔵しています。コンパレータにより入力電圧と出力電圧の差を検出しています。入力電圧と出力電圧の差が55mVを上回ると、PFETのゲートがVOUTへ接続され、出力がオフまたはオープンになります。

## アプリケーション情報

### コンデンサの選択

#### 出力コンデンサ

ADP7105 は、小型で省スペースのセラミック・コンデンサで動作するように設計されていますが、実効直列抵抗(ESR)値に注意すれば一般的に使用されているコンデンサで動作することもできます。出力コンデンサの ESR は、LDO 制御ループの安定性に影響を与えます。ADP7105 の安定性のためには、1 Ω 以下の ESR を持つ最小 1 μF のコンデンサの使用が推奨されます。負荷電流の変化に対する過渡応答も出力容量の影響を受けます。大きな値の出力容量を使用すると、負荷電流の大きな変化に対する ADP7105 過渡応答を向上させることができます。図 63 に、1 μF の出力容量値に対する過渡応答を示します。

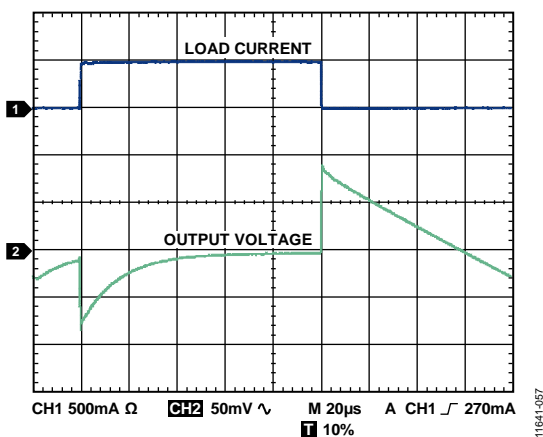


図 63. 出力過渡応答、 $V_{OUT} = 1.8\text{ V}$ 、 $C_{OUT} = 1\text{ }\mu\text{F}$

#### 入力バイパス・コンデンサ

VIN ピンと GND の間に 1 μF のコンデンサを接続すると、PCB のレイアウトによる影響を小さくすることができます。(特に入力パターンが長いソース・インピーダンスが高い場合)

1 μF より大きい出力容量が必要な場合は、出力容量に合わせて入力コンデンサを大きくすることが推奨されます。

#### 入力コンデンサと出力コンデンサの特性

最小容量と最大 ESR 条件を満たすかぎり、ADP7105 に任意の高品質セラミック・コンデンサを使用することができます。セラミック・コンデンサは様々な誘電体を使って製造され、温度と加えられる電圧に対して異なる動作をします。コンデンサは、必要とされる温度範囲と DC バイアス条件で最小容量を確保できる十分な誘電体を持つ必要があります。電圧定格 6.3 V~25 V の X5R または X7R 誘電体の使用が推奨されます。Y5V 誘電体と Z5U 誘電体は温度特性と DC バイアス特性が十分でないため推奨されません。

図 64 に、0402、1 μF、10 V の X5R コンデンサについて容量対電圧バイアス特性を示します。コンデンサの電圧安定性は、コンデンサのサイズと電圧定格の影響を大きく受けます。一般に、コンデンサのパッケージが大きいほど、または電圧定格が大きいほど、優れた安定性を示します。X5R 誘電体の温度変動は、 $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$  の温度範囲で約 $\pm 15\%$ であり、パッケージ・サイズまたは電圧定格の関数になっていません。

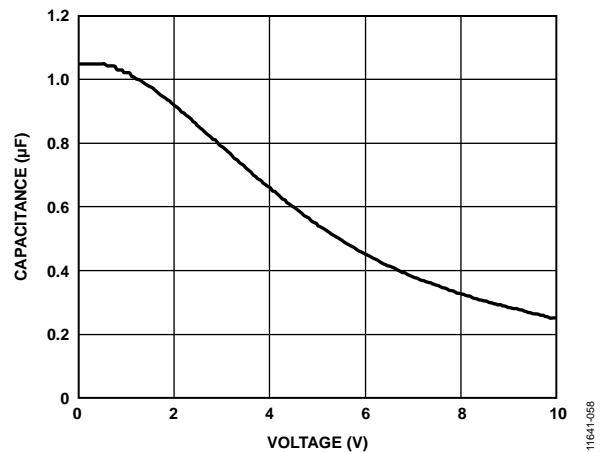


図 64. バイアス電圧対容量

式 1 を使うと、温度、部品許容誤差、電圧に対するコンデンサの変動を考慮した、ワーストケース容量を求めることができます。

$$C_{EFF} = C_{BIAS} \times (1 - TEMPCO) \times (1 - TOL) \quad (1)$$

ここで、

$C_{BIAS}$  は動作電圧での実効容量。

$TEMPCO$  は最悪時のコンデンサ温度係数です。

$TOL$  は最悪時の部品許容誤差です。

この例では、 $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$  でのワーストケース温度係数 ( $TEMPCO$ ) を、X5R 誘電体では 15% と想定しています。図 64 に示すように、コンデンサの許容誤差 ( $TOL$ ) は 10%、かつ 1.8 V で  $C_{BIAS} = 0.94\text{ }\mu\text{F}$  としています。

これらの値を式 1 に代入すると、

$$C_{EFF} = 0.94\text{ }\mu\text{F} \times (1 - 0.15) \times (1 - 0.1) = 0.719\text{ }\mu\text{F}$$

したがって、この例で選択したコンデンサは、選択した出力電圧で、温度と許容誤差に対する LDO レギュレータの最小容量条件を満たします。

ADP7105 の性能を保証するためには、コンデンサ動作に対する DC バイアス、温度、許容誤差の影響を各アプリケーションごとに評価することが不可欠です。

### 設定可能な低電圧ロックアウト機能(UVLO)

ADP7105 では EN/UVLO ピンを使って、通常の動作状態で VOUT ピンをイネーブル/ディスエーブルします。図 65 に示すように、EN/UVLO の電圧上昇が上限スレッシュホールドを超えると、VOUT がオンします。EN/UVLO の電圧が下限スレッシュホールドを下回ると、VOUT がオフします。EN/UVLO スレッシュホールドのヒステリシスは、EN/UVLO ピンと直列のテブナン等価抵抗により決定されます。

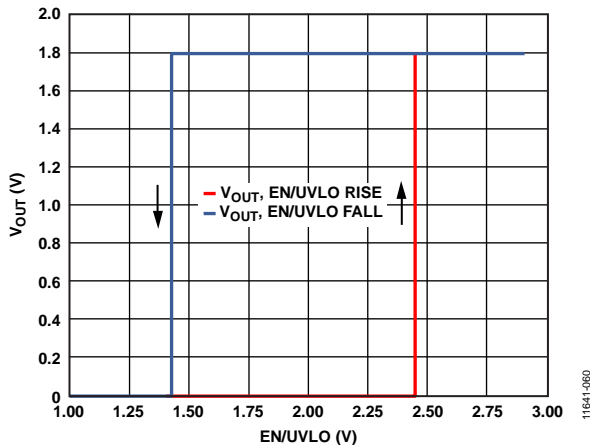


図 65.EN/UVLO ピン動作に対する代表的な VOUT 応答

上限と下限のスレッシュホールドは、2本の抵抗を使ってユーザーが設定することができます。EN/UVLO ピン電圧が 1.23 V を下回ると、LDO はディスエーブルされます。EN/UVLO ピン電圧が 1.23 V を上回ると、LDO がイネーブルされて、10 μA のヒステリシス電流がピンから流出して電圧が上昇するので、スレッシュホールド・ヒステリシスが得られます。2本の外付け抵抗により LDO の最小動作電圧が設定されます。抵抗値 R1 と R2 は次式で決定することができます。

$$R1 = V_{HYS} / 10 \mu A$$

$$R2 = 1.23 V \times R1 / (V_{IN} - 1.23 V)$$

ここで、  
 $V_{HYS}$  は所望の EN/UVLO ヒステリシス・レベル。  
 $V_{IN}$  は所望のオン電圧。

また、ヒステリシスは EN/UVLO ピンに直列に抵抗を接続して実現することもできます。図 66 に示す例では、イネーブル・スレッシュホールドは 2.46 V で、ヒステリシスは 1 V です。

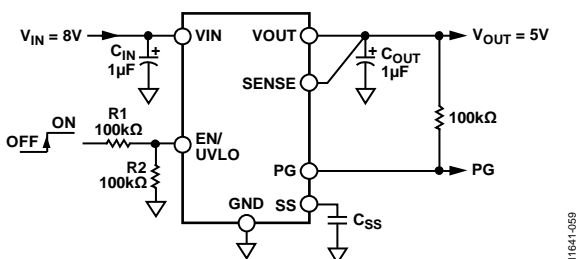


図 66.EN/UVLO ピンの代表的な分圧器

図 65 に、EN/UVLO ピンの代表的なヒステリシスを示します。このヒステリシスは、EN/UVLO ピンがスレッシュホールド・ポイントを通過するときノイズにより発生するオン/オフ発振を防止します。

### ソフトスタート機能

スタートアップの制御が必要なアプリケーションに対して、ADP7105 はプログラマブルなソフトスタート機能を提供します。プログラマブルなソフトスタートは、スタートアップ時の突入電流の軽減と電圧シーケンシング機能の提共に有効です。ソフトスタートを使用するときは、SS と GND の間に小さいセラミック・コンデンサを接続します。スタートアップ時に、1 μA の電流源によりこのコンデンサが充電されます。ADP7105 スタートアップ出力電圧は SS の電圧で制限されるため、公称出力電圧までスムーズに上昇します。ソフトスタート時間は次式で計算されます。

$$t_{SS} = V_{REF} \times (C_{SS} / I_{SS})$$

ここで、  
 $t_{SS}$  はソフトスタート遅延。  
 $V_{REF}$  は 1.22 V のリファレンス電圧。  
 $C_{SS}$  は、SS と GND との間のソフトスタート容量。  
 $I_{SS}$  は SS から供給される電流(1 μA)。

ADP7105 がディスエーブルされると(EN ピンをロー・レベルに駆動)、ソフトスタート・コンデンサは内部 5 kΩ 抵抗を通して GND へ放電します。

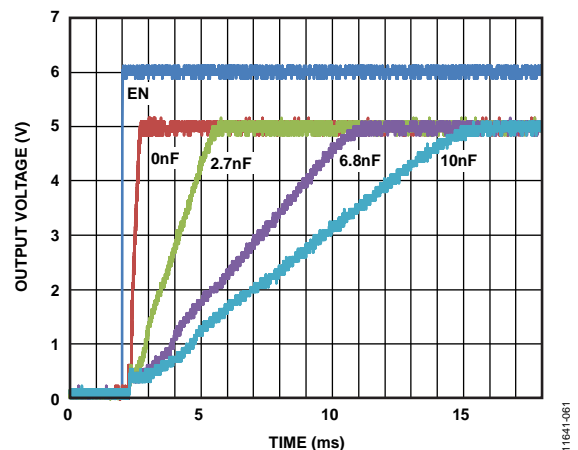


図 67.代表的なスタートアップ動作

パワーグッド機能

ADP7105 には、出力のステータスを表示するパワーグッドピン (PG)があります。このオープン・ドレイン出力には、VIN または VOUT へ接続した外付けプルアップ抵抗が必要です。デバイスが、シャットダウン・モード、電流制限モード、サーマル・シャットダウンの場合、または VOUT が公称出力電圧の 90%を下回った場合、パワーグッド・ピン(PG)は直ちにロー・レベルになります。ソフトスタート時のパワーグッド表示信号の立上がりスレッシュホールドは、公称出力電圧の 93.5%になっています。

ADP7105 に内部 PG トランジスタをターンオンさせる十分な入力電圧がある場合、オープン・ドレイン出力はロー・レベルになります。PG トランジスタは、VOUT または VIN に接続したプルアップ抵抗を使って終端されます。

パワーグッド表示の精度は、この電圧の立上がり時は公称レギュレータ出力電圧の 93.5%で、この電圧の立下がり時は 90.8%トリップ・ポイントです。レギュレータ入力電圧の低下またはグリッチにより、VOUT が公称出力電圧の 90.8%を下回ったとき電源異常が表示されます。

通常のパワーダウンでは、VOUT が 90.8%を下回ったときパワーグッド信号がロー・レベルになります。

図 68 と図 69 に、代表的なパワーグッドの立上がりスレッシュホールドと立下がりスレッシュホールドの温度を示します。

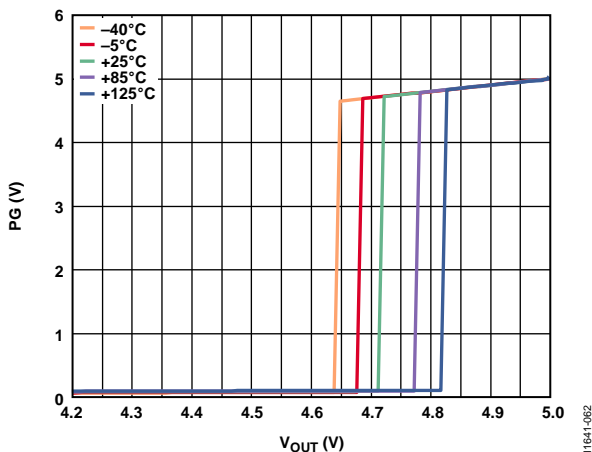


図 68.出力電圧および温度対代表的なパワーグッド・スレッシュホールド、VOUT 立上がり

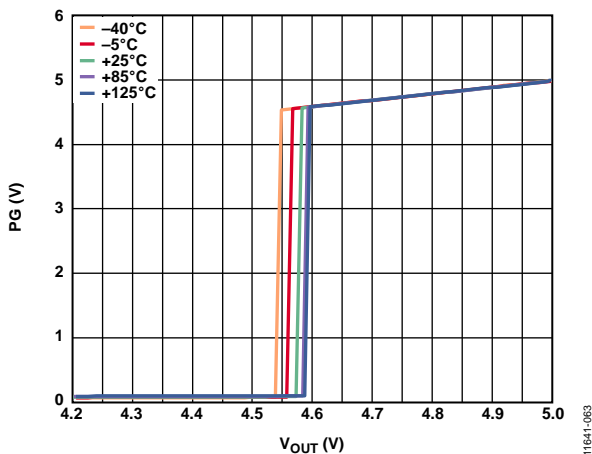


図 69.出力電圧および温度対代表的なパワーグッド・スレッシュホールド、VOUT 立下がり

調整可能オプションのノイズ削減

固定出力 ADP7105 の超低出力ノイズは、LDO エラーアンプをユニティ・ゲインに維持し、リファレンス電圧と出力電圧を一致させることにより実現されています。このアーキテクチャは、調整可能オプションでは動作しません。調整可能オプションの ADP7105 では、リファレンス電圧を固定し、エラーアンプ・ゲインを出力電圧の関数にする従来型のアーキテクチャを採用しています。従来型 LDO アーキテクチャの欠点は、出力電圧ノイズが出力電圧に比例することです。

調整可能オプションの LDO 回路は、固定出力 ADP7105 の出力電圧ノイズに近いレベルまで出力電圧ノイズを下げるため、外付け回路を変更することができます。図 70 に示す回路では、出力電圧設定抵抗分圧器に部品を 2 個追加しています。CNR と RNR が RFB1 に並列に追加されて、エラーアンプの AC ゲインを小さくしています。RNR は RFB2 に等しくなるように選択されます。これにより、誤差アンプの AC ゲインは約 6 dB になります。実際のゲインは、RNR と RFB1 の並列接続を RFB2 で除算した値になります。これにより、エラーアンプは常にユニティ・ゲインより高いゲインで動作できるようになります。

50 Hz ~ 100 Hz の周波数で CNR のリアクタンスが RFB1 - RNR に等しくなるように設定することにより、CNR の値を選択します。このコンデンサ値により、エラーアンプの AC ゲインが DC ゲインより 3 dB 低くなる周波数に設定されます。

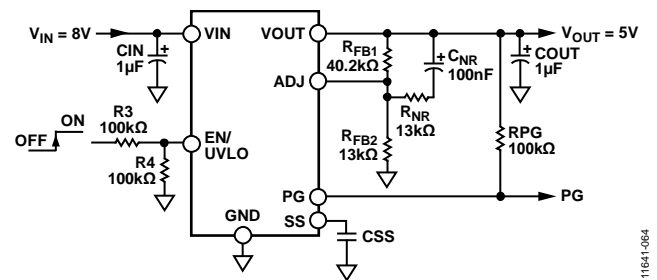


図 70.調整可能 LDO レギュレータに対するノイズ削減のための変更

固定出力 LDO のノイズを約 15 μV とすると、調整可能な LDO レギュレータのノイズは、次式から求めることができます。

$$15 \mu\text{V} \times \sqrt{1 + \left( \frac{1}{\left( \frac{1}{1/13\text{k}\Omega} + 1/40.2\text{k}\Omega \right)} / 13\text{k}\Omega \right)}$$

図 70 に示す部品値を使用した場合、ADP7105 の特性は次のようになります。

- DC ゲイン=4.09 (12.2 dB)
- 3 dB ロールオフ周波数=59 Hz
- 高周波 AC ゲイン=1.76 (4.89 dB)
- ノイズ削減係数=1.33 (2.59 dB)
- ノイズ削減なしの調整可能 ADP7105 LDO の RMS ノイズ= 27.8 μV rms
- ノイズ削減ありの調整可能 ADP7105 LDO の RMS ノイズ= 19.95 μV rms (固定電圧オプション=15 μV rms とした場合)

## 電流制限および熱過負荷保護

ADP7105 は、過電流保護回路と熱過負荷保護回路により大きな消費電力による損傷から保護されています。ADP7105 は、出力負荷が 775 mA (typ) に到達したとき、電流を制限するようにデザインされています。出力負荷が 775 mA を超えると、出力電圧を下げ、一定の電流限界値を維持します。出力電圧が低下すると、電流は約 50 mA になり LDO レギュレータ内部の発熱を小さくします。

ジャンクション温度を最大 150°C (typ) に制限する熱過負荷保護機能も内蔵しています。極限状態(周囲温度が高く、消費電力が大きい)で、ジャンクション温度が 150°C を超え始めると、出力がオフされて、出力電流がゼロになります。ジャンクション温度が 135°C を下回ると、出力が再びオンして、出力電流が動作値に戻ります。

VOUT がグラウンドへ短絡するケースを考えます。まず、ADP7105 は電流を制限するため、775 mA だけが短絡に流れません。ジャンクションの自己発熱が大きくなると温度が 150°C を超えるので、サーマル・シャットダウンが起動されて、出力がオフされ、出力電流がゼロになります。ジャンクション温度が 135°C を下回ると、出力がオンして短絡に 775 mA が流れて、再びジャンクション温度が 150°C を超えます。135°C と 150°C の間のこの熱的発振により、775 mA と 0 mA の間の電流発振が発生して、出力に短絡が残っている間この発振が続きます。

電流制限機能と過熱保護機能は、偶発的な過負荷状態に対してデバイスを保護することを目的としています。信頼度の高い動作を得るためには、外部からデバイス消費電力を制限して、ジャンクション温度が 125°C を超えないようにする必要があります。

## 熱に対する考慮事項

入力-出力間電位差が低いアプリケーションでは、ADP7105 の発熱は大きくなりませんが、周囲温度が高く、かつ入力電圧が高いアプリケーションでは、パッケージの発熱が大きくなって、チップのジャンクション温度が最大ジャンクション温度 125°C を超えるようになります。

ジャンクション温度が 150°C を超えると、レギュレータはサーマル・シャットダウンします。永久的な損傷を防止するため、ジャンクション温度が 135°C を下回るまで回復しません。したがって、すべての条件で信頼度の高い性能を保証するためには、アプリケーションの熱解析が非常に重要です。式 2 に示すように、チップのジャンクション温度は、周囲温度と電力消費によるパッケージの温度上昇の和です。

信頼度の高い動作を保証するためには、ADP7105 のジャンクション温度が 125°C を超えないようにする必要があります。ジャンクション温度をこの最大値より低く維持するためには、ジャンクション温度の変化に寄与するパラメータを知っておく必要があります。これらのパラメータとしては、周囲温度、パワー・デバイスの消費電力、ジャンクション-周囲間の熱抵抗 ( $\theta_{JA}$ ) などがあります。 $\theta_{JA}$  値は、パッケージ組み立て材料とパッケージの GND ピンを PCB へハンダ付けする際に使用する銅の量に依存します。

表 6 に、PCB の銅サイズに対する 8 ピン SOIC パッケージと 8 ピン LFCSP パッケージの  $\theta_{JA}$  値 (typ) を示します。表 7 に、8 ピン SOIC パッケージと 8 ピン LFCSP パッケージについて  $\Psi_{JB}$  値 (typ) と PCB 面積を示します。

表 6.  $\theta_{JA}$  値 (typ)

Copper Size (mm <sup>2</sup> )	$\theta_{JA}$ (°C/W)	
	LFCSP	SOIC
25 <sup>1</sup>	165.1	167.8
100	125.8	111
500	68.1	65.9
1000	56.4	56.1
6400	42.1	45.8

<sup>1</sup> デバイスは最小サイズのピン・パターンにハンダ付け。

表 7. PCB 面積による  $\Psi_{JB}$  値 (typ)

Model	$\Psi_{JB}$ (°C/W)
8-Lead LFCSP <sup>1</sup>	15.1
8-Lead SOIC	31.3

<sup>1</sup> LFCSP パッケージの  $\Psi_{JB}$  値はエクスポーズド・パッドを経由してヒートシンクとして使用される PCB 面積であり、一方表 4 の値は、JEDEC 規格によるものです。

ADP7105 のジャンクション温度は次式で計算できます。

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (2)$$

ここで、

$T_A$  は周囲温度。

$\theta_{JA}$  はジャンクション-周囲間熱抵抗。

$P_D$  はチップの消費電力で、次式で与えられます。

$$P_D = [(V_{IN} - V_{OUT}) \times I_{LOAD}] + (V_{IN} \times I_{GND}) \quad (3)$$

ここで、

$V_{IN}$  と  $V_{OUT}$  は、それぞれ入力電圧と出力電圧。

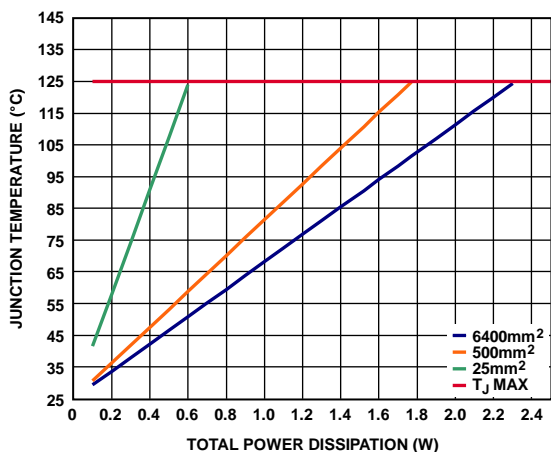
$I_{LOAD}$  は負荷電流。

$I_{GND}$  はグラウンド電流。

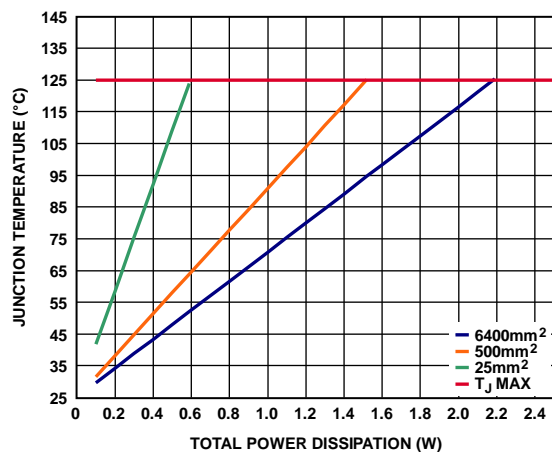
グラウンド電流による消費電力は小さいため無視できます。このため、ジャンクション温度の式は次のように簡単になります。

$$T_J = T_A + \{[(V_{IN} - V_{OUT}) \times I_{LOAD}] \times \theta_{JA}\} \quad (4)$$

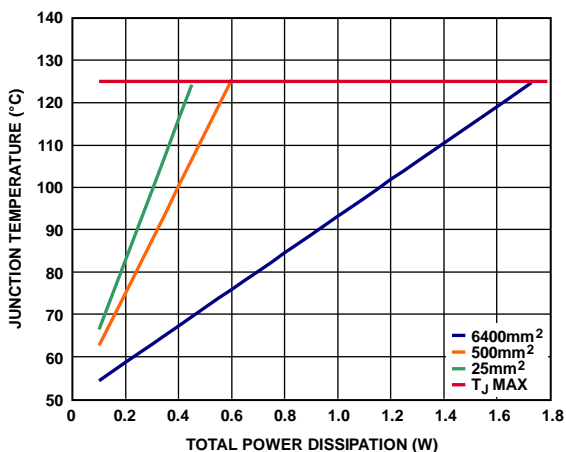
式 4 に示すように、与えられた周囲温度に対して、ジャンクション温度が 125°C を超えないようにするため、入力と出力間の電位差、連続負荷電流、最小銅サイズ条件が PCB に対して存在します。図 71~図 76 に、様々な周囲温度、消費電力、PCB 銅面積に対するジャンクション温度計算を示します。



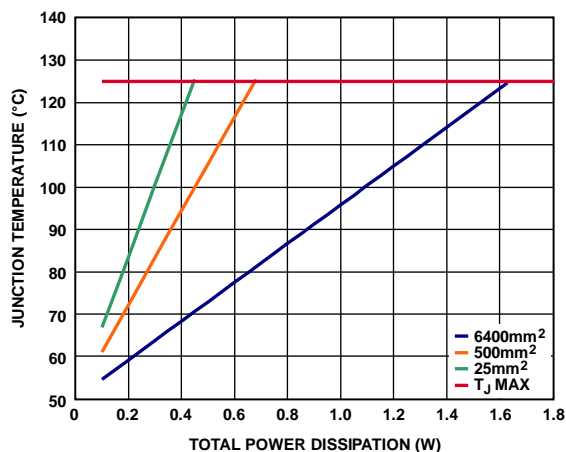
71.LFCSP、T<sub>A</sub> = 25°C



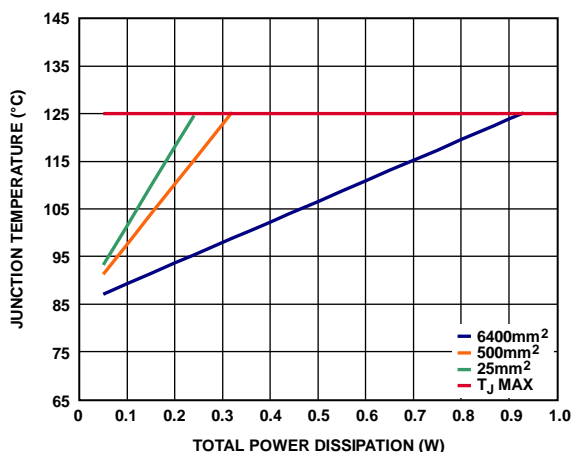
74.SOIC、T<sub>A</sub> = 25°C



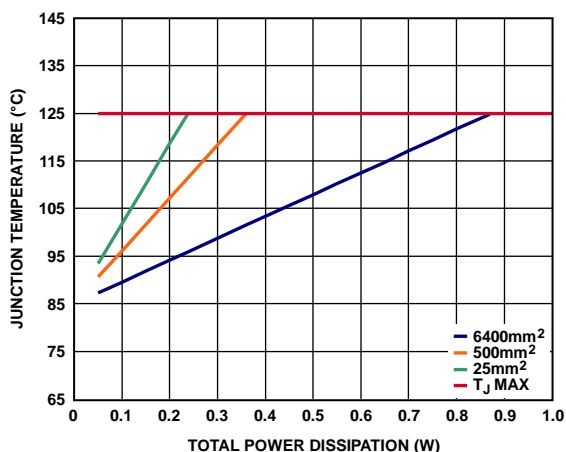
72.LFCSP、T<sub>A</sub> = 50°C



75.SOIC、T<sub>A</sub> = 50°C



73.LFCSP、T<sub>A</sub> = 85°C



76.SOIC、T<sub>A</sub> = 85°C

ボード温度が既知の場合、サーマル・キャラクタライゼーション・パラメータ  $\Psi_{JB}$  を使ってジャンクション温度上昇を計算することができます(図 77 と図 78 参照)。最大ジャンクション温度 ( $T_J$ ) は、次式を使ってボード温度 ( $T_B$ ) と消費電力 ( $P_D$ ) から計算されます。

$$T_J = T_B + (P_D \times \Psi_{JB}) \quad (5)$$

$\Psi_{JB}$  の typ 値は、8 ピン LFCSP パッケージの場合 15.1°C/W に、8 ピン SOIC パッケージの場合 31.3°C/W に、それぞれなります(表 7 参照)。

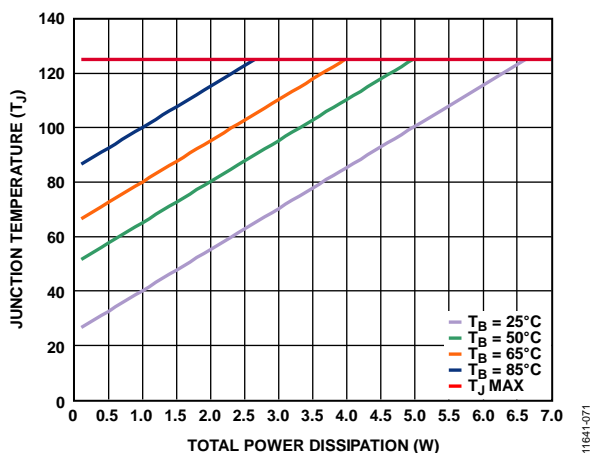


図 77.LFCSP

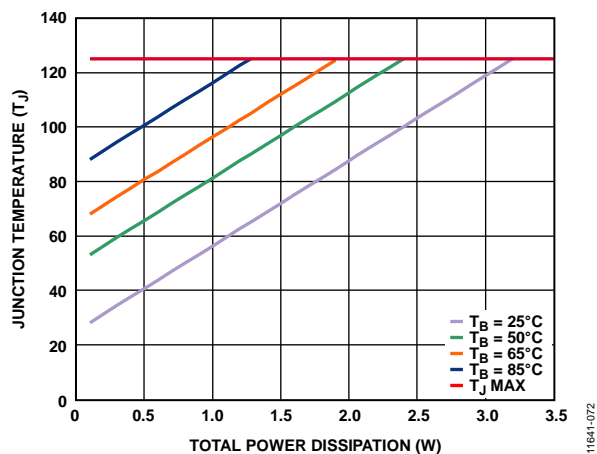


図 78.SOIC

## プリント回路ボード・レイアウトでの考慮事項

ADP7105 のピンに接触する銅の量を増やすとパッケージからの放熱を改善することができますが、表 6 に示すように、限界点に到達して、それ以上銅サイズを増やしても熱放散を大きく改善できません。

入力コンデンサは VIN ピンと GND ピンのできるだけ近くに配置します。出力コンデンサは VOUT ピンと GND ピンのできるだけ近くに配置します。0805 または 0603 サイズのコンデンサと抵抗を使うと、面積が制限されているボード上で最小のフットプリント・ソリューションが実現できます。

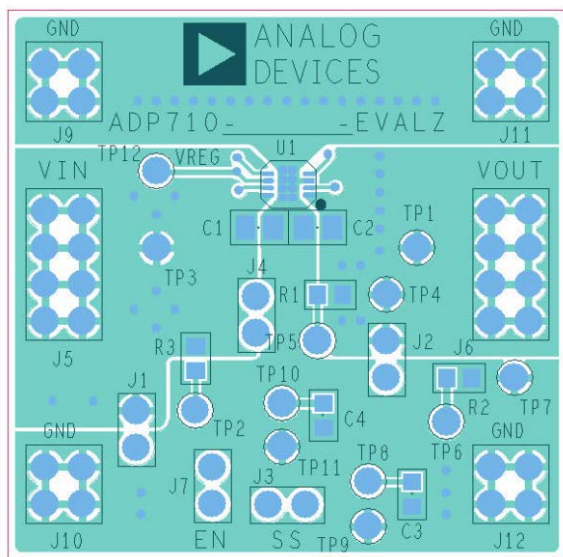


図 79. LFCSP PCB のレイアウト例

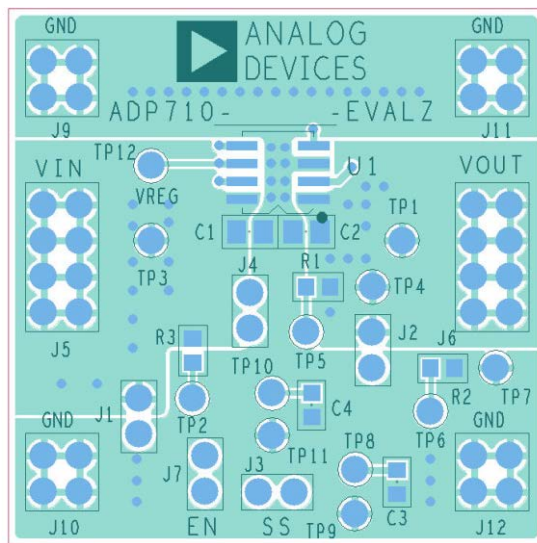


図 80. SOIC PCB のレイアウト例



外形寸法

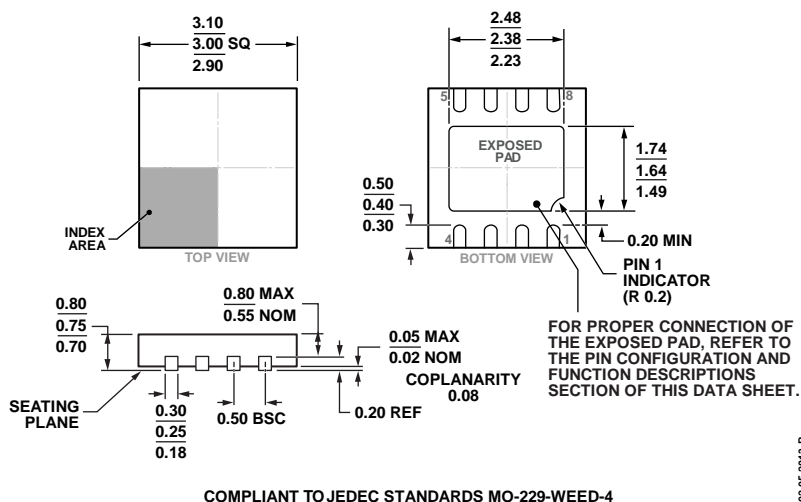


図 81.8 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP\_WD]  
3 mm × 3 mm ボディ、極薄、デュアル・リード  
(CP-8-5)  
寸法: mm

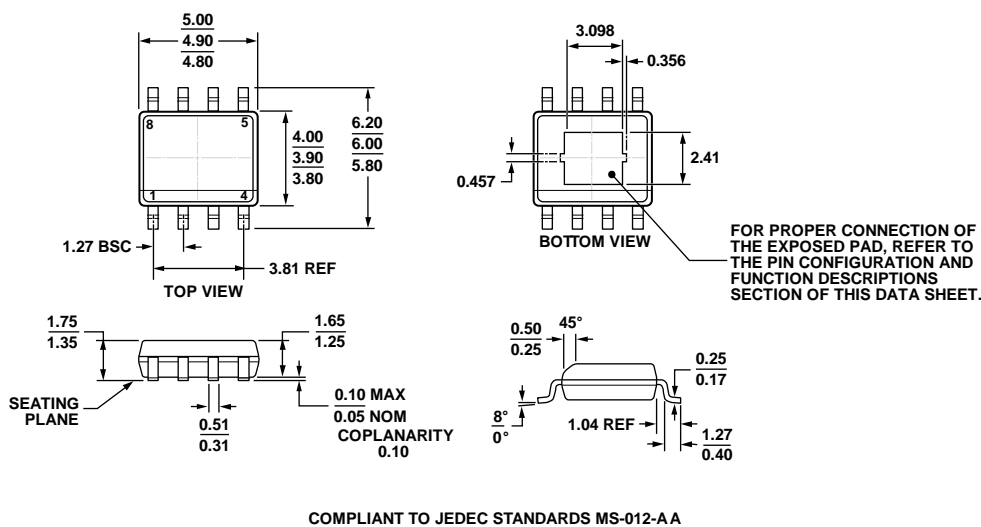


図 82.8 ピン標準スモール・アウトライン・パッケージ、エクスポーズド・パッド付き [SOIC\_N\_EP]  
ナロー・ボディ  
(RD-8-2)  
寸法: mm

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Output Voltage (V)	Package Description	Package Option	Branding
ADP7105ACPZ-1.8-R7	-40°C to +125°C	1.8	8-Lead LFCSP_WD	CP-8-5	LNS
ADP7105ACPZ-3.3-R7	-40°C to +125°C	3.3	8-Lead LFCSP_WD	CP-8-5	LNT
ADP7105ACPZ-5.0-R7	-40°C to +125°C	5	8-Lead LFCSP_WD	CP-8-5	LNU
ADP7105ACPZ-R2	-40°C to +125°C	Adjustable	8-Lead LFCSP_WD	CP-8-5	LNV
ADP7105ACPZ-R7	-40°C to +125°C	Adjustable	8-Lead LFCSP_WD	CP-8-5	LNV
ADP7105ARDZ-1.8	-40°C to +125°C	1.8	8-Lead SOIC_N_EP	RD-8-2	
ADP7105ARDZ-1.8-R7	-40°C to +125°C	1.8	8-Lead SOIC_N_EP	RD-8-2	
ADP7105ARDZ-3.3	-40°C to +125°C	3.3	8-Lead SOIC_N_EP	RD-8-2	
ADP7105ARDZ-3.3-R7	-40°C to +125°C	3.3	8-Lead SOIC_N_EP	RD-8-2	
ADP7105ARDZ-5.0	-40°C to +125°C	5	8-Lead SOIC_N_EP	RD-8-2	
ADP7105ARDZ-5.0-R7	-40°C to +125°C	5	8-Lead SOIC_N_EP	RD-8-2	
ADP7105ARDZ	-40°C to +125°C	Adjustable	8-Lead SOIC_N_EP	RD-8-2	
ADP7105ARDZ-R7	-40°C to +125°C	Adjustable	8-Lead SOIC_N_EP	RD-8-2	

<sup>1</sup> Z = RoHS 準拠製品。