



デュアル降圧レギュレータと負荷スイッチ内蔵の 3チャンネル統合超低消費電力ソリューション

データシート

ADP5310

特長

広い入力電圧範囲: 2.7 V~15.0 V

EN1 = SYNC/MODE = ロー・レベル時の静止電流: 700 nA

PWM モード時の全温度範囲での出力精度: $\pm 1.5\%$

オプションの同期入力 400 kHz~1.4 MHz でのスイッチング周波数: 600 kHz (または 1.2 MHz)

チャンネル 1: 800 mA 降圧レギュレータ

出荷時ヒューズ溶断により自動 PSM/PWM または強制 PWM モードを選択可能

100% デューティ・サイクルの動作モード

出荷時ヒューズ溶断により調整可能/固定出力オプションを選択可能

パワーグッド・フラグを装備

チャンネル 2: 超低消費電力降圧レギュレータ

ヒステリシスまたは PWM 動作モードが選択可能

ヒステリシス・モードで最大 50 mA の出力電流; PWM モードで 100% デューティ・サイクル動作モード時最大 300 mA の出力電流

PWM モードで低ノイズの 0.8 V リファレンス電圧

出荷時ヒューズ溶断により調整可能/固定出力電圧オプションを選択可能

チャンネル 3: ハイサイド負荷スイッチ

$V_{OUT3} = 2.5 V$ で 494 m Ω の低い $R_{DS(ON)}$

クイック出力放電(QOD)オプション

UVLO、OCP、TSD 保護機能

16 ピン TSSOP_EP パッケージを採用

動作ジャンクション温度: $-40^{\circ}C \sim +125^{\circ}C$

アプリケーション

エネルギー (ガスおよび水) の計測

ポータブル型およびバッテリー駆動の機器

医用アプリケーション

キープアライブ電源

概要

ADP5310 は 2 個の降圧レギュレータと 1 個の負荷スイッチの組み合わせを 16 ピン TSSOP_EP パッケージに内蔵し、厳しい性能条件とボード・スペース条件を満たします。このデバイスは 2.7 V~15.0 V の広い入力電圧範囲に直接接続できるため、複数のアルカリ/NiMH 電池またはリチウム電池やその他の電源を使用することができます。

チャンネル 1 の降圧レギュレータでは、電流モードの固定周波数パルス幅変調 (PWM) 制御方式を採用して、優れた安定性と過渡性能を実現し、最大 800 mA の出力電流を提供します。自動 PWM/パルス・スキッピング・モード (PSM) 制御方式は、軽い出力電流で優れた効率を実現します。パワーグッド信号は、チャンネル 1 出力が公称値の 92% 以内であることを表示します。

チャンネル 2 には、超低消費電力の降圧レギュレータが内蔵されており、動作モードを制御する SYNC/MODE ピンが付いています。SYNC/MODE をロー・レベルにすると、降圧レギュレータは

代表的なアプリケーション回路

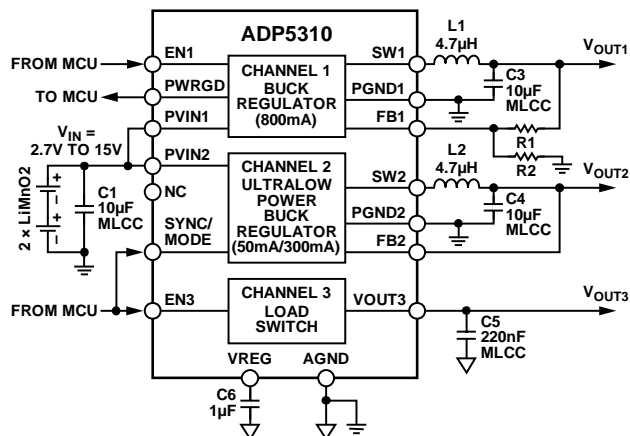


図 1.

ヒステリシス・モードで動作し、僅か 700 nA の静止電流でゼロ負荷時の出力をレギュレーションし、最大 50 mA の出力電流を提供します。ヒステリシス・モードは、1 mW 以下での優れた効率の実現に役立ち、バッテリー駆動のシステムでキープアライブ電源として動作することができます。SYNC/MODE ピンをハイ・レベルにすると、降圧レギュレータは従来型の固定周波数 PWM 制御方式に切り替わり、ノイズに敏感なアプリケーション向けにリップルの小さい出力を提供し、さらにこの降圧レギュレータは PWM モードで最大 300 mA の出力電流を提供します。

チャンネル 3 は、入力をチャンネル 2 出力へ接続し、1.65 V~5.5 V で動作するハイサイド負荷スイッチを内蔵しています。この負荷スイッチは電源ドメイン・アイソレーション機能を提供し、バッテリー動作寿命を延ばします。

ADP5310 のその他の安全機能としては、過電流保護 (OCP)機能、サーマル・シャットダウン (TSD)機能、入力低電圧入力保護 (UVLO)機能などがあります。ADP5310 の仕様は、 $-40^{\circ}C \sim +125^{\circ}C$ のジャンクション温度範囲で規定されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2015 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	ソフトスタート.....	19
アプリケーション.....	1	プリチャージ出力での起動.....	19
代表的なアプリケーション回路.....	1	100% デューティ動作.....	19
概要.....	1	アクティブ放電.....	20
改訂履歴.....	2	パワーグッド機能.....	20
詳細機能ブロック図.....	3	負荷スイッチ.....	20
仕様.....	4	サーマル・シャットダウン.....	20
降圧レギュレータと負荷スイッチの仕様.....	5	アプリケーション情報.....	21
絶対最大定格.....	7	外付け部品の選択.....	21
熱抵抗.....	7	インダクタの選択.....	21
ESD の注意.....	7	出力コンデンサ.....	21
ピン配置およびピン機能説明.....	8	入力コンデンサ.....	21
代表的な性能特性.....	9	調整可能な出力電圧の設定.....	22
動作原理.....	18	効率.....	22
降圧レギュレータ動作モード.....	18	降圧レギュレータの推奨外付け部品.....	22
調整可能出力電圧と固定出力電圧.....	19	コンデンサの選択.....	24
低電圧入力保護機能(UVLO).....	19	回路ボード・レイアウトの推奨事項.....	25
イネーブル機能とシャットダウン機能.....	19	代表的なアプリケーション回路.....	26
内蔵リニア・レギュレータ (VREG).....	19	出荷時設定オプション.....	27
発振器と同期.....	19	外形寸法.....	29
電流制限.....	19	オーダー・ガイド.....	29
短絡保護機能.....	19		

改訂履歴

4/15—Revision 0: Initial Version

詳細機能ブロック図

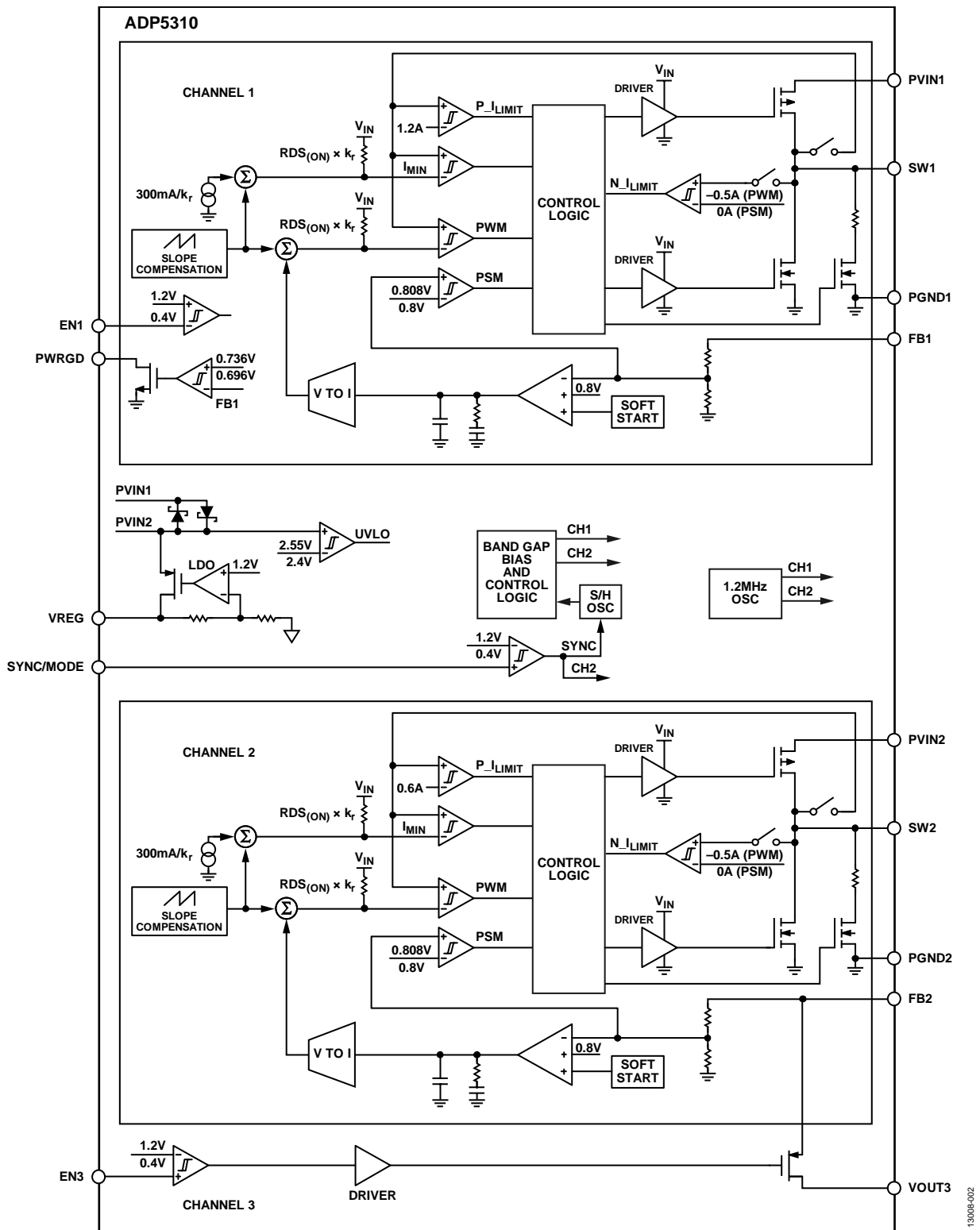


図 2.

13008-002

仕様

特に指定がない限り、 $V_{IN} = 6\text{ V}$ 、 $V_{REG} = 3.9\text{ V}$ 、最小/最大仕様は $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ で、typ 仕様は $T_A = 25^\circ\text{C}$ で、それぞれ規定されています。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
INPUT SUPPLY VOLTAGE RANGE	V_{IN}	2.7		15.0	V	PVIN1 and PVIN2 pins
QUIESCENT CURRENT						PVIN1 and PVIN2 pins
Operating Quiescent Current	I_{Q1}		700	1850	nA	$-40^\circ\text{C} \leq T_J \leq +85^\circ\text{C}$, EN1 = SYNC/MODE = low
Standby Operation			700	3800	nA	
PWM Operation	I_{Q3}		1.4	1.65	mA	EN1 = SYNC/MODE = high
UNDERVOLTAGE LOCKOUT	UVLO					PVIN2 pin
UVLO Threshold						
Rising	V_{UVLO_RISING}		2.55	2.75	V	
Falling	$V_{UVLO_FALLING}$	2.15	2.40		V	
Hysteresis	V_{HYS}		150		mV	
OSCILLATOR CIRCUIT						For Channel 1 and Channel 2, PWM mode
Switching Frequency	f_{SW}	1050	1200	1350	kHz	
Feedback (FB) Threshold of Frequency Fold		V_{OSC_FOLD}	525	600	675	
Feedback (FB) Threshold of Frequency Fold			0.3		V	
SYNCHRONIZATION THRESHOLD						
SYNC Clock Range	$SYNC_{CLOCK}$	400		800	kHz	$f_{sw} = 600\text{ kHz}$
SYNC High Level Threshold	$SYNC_{CLOCK}$	800		1400	kHz	$f_{sw} = 1.2\text{ MHz}$
SYNC Low Level Threshold	$SYNC_{HIGH}$	1.2			V	
SYNC Pulse On Time Range	$SYNC_{LOW}$			0.4	V	
SYNC Pulse On Time Range	$SYNC_{ON}$	80		$1/f_{sw} - 150$	ns	
EN1 and EN3						
Input High Level Threshold	V_{IH}	1.2			V	
Input Low Level Threshold	V_{IL}			0.4	V	
Input Leakage Current	$I_{LEAKAGE}$			300	nA	
INTERNAL POWER GOOD						
Internal Power-Good Threshold	$V_{PWRGD(RISE)}$	88	92	96	%	
Internal Power-Good Hysteresis	$V_{PWRGD(HYS)}$		5		%	
Internal Power-Good Rising Delay	t_{PWRGD_RISE}		16		Clock cycles	
Internal Power-Good Falling Delay	t_{PWRGD_FALL}		1		μs	
Leakage Current for PWRGD Pin	$I_{PWRGD_LEAKAGE}$		10	40	nA	
Output Low Voltage for PWRGD Pin	V_{PWRGD_LOW}		50	100	mV	$I_{PWRGD} = 100\text{ }\mu\text{A}$
INTERNAL REGULATOR						
VREG Output Voltage	V_{REG}	3.6	3.9	4.2	V	
THERMAL SHUTDOWN						
Threshold	T_{SHDN}		135		$^\circ\text{C}$	
Hysteresis	T_{HYS}		15		$^\circ\text{C}$	

降圧レギュレータと負荷スイッチの仕様

特に指定がない限り、 $V_{IN} = 6\text{ V}$ 、 $V_{REG} = 3.9\text{ V}$ 、最小/最大仕様は $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ で、typ 仕様は $T_A = 25^\circ\text{C}$ で、それぞれ規定されています。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
CHANNEL 1 SYNC BUCK REGULATOR						
Supply Voltage Range	V_{IN1}	2.7		15.0	V	PVIN1 pin
Rating Output Current	I_{OUT}		800		mA	
FB1 Pin in PWM Mode						
Fixed Output Options	V_{OUT1_FIX}	1.2		5.0	V	Factory trim, 3 bits (adjustable, 1.2 V, 1.5 V, 1.8 V, 2.5 V, 2.85 V, 3.3 V, 5.0 V)
Fixed Output Accuracy	V_{FB1_FIX}	-1.5		+1.5	%	
Adjustable Output Voltage Range	V_{OUT1_ADJ}	0.8		PVIN1	V	Adjustable voltage option
Adjustable Feedback Voltage	V_{FB1}		0.800		V	Adjustable voltage option
Adjustable Feedback Voltage Accuracy	V_{FB1_ADJ}	-0.55		+0.55	%	$T_J = 25^\circ\text{C}$
		-1.2		+1.0	%	$0^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$
		-1.5		+1.5	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
FB1 Pin in PSM Mode						
Threshold Accuracy from Active Mode to Skip Mode	V_{FB1_PSM}	-1.5		+1.5	%	
Hysteresis of Threshold Accuracy from Active Mode to Skip Mode	$V_{FB1_PSM(PSM)}$		1		%	
Feedback Bias Current	I_{FB1}			0.1	μA	Adjustable voltage option
SW1 Pin						
High-Side Power FET On Resistance	$R_{DS(ON)1H}$		472	690	m Ω	Pin to pin measurement
Low-Side Power FET On Resistance	$R_{DS(ON)1L}$		438	725	m Ω	Pin to pin measurement
Current-Limit Threshold	$I_{TH(ILIM1)}$	1000	1260	1450	mA	
Minimum On Time	t_{MIN_ON1}		38	70	ns	
Soft Start Time	t_{SS1}		350		μs	Factory trim, 1 bit (350 μs , 2800 μs)
C_{OUT} Discharge Switch On Resistance	R_{DIS1}		287		Ω	
CHANNEL 2 SYNC BUCK REGULATOR						
Supply Voltage Range	V_{IN2}	2.7		15.0	V	PVIN2 pin
Rating Output Current						
Hysteresis Mode	I_{OUT_HYS}		50		mA	
PWM Mode	I_{OUT_PWM}		300		mA	
Mode Transition						
Transition Delay from Hysteresis Mode to PWM Mode	$T_{HYS_TO_PWM}$		8		Clock cycles	SYNC/MODE goes logic high from logic low
FB2 Pin in PWM Mode						
Fixed Output Options	V_{OUT2_FIX}	1.2		5.0	V	Factory trim, 8 bits (adjustable, 1.2 V to 3.6 V in 50 mV steps, and 3.6 V to 5.0 V in 100 mV steps)
Fixed Output Accuracy	V_{FB2_FIX}	-1.5		+1.5	%	
Adjustable Output Voltage Range	V_{OUT2_ADJ}	0.8		PVIN2	V	Adjustable voltage option (note that Channel 3 has no use in this setting)
Adjustable Feedback Voltage	V_{FB2}		0.800		V	Adjustable voltage option
Adjustable Feedback Voltage Accuracy	V_{FB2_ADJ}	-0.55		+0.55	%	$T_J = 25^\circ\text{C}$
		-1.2		+1.0	%	$0^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$
		-1.5		+1.5	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
Feedback Bias Current	I_{FB2_ADJ}		15	200	nA	Adjustable voltage option
Feedback Resistor to GND	I_{FB2_FIX}		57		M Ω	Fixed voltage option
FB2 Pin in Hysteresis Mode						
Threshold Accuracy from Active Mode to Standby Mode	V_{FB2_HYS}	-1.5		+1.5	%	
Hysteresis of Threshold Accuracy from Active Mode to Standby Mode	$V_{FB2_HYS(HYS)}$		1		%	
SW2 Pin						
High-Side Power FET	$R_{DS(ON)2H}$		868	1250	m Ω	Pin to pin measurement

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
On Resistance						
Low-Side Power FET On Resistance	$R_{DS(ON)2L}$		893	1360	m Ω	Pin to pin measurement
Current-Limit Threshold in PWM Mode	$I_{TH(ILIM2)}$	450	600	730	mA	SYNC/MODE = high
Peak Inductor Current in Hysteresis Mode	I_{L2}		300		mA	SYNC/MODE = low
Minimum On Time	t_{MIN_ON2}		36	70	ns	
Soft Start Time	t_{SS2}		350		μ s	Factory trim, 1 bit (350 μ s, 2800 μ s)
C_{OUT} Discharge Switch On Resistance	R_{DIS2}		282		Ω	
CHANNEL 3 LOAD SWITCH						
Supply Voltage Range	V_{IN3}	1.65		5.5	V	FB2 pin
FB2 to VOUT3 On Resistance	$R_{DS(ON)3}$		382	550	m Ω	$V_{OUT3} = 5.0$ V, $I_{LOAD3} = 50$ mA
			430	615	m Ω	$V_{OUT3} = 3.3$ V, $I_{LOAD3} = 50$ mA
			494	700	m Ω	$V_{OUT3} = 2.5$ V, $I_{LOAD3} = 50$ mA
VOUT3 TIME						
Turn On Rise Time	t_{RISE3}		12	16	μ s	$V_{OUT3} = 2.5$ V, $C_{LOAD3} = 1$ μ F, factory trim, 2 bits (3 μ s, 12 μ s, 48 μ s, 192 μ s)
C_{OUT} Discharge Switch On Resistance	R_{DIS3}		286		Ω	

絶対最大定格

表 3.

Parameter	Rating
PVIN1, PVIN2 to PGNDx	-0.3 V to +17 V
SW1, SW2 to PGNDx	-0.3 V to PVIN + 0.3 V
VREG to PGNDx	-0.3 V to +6 V
EN1, EN3, SYNC/MODE, PWRGD to AGND	-0.3 V to +17 V
FB1, FB2 to AGND	-0.3 V to +6 V
VOOUT3 to PGNDx	-0.3 V to +6 V
PGND1, PGND2 to AGND	-0.3 V to +0.3 V
Storage Temperature Range	-65°C to +150°C
Operational Junction Temperature Range	-40°C to +125°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上の製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
16-Lead TSSOP_EP	39.14	2.59	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

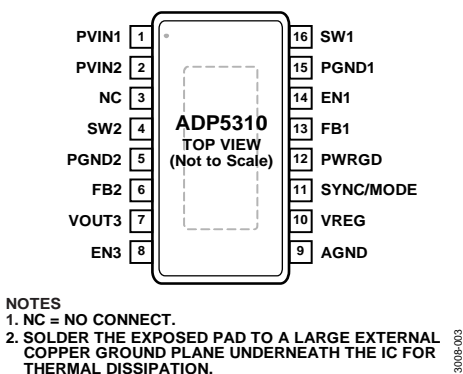


図 3. ピン配置

表 5. ピンの機能説明

ピン番号	記号	説明
1	PVIN1	チャンネル 1 の電源入力。このピンは PVIN2 へ接続する必要があります。
2	PVIN2	チャンネル 2 と内蔵リニア・レギュレータの電源入力。
3	NC	未接続。このピンは内部で接続されていません。このピンは、フローティングのままにしてください。
4	SW2	チャンネル 2 のスイッチ・ノード出力。
5	PGND2	チャンネル 2 の電源グラウンド。
6	FB2	チャンネル 2 の帰還検出入力。
7	VOUT3	チャンネル 3 の電源出力。
8	EN3	チャンネル 3 のイネーブル入力。
9	AGND	アナログ・グラウンド。
10	VREG	内蔵リニア・レギュレータの出力。このピンとグラウンドの間に 1.0 μF のセラミック・コンデンサを接続してください。
11	SYNC/MODE	同期入力ピン (SYNC)。デバイスのスイッチング周波数を外部クロックに同期させるとき、このピンを周波数 400 kHz~1.4 MHz の外部クロックへ接続します。 チャンネル 2 の PWM またはヒステリシス・モード選択ピン (MODE)。このピンをハイ・レベルにすると、レギュレータは PWM モードで動作します。このピンをロー・レベルにすると、レギュレータはヒステリシス・モードで動作します。
12	PWRGD	パワーグッド信号出力。このオープン・ドレイン出力は、チャンネル 1 のパワーグッド信号です。
13	FB1	チャンネル 1 の帰還検出入力。
14	EN1	チャンネル 1 のイネーブル入力。
15	PGND1	チャンネル 1 の電源グラウンド。
16	SW1	チャンネル 1 のスイッチ・ノード出力。
	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは、放熱のため IC の下の大きな外部銅グラウンド・プレーンにハンダ付けしてください。

代表的な性能特性

特に指定がない限り、 $V_{IN} = 6\text{ V}$ 、 $V_{OUT1} = 4\text{ V}$ 、 $V_{OUT2} = 3\text{ V}$ 、 $L1 = 4.7\ \mu\text{H}$ 、 $L2 = 6.8\ \mu\text{H}$ 、 $C_{IN} = C_{OUT} = 10\ \mu\text{F}$ 、 $f_{sw} = 1.2\ \text{MHz}$ 、 $T_A = 25^\circ\text{C}$ 。

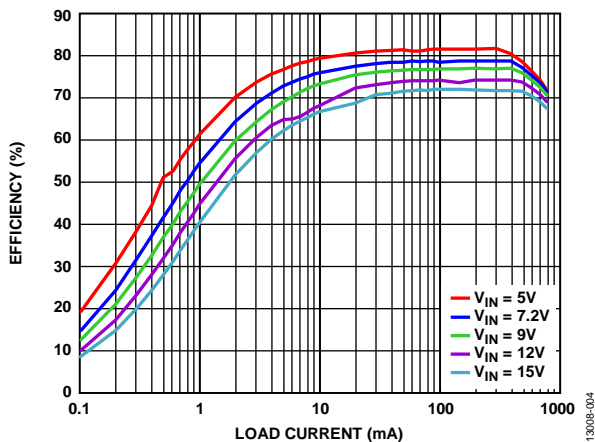


図 4. チャンネル 1 の負荷電流対自動 PSM/PWM 効率
 $V_{OUT1} = 1.2\text{ V}$

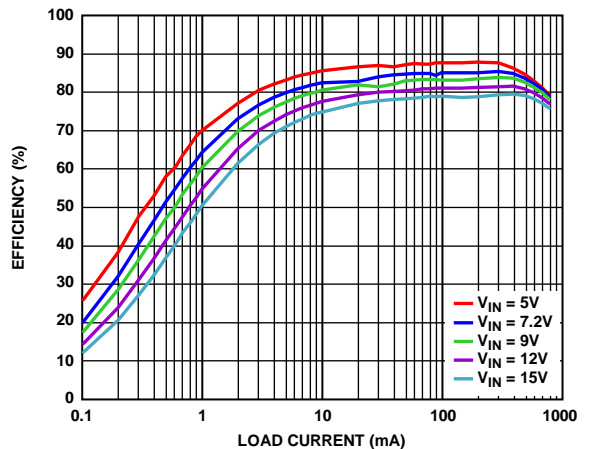


図 7. チャンネル 1 の負荷電流対自動 PSM/PWM 効率
 $V_{OUT1} = 1.8\text{ V}$

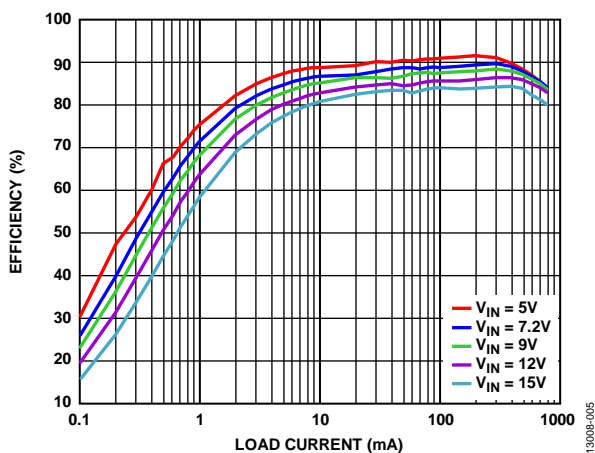


図 5. チャンネル 1 の負荷電流対自動 PSM/PWM 効率
 $V_{OUT1} = 2.5\text{ V}$

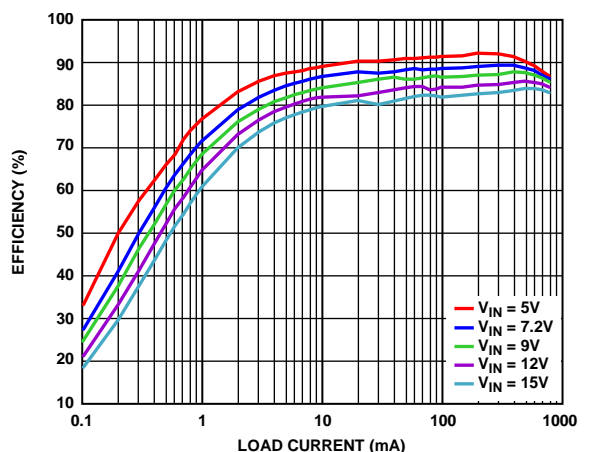


図 8. チャンネル 1 の負荷電流対自動 PSM/PWM 効率
 $V_{OUT1} = 3.3\text{ V}$

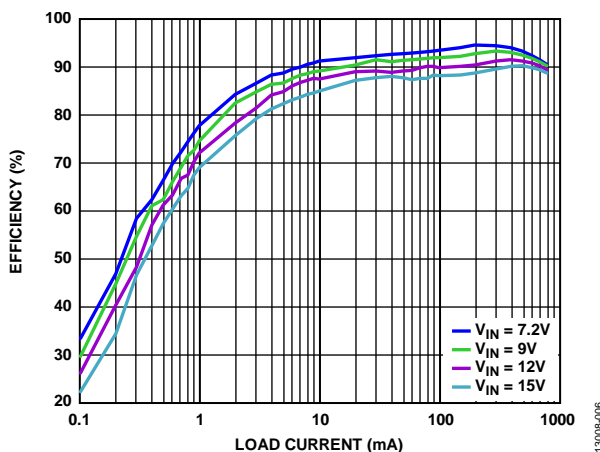


図 6. チャンネル 1 の負荷電流対自動 PSM/PWM 効率
 $V_{OUT1} = 5\text{ V}$

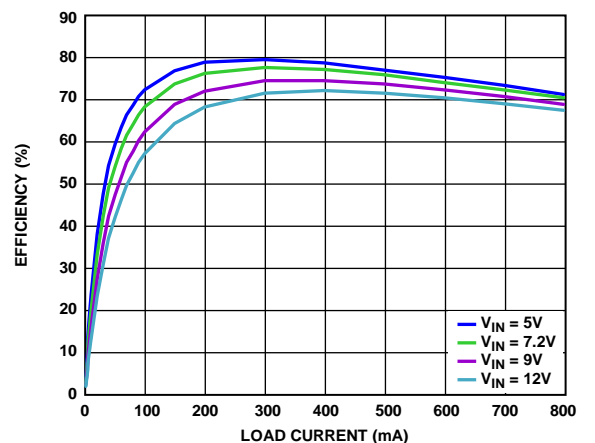


図 9. チャンネル 1 の負荷電流対 PWM 効率
 $V_{OUT1} = 1.2\text{ V}$

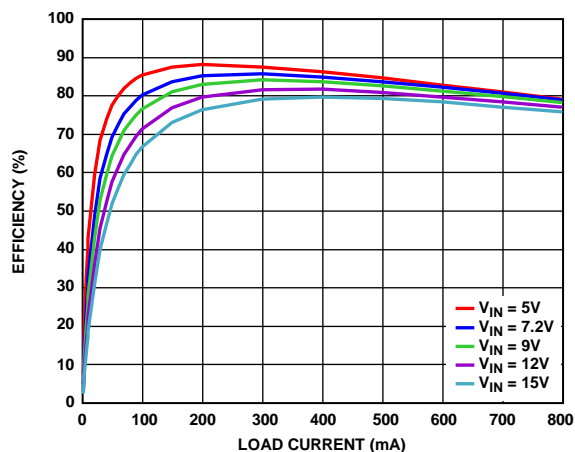


図 10. チャンネル 1 の負荷電流対 PWM 効率
 $V_{OUT1} = 1.8\text{ V}$

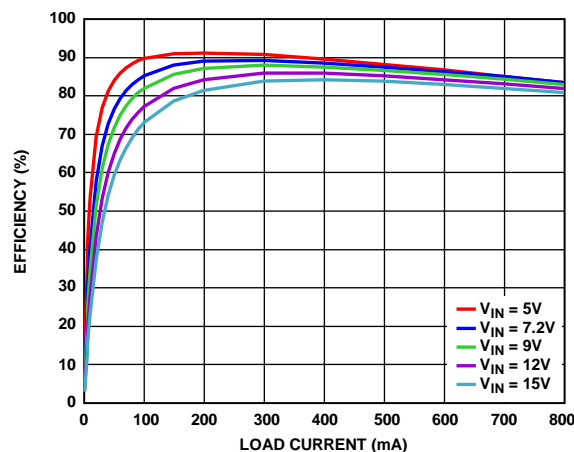


図 13. チャンネル 1 の負荷電流対 PWM 効率
 $V_{OUT1} = 2.5\text{ V}$

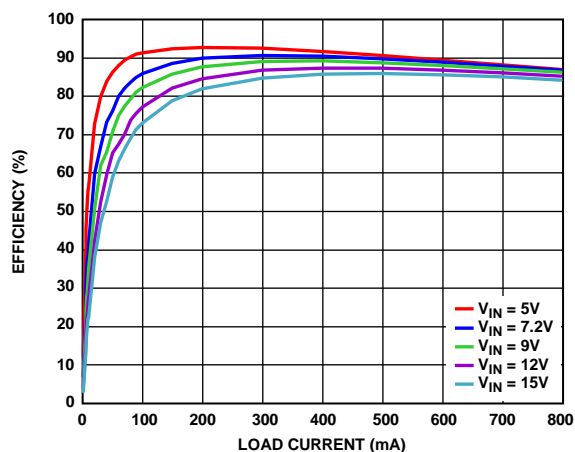


図 11. チャンネル 1 の負荷電流対 PWM 効率
 $V_{OUT1} = 3.3\text{ V}$

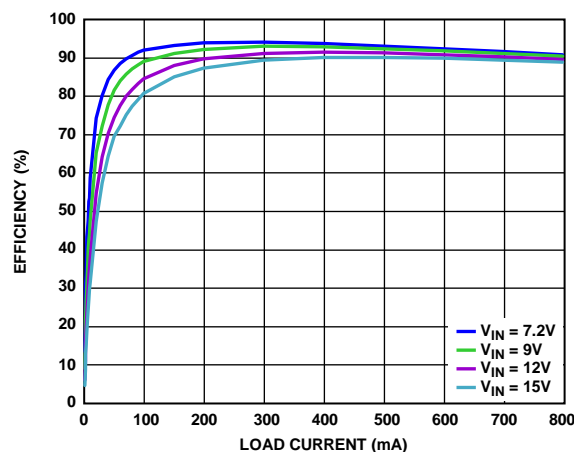


図 14. チャンネル 1 の負荷電流対 PWM 効率
 $V_{OUT1} = 5\text{ V}$

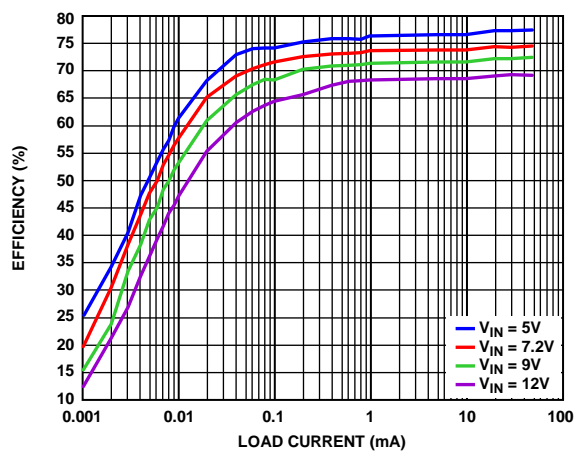


図 12. チャンネル 2 の負荷電流対ヒステリシス効率
 $V_{OUT2} = 1.2\text{ V}$

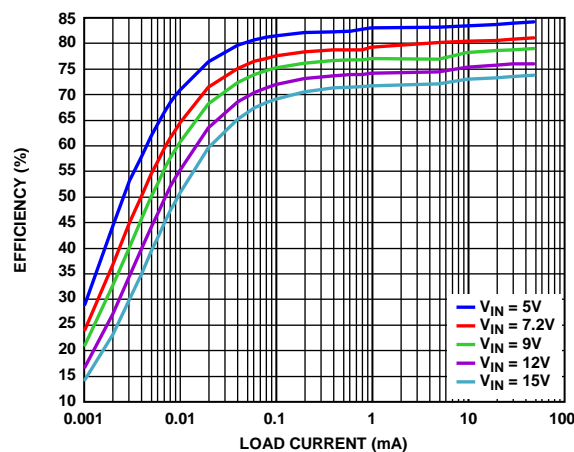


図 15. チャンネル 2 の負荷電流対ヒステリシス効率
 $V_{OUT2} = 1.8\text{ V}$

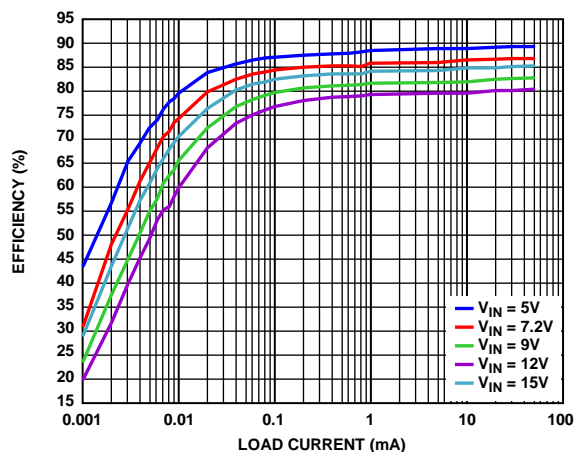


図 16. チャンネル 2 の負荷電流対ヒステリシス効率
 $V_{OUT2} = 2.5\text{ V}$

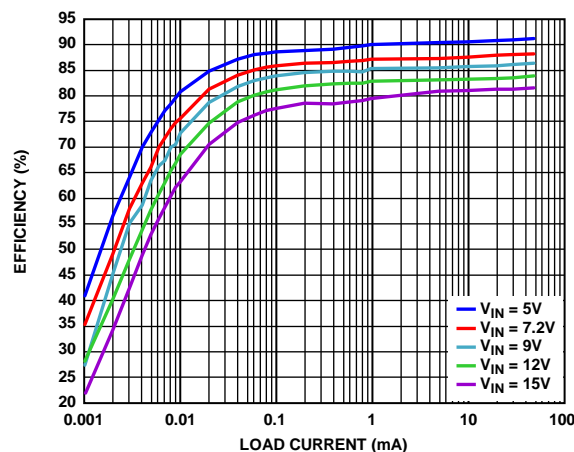


図 19. チャンネル 2 の負荷電流対ヒステリシス効率
 $V_{OUT2} = 3.3\text{ V}$

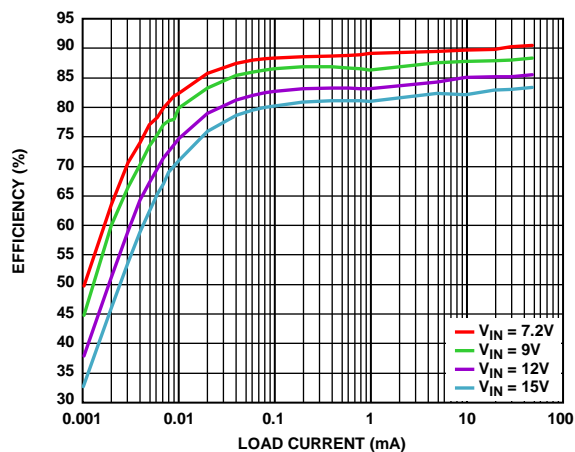


図 17. チャンネル 2 の負荷電流対ヒステリシス効率
 $V_{OUT2} = 5\text{ V}$

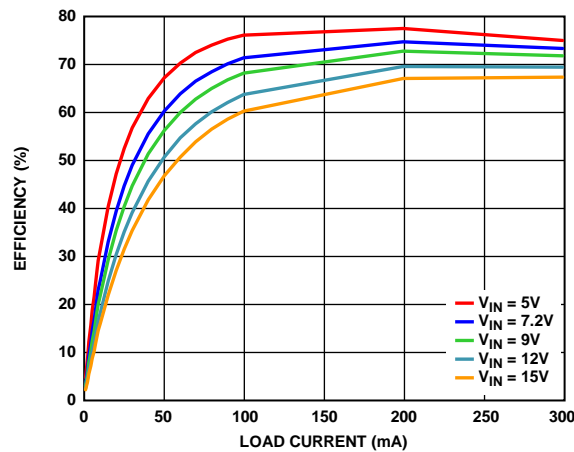


図 20. チャンネル 2 の負荷電流対 PWM 効率
 $V_{OUT2} = 1.2\text{ V}$

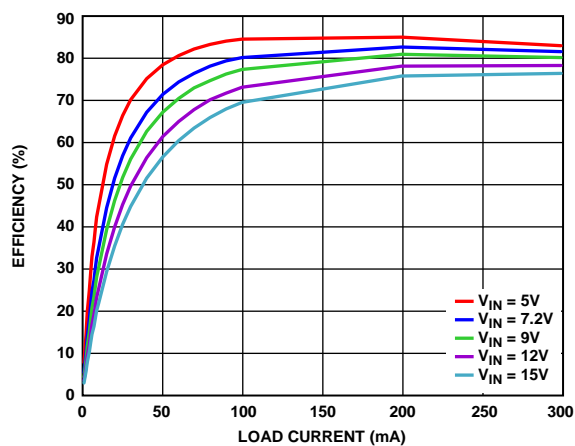


図 18. チャンネル 2 の負荷電流対 PWM 効率
 $V_{OUT2} = 1.8\text{ V}$

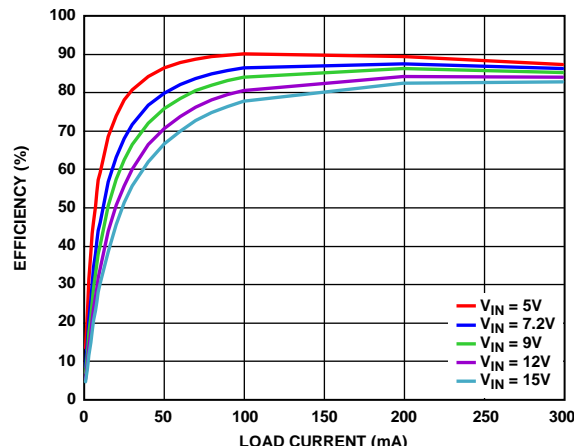


図 21. チャンネル 2 の負荷電流対 PWM 効率
 $V_{OUT2} = 2.5\text{ V}$

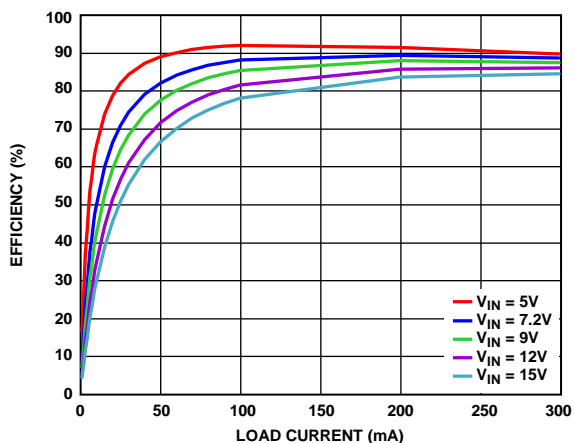


図 22. チャンネル 2 の負荷電流対 PWM 効率
V_{OUT2} = 3.3 V

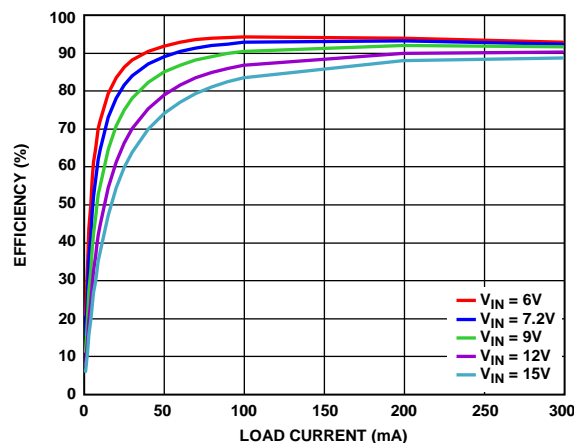


図 25. チャンネル 2 の負荷電流対 PWM 効率
V_{OUT2} = 5 V

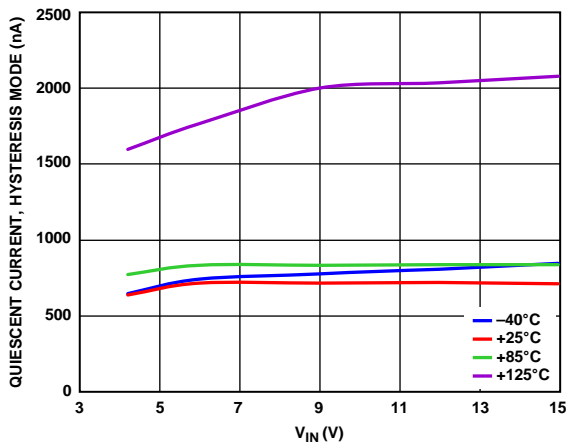


図 23. V_{IN} 対 静止電流、ヒステリシス・モード
EN1 = SYNC/MODE = ロー・レベル

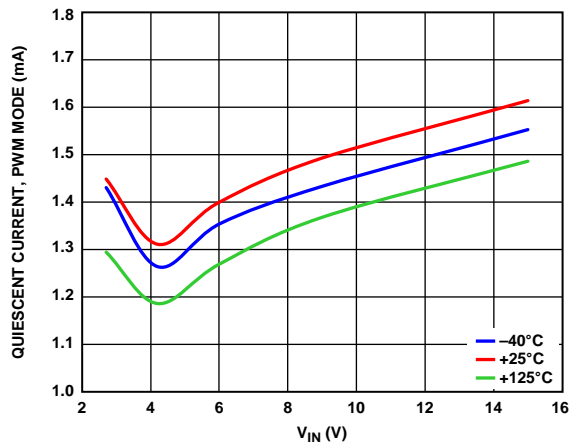


図 26. 静止電流、PWM モード
EN1 = SYNC/MODE = ハイ・レベル

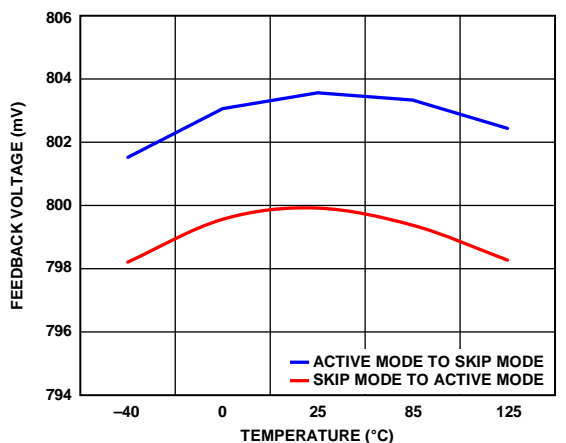


図 24. チャンネル 1 の PSM モード帰還電圧の温度特性

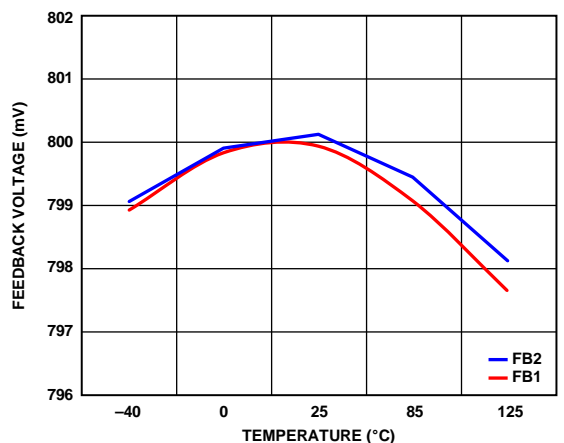


図 27. チャンネル 2 の PWM モード帰還電圧の温度特性

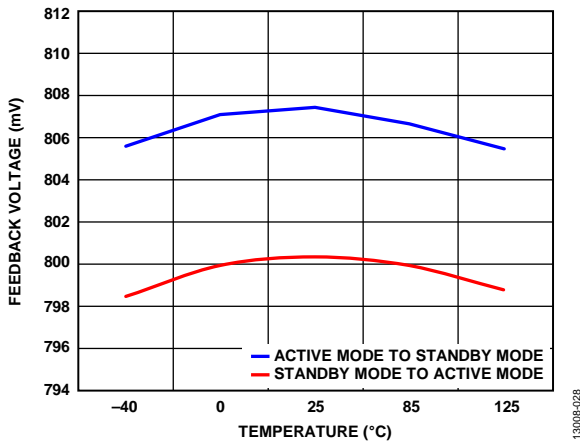


図 28. チャンネル 2 のヒステリシス・モード帰還電圧の温度特性

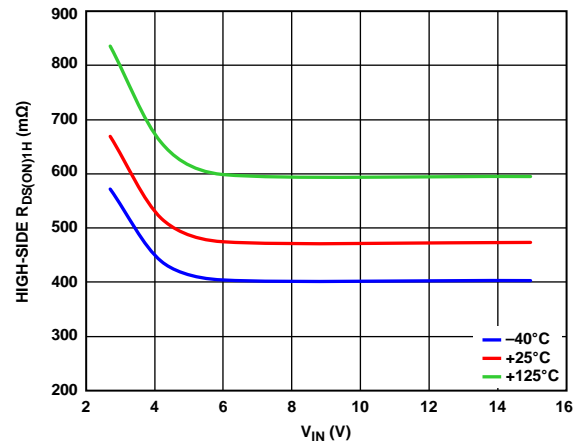


図 31. V_{IN} 対チャンネル 1 のハイサイド $R_{DS(ON)1H}$

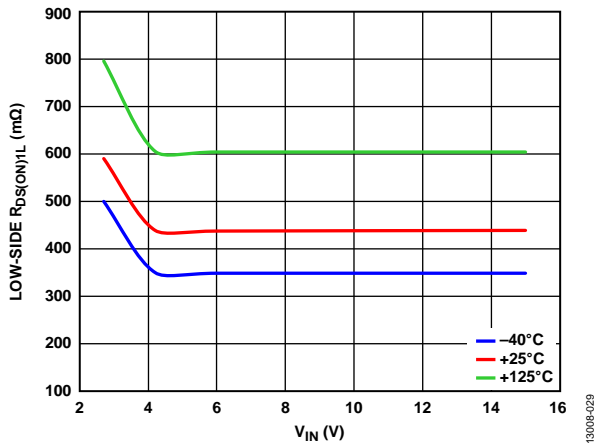


図 29. V_{IN} 対チャンネル 1 のローサイド $R_{DS(ON)1L}$

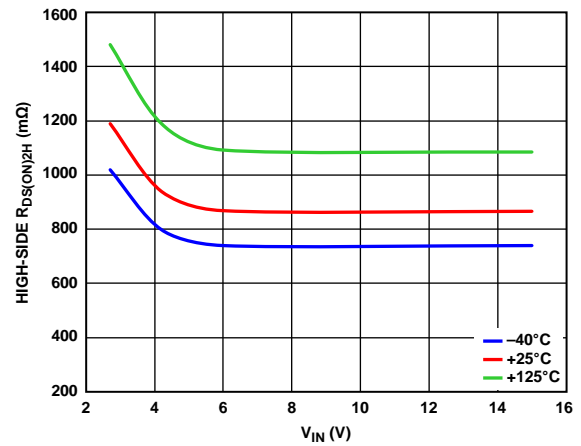


図 32. V_{IN} 対チャンネル 2 のハイサイド $R_{DS(ON)2H}$

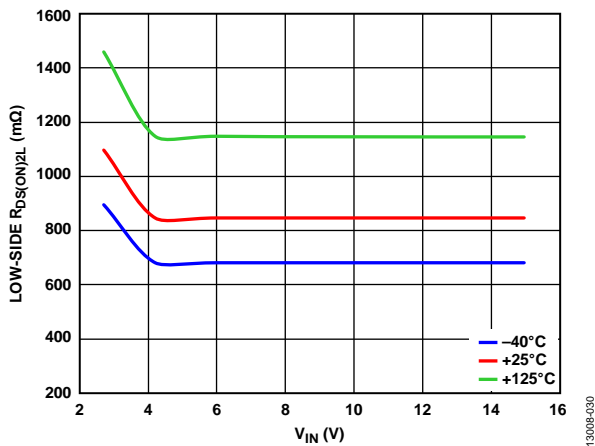


図 30. V_{IN} 対チャンネル 2 のローサイド $R_{DS(ON)2L}$

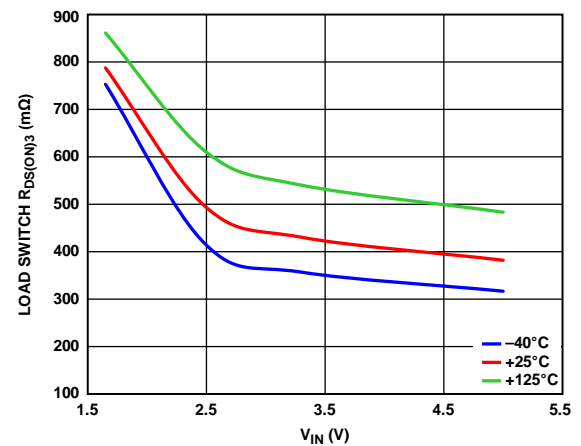


図 33. V_{IN} 対チャンネル 3 の負荷スイッチ $R_{DS(ON)3}$

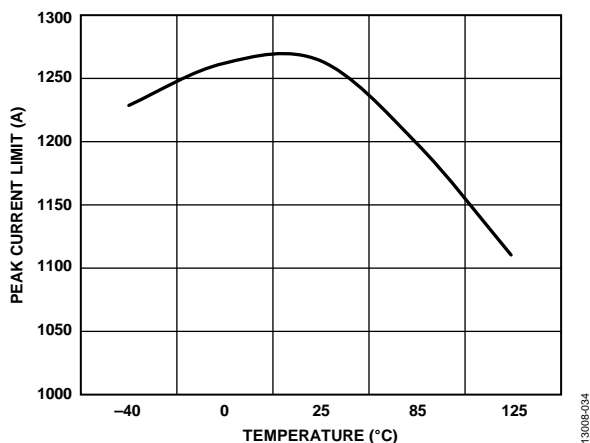


図 34. チャンネル 1 のピーク電流制限値の温度特性

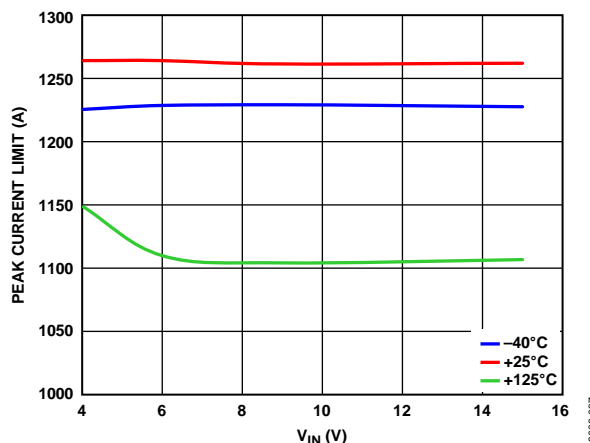


図 37. VIN 対チャンネル 1 のピーク電流制限値

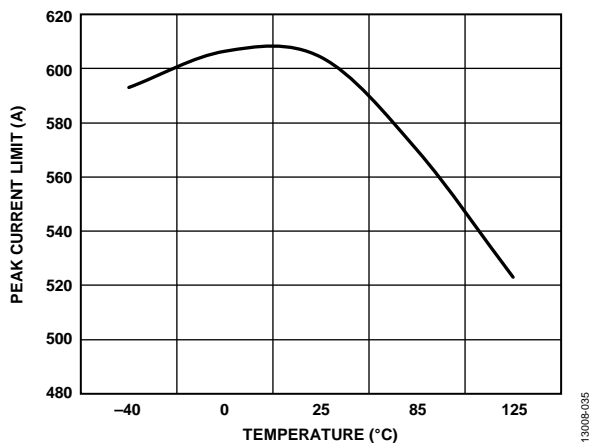


図 35. チャンネル 2 のピーク電流制限値の温度特性

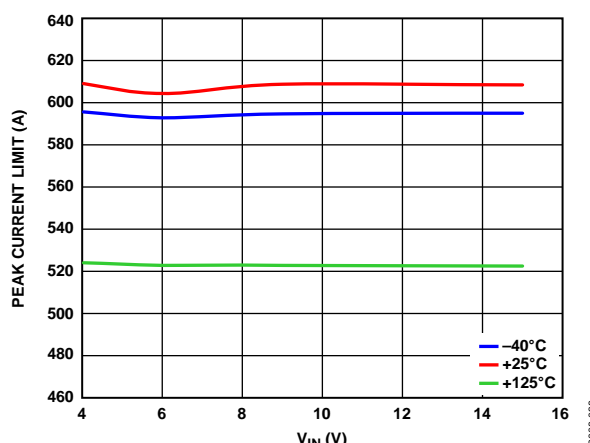


図 38. VIN 対チャンネル 2 のピーク電流制限値

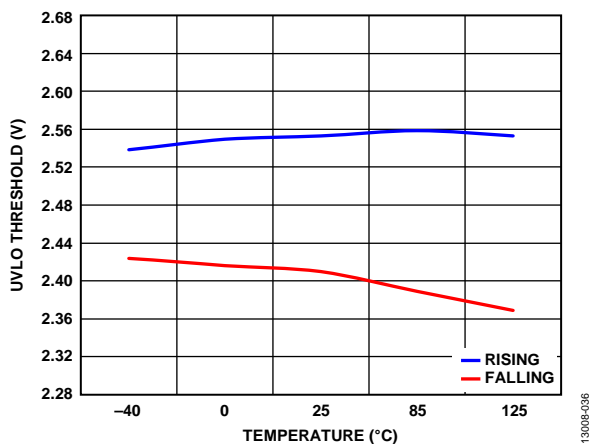


図 36. UVLO 閾値(上昇と下降)の温度特性

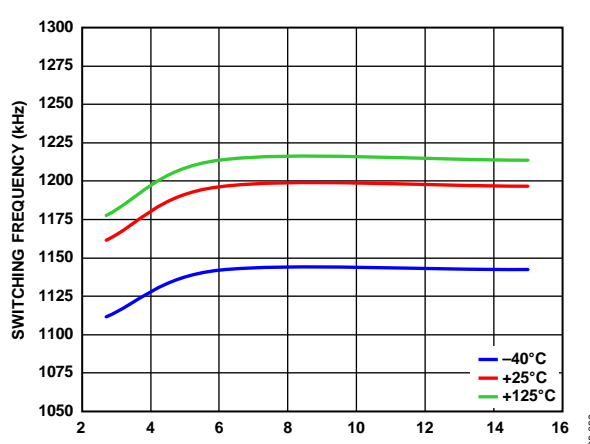


図 39. VIN 対スイッチング周波数

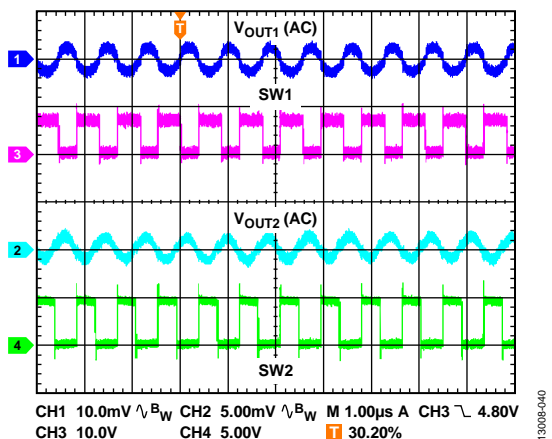


図 40. PWM モードの定常波形

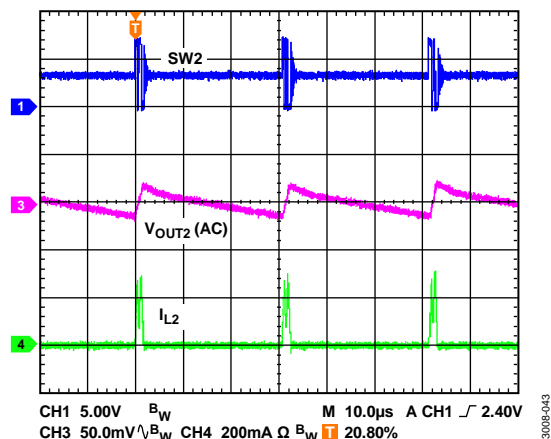


図 43. チャンネル 2 のヒステリシス・モードの出カリップ

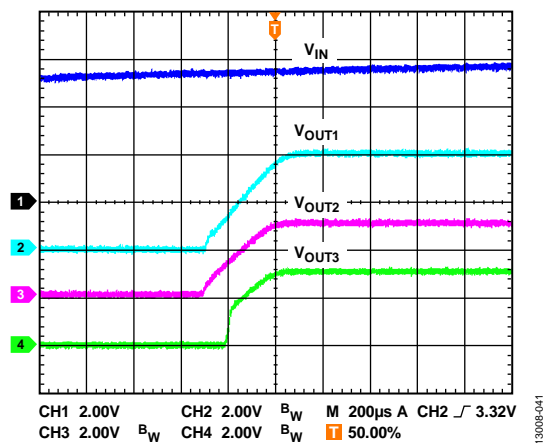


図 41. ソフトスタート波形

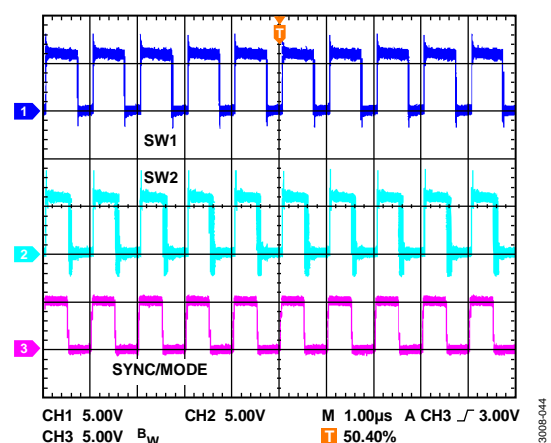


図 44. 1 MHz への同期化

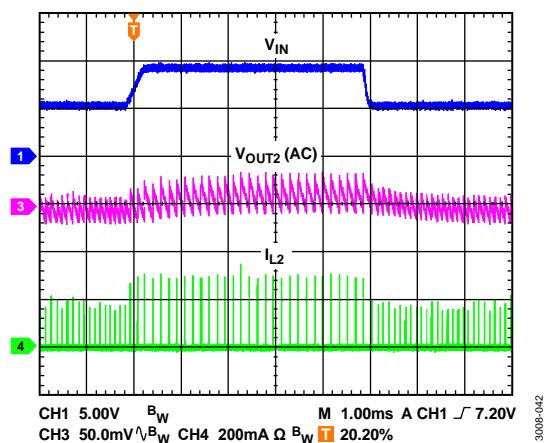


図 42. チャンネル 2 のライン過渡電圧、ヒステリシス・モード

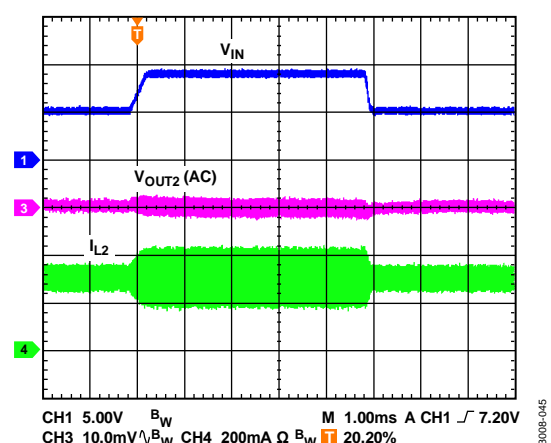


図 45. チャンネル 2 のライン過渡電圧、PWM モード

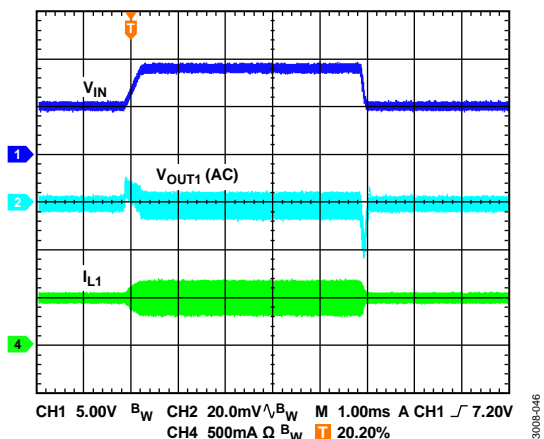


図 46. チャンネル 1 のライン過渡電圧、PWM モード

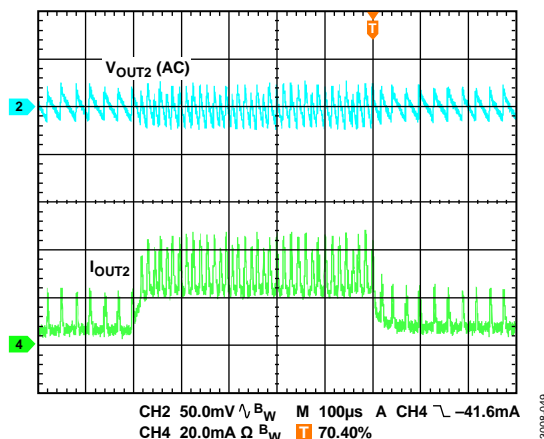


図 49. チャンネル 2 のヒステリシス・モード負荷過渡電圧 (10 mA→30 mA の負荷ステップ)

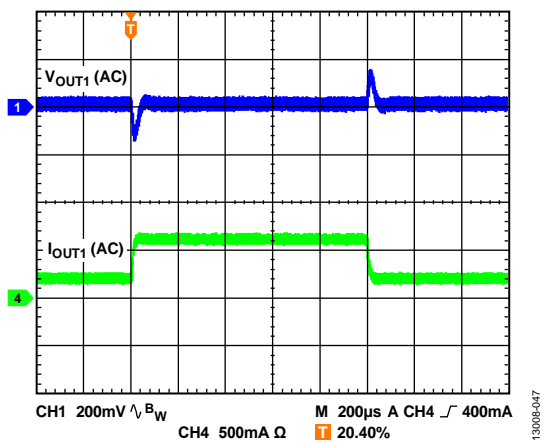


図 47. チャンネル 1 の負荷過渡電圧 (0.2 A→0.6 A の負荷ステップ)

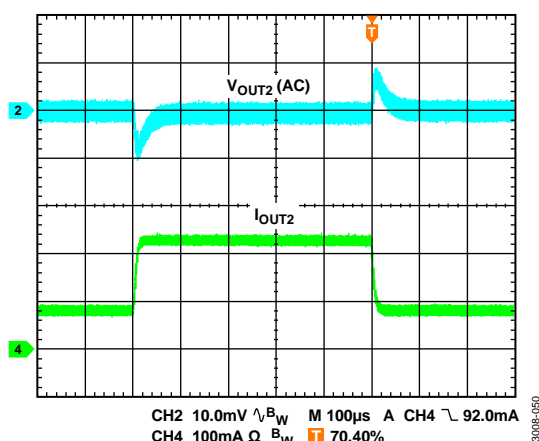


図 50. チャンネル 2 の PWM モード負荷過渡電圧 (75 mA→225 mA の負荷ステップ)

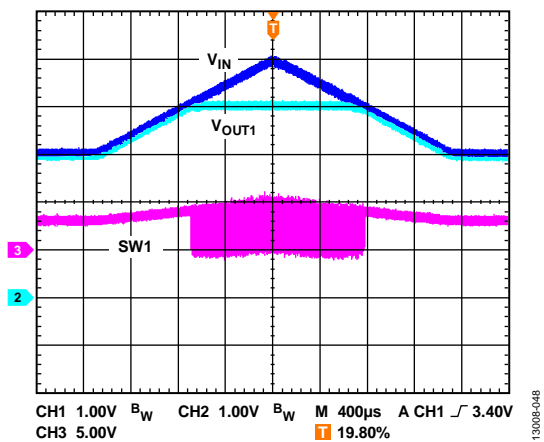


図 48. チャンネル 1 の 100%デューティ動作、PWM モード

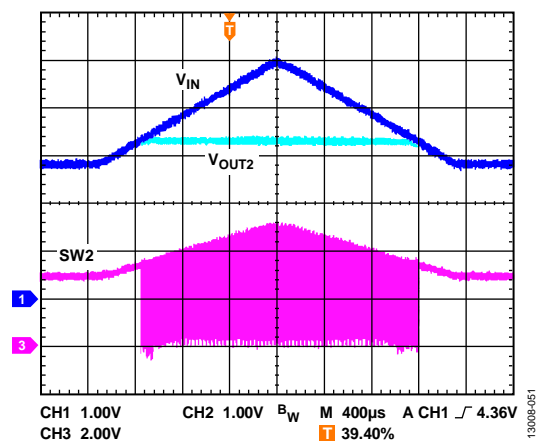


図 51. チャンネル 2 の 100%デューティ動作、PWM モード

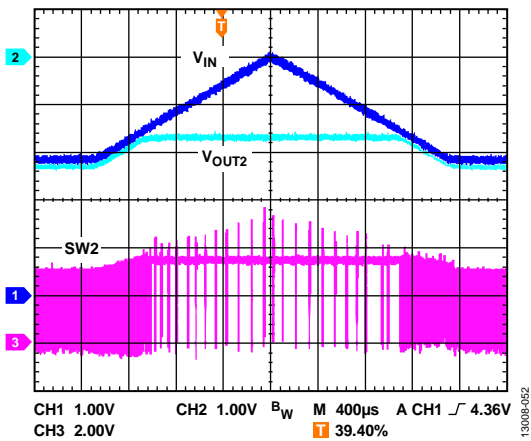


図 52. チャンネル 2 の 100%デューティ動作
ヒステリシス・モード

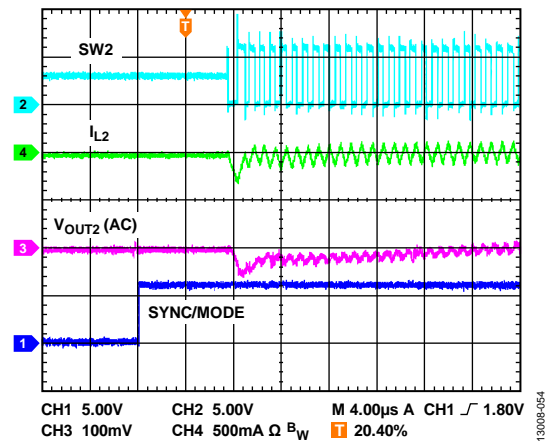


図 54. ヒステリシス・モード→PWM モードのモード変化

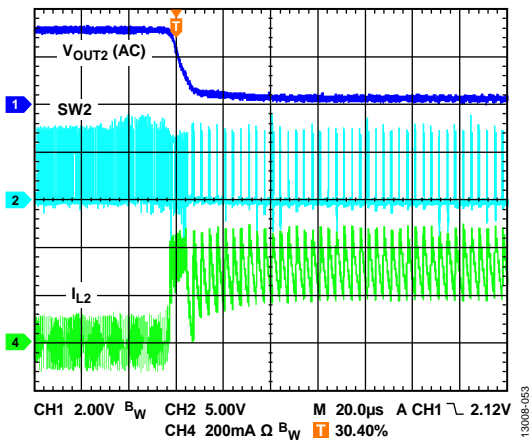


図 53. 出力短絡

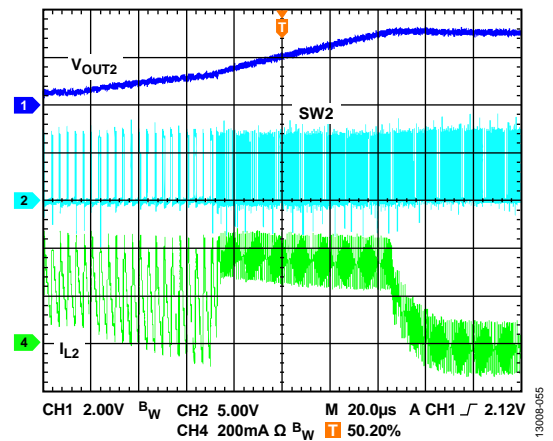


図 55. 出力短絡の回復

動作原理

ADP5310 は、2 個の降圧レギュレータと 1 個の負荷スイッチの組み合わせを 16 ピン TSSOP_EP パッケージに内蔵した超低消費電力のパワーマネジメント・ユニットで、厳しい性能条件とボード・スペース条件を満たします。このデバイスは 2.7 V~15 V の広い入力電圧範囲に直接接続できるため、複数のアルカリ/NiMH 電池またはリチウム電池やその他の電源を使用することができます。

降圧レギュレータ動作モード

PWM モード

PWM モードの場合、ADP5310 の降圧レギュレータは内部発振器で設定される固定周波数で動作します。各発振器サイクルの開始で、ハイサイド MOSFET スイッチがオンになり、インダクタの両端に正電圧が発生します。インダクタ電流は電流検出信号がピーク・インダクタ電流閾値に到達するまで増加します。この閾値でハイサイド MOSFET スイッチがオフになり、ローサイド MOSFET がオンになります。ここで、インダクタの両端に負電圧が発生して、インダクタ電流が減少し始めます。ローサイド MOSFET は、サイクルの残りの部分でオン状態を維持します。

PSM モード

ADP5310 は、負荷電流がパルス・スキッピング閾値電流 I_{MIN} を下回ると、滑らかに可変周波数 PSM モードへ移行します。入力電圧と出力電圧に基づくインダクタのピーク電流に対して、 I_{MIN} 値の設計は推奨インダクタ値に基いて行います。特定の出力電圧に対して推奨インダクタ値と異なる値を使うと、PSM から PWM へ閾値がシフトするため、デバイスは不連続モード (DCM) になることがあります。

必要とされるピーク・インダクタ電流が I_{MIN} より大きい限り、レギュレータは PWM モードを維持します。負荷が減少すると、PSM 回路はピーク・インダクタ電流が PSM ピーク電流値より低下することを防止します。この回路により、レギュレータは負荷が必要とする電流より大きい電流を出力に供給するようになるため、出力電圧が大きくなり、エラーアンプ V_{COMP} の内部補償ノードの出力が低下します。

FB1 ピン電圧が公称出力電圧の 1% を超えて、 V_{COMP} ノード電圧が既定の PSM 閾値電圧レベルより低くなると、レギュレータはスキップ・モードになります。スキップ・モードでは、ハイサイド・スイッチとローサイド・スイッチ、および大部分の回路がディスエーブルされて、スキップ・モードの低い静止電流と高効率の性能が可能になります。

スキップ・モードでは、出力コンデンサが負荷へ放電するため出力電圧が低下します。固定周波数動作は、FB1 電圧が公称出力電圧に到達したとき開始されます。負荷条件が I_{MIN} ピーク電流レベルを超えて増加すると、 V_{COMP} ノードが上昇するため、PWM 制御ループによりデューティ・サイクルが設定されます。デバイスがスキップ・モードを開始/終了する間、コンパレータの遅延のために PSM 電圧リップルは 1% を超えます。

ヒステリシス・モード

ヒステリシス・モードでは、ADP5310 の降圧レギュレータは、固定ピーク・インダクタ電流をレギュレーションすることにより PWM パルスで公称出力電圧より少し高い出力電圧へ充電します。出力検出信号がヒステリシス上側閾値を超えるまで出力電圧が上昇すると、レギュレータはスタンバイ・モードになります。スタンバイ・モードでは、ハイサイドとローサイドの MOSFET、および大部分の回路がディスエーブルされて、低い静止電流と高効率の性能が可能になります。

スタンバイ・モードの間、出力コンデンサが負荷にエネルギーを供給し、出力電圧がヒステリシス・コンパレータの下側閾値を下回るまで出力電圧は減少します。降圧レギュレータはウェイクアップして、出力を再度充電する PWM パルスを発生します。

出力電圧は時おりスタンバイ・モードになって回復するため、ヒステリシス・モードでの出力電圧リップルは PWM モードでのリップルより大きくなります。

モードの選択

チャンネル 1 の降圧レギュレータは、軽い負荷で優れた効率を実現するためデフォルトの自動 PSM/PWM モードを使います。優れた安定性と過渡性能を実現する電流モードの固定周波数 PWM モードは、出荷時のヒューズ溶断により設定することができます。

チャンネル 2 の降圧レギュレータには、ヒステリシス・モードまたは PWM モードを設定できる SYNC/MODE ピンがあります。

SYNC/MODE ピンをハイ・レベルにすると、チャンネル 2 の降圧レギュレータは PWM モードで動作します。PWM モードでは、レギュレータは最大 300 mA の出力電流を供給することができます。PWM モードでレギュレータは、低い出力リップルと低い 1/f 出力ノイズを提供できるため、ノイズに敏感なアプリケーションで役立ちます。

SYNC/MODE ピンをロー・レベルにすると、チャンネル 2 の降圧レギュレータはヒステリシス・モードで動作します。ヒステリシス・モードでは、ゼロ負荷で出力をレギュレーションするためにレギュレータは僅か 700 nA の静止電流しか必要としません。このため、チャンネル 2 はバッテリー駆動システムでキープアライブ電源として動作することができます。ヒステリシス・モードでは、レギュレータは PWM モードに比較して比較的大きい出力リップルで最大 50 mA の出力電流を供給することができます。

動作中に、ヒステリシス・モードと PWM モードとの間で切り替えることができます。デバイス動作のこの柔軟な設定機能により、システムがアクティブ・モードとスタンバイ・モードとの間で切り替わる場合に高い効率と低い出力リップル条件を満たす効果的なパワーマネジメントが可能になります。

調整可能出力電圧と固定出力電圧

チャンネル 1 の降圧レギュレータは、出荷時のヒューズ溶断により調整可能出力電圧または固定出力電圧を提供することができます。調整可能出力設定では、外部抵抗分圧器を使って帰還リファレンス電圧 (チャンネル 1 では 0.8 V) から所望の出力電圧を設定します。

チャンネル 2 の降圧レギュレータも、出荷時のヒューズ溶断により調整可能出力電圧または固定出力電圧を提供することができます。チャンネル 3 の負荷スイッチの入力ソースが FB2 ピンを共用しているため、出荷時のヒューズ溶断によりチャンネル 2 を調整可能な出力モードに設定した場合、チャンネル 3 の負荷スイッチは使用できません。

低電圧入力保護機能(UVLO)

UVLO 回路は、ADP5310 の入力電圧レベルを PVIN2 ピンでモニタします。入力電圧が 2.40 V (typ) を下回ると、すべてのチャンネルがオフになります。入力電圧が 2.55 V (typ) を上回ると、ソフトスタート期間が開始されて、ENx ピンがハイ・レベルの場合、対応するチャンネルがイネーブルされます。

イネーブル機能とシャットダウン機能

ADP5310 はイネーブル・ピン (EN1 と EN3) を使ってチャンネル 1 とチャンネル 3 のイネーブルとディスエーブルを行います。イネーブル・ピンがロー・レベルからハイ・レベルへトグルしたとき、対応するチャンネルはソフトスタートで動作を開始します。イネーブル・ピンをロー・レベルにすると、対応するチャンネルがシャットダウン状態になります。

チャンネル 2 の降圧レギュレータは、PVIN2 電圧が UVLO 閾値を上回っている限り動作を続けます。

内蔵リニア・レギュレータ (VREG)

ADP5310 の内蔵リニア VREG レギュレータは、MOSFET ドライバのバイアス電圧と内蔵制御回路に対して安定な 3.9 V 電源を供給します。VREG とグラウンドの間に 1.0 μ F のセラミック・コンデンサを接続してください。

発振器と同期

両降圧レギュレータが PWM モードの場合、ADP5310 では両降圧レギュレータが同じスイッチング周波数で動作します。

ADP5310 は、出荷時のヒューズ溶断により PWM 動作モードで 600 kHz または 1.2 MHz のスイッチング周波数オプションを提供します。デフォルト・スイッチング周波数は 1.2 MHz です。

ADP5310 のスイッチング周波数は、400 kHz~1.4 MHz の周波数範囲の外部クロックと同期化することができます。ADP5310 は、SYNC/MODE ピンに接続される外部クロックの有無を自動的に検出し、スイッチング周波数が外部クロック周波数に切り替わります。外部クロック信号が停止すると、デバイスは内部クロックに自動的に切り替わって動作を続けます。

電流制限

ADP5310 の降圧レギュレータには保護回路があります。この回路はハイサイド MOSFET とローサイド MOSFET を流れる電流の方向と大きさをサイクルごとに所定レベルに制限します。ハイサイド MOSFET の正電流制限値は、入力から出力へ流れる電流を制限します。ローサイド MOSFET の負電流制限値は、インダクタ電流が逆向きに負荷から流出するのを防止します。

短絡保護機能

ADP5310 の降圧レギュレータは、ハード短絡で出力電流が暴走するのを防ぐ周波数フォールドバック機能を備えています。帰還ピンの出力電圧が 0.3 V を下回り、出力にハード短絡が生じる可能性があることを表示すると、PWM モードのスイッチング周波数が内部発振器周波数の 1/4 まで低下します。スイッチング周波数が低下するとインダクタの放電時間が長くなるため、出力電流の暴走を防止することができます。

ソフトスタート

ADP5310 にはソフトスタート機能があります。この機能はスタートアップ時に制御された方法で出力電圧を上昇させて、入力突入電流を抑えます。バッテリーまたはハイ・インピーダンス電源をデバイスの入力に接続しているときは、この機能によって入力の電圧低下を防止できます。デフォルト・ソフトスタート時間は、チャンネル 1 とチャンネル 2 のレギュレータに対して 350 μ s です。

出荷時のヒューズ溶断により、各チャンネルに対して様々なソフトスタート時間を設定することができます。

プリチャージ出力での起動

ADP5310 の降圧レギュレータは、スタートアップ時にローサイド FET の損傷を保護するプリチャージ起動機能を内蔵しています。出力電圧がレギュレータのオン前にプリチャージされると、レギュレータは内蔵ソフトスタート・リファレンス電圧がプリチャージされたフィードバック・ピン電圧を超えるまでインダクタの逆電流が流れないようにします(この逆電流が流れると、出力コンデンサが放電します)。

100% デューティ動作

入力電圧が低下するか負荷電流が増大すると、ハイサイド MOSFET が 100% デューティ時間オンになり、ADP5310 が 100% デューティで動作しても、ADP5310 の降圧レギュレータ出力電圧がデフォルト値を下回ってしまう限界に達します。この限界値で、降圧レギュレータではハイサイド MOSFET スイッチが 100% の時間オン状態を維持するモードに移行します。入力状態が再度充電されて、必要なデューティ・サイクルに低下すると、ただちに PWM レギュレーションを再開し、出力電圧のオーバーシュートを防ぎます。

アクティブ放電

ADP5310 の全チャンネルは、出荷時設定のオプションの放電スイッチを内蔵しています。この放電スイッチはスイッチング・ノード (負荷スイッチでは VOUT3 ピン) をグラウンドへ放電します。このスイッチは、対応するレギュレータがディスエーブルされるとオンになり、出力コンデンサを迅速に放電します。放電スイッチの typ 値は、各チャンネルに対し 282 Ω ~287 Ω です。デフォルトでは、放電機能はディスエーブルされています。このアクティブ放電機能をイネーブルするオプションは、各チャンネルに対して出荷時のヒューズ溶断で設定することができます。

パワーグッド機能

ADP5310 には、オープン・ドレインのパワーグッド出力 (PWRGD ピン) があり、チャンネル 1 の降圧レギュレータが正常動作の場合アクティブ・ハイになります。

PWRGD ピンがハイ・レベルのとき、チャンネル 1 の降圧レギュレータの安定化出力電圧が、スイッチング・サイクルで約 16 サイクル (typ) より長い遅延時間に対して公称出力の 92% (typ) を上回っていることを表示します。チャンネル 1 の降圧レギュレータの安定化出力電圧が公称出力の 87% (typ) を下回ると、PWRGD ピンはロー・レベルになります。

負荷スイッチ

ADP5310 は、1.65 V~5.5 V で動作するハイサイド負荷スイッチ

を内蔵しています。負荷スイッチの電源は内部でチャンネル 2 の FB2 ピンに接続されているため、チャンネル 2 出力に対して電源ドメイン・アイソレーションを実現し、バッテリー動作寿命を延ばします。チャンネル 3 の負荷スイッチのオン抵抗は、 $V_{OUT3} = 2.5 \text{ V}$ で 494 m Ω (typ) です。

突入制御回路 (ソフトスタート) は、負荷スイッチにも内蔵されています。デフォルトのソフトスタート時間は 12 μs です。出荷時のヒューズ溶断により、様々なソフトスタート時間を設定することができます。

出荷時のヒューズ溶断でチャンネル 2 が調整可能な出力モードに設定された場合、チャンネル 3 の負荷スイッチは使用できなくなることに注意してください。

サーマル・シャットダウン

ADP5310 のジャンクション温度が 135 $^{\circ}\text{C}$ を超えると、サーマル・シャットダウン回路により、IC がオフになります。ただし、内蔵リニア・レギュレータは除きます。ジャンクション温度が極端に高くなる原因には、大電流動作、回路基板の設計不良、あるいは高い周囲温度などがあります。15 $^{\circ}\text{C}$ のヒステリシスが内蔵されているため、サーマル・シャットダウンが発生すると、オンチップ温度が 120 $^{\circ}\text{C}$ 未満に低下するまで ADP5310 の動作は再開されません。サーマル・シャットダウン状態が解消すると、イネーブルされたチャンネルに対してソフトスタートが開始されます。

アプリケーション情報

このセクションでは、ADP5310の外付け部品の選択について説明します。代表的なアプリケーション回路を図56に示します。

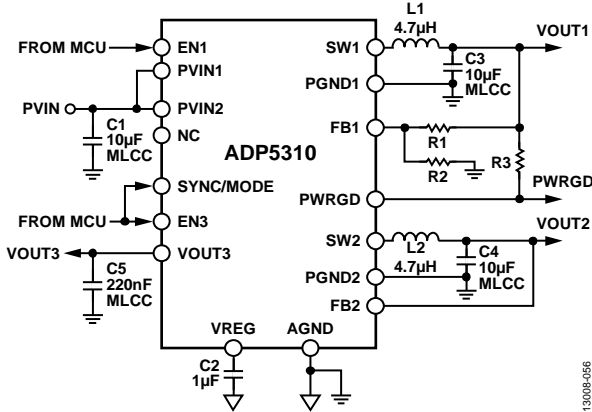


図 56. 代表的なアプリケーション回路

外付け部品の選択

表 6、表 7、表 8 に、ADP5310 アプリケーション回路に対する外付け部品の選択肢を示します。部品の選択は、入力電圧、出力電圧、負荷電流条件に依存します。さらに、外付け部品の選択を変えて、効率や過渡応答のような性能パラメータ間のトレードオフを行います。

インダクタの選択

ADP5310 のスイッチングは高周波であるため、小型の表面実装パワー・インダクタを使用することができます。インダクタ値は、PWM から PSM への遷移、効率、出力リップル、電流制限値に影響を与えます。理論インダクタンスを計算するときは、与えられた出力電圧とスイッチング周波数に対してインダクタ電流スロープ補償から導出した次式を使ってください。

$$L = \frac{1.2 \times V_{OUT}}{k \times f_{sw}}$$

ここで、

L は μH で表したインダクタ値。

V_{OUT} は降圧レギュレータのチャンネル 1 とチャンネル 2 の出力電圧。

k は 1.06 (チャンネル 1) または 0.478 (チャンネル 2)。

f_{sw} は MHz で表したスイッチング周波数 (typ 値は 1.2 MHz)。

リップル電流は次のように計算されます。

$$\Delta I_L = \frac{V_{OUT}}{f_{sw} \times L} \times \left(1 - \frac{V_{OUT}}{V_{IN}} \right)$$

選択するインダクタの DC 抵抗 (DCR) 値は効率に影響を与えます。インダクタの DC 電流定格の最小条件は、次式に示すように最大負荷電流とインダクタ電流リップルの 1/2 との和に等しくなります。

$$I_{PK} = I_{LOAD(MAX)} + \left(\frac{\Delta I_L}{2} \right)$$

出力コンデンサ

出力容量は、電圧オーバーシュート、電圧アンダーシュート、出力のリップル電圧を小さくするために必要です。低い等価直列抵抗 (ESR) 値を持つコンデンサは、出力リップルを小さくするため、X5R や X7R のような誘電体コンデンサを使ってください。Y5V と Z5U コンデンサは使用しないでください。Y5V と Z5U コンデンサは、温度変化と DC バイアス電圧変化に対する容量変動が大きいため適しません。ESR は重要であるため、次式を使ってコンデンサを選択してください。

$$ESR_{COUT} \leq \frac{V_{RIPPLE}}{\Delta I_L}$$

ここで、

ESR_{COUT} は選択したコンデンサの ESR。

V_{RIPPLE} はピーク to ピーク出力電圧リップル。

出力容量を求めるときは次式を使います。

$$C_{OUT} \geq \frac{\Delta I_L}{8 \times f_{sw} \times V_{RIPPLE}}$$

出力コンデンサ値を大きくしても安定性に影響がないため、出力リップルを小さくし、負荷過渡応答を向上させることができます。この出力コンデンサ値を選択するときは、出力電圧 DC バイアスに起因する容量での損失を考慮することも重要です。

入力コンデンサ

入力コンデンサは、入力電圧リップルとソース・インピーダンスを小さくするために必要です。入力コンデンサは PVINx ピンのできるだけ近くに配置します。入力電圧リップルを小さくするため、低 ESR の X7R または X5R タイプ・コンデンサの使用が推奨されます。次式を使って rms 入力電流を求めます。

$$I_{RMS} \geq I_{LOAD(MAX)} \sqrt{\frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}}}$$

調整可能な出力電圧の設定

ADP5310 の調整可能な出力電圧範囲は、0.8 V～5.0 V です。この出力電圧は、2 本の外付け抵抗の比によって設定されます。デバイスは、FBx ピン電圧をグラウンドに対して 0.8 V に維持するように出力を制御します。したがって、R1 の電流は $0.8 \text{ V}/R2$ と FBx ピン・バイアス電流との和に等しくなります。FBx ピンのバイアス電流 (25°C で 15 nA) は、R2 から FBx ピンへ流入します。

出力電圧は、次式で計算されます。

$$V_{OUT} = 0.8 \text{ V} (1 + R1/R2) + (I_{FB_ADJ})(R1)$$

FBx ピンのバイアス電流による出力電圧誤差を小さくするため、R2 の値を 200 kΩ より小さく維持してください。例えば、R1 = R2 = 200 kΩ の場合、出力電圧は 1.6 V です。25°C での FBx ピン・バイアス電流を 15 nA (typ) とすると、FBx ピンのバイアス電流で生ずる出力電圧誤差は 3 mV (= 0.187%) です。

シャットダウン・モードでは、出力がオフになって分圧器電流が 0 になることに注意してください。

効率

効率は、出力電力の入力電力に対する比として定義されます。ADP5310 の高い効率には次の 2 つの利点があります。1 つ目は、DC/DC コンバータ・パッケージで消費される電力が小さいため、熱的制約が緩和されます。2 つ目は、高い効率により、与えられた入力電力に対して最大の出力電力を供給するため、携帯型アプリケーションでバッテリー寿命を延ばします。

パワー・スイッチ伝導損失

パワー・スイッチの DC 伝導損失は、該当する内部抵抗 ($R_{DS(ON)}$) を持つ P チャンネル・パワー・スイッチと N チャンネル同期整流流子を通る出力電流により発生します。この電力損失は次式で近似されます。

$$P_{SW_COND} = (R_{DS(ON)P} \times D + R_{DS(ON)N} \times (1 - D)) \times I_{OUT}^2$$

ここで、

$$D = \frac{V_{OUT}}{V_{IN}}$$

パワー・スイッチの内部抵抗は温度とともに増加し、さらに入力電圧が 5.5 V より低くなると増加します。

インダクタ損失

インダクタの伝導損失は、インダクタを通る電流に起因しますが、これには対応する内部 DCR があります。インダクタのサイズが大きいほど DCR が小さくなり、インダクタの伝導損失が小さくなります。インダクタのコア損失は、コア材料の透磁率に関係しています。ADP5310 は高スイッチング周波数の DC/DC レギュレータであるため、EMI が低いシールド・フェライトのコア材の使用を推奨します。

インダクタでの総合電力損失 (P_L) を計算するときは、次式を使います。

$$P_L = DCR \times I_{OUT}^2 + \text{コア損失}$$

ドライバ損失

ドライバ損失は、スイッチング周波数でパワー・デバイスがオン/オフになるときにドライバを通る電流に対応します。パワー・デバイスのゲートがオン/オフになるごとに、ドライバが入力電源からゲートへ電荷を移動させ、次にゲートからグラウンドへ移動させます。

ドライバ損失を計算するときは次式を使います。

$$P_{DRIVER} = (C_{GATE_P} + C_{GATE_N}) \times V_{IN}^2 \times f_{SW}$$

ここで、

C_{GATE_P} は内部ハイサイド・スイッチのゲート容量。

C_{GATE_N} は内部ローサイド・スイッチのゲート容量。

f_{SW} はスイッチング周波数。

ゲート容量 C_{GATE_P} と C_{GATE_N} は 150 pF (typ) です。

遷移損失

遷移損失は、P チャンネル・スイッチが瞬時にオンまたはオフになれないために発生します。SWx ノード変化の中心で、パワー・スイッチがすべてのインダクタ電流を供給します。パワー・スイッチのソース・ドレイン間電圧は入力電圧の 1/2 であるため、電力損失が発生します。負荷電流と入力電圧が増加すると遷移損失は増加するため、これらの損失は各スイッチング・サイクルで 2 回発生します。

次式を使って遷移損失を計算します。

$$P_{TRAN} = V_{IN}/2 \times I_{OUT} \times (t_r + t_f) \times f_{SW}$$

ここで、

t_r は SWx ノードの立上がり時間。

t_f は SWx ノードの立下がり時間。

立上がり時間 t_r と立下がり時間 t_f は 2 ns (typ) です。

降圧レギュレータの推奨外付け部品

ADP5310 に使用する推奨外付け部品を表 6、表 7、表 8 に示します。

表 6. チャンネル 1 のインダクタ

Vendor	Model	Frequency	Output Voltage (V)	Ideal Value (μH)	Standard Value (μH)	Dimensions (mm)	I_{SAT}^1 (A)	DCR ($\text{m}\Omega$)
Coilcraft	XFL4020-102ME	1.2 MHz	1.2	1.1	1	4 × 4 × 2	4.5	12
Coilcraft	XFL4020-152ME	1.2 MHz	1.8	1.7	1.5	4 × 4 × 2	4.1	16
Coilcraft	XFL4020-222ME	1.2 MHz	2.5	2.4	2.2	4 × 4 × 2	3.1	24
Coilcraft	XFL4020-332ME	1.2 MHz	3.3	3.1	3.3	4 × 4 × 2	2.7	38
Coilcraft	XFL4020-472ME	1.2 MHz	5	4.7	4.7	4 × 4 × 2	2.0	57
Coilcraft	XFL4020-222ME	600 kHz	1.2	2.3	2.2	4 × 4 × 2	3.1	24
Coilcraft	XFL4020-332ME	600 kHz	1.8	3.4	3.3	4 × 4 × 2	2.7	38
Coilcraft	XFL4020-472ME	600 kHz	2.5	4.7	4.7	4 × 4 × 2	2.0	57
Coilcraft	XAL4030-682ME	600 kHz	3.3	6.2	6.8	4 × 4 × 3	1.9	74
Coilcraft	XAL4040-103ME	600 kHz	5	9.4	10	4 × 4 × 4	1.5	92

¹ I_{SAT} は、電流なしからインダクタンスが 30% (typ)低下する DC 電流。

表 7. チャンネル 2 のインダクタ

Vendor	Model	Frequency	Output Voltage (V)	Ideal Value (μH)	Standard Value (μH)	Dimensions (mm)	I_{SAT}^1 (A)	DCR ($\text{m}\Omega$)
Coilcraft	XFL4020-222ME	1.2 MHz	1.2	2.5	2.2	4 × 4 × 2	4.1	24
Coilcraft	XFL4020-332ME	1.2 MHz	1.8	3.8	3.3	4 × 4 × 2	3.1	38
Coilcraft	XFL4020-472ME	1.2 MHz	2.5	5.2	4.7	4 × 4 × 2	2.0	57
Coilcraft	XAL4030-682ME	1.2 MHz	3.0	6.3	6.8	4 × 4 × 3	1.9	74
Coilcraft	XAL4030-682ME	1.2 MHz	3.3	6.9	6.8	4 × 4 × 3	1.9	74
Coilcraft	XAL4040-103ME	1.2 MHz	5	10.5	10	4 × 4 × 4	1.5	92
Coilcraft	XFL4020-472ME	600 kHz	1.2	5.0	4.7	4 × 4 × 2	2.0	57
Coilcraft	XAL4030-682ME	600 kHz	1.8	7.5	6.8	4 × 4 × 3	1.9	74
Coilcraft	XAL4040-103ME	600 kHz	2.5	10.5	10	4 × 4 × 4	1.5	92
Coilcraft	XAL4040-103ME	600 kHz	3.0	12.6	10	4 × 4 × 4	1.5	92
Coilcraft	XAL4040-153ME	600 kHz	3.3	13.8	15	4 × 4 × 4	1.3	120
Coilcraft	LPS6235-223ML	600 kHz	5	20.9	22	6 × 6 × 3.5	1.6	145

¹ I_{SAT} は、電流なしからインダクタンスが 30% (typ)低下する DC 電流。

表 8. 10 μF コンデンサ

Vendor	Model	Case Size	Voltage Rating (V)	Location	Input Voltage (V)	Output Voltage (V)
Murata	GRM32ER7YA106KA12	1210	35	Input	$12 < V_{\text{IN}} < 15$	Not applicable
Murata	GRM32DR61E106KA12	1210	25	Input	$8 < V_{\text{IN}} < 12$	Not applicable
Murata	GRM31CR61C106KA88	1206	16	Input	$V_{\text{IN}} < 8$	Not applicable
Murata	GRM32ER7YA106KA12	1210	35	Output	Not applicable	$9 < V_{\text{OUT}} < V_{\text{IN}}$
Murata	GRM32DR61E106KA12	1210	25	Output	Not applicable	$7 < V_{\text{OUT}} < 9$
Murata	GRM31CR61C106KA88	1206	16	Output	Not applicable	$2.5 < V_{\text{OUT}} < 7$
Murata	GRM21BR61C106KE15	0805	16	Output	Not applicable	$V_{\text{OUT}} < 2.5$

コンデンサの選択

出力コンデンサ

ADP5310は、小型で省スペースのセラミック・コンデンサで動作するように設計されていますが、ESR値に注意すれば一般的に使用されているコンデンサで動作することもできます。出力コンデンサのESRは、制御ループの安定性に影響を与えます。ADP5310の安定性のためには、10 mΩ以下のESRを持つ最小6.2 μFの出力コンデンサの使用が推奨されます。

入力バイパス・コンデンサ

PVINxとPGNDの間に10 μFのコンデンサを接続すると、特に入力パターンが長いカソード・インピーダンスが高い場合に、プリント回路ボード(PCB)のレイアウトに対する回路の感受性を小さくすることができます。10 μFより大きい出力容量が必要な場合は、出力容量に合わせて入力コンデンサを大きくして、過渡応答を向上させることが推奨されます。

入力コンデンサと出力コンデンサの特性

最小容量と最大ESR条件を満たすかぎり、ADP5310で任意の高品質セラミック・コンデンサを使用することができます。セラミック・コンデンサは様々な誘電体を使って製造されているため、各々は温度と加えられる電圧に対して異なる動作をします。コンデンサは、必要とされる温度範囲とDCバイアス条件で最小容量を確保できる十分な誘電体を持つ必要があります。最適な性能を得るために、電圧定格値が6.3 V~25 VのX5RまたはX7Rの誘電体コンデンサを推奨します。Y5V誘電体コンデンサとZ5U誘電体コンデンサは温度特性とDCバイアス特性が十分

でないため推奨されません。

次式を使うと、温度、部品許容誤差、電圧に対するコンデンサの変動を考慮した、最悪時の容量を求めることができます。

$$C_{EFF} = C_{BIAS} \times (1 - TEMPCO) \times (1 - TOL)$$

ここで、 C_{BIAS} は動作電圧での実効容量です。

$TEMPCO$ は最悪時のコンデンサ温度係数(TC)です。

TOL は最悪時の部品許容誤差です。

この例では、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ での最悪時TCを、X5R誘電体では15%と想定しています。コンデンサの許容誤差(TOL)は10%とし、1210パッケージの10 μF、35 Vコンデンサの C_{BIAS} は12 Vで8.53 μFです。

これらの値を式1に代入すると、

$$C_{EFF} = 8.53 \mu\text{F} \times (1 - 0.15) \times (1 - 0.1) = 6.53 \mu\text{F}$$

したがって、この例で選択したコンデンサは、選択した出力電圧で、温度と許容誤差に対するADP5310の最小容量条件を満たします。

ADP5310の性能を保証するためには、DCバイアス、温度、許容誤差の影響を各アプリケーションごとに評価することが不可欠です。

回路ボード・レイアウトの推奨事項

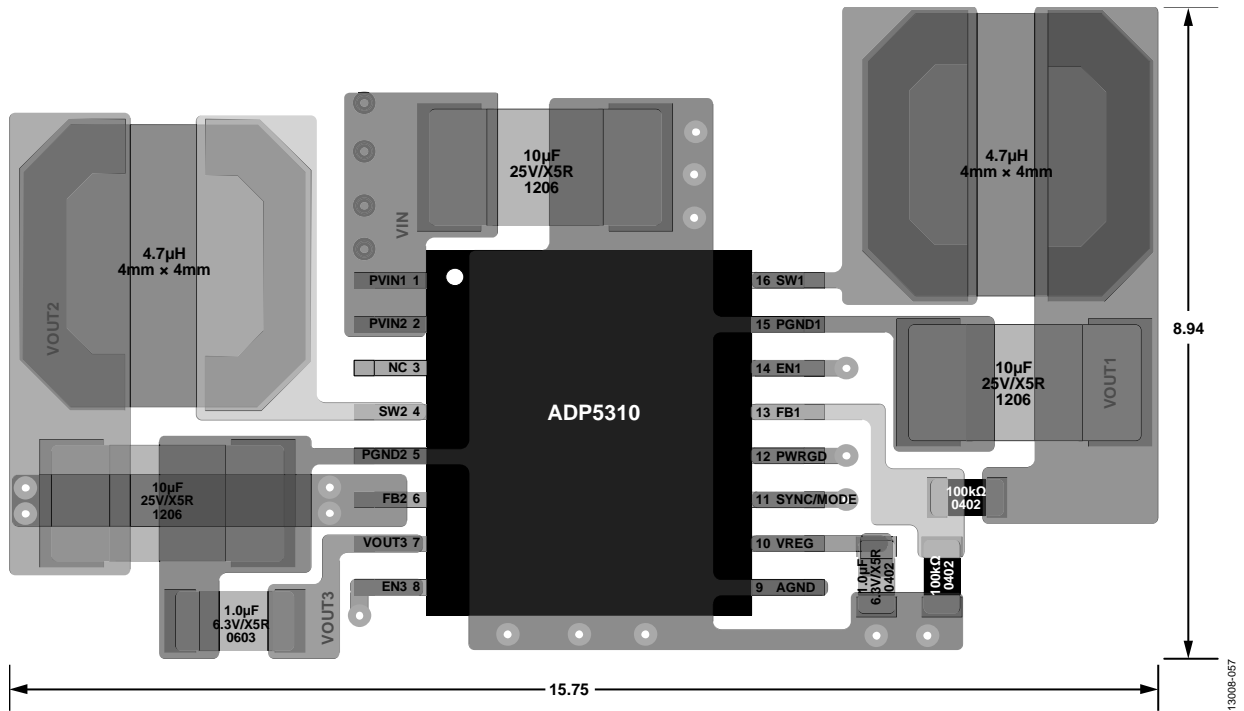


図 57. ADP5310 の代表的な PCB レイアウト

代表的なアプリケーション回路

図 58 と図 59 に、マイクロコントローラまたはプロセッサから制御されるエネルギー計測アプリケーションと 医用アプリケーションでの ADP5310 の使用方法を示します。

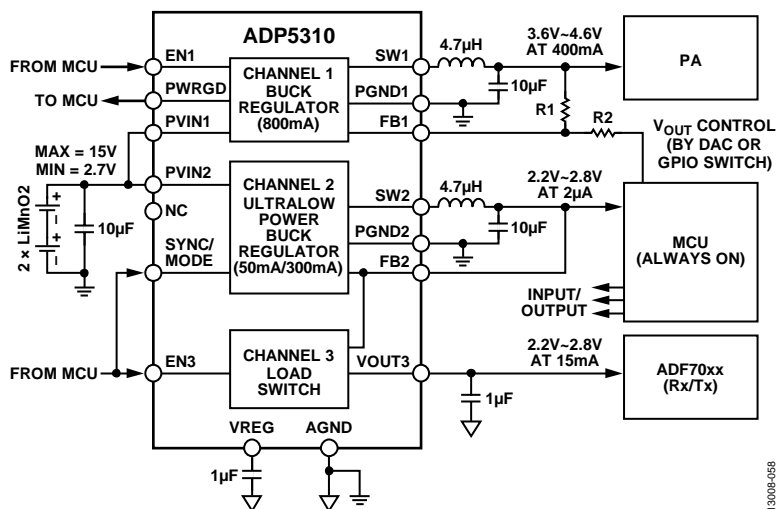


図 58. スマート・メータの代表的なアプリケーション

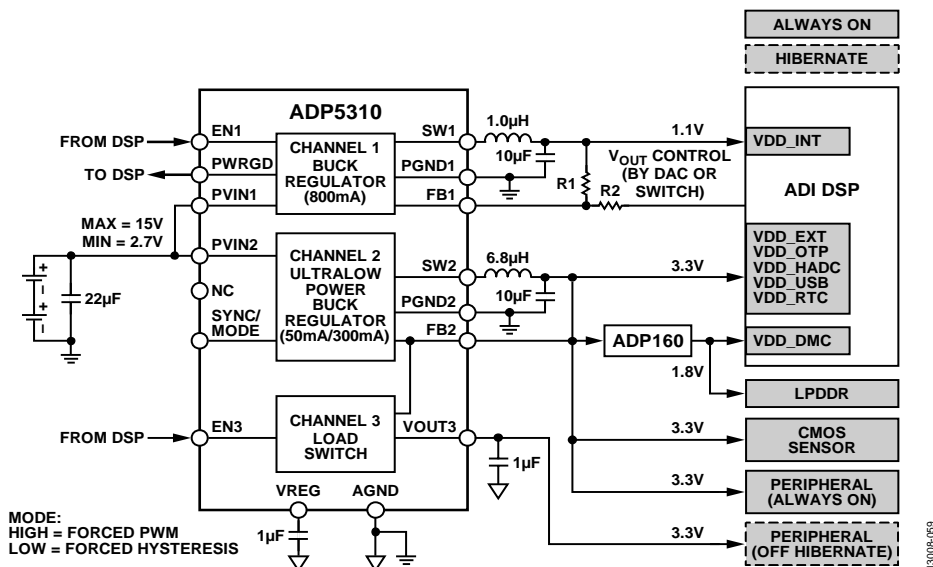


図 59. アナログ・デバイゼスの DSP を使用した代表的なバッテリー駆動アプリケーション

出荷時設定オプション

デフォルト・オプション以外のオプションを持つデバイスを注文する場合は、最寄りのアナログ・デバイセズ販売代理店へご連絡ください。

表 9. チャンネル 1 の出力電圧オプション (固定出力オプション:1.2 V~5.0 V)

Option	Description
Option 0	0.8 V adjustable output (default)
Option 1	1.2 V fixed output
Option 2	1.5 V fixed output
Option 3	1.8 V fixed output
Option 4	2.5 V fixed output
Option 5	2.85 V fixed output
Option 6	3.3 V fixed output
Option 7	5.0 V fixed output

表 10. チャンネル 2 の出力電圧 オプション (固定出力 オプション:50 mV 単位で増加の 1.20 V~3.60 V、 100 mV 単位で増加の 3.60 V~5.00 V)

Option	Description
Option 0	0.8 V adjustable output (note that the Channel 3 load switch is not usable in this configuration)
Option 1	1.20 V fixed output
Option 2	1.25 V fixed output
...	...
Option 35	2.90 V fixed output
Option 36	2.95 V fixed output
Option 37	3.00 V fixed output (default)
Option 38	3.05 V fixed output
...	...
Option 48	3.55 V fixed output
Option 49	3.60 V fixed output
Option 50	3.70 V fixed output
Option 51	3.80 V fixed output
...	...
Option 62	4.90 V fixed output
Option 63	5.00 V fixed output

表 11. スイッチング周波数

Option	Description
Option 0	1.2 MHz (default)
Option 1	600 kHz

表 12. チャンネル 1 の動作モード

Option	Description
Option 0	Forced PWM mode
Option 1	Automatic PWM/PSM mode (default)

表 13. チャンネル 1 の出力放電機能オプション

Option	Description
Option 0	Output discharge function disabled for the buck regulator in Channel 1 (default)
Option 1	Output discharge function enabled for the buck regulator in Channel 1

表 14. チャンネル 2 の出力放電機能オプション

Option	Description
Option 0	Output discharge function disabled for the buck regulator in Channel 2 (default)
Option 1	Output discharge function enabled for the buck regulator in Channel 2

表 15. チャンネル 3 の出力放電機能オプション

Option	Description
Option 0	Output discharge function disabled for the load switch in Channel 3 (default)
Option 1	Output discharge function enabled for the load switch in Channel 3

表 16. チャンネル 1 のソフトスタート時間

Option	Description
Option 0	350 μ s (default)
Option 1	2800 μ s

表 17. チャンネル 2 のソフトスタート時間

Option	Description
Option 0	350 μ s (default)
Option 1	2800 μ s

表 18. チャンネル 3 のオン立上がり (ソフトスタート)時間

Option	Description
Option 0	3 μ s
Option 1	12 μ s (default)
Option 2	48 μ s
Option 3	192 μ s

外形寸法

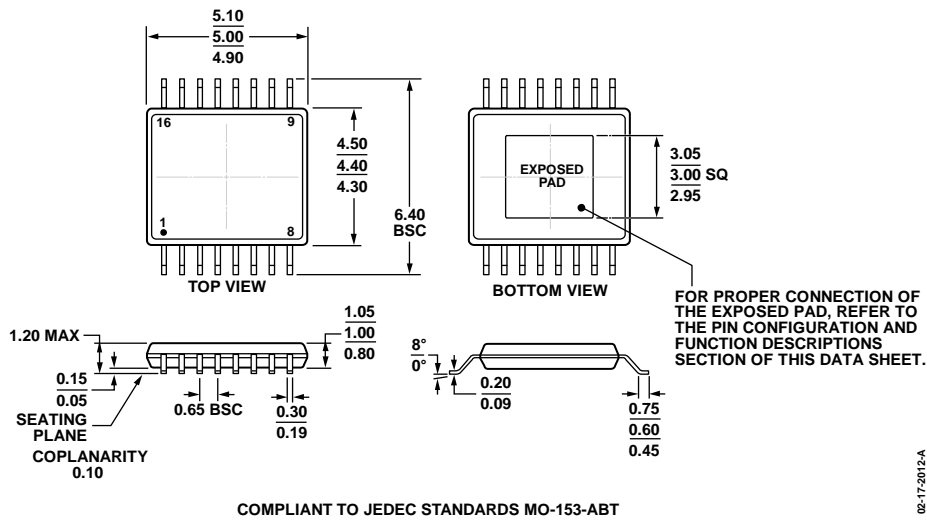


図 60. 16 ピン薄型シュリンク・スモール・アウトライン、エクスポーズド・パッド付き [TSSOP_EP] (RE-16-2)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Output Voltage	Package Description	Package Option
ADP5310AREZN-2.8R7	-40°C to +125°C	Channel 1 = adjustable, Channel 2 = 2.8 V	16-Lead TSSOP_EP	RE-16-2
ADP5310AREZN-3.3R7	-40°C to +125°C	Channel 1 = adjustable, Channel 2 = 3.3 V	16-Lead TSSOP_EP	RE-16-2
ADP5310AREZN-R7	-40°C to +125°C	Channel 1 = adjustable with automatic PWM/PSM mode, Channel 2 = adjustable	16-Lead TSSOP_EP	RE-16-2
ADP5310READJ-EVALZ			Evaluation Board	

¹ Z = RoHS 準拠製品。