



環境発電用超低消費電力降圧レギュレータ

データシート

ADP5304

特長

- 入力電源電圧範囲: 2.15 V ~ 6.50 V
- 2.00 V (代表値) までの低い電圧で動作
- 無負荷時に超低静止電流: 260 nA (代表値)
- 選択可能な出力電圧: 1.2 V ~ 3.6 V または 0.8 V ~ 5.0 V
- 全温度範囲にわたる出力精度: $\pm 2.5\%$
- ヒステリシス・モード時の出力電流: 最大 50 mA
- 入力電圧をモニタする VINOK フラグ
- 100% デューティ・サイクル動作モード
- オプションの急速出力放電 (QOD)
- 低電圧ロックアウト (UVLO)、過電流保護 (OCP)、サーマル・シャットダウン (TSD) 保護
- 10 ピン 3 mm x 3 mm LFCSP パッケージ
- 動作ジャンクション温度範囲: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$

アプリケーション

- 電力量 (ガス量、水量) 計
- 環境発電用アプリケーション
- 携帯型およびバッテリー駆動の装置
- 医療用アプリケーション
- キーブアライブ電源

概要

ADP5304 は高効率、超低静止電流の降圧レギュレータで、無負荷時に出力を安定化するための静止電流はわずか 260 nA です。このデバイスは 2.15 V ~ 6.50 V の入力電圧範囲で動作するので、複数のアルカリ電池、NiMH 電池、リチウムイオン電池あるいは高インピーダンス電源を使用することができます。出力電圧はグラウンドとの間の外付け VID 抵抗によって 0.8 V ~ 5.0 V の範囲で選択可能です。ソリューション全体でわずか 4 個の小型の外付け部品しか必要としません。ADP5304 は、MODE ピンをグラウンドに接続すると、ヒステリシス・モードで動作します。ヒステリシス・モードでは、レギュレータは 1 mW 未満の電力で高効率を達成し、最大 50 mA の出力電流を負荷に供給します。このデバイスは非常に効率の良いパワー・マネージメントが可能で、高インピーダンス・バッテリーや環境発電デバイスから少量のエネルギーを収集して、従来のコン

代表的なアプリケーション回路

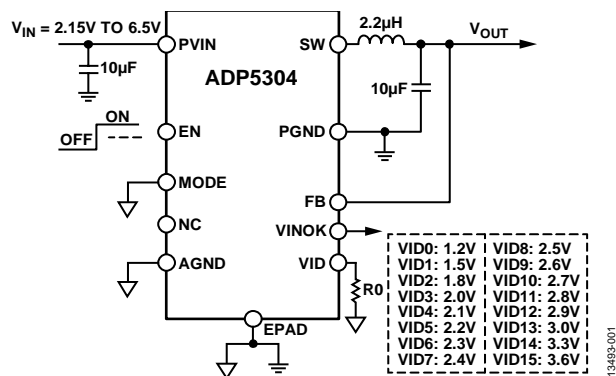


図 1.

デンサやスーパー・キャパシタを充電します。ADP5304 は、出荷時に設定可能な電圧リファレンス付き超低消費電力コンパレータを内蔵しており、入力電源電圧をモニタします。ヒステリシス付きのこの電圧リファレンスがスイッチングの停止と開始の閾値を与えるので、高インピーダンス電源を使用することができます。ADP5304 のその他の主な機能には、個別のイネーブル、QOD、さらには OCP、TSD、入力 UVLO のような安全機能があります。ADP5304 は、3 mm x 3 mm の 10 ピン LFCSP パッケージを採用しており、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ のジャンクション温度範囲で仕様が規定されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2016 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

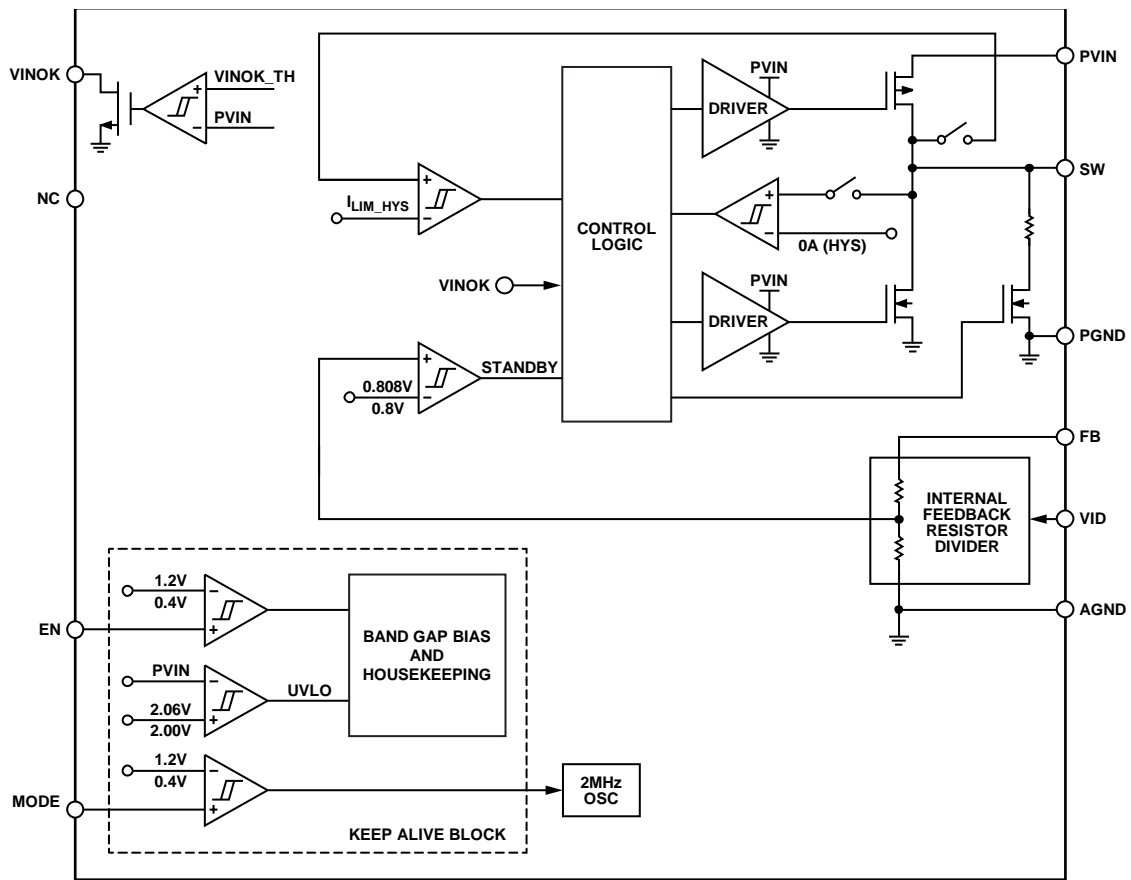
目次

特長.....	1	電流制限.....	12
アプリケーション.....	1	短絡保護.....	12
代表的なアプリケーション回路.....	1	ソフトスタート.....	12
概要.....	1	プリチャージ出力での起動.....	12
改訂履歴.....	2	100% デューティ・サイクル.....	12
詳細機能ブロック図.....	3	アクティブ放電.....	12
仕様.....	4	サーマル・シャットダウン.....	12
絶対最大定格.....	5	アプリケーション情報.....	13
熱抵抗.....	5	外付け部品の選択.....	13
ESD の注意.....	5	インダクタの選択.....	13
ピン配置と機能の説明.....	6	出力コンデンサ.....	13
代表的な性能特性.....	7	入力コンデンサ.....	14
動作原理.....	11	レイアウトに関する推奨事項.....	14
降圧レギュレータの動作モード.....	11	代表的なアプリケーション回路.....	15
調整可能な出力電圧と固定出力電圧.....	11	出荷時に設定可能なオプション.....	16
低電圧ロックアウト (UVLO).....	11	外形寸法.....	17
イネーブル/ディスエーブル.....	11	オーダー・ガイド.....	17
VINOK の機能.....	11		

改訂履歴

10/15—Revision 0: Initial Version

詳細機能ブロック図



13493-002

図 2.

仕様

特に指定がない限り、 $V_{IN} = 3.6\text{ V}$ 、 $V_{OUT} = 2.5\text{ V}$ 、仕様の最小値/最大値については $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、仕様の代表値については $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
INPUT SUPPLY VOLTAGE RANGE	V_{IN}	2.15		6.50	V	
SHUTDOWN CURRENT	$I_{SHUTDOWN}$		18	40	nA	$V_{EN} = 0\text{ V}$, $-40^\circ\text{C} \leq T_J \leq +85^\circ\text{C}$
			18	130	nA	$V_{EN} = 0\text{ V}$, $-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
QUIESCENT CURRENT						
Operating Quiescent Current	I_Q		260	360	nA	$-40^\circ\text{C} \leq T_J \leq +85^\circ\text{C}$
			260	500	nA	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
			640	1500	nA	100% duty cycle operation, $V_{IN} = 3.0\text{ V}$, V_{OUT} set as 3.3 V
UNDERVOLTAGE LOCKOUT	UVLO					
UVLO Threshold						
Rising	V_{UVLO_RISING}		2.06	2.14	V	
Falling	$V_{UVLO_FALLING}$	1.90	2.00		V	
EN PIN						
Input Voltage Threshold						
High	V_{IH}	1.2			V	
Low	V_{IL}			0.4	V	
Input Leakage Current	$I_{EN_LEAKAGE}$			25	nA	
FB PIN						
Output Options by VID Resistor	V_{OUT_OPT}	0.8		5.0	V	0.8 V to 5.0 V in different factory option
Fixed VID Code Threshold Accuracy from Active Mode to Standby Mode	V_{FB_FIX}	-0.75		+0.75	%	$T_J = 25^\circ\text{C}$
		-2.5		+2.5	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
Adjustable VID Code Threshold Accuracy from Active Mode to Standby Mode	V_{FB_ADJ}	-3		+3	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
Hysteresis of Threshold Accuracy from Active Mode to Standby Mode	$V_{FB(HYS)}$		1		%	
Feedback Bias Current	I_{FB}		66	95	nA	Output Option 0, $V_{OUT} = 2.5\text{ V}$
			25	45	nA	Output Option 1, $V_{OUT} = 1.3\text{ V}$
SW PIN						
High-Side Power FET On Resistance	$R_{DS(ON)H}$		386	520	m Ω	Pin to pin measurement
Low-Side Power FET On Resistance	$R_{DS(ON)L}$		299	470	m Ω	Pin to pin measurement
Peak Current	I_{LIM}		265		mA	
Minimum On Time	t_{MIN_ON}		40	70	ns	
VINOK PIN						
VINOK Monitor Threshold Range	$V_{VINOK(RISE)}$	2.05		5.15	V	Factory programmable
VINOK Monitor Accuracy Range		-1.5		+1.5	%	$T_J = 25^\circ\text{C}$
		-3		+3	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
VINOK Monitor Threshold Hysteresis	$V_{VINOK(HYS)}$		1.5		%	
VINOK Rising Delay	t_{VINOK_RISE}		190		μs	
VINOK Falling Delay	t_{VINOK_FALL}		130		μs	
Leakage Current for the VINOK Pin	$I_{VINOK_LEAKAGE}$		0.1	1	μA	
Output Low Voltage for the VINOK Pin	V_{VINOK_LOW}		50	100	mV	$I_{VINOK} = 100\text{ }\mu\text{A}$
SOFT START						
Default Soft Start Time	t_{SS}		350		μs	Factory trim, 1 bit (350 μs , 2800 μs)
Start-Up Delay	t_{START_DELAY}		2		ms	Delay from the EN pin being pulled high
C_{OUT} DISCHARGE SWITCH ON RESISTANCE	R_{DIS}		290		Ω	
THERMAL SHUTDOWN						
Threshold	T_{SHDN}		142		$^\circ\text{C}$	
Hysteresis	T_{HYS}		127		$^\circ\text{C}$	

絶対最大定格

表 2.

Parameter	Rating
PVIN to PGND	-0.3 V to +7 V
SW to PGND	-0.3 V to PVIN + 0.3 V
FB to AGND	-0.3 V to +7 V
VID to AGND	-0.3 V to +7 V
EN to AGND	-0.3 V to +7 V
VINOK to AGND	-0.3 V to +7 V
MODE to AGND	-0.3 V to +7 V
NC to AGND	-0.3 V to +7 V
PGND to AGND	-0.3 V to +0.3 V
Storage Temperature Range	-65°C to +150°C
Operating Junction Temperature Range	-40°C to +125°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} はワーストケース条件（表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態）で規定しています。

表 3. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
10-Lead, 3 mm × 3 mm LFCSP	57	0.86	°C/W

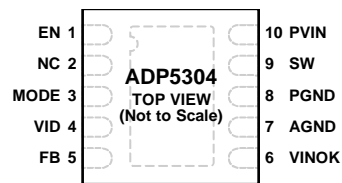
ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明



NOTES

1. NC = NO CONNECT.
2. EXPOSED PAD. SOLDER THE EXPOSED PAD TO A LARGE EXTERNAL COPPER GROUND PLANE UNDERNEATH THE IC FOR THERMAL DISSIPATION.

1348B-003

図 3. ピン配置

表 4. ピン機能の説明

Pin No.	Mnemonic	Description
1	EN	レギュレータのイネーブル入力。このピンをロジック・ローにすると、レギュレータがディスエーブルされます。
2	NC	接続なし。このピンはグラウンドに接続します。
3	MODE	動作モード・ピン。このピンをグラウンドに接続すると、レギュレータはヒステリシス・モードで動作します。
4	VID	電圧設定ピン。このピンからグラウンドに1本の抵抗を接続して、レギュレータの出力電圧を設定します。
5	FB	レギュレータの帰還検出入力。
6	VINOK	入力パワーグッド信号。このオープンドレイン出力は、入力電圧のパワーグッド信号です。
7	AGND	アナログ・グラウンド。
8	PGND	電源グラウンド。
9	SW	レギュレータのスイッチング・ノード出力。
10	PVIN	レギュレータの電源入力。
	EPAD	露出パッド。露出パッドは、放熱のためにICの下の大きな外部銅箔グラウンド・プレーンにハンダ付けします。

代表的な性能特性

特に指定がない限り、 $V_{IN} = 3.6\text{ V}$ 、 $V_{OUT} = 2.5\text{ V}$ 、 $L1 = 2.2\ \mu\text{H}$ 、 $C_{IN} = C_{OUT} = 10\ \mu\text{F}$ 、 $f_{SW} = 2\text{ MHz}$ 、 $T_A = 25^\circ\text{C}$ 。

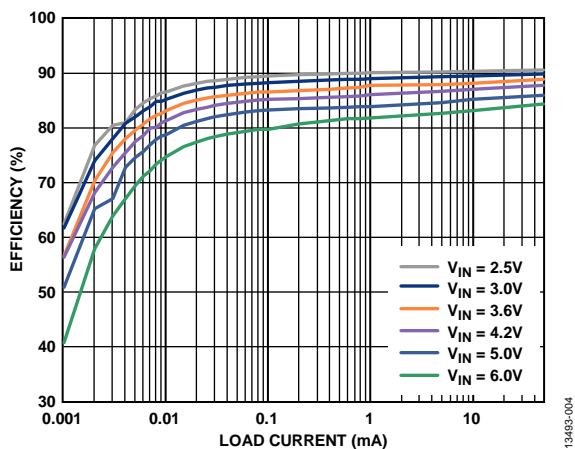


図 4. 負荷電流対ヒステリシス・モードの効率、 $V_{OUT} = 1.2\text{ V}$

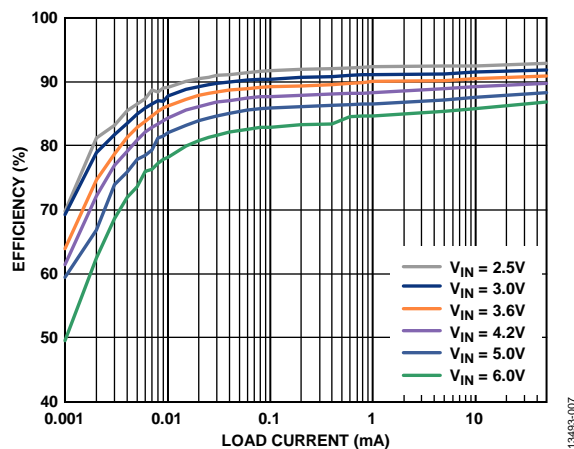


図 7. 負荷電流対ヒステリシス・モードの効率、 $V_{OUT} = 1.5\text{ V}$

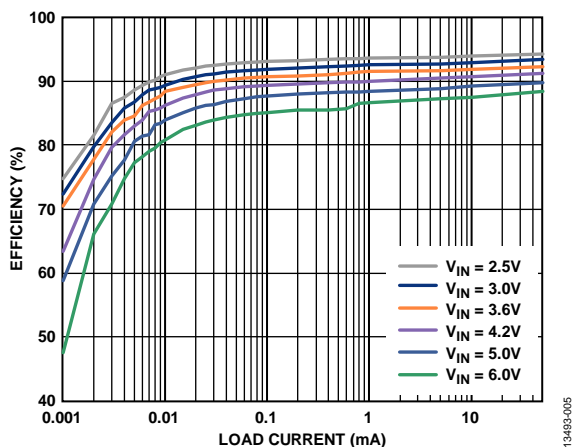


図 5. 負荷電流対ヒステリシス・モードの効率、 $V_{OUT} = 1.8\text{ V}$

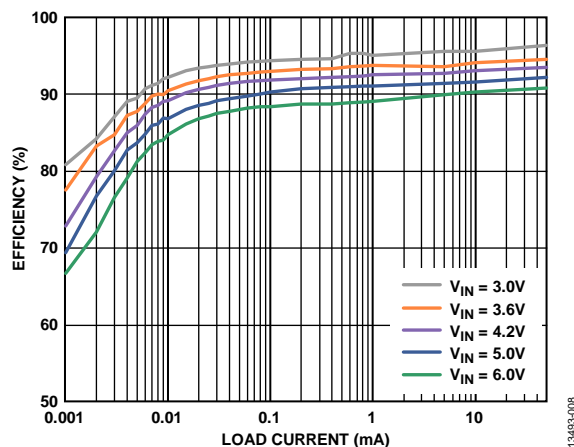


図 8. 負荷電流対ヒステリシス・モードの効率、 $V_{OUT} = 2.5\text{ V}$

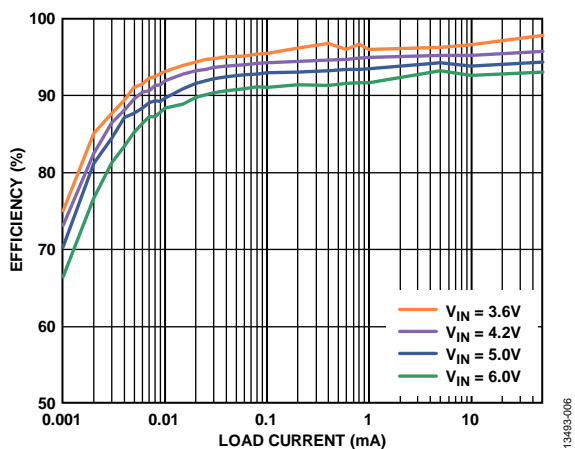


図 6. 負荷電流対ヒステリシス・モードの効率、 $V_{OUT} = 3.3\text{ V}$

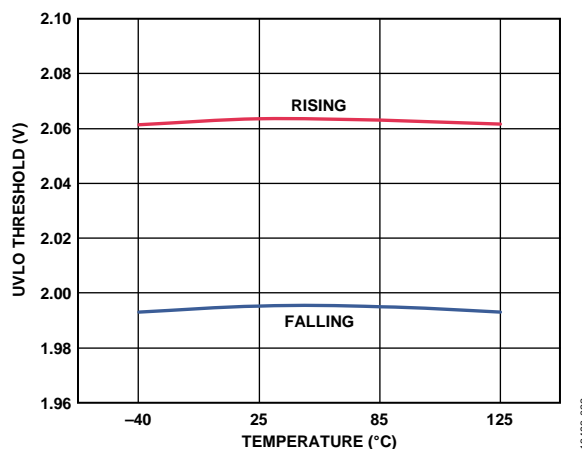


図 9. 上昇時と下降時の UVLO 閾値の温度特性

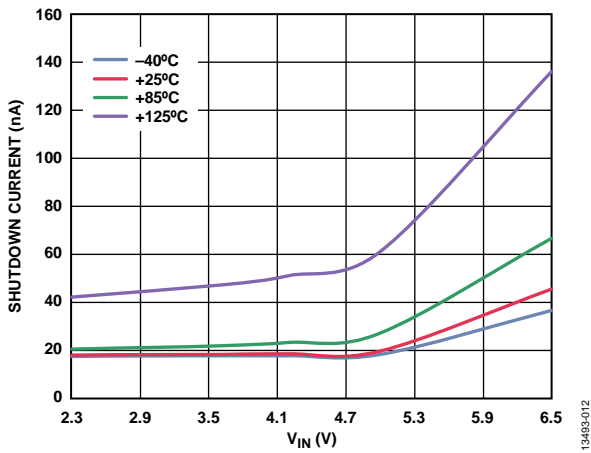


図 10. V_{IN} 対シャットダウン電流、EN がロー・レベル

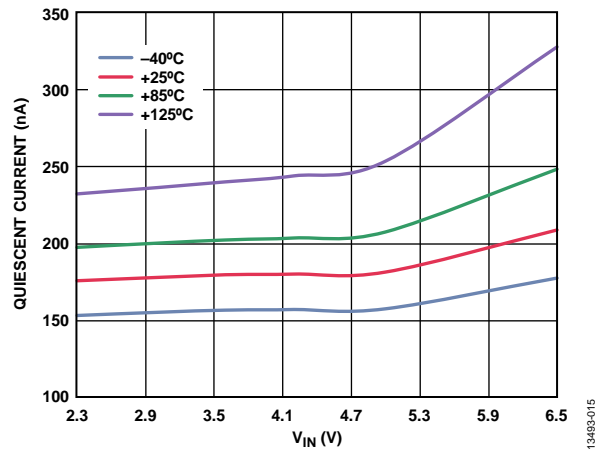


図 13. V_{IN} 対静止電流

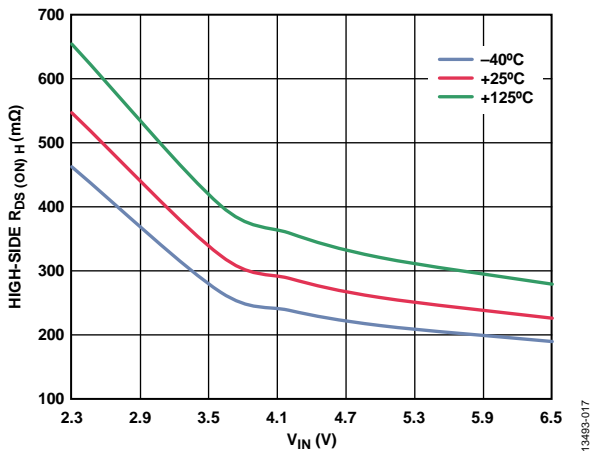


図 11. V_{IN} 対ハイサイドの $R_{DS(ON)H}$

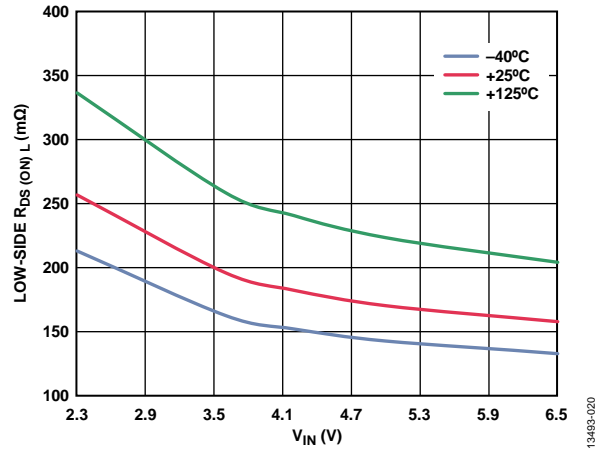


図 14. V_{IN} 対ローサイドの $R_{DS(ON)L}$

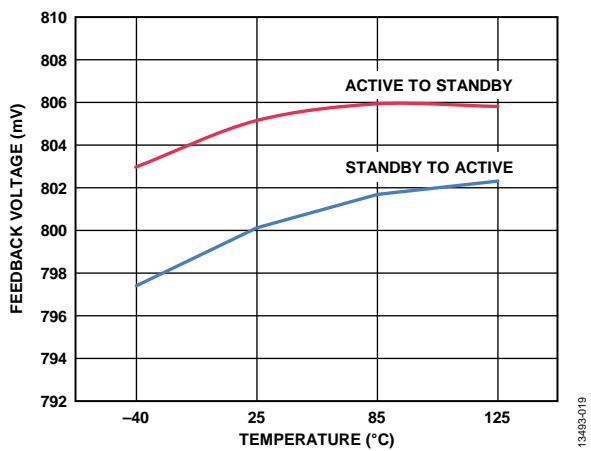


図 12. 帰還電圧の温度特性

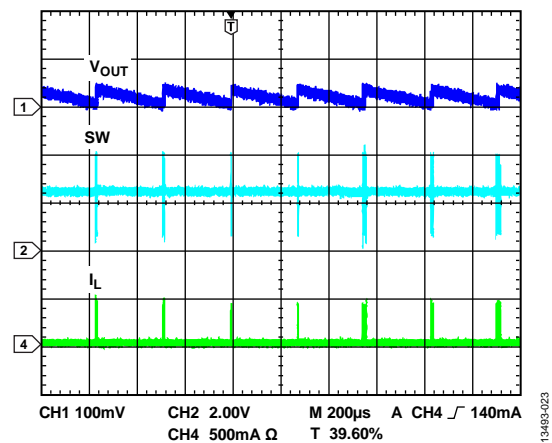


図 15. 定常波形、 $I_{LOAD} = 1 \text{ mA}$ (I_L はインダクタ電流)

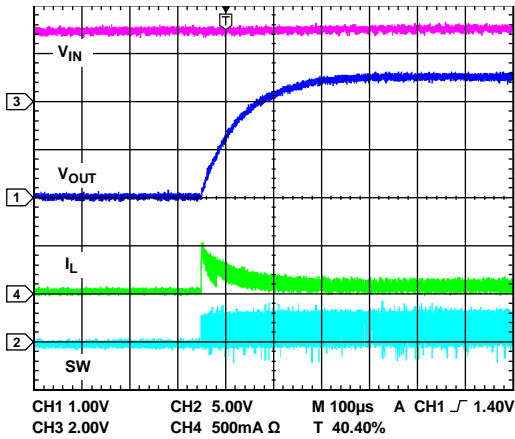


図 16. ソフトスタート、 $I_{LOAD} = 50 \text{ mA}$

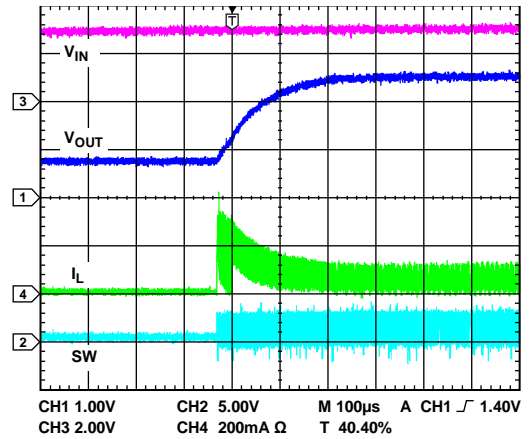


図 19. プリチャージ機能によるソフトスタート

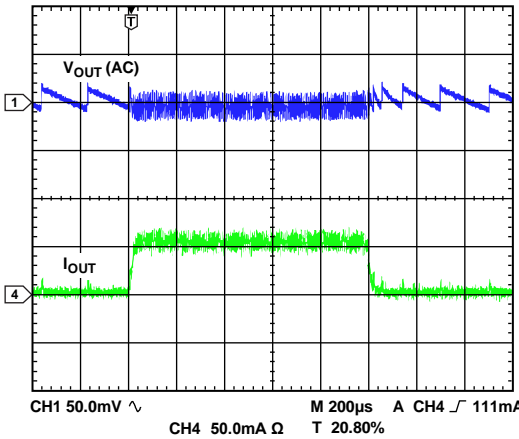


図 17. 負荷過渡応答、 $I_{LOAD} = 0 \text{ mA} \rightarrow 50 \text{ mA}$

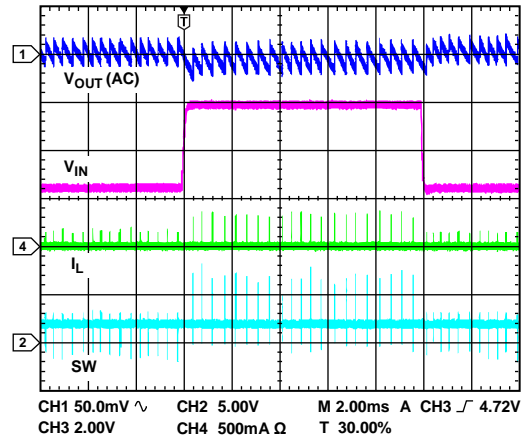


図 20. ライン過渡応答、 $I_{LOAD} = 10 \mu\text{A}$

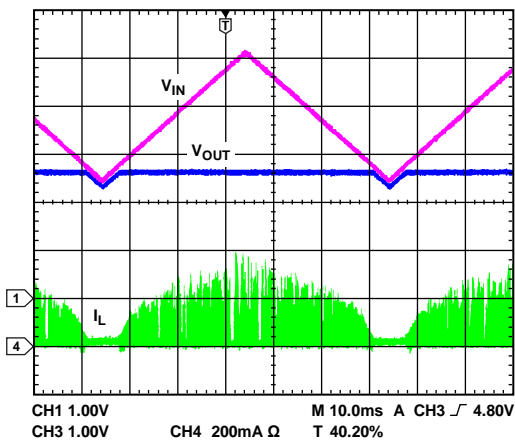


図 18. 入力電圧のランプアップとランプダウン

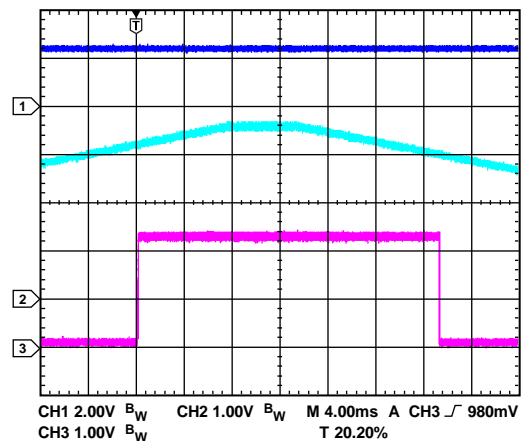


図 21. VINOK 閾値が 3.0 V で VINOK が機能

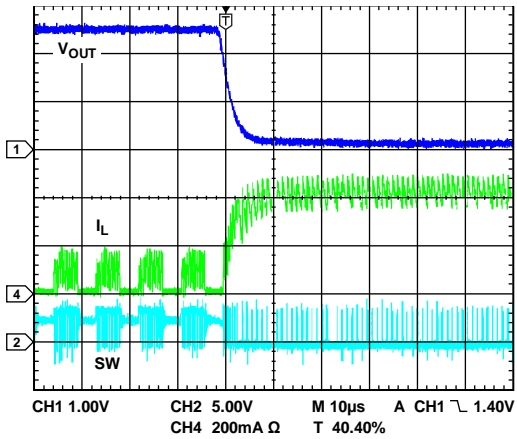


図 22. 出力短絡保護

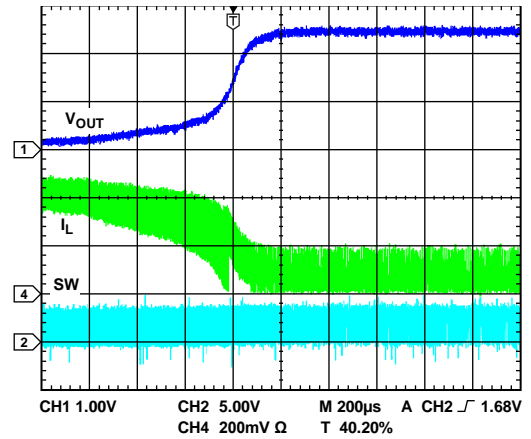


図 24. 出力短絡からの回復

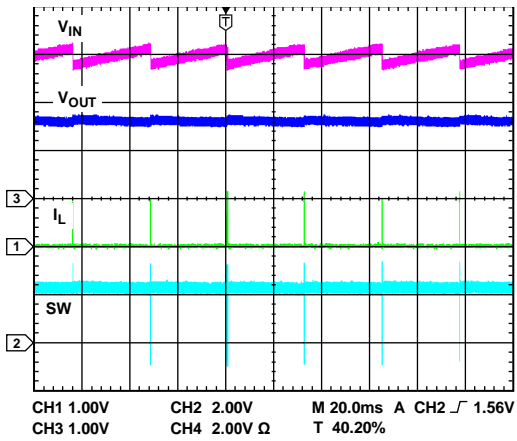


図 23. 260 μ A の電流源が 100 μ A の負荷電流、3.0 V の VINOK 閾値で 100 μ F の出力コンデンサを充電

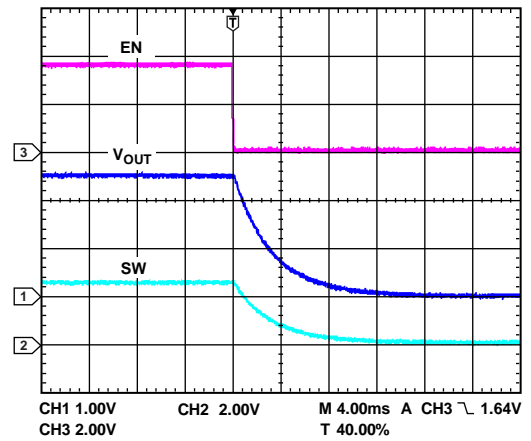


図 25. 急速出力放電機能

動作原理

ADP5304 は 10 ピン LFCSP パッケージを採用した高効率で超低静止電流の降圧レギュレータで、性能とボード・スペースの厳しい要件を満たすように設計されています。このデバイスは 2.15 V ~ 6.50 V の広い入力電圧に直接接続できるので、高インピーダンス電源や環境発電電源を使用することができます。

降圧レギュレータの動作モード

ADP5304 の降圧レギュレータはヒステリシス・モードで動作し、ピーク・インダクタ電流を一定に制御することにより、出力電圧を PWM パルスによる公称出力電圧よりわずかに高く充電します。出力電圧が、出力検出信号がヒステリシスの上側閾値を超えるまで上昇すると、レギュレータはスタンバイ・モードになります。スタンバイ・モードでは、ハイサイドとローサイドの MOSFET および大部分の回路がディスエーブルされるので、低静止電流とともに高効率の性能を実現できます。スタンバイ・モードの間、出力コンデンサが負荷にエネルギーを供給します。出力電圧がヒステリシス・コンパレータの下側閾値を下回るまで低下すると、降圧レギュレータがウェークアップしてアクティブ・モードになり、PWM パルスを生成して出力を再度充電します。

降圧レギュレータは、MODE ピンをグラウンドに接続することによりヒステリシス・モードで動作します。無負荷時に出力を安定化するためにレギュレータに流れる静止電流がわずか 260 nA なので、レギュレータをバッテリー駆動アプリケーションや環境発電システムのキープアラライブ電源として機能させることができます。

調整可能な出力電圧と固定出力電圧

ADP5304 は、VID ピンと AGND の間に 1 本の抵抗を接続することにより、出力電圧の設定値を調整することができます。起動期間内に VID 検出回路が作動し、内部レジスタ内に電圧 ID コードがサンプル・ホールドされ、このコードは次のパワー・サイクルが開始されるまで変化しません。さらに、ADP5304 は出荷時のヒューズによって設定される固定出力電圧を供給します。この条件では、VID ピンを PVIN ピンに接続します。

出力電圧を設定するため、ADP5304 に帰還抵抗分圧器が内蔵されており、帰還ピン (FB) を出力に直接接続する必要があります。超低消費電力の電圧リファレンスと高インピーダンス (50 M Ω 、代表値) の内蔵帰還分圧器ネットワークの効果で、低静止電流となります。VID ピンの設定による出力電圧のオプションを表 5 に示します。1% 抵抗の使用を推奨します。

表 5. VID ピンを使用する出力電圧のオプション

VID Configuration	V _{OUT} , Factory Option 0 (V)	V _{OUT} , Factory Option 1 (V)
Short to ground	3.0	3.1
Short to PVIN	2.5	1.3
R _{VID} = 499 k Ω	3.6	5.0
R _{VID} = 316 k Ω	3.3	4.5
R _{VID} = 226 k Ω	2.9	4.2
R _{VID} = 174 k Ω	2.8	3.9
R _{VID} = 127 k Ω	2.7	3.4
R _{VID} = 97.6 k Ω	2.6	3.2
R _{VID} = 76.8 k Ω	2.4	1.9
R _{VID} = 56.2 k Ω	2.3	1.7
R _{VID} = 43 k Ω	2.2	1.6
R _{VID} = 32.4 k Ω	2.1	1.4
R _{VID} = 25.5 k Ω	2.0	1.1
R _{VID} = 19.6 k Ω	1.8	1.0
R _{VID} = 15 k Ω	1.5	0.9
R _{VID} = 11.8 k Ω	1.2	0.8

低電圧ロックアウト (UVLO)

低電圧ロックアウト回路は PVIN ピンの入力電圧レベルをモニタします。入力電圧が 2.00 V (代表値) を下回ると、レギュレータはオフします。入力電圧が 2.06 V (代表値) を上回ると、ソフトスタート期間が開始し、EN ピンがハイになると、レギュレータはイネーブルされます。

イネーブル/ディスエーブル

ADP5304 は独立したイネーブル (EN) ピンを備えています。EN ピンをロジック・ハイにすると、レギュレータは起動します。低静止電流設計のため、レギュレータは通常、EN ピンがハイに引き上げられてから数ミリ秒の遅延後にスイッチングを開始します。

EN ピンをロジック・ローにすると、レギュレータは直ちにディスエーブルされ、レギュレータは超低消費電流になります。

VINOK の機能

ADP5304 は、入力電圧の状態を示すのに使用可能なオープンドレインの VINOK 出力を備えています。PVIN ピンの入力電圧がリファレンス閾値を上回ると、VINOK 出力はアクティブ・ハイになります。入力電圧がリファレンス閾値を下回ると、VINOK ピンはローになります。コンパレータが超低消費電力設計のため、VINOK 出力の状態が変化するのに 130 μ s (代表値) という比較的長い確認時間があることに注意してください。

また、ADP5304 の VINOK 閾値は、降圧レギュレータがいつスイッチングを開始し、いつ停止するかを決定します。入力電圧が閾値を下回ると、レギュレータはヒステリシス・モードでのスイッチングを停止します。入力電源が入力コンデンサを閾値よりヒステリシスだけ高い電圧まで充電すると、レギュレータはスイッチングを再開します。閾値付近のヒステリシス・ウィンドウの入力電圧で、レギュレータは最大電力点追従 (MPPT) と見なされる動作を行います。高インピーダンスの入力電源や低入力電力のアプリケーションでは、ADP5304 を使用し、トリクル充電によって大容量の出力コンデンサを充電します。

異なる VINOK 閾値を 2.05 V ~ 5.15 V に 50 mV ステップで出荷時に設定可能です。デフォルト・オプション以外のオプションを備えたデバイスのオーダーについては、弊社または弊社代理店にお問い合わせください。

電流制限

ADP5304 の降圧レギュレータは、ハイサイド MOSFET とローサイド MOSFET を流れる電流の向きと量をサイクルごとに一定に制限する保護回路を内蔵しています。ハイサイド MOSFET の正電流制限は、入力から出力に流れることのできる電流量を制限します。ローサイド MOSFET の負電流制限は、インダクタ電流が反転して負荷から流出するのを防止します。

短絡保護

ADP5304 の降圧レギュレータは、ハード短絡時の電流の暴走を防ぐ周波数フォールドバック機能を備えています。帰還ピン (FB) の出力電圧が 0.3 V (代表値) を下回り、出力にハード短絡が生じている可能性がある場合、アクティブ・モードのスイッチング周波数が内部発振器の周波数の 1/2 まで低下します。スイッチング周波数が低下するとインダクタの放電時間が長くなるため、出力電流の暴走を防止できます。

ソフトスタート

ADP5304 は、起動時に出力電圧の上昇を一定に制御することにより突入電流を制限するソフトスタート機能を内蔵しています。この機能により、バッテリーや高インピーダンス電源をデバイスの入力に接続するとき生じる可能性のある入力の電圧降下を防止します。レギュレータのソフトスタート時間は 350 μ s (代表値) です。

出荷時に、ヒューズにより、ADP5304 に異なるソフトスタート時間 (2800 μ s) を設定することができます (表 11 参照)。

プリチャージ出力での起動

ADP5304 の降圧レギュレータは、起動時にローサイド FET を損傷から保護するプリチャージ起動機能を備えています。レギュレータがオンする前に出力電圧がプリチャージされると、レギュレータは、内部ソフトスタートのリファレンス電圧が帰還ピンのプリチャージ電圧を超えるまで、出力コンデンサを放電する逆インダクタ電流を阻止します。

100% デューティ・サイクル

入力電圧が出力電圧に近づくと、ADP5304 はスイッチングを停止して 100% デューティ・サイクル動作になります。このデバイスは、出力をインダクタと内部ハイサイド・パワー・スイッチを介して入力に接続します。入力電圧が再び充電されて必要なデューティ・サイクルが 95% (代表値) まで低下すると、降圧レギュレータは、出力電圧にオーバーシュートを生じることなく、スイッチングとレギュレーションを直ちに再開します。ADP5304 は 100% デューティ・サイクル動作時にわずか 640 nA (代表値) の静止電流になります。

アクティブ放電

ADP5304 のレギュレータは、出荷時に設定可能なスイッチング・ノードからグラウンドへの放電スイッチをオプションとして内蔵しています。対象となるレギュレータがディスエーブルされると、このスイッチがオンすることにより、出力コンデンサを短時間で放電することができます。レギュレータの放電スイッチの抵抗の代表値は 290 Ω です。デフォルトでは、放電機能はイネーブルされていません。アクティブ放電機能は、出荷時のヒューズによってイネーブルすることができます。

サーマル・シャットダウン

ADP5304 のジャンクション温度が 142°C を超えると、サーマル・シャットダウン回路が、内部のリニア電圧レギュレータを除いて、IC をオフします。ジャンクション温度が極端に高くなる要因は、大電流の動作、回路ボードの設計不備、高い周囲温度などです。15°C のヒステリシスを備えているので、サーマル・シャットダウン後にジャンクション温度が 127°C を下回るまで ADP5304 は動作を再開しません。デバイスがサーマル・シャットダウンから回復すると、イネーブルされた各チャンネルでソフトスタートが開始されます。

アプリケーション情報

このセクションでは、ADP5304 の外付け部品の選択について説明します。代表的なアプリケーション回路を図 26 に示します。

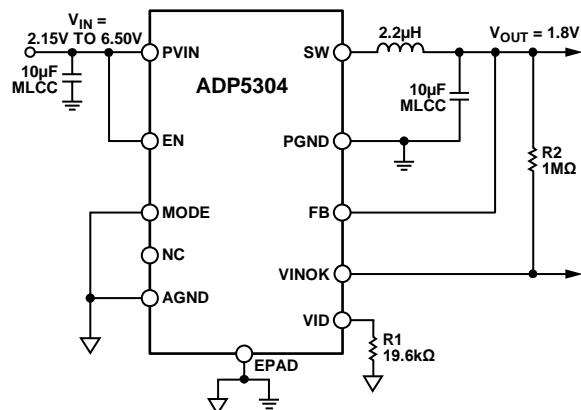


図 26. 代表的なアプリケーション回路

外付け部品の選択

ADP5304 は、クローズドループ補償回路と適応型スロープ補償回路を使用し、各種出力電圧に対して 2.2 µH のインダクタと 10 µF の出力コンデンサで動作するように最適化されています。部品の選択は、効率、負荷電流トランジェントなどのアプリケーション要件に依存します。効率と過渡応答のような性能パラメータ間のトレードオフは、外付け部品の選択を変えることによって行います。

インダクタの選択

ADP5304 はスイッチング周波数が高いため、小型の表面実装パワー・インダクタを使用することができます。選択したインダクタの DC 抵抗 (DCR) 値は効率に影響を与えます。さらに、スイッチング周波数が高いと、コア温度の上昇が大きくなりコア損失が増加するため、磁性体鉄心インダクタよりも積層インダクタを選択することを推奨します。

表 6. 推奨インダクタ

Vendor	Model	Inductance (µH)	Dimensions (mm)	DCR (mΩ)	Isat ¹ (A)
TDK	MLP2016V2R2MT0S1	2.2	2.0 × 1.6 × 0.85	280	1.0
Würth	74479889222	2.2	2.5 × 2.0 × 1.2	250	1.7
Coilcraft	LPS3314-222MR	2.2	3.3 × 3.3 × 1.3	100	1.5

表 7. 入力コンデンサと出力コンデンサ

Vendor	Model	Capacitance (µF)	Size
Murata	GRM188D71A106MA73	10	0603
Murata	GRM21BR71A106KE51	10	0805
Murata	GRM31CR60J107ME39	100	1206

¹ Isat は、インダクタンスが無電流時の値から 30% (代表値) 減少する DC 電流です。

インダクタの DC 電流定格の最小要件は、以下の式に示すように、最大負荷電流にインダクタ電流リップル (ΔI_L) の 1/2 を加えた値に等しくすることです。

$$\Delta I_L = V_{OUT} + \left(\frac{1 - V_{OUT}/V_{IN}}{L \times f_{SW}} \right)$$

$$I_{PK} = I_{LOAD(MAX)} + \left(\frac{\Delta I_L}{2} \right)$$

ここで、 I_{PK} はピーク・インダクタ電流です。

表 6 に示す各種メーカー製のインダクタ・シリーズを使用してください。

出力コンデンサ

出力に生じる電圧オーバーシュート、電圧アンダーシュート、リップル電圧を最小限に抑えるために、出力容量を必要とします。等価直列抵抗 (ESR) が小さいコンデンサを使うと、出力リップルが小さくなります。さらに、X5R や X7R のような誘電体コンデンサを使用します。Y5V コンデンサと Z5U コンデンサは使用しないでください。これらは、温度変化と DC バイアス電圧変化に対する容量変動が大きいため適しません。ESR は重要であるため、次式を使ってコンデンサを選択します。

$$ESR_{COUT} \leq \frac{V_{RIPPLE}}{\Delta I_L}$$

ここで、 ESR_{COUT} は選択したコンデンサの ESR、 V_{RIPPLE} はピーク to ピーク出力電圧リップルです。

出力コンデンサの値を大きくしても安定性に影響はなく、出力リップルが減少し、負荷過渡応答が向上する可能性があります。ADP5304 は従来のコンデンサやスーパー・キャパシタを充電することができます。この出力コンデンサの値を選択するときは、出力電圧の DC バイアスに起因する容量損失を考慮することが重要です。

表 7 に示す各種メーカー製のコンデンサ・シリーズを使用してください。

入力コンデンサ

入力電圧リップル、入力リップル電流、ソース・インピーダンスを低減するために、入力コンデンサが必要です。入力コンデンサはPVINピンのできるだけ近くに配置します。入力電圧リップルを最小限に抑えるため、低ESRのX7RコンデンサまたはX5Rコンデンサを強く推奨します。

次式を使って rms 入力電流を求めます。

$$I_{RMS} \geq I_{LOAD(MAX)} \sqrt{\frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}}}$$

ほとんどのアプリケーションでは、10 μF のコンデンサで十分です。入力電圧のフィルタリングを強化するため、入力コンデンサは制限なく大きくすることができます。

レイアウトに関する推奨事項

ADP5304 の代表的なプリント回路ボード (PCB) レイアウトを図 27 に示します。

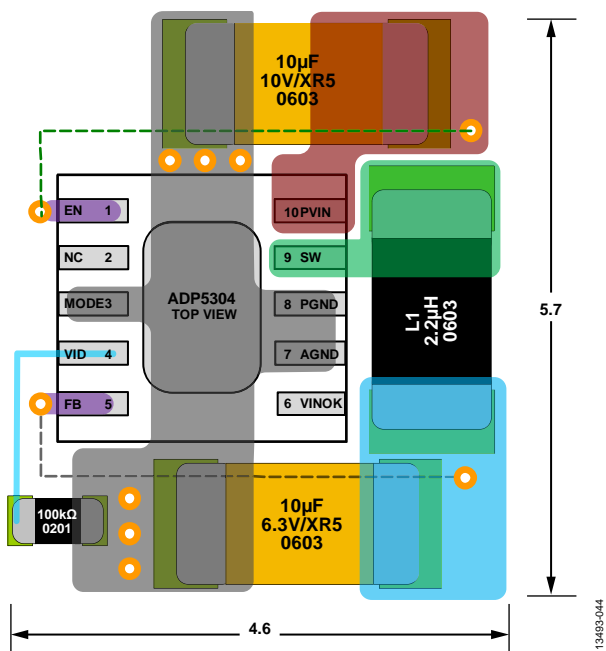
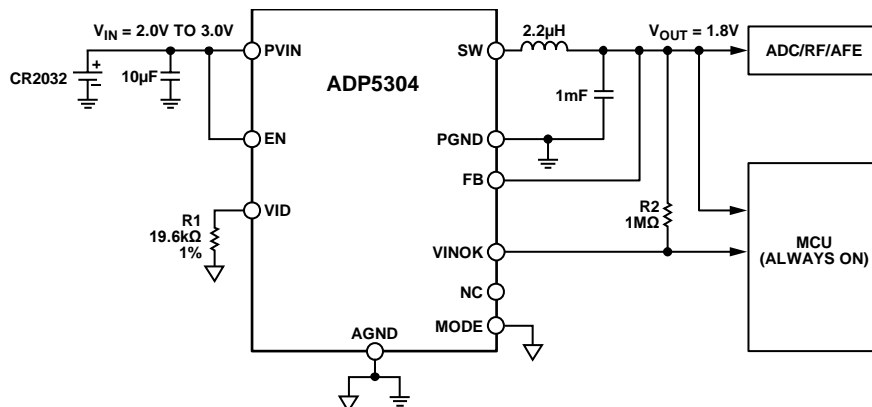


図 27. ADP5304 の PCB レイアウト

代表的なアプリケーション回路

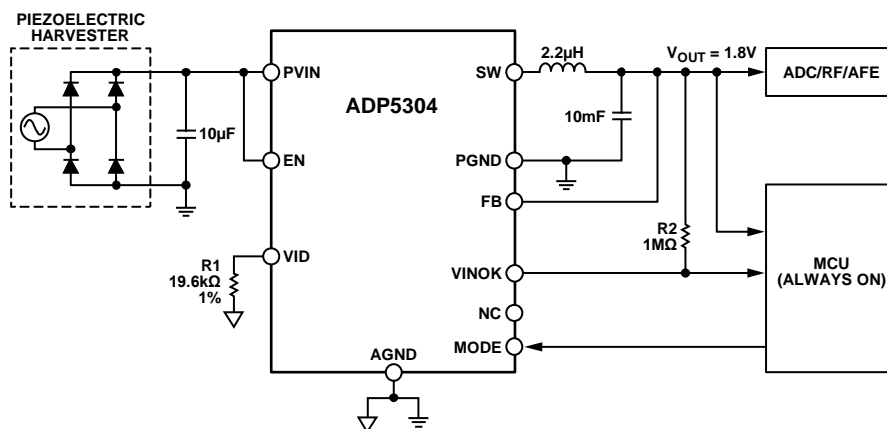
ADP5304 は、バッテリー寿命を延ばし、スーパー・キャパシタによって負荷パルス電流能力を強化するキープアライブの超低消費電力降圧レギュレータ (図 28 参照)、およびマイクロコントローラまたはプロセッサによって制御されるバッテリー駆動装置

やワイヤレス・センサー・ネットワーク (図 29 参照) に使用することができます。VINOK 機能により、最大電力点追従を行うことができます。



13493-039

図 28. コイン電池 (CR2032) を使用した ADP5304 の代表的なアプリケーション



13493-040

図 29. 圧電ハーベスタを使用した ADP5304 の代表的なアプリケーション

出荷時に設定可能なオプション

デフォルト・オプション以外のオプションを備えたデバイスのオーダーについては、弊社または弊社代理店にお問い合わせください。

表 8. 出力電圧に対する VID の設定オプション

Option	Description
Option 0	VID resistor to set the output voltage as follows: 1.2 V, 1.5 V, 1.8 V, 2.0 V, 2.1 V, 2.2 V, 2.3 V, 2.4 V, 2.5 V, 2.6 V, 2.7 V, 2.8 V, 2.9 V, 3.0 V, 3.3 V, 3.6 V, 3.3 V (default)
Option 1	VID resistor to set the output voltage as follows: 0.8 V, 0.9 V, 1.0 V, 1.1 V, 1.3 V, 1.4 V, 1.6 V, 1.7 V, 1.9 V, 3.1 V, 3.4 V, 3.9 V, 4.2 V, 4.5 V, 5.0 V

表 9. VINOK モニタの閾値オプション

Option	VINOK Monitor Threshold (V)
Option 0	2.05
Option 1	2.10
Option 2	2.15
Option 3	2.20
...	...
Option 20	3.00 (default)
...	...
Option 62	5.10
Option 63	5.15

表 10. 出力放電機能のオプション

Option	Description
Option 0	Output discharge function disabled for buck regulator (default)
Option 1	Output discharge function enabled form buck regulator

表 11. ソフトスタート・タイマーのオプション

Option	Description
Option 0	350 μ s (default)
Option 1	2800 μ s

外形寸法

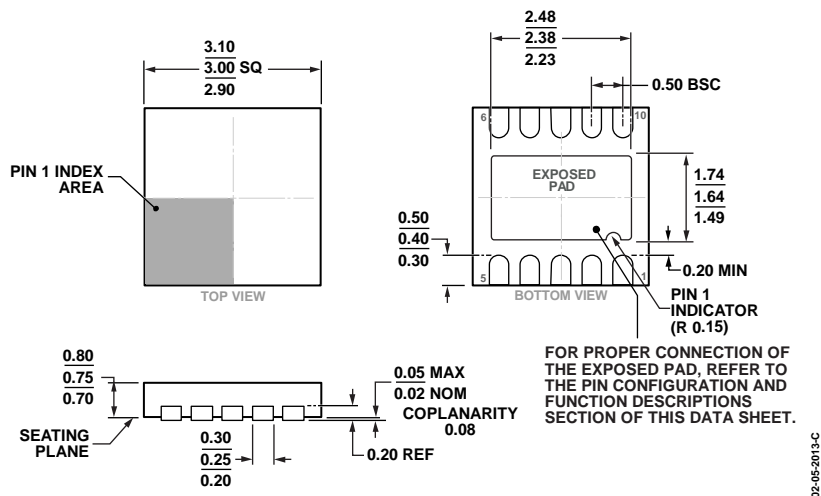


図 30.10 ピン・リードフレーム・チップスケール・パッケージ [LFCSP_WD]
 3 mm × 3 mm ボディ、極薄、デュアル・リード
 (CP-10-9)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADP5304ACPZ-1-R7	-40°C to +125°C	10-Lead Lead Frame Chip Scale Package [LFCSP_WD] Without Output Discharge, VINOK Threshold = 3.00 V	CP-10-9
ADP5304ACPZ-2-R7	-40°C to +125°C	10-Lead Lead Frame Chip Scale Package [LFCSP_WD] Without Output Discharge, VINOK Threshold = 4.00 V	CP-10-9
ADP5304-EVALZ		Evaluation Board	

¹ Z = RoHS 準拠製品。