

ANALOG DEVICES 50 mA/500 mA、超低消費電力降圧レギュレータ、バッテリー電圧モニタ付き

データシート

ADP5303

特長

- 入力電源の電圧範囲: 2.15 V ~ 6.50 V
- 最小 2.00 V の低電圧動作
- 240 nA の超低静止電流 (無負荷時)
- 選択可能な出力電圧: 1.2 V ~ 3.6 V または 0.8 V ~ 5.0 V
- パルス幅変調 (PWM) モードでの全温度範囲にわたる $\pm 1.5\%$ の出力精度
- ヒステリシス・モードまたは PWM 動作モードを選択可能
- 出力電流
- ヒステリシス・モードで最大 50 mA
- PWM モードで最大 500 mA
- 入力バッテリー電圧を監視するための VINOK フラグ
- 100% デューティサイクル動作モード
- 2 MHz スイッチング周波数 (1.2 MHz ~ 2.5 MHz のオプションの同期入力)
- 急速出力放電 (QOD) オプション
- UVLO、OCP、TSD 保護
- 9 ボール、1.65 mm x 1.87 mm WLCSP
- ジャンクション温度: -40 °C ~ +125 °C

アプリケーション

- 電力量 (ガス量、水量) 計
- ポータブル機器とバッテリー駆動装置
- 医療用アプリケーション

概要

ADP5303 は効率の高い超低静止電流降圧レギュレータで、無負荷時にわずか 240 nA の静止電流で出力をレギュレーションできます。

ADP5303 は 2.15 V ~ 6.50 V の入力電圧で動作し、アルカリ電池、ニッケル水素電池、リチウムイオン電池などのさまざまな電源を使用できます。出力電圧は、外部 VID 抵抗と出荷時のヒューズ調整によって 0.8 V ~ 5.0 V の範囲で選択可能です。トータル・ソリューションに必要なものは、4 個の小さな外部部品のみです。

ADP5303 は、SYNC/MODE ピンを介して、ヒステリシス・モードまたは PWM モードで動作できます。ヒステリシス・モードの場合、レギュレータは 1 mW 未満の電力で最高の効率を実現し、最大 50 mA の電流を出力します。PWM モードの場合、レギュレータは低い出力リップルを生成し、最大 500 mA の出力電流を供給します。デバイス動作中に柔軟に設定できるため、非常に効率的なパワー・マネージメントが可能で、長いバッテリー寿命と低いシステム・ノイズに関する要件を満たすことができます。

キープ・アライブ電源

代表的なアプリケーション回路

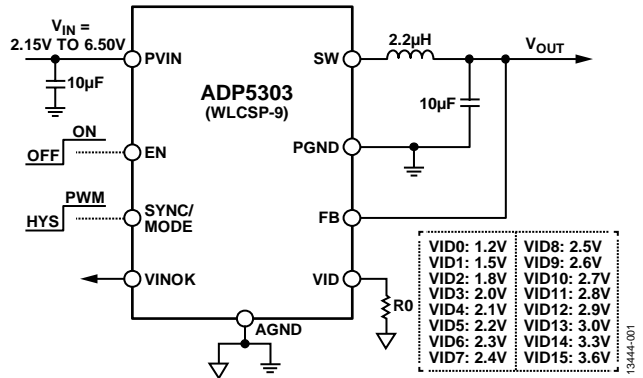


図 1.

ADP5303 は、消費電力の非常に低いコンパレータと入力バッテリー電圧を監視するため、出荷時にプログラム可能な電圧リファレンスを内蔵しています。このレギュレータは PWM モードで 2 MHz のスイッチング周波数で動作し、SYNC/MODE ピンは 1.2 MHz ~ 2.5 MHz の外部クロックと同期できます。

ADP5303 のその他の主な機能として、個別イネーブル、QOD、および過電流保護 (OCP)、サーマル・シャットダウン (TSD)、入力低電圧ロックアウト (UVLO) などの安全機能があります。

ADP5303 は、9 ボール、1.65 mm x 1.87 mm WLCSP パッケージに収められていて、ジャンクション温度定格は -40 °C ~ +125 °C です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	短絡保護.....	15
アプリケーション.....	1	ソフト・スタート.....	15
代表的なアプリケーション回路.....	1	プリチャージ出力でのスタートアップ.....	15
概要.....	1	100% デューティサイクル動作.....	15
改訂履歴.....	2	アクティブ放電.....	15
詳細機能ブロック図.....	3	VINOK の機能.....	15
仕様.....	4	サーマル・シャットダウン.....	15
絶対最大定格.....	6	アプリケーション情報.....	16
熱抵抗.....	6	外部部品の選択.....	16
ESD に関する注意.....	6	インダクタの選択.....	16
ピン配置およびピン機能の説明.....	7	出力コンデンサ.....	16
代表的な性能特性.....	8	入力コンデンサ.....	17
動作原理.....	14	効率.....	17
降圧レギュレータの動作モード.....	14	推奨プリント回路基板レイアウト.....	18
発振器および同期について.....	14	代表的なアプリケーション回路.....	19
可変出力電圧および固定出力電圧.....	14	出荷時にプログラム可能なオプション.....	20
低電圧ロックアウト (UVLO).....	15	外形寸法.....	21
イネーブル/ディスエーブル.....	15	オーダー・ガイド.....	21
電流制限.....	15		

改訂履歴

10/15—Revision 0: 初版

詳細機能ブロック図

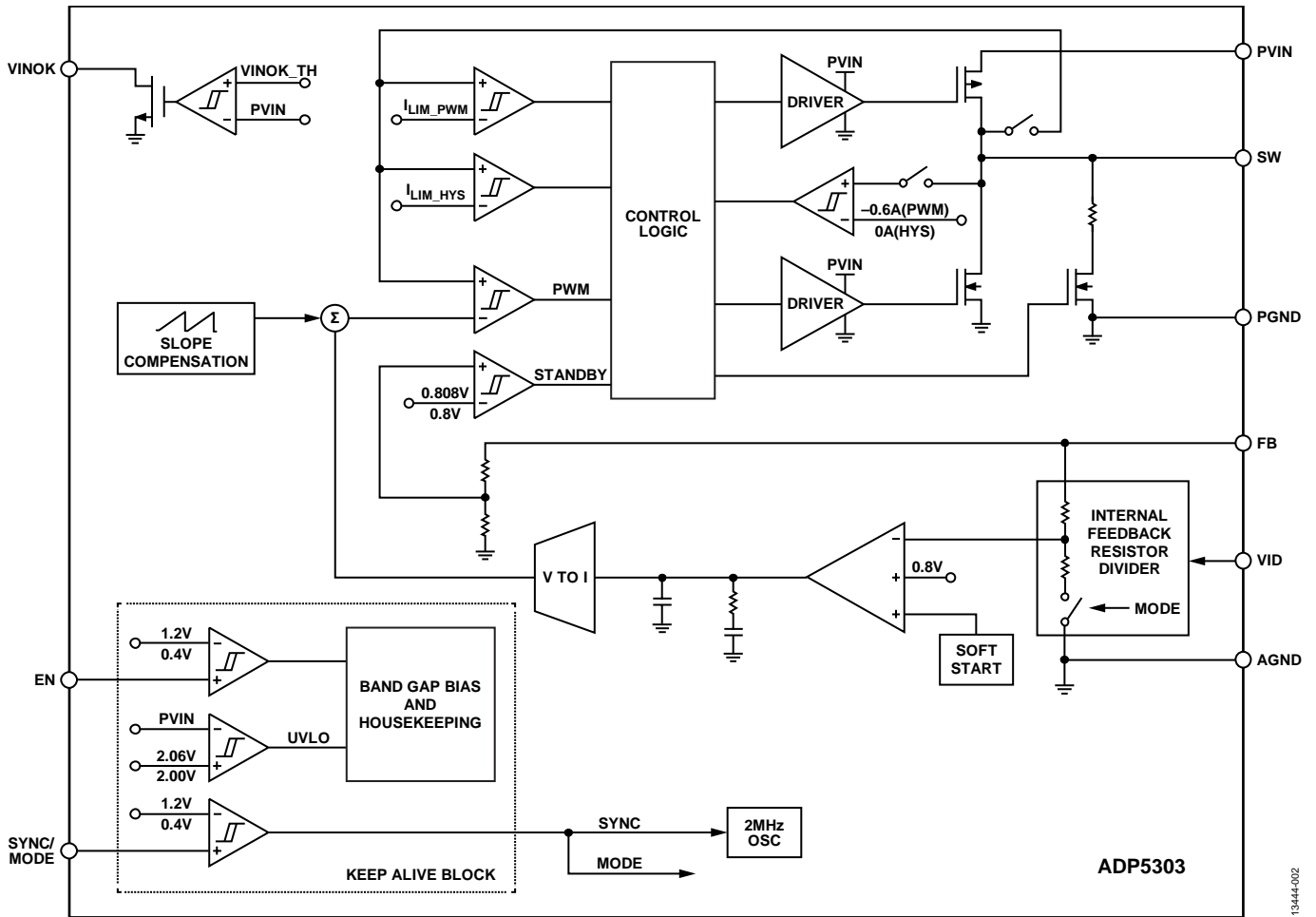


図 2. 詳細機能ブロック図

仕様

特に指定のない限り、 $V_{IN} = 3.6\text{ V}$ 、 $V_{OUT} = 2.5\text{ V}$ 、 $T_J = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ （最小仕様および最大仕様）、 $T_A = 25\text{ }^\circ\text{C}$ （代表仕様）。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
INPUT SUPPLY VOLTAGE RANGE	V_{IN}	2.15		6.50	V	
SHUTDOWN CURRENT	$I_{SHUTDOWN}$		18	40	nA	$V_{EN} = 0\text{ V}$, $-40\text{ }^\circ\text{C} \leq T_J \leq +85\text{ }^\circ\text{C}$
			18	130	nA	$V_{EN} = 0\text{ V}$, $-40\text{ }^\circ\text{C} \leq T_J \leq +125\text{ }^\circ\text{C}$
QUIESCENT CURRENT						
Operating Quiescent Current in Hysteresis Mode	I_{Q_HYS}		240	360	nA	$-40\text{ }^\circ\text{C} \leq T_J \leq +85\text{ }^\circ\text{C}$
			240	520	nA	$-40\text{ }^\circ\text{C} \leq T_J \leq +125\text{ }^\circ\text{C}$
			640	1500	nA	100% duty cycle operation, $V_{IN} = 3.0\text{ V}$, V_{OUT} set to 3.3 V
Operating Quiescent Current in PWM Mode	I_{Q_PWM}		425	630	μA	
UNDERVOLTAGE LOCKOUT	UVLO					
UVLO Threshold						
Rising	V_{UVLO_RISING}		2.06	2.14	V	
Falling	$V_{UVLO_FALLING}$	1.90	2.00		V	
OSCILLATOR CIRCUIT						
Switching Frequency in PWM Mode	f_{SW}	1.7	2.0	2.3	MHz	
Feedback (FB) Threshold of Frequency Fold	V_{OSC_FOLD}		0.3		V	
SYNCHRONIZATION THRESHOLD ¹						
SYNC Clock Range	$SYNC_{CLOCK}$	1.2		2.5	MHz	
SYNC High Level Threshold	$SYNC_{HIGH}$	1.2			V	
SYNC Low Level Threshold	$SYNC_{LOW}$			0.4	V	
SYNC Duty Cycle Range	$SYNC_{DUTY}$	100		$1/f_{SW} - 150$	ns	
SYNC/MODE Leakage Current	$I_{SYNC_LEAKAGE}$		50	150	nA	$V_{SYNC/MODE} = 3.6\text{ V}$
MODE TRANSITION						
Transition Delay from Hysteresis Mode to PWM Mode	$t_{HYS_TO_PWM}$		20		Clock cycles	SYNC/MODE goes logic high from logic low
EN PIN						
Input Voltage Threshold						
High	V_{IH}	1.2			V	
Low	V_{IL}			0.4	V	
Input Leakage Current	$I_{EN_LEAKAGE}$			25	nA	
FB PIN						
Output Options by VID Resistor	V_{OUT_OPT}	0.8		5.0	V	0.8 V to 5.0 V in various factory options
PWM Mode						
Fixed VID Code Voltage Accuracy	$V_{FB_PWM_FIX}$	-0.6		+0.6	%	$T_J = 25\text{ }^\circ\text{C}$, output voltage setting via factory fuse
		-1.2		+1.2	%	$-40\text{ }^\circ\text{C} \leq T_J \leq +125\text{ }^\circ\text{C}$
Adjustable VID Code Voltage Accuracy	$V_{FB_PWM_ADJ}$	-1.5		+1.5	%	Output voltage setting via the VID resistor
Hysteresis Mode						
Fixed VID Code Threshold Accuracy from Active Mode to Standby Mode	$V_{FB_HYS_FIX}$	-0.75		+0.75	%	$T_J = 25\text{ }^\circ\text{C}$
		-2.5		+2.5	%	$-40\text{ }^\circ\text{C} \leq T_J \leq +125\text{ }^\circ\text{C}$
Adjustable VID Code Threshold Accuracy from Active Mode to Standby Mode	$V_{FB_HYS_ADJ}$	-3		+3	%	$-40\text{ }^\circ\text{C} \leq T_J \leq +125\text{ }^\circ\text{C}$

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Hysteresis of Threshold Accuracy from Active Mode to Standby Mode	$V_{FB_HYS(HYS)}$		1		%	
Feedback Bias Current	I_{FB}		66	95	nA	Output Option 0, $V_{OUT} = 2.5 V$
			25	45	nA	Output Option 1, $V_{OUT} = 1.3 V$
SW PIN						
High-Side Power FET On Resistance	$R_{DS(ON)H}$		386	520	m Ω	Pin to pin measurement
Low-Side Power FET On Resistance	$R_{DS(ON)L}$		299	470	m Ω	Pin to pin measurement
Current-Limit in PWM Mode	I_{LIM_PWM}	800	1000	1200	mA	SYNC/MODE = high
Peak Current in Hysteresis Mode	I_{LIM_HYS}		265		mA	SYNC/MODE = low
Minimum On Time	t_{MIN_ON}		40	70	ns	
VINOK PIN						
VINOK Monitor Threshold Range	$V_{VINOK(RISE)}$	2.05		5.15	V	Factory programmable
VINOK Monitor Accuracy		-1.5		+1.5	%	$T_J = 25^\circ C$
		-3		+3	%	$-40^\circ C \leq T_J \leq +125^\circ C$
VINOK Monitor Threshold Hysteresis	$V_{VINOK(HYS)}$		1.5		%	
VINOK Rising Delay	t_{VINOK_RISE}		190		μs	
VINOK Falling Delay	t_{VINOK_FALL}		130		μs	
Leakage Current for VINOK Pin	$I_{VINOK_LEAKAGE}$		0.1	1	μA	
Output Low Voltage for VINOK Pin	V_{VINOK_LOW}		50	100	mV	$I_{VINOK} = 100 \mu A$
SOFT START						
Default Soft Start Time	t_{SS}		350		μs	Factory trim, 1 bit (350 μs , 2800 μs)
Start-Up Delay	t_{START_DELAY}		2		ms	Delay from the EN pin being pulled high
C_{OUT} DISCHARGE SWITCH ON RESISTANCE	R_{DIS}		290		Ω	
THERMAL SHUTDOWN						
Threshold	T_{SHDN}		142		$^\circ C$	
Hysteresis	T_{HYS}		127		$^\circ C$	

¹ SYNC は、多機能 SYNC / MODE ピンの同期機能のみを表します。

絶対最大定格

表 2.

Parameter	Rating
PVIN to PGND	-0.3 V to +7V
SW to PGND	-0.3V to PVIN + 0.3V
FB to AGND	-0.3 V to +7V
VID to AGND	-0.3 V to +7V
EN to AGND	-0.3 V to +7V
VINOK to AGND	-0.3 V to +7V
SYNC/MODE to AGND	-0.3 V to +7V
PGND to AGND	-0.3 V to +0.3 V
Storage Temperature Range	-65°C to +150°C
Operational Junction Temperature Range	-40°C to +125°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定されています。

表 3. 熱抵抗

Package Type	θ_{JA}	Unit
9-Ball, 1.5 mm × 1.5 mm WLCSP	132	°C/W

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

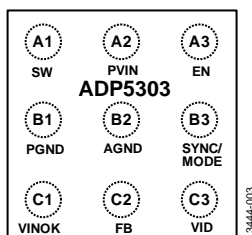


図 3. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
A1	SW	レギュレータのスイッチング・ノード出力。
A2	PVIN	レギュレータの電力入力。
A3	EN	レギュレータのイネーブル入力。レギュレータをディスエーブルにするには、このピンをロジック・ローに設定します。
B1	PGND	電源グラウンド。
B2	AGND	アナログ・グラウンド。
B3	SYNC / MODE	同期入力ピン (SYNC)。デバイスのスイッチング周波数を外部クロックに同期するには、周波数 1.2 MHz ~ 2.5 MHz の外部クロックにこのピンを接続します。 PWM またはヒステリシス・モード選択ピン (MODE)。このピンがロジック・ハイの場合、レギュレータは PWM モードで動作します。このピンがロジック・ローの場合、レギュレータはヒステリシス・モードで動作します。
C1	VINOK	出力パワーグッド信号。このオープンドレイン出力は、入力電圧のパワーグッド信号です。
C2	FB	レギュレータの帰還センシング入力。
C3	VID	電圧設定ピン。レギュレータの出力電圧を設定するには、このピンからグラウンドへ外部抵抗 (RVID) を接続します (表 5 を参照)。

代表的な性能特性

特に指定のない限り、 $V_{IN} = 3.6\text{ V}$ 、 $V_{OUT} = 2.5\text{ V}$ 、 $L1 = 2.2\ \mu\text{H}$ 、 $C_{IN} = C_{OUT} = 10\ \mu\text{F}$ 、 $f_{sw} = 2\text{ MHz}$ 、 $T_A = 25\ ^\circ\text{C}$ 。

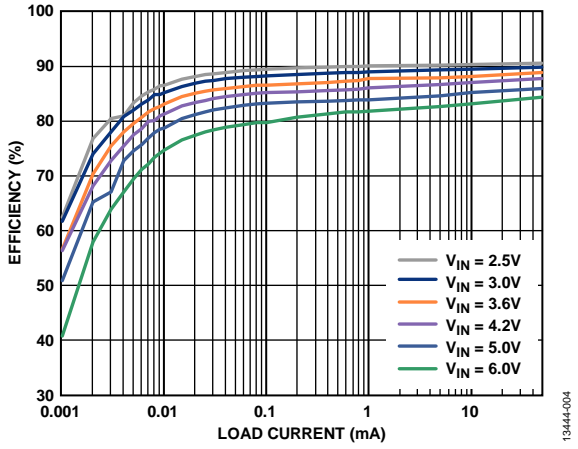


図 4. ヒステリシス効率と負荷電流の関係、 $V_{OUT} = 1.2\text{ V}$

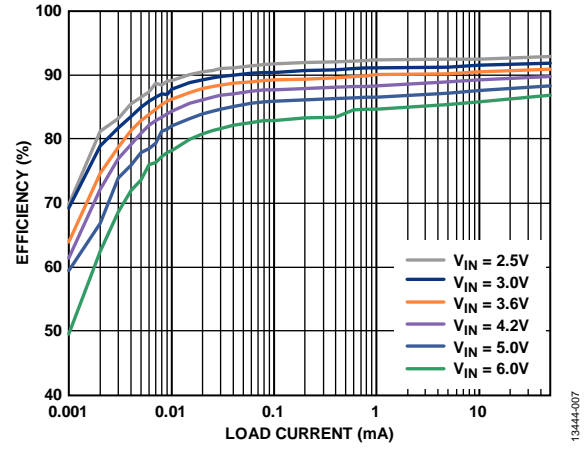


図 7. ヒステリシス効率と負荷電流の関係、 $V_{OUT} = 1.5\text{ V}$

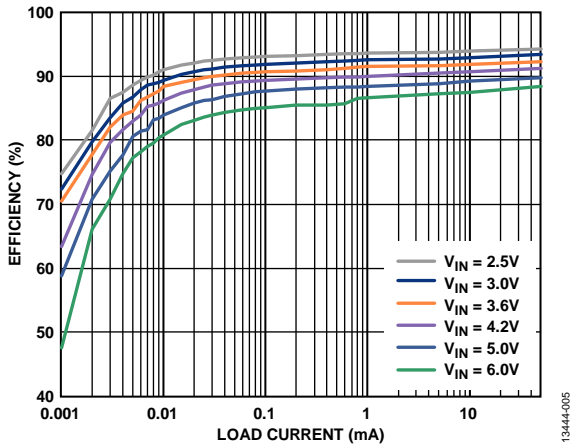


図 5. ヒステリシス効率と負荷電流の関係、 $V_{OUT} = 1.8\text{ V}$

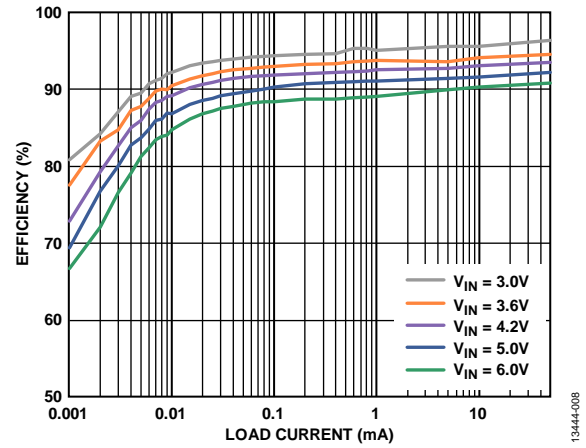


図 8. ヒステリシス効率と負荷電流の関係、 $V_{OUT} = 2.5\text{ V}$

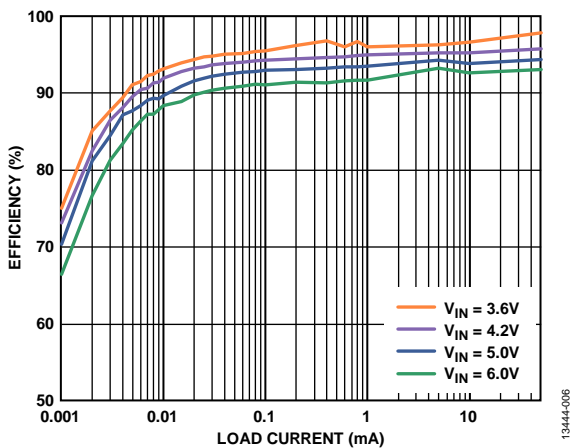


図 6. ヒステリシス効率と負荷電流の関係、 $V_{OUT} = 3.3\text{ V}$

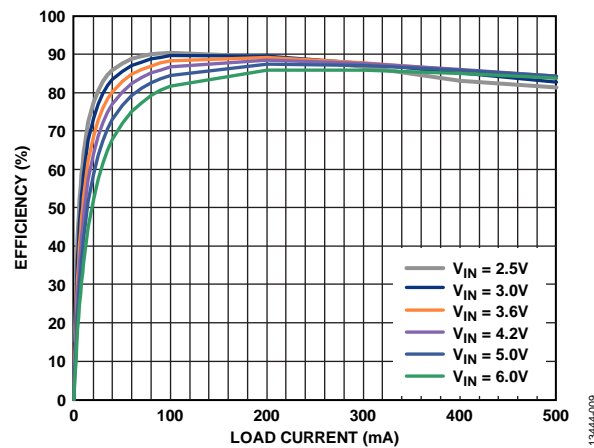


図 9. PWM 効率と負荷電流の関係、 $V_{OUT} = 1.2\text{ V}$

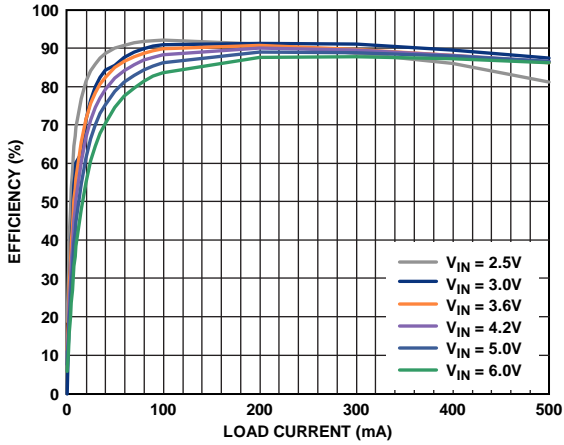


図 10. PWM 効率と負荷電流の関係、 $V_{OUT} = 1.5\text{ V}$

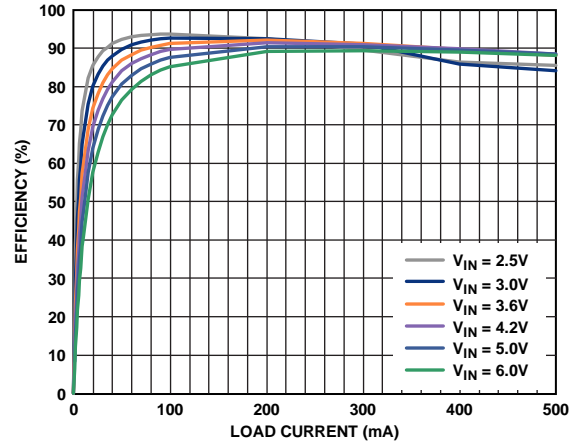


図 13. PWM 効率と負荷電流の関係、 $V_{OUT} = 1.8\text{ V}$

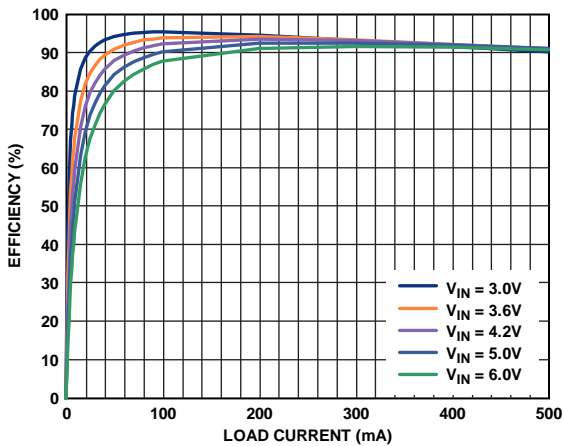


図 11. PWM 効率と負荷電流の関係、 $V_{OUT} = 2.5\text{ V}$

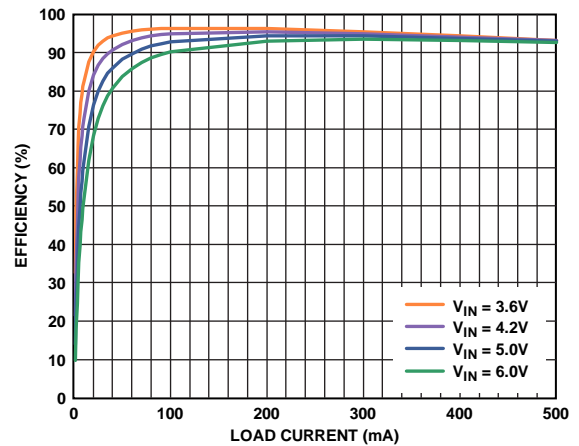


図 14. PWM 効率と負荷電流の関係、 $V_{OUT} = 3.3\text{ V}$

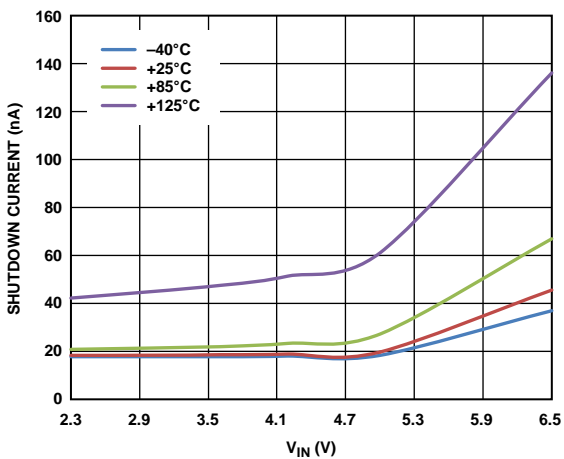


図 12. シャットダウン電流と V_{IN} の関係、 $EN = Low$

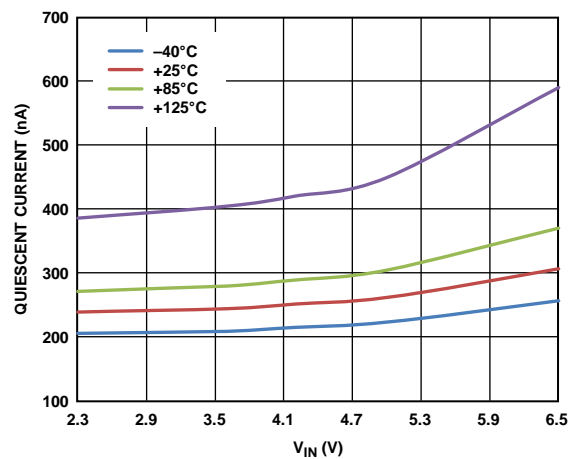


図 15. ヒステリシス静止電流と V_{IN} の関係、 $SYNC / MODE = Low$

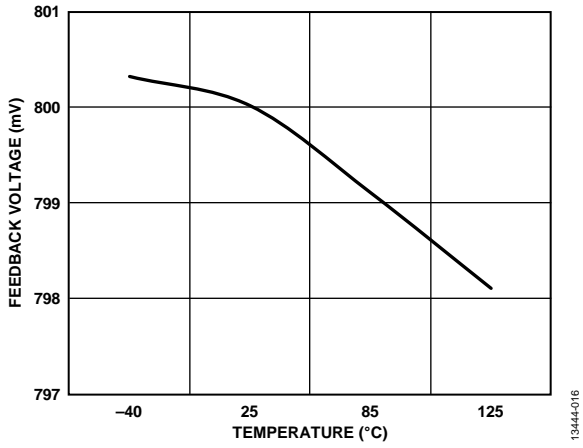


図 16. 帰還電圧と温度の関係、PWM モード

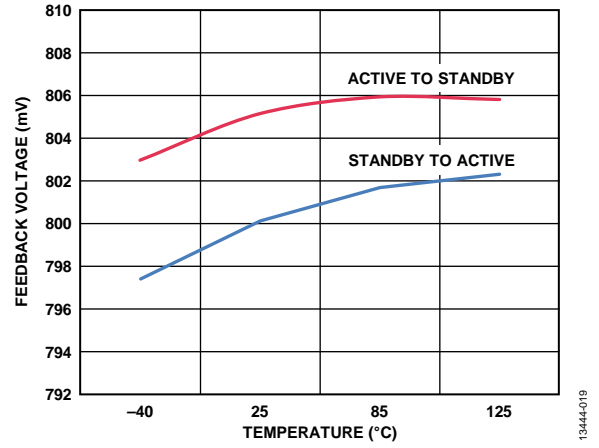


図 19. 帰還電圧と温度の関係、ヒステリシス・モード

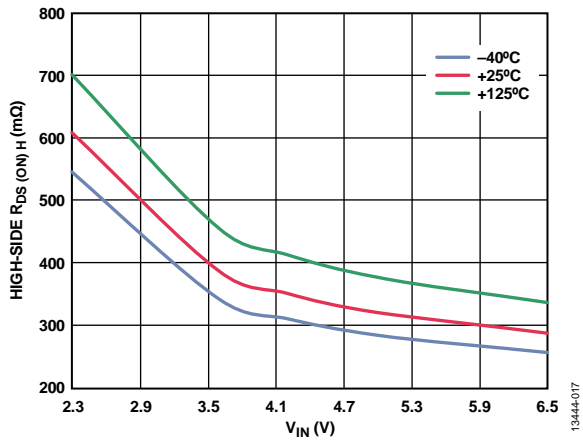


図 17. ハイサイド $R_{DS(ON)H}$ と V_{IN} の関係

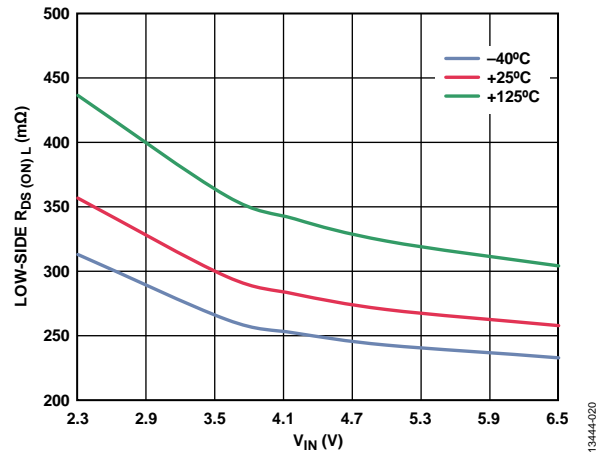


図 20. ローサイド $R_{DS(ON)L}$ と V_{IN} の関係

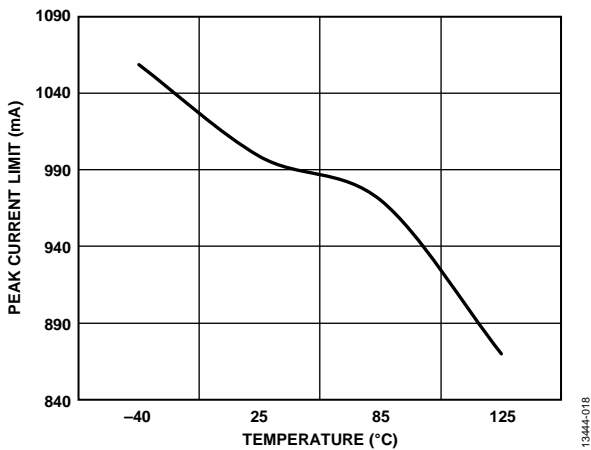


図 18. ピーク電流制限と温度の関係

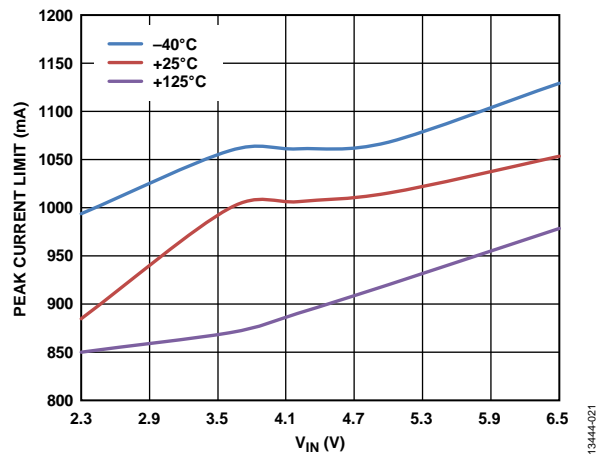


図 21. ピーク電流制限と V_{IN} の関係

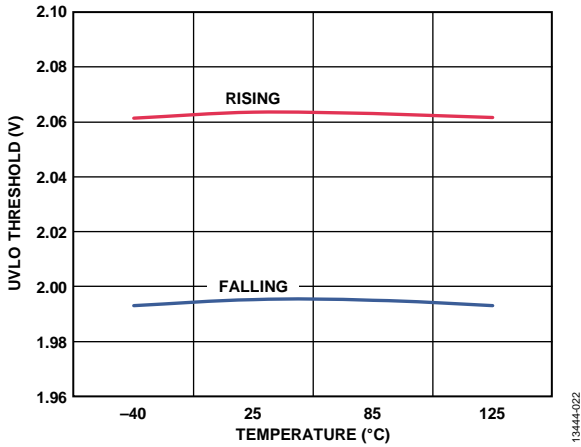


図 22. UVLO 閾値／立上がり／、立下がりとの関係

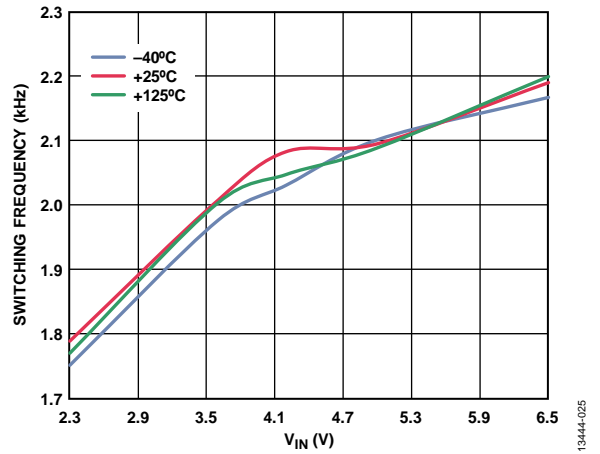


図 25. スイッチング周波数と VIN の関係

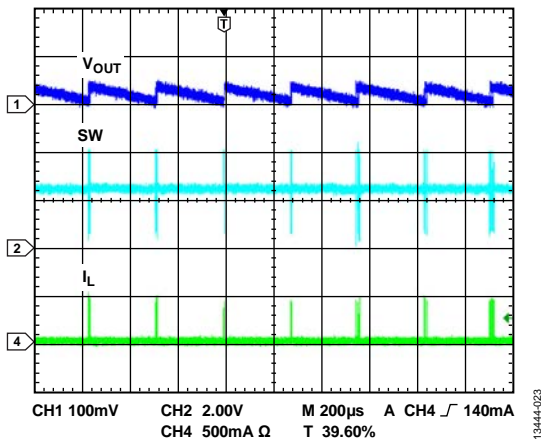


図 23. ヒステリシス・モードの定常波形、 $I_{LOAD} = 1 \text{ mA}$
(I_L はインダクタ電流)

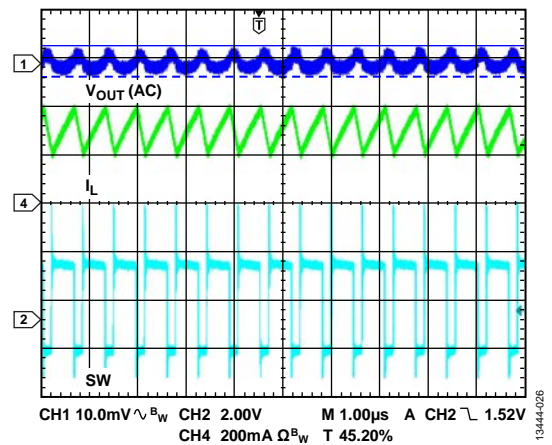


図 26. PWM モードの定常波形、 $I_{LOAD} = 300 \text{ mA}$

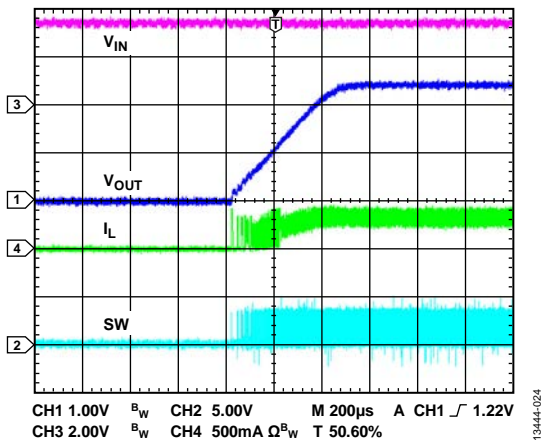


図 24. ソフト・スタート、 $I_{LOAD} = 300 \text{ mA}$

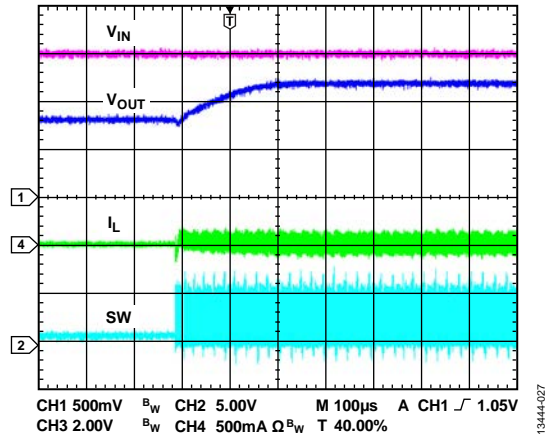


図 27. プリチャージ機能を使用したソフト・スタート

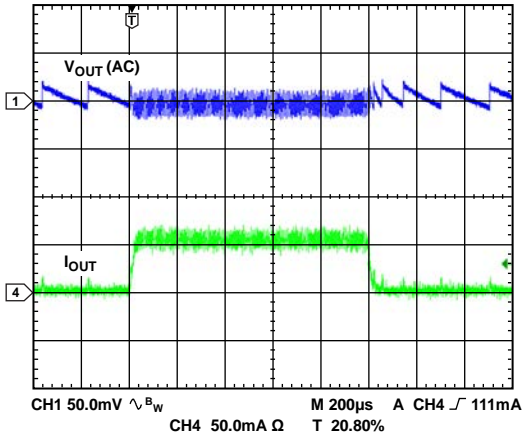


図 28. ヒステリシス・モードの負荷過渡、
 $I_{LOAD} = 0 \text{ mA} \sim 50 \text{ mA}$

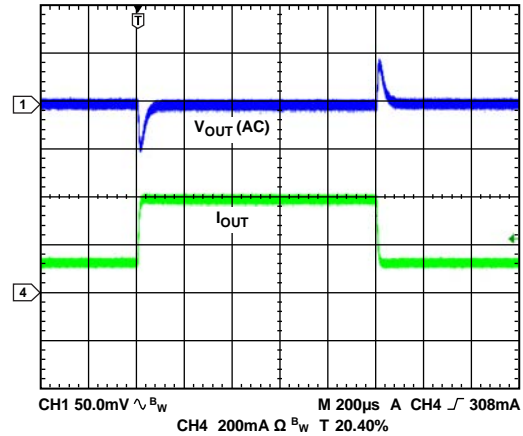


図 31. PWM モードの負荷過渡、
 $I_{LOAD} = 125 \text{ mA} \sim 375 \text{ mA}$

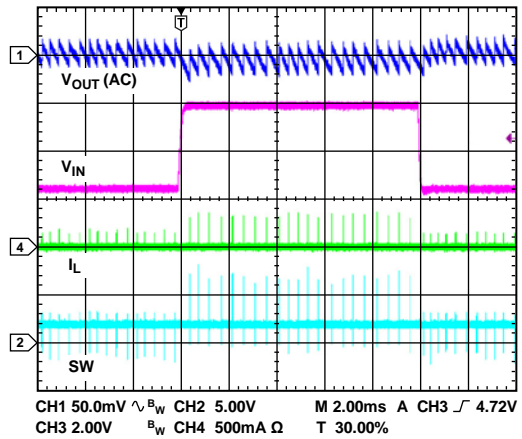


図 29. ヒステリシス・モードのライン過渡、
 $I_{LOAD} = 10 \mu\text{A}$ 、 $V_{IN} = 2.5 \text{ V} \sim 6 \text{ V}$

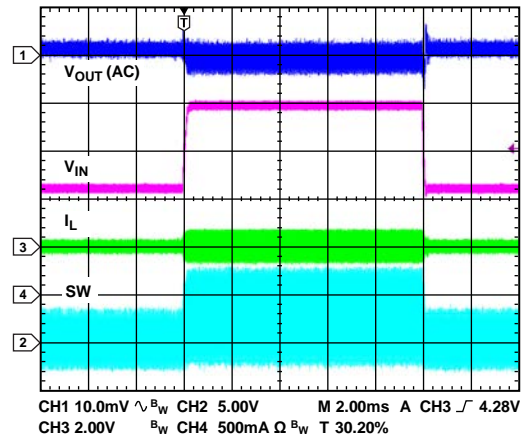


図 32. PWM モードのライン過渡、 $I_{LOAD} = 500 \text{ mA}$ 、 $V_{IN} = 2.5 \text{ V} \sim 6 \text{ V}$

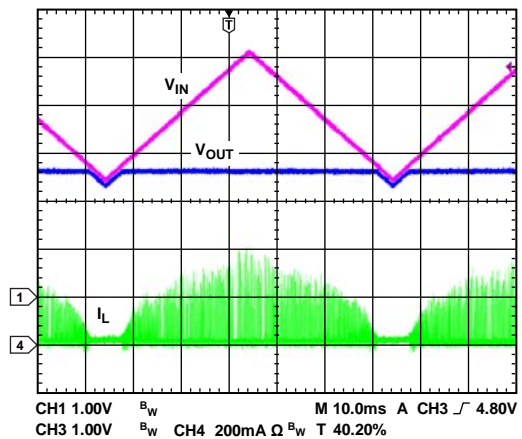


図 30. ヒステリシス・モードでの入力電圧ランプアップおよびランプダウン

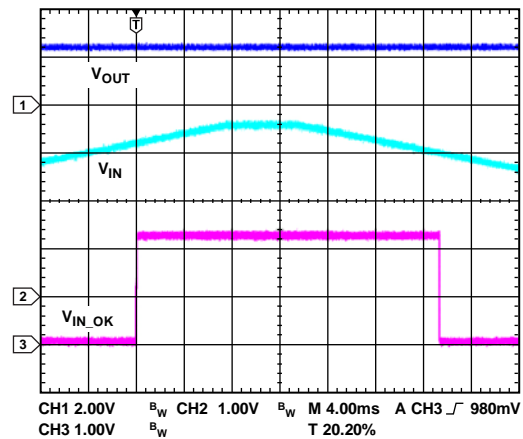


図 33. V_{INOK} 閾値 = 3.0 V 時の V_{INOK} の機能

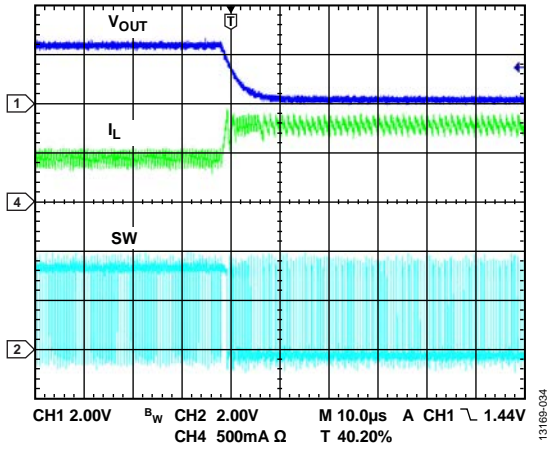


図 34. 出力短絡

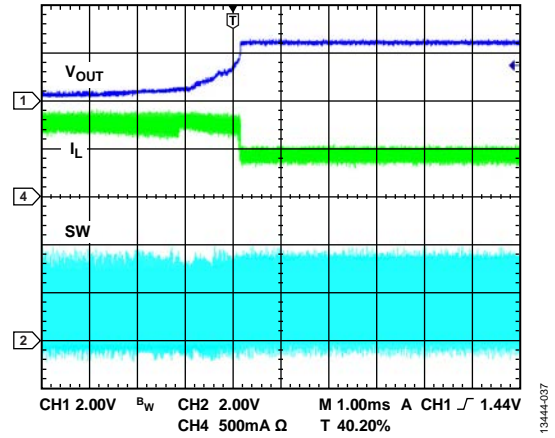


図 37. 出力短絡回復

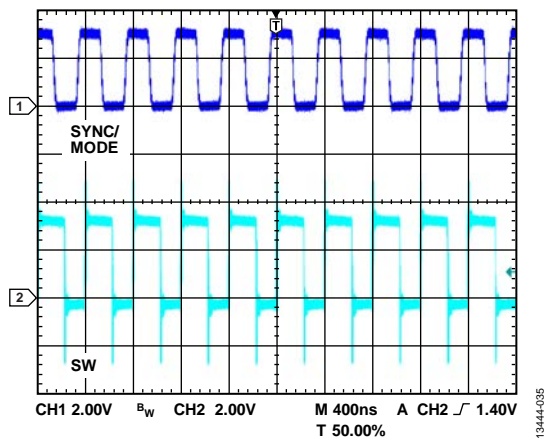


図 35. 2.5 MHz に同期

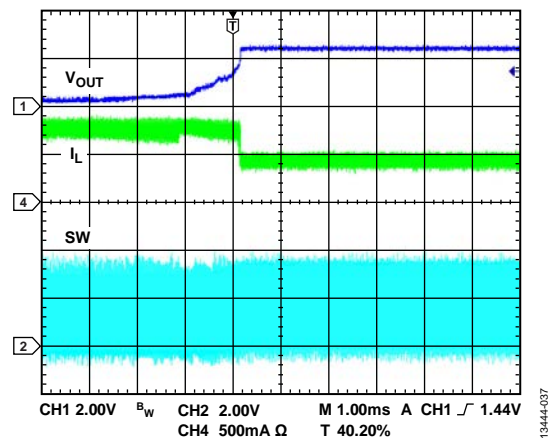


図 38. 急速出力放電の機能

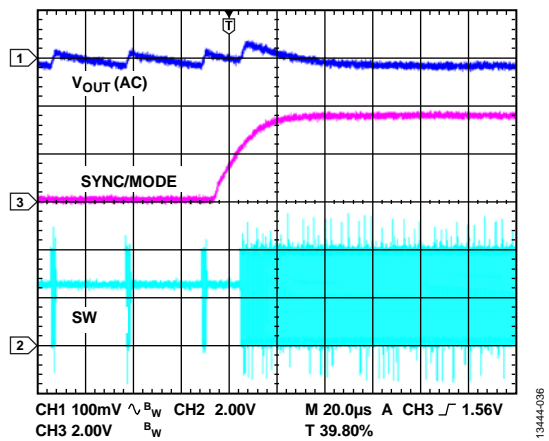


図 36. ヒステリシス・モードから PWM モードへの遷移、10 mA 負荷電流

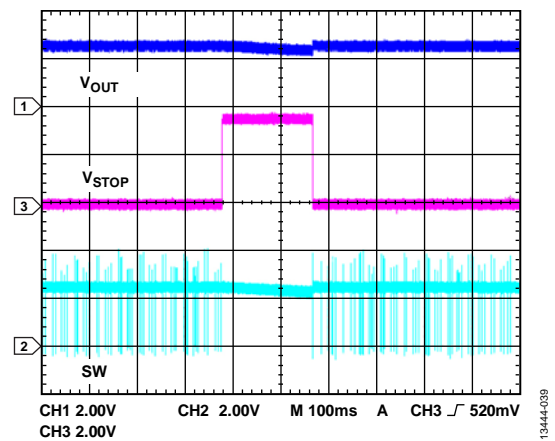


図 39. PWM モードからヒステリシス・モード、10 mA の負荷電流

動作原理

ADP5303 は、9 ボール WLCSP に封入された高効率な超低静止電流降圧レギュレータで、性能とボード・スペースに関する高度な要件を満たすことができます。このデバイスは、2.15 V ~ 6.50 V の幅広い入力電圧範囲に直接接続して、アルカリ電池、ニッケル水素電池、リチウムイオン電池など、さまざまな電源を使用することができます。

降圧レギュレータの動作モード

PWM モード

PWM モードの場合、ADP5303 の降圧レギュレータは、内部発振器で設定された固定周波数で動作します。発振器の各サイクルの開始時に、ハイサイド MOSFET スイッチがオンになり、インダクタの両端に正の電圧を送ります。電流検知信号がピーク・インダクタ電流閾値を上回るまでインダクタ電流が増加し、その時点でハイサイド MOSFET スイッチがオフになります。この閾値は、誤差増幅器の出力によって設定されます。ハイサイド MOSFET がオフになっている間、発振器のクロック・パルスが次の新しいサイクルを開始するまで、インダクタ電流がローサイド MOSFET を通して減少します。

ヒステリシス・モード

ヒステリシス・モードの場合、ADP5303 の降圧レギュレータは、固定ピーク・インダクタ電流をレギュレーションして、公称出力電圧よりもわずかに高くなるように PWM パルスで出力電圧を高めます。出力検知信号がヒステリシスの上側閾値を上回るまで出力電圧が増加した場合、レギュレータはスタンバイ・モードになります。スタンバイ・モードの場合、低静止電流および高効率性能を実現できるようにハイサイド MOSFET、ローサイド MOSFET、および大半の回路がディスエーブルになります。

スタンバイ・モードになっている間、出力コンデンサは負荷にエネルギーを供給し、ヒステリシス・コンパレータの下側閾値を下回るまで出力電圧は減少します。その後、降圧レギュレータはウェイクアップし、PWM パルスを生成して再度出力を蓄電します。

出力電圧はときどきスタンバイ・モードになり、その後に復帰するため、ヒステリシス・モードでの出力電圧リップルは PWM モードのリップルよりも大きくなります。

モード選択

ADP5303 には、ヒステリシス・モードまたは PWM モードで柔軟に設定が行える SYNC / MODE ピンがあります。

SYNC / MODE ピンにロジック・ハイ・レベルが入力された場合、降圧スイッチング・レギュレータは強制的に PWM モードで動作します。PWM モードの場合、レギュレータは最大 500 mA の出力電流を供給できます。PWM モードの場合、レギュレータは低い出力リップルと出力ノイズを備えているので、ノイズに敏感なアプリケーションに有用です。

SYNC / MODE ピンにロジック・ロー・レベルが入力された場合、降圧レギュレータは強制的にヒステリシス・モードで動作します。ヒステリシス・モードの場合、レギュレータはわずか 240 nA の静止電流 (typ) で出力をレギュレーションします (無負荷時)。これにより、バッテリー駆動システムでレギュレータをキープ・アライブ電源として機能させることができます。ヒステリシス・モードの場合、レギュレータは PWM モードと比べて比較的大きい出力リップルで最大 50 mA の出力電流を供給します。

動作中に、ヒステリシス・モードと PWM モードを切り替えることができます。デバイス動作中に柔軟に設定できるので、効率的なパワー・マネージメントが可能で、システムがアクティブ・モードとスタンバイ・モードの間で切り替わる時に高効率および低出力リップルの要件を満たすことができます。

発振器および同期について

ADP5303 は、PWM 動作モードでは一般的である 2 MHz スイッチング周波数で動作します。

ADP5303 のスイッチング周波数は、周波数範囲が 1.2 MHz ~ 2.5 MHz の外部クロックに同期させることができます。ADP5303 は、SYNC / MODE ピンに入力される外部クロックの存在を自動的に検出し、外部クロックの周波数になるようにスイッチング周波数を切り替えます。外部クロック信号が停止した場合、自動的に内部クロックに切り替わります。

可変出力電圧および固定出力電圧

ADP5303 は、1 つの抵抗を VID ピンを通して AGND に接続することで、可変出力電圧に設定できます。VID 検出回路はスタートアップ時に機能し、電圧 ID コードがサンプリングされて内部レジスタに保持され、次回に電源がオフ/オンされるまで変化しません。さらに、ADP5303 は、出荷時のヒューズ調整によってプログラムされた固定出力電圧も備えています。この状態の場合、VID ピンを PVIN ピンに接続します。

ADP5303 には、出力電圧の設定用に帰還抵抗の分圧回路が内蔵されているため、フィードバック・ピン (FB) を出力に直接接続する必要があります。超低消費電力の電圧リファレンスと内蔵されている高インピーダンス帰還分圧回路により、低静止電流が実現されます。表 5 に、VID ピン構成による出力電圧オプションを示します。VID からグラウンドへ 1 % 精度の抵抗を使用することを推奨します。

表 5. VID ピンを使用した出力電圧 (V_{OUT})

VID Configuration	V_{OUT}	
	Factory Option 0 (V)	Factory Option 1 (V)
Short to ground	3.0	3.1
Short to PVIN	2.5	1.3
$R_{VID} = 499 \text{ k}\Omega$	3.6	5.0
$R_{VID} = 316 \text{ k}\Omega$	3.3	4.5
$R_{VID} = 226 \text{ k}\Omega$	2.9	4.2
$R_{VID} = 174 \text{ k}\Omega$	2.8	3.9
$R_{VID} = 127 \text{ k}\Omega$	2.7	3.4
$R_{VID} = 97.6 \text{ k}\Omega$	2.6	3.2
$R_{VID} = 76.8 \text{ k}\Omega$	2.4	1.9
$R_{VID} = 56.2 \text{ k}\Omega$	2.3	1.7
$R_{VID} = 43 \text{ k}\Omega$	2.2	1.6
$R_{VID} = 32.4 \text{ k}\Omega$	2.1	1.4
$R_{VID} = 25.5 \text{ k}\Omega$	2.0	1.1
$R_{VID} = 19.6 \text{ k}\Omega$	1.8	1.0
$R_{VID} = 15 \text{ k}\Omega$	1.5	0.9
$R_{VID} = 11.8 \text{ k}\Omega$	1.2	0.8

低電圧ロックアウト (UVLO)

UVLO 回路は、PVIN ピンの入力電圧レベルを監視します。入力電圧が 2.00 V (typ) を下回ると、レギュレータがオフになります。入力電圧が 2.06 V (typ) を上回ると、ソフト・スタート期間が開始され、EN ピンがハイ・レベルになったときにレギュレータがイネーブルになります。

イネーブル/ディスエーブル

ADP5303 には、個別のイネーブル・ピン (EN) があります。イネーブル・ピンがロジック・ハイになると、レギュレータが起動します。低静止電流の設計により、レギュレータは一般的にイネーブル・ピン (EN) ピンがハイ・レベルにプルアップされてから数ミリ秒後にスイッチングを開始します。

イネーブル・ピンがロジック・ローになると、直ちにレギュレータがディスエーブルになり、レギュレータが超低電流消費状態になります。

電流制限

ADP5303 の降圧レギュレータは、ハイサイド MOSFET とローサイド MOSFET を流れる電流の方向と電流の量をサイクルごとに特定のレベルに制限する保護回路を備えています。ハイサイド MOSFET の正電流制限は、入力から出力に流れる電流の量を制限します。ローサイド MOSFET の負電流制限は、インダクタ電流の方向が反転するのを防止し、負荷から流出するのを防止します。

短絡保護

ADP5303 の降圧レギュレータは、短絡時の電流暴走を防止する周波数フォールドバック機能を備えています。フィードバック・ピンの出力電圧が 0.3 V (typ) を下回った場合、出力が短絡している可能性を示し、PWM モードでのスイッチング周波数が内部発振器の周波数の 1/4 に低減されます。スイッチング周波数の低減により、インダクタの放電時間が長くなり、出力電流の暴走を防止できます。

ソフト・スタート

ADP5303 は、スタートアップ時に制御された状態で出力電圧を上昇させることによって、突入電流を制限するソフト・スタート機能を内蔵しています。この制御は、デバイスの入力にバッテリーまたは高インピーダンス電源を接続したときに発生する可能性のある入力電圧降下を防止します。レギュレータの一般的なデフォルトのソフト・スタート時間は 350 μ s です。

出荷時のヒューズ調整で、ADP5303 に別のソフト・スタート時間 (2800 μ s) をプログラムすることもできます。

プリチャージ出力でのスタートアップ

ADP5303 の降圧レギュレータは、スタートアップ時にローサイド MOSFET が損傷するのを防止するプリチャージ出力スタートアップ機能を備えています。レギュレータがオンになる前に出力電圧がプリチャージされている場合、内部ソフト・スタート・リファレンス電圧がフィードバック・ピンのプリチャージ出力電圧を上回るまで、出力コンデンサを放電する方向とは反対に逆インダクタ電流が流れる動作がレギュレータによって防止されます。

100 % デューティサイクル動作

入力電圧が出力電圧に近づくと、ADP5303 はスイッチングを停止して、100 % デューティサイクル動作になります。このデバイスは、インダクタと内部ハイサイド・パワー・スイッチを介して出力を入力に接続します。入力電圧が再度充電され、必要なデューティサイクルが 95 % (typ) まで低下すると、降圧レギュレータは、出力電圧のオーバーシュートを許容することなく、直ちにスイッチングとレギュレーションを再開します。ヒステリシス・モードの場合、ADP5303 が 100 % デューティサイクル動作時に使用する超低静止電流はわずか 640 nA (typ) です。

アクティブ放電

ADP5303 のレギュレータには、スイッチング・ノードとグラウンドの間に、出荷時にプログラム可能なオプションの放電スイッチが内蔵されています。このスイッチは、関連付けられたレギュレータがディスエーブルになったときにオンになるので、出力コンデンサがすばやく放電されるようになります。レギュレータの放電スイッチの代表値は、290 Ω です。

デフォルトでは、放電機能はディスエーブルになっています。アクティブ放電機能は、出荷時にヒューズ調整でイネーブルにできます。

VINOK の機能

ADP5303 は、バッテリー電圧ステータスを示すオープンドレイン VINOK 出力を備えています。VINOK 出力は、PVIN ピンの入力電圧がリファレンス閾値を上回ったときにアクティブ・ハイになります。入力電圧がリファレンス閾値を下回ると、VINOK ピンはロー・レベルになります。超低消費電力コンパレータ設計が原因で、VINOK 出力ステータス変化を確認するための代表的な時間は、130 μ s と比較的長い値になっています。

VINOK 閾値は出荷時にプログラム可能で、50 mV 刻みで 2.05 V ~ 5.15 V に設定できます。デフォルト以外のオプションでデバイスを注文される場合は、アナログ・デバイセズの担当営業または代理店までお問い合わせください。

サーマル・シャットダウン

ADP5303 のジャンクション温度が 142 $^{\circ}$ C を上回ると、サーマル・シャットダウン回路により内部リニア電圧レギュレータを除く IC がオフになります。極端なジャンクション温度は、高電流動作、低品質な回路基板設計、または高い周囲温度によって発生します。ADP5303 は、15 $^{\circ}$ C のヒステリシスを含んでいるため、サーマル・シャットダウン後にジャンクション温度が 127 $^{\circ}$ C を下回らないと動作を復帰しません。デバイスがサーマル・シャットダウンから復帰すると、イネーブルになっている各チャンネルのソフト・スタートが開始されます。

アプリケーション情報

ここでは、ADP5303 の外部部品の選択について説明します。代表的なアプリケーション回路を図 40 に示します。

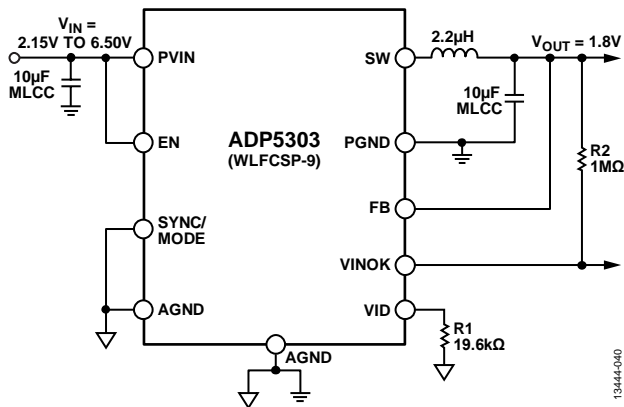


図 40. 代表的なアプリケーション回路

外部部品の選択

ADP5303 は、2.2 µH インダクタと 10 µF 出力コンデンサとともに、クローズドループ補償回路や適応型スロープ補償回路を使用してさまざまな出力電圧で動作するように最適化されています。部品の選択は、効率、負荷電流トランジェント、およびその他のアプリケーション要件によって決まります。選択する外部部品によって、効率と過渡応答などの性能パラメータの間でトレードオフが生じます。

インダクタの選択

ADP5303 の高スイッチング周波数により、小型の表面実装パワー・インダクタを使用できます。選択したインダクタの DC 抵抗 (DCR) 値は効率に影響を与えます。さらに、高スイッチング周波数によりコアの温度上昇が大きくなり、コア損失が大きくなるため、磁鉄インダクタではなく、多層インダクタを選択することをお勧めします。最大負荷電流値にインダクタ電流リップル (ΔI_L) の半分の値を足した値に等しいことが、インダクタの DC 定格電流の最低要件です。

表 6. 推奨インダクタ

Vendor	Model	Inductance (µH)	Dimensions (mm)	DCR (mΩ)	I_{SAT}^1 (A)
TDK	MLP2016V2R2MT0S1	2.2	2.0 × 1.6 × 0.85	280	1.0
Würth	74479889222	2.2	2.5 × 2.0 × 1.2	250	1.7
Coilcraft	LPS3314-222MR	2.2	3.3 × 3.3 × 1.3	100	1.5

¹ I_{SAT} は、電流なしの値から 30% (typ) 低下する DC 電流のインダクタンス値。

表 7. 入力コンデンサと出力コンデンサ

Vendor	Model	Capacitance (µF)	Size
Murata	GRM188D71A106MA73	10	0603
Murata	GRM21BR71A106KE51	10	0805
Murata	GRM31CR71A106KA01	10	1206

$$\Delta I_L = V_{OUT} \times \left(\frac{1 - V_{OUT}/V_{IN}}{L \times f_{SW}} \right)$$

$$I_{PK} = I_{LOAD(MAX)} + \left(\frac{\Delta I_L}{2} \right)$$

ここで I_{PK} はピーク・インダクタ電流

表 6 に記載したベンダーのインダクタ・シリーズを使用してください。

出力コンデンサ

出力容量は、電圧オーバーシュート、電圧アンダーシュート、および出力に存在するリップル電圧を最小限に抑えるのに必要です。等価直列抵抗 (ESR) 値が低いコンデンサでは、出力リップルが最も低くなります。さらに、X5R や X7R 誘電コンデンサなどのコンデンサを使用してください。Y5V や Z5U コンデンサは使用しないでください。これらのコンデンサは温度に対する容量変化が大きく、DC バイアス電圧も変化するので、最適なコンデンサではありません。ESR は重要であるため、以下の式を使用してコンデンサを選択してください。

$$ESR_{COUT} \leq \frac{V_{RIPPLE}}{\Delta I_L}$$

ここで

ESR_{COUT} は、選択したコンデンサの ESR。

V_{RIPPLE} は、ピーク to ピーク出力電圧リップル。

出力コンデンサ値を増やしても安定性に影響はなく、出力リップルが低減して、負荷過渡応答が向上します。出力コンデンサ値を選択する場合、出力電圧 DC バイアスによる容量損失を考慮することが重要です。

表 7 に記載したベンダーのコンデンサ・シリーズを使用してください。

入力コンデンサ

入力コンデンサは、入力電圧リップル、入力リップル電流、およびソース・インピーダンスを低減させるのに必要です。入力コンデンサを PVIN ピンのできるだけ近くに配置してください。低 ESR の X7R または X5R コンデンサを使用して入力電圧リップルを最小限に抑えることを強くお勧めします。以下の式を使用して、rms 入力電流を計算します。

$$I_{RMS} \geq I_{LOAD(MAX)} \sqrt{\frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}}}$$

ほとんどのアプリケーションでは、10 μ F コンデンサで十分です。入力コンデンサを大きくすれば、優れた入力電圧フィルタリングを実現できます。

効率

効率は、入力電力に対する出力電力の割合です。効率の高い ADP5303 には、次の 2 つの利点があります。1 つは、DC/DC コンバータ・パッケージで失われる電力が少量であるため、熱に関する制約が少なくなることです。もう 1 つは、高効率であることにより、特定の入力電力で最大出力電力を得られるため、ポータブル・アプリケーションのバッテリー寿命を延ばせることです。

電力スイッチの導通損失

電力スイッチの DC 導通損失は、内部抵抗 ($R_{DS(ON)}$) があるハイサイド P チャンネル電力スイッチとローサイド N チャンネル同期型整流器に出力電流が流れることによって発生します。以下の式で、電力損失量の近似値を求めることができます。

$$P_{SW_COND} = (R_{DS(ON)H} \times D + R_{DS(ON)L} \times (1 - D)) \times I_{OUT}^2$$

$$\text{ここで } D = \frac{V_{OUT}}{V_{IN}}$$

電力スイッチの内部抵抗は、温度とともに大きくなります。また、入力電圧の低下とともに大きくなります。

インダクタ損失

インダクタ導通損失は、内部 DCR があるインダクタを流れる電流によって発生します。インダクタが大きいほど DCR が小さいため、インダクタ導通損失を小さくすることができます。インダクタ・コア損失は、コア材料の透磁率に関係します。ADP5303 は、高スイッチング周波数 DC/DC レギュレータであるため、低コア損失および低電磁干渉 (EMI) 特性を備えたシールド・フェライト・コア材料を使用することをお勧めします。

インダクタの総電力損失量 (P_L) を見積もるには、以下の式を使用します。

$$P_L = DCR \times I_{OUT}^2 + \text{コア損失}$$

ドライバ損失

ドライバ損失は、ドライバによって電力デバイスをスイッチング周波数でオン/オフにする際に流れる電流によって発生します。電力デバイスのゲートがオン/オフになるたびに、ドライバは入力電源からゲートに電荷を移動した後、ゲートからグラウンドに電荷を移動します。

ドライバ損失 (P_{DRIVER}) を見積もるには、以下の式を使用します。

$$P_{DRIVER} = (C_{GATE_H} + C_{GATE_L}) \times V_{IN}^2 \times f_{SW}$$

ここで

C_{GATE_H} は、内部ハイサイド・スイッチのゲート容量

C_{GATE_L} は、内部ローサイド・スイッチのゲート容量。

f_{SW} は、PWM モードでのスイッチング周波数。

ゲート容量の代表値は、 C_{GATE_H} が 69 pF、 C_{GATE_L} が 31 pF です。

遷移損失

遷移損失は、P チャンネル・スイッチを瞬時にターン・オン/ターン・オフできないことによって発生します。スイッチ・ノードが遷移しているときに、電力スイッチはすべてのインダクタ電流を供給します。電力スイッチのソース/ドレイン間電圧は入力電圧の半分になり、結果として電力損失が発生します。遷移損失は、負荷電流と入力電圧とともに増大し、各スイッチング・サイクルで 2 回発生します。

遷移損失 (P_{TRAN}) を見積もるには、以下の式を使用します。

$$P_{TRAN} = V_{IN}/2 \times I_{OUT} \times (t_r + t_f) \times f_{SW}$$

ここで

t_r は、SW ノードの立上がり時間。

t_f は、SW ノードの立下がり時間。

立上がり時間 (t_r) と立下がり時間 (t_f) の代表値は 2 ns です。

推奨プリント回路基板レイアウト

図 41 に、ADP5303 の代表的なプリント回路基板（PCB）レイアウトを示します。

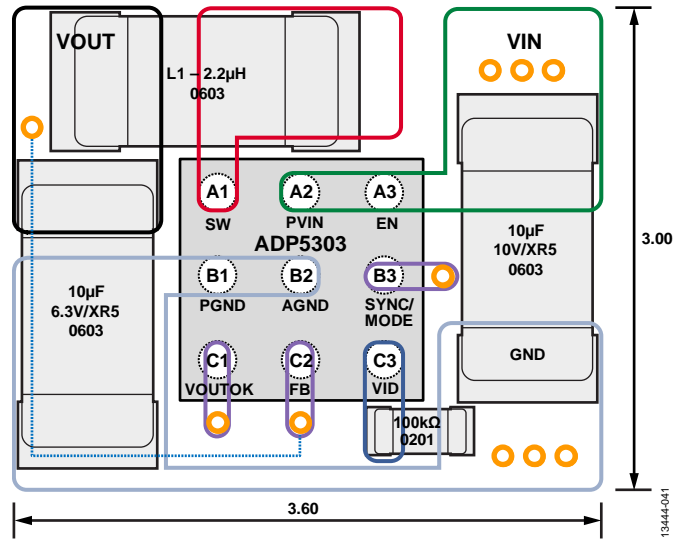


図 41. ADP5303 の代表的な PCB レイアウト

代表的なアプリケーション回路

ADP5303 は、キープ・アライブの超低消費電力の降圧レギュレータとして使用してバッテリー寿命を延ばしたり（図 42 を参照）、マイクロコントローラやプロセッサによって制御される

バッテリー駆動機器やワイヤレス・センサー・ネットワーク（図 43 を参照）として使用できます。

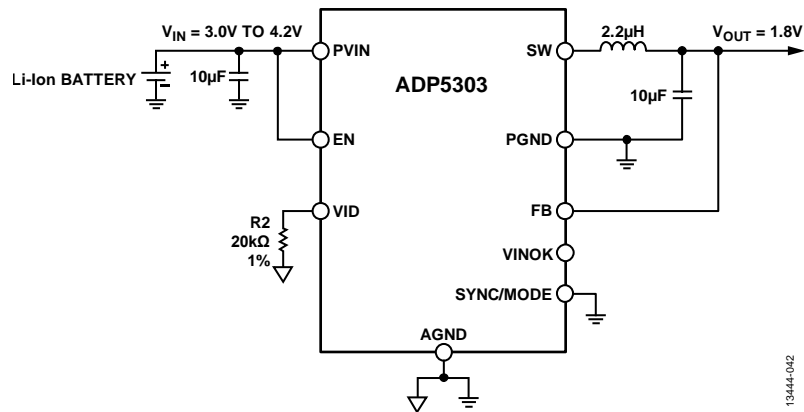


図 42. 代表的なアプリケーション回路、リチウムイオン電池を使用

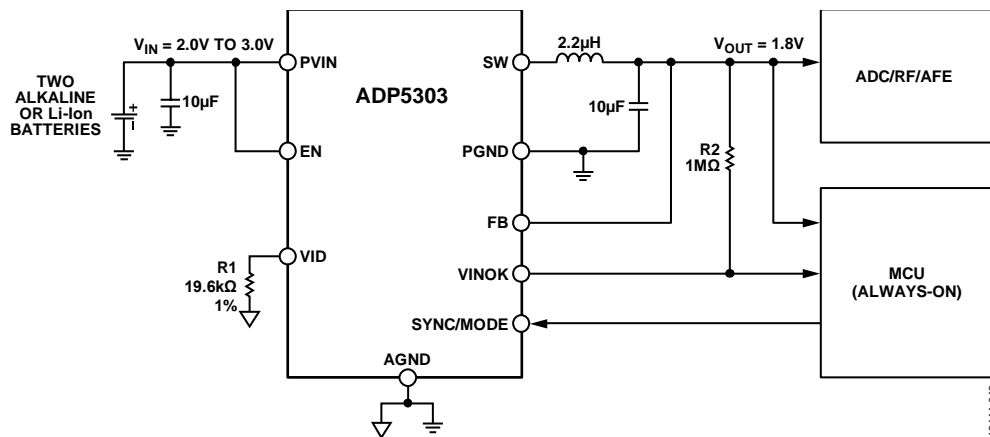


図 43. 代表的なアプリケーション回路、2 個のアルカリ電池またはニッケル水素電池を使用

出荷時にプログラム可能なオプション

デフォルト以外のオプションでデバイスを注文される場合は、アナログ・デバイセズの担当営業または代理店にお問い合わせください。

表 8. 出力電圧 VID 設定オプション

オプション	説明
オプション 0	次の出力電圧に設定するための VID 抵抗:1.2 V、1.5 V、1.8 V、2.0 V、2.1 V、2.2 V、2.3 V、2.4 V、2.5 V、2.6 V、2.7 V、2.8 V、2.9 V、3.0 V、3.3 V、3.6 V、3.3 V (デフォルト設定は 3.3 V)
オプション 1	次の出力電圧に設定するための VID 抵抗:0.8 V、0.9 V、1.0 V、1.1 V、1.3 V、1.4 V、1.6 V、1.7 V、1.9 V、3.1 V、3.4 V、3.9 V、4.2 V、4.5 V、5.0 V

表 9. VINOK 監視閾値オプション

オプション	VINOK 監視閾値設定 (V)
オプション 0	2.05
オプション 1	2.10
オプション 2	2.15
オプション 3	2.20
...	...
オプション 20	3.00 (デフォルト)
...	...
オプション 62	5.10
オプション 63	5.15

表 10. 出力放電機能のオプション

オプション	説明
オプション 0	降圧レギュレータの出力放電機能をディスエーブル (これがデフォルト設定)
オプション 1	降圧レギュレータの出力放電機能をイネーブル

表 11. ソフト・スタート・タイマー・オプション

オプション	説明
オプション 0	350 μ s (デフォルト)
オプション 1	2800 μ s

外形寸法

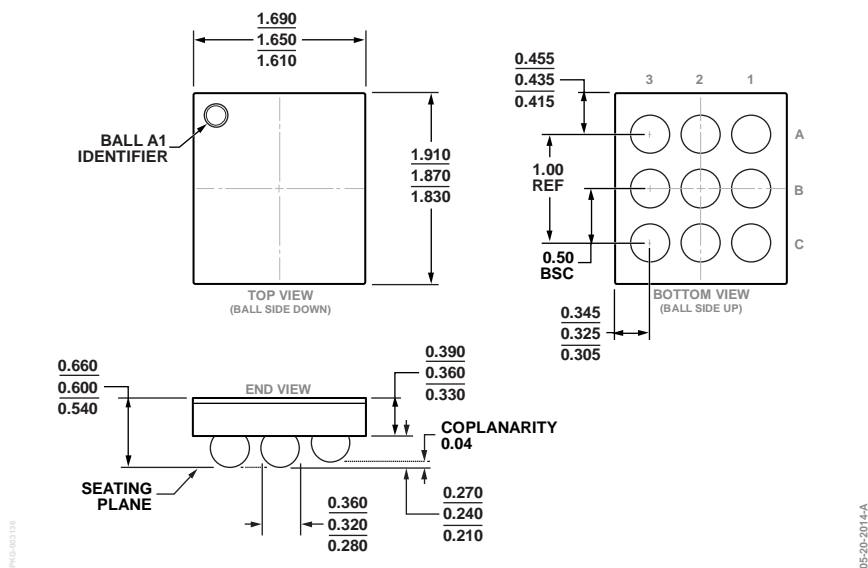


図 44.9 ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP]
 1.65 mm × 1.87 mm ボディ
 (CB-9-6)
 寸法単位: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADP5303ACBZ-1-R7	-40°C to +125°C	9-Ball WLCSP Package with Output Discharge, VINOK Threshold = 3.00 V	CB-9-6
ADP5303ACBZ-2-R7	-40°C to +125°C	9-Ball WLCSP Package Without Output Discharge, VINOK Threshold = 3.00 V	CB-9-6
ADP5303-EVALZ		Evaluation Board	

¹ Z = RoHS 準拠製品。