



バッテリー電圧モニタ機能付き 50 mA/500 mA 超低消費電力降圧レギュレータ

データシート

ADP5302

特長

- 入力電源電圧範囲: 2.15 V ~ 6.50 V
- 2.00 V までの低い電圧で動作
- 超低静止電流: 240 nA (無負荷)
- 選択可能な出力電圧: 1.2 V ~ 3.6 V または 0.8 V ~ 5.0 V
- 出力精度: $\pm 1.5\%$ (パルス幅変調 (PWM) モード時、全温度範囲)
- ヒステリシス・モードまたは PWM 動作モードを選択可能
- 出力電流
 - ヒステリシス・モード: 最大 50 mA
 - PWM モード: 最大 500 mA
- 入力バッテリー電圧をモニタする VINOK フラグ
- 超高速スイッチング停止制御
- 100% デューティ・サイクル動作モード
- スイッチング周波数: 2 MHz (オプションで 1.2 MHz ~ 2.5 MHz の入力に同期)
- オプションの急速出力放電 (QOD)
- UVLO、OCP、TSD 保護
- 10 ピン 3 mm x 3 mm LFCSP パッケージ
- ジャンクション温度: -40°C ~ +125°C

アプリケーション

- 電力量 (ガス量、水量) 計
- 携帯型およびバッテリー駆動の装置
- 医療用アプリケーション
- キーブアラライブ電源

概要

ADP5302 は高効率、超低静止電流の降圧レギュレータで、無負荷時に出力を安定化するための静止電流はわずか 240 nA です。このデバイスは 2.15 V ~ 6.50 V の入力電圧で動作するので、複数のアルカリ電池、NiMH 電池、リチウムイオン電池などの電源を使用することができます。出力電圧は外付け VID 抵抗と出荷時のヒューズによって 0.8 V ~ 5.0 V の範囲で選択可能です。ソリューション全体でわずか 4 個の小型の外付け部品しか必要としません。ADP5302 は、SYNC/MODE ピンを介してヒステリシス・モードと PWM モードのいずれかで動作することができます。ヒステリシス・モードでは、レギュレータは 1 mW 未満の高効率を達成し、最大 50 mA の出力電流を供給します。PWM モードでは、レギュレータの出力リップルが小さくなり、最大 500 mA の出力電流を供給します。動作時にデバイスを柔軟に構成できるため、長いバッテリー寿命と低システム・ノイズの両方の要件を満たす極めて高効率のパワー・マネージメントが可能です。

代表的なアプリケーション回路

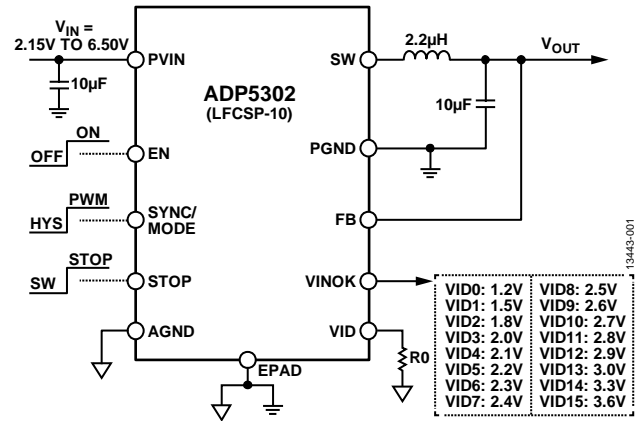


図 1.

ADP5302 は、出荷時に設定可能な電圧リファレンス付き超低消費電力コンパレータを内蔵しており、入力バッテリー電圧をモニタします。レギュレータは、PWM モードでは 2 MHz のスイッチング周波数で動作し、SYNC/MODE ピンを 1.2 MHz ~ 2.5 MHz の外部クロックに同期させることができます。ADP5302 には、レギュレータのスイッチングを一時的にディセーブすることができる STOP ピンが追加されています。このように、ノイズの少ないシステム環境が得られるため、データ変換、RF データ伝送、アナログ・センサーなどのノイズに敏感な回路に有効です。ADP5302 のその他の主な機能には、個別のイネーブル、QOD、さらには過電流保護 (OCP)、サーマル・シャットダウン (TSD)、入力低電圧ロックアウト (UVLO) のような安全機能があります。ADP5302 は、3 mm x 3 mm の 10 ピン LFCSP パッケージを採用しており、-40°C ~ +125°C のジャンクション温度範囲で仕様が規定されています。

Rev. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2015 Analog Devices, Inc. All rights reserved.

目次

特長	1	短絡保護	15
アプリケーション	1	ソフトスタート	15
代表的なアプリケーション回路	1	プリチャージ出力での起動	15
概要	1	100% デューティ・サイクル	15
改訂履歴	2	アクティブ放電	15
詳細機能ブロック図	3	VINOK の機能	15
仕様	4	サーマル・シャットダウン	16
絶対最大定格	6	アプリケーション情報	17
熱抵抗	6	外付け部品の選択	17
ESD の注意	6	インダクタの選択	17
ピン配置と機能の説明	7	出力コンデンサ	17
代表的な性能特性	8	入力コンデンサ	18
動作原理	14	効率	18
降圧レギュレータの動作モード	14	プリント回路ボードのレイアウトに関する推奨事項	19
発振器と同期	14	代表的なアプリケーション回路	20
調整可能な出力電圧と固定出力電圧	14	出荷時に設定可能なオプション	21
イネーブル/ディスエーブル	15	外形寸法	22
電流制限	15	オーダー・ガイド	22

改訂履歴

9/15—Revision 0: Initial Version

詳細機能ブロック図

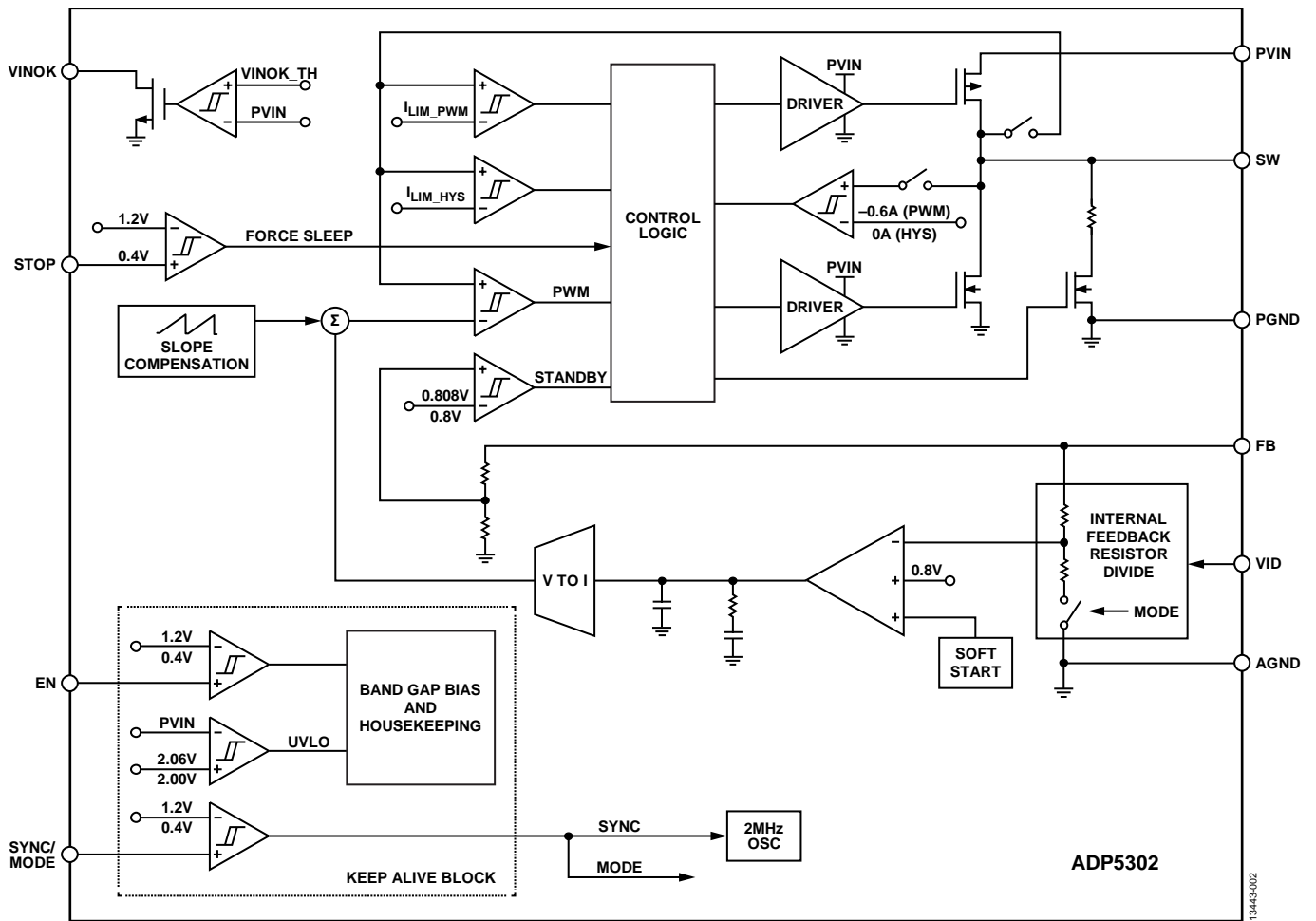


図 2. 詳細機能ブロック図

仕様

特に指定がない限り、 $V_{IN} = 3.6\text{ V}$ 、 $V_{OUT} = 2.5\text{ V}$ 、仕様の最小値/最大値については $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、仕様の代表値については $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
INPUT SUPPLY VOLTAGE RANGE	V_{IN}	2.15		6.50	V	
SHUTDOWN CURRENT	$I_{SHUTDOWN}$		18	40	nA	$V_{EN} = 0\text{ V}$, $-40^\circ\text{C} \leq T_J \leq +85^\circ\text{C}$
			18	130	nA	$V_{EN} = 0\text{ V}$, $-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
QUIESCENT CURRENT						
Operating Quiescent Current in Hysteresis Mode	I_{Q_HYS}		240	360	nA	$-40^\circ\text{C} \leq T_J \leq +85^\circ\text{C}$
			240	520	nA	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
			640	1500	nA	100% duty cycle operation, $V_{IN} = 3.0\text{ V}$, V_{OUT} set to 3.3 V
Operating Quiescent Current in PWM Mode	I_{Q_PWM}		2.4	3.2	μA	STOP = high; $V_{IN} = 3.6\text{ V}$, $V_{STOP} = 3.6\text{ V}$
UNDERVOLTAGE LOCKOUT	UVLO					
UVLO Threshold						
Rising	V_{UVLO_RISING}		2.06	2.14	V	
Falling	$V_{UVLO_FALLING}$	1.90	2.00		V	
OSCILLATOR CIRCUIT						
Switching Frequency in PWM Mode	f_{SW}	1.7	2.0	2.3	MHz	
Feedback (FB) Threshold of Frequency Fold	V_{OSC_FOLD}		0.3		V	
SYNCHRONIZATION THRESHOLD ¹						
SYNC Clock Range	$SYNC_{CLOCK}$	1.2		2.5	MHz	
SYNC High Level Threshold	$SYNC_{HIGH}$	1.2			V	
SYNC Low Level Threshold	$SYNC_{LOW}$			0.4	V	
SYNC Duty Cycle Range	$SYNC_{DUTY}$	100		$1/f_{SW} - 150$	ns	
SYNC/MODE Leakage Current	$I_{SYNC_LEAKAGE}$		50	150	nA	$V_{SYNC/MODE} = 3.6\text{ V}$
MODE TRANSITION						
Transition Delay from Hysteresis Mode to PWM Mode	$t_{HYS_TO_PWM}$		20		Clock cycles	SYNC/MODE goes logic high from logic low
EN PIN						
Input Voltage Threshold						
High	V_{IH}	1.2			V	
Low	V_{IL}			0.4	V	
Input Leakage Current	$I_{EN_LEAKAGE}$			25	nA	
STOP SWITCHING						
PWM Switching Stop Delay	$t_{STOP_RISE_DELAY}$		10		ns	STOP goes logic high from logic low
PWM Switching Resume Delay	$t_{STOP_FALL_DELAY}$		20		ns	STOP goes logic low from logic high
FB PIN						
Output Options by VID Resistor	V_{OUT_OPT}	0.8		5.0	V	0.8 V to 5.0 V in various factory options
PWM Mode						
Fixed VID Code Voltage Accuracy	$V_{FB_PWM_FIX}$	-0.6		+0.6	%	$T_J = 25^\circ\text{C}$, output voltage setting via factory fuse
		-1.2		+1.2	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
Adjustable VID Code Voltage Accuracy	$V_{FB_PWM_ADJ}$	-1.5		+1.5	%	Output voltage setting via the VID resistor
Hysteresis Mode						
Fixed VID Code Threshold Accuracy from Active Mode to Standby Mode	$V_{FB_HYS_FIX}$	-0.75		+0.75	%	$T_J = 25^\circ\text{C}$
		-2.5		+2.5	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
Adjustable VID Code Threshold Accuracy from Active Mode to Standby Mode	$V_{FB_HYS_ADJ}$	-3		+3	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
Hysteresis of Threshold Accuracy from Active Mode to Standby Mode	$V_{FB_HYS(HYS)}$		1		%	
Feedback Bias Current	I_{FB}		66	95	nA	Output Option 0, $V_{OUT} = 2.5\text{ V}$

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
			25	45	nA	Output Option 1, $V_{OUT} = 1.3\text{ V}$
SW PIN						
High-Side Power FET On Resistance	$R_{DS(ON)H}$		386	520	m Ω	Pin to pin measurement
Low-Side Power FET On Resistance	$R_{DS(ON)L}$		299	470	m Ω	Pin to pin measurement
Current-Limit in PWM Mode	I_{LIM_PWM}	800	1000	1200	mA	SYNC/MODE = high
Peak Current in Hysteresis Mode	I_{LIM_HYS}		265		mA	SYNC/MODE = low
Minimum On Time	t_{MIN_ON}		40	70	ns	
VINOK PIN						
VINOK Monitor Threshold Range	$V_{VINOK(RISE)}$	2.05		5.15	V	Factory programmable
VINOK Monitor Accuracy		-1.5		+1.5	%	$T_J = 25^\circ\text{C}$
		-3		+3	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
VINOK Monitor Threshold Hysteresis	$V_{VINOK(HYS)}$		1.5		%	
VINOK Rising Delay	t_{VINOK_RISE}		190		μs	
VINOK Falling Delay	t_{VINOK_FALL}		130		μs	
Leakage Current for VINOK Pin	$I_{VINOK_LEAKAGE}$		0.1	1	μA	
Output Low Voltage for VINOK Pin	V_{VINOK_LOW}		50	100	mV	$I_{VINOK} = 100\ \mu\text{A}$
SOFT START						
Default Soft Start Time	t_{SS}		350		μs	Factory trim, 1 bit (350 μs , 2800 μs)
Start-Up Delay	t_{START_DELAY}		2		ms	Delay from the EN pin being pulled high
C_{OUT} DISCHARGE SWITCH ON RESISTANCE	R_{DIS}		290		Ω	
THERMAL SHUTDOWN						
Threshold	T_{SHDN}		142		$^\circ\text{C}$	
Hysteresis	T_{HYS}		127		$^\circ\text{C}$	

¹ SYNC は、多機能 SYNC/MODE ピンの同期機能のみを指します。

絶対最大定格

表 2.

Parameter	Rating
PVIN to PGND	-0.3 V to +7 V
SW to PGND	-0.3 V to PVIN + 0.3 V
FB to AGND	-0.3 V to +7 V
VID to AGND	-0.3 V to +7 V
EN to AGND	-0.3 V to +7 V
VINOK to AGND	-0.3 V to +7 V
SYNC/MODE to AGND	-0.3 V to +7 V
STOP to AGND	-0.3 V to +7 V
PGND to AGND	-0.3 V to +0.3 V
Storage Temperature Range	-65°C to +150°C
Operational Junction Temperature Range	-40°C to +125°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} はワーストケース条件（表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態）で規定しています。 θ_{JC} は、デバイスの動作部分からデバイスの実装領域に最も近いパッケージ（ケース）の外側表面までの熱抵抗です。

表 3. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
10-Lead, 3 mm × 3 mm LFCSP	57	0.86	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。
電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

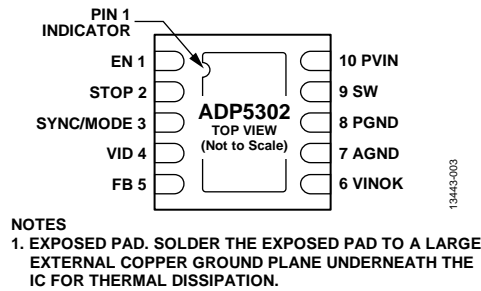


図 3. ピン配置

表 4. ピン機能の説明

Pin No.	Mnemonic	Description
1	EN	レギュレータのイネーブル入力。このピンをロジック・ローにするとレギュレータがディスエーブルされます。
2	STOP	スイッチング停止入力信号。このピンがロジック・ハイになると、レギュレータはスイッチングを停止します。このピンがロジック・ローになると、レギュレータはスイッチングを再開します。
3	SYNC/MODE	同期入力ピン (SYNC)。デバイスのスイッチング周波数を外部クロックに同期させるには、このピンを 1.2 MHz ~ 2.5 MHz の周波数の外部クロックに接続します。 PWM モード/ヒステリシス・モード選択ピン。このピンがロジック・ハイになると、レギュレータは PWM モードで動作します。このピンがロジック・ローになると、レギュレータはヒステリシス・モードで動作します。
4	VID	電圧設定ピン。このピンからグラウンドに外付け抵抗 (R_{VID}) を接続して、レギュレータの出力電圧を設定します (表 5 参照)。
5	FB	レギュレータの帰還検出入力。
6	VINOK	入力パワーグッド信号。このオープンドレイン出力は、入力電圧のパワーグッド信号です。
7	AGND	アナログ・グラウンド。
8	PGND	電源グラウンド。
9	SW	レギュレータのスイッチング・ノード出力。
10	PVIN	レギュレータの電源入力。
EPAD	EPAD	露出パッド。露出パッドは、放熱のために IC の下の大きな外部銅箔グラウンド・プレーンにハンダ付けします。

代表的な性能特性

特に指定がない限り、 $V_{IN}=3.6\text{ V}$ 、 $V_{OUT}=2.5\text{ V}$ 、 $L1=2.2\text{ }\mu\text{H}$ 、 $C_{IN}=C_{OUT}=10\text{ }\mu\text{F}$ 、 $f_{SW}=2\text{ MHz}$ 、 $T_A=25^\circ\text{C}$ 。

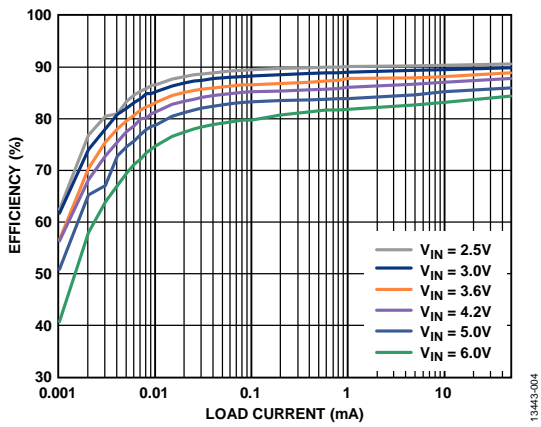


図 4. 負荷電流対ヒステリシス・モードの効率、 $V_{OUT}=1.2\text{ V}$

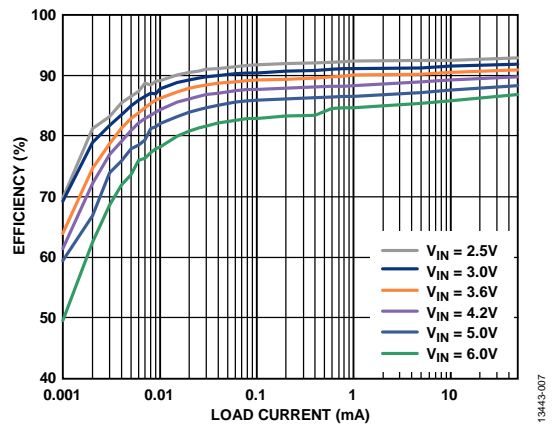


図 7. 負荷電流対ヒステリシス・モードの効率、 $V_{OUT}=1.5\text{ V}$

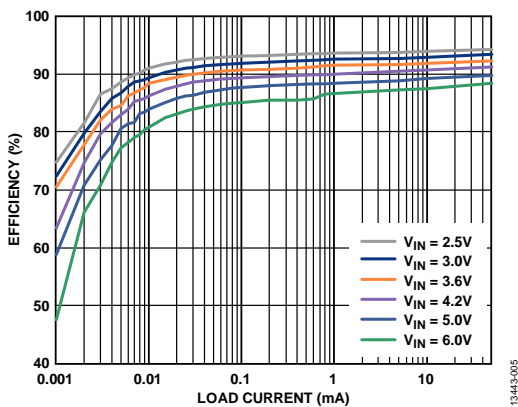


図 5. 負荷電流対ヒステリシス・モードの効率、 $V_{OUT}=1.8\text{ V}$

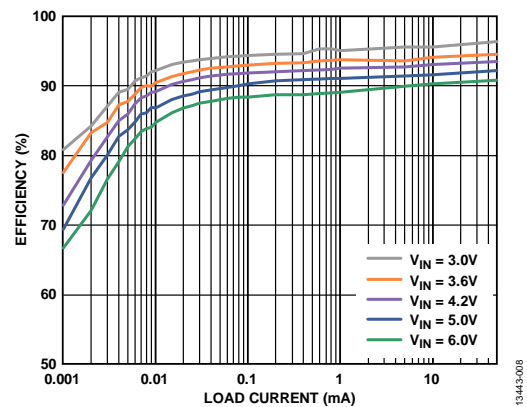


図 8. 負荷電流対ヒステリシス・モードの効率、 $V_{OUT}=2.5\text{ V}$

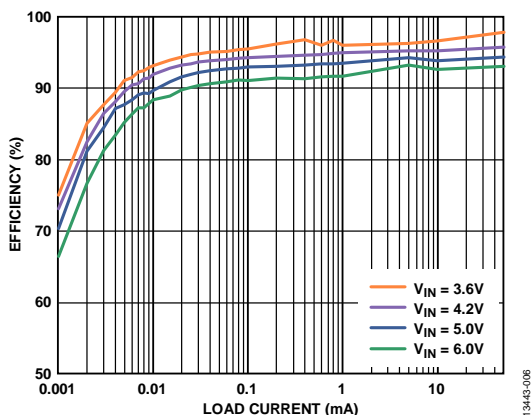


図 6. 負荷電流対ヒステリシス・モードの効率、 $V_{OUT}=3.3\text{ V}$

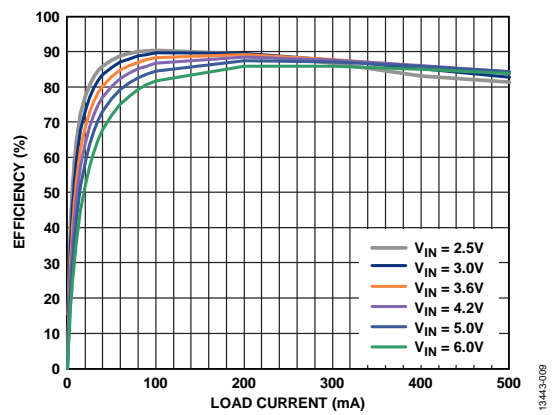


図 9. 負荷電流対 PWM モードの効率、 $V_{OUT}=1.2\text{ V}$

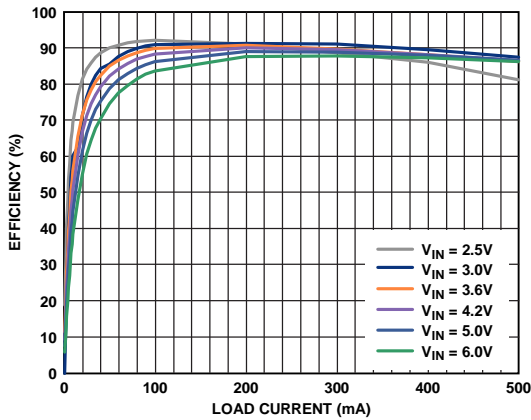


図 10. 負荷電流対 PWM モードの効率、 $V_{OUT} = 1.5V$

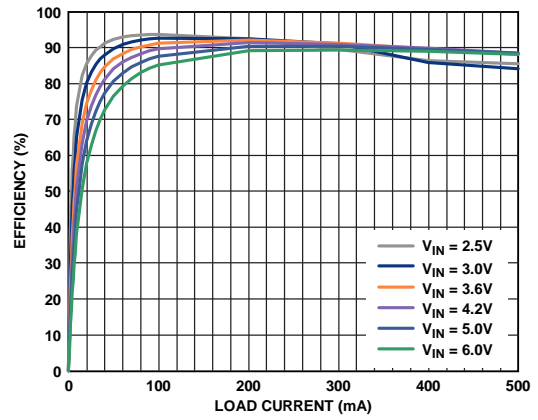


図 13. 負荷電流対 PWM モードの効率、 $V_{OUT} = 1.8V$

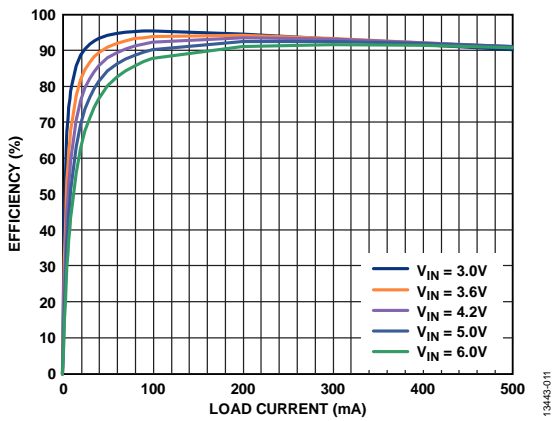


図 11. 負荷電流対 PWM モードの効率、 $V_{OUT} = 2.5V$

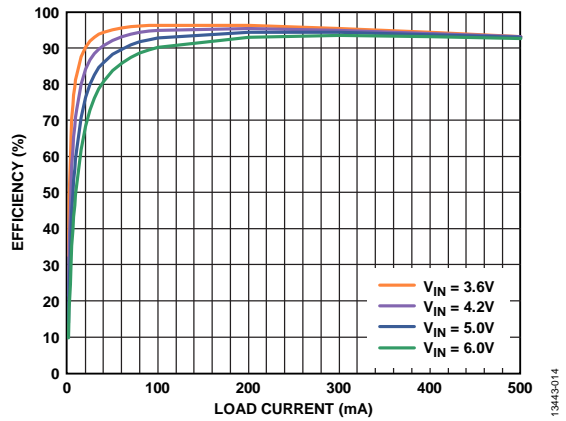


図 14. 負荷電流対 PWM モードの効率、 $V_{OUT} = 3.3V$

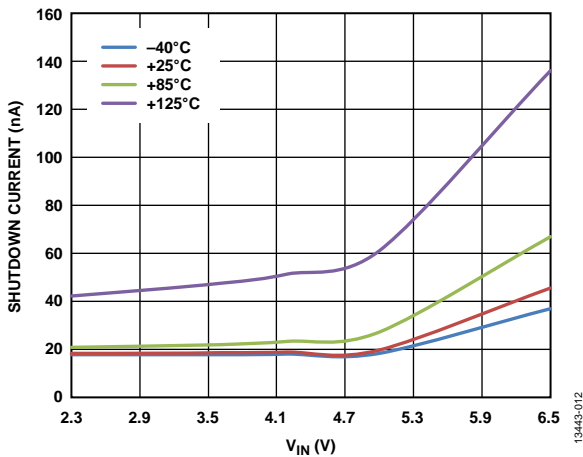


図 12. V_{IN} 対シャットダウン電流、EN がロー・レベル

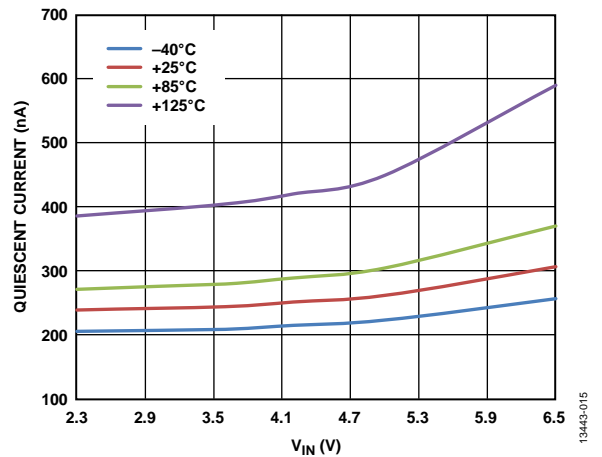


図 15. V_{IN} 対ヒステリシス・モードの静止電流、SYNC/MODE がロー・レベル

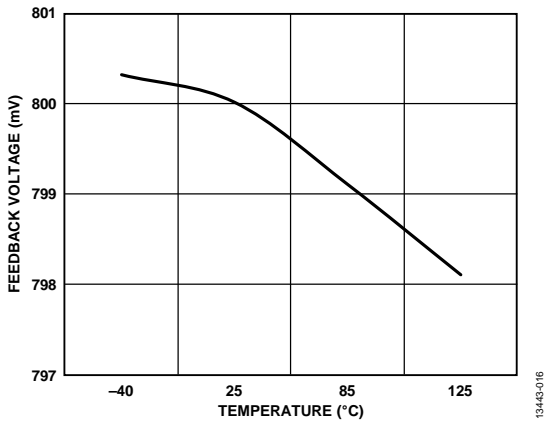


図 16. 帰還電圧の温度特性、PWM モード

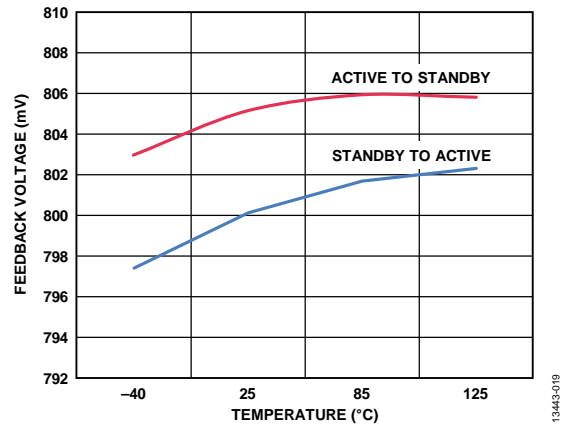


図 19. 帰還電圧の温度特性、ヒステリシス・モード

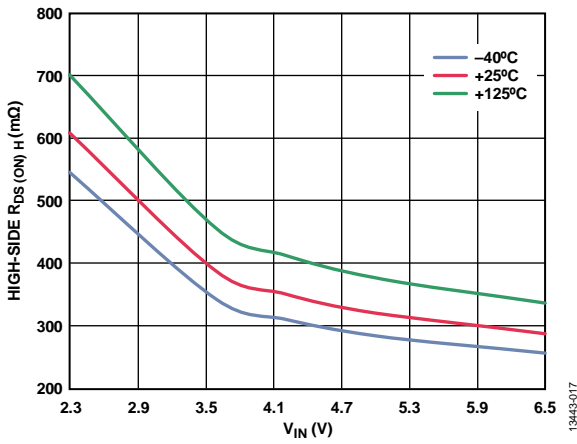


図 17. VIN 対ハイサイドの RDS(ON)H

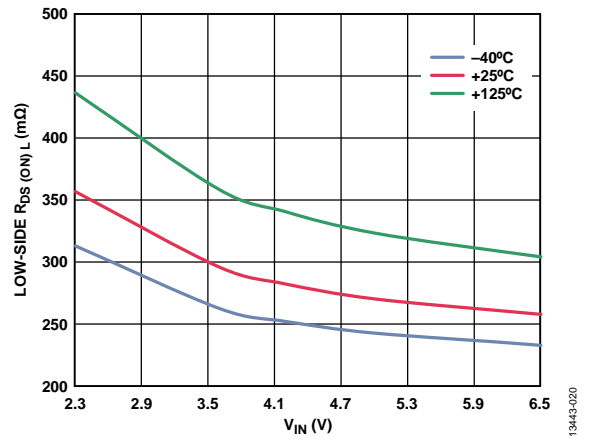


図 20. VIN 対ローサイドの RDS(ON)L

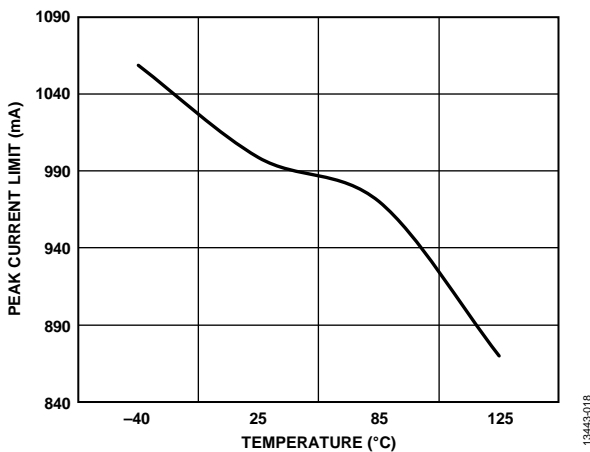


図 18. ピーク電流制限の温度特性

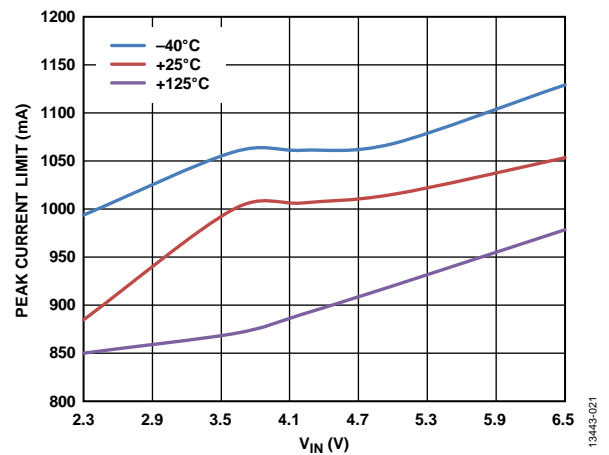


図 21. VIN 対ピーク電流制限

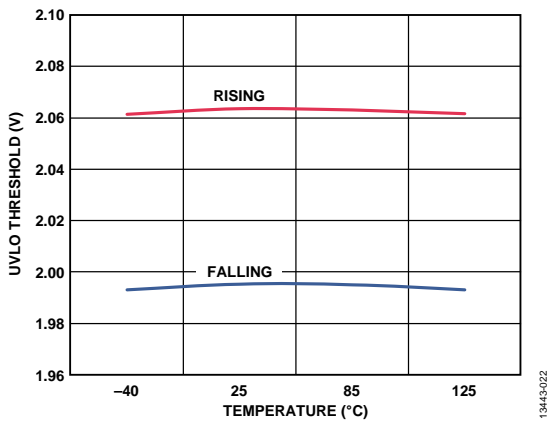


図 22. 上昇時と下降時の UVLO 閾値の温度特性

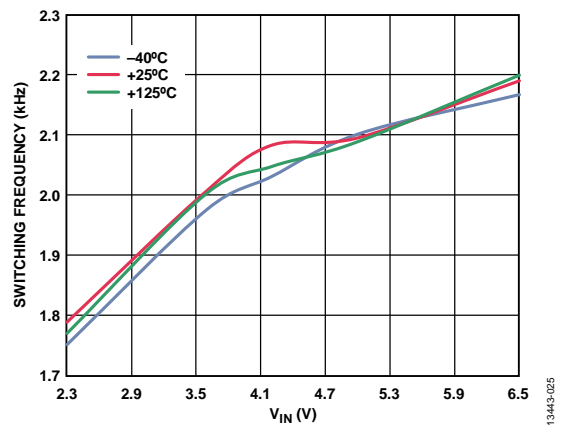


図 25. VIN 対スイッチング周波数

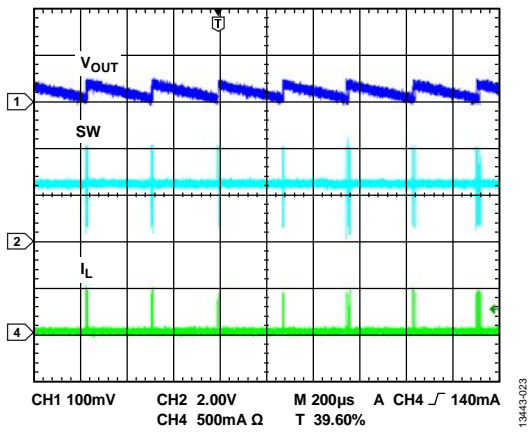


図 23. ヒステリシス・モードの定常波形、I_{LOAD} = 1 mA

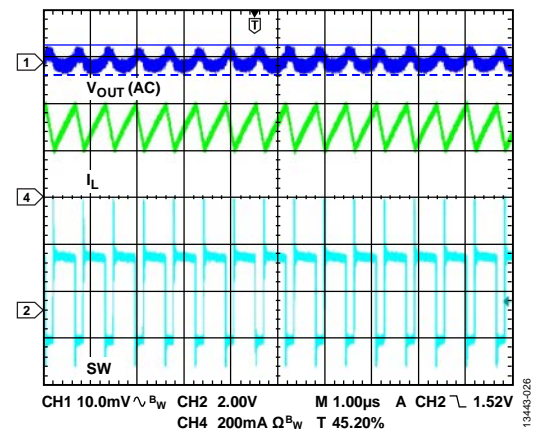


図 26. PWM モードの定常波形、I_{LOAD} = 300 mA

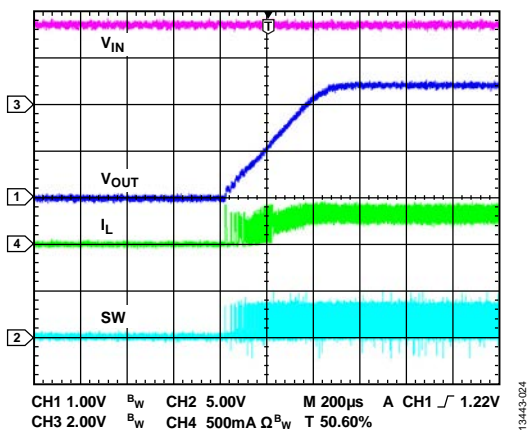


図 24. ソフトスタート、I_{LOAD} = 300 mA
(I_L はインダクタ電流)

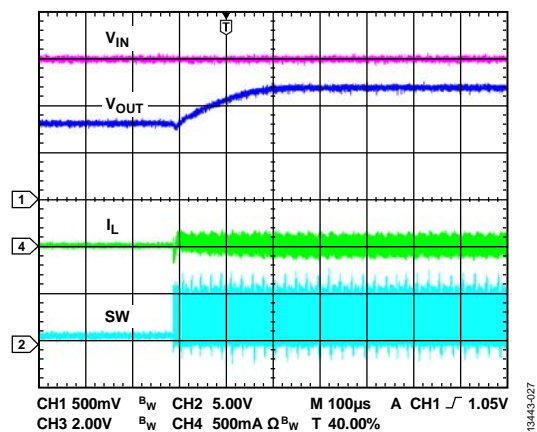


図 27. プリチャージ機能によるソフトスタート

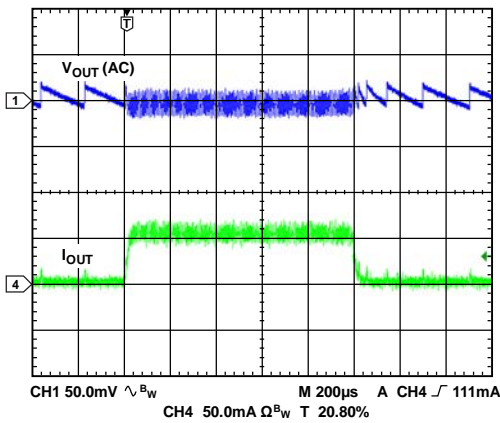


図 28. ヒステリシス・モードの負荷過渡応答、
 $I_{LOAD} = 0 \text{ mA} \rightarrow 50 \text{ mA}$

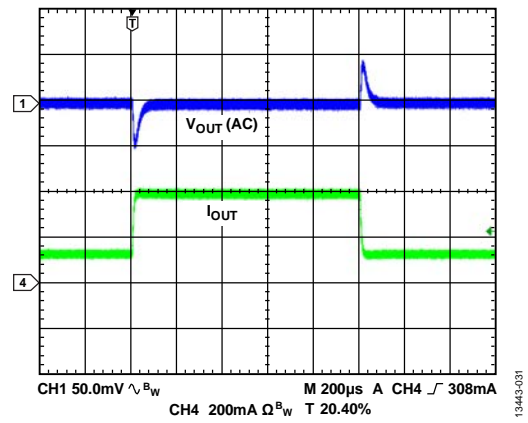


図 31. PWM モードの負荷過渡応答、
 $I_{LOAD} = 125 \text{ mA} \rightarrow 375 \text{ mA}$

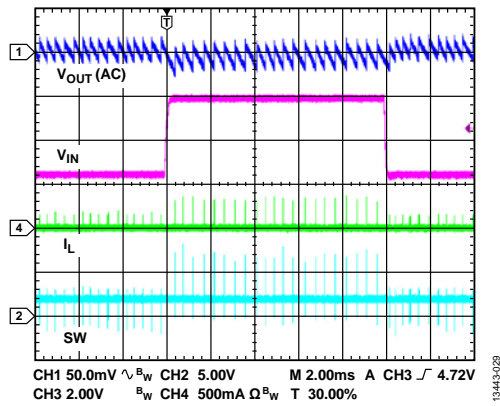


図 29. ヒステリシス・モードのライン過渡応答、
 $I_{LOAD} = 10 \mu\text{A}$, $V_{IN} = 2.5 \text{ V} \rightarrow 6 \text{ V}$

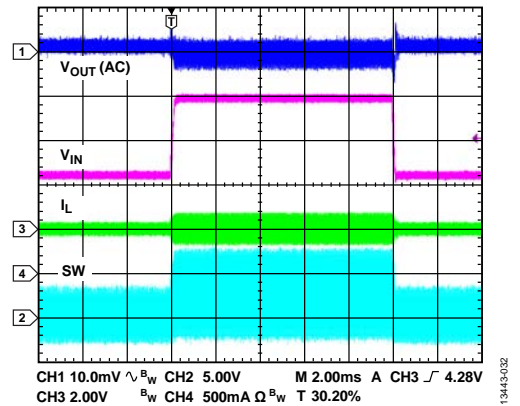


図 32. PWM モードのライン過渡応答、
 $I_{LOAD} = 500 \text{ mA}$, $V_{IN} = 2.5 \text{ V} \rightarrow 6 \text{ V}$

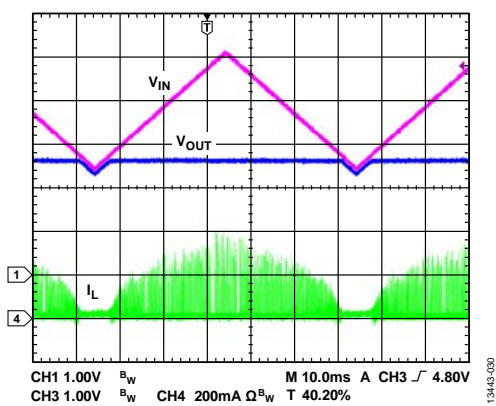


図 30. ヒステリシス・モードでの入力電圧の
ランプアップとランプダウン

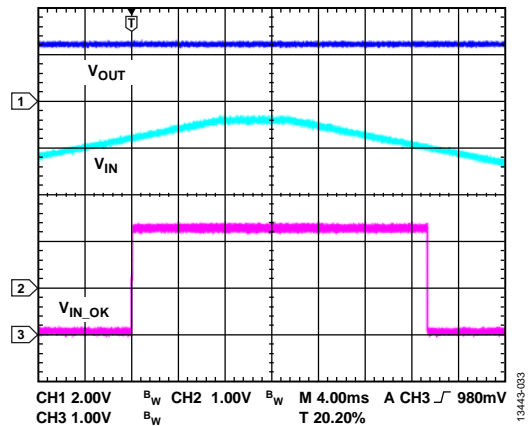


図 33. V_{INOK} 閾値 = 3.0 V で V_{INOK} が機能

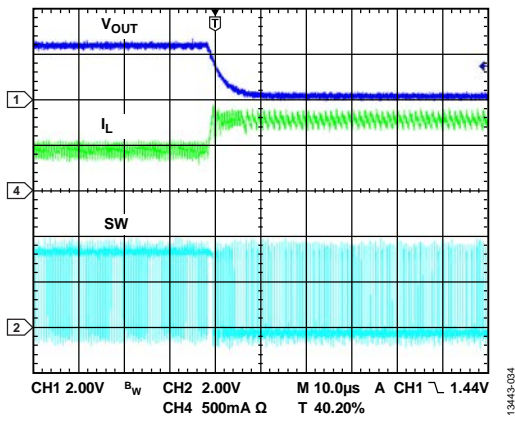


図 34. 出力短絡

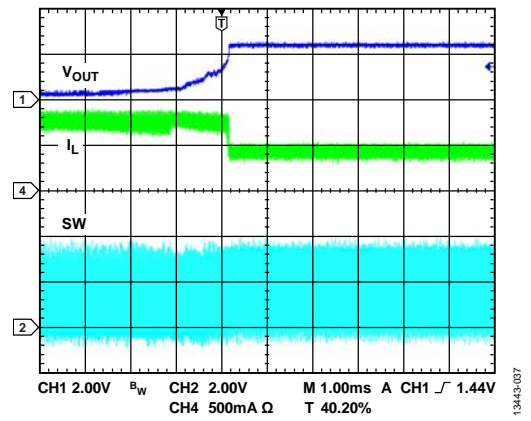


図 37. 出力短絡からの回復

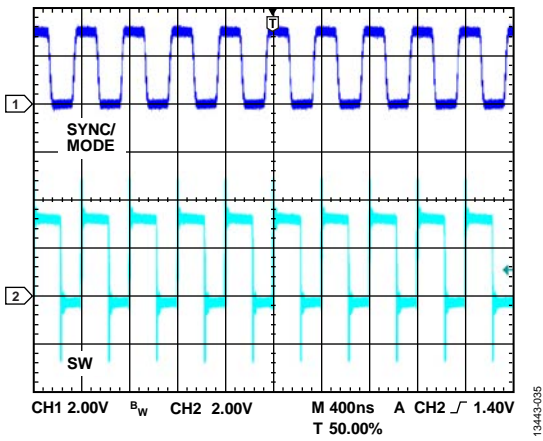


図 35. 2.5 MHz に同期

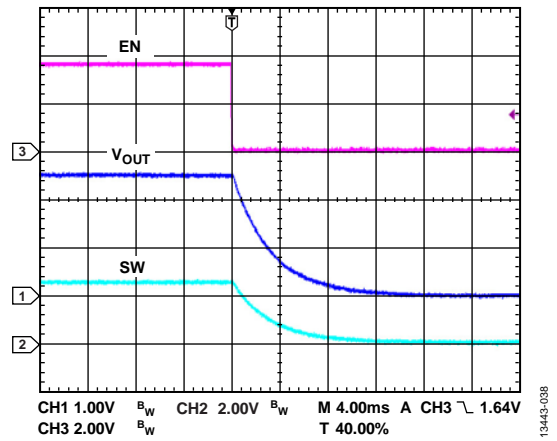


図 38. 急速出力放電機能

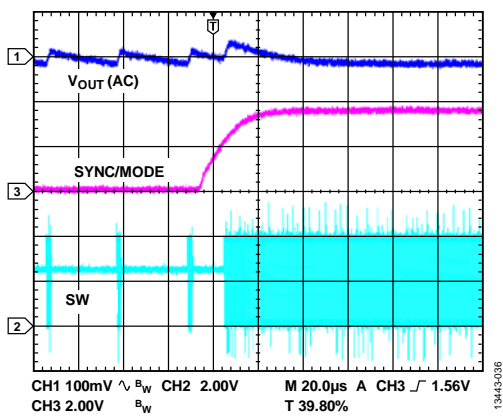


図 36. 10 mA の負荷電流でヒステリシス・モードから PWM モードへ移行

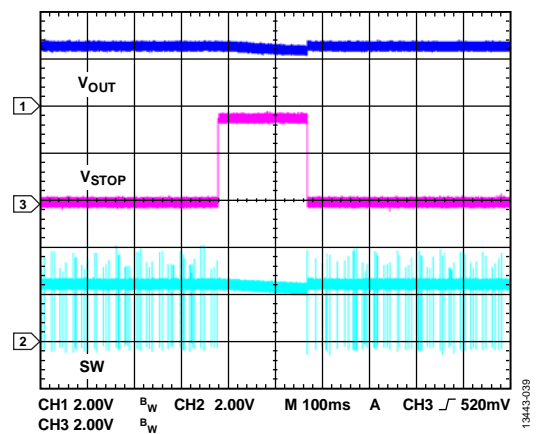


図 39. スイッチング停止機能

動作原理

ADP5302 は 10 ピン LFCSP パッケージを採用した高効率で超低静止電流の降圧レギュレータで、性能とボード・スペースの厳しい要件を満たすように設計されています。このデバイスは 2.15 V ~ 6.50 V の広い入力電圧に直接接続できるので、複数のアルカリ電池、NiMH 電池、リチウムイオン電池などの電源を使用することができます。

降圧レギュレータの動作モード

PWM モード

PWM モードでは、ADP5302 の降圧レギュレータは内部発振器によって設定される固定周波数で動作します。発振器の各サイクルの開始時に、ハイサイド MOSFET スイッチがオンし、インダクタ両端に正電圧を印加します。電流検出信号がピーク・インダクタ電流の閾値を超えるまでインダクタ電流が増加すると、ハイサイド MOSFET スイッチをオフします。この閾値はエラーアンプの出力によって設定されます。ハイサイド MOSFET がオフしている間、発振器の次のクロック・パルスが新しいサイクルを開始するまで、インダクタ電流はローサイド MOSFET によって減少します。

ヒステリシス・モード

ヒステリシス・モードでは、ADP5302 の降圧レギュレータがピーク・インダクタ電流を一定に制御することにより、出力電圧を PWM パルスによる公称出力電圧よりわずかに高く充電します。出力電圧が、出力検出信号がヒステリシスの上側閾値を超えるまで上昇すると、レギュレータはスタンバイ・モードになります。スタンバイ・モードでは、ハイサイドとローサイドの MOSFET および大部分の回路がディスエーブルされるので、低静止電流とともに高効率の性能を実現できます。

スタンバイ・モードの間、出力コンデンサが負荷にエネルギーを供給します。出力電圧がヒステリシス・コンパレータの下側閾値を下回るまで低下すると、降圧レギュレータがウェークアップして PWM パルスを生成し、出力を再度充電します。

出力電圧は不定期にスタンバイ・モードになってから回復するため、ヒステリシス・モードの出力電圧リップルは PWM モードのリップルより大きくなります。

モードの選択

ADP5302 は SYNC/MODE ピンを備えており、ヒステリシス・モードまたは PWM モードに柔軟に構成できます。

SYNC/MODE ピンをロジック・ハイ・レベルにすると、降圧レギュレータは PWM モードで動作します。PWM モードでは、レギュレータは最大 500 mA の出力電流を供給できます。レギュレータは、PWM モード時に出力リップルと出力ノイズを小さくできるため、PWM モードはノイズに敏感なアプリケーションに有効です。

SYNC/MODE ピンをロジック・ロー・レベルにすると、降圧レギュレータはヒステリシス・モードで動作します。ヒステリシス・モードでは、無負荷時に出力を安定化するためにレギュレータに流れる静止電流がわずか 240 nA (代表値) なので、レギュレータをバッテリー駆動システムのキープアライブ電源として機能させることができます。ヒステリシス・モードでは、レギュレータは最大 50 mA の出力電流を供給し、PWM モードと比較して出力リップルが大きくなります。

動作中にヒステリシス・モードと PWM モードの間で切り替えることができます。デバイスの動作中に柔軟に構成できるので、システムがアクティブ・モードとスタンバイ・モードの間で切り替わるとき、高効率と低出力リップルの要件を満たす効率的なパワー・マネージメントが可能になります。

発振器と同期

ADP5302 は、PWM 動作モードでは標準 2 MHz のスイッチング周波数で動作します。

ADP5302 のスイッチング周波数は、1.2 MHz ~ 2.5 MHz の周波数範囲の外部クロックに同期可能です。ADP5302 は、SYNC/MODE ピンに与えられた外部クロックを自動的に検出し、スイッチング周波数を外部クロックの周波数に切り替えます。外部クロック信号が停止すると、デバイスは自動的に内部クロックに戻します。

調整可能な出力電圧と固定出力電圧

ADP5302 は、VID ピンと AGND の間に 1 本の抵抗を接続することにより、出力電圧の設定値を調整することができます。起動期間内に VID 検出回路が作動し、内部レジスタ内で電圧 ID コードがサンプル・ホールドされ、このコードは次のパワー・サイクルが開始されるまで変化しません。さらに、ADP5302 は出荷時のヒューズによって設定される固定出力電圧を供給します。この条件では、VID ピンを PVIN ピンに接続します。

出力電圧を設定するため、ADP5302 に帰還抵抗分圧器が内蔵されており、帰還ピン (FB) を出力に直接接続する必要があります。超低消費電力の電圧リファレンスと高インピーダンスの内蔵帰還分圧器ネットワークの効果で、低静止電流となります。VID ピンの設定による出力電圧のオプションを表 5 に示します。VID からグラウンドに接続する抵抗は 1% 精度のものを推奨します。

表 5. VID ピンを使用する出力電圧 (V_{OUT}) のオプション

VID Configuration	V_{OUT}	
	Factory Option 0 (V)	Factory Option 1 (V)
Short to ground	3.0	3.1
Short to PVIN	2.5	1.3
$R_{VID} = 499 \text{ k}\Omega$	3.6	5.0
$R_{VID} = 316 \text{ k}\Omega$	3.3	4.5
$R_{VID} = 226 \text{ k}\Omega$	2.9	4.2
$R_{VID} = 174 \text{ k}\Omega$	2.8	3.9
$R_{VID} = 127 \text{ k}\Omega$	2.7	3.4
$R_{VID} = 97.6 \text{ k}\Omega$	2.6	3.2
$R_{VID} = 76.8 \text{ k}\Omega$	2.4	1.9
$R_{VID} = 56.2 \text{ k}\Omega$	2.3	1.7
$R_{VID} = 43 \text{ k}\Omega$	2.2	1.6
$R_{VID} = 32.4 \text{ k}\Omega$	2.1	1.4
$R_{VID} = 25.5 \text{ k}\Omega$	2.0	1.1
$R_{VID} = 19.6 \text{ k}\Omega$	1.8	1.0
$R_{VID} = 15 \text{ k}\Omega$	1.5	0.9
$R_{VID} = 11.8 \text{ k}\Omega$	1.2	0.8

低電圧ロックアウト (UVLO)

UVLO 回路は PVIN ピンの入力電圧レベルをモニタします。入力電圧が 2.00 V (代表値) を下回ると、レギュレータはオフします。入力電圧が 2.06 V (代表値) を上回ると、ソフトスタート期間が開始し、EN ピンがハイになると、レギュレータはイネーブルされます。

イネーブル/ディスエーブル

ADP5302 は独立したイネーブル・ピンを備えています。イネーブル・ピンをロジック・ハイにすると、レギュレータは起動します。低静止電流の設計のため、レギュレータは通常、イネーブル・ピン (EN) がハイに引き上げられてから数ミリ秒の遅延後にスイッチングを開始します。

イネーブル・ピンをロジック・ローにすると、レギュレータは直ちにディスエーブルされ、レギュレータは超低消費電流状態になります。

電流制限

ADP5302 の降圧レギュレータは、ハイサイド MOSFET とローサイド MOSFET を流れる電流の向きと量をサイクルごとに一定に制限する保護回路を内蔵しています。ハイサイド MOSFET の正電流制限は、入力から出力に流れることのできる電流量を制限します。ローサイド MOSFET の負電流制限は、インダクタ電流が反転して負荷から流出するのを防止します。

短絡保護

ADP5302 の降圧レギュレータは、ハード短絡時の電流の暴走を防ぐ周波数フォールドバック機能を備えています。帰還ピンの出力電圧が 0.3 V (代表値) を下回り、出力にハード短絡が生じている可能性がある場合、PWM モードのスイッチング周波数が内部発振器の周波数の 1/4 まで低下します。スイッチング周波数が低下するとインダクタの放電時間が長くなるため、出力電流の暴走を防止できます。

ソフトスタート

ADP5302 は、起動時に制御された状態で出力電圧を上昇させることにより突入電流を制限する内部ソフトスタート機能を備えています。この制御機能により、バッテリーや高インピーダンス電源をデバイスの入力に接続するとき生じる可能性のある入力の電圧降下を防止します。レギュレータのデフォルト・ソフトスタート時間は 350 μ s (代表値) です。

出荷時に、ヒューズにより、ADP5302 に異なるソフトスタート時間 (2800 μ s) を設定することができます。

プリチャージ出力での起動

ADP5302 の降圧レギュレータは、起動時にローサイド MOSFET を保護するプリチャージ起動機能を備えています。レギュレータがオンする前に出力電圧がプリチャージされると、レギュレータは、内部ソフトスタートのリファレンス電圧が帰還ピンのプリチャージ電圧を超えるまで、出力コンデンサを放電する逆インダクタ電流を阻止します。

100% デューティ・サイクル

入力電圧が出力電圧に近づくと、ADP5302 はスイッチングを停止して 100% デューティ・サイクル動作になります。このデバイスは、出力をインダクタと内部ハイサイド・パワー・スイッチを介して入力に接続します。入力電圧が再び充電されて必要なデューティ・サイクルが 95% (代表値) まで低下すると、降圧レギュレータは、出力電圧にオーバーシュートを生じることなく、スイッチングとレギュレーションを直ちに再開します。ヒステリシス・モードでは、ADP5302 は 100% デューティ・サイクル動作時にわずか 640 nA (代表値) の静止電流になります。

アクティブ放電

ADP5302 のレギュレータは、出荷時に設定可能なスイッチング・ノードからグラウンドへの放電スイッチをオプションとして内蔵しています。対象となるレギュレータがディスエーブルされると、このスイッチがオンすることにより、出力コンデンサを短時間で放電することができます。レギュレータの放電スイッチの抵抗の代表値は 290 Ω です。

デフォルトでは、放電機能はイネーブルされていません。アクティブ放電機能は、出荷時のヒューズによってイネーブルすることができます。

VINOK の機能

ADP5302 は、バッテリー電圧の状態を示すオープンドレインの VINOK 出力を備えています。PVIN ピンの入力電圧がリファレンス閾値を上回ると、VINOK 出力はアクティブ・ハイになります。入力電圧がリファレンス閾値を下回ると、VINOK ピンはローになります。コンパレータが超低消費電力設計のため、VINOK 出力の状態が変化するのに 130 μ s (代表値) という比較的に長い確認時間があることに注意してください。

異なる VINOK 閾値を 2.05 V ~ 5.15 V に 50 mV ステップで出荷時に設定可能です。デフォルト・オプション以外のオプションを備えたデバイスのオーダーについては、弊社または弊社代理店にお問い合わせください。

スイッチング停止

ADP5302はSTOP入力ピンを備えており、ヒステリシス・モードでレギュレータのスイッチングを一時的に停止させることができます。

STOPピンにロジック・ハイ・レベルを与えると、降圧レギュレータは直ちにスイッチングを停止します。STOPピンにロジック・ロー・レベルを与えると、降圧レギュレータはスイッチングを再開します。STOP信号がハイになってから信号がスイッチングを完全に停止させるまでに、数十ナノ秒の遅延時間があることに注意してください。

バッテリー駆動システムの中には、マイクロコントローラ・ユニット (MCU) がSTOP信号を介して、レギュレータにスイッチング停止を指示するものがあります。スイッチング停止後、レギュレータは出力コンデンサから負荷に給電します。この間、データ変換、RFデータ伝送、アナログ・センサーのようなノイズに敏感な回路に適した、ノイズの少ないシステム環境を実現することができます。ノイズに敏感な回路が処理を完了すると、MCUはレギュレータを制御してスイッチング・レギュレータ・モードを再開させます。

ADP5302のスイッチング停止機能を図40に示します。

STOP信号による制御は、ENピンがハイに引き上げられ、レギュレータがイネーブルされているときだけ有効です。これ以外の場合、ENピンがロジック・ローのときはSTOP信号は無視されません。

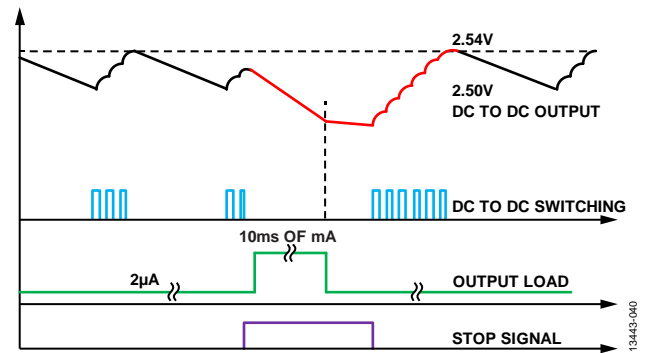


図 40. スイッチング停止動作の状態

サーマル・シャットダウン

ADP5302のジャンクション温度が 142°C を超えると、サーマル・シャットダウン回路が、内部のリニア電圧レギュレータを除いて、ICをオフします。ジャンクション温度が極端に高くなる要因は、大電流の動作、回路ボードの設計不備、高い周囲温度などです。 15°C のヒステリシスを備えており、サーマル・シャットダウン後にジャンクション温度が 127°C を下回るまでADP5302は動作を再開しません。デバイスがサーマル・シャットダウンを終了すると、イネーブルされた各チャンネルでソフトスタートが開始されます。

入力コンデンサ

入力電圧リップル、入力リップル電流、ソース・インピーダンスを低減するために、入力コンデンサが必要です。入力コンデンサはPVINピンのできるだけ近くに配置します。入力電圧リップルを最小限に抑えるため、低ESRのX7RコンデンサまたはX5Rコンデンサを強く推奨します。次式を使ってrms入力電流を求めます。

$$I_{RMS} \geq I_{LOAD(MAX)} \sqrt{\frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}}}$$

ほとんどのアプリケーションでは、10 μ Fのコンデンサで十分です。入力電圧のフィルタリングを強化するため、入力コンデンサは制限なく大きくすることができます。

効率

効率は入力電力に対する出力電力の比です。ADP5302の高い効率には明らかな利点が2つあります。1つ目は、DC/DCコンバータのパッケージで消費される電力が少量であり、熱的制約が緩和されます。2つ目は、高効率により所定の入力電力に対して最大の出力電力を供給するため、携帯型アプリケーションのバッテリー寿命を延ばします。

パワー・スイッチの導通損失

パワー・スイッチのDC導通損失は、付随する内部抵抗 ($R_{DS(ON)}$) を持つハイサイドPチャンネル・パワー・スイッチとローサイドNチャンネル同期整流器を流れる出力電流によって発生します。電力損失の大きさは次式で概算できます。

$$P_{SW_COND} = (R_{DS(ON)H} \times D + R_{DS(ON)L} \times (1 - D)) \times I_{OUT}^2$$

ここで、 $D = \frac{V_{OUT}}{V_{IN}}$

パワー・スイッチの内部抵抗は、温度が上昇するときと入力電圧が低下するときに増加します。

インダクタの損失

インダクタの導通損失は、付随する内部DCRを持つインダクタを流れる電流によって発生します。インダクタを大型にするほどDCRが小さくなり、インダクタの導通損失を小さくすることが

できます。インダクタのコア損失は、コア材の透磁率に関係しています。ADP5302は高スイッチング周波数のDC/DCレギュレータなので、コア損失と電磁干渉(EMI)が小さいシールド・フェライト・コア材を推奨します。

インダクタでの総合電力損失 (P_L) は、次式を使って計算します。

$$P_L = DCR \times I_{OUT}^2 + \text{コア損失}$$

ドライバの損失

ドライバの損失は、スイッチング周波数でパワー・デバイスをオン/オフするドライバに流れる電流に関係しています。パワー・デバイスのゲートがオン/オフするたびに、ドライバは入力電源からゲートへ、次いでゲートからグラウンドへ電荷を転送します。ドライバの損失 (P_{DRIVER}) は、次式を使って推算します。

$$P_{DRIVER} = (C_{GATE_H} + C_{GATE_L}) \times V_{IN}^2 \times f_{SW}$$

ここで、

C_{GATE_H} は内部ハイサイド・スイッチのゲート容量、

C_{GATE_L} は内部ローサイド・スイッチのゲート容量、

f_{SW} はPWMモードでのスイッチング周波数です。

ゲート容量の代表値は、 C_{GATE_H} が 69 pF、 C_{GATE_L} が 31 pF です。

遷移損失

遷移損失は、Pチャンネル・スイッチが瞬時にオンまたはオフできないために発生します。スイッチ・ノードの遷移の中間で、パワー・スイッチが全てのインダクタ電流を供給します。パワー・スイッチのソース-ドレイン間電圧は入力電圧の1/2であるため、電力損失が発生します。遷移損失は負荷電流および入力電圧とともに増加し、スイッチング・サイクルごとに2回発生します。遷移損失 (P_{TRAN}) は、次式を使って推算します。

$$P_{TRAN} = V_{IN}/2 \times I_{OUT} \times (t_r + t_f) \times f_{SW}$$

ここで、

t_r はSWノードの立上がり時間、

t_f はSWノードの立下がり時間です。

立上がり時間 t_r と立下がり時間 t_f は 2 ns (代表値) です。

プリント回路ボードのレイアウトに関する推奨事項

ADP5302 の代表的なプリント回路ボード (PCB) レイアウトを図 42 に示します。

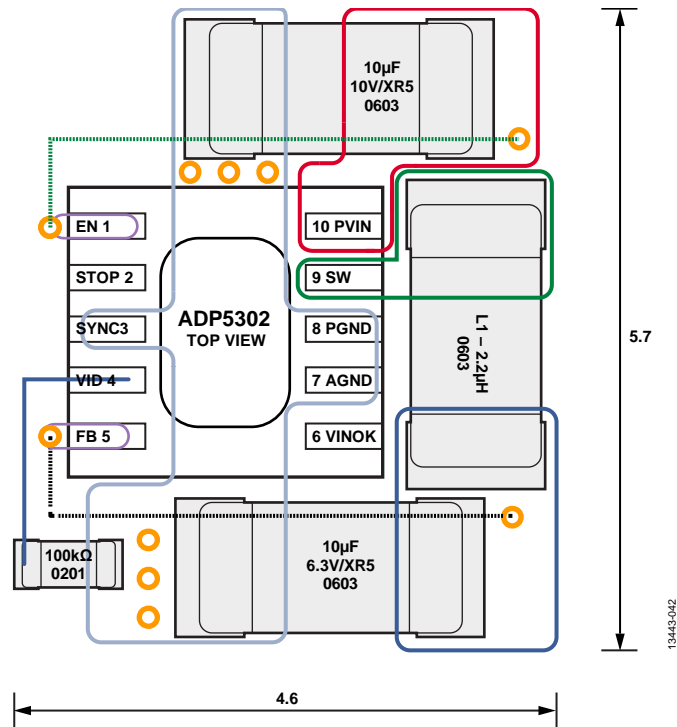


図 42. ADP5302 の代表的な PCB レイアウト

代表的なアプリケーション回路

ADP5302 は、バッテリー寿命を延ばすキープアライブの超低消費電力降圧レギュレータ (図 43 参照)、およびマイクロコントローラまたはプロセッサによって制御されるバッテリー駆動装置やワ

イヤレス・センサー・ネットワーク (図 44 参照) に使用することができます。スイッチング停止機能により、ノイズに敏感なアプリケーション向けにノイズの少ないシステム環境を実現します。

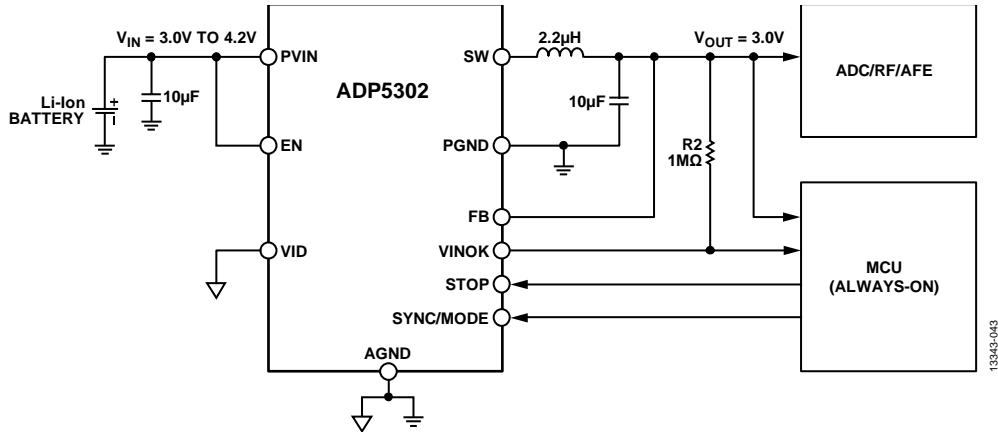


図 43.スイッチング停止機能を備えた代表的なアプリケーション回路

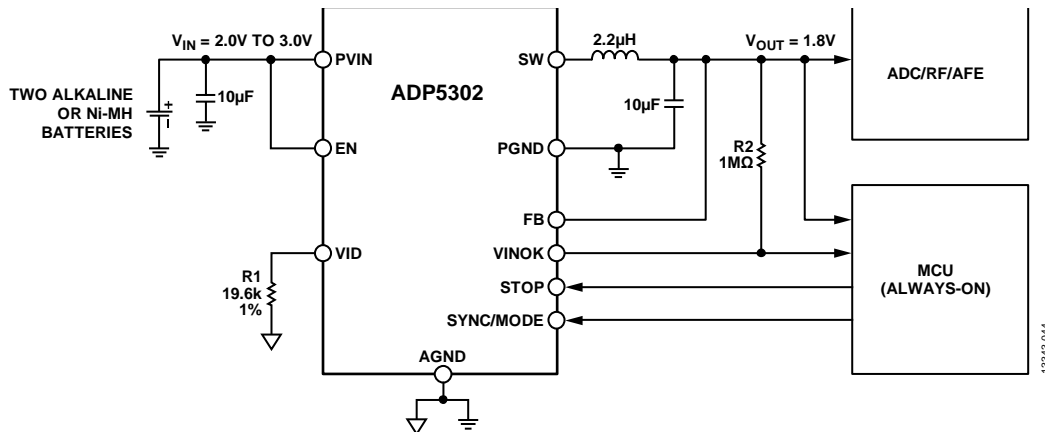


図 44. 2 個のアルカリ・バッテリーまたは NiMH バッテリーを使用した代表的なアプリケーション回路

出荷時に設定可能なオプション

デフォルト・オプション以外のオプションを備えたデバイスのオーダーについては、弊社または弊社代理店にお問い合わせください。

表 8. 出力電圧に対する VID の設定オプション

Option	Description
Option 0	VID resistor to set the output voltage as follows: 1.2 V, 1.5 V, 1.8 V, 2.0 V, 2.1 V, 2.2 V, 2.3 V, 2.4 V, 2.5 V, 2.6 V, 2.7 V, 2.8 V, 2.9 V, 3.0 V, 3.3 V, 3.6 V, or 3.3 V (3.3 V is the default setting)
Option 1	VID resistor to set the output voltage as follows: 0.8 V, 0.9 V, 1.0 V, 1.1 V, 1.3 V, 1.4 V, 1.6 V, 1.7 V, 1.9 V, 3.1 V, 3.4 V, 3.9 V, 4.2 V, 4.5 V, 5.0 V

表 9. VINOK モニタの閾値オプション

Option	VINOK Monitor Threshold Setting (V)
Option 0	2.05
Option 1	2.10
Option 2	2.15
Option 3	2.20
...	...
Option 20	3.00 (default)
...	...
Option 62	5.10
Option 63	5.15

表 10. 出力放電機能のオプション

Option	Description
Option 0	Output discharge function disabled for the buck regulator (this is the default setting)
Option 1	Output discharge function enabled for the buck regulator

表 11. ソフトスタート・タイマーのオプション

Option	Description
Option 0	350 μ s (default)
Option 1	2800 μ s

外形寸法

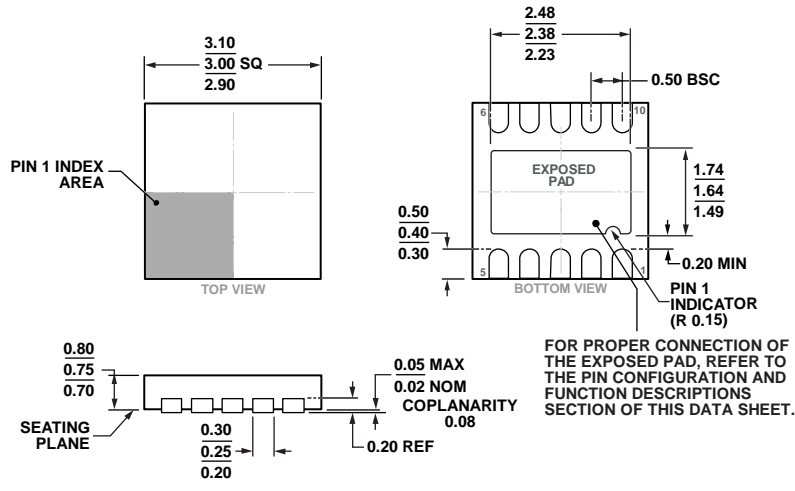


図 45. 10 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 3 mm × 3 mm ボディ、0.75 mm パッケージ高
 (CP-10-9)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADP5302ACPZ-1-R7	-40°C to +125°C	10-Lead LFCSP Package with Output Discharge, VINOK Threshold = 3.00 V	CP-10-9
ADP5302ACPZ-2-R7	-40°C to +125°C	10-Lead LFCSP Package Without Output Discharge, VINOK Threshold = 3.00 V	CP-10-9
ADP5302-EVALZ		Evaluation Board	

¹ Z = RoHS 準拠製品。