



1.2 A DC/DC 反転レギュレータ

データシート

ADP5073

特長

- 広い入力電圧範囲: 2.85 V ~ 15 V
- V_{IN} - 39 V までの調整可能な負出力
- 内蔵 1.2 A メイン・スイッチ
- 1.0 MHz ~ 2.6 MHz の外部周波数同期機能 (オプション) 付きの 1.2 MHz/2.4 MHz スイッチング周波数
- 抵抗で設定可能なソフト・スタート・タイマー
- システム・ノイズを低減するスルー・レート制御
- 高精度のイネーブル制御
- パワーグッド出力
- UVLO、OCP、OVP、TSD の保護回路
- 3 mm x 3 mm、16 ピン LFCSP パッケージ
- ジャンクション温度: -40°C ~ +125°C
- ADIsimPower ツール・セットによるサポート

アプリケーション

- バイポーラ・アンプ、ADC、D/A コンバータ (DAC)、マルチプレクサ
- 高速コンバータ
- 無線周波数 (RF) パワー・アンプ (PA) のバイアス
- 光モジュール

概要

ADP5073 は、負電源電圧を生成するために使用する高性能の DC/DC 反転レギュレータです。

入力電圧範囲が 2.85 V ~ 15 V と広いので、幅広いアプリケーションに対応します。メイン・スイッチが内蔵されているので、入力電圧より 39 V 低い負の出力電圧 (調整可能) を生成することができます。

ADP5073 は、ピン選択による 1.2 MHz/2.4 MHz のスイッチング周波数で動作します。また、1.0 MHz ~ 2.6 MHz の外部発振器に同期することができ、ノイズに敏感なアプリケーションにおけるノイズ・フィルタリングを容易にします。このレギュレータには、電磁干渉 (EMI) を減らすために、MOSFET ドライバ段用のプログラマブル・スルー・レート制御回路が搭載されています。

ADP5073 には、起動時の突入電流を防ぐために、内部固定または抵抗で設定可能なソフト・スタート・タイマーが組み込まれています。また、シャットダウン時はレギュレータが入力電源から負荷を完全に切り離して、真のシャットダウンを行います。さらに、出力状態が安定していることを示すパワー・グッド・ピンを備えています。

代表的アプリケーション回路

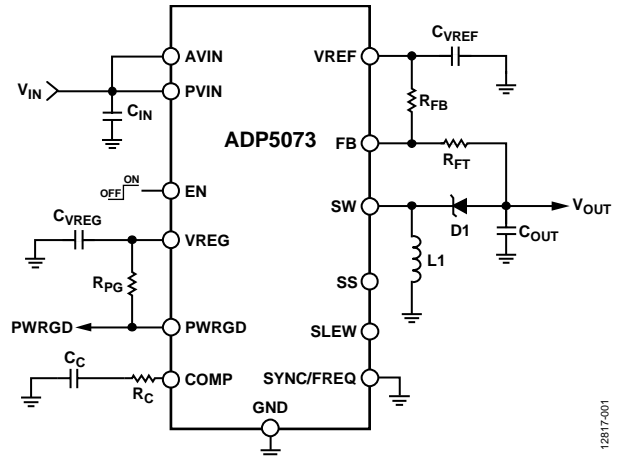


図 1.

ADP5073 のその他の主要な安全機能には、過電流保護 (OCP)、過電圧保護 (OVP)、サーマル・シャットダウン (TSD)、入力低電圧ロックアウト (UVLO) などがあります。

ADP5073 は 16 ピン LFCSP パッケージを採用し、-40°C ~ +125°C の動作ジャンクション温度範囲で仕様規定されています。

表 1. 関連デバイス

Device	Boost Switch (A)	Inverter Switch (A)	Package
ADP5070	1.0	0.6	20-lead LFCSP (4 mm x 4 mm) and TSSOP
ADP5071	2.0	1.2	20-lead LFCSP (4 mm x 4 mm) and TSSOP
ADP5073	Not applicable	1.2	16-lead LFCSP (3 mm x 3 mm)
ADP5074	Not applicable	2.4	16-lead LFCSP (3 mm x 3 mm)
ADP5075	Not applicable	0.8	12-ball WLCSP (1.61 mm x 2.18 mm)

目次

特長.....	1	高精度イネーブル.....	11
アプリケーション.....	1	ソフト・スタート.....	11
代表的アプリケーション回路.....	1	スルー・レート制御.....	11
概要.....	1	電流制限保護.....	11
改訂履歴.....	2	過電圧保護.....	11
仕様.....	3	パワーグッド.....	11
絶対最大定格.....	5	サーマル・シャットダウン.....	11
熱抵抗.....	5	アプリケーション情報.....	12
ESD に関する注意.....	5	ADIsimPower デザイン・ツール.....	12
ピン配置およびピン機能の説明.....	6	部品の選択.....	12
代表的な性能特性.....	7	一般的アプリケーション.....	15
動作原理.....	10	レイアウト時の考慮事項.....	16
PWM モード.....	10	外形寸法.....	17
スキップ・モード.....	10	オーダー・ガイド.....	17
低電圧ロックアウト (UVLO).....	10		
発振器と同期.....	10		
内部レギュレータ.....	10		

改訂履歴

10/15—Revision 0: Initial Version

仕様

特に指定のない限り、最小/最大仕様は $PV_{IN} = AV_{IN} = 2.85\text{ V} \sim 15\text{ V}$ 、 $V_{OUT} = -15\text{ V}$ 、 $f_{SW} = 1200\text{ kHz}$ 、 $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、typ 仕様は $T_A = 25^\circ\text{C}$ に対する値です。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
INPUT SUPPLY VOLTAGE RANGE	V_{IN}	2.85		15	V	PV_{IN} , AV_{IN}
QUIESCENT CURRENT						
Operating Quiescent Current PV_{IN} , AV_{IN} (Total)	I_Q		1.8	4.0	mA	No switching, EN = high, $PV_{IN} = AV_{IN} = 5\text{ V}$
Shutdown Current	I_{SHDN}		5	10	μA	No switching, EN = low, $PV_{IN} = AV_{IN} = 5\text{ V}$, $-40^\circ\text{C} \leq T_J \leq +85^\circ\text{C}$
UVLO						AV_{IN}
System UVLO Threshold						
Rising	V_{UVLO_RISING}		2.8	2.85	V	
Falling	$V_{UVLO_FALLING}$	2.5	2.55		V	
Hysteresis	V_{HYS}		0.25		V	
OSCILLATOR CIRCUIT						
Switching Frequency	f_{SW}	1.130	1.200	1.270	MHz	$SYNC/FREQ = \text{low}$
		2.240	2.400	2.560	MHz	$SYNC/FREQ = \text{high}$ (connect to VREG)
SYNC/FREQ Input						
Input Clock Range	f_{SYNC}	1.000		2.600	MHz	
Input Clock Minimum On Pulse Width	$t_{SYNC_MIN_ON}$	100			ns	
Input Clock Minimum Off Pulse Width	$t_{SYNC_MIN_OFF}$	100			ns	
Input Clock High Logic	$V_H(SYNC)$			1.3	V	
Input Clock Low Logic	$V_L(SYNC)$	0.4			V	
PRECISION ENABLING (EN)						
High Level Threshold	V_{TH_H}	1.125	1.15	1.175	V	
Low Level Threshold	V_{TH_L}	1.025	1.05	1.075	V	
Shutdown Mode	V_{TH_S}	0.4			V	Internal circuitry disabled to achieve I_{SHDN}
Pull-Down Resistance	R_{EN}		1.48		$\text{M}\Omega$	
INTERNAL REGULATOR						
VREG Output Voltage	V_{REG}		4.25		V	
INVERTING REGULATOR						
Reference Voltage	V_{REF}		1.60		V	
Accuracy		-0.5		+0.5	%	$T_J = 25^\circ\text{C}$
		-1.5		+1.5	%	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$
Feedback Voltage	$V_{REF} - V_{FB}$		0.8		V	
Accuracy		-0.5		+0.5	%	$T_J = 25^\circ\text{C}$
		-1.5		+1.5	%	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$
Feedback Bias Current	I_{FB}			0.1	μA	
Overvoltage Protection Threshold	V_{OV}		0.74		V	At the FB pin after soft start is complete
Power-Good Threshold	$V_{PG(GOOD)}$		0.7		V	$V_{REF} - V_{FB} \geq V_{PG(GOOD)}$
	$V_{PG(BAD)}$		0.68		V	$V_{REF} - V_{FB} \leq V_{PG(BAD)}$
Power-Good FET On Resistance	$R_{DS_PG(ON)}$		28		Ω	
Power-Good FET Maximum Drain Source Voltage	$V_{DS_PG(MAX)}$			5.5	V	
Power-Good Supply Voltage	$V_{PG(SUPPLY)}$		1.4			Voltage required on PV_{IN} pin for power-good FET to pull down
Load Regulation	$\Delta(V_{REF} - V_{FB}) / \Delta I_{LOAD}$		0.0025		%/A	$I_{LOAD} = 100\text{ mA}$ to 500 mA (regulator not in skip mode)
Line Regulation	$\Delta(V_{REF} - V_{FB}) / \Delta V_{IN}$		0.02		%/V	$V_{IN} = 2.85\text{ V}$ to 14.5 V , $I_{LOAD} = 15\text{ mA}$ (regulator not in skip mode_

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Error Amplifier (EA) Transconductance	g_M	270	300	330	$\mu\text{A}/\text{V}$	$V_{\text{IN}} = 5\text{ V}$
Power FET On Resistance	$R_{\text{DS(ON)}}$		200		$\text{m}\Omega$	
Power FET Maximum Drain Source Voltage	$V_{\text{DS(MAX)}}$			39	V	
Current-Limit Threshold	I_{LIM}	1.2	1.375	1.6	A	
Minimum On Time			55		ns	
Minimum Off Time			50		ns	
SOFT START						
Soft Start Timer	t_{SS}		4		ms	SS = open SS resistor = 50 k Ω to GND
			32		ms	
Hiccup Time	t_{HICCUP}		$8 \times t_{\text{SS}}$		ms	
THERMAL SHUTDOWN						
Threshold	T_{SHDN}		150		$^{\circ}\text{C}$	
Hysteresis	T_{HYS}		15		$^{\circ}\text{C}$	

絶対最大定格

表 3.

Parameter	Rating
PVIN, AVIN	-0.3 V to +18 V
SW	PVIN - 40 V to PVIN + 0.3 V
GND	-0.3 V to +0.3 V
VREG	-0.3 V to lower of AVIN + 0.3 V or +6 V
EN, FB, SYNC/FREQ, PWRGD	-0.3 V to +6 V
COMP, SLEW, SS, VREF	-0.3 V to VREG + 0.3 V
Operating Junction Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Soldering Conditions	JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} と Ψ_{JT} は、レイアウト時の考慮事項のセクションの推奨事項に従って露出パッドをグラウンド・プレーンに接続するサーマル・ビアを設けた 4 層プリント回路基板 (PCB) (2 つの信号プレーンと 2 つの電源プレーン) に基づいています。 θ_{JC} はパッケージ上面で測定した値であり、PCB には関係しません。アプリケーションのジャンクション-ケース間温度の計算には Ψ_{JT} の値のほうが適しています。

表 4. 熱抵抗

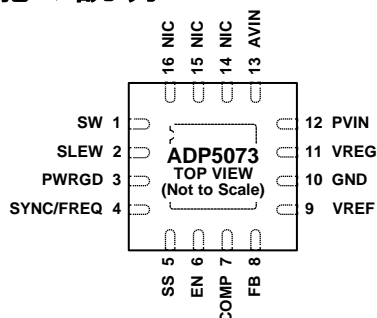
Package Type	θ_{JA}	θ_{JC}	Ψ_{JT}	Unit
16-Lead LFCSP	75.01	55.79	0.95	°C/W

ESD に関する注意

**ESD (静電放電) の影響を受けやすいデバイスです。**

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES.
 1. NIC = NO INTERNAL CONNECTION. FOR IMPROVED THERMAL PERFORMANCE, CONNECT THESE PINS TO THE PCB GROUND PLANE.
 2. EXPOSED PAD. CONNECT THE EXPOSED PAD TO GND.

12817-002

図 2. ピン配置

表 5. ピン機能の説明

Pin No.	Mnemonic	Description
1	SW	反転レギュレータのスイッチング・ノード。
2	SLEW	ドライバ段スルー・レート制御。SLEW ピンは、SW ピンをドライブする FET のスルー・レートを設定します。最大スルー・レート（最大効率）を得るには、SLEW ピンをオープン状態のままにします。通常のスルー・レートにする場合は、SLEW ピンを VREG に接続します。最小スルー・レート（最良ノイズ性能）にするには、SLEW ピンを GND に接続します。
3	PWRGD	パワーグッド出力（オープンドレイン）。パワーグッド時の出力をハイにするには、抵抗を使ってこのピンを VREG にプルアップします。
4	SYNC/FREQ	周波数設定および同期入力。スイッチング周波数を 2.4 MHz にするには、SYNC/FREQ ピンをハイにします。スイッチング周波数を 1.2 MHz にするには、SYNC/FREQ ピンをローにします。スイッチング周波数を同期させるには、SYNC/FREQ ピンを外部クロックに接続します。
5	SS	ソフト・スタート・プログラミング。ソフト・スタート時間を最小にするには SS ピンをオープン状態のままにします。ソフト・スタート時間を長くするには、SS ピンと GND の間に抵抗を接続します。
6	EN	反転レギュレータの高精度イネーブル。EN ピンは、反転レギュレータ出力をイネーブルするために内部高精度リファレンスと比較されます。
7	COMP	反転レギュレータの誤差アンプ補償。このピンと GND の間に補償回路を接続します。
8	FB	反転レギュレータの帰還入力。出力電圧を設定するには、反転レギュレータの出力コンデンサの負側と VREF の間に抵抗分圧器を接続します。
9	VREF	反転レギュレータのリファレンス出力。VREF ピンと GND の間に 1.0 μF のセラミック・フィルタ・コンデンサを接続します。
10	GND	グラウンド。
11	VREG	内部レギュレータ出力。VREG ピンと GND の間に 1.0 μF のセラミック・フィルタ・コンデンサを接続します。
12	PVIN	反転レギュレータの電源入力。
13	AVIN	ADP5073 のシステム電源。
14, 15, 16	NIC	内部接続されていません。熱性能を改善するため、これらのピンは PCB のグラウンド・プレーンに接続してください。
EPAD	EPAD	露出パッド。露出パッドは GND に接続します。

代表的な性能特性

代表的な性能特性は、表 9 に示す入力／出力の各組み合わせに対応する標準部品表を使用して作成されています。

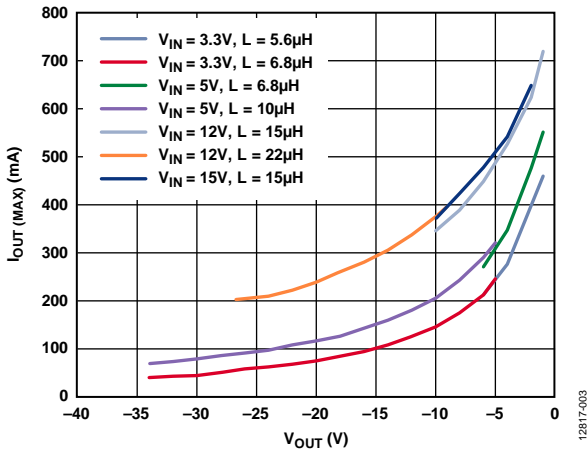


図 3. 最大出力電流、 $f_{SW} = 1.2$ MHz、 $T_A = 25^\circ\text{C}$ 、 $70\% I_{LIM(MIN)}$ のターゲットに基づく

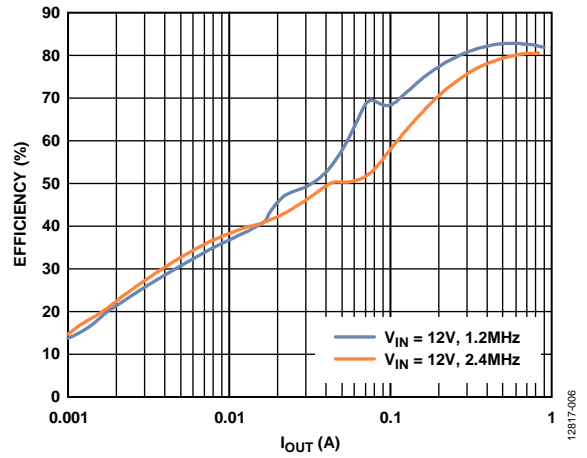


図 6. 電流負荷 (I_{OUT}) 対効率、 $V_{IN} = 12\text{V}$ 、 $V_{OUT} = -5\text{V}$ 、 $T_A = 25^\circ\text{C}$

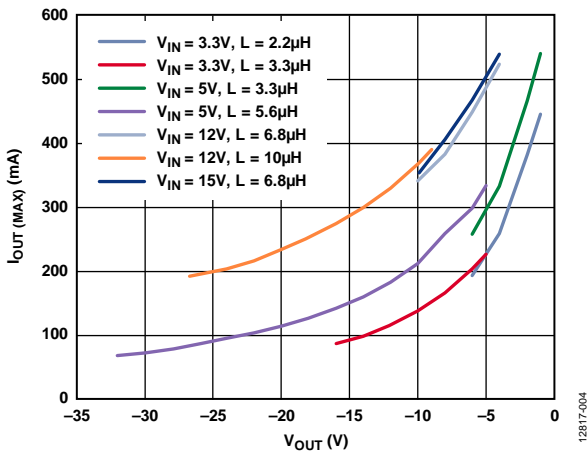


図 4. 最大出力電流、 $f_{SW} = 2.4$ MHz、 $T_A = 25^\circ\text{C}$ 、 $70\% I_{LIM(MIN)}$ のターゲットに基づく

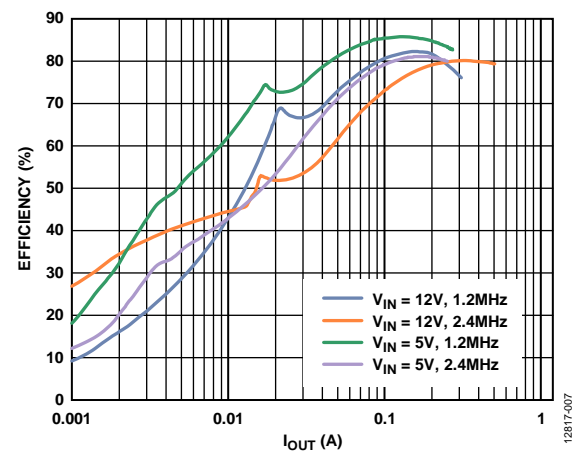


図 7. 電流負荷 (I_{OUT}) 対効率、 $V_{IN} = 12\text{V}$ および 5V 、 $V_{OUT} = -15\text{V}$ 、 $T_A = 25^\circ\text{C}$

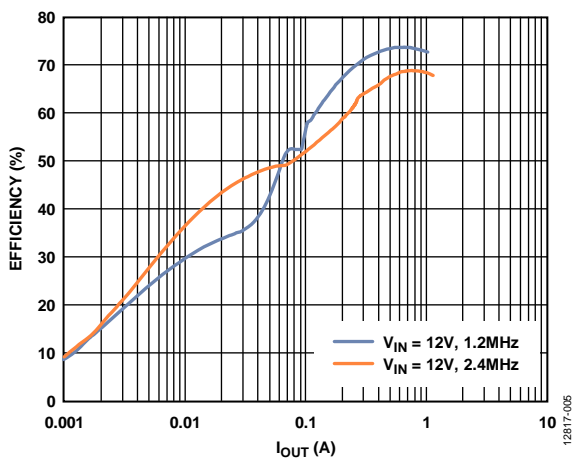


図 5. 電流負荷 (I_{OUT}) 対効率、 $V_{IN} = 12\text{V}$ 、 $V_{OUT} = -2.5\text{V}$ 、 $T_A = 25^\circ\text{C}$

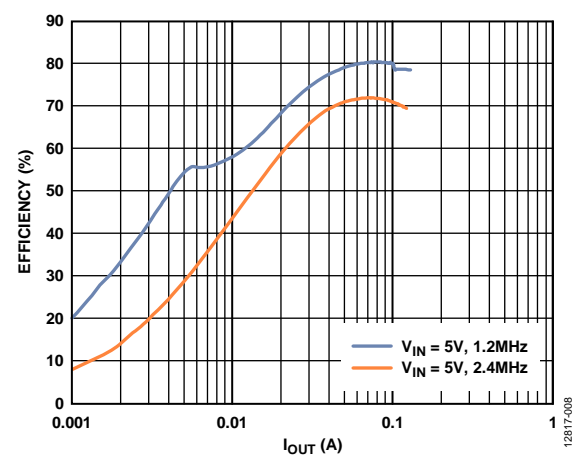


図 8. 電流負荷 (I_{OUT}) 対効率、 $V_{IN} = 5\text{V}$ 、 $V_{OUT} = -30\text{V}$ 、 $T_A = 25^\circ\text{C}$

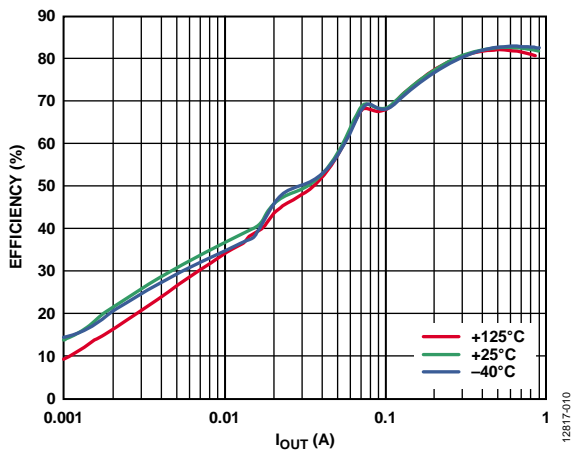


図 9. 種々の温度に対する電流負荷 (I_{OUT}) 対効率、 $V_{IN} = 5\text{ V}$ 、 $V_{OUT} = -15\text{ V}$ 、 $f_{SW} = 1.2\text{ MHz}$

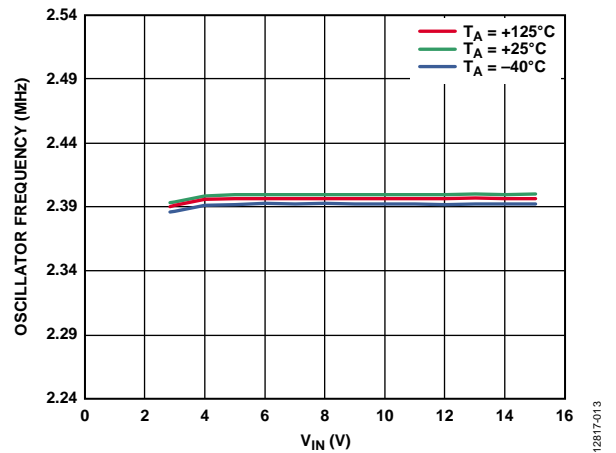


図 12. 種々の温度に対する入力電圧 (V_{IN}) 対発振器周波数、SYNC/FREQ ピン = ハイ

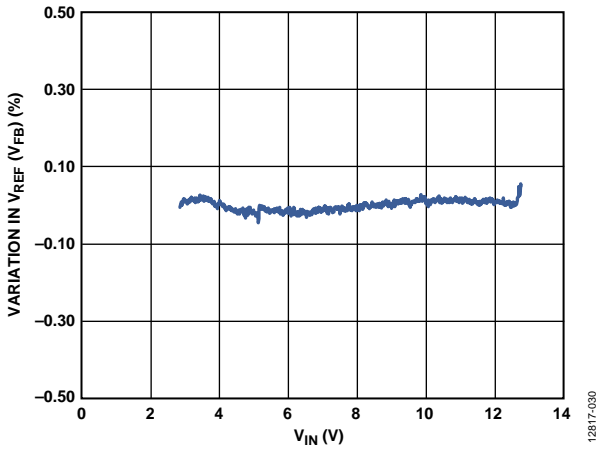


図 10. ライン・レギュレーション、 $V_{OUT} = -5\text{ V}$ 、 $f_{SW} = 1.2\text{ MHz}$ 、 15 mA 負荷、 $T_A = 25^\circ\text{C}$ (スキップ・モードは示されていません)

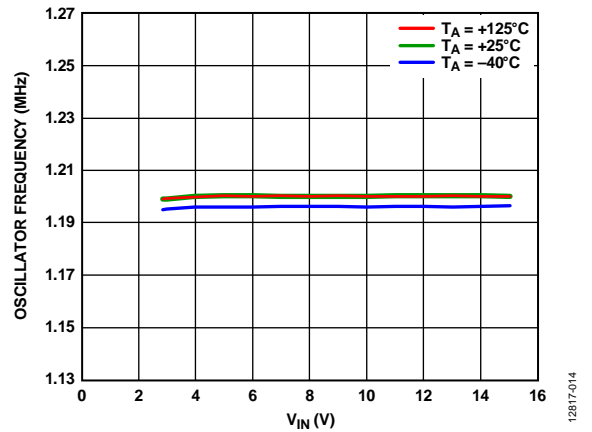


図 13. 種々の温度に対する入力電圧 (V_{IN}) 対発振器周波数、SYNC/FREQ ピン = ロー

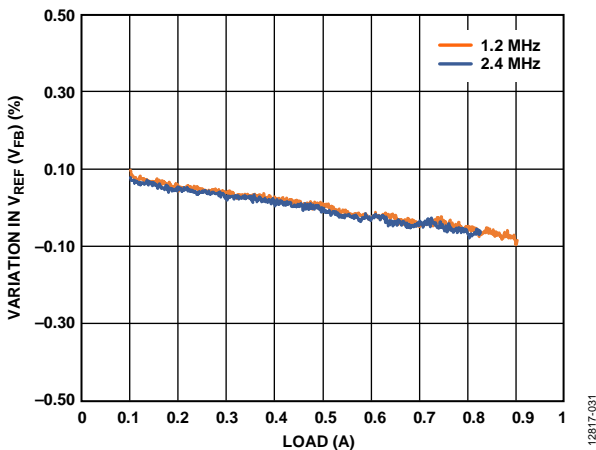


図 11. 負荷レギュレーション、 $V_{IN} = 12\text{ V}$ 、 $V_{OUT} = -5\text{ V}$ 、 $f_{SW} = 1.2\text{ MHz}$ 、 $T_A = 25^\circ\text{C}$ (スキップ・モードは示されていません)

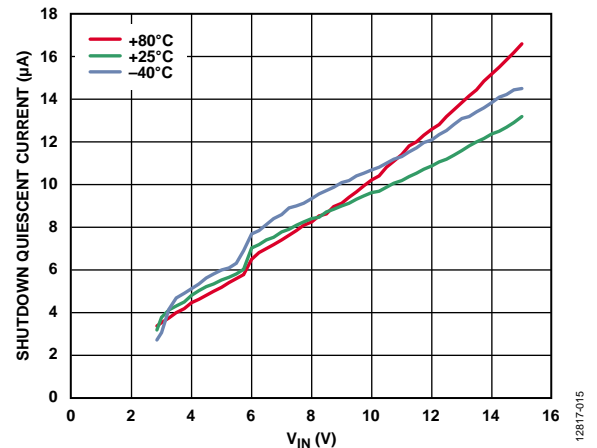


図 14. 種々の温度に対する入力電圧 (V_{IN}) 対シャットダウン時静止電流 (I_{SHDN})、EN ピンはシャットダウン閾値未満

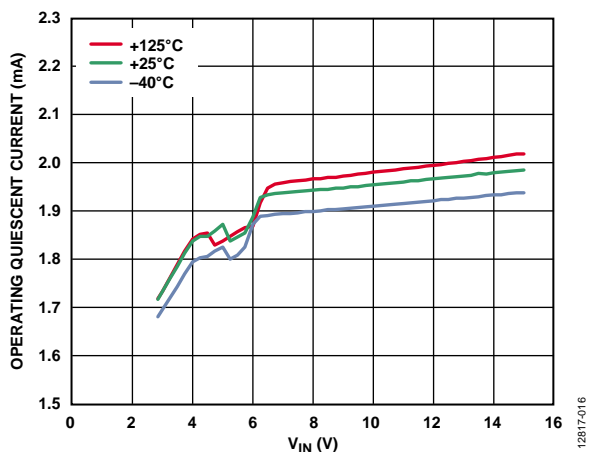


図 15. 種々の温度に対する入力電圧 (V_{IN}) 対動作時静止電流 (I_Q)、EN ピンはオン

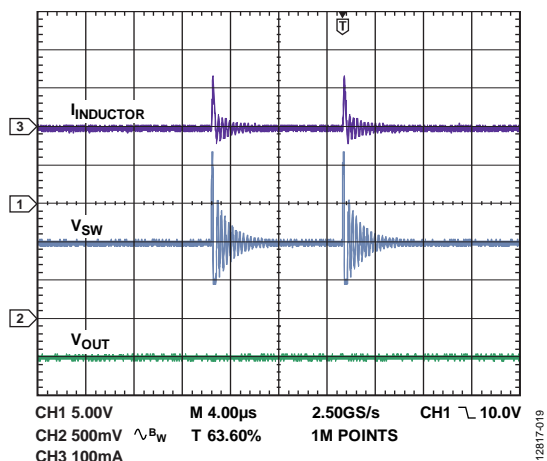


図 18. スキップ・モード動作時のインダクタ電流 (I_{INDUCTOR})、スイッチ・ノード電圧 (V_{SW})、出力リップル (V_{OUT})、V_{IN} = 12 V、V_{OUT} = -5 V、I_{LOAD} = 1 mA、f_{SW} = 1.2 MHz、T_A = 25°C

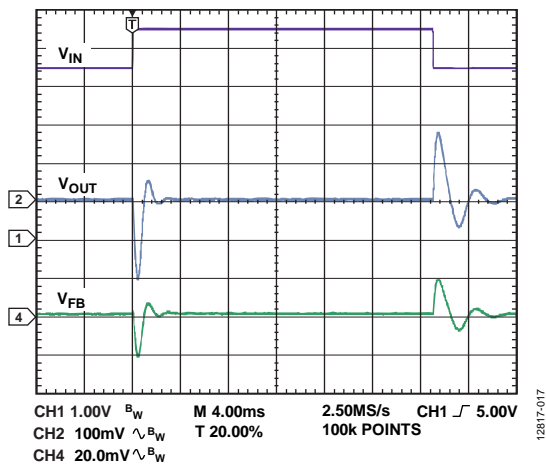


図 16. V_{IN}、V_{OUT}、V_{FB} のライン過渡応答、V_{IN} = 4.5 V ~ 5.5 V ステップ、V_{OUT} = -5 V、R_{LOAD} = 300 Ω、f_{SW} = 1.2 MHz、T_A = 25°C

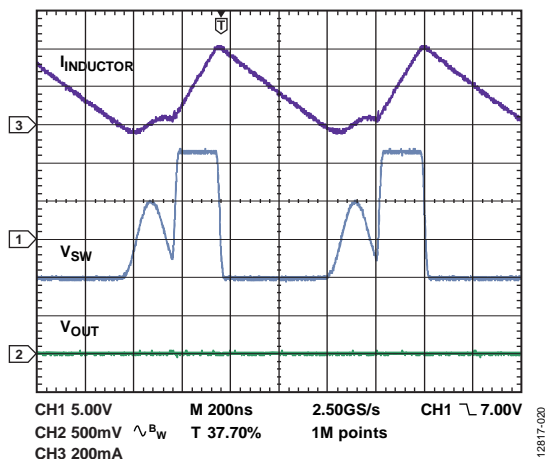


図 19. 不連続導通モード動作時のインダクタ電流 (I_{INDUCTOR})、スイッチ・ノード電圧 (V_{SW})、出力リップル (V_{OUT})、V_{IN} = 12 V、V_{OUT} = -5 V、I_{LOAD} = 50 mA、f_{SW} = 1.2 MHz、T_A = 25°C

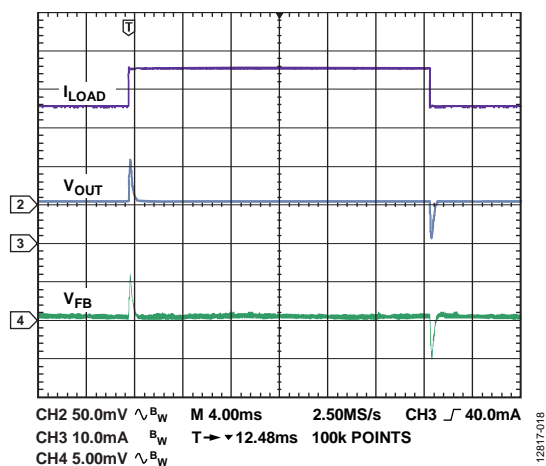


図 17. I_{LOAD}、V_{OUT}、V_{FB} の負荷過渡応答、V_{IN} = 12 V、V_{OUT} = -5 V、I_{LOAD} = 35 mA ~ 45 mA ステップ、f_{SW} = 1.2 MHz、T_A = 25°C

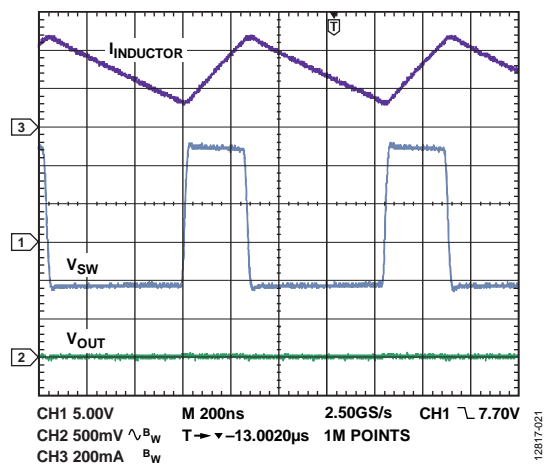


図 20. 連続導通モード動作時のインダクタ電流 (I_{INDUCTOR})、スイッチ・ノード電圧 (V_{SW})、出力リップル (V_{OUT})、V_{IN} = 12 V、V_{OUT} = -5 V、I_{LOAD} = 200 mA、f_{SW} = 1.2 MHz、T_A = 25°C

動作原理

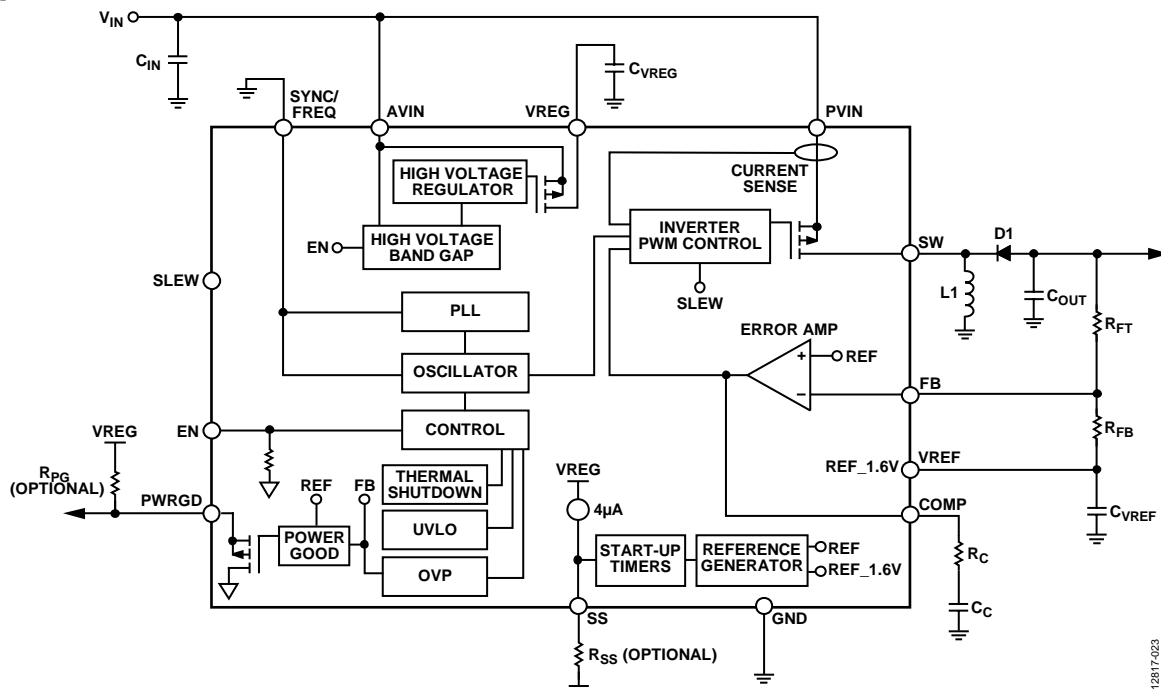


図 21. 機能ブロック図

PWM モード

ADP5073 の反転レギュレータは、内部発振器によって設定される固定周波数で動作します。発振器の各サイクル開始時には MOSFET スイッチがオンになって、インダクタに正の電圧がかかります。インダクタ電流 ($I_{INDUCTOR}$) は、電流検出信号がピーク・インダクタ電流閾値を超えるまで増加し、閾値を超えると MOSFET がオフになります。この閾値は誤差アンプ出力によって設定されます。MOSFET がオフになっている間、インダクタ電流は、次の発振器クロック・パルスが新しいサイクルを開始するまで、外付けのダイオードを通じて減少します。ADP5073 は、ピーク・インダクタ電流閾値を調整することによって出力電圧を安定化します。

スキップ・モード

軽負荷動作時、レギュレータは、出力電圧のレギュレーションを維持するためにパルスをスキップすることができます。パルスをスキップすると、デバイスの効率が向上します。COMP 電圧が内部的にモニタされ、その値が閾値未満になる（スイッチング・サイクル中に出力電圧がターゲット値以上に上昇すること起因）と、次のスイッチング・サイクルがスキップされます。この電圧はサイクルごとにモニタされます。スキップ動作時は出力リップルが増大して、リップル周波数が変化します。スキップ・モード開始の境界となる出力電流値は、インダクタの選択によって決まります。

低電圧ロックアウト (UVLO)

UVLO 回路は、AVIN ピンの電圧レベルをモニタします。入力電圧が $V_{UVLO_FALLING}$ しきい値未満に低下するとレギュレータがオフになり、AVIN ピン電圧が V_{UVLO_RISING} 閾値を超えるとソフト・スタートが開始されてレギュレータがイネーブルされません。

発振器と同期

フェーズ・ロック・ループ (PLL) ベースの発振器は内部クロックを生成し、2つの内部生成周波数オプションと、外部クロック同期のいずれかを選ぶことができます。スイッチング周波数は、表 6 に示す SYNC/FREQ ピン・オプションを使用して設定します。

外部同期を行うには、SYNC/FREQ ピンを適切なクロック・ソースに接続します。PLL は、 f_{SYNC} によって規定される範囲内の入力クロックにロックします。

表 6. SYNC/FREQ ピン・オプション

SYNC/FREQ Pin	Switching Frequency
High	2.4 MHz
Low	1.2 MHz
External Clock	1× clock frequency

内部レギュレータ

ADP5073 の内部 VREG レギュレータは、内部回路に安定した電源を供給します。VREG 電源はデバイス設定用のピンにハイ信号を提供しますが、外部回路の電源に使用することはできません。

VREF レギュレータは、反転レギュレータの帰還回路にリファレンス電圧を提供して、FB ピンへの正帰還電圧を確保します。どちらの内部レギュレータにも、偶発的な負荷から回路を保護するために、電流制限回路が組み込まれています。

高精度イネーブル

ADP5073 には、正確なリファレンス電圧を使用する高精度イネーブル回路を備えたイネーブル・ピンがあります。このリファレンスにより、ADP5073 では、他の電源から容易にシーケンシングを行うことができます。また、抵抗分圧器を使用することにより、プログラマブル UVLO 入力として使用することも可能です。

イネーブル・ピンには内部プルダウン抵抗があります。この抵抗は、ピンをフロート状態にするとデフォルトでオフになります。イネーブル・ピンの電圧が $V_{TH,H}$ リファレンス・レベルを超えると、レギュレータがイネーブルされます。

ソフト・スタート

ADP5073 のレギュレータにはソフト・スタート回路が組み込まれており、起動時に制御された状態で出力電圧をランプアップさせることで、突入電流を制限します。SS ピンをオープン状態にすると、ソフト・スタート時間が最短に内部設定されます。

SS ピンとグラウンドの間に抵抗を接続すると、ソフト・スタート遅延を調整できます。

スルー・レート制御

ADP5073 は、プログラマブル出力ドライバ・スルー・レート制御回路を使用しています。この回路は、図 22 に示すようにスイッチング・ノードのスルー・レートを減少させて、リングングと EMI を減らします。スルー・レートの設定には SLEW ピンを使い、このピンを VREG ピンに接続すると通常モード、GND ピンに接続すると低速モード、オープン状態のままにすると高速モードになります。このロジックを使用すると、たとえば A/D コンバータ (ADC) のサンプリング時などに、ノイズに敏感なデバイスのオープンドレイン出力を使用して、スルー・レートを高速から低速に切り替えることができます。

スルー・レート制御では、効率と低 EMI のトレードオフが発生します。

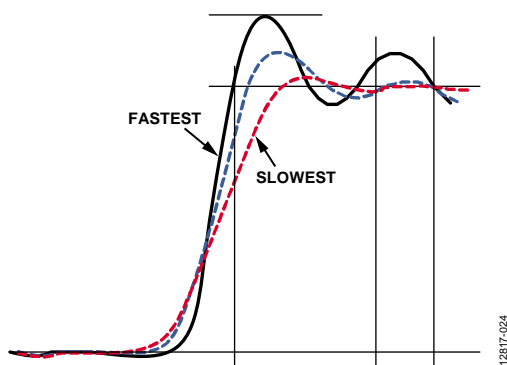


図 22. 異なるスルー・レート設定のスイッチング・ノード

電流制限保護

ADP5073 の反転レギュレータには、MOSFET スイッチの許容順方向電流を制限するために電流制限保護回路が組み込まれています。

ピーク・インダクタ電流がこの電流制限閾値を超えると、そのスイッチ・サイクルの残り部分ではパワー MOSFET スイッチがオフになります。ピーク・インダクタ電流が引き続き過電流制限値を超えたままの場合、レギュレータはヒックアップ・モードになります。レギュレータはスイッチングを停止して t_{HICCUP} 経過後に新しいソフト・スタート・サイクルで再開し、過電流状態が解消されるまでこれを繰り返します。

過電圧保護

FB ピンは、反転レギュレータ用の過電圧保護メカニズムを備えています。

FB ピンの電圧が V_{OV} 閾値を下回ると、電圧が閾値を超えるまでスイッチングが停止します。この機能は、ソフト・スタート時間が経過するとイネーブルされます。

パワーグッド

ADP5073 には、出力電圧がターゲット・レベルに達したことを示すためのオープンドレイン・パワーグッド出力があります。

パワーグッド状態になった時点でハイ出力を得るには、外付け抵抗を通じて PWRGD ピンにプルアップ電圧を供給する必要があります。通常、プルアップ電圧は VREG ピンから取りますが、最大電圧 $V_{DS,PG(MAX)}$ の外部電源を使用することもできます。PVIN ピンの電源が $V_{PG(SUPPLY)}$ を超えるとパワーグッド FET がプルダウンし、イネーブルがハイになってソフト・スタートが完了するまで FET がオンのままになります。外部電源を使用する場合、パワーグッド出力は、PVIN が $V_{DS,PG(MAX)}$ に達するまでハイになります。

デバイスがイネーブルされてソフト・スタートが完了すると、すぐにパワーグッド機能が FB ピンの電圧をモニタします。電圧 $V_{REF} - V_{FB}$ が $V_{PG(GOOD)}$ 閾値を上回ると、パワーグッド FET がオフになって、パワーグッド出力を VREG または外部電源にプルアップし、パワーグッドが有効な状態であることを示します。電圧 $V_{REF} - V_{FB}$ が $V_{PG(BAD)}$ 閾値未満の場合はパワーグッド FET がオンになり、出力を GND 電位にして、電源出力が良好な状態にないことを示します。

サーマル・シャットダウン

ADP5073 のジャンクション温度が T_{SHDN} を超えると、サーマル・シャットダウン回路がデバイスをオフにします。ジャンクション温度が非常に高くなってしまふ原因としては、長時間にわたる大電流での動作、不適切な回路基板設計、高い周囲温度などが考えられます。サーマル・シャットダウン機能にはヒステリシスがあるので、シャットダウン後は、内部温度が $T_{SHDN} - T_{HYS}$ 未満に低下するまで ADP5073 の動作は回復しません。サーマル・シャットダウンから回復すると、ソフト・スタートが実行されます。

アプリケーション情報

ADISIMPOWER デザイン・ツール

ADP5073 には ADIsimPower™ デザイン・ツール・セットを使用できます。ADIsimPower は、特定の設計目標に合わせて最適化されたあらゆる電力設計を実現するツールのセットです。これらのツールを使用すれば、わずか数分間で必要なすべての回路図と部品表を作成し、性能を計算することができます。

ADIsimPower は、デバイスと実際に使用するすべての外付け部品の動作条件や制限事項を考慮しながら、コスト、面積、効率、デバイス数などの面で設計を最適化することを可能にします。ADIsimPower ツールは www.analog.com/adisimpower から入手可能で、ツールを通じて未実装ボードを発注することができます。

部品の選択

帰還抵抗

ADP5073 の出力電圧は調整可能です。出力電圧は外付けの抵抗分圧器によって設定しますが、この分圧器出力は帰還リファレンス電圧 V_{FB} と等しくなければなりません。帰還バイアス電流による出力電圧の精度低下を制限するために、分圧器を流れる電流は、少なくとも $10 \times I_{FB}$ になるようにしてください。

反転レギュレータの負出力は次式により設定します。

$$V_{OUT} = V_{FB} - \frac{R_{FT}}{R_{FB}}(V_{REF} - V_{FB})$$

ここで、

V_{OUT} は負の出力電圧、

V_{FB} は FB リファレンス電圧、

R_{FT} は V_{OUT} と FB 間の帰還抵抗、

R_{FB} は FB と V_{REF} 間の帰還抵抗、

V_{REF} は V_{REF} ピンのリファレンス電圧です。

標準的な抵抗値を使用した一般的な出力電圧に対する推奨値を表 7 に示します。

表 7. 推奨帰還抵抗値

Desired Output Voltage (V)	R_{FT} (MΩ)	R_{FB} (kΩ)	Actual Output Voltage (V)
-1.8	0.332	102	-1.804
-3	0.475	100	-3.000
-3.3	0.523	102	-3.302
-4.2	0.715	115	-4.174
-5	1.15	158	-5.023
-9	1.62	133	-8.944
-12	1.15	71.5	-12.067
-13	2.8	162	-13.027
-15	2.32	118	-14.929
-18	2.67	113	-18.103
-20	2.94	113	-20.014
-24	3.16	102	-23.984
-30	4.12	107	-30.004
-35	5.11	115	-34.748

出力コンデンサ

出力コンデンサの値を大きくすると、出力電圧リップルが減少して負荷過渡応答が改善されます。この値を選ぶ時は、出力電圧の DC バイアスによる容量損失を考慮することも重要です。

セラミック・コンデンサはさまざまな誘電体を使用して作られており、温度や印加電圧に対する動作がそれぞれ異なります。コンデンサは、必要な温度範囲と DC バイアス条件に対して最小容量を保証できるような、適切な誘電体が使われているものを選ぶ必要があります。最大限の性能を得るには、電圧定格が 25 V または 50 V (出力に応じて選択) の X5R または X7R 誘電体を推奨します。Y5V および Z5U 誘電体は温度特性と DC バイアス特性が劣るので、DC/DC コンバータに使用することは推奨できません。

温度、部品公差、電圧による容量の変動を考慮に入れ、以下の式を使ってワースト・ケースの容量を計算してください。

$$C_{EFFECTIVE} = C_{NOMINAL} \times (1 - TEMPCO) \times (1 - DCBIASCO) \times (1 - Tolerance)$$

ここで、

$C_{EFFECTIVE}$ は動作電圧における実効容量、

$C_{NOMINAL}$ はデータシートに示された公称容量、

$TEMPCO$ はワースト・ケースのコンデンサ温度係数、

$DCBIASCO$ は出力電圧における DC バイアス・ディレーティング、

$Tolerance$ はワースト・ケースの部品公差です。

デバイスの性能を保証するには、DC バイアス、温度、誤差がコンデンサの動作におよぼす影響をアプリケーションごとに評価することが不可欠です。

出力電圧リップルを最小限に抑えるには、実効直列抵抗

(ESR) と実効直列インダクタンス (ESL) の小さいものが適しています。

大きい出力コンデンサを使用すると、起動時の電流制限を避けるために、ソフト・スタート時間を長くしなければならない場合があります。性能とサイズのバランスが取れた $10 \mu\text{F}$ のコンデンサを推奨します。

入力コンデンサ

入力コンデンサは、値が大きい方が、入力電圧リップルを減らし過渡応答を改善する上で有効です。

電源ノイズを最小限に抑えるために、AVIN ピンと PVIN ピンのできるだけ近くに入力コンデンサを配置してください。低 ESR コンデンサの使用を推奨します。

また、安定性向上のために、DC バイアス特性に優れた高品質の $10 \mu\text{F}$ セラミック・コンデンサを使用することを推奨します。電源ピンを個別にデカップリングする場合、PVIN ピンには少なくとも $5.6 \mu\text{F}$ のコンデンサを、AVIN ピンには $3.3 \mu\text{F}$ のコンデンサを使用することを推奨します。

VREG コンデンサ

VREG ピンと GND の間には 1.0 μF のセラミック・コンデンサ (C_{VREG}) が必要です。

VREF コンデンサ

VREF ピンと GND の間には 1.0 μF のセラミック・コンデンサ (C_{VREF}) が必要です。

ソフト・スタート抵抗

SS ピンと GND ピンの間には、ソフト・スタート時間を延長するための抵抗 (R_{SS}) を接続することができます。ソフト・スタート時間は、この抵抗を使用して 4 ms (268 k Ω) ~ 32 ms (50 k Ω) の範囲に設定できます。SS ピンをオープン状態のままにすると最短の 4 ms になります。この動作を図 23 に示します。ソフト・スタート時間 (t_{SS}) は以下の式を使って計算します。

$$t_{SS} = 38.4 \times 10^{-3} - 1.28 \times 10^{-7} \times R_{SS} (\Omega)$$

ここで、50 k $\Omega \leq R_{SS} \leq 268$ k Ω です。

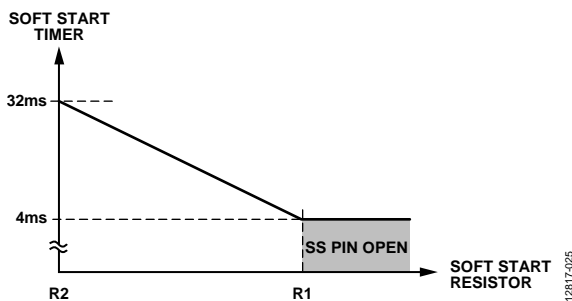


図 23. ソフト・スタート動作

ダイオード

D1 には、低接合容量のショットキー・ダイオードを推奨します。出力電圧やスイッチング周波数が高い場合は接合容量が効率に大きく影響しますが、特に高スイッチング周波数ではその傾向が顕著です。また、容量の大きいダイオードはスイッチング・ノイズも大きくなります。目安として、出力電圧が -5 V ~ -37 V の場合は、接合容量 40 pF 未満のダイオードが適しています。

インダクタの選択

インダクタはパワー・スイッチがオンの時にエネルギーを蓄積し、オフの時に出力整流器を通じてそのエネルギーを出力に転送します。インダクタ電流リップルの抑制と効率向上のバランスを取るには、1 μH ~ 22 μH のインダクタンス値が適しています。一般に、物理的サイズが同じであれば、インダクタンス値が低いほど飽和電流が大きく、直列抵抗は小さくなります。しかし、インダクタンスを小さくするとピーク電流が大きくなります。これは効率を低下させ、入力リップルや出力リップル、およびノイズを増大させる結果となります。一般に、ピーク to ピーク・インダクタ・リップル電流をインダクタの最大 DC 電流の 30% 前後とすれば、最適なバランスが得られます。

アプリケーションの出力電流が、インダクタ電流を飽和領域よりも小さく維持できるような値の場合は、ソリューションのサイズを最小限に抑えるために、飽和電流が I_{LM} 未満のインダクタを使用することができます。

連続導通モード (CCM) 動作時のインダクタ・リップル電流については、以下の式により、入力 (V_{IN}) および出力 (V_{OUT}) 電圧がスイッチのデューティ・サイクル (Duty) を決定します。

$$Duty = \left(\frac{|V_{OUT}| + V_{DIODE}}{V_{IN} + |V_{OUT}| + V_{DIODE}} \right)$$

ここで、 V_{DIODE} はショットキー・ダイオード (D1) の順方向電圧降下です。

CCM におけるインダクタの DC 電流 (I_{L1}) は、以下の式を使用して求めます。

$$I_{L1} = \frac{I_{OUT}}{(1 - Duty)}$$

さらに、デューティ・サイクル (Duty) とスイッチング周波数 (f_{SW}) を使用して、次式によりオン時間 (t_{ON}) を求めます。

$$t_{ON} = \frac{Duty}{f_{SW}}$$

定常状態におけるインダクタ・リップル電流 (ΔI_{L1}) は次式で得られます。

$$\Delta I_{L1} = \frac{V_{IN} \times t_{ON}}{L1}$$

インダクタンス値 ($L1$) は次式で求めます。

$$L1 = \frac{V_{IN} \times t_{ON}}{\Delta I_{L1}}$$

インダクタ・リップル電流をインダクタの最大 DC 電流の 30% と仮定すると、次式が得られます。

$$L1 = \frac{V_{IN} \times t_{ON} \times (1 - Duty)}{0.3 \times I_{OUT}}$$

ピーク・インダクタ電流 (最大入力電流 + インダクタ・リップル電流の 1/2) は、インダクタの定格飽和電流より小さくなるようにしてください。同様に、インダクタの最大定格 rms 電流は、レギュレータへの最大 DC 入力電流より大きくなるようにします。

安定した電流モード動作のために ADP5073 反転レギュレータを CCM で動作させる時は、選択したインダクタンスが、各種アプリケーション・パラメータに対し次式で表されるインダクタンスの最小計算値 L_{MIN} 以上となるようにしてください。

$$L1 > L_{MIN} = V_{IN} \times \left(\frac{0.27}{(1 - Duty)} - 0.33 \right) (\mu\text{H})$$

ADP5073 反転レギュレータとの使用に推奨するインダクタを表 9 に示します。

ループ補償

ADP5073 では、外付け部品を使用してレギュレータ・ループを補償し、特定アプリケーション用にループ動作を最適化することができます。補償部品の計算には ADIsimPower ツールを使用することを推奨します。

反転コンバータは、レギュレーション帰還ループ内に右半平面 (RHP) ゼロを生成します。この帰還ループを使用するには、クロスオーバー周波数が RHP ゼロの周波数より十分低くなるようにレギュレータを補償する必要があります。RHP ゼロの周波数は次式で得られます。

$$f_z (RHP) = \frac{R_{LOAD}(1 - Duty)^2}{2\pi \times L1 \times Duty}$$

ここで、 $f_z (RHP)$ は RHP ゼロの周波数、 R_{LOAD} は等価負荷抵抗 (出力電圧を負荷電流で除した値) です。

$$Duty = \left(\frac{|V_{OUT}| + V_{DIODE}}{V_{IN} + |V_{OUT}| + V_{DIODE}} \right)$$

ここで、 V_{DIODE} はショットキー・ダイオード (D1) の順方向電圧降下です。

レギュレータを安定させるには、レギュレータのクロスオーバー周波数が RHP ゼロの周波数の 1/10 以下となるようにしてください。

レギュレータのループ・ゲインは次式で表されます。

$$A_{VL} = \frac{V_{FB}}{|V_{OUT}|} \times \frac{V_{IN}}{(V_{IN} + 2 \times |V_{OUT}|)} \times G_M \times$$

$$|R_{OUT}| |Z_{COMP}| \times G_{CS} \times |Z_{OUT}|$$

ここで、 A_{VL} はレギュレータのループ・ゲイン、 V_{FB} は帰還レギュレーション電圧、 V_{OUT} は安定化された負の出力電圧、 V_{IN} は入力電圧、 G_M は誤差アンプのトランスコンダクタンス・ゲイン、 R_{OUT} は誤差アンプの出力インピーダンスで、値は 33 MΩ、 Z_{COMP} は COMP と GND 間の直列 RC 回路のインピーダンス、 G_{CS} は ADP5073 が内部設定する電流検出トランスコンダクタンス・ゲイン (COMP の電圧で除したインダクタ電流) で、値は 6.25 A/V、 Z_{OUT} は出力コンデンサと並列に接続された負荷のインピーダンスです。

クロスオーバー周波数を決定する際に重要なのは、その周波数における補償インピーダンス (Z_{COMP}) は抵抗 R_C に支配され、出力インピーダンス (Z_{OUT}) は出力コンデンサ (C_{OUT}) のインピーダンスに支配されるという点です。

したがって、クロスオーバー周波数を求める場合、(クロスオーバー周波数の定義による) 式は次のように簡略化できます。

$$|A_{VL}| = \frac{V_{FB}}{|V_{OUT}|} \times \frac{V_{IN}}{(V_{IN} + 2 \times |V_{OUT}|)} \times G_M \times R_C \times G_{CS} \times \frac{1}{2\pi \times f_c \times C_{OUT}} = 1$$

ここで、 f_c はクロスオーバー周波数です。

R_C を求めるには次式を使います。

$$R_C = \frac{2\pi \times f_c \times C_{OUT} \times |V_{OUT}| \times (V_{IN} + (2 \times |V_{OUT}|))}{V_{FB} \times V_{IN} \times G_M \times G_{CS}}$$

ここで、 $G_{CS} = 6.25$ A/V です。

V_{FB} と G_M に代表値を使用すると、次の結果が得られます。

$$R_C = \frac{4188 \times f_c \times C_{OUT} \times |V_{OUT}| \times (V_{IN} + (2 \times |V_{OUT}|))}{V_{IN}}$$

精度を向上させるには、 R_C の計算に、DC バイアスによる容量低下を考慮した出力コンデンサ値 (C_{OUT}) を使用することを推奨します。

補償抵抗を算出したら、 C_C および R_C によって形成されるゼロをクロスオーバー周波数の 1/4 に設定します。つまり、次のような関係が成り立ちます。

$$C_C = \frac{2}{\pi \times f_c \times R_C}$$

ここで、 C_C は補償コンデンサです。

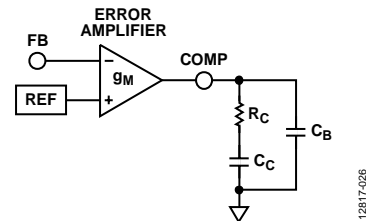


図 24. 補償部品

出力コンデンサの ESR によって生じるゼロを相殺するために、オプションのコンデンサ C_B を選択します。セラミック・チップ・コンデンサのような低 ESR コンデンサの場合は、設計から C_B を省略することができます。

C_B は次式に従って求めます。

$$C_B = \frac{ESR \times C_{OUT}}{R_C}$$

最良の過渡性能を実現するには、AD5073 の負荷過渡応答を観察することによって R_C と C_C を調整しなければならない場合があります。ほとんどのアプリケーションでは、 R_C は 1 kΩ ~ 200 kΩ、 C_C は 1 nF ~ 68 nF の範囲に収まります。

一般的アプリケーション

代表的な V_{IN} および V_{OUT} 条件に対する一般的な部品選択の例を表 8 と表 9 に示します。これらはベンチ・テスト済みの市販部品です。アプリケーションの部品を最適化するには、ADIsimPower ツール・セットを使用することを推奨します。

図 25 は、表 8 と表 9 の +12 V 入力、-5 V 出力時の各部品の値を使って作成した回路図です。表 8 は、すべての V_{IN} と V_{OUT} 条件に共通する部品を示しています。

表 8. 推奨共通部品

Reference	Value (μF)	Part Number	Manufacturer
C_{IN}	10	TMK316B7106KL-TD	Taiyo Yuden
C_{VREG}	1	GRM188R71A105KA61D	Murata
C_{VREF}	1	GRM188R71A105KA61D	Murata

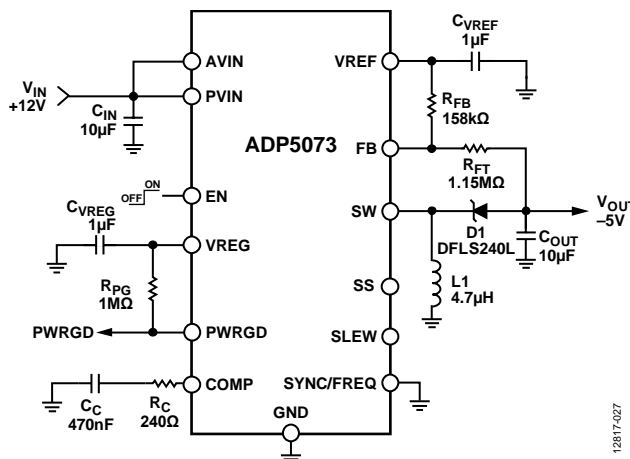


図 25. 代表的な +12 V 入力、-5 V 出力の 1.2 MHz アプリケーション

表 9. 推奨反転レギュレータ部品

V_{IN} (V)	V_{OUT} (V)	Freq. (MHz)	L1 (μH)	L1, Coilcraft®	C_{OUT} (μF)	C_{OUT} , Murata	D1, Diodes, Inc.	R_{FT} (MΩ)	R_{FB} (kΩ)	C_C (nF)	R_C (kΩ)
3.3	-2.5	1.2	4.7	XAL4030-472ME_	10	GRM32ER71H106KA12L	DFLS240L	0.432	107	150	1
3.3	-2.5	2.4	2.2	XAL4020-222ME_	10	GRM32ER71H106KA12L	DFLS240L	0.432	107	33	2.2
3.3	-3.3	1.2	4.7	XAL4030-472ME	10	GRM32ER71H106KA12L	DFLS240L	0.532	102	68	2
3.3	-3.3	2.4	2.2	XAL4020-222ME_	10	GRM32ER71H106KA12L	DFLS240L	0.532	102	15	4.3
3.3	-5	1.2	4.7	XAL4030-472ME	10	GRM32ER71H106KA12L	DFLS240L	1.15	158	22	4.7
3.3	-5	2.4	3.3	XAL4030-332ME_	10	GRM32ER71H106KA12L	DFLS240L	1.15	158	12	6.8
5	-5	1.2	6.8	XAL4030-682ME_	10	GRM32ER71H106KA12L	DFLS240L	1.15	158	47	3
5	-5	2.4	3.3	XAL4030-332ME_	10	GRM32ER71H106KA12L	DFLS240L	1.15	158	10	6.8
5	-15	1.2	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240	2.32	118	6.8	20
5	-15	2.4	5.6	LPS5030-562MR_	10	GRM32ER71H106KA12L	DFLS240	2.32	118	2.2	36
5	-30	1.2	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240	4.12	107	1.5	91
5	-30	2.4	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240	4.12	107	1	91
12	-2.5	1.2	6.8	XAL4030-682ME_	10	GRM32ER71H106KA12L	DFLS240L	0.432	107	220	0.68
12	-2.5	2.4	3.3	XAL4030-332ME_	10	GRM32ER71H106KA12L	DFLS240L	0.432	107	47	1.3
12	-5	1.2	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240L	1.15	158	68	2
12	-5	2.4	5.6	LPS5030-562MR_	10	GRM32ER71H106KA12L	DFLS240L	1.15	158	20	3.3
12	-15	1.2	22	XAL5050-223ME_	10	GRM32ER71H106KA12L	DFLS240	2.32	118	22	9
12	-15	2.4	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240	2.32	118	3.3	20

レイアウト時の考慮事項

PCB レイアウトはすべてのスイッチング・レギュレータにとって重要ですが、高スイッチング周波数のレギュレータでは特に重要です。高効率、良好なレギュレーション、優れた安定性、そして低ノイズを実現するには、PCB レイアウトを適切に行う必要があります。PCB の設計時は以下のガイドラインに従ってください。

- 入力バイパス・コンデンサ CIN は、PVIN ピンと AVIN ピンの近くに配置します。これらのピンは、電源入力間のノイズ結合を最小限に抑えるために、デバイスで 2 本のピンを接続せずに、コンデンサのパッドまで個別に配線してください。最大限のノイズ性能を実現するために、AVIN ピン専用のコンデンサを使うこともできます。
- 大電流経路はできるだけ短くします。これらの経路には、CIN、L1、D1、COUT、GND 間の接続、およびこれらと ADP5073 の接続が含まれます。
- 大電流パターンは、スパイクや EMI を発生させる寄生直列インダクタンスを最小限に抑えるために、できるだけ短く、幅を広くしてください。

- 放射スイッチング・ノイズの混入を防ぐために、SW ピンに接続するノードやインダクタ L1 の近くをハイ・インピーダンス・パターンが通過しないようにします。
- 高周波スイッチング・ノイズの混入を防ぐために、帰還抵抗はできるだけ FB ピンの近くに配置します。
- パターンは、最適な出力電圧検出を実現できるように、COUT パッドから直接 RFT に配線します
- 補償部品はできるだけ COMP ピンの近くに配置します。敏感な COMP ピンへの高周波ノイズ結合を避けるために、グラウンド・プレーンへのビアを帰還抵抗と共有することはしないでください。
- CVREF と CVREG のコンデンサは、できるだけ VREG ピンと VREF ピンの近くに配置します。VREF と RFB 間のパターンはできるだけ短くしてください。

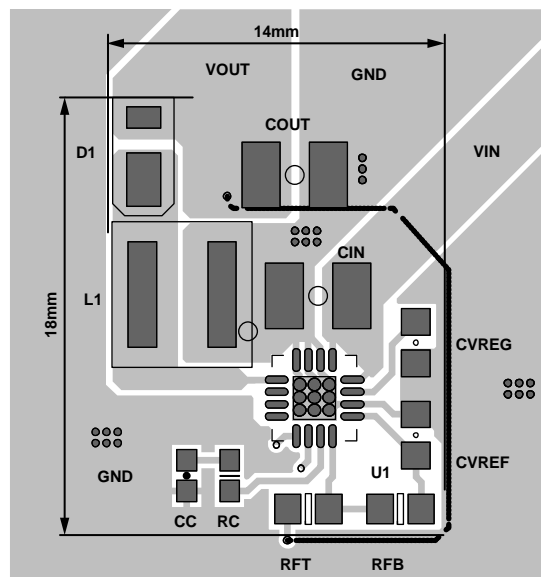
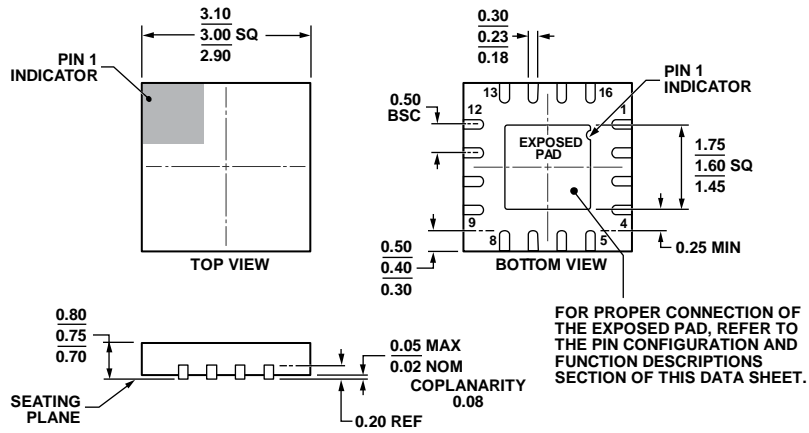


図 26. 18 mm x 14 mm、+12 V 入力、-5 V 出力アプリケーションの推奨レイアウト
(破線は PCB 内部層での接続、他のビアはグラウンド・プレーンに接続されています)

SS、EN、PWRGD、SLEW、および SYNC/FREQ の接続は見やすくするために表示していませんが、通常は内部層で接続されます)

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6.

09-16-2010E

図 27.16 ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP)
 ボディ 3 mm × 3 mm、パッケージ高さ 0.75 mm
 (CP-16-22)
 寸法表示: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADP5073ACPZ-R7	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-22
ADP5073CP-EVALZ		Evaluation Board	

¹ Z = RoHS 準拠製品。