



# 5 チャンネルの集積された電源ソリューション クワッドの降圧レギュレータ 200mA の LDO、I<sup>2</sup>C インターフェース

## データシート

## ADP5050

### 特長

広い入力電圧範囲：4.5V～15V  
全温度範囲にわたる出力精度：±1.5%  
調整可能なスイッチング周波数：250kHz～1.4MHz  
可変出力 / 固定出力オプション、工場でのヒューズまたは I<sup>2</sup>C インターフェース  
障害状態での割り込みを持った I<sup>2</sup>C インターフェース  
パワー・レギュレーション  
CH1 と CH2：プログラム可能な過電流保護 1.2A / 2.5A / 4A の同期整流式降圧スイッチング・レギュレータ  
CH3 と CH4：1.2A の同期整流式降圧スイッチング・レギュレータ  
CH5：200mA LDO レギュレータ  
シングルの 8A 出力電源も可能（CH1 と CH2 の並列カレントシェア動作）  
チャンネル 1 とチャンネル 4 には、ダイナミック電圧スケールング（DVS）機能装備  
0.8V スレッシュホールドで動作する高精度イネーブル機能  
出力放電用ディスチャージ・スイッチ内蔵  
90°ステップのプログラマブル位相シフト  
個別チャンネルで FPWM/PSM モード選択可能  
入力または出力の外部周波数同期機能  
OVP/OCF 障害でのラッチオフ保護オプション  
選択されたチャンネルでのパワーグッド・フラグ  
低入力電圧検知  
ジャンクション温度の過熱検知  
UVLO、OCP、TSD 保護  
48 ピン LFCSP パッケージ（7 mm×7 mm）  
-40°C～+125°C のジャンクション温度定格

### アプリケーション

スモール・セル用基地局  
FPGA およびプロセッサ・アプリケーション  
警備/防犯装置  
医療用アプリケーション

### 概要

ADP5050 は、4 つの高性能降圧スイッチング・レギュレータと 200mA のロー・ドロップアウト（LDO）レギュレータを 48 ピン LFCSP パッケージに収めており、高性能および省ボード・スペースの要求を満たします。

このデバイスは、最大 15V までの高い入力電圧を、前段レギュレータ無しで直接接続することが可能です。チャンネル 1 とチャンネル 2 は、ハイサイド・パワー MOSFET とローサイド MOSFET ドライバを内蔵しています。効率を最適化したソリューションを提供し、1.2A、2.5A もしくは 4A のプログラマブルな出力電流を提供するために、外部 NFET を接続することが可能です。また、チャンネル 1 とチャンネル 2 とを並列接続すれば、カレントシェア機能によりシングル出力で最大 8A までの電流供給ができます。

チャンネル 3 とチャンネル 4 は、1.2A の出力電流を供給する、ハイサイドとローサイドの両方の MOSFET を内蔵しています。

### 代表的なアプリケーション回路

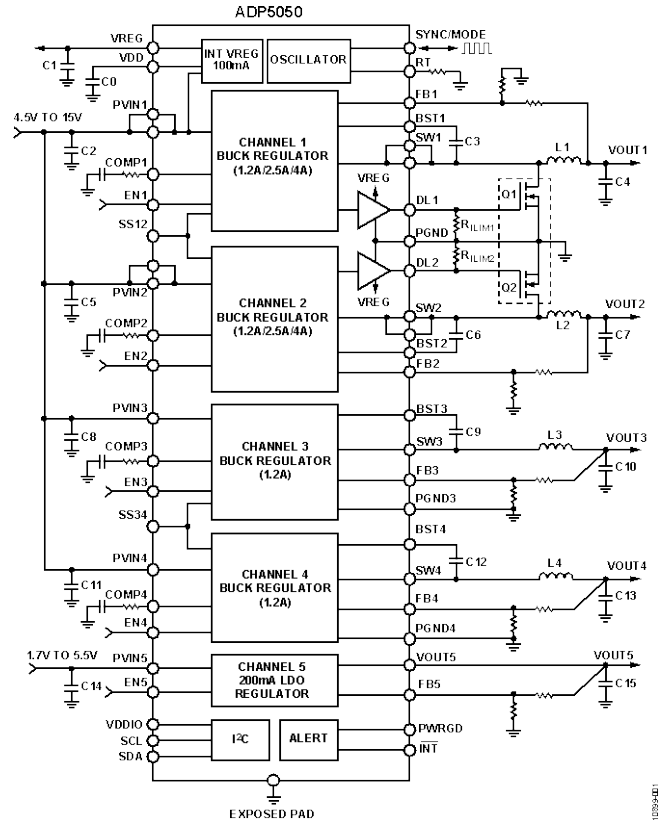


図 1.

表 1. ファミリー・モデル

モデル名	チャンネル数	I <sup>2</sup> C	パッケージ
ADP5050	降圧：4、LDO：1	あり	48 ピン LFCSP
ADP5051	降圧：4、監視回路	あり	48 ピン LFCSP
ADP5052	降圧：4、LDO：1	なし	48 ピン LFCSP
ADP5053	降圧：4、監視回路	なし	48 ピン LFCSP

ADP5050 のスイッチング周波数は、デバイス自身でプログラムするか、もしくは外部クロックと同期させることも可能です。ADP5050 は、パワーアップ・シーケンス、または UVLO スレッシュホールド調整を容易にするため、各チャンネルに高精度イネーブル・ピンを備えています。

ADP5050 に内蔵されている汎用の LDO は、静止時消費電流が小さく、ロー・ドロップアウト電圧で、最大 200mA までの出力電流を供給できます。

オプションの I<sup>2</sup>C インターフェースは、ユーザーに柔軟な構成を提供できます。例えば、可変出力もしくは固定出力電圧、ジャンクション温度過熱警告、低入力電圧検出、ダイナミック電圧スケールング（DVS）機能などです。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。

※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
© Analog Devices, Inc. All rights reserved.

## 目次

特長 .....	1	サーマル・シャットダウン .....	26
可変出力アプリケーション .....	1	過熱検知 .....	26
概要 .....	1	入力電圧の低下検知 .....	26
代表的なアプリケーション回路 .....	1	LDO レギュレータ .....	26
改訂履歴 .....	3	I <sup>2</sup> C インターフェース .....	27
詳細な機能ブロック図 .....	4	SDA と SCL ピン .....	27
仕様 .....	5	I <sup>2</sup> C アドレス .....	27
降圧スイッチング・レギュレータの仕様 .....	6	セルフクリア・レジスタ・ビット .....	27
LDO レギュレータの仕様 .....	8	I <sup>2</sup> C インターフェースのタイミング図 .....	28
I <sup>2</sup> C インターフェースのタイミング仕様 .....	9	アプリケーション情報 .....	29
タイミング図 .....	9	ADIsimPower デザイン・ツール .....	29
絶対最大定格 .....	10	可変出力電圧のプログラミング .....	29
熱抵抗 .....	10	電圧変換の制限 .....	29
ESD の注意 .....	10	電流制限値の設定 .....	29
ピン配置およびピン機能説明 .....	11	ソフト・スタートの設定 .....	30
代表的な性能特性 .....	13	インダクタの選択 .....	30
動作原理 .....	19	出力コンデンサの選択 .....	30
降圧スイッチング・レギュレータの動作モード .....	19	入力コンデンサの選択 .....	31
PWM モード .....	19	ローサイド・パワー・デバイスの選択 .....	31
PSM モード .....	19	UVLO 入力のプログラミング .....	31
強制 PWM と自動 PWM/PSM モード .....	19	補償部品値の計算 .....	32
可変出力および固定出力電圧 .....	20	消費電力 .....	32
ダイナミック電圧スケーリング (DVS) .....	20	降圧スイッチング・レギュレータの消費電力 .....	32
内部レギュレータ (VREG と VDD) .....	20	電力スイッチ導通損失 (P <sub>COND</sub> ) .....	32
異なる電源電圧入力に対応 .....	20	スイッチング損失 (P <sub>SW</sub> ) .....	33
ローサイド・デバイスの選択 .....	21	遷移損失 (P <sub>TRAN</sub> ) .....	33
ブートストラップ回路 .....	21	LDO レギュレータの消費電力 .....	33
アクティブ出力放電用ディスチャージ・スイッチ .....	21	ジャンクション温度 .....	33
高精度イネーブル .....	21	設計例 .....	34
発振器 .....	21	スイッチング周波数の設定 .....	34
位相シフト .....	22	出力電圧の設定 .....	34
同期入力/出力 .....	22	電流制限値の設定 .....	34
ソフト・スタート .....	23	インダクタの選択 .....	34
並列動作 .....	23	出力コンデンサの選択 .....	35
出力に残存電圧があった場合のスタートアップ .....	23	ローサイド MOSFET の選択 .....	35
電流制限保護機能 .....	24	補償ネットワークの設計 .....	35
周波数フォールドバック .....	24	ソフト・スタート時間の設定 .....	35
最大デューティ・サイクル下のパルス・スキップ・モード .....	24	入力コンデンサの選択 .....	35
瞬断による過負荷保護 .....	24	推奨される外付け部品 .....	35
ラッチオフによる保護 .....	24	推奨回路基板のレイアウト .....	37
短絡ラッチオフ・モード .....	24	代表的なアプリケーション回路 .....	38
過電圧ラッチオフ・モード .....	25	レジスタ・マップ .....	41
低電圧ロックアウト (UVLO) .....	25	レジスタの詳細説明 .....	42
パワー・グッド出力機能 .....	25	レジスタ 1:PCTRL (チャンネル・イネーブル制御)、Address 0x01 .....	42
割り込み機能 .....	25	レジスタ 2:VID1 (チャンネル 1 用 VID 設定)、Address 0x02 .....	42

レジスタ 3:VID23 (チャンネル 2 及びチャンネル 3 用 VID 設定)、Address 0x03.....	43
レジスタ 4:VID4 (チャンネル 4 用 VID セッティング)、Address 0x04.....	43
レジスタ 5:DVS_CFG (チャンネル 1 及びチャンネル 4 用 DVS 設定)、Address 0x05.....	44
レジスタ 6:OPT_CFG (FPWM/PSM モード及び出力放電機能設定)、Address 0x06.....	45
レジスタ 7:LCH_CFG (短絡ラッチオフ及び過電圧ラッチオフ設定)、Address 0x07.....	46
レジスタ 8:SW_CFG (スイッチング周波数及び位相シフト設定)、Address 0x08.....	47
レジスタ 9:TH_CFG (温度警告及び $V_{IN}$ への低電圧入力スレッシュホールド設定)、Address 0x09.....	48
レジスタ 10:HICCUP_CFG (瞬断保護の設定)、Address 0x0A.....	49
レジスタ 11:PWRGD_MASK (PWRGD ピンのチャンネル・マスク設定)、Address 0x0B.....	50

レジスタ 12:LCH_STATUS (ラッチオフ・ステータスのリードバック)、Address 0x0C.....	51
レジスタ 13:STATUS_RD (ステータス・リードバック)、Address 0x0D.....	51
レジスタ 14:INT_STATUS (割り込みステータスのリードバック) Address 0x0E.....	52
レジスタ 15:INT_MASK (割り込みマスクの設定)、Address 0x0F.....	53
レジスタ 17:DEFAULT_SET (デフォルト値へのリセット)、Address 0x11.....	53
工場でプログラム可能なオプション.....	54
工場出荷時のデフォルト・オプション.....	56
外形寸法.....	57
オーダー・ガイド.....	57

## 改訂履歴

### 3/14—Rev. 0 to Rev. A

Changed Pin 13 from nINT to $\overline{\text{INT}}$ .....	Throughout
Added Table 1; Renumbered Sequentially.....	1
Changes to Figure 8.....	13
Changes to Figure 12.....	14
Changes to Table 14.....	30
Updated Outline Dimensions (Exposed Paddle Changed for JEDEC Compliance).....	57

### 5/13—Revision 0:Initial Version

## 詳細な機能ブロック図

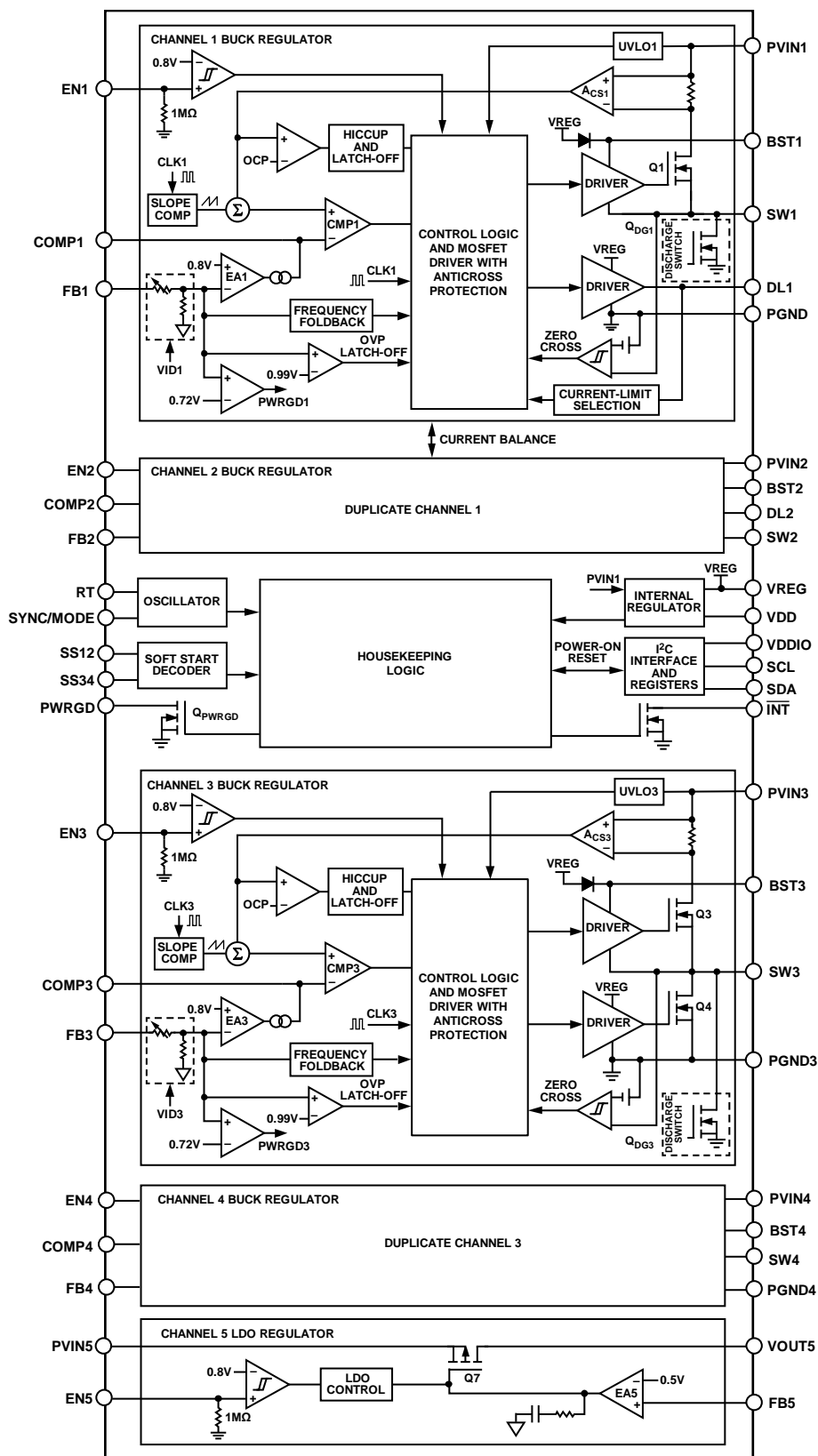


図 2.

10899-202

## 仕様

Min もしくは Max の規定に関しては、 $V_{IN} = 12\text{ V}$ 、 $V_{VREG} = 5.1\text{ V}$ 、 $T_J = -40^\circ\text{C}$  から  $+125^\circ\text{C}$ 。他は特に断りのない限り、 $T_A = 25^\circ\text{C}$  における代表値。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
INPUT SUPPLY VOLTAGE RANGE	$V_{IN}$	4.5		15.0	V	PVIN1, PVIN2, PVIN3, PVIN4 pins
QUIESCENT CURRENT						PVIN1, PVIN2, PVIN3, PVIN4 pins
Operating Quiescent Current	$I_{Q(4\text{-BUCKS})}$		4.8	6.25	mA	No switching, all ENx pins high
	$I_{SHDN(4\text{BUCKS}+\text{LDO})}$		25	65	$\mu\text{A}$	All ENx pins low
UNDERVOLTAGE LOCKOUT	UVLO					PVIN1, PVIN2, PVIN3, PVIN4 pins
Rising Threshold	$V_{UVLO\text{-RISING}}$		4.2	4.36	V	
Falling Threshold	$V_{UVLO\text{-FALLING}}$	3.6	3.78		V	
Hysteresis	$V_{HYS}$		0.42		V	
OSCILLATOR CIRCUIT						
Switching Frequency	$f_{SW}$	700	740	780	kHz	RT = 25.5 k $\Omega$
Switching Frequency Range		250		1400	kHz	
SYNC Input						
Input Clock Range	$f_{SYNC}$	250		1400	kHz	
Input Clock Pulse Width						
Minimum On Time	$t_{SYNC\_MIN\_ON}$	100			ns	
Minimum Off Time	$t_{SYNC\_MIN\_OFF}$	100			ns	
Input Clock High Voltage	$V_{H(SYNC)}$	1.3			V	
Input Clock Low Voltage	$V_{L(SYNC)}$			0.4	V	
SYNC Output						
Clock Frequency	$f_{CLK}$		$f_{SW}$		kHz	
Positive Pulse Duty Cycle	$t_{CLK\_PULSE\_DUTY}$		50		%	
Rise or Fall Time	$t_{CLK\_RISE\_FALL}$		10		ns	
High Level Voltage	$V_{H(SYNC\_OUT)}$		$V_{VREG}$		V	
PRECISION ENABLING						EN1, EN2, EN3, EN4, EN5 pins
High Level Threshold	$V_{TH\_H(EN)}$		0.806	0.832	V	
Low Level Threshold	$V_{TH\_L(EN)}$	0.688	0.725		V	
Pull-Down Resistor	$R_{PULL\text{-}DOWN(EN)}$		1.0		M $\Omega$	
POWER GOOD						
Internal Power-Good Rising Threshold	$V_{PWRGD(RISE)}$	86.3	90.5	95	%	$I_{PWRGD} = 1\text{ mA}$
Internal Power-Good Hysteresis	$V_{PWRGD(HYS)}$		3.3		%	
Internal Power-Good Falling Delay	$t_{PWRGD\_FALL}$		50		$\mu\text{s}$	
Rising Delay for PWRGD Pin	$t_{PWRGD\_PIN\_RISE}$		1		ms	
Leakage Current for PWRGD Pin	$I_{PWRGD\_LEAKAGE}$		0.1	1	$\mu\text{A}$	
Output Low Voltage for PWRGD Pin	$V_{PWRGD\_LOW}$		50	100	mV	
LOGIC INPUTS (SCL AND SDA PINS)						VDDIO = 3.3 V
High Level Threshold	$V_{LOGIC\_HIGH}$	0.7 × VDDIO			V	
Low Level Threshold	$V_{LOGIC\_LOW}$			0.3 × VDDIO	V	
LOGIC OUTPUTS						
Low Level Output Voltage						
SDA Pin	$V_{SDA\_LOW}$			0.4	V	VDDIO = 3.3 V, $I_{SDA} = 3\text{ mA}$
$\overline{\text{INT}}$ Pin	$V_{\overline{\text{INT}}\_LOW}$			0.4	V	$I_{\overline{\text{INT}}} = 3\text{ mA}$
INTERNAL REGULATORS						
VDD Output Voltage	$V_{VDD}$	3.2	3.305	3.4	V	$I_{VDD} = 10\text{ mA}$
VDD Current Limit	$I_{LIM\_VDD}$	20	51	80	mA	
VREG Output Voltage	$V_{VREG}$	4.9	5.1	5.3	V	$I_{VREG} = 50\text{ mA}$
VREG Output Voltage	$V_{DROPOUT}$		225		mV	
VREG Current Limit	$I_{LIM\_VREG}$	50	95	140	mA	
LOW INPUT VOLTAGE DETECTION						
Low Input Voltage Threshold	$V_{LVIN\text{-}TH}$	4.07	4.236	4.39	V	LVIN_TH[3:0] = 0000 LVIN_TH[3:0] = 1100 $I^2\text{C}$ programmable (4-bit value)
		10.05	10.25	10.4	V	
Low Input Voltage Threshold Range		4.2		11.2	V	

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
THERMAL SHUTDOWN						
Thermal Shutdown Threshold	$T_{SHDN}$		150		°C	
Thermal Shutdown Hysteresis	$T_{HYS}$		15		°C	
THERMAL OVERHEAT WARNING						
Thermal Overheat Threshold	$T_{HOT}$		115		°C	TEMP_TH[1:0] = 10
Overheat Threshold Range		105		125	°C	I <sup>2</sup> C programmable (2-bit value)
Thermal Overheat Hysteresis	$T_{HOT(HYS)}$		5		°C	

### 降圧スイッチング・レギュレータの仕様

Min もしくは Max の特性に関しては、 $V_{IN} = 12\text{ V}$ 、 $V_{VREG} = 5.1\text{ V}$ 、すべてのチャンネルの  $f_{SW} = 600\text{ kHz}$ 、 $T_J = -40^\circ\text{C}$  から  $+125^\circ\text{C}$ 。他は、特に断りのない限り、 $T_A = 25^\circ\text{C}$  における代表値。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
CHANNEL 1 SYNC BUCK REGULATOR						
FB1 Pin						
Fixed Output Options	$V_{OUT1}$	0.85		1.60	V	Fuse trim or I <sup>2</sup> C interface (5-bit value)
Adjustable Feedback Voltage	$V_{FB1}$		0.800		V	
Feedback Voltage Accuracy	$V_{FB1(DEFAULT)}$	-0.55		+0.55	%	$T_J = 25^\circ\text{C}$
		-1.25		+1.0	%	$0^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$
		-1.5		+1.5	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
Feedback Bias Current	$I_{FB1}$			0.1	μA	Adjustable voltage
SW1 Pin						
High-Side Power FET On Resistance	$R_{DS(ON)(1H)}$		100		mΩ	Pin-to-pin measurement
Current-Limit Threshold	$I_{TH(ILIM1)}$	3.50	4.4	5.28	A	$R_{ILIM1} = \text{floating}$
		1.91	2.63	3.08	A	$R_{ILIM1} = 47\text{ k}\Omega$
		4.95	6.44	7.48	A	$R_{ILIM1} = 22\text{ k}\Omega$
Minimum On Time	$t_{MIN\_ON1}$		117	155	ns	$f_{SW} = 250\text{ kHz to }1.4\text{ MHz}$
Minimum Off Time	$t_{MIN\_OFF1}$		$1/9 \times t_{SW}$		ns	$f_{SW} = 250\text{ kHz to }1.4\text{ MHz}$
Low-Side Driver, DL1 Pin						
Rising Time	$t_{RISING1}$		20		ns	$C_{ISS} = 1.2\text{ nF}$
Falling Time	$t_{FALLING1}$		3.4		ns	$C_{ISS} = 1.2\text{ nF}$
Sourcing Resistor	$t_{SOURCING1}$		10		Ω	
Sinking Resistor	$t_{SINKING1}$		0.95		Ω	
Error Amplifier (EA), COMP1 Pin						
EA Transconductance	$g_{m1}$	310	470	620	μs	
Soft Start						
Soft Start Time	$t_{SS1}$		2.0		ms	SS12 connected to VREG
Programmable Soft Start Range		2.0		8.0	ms	
Hiccup Time	$t_{HICCUP1}$		$7 \times t_{SS1}$		ms	
C <sub>OUT</sub> Discharge Switch On Resistance	$R_{DIS1}$		250		Ω	
CHANNEL 2 SYNC BUCK REGULATOR						
FB2 Pin						
Fixed Output Options	$V_{OUT2}$	3.3		5.0	V	Fuse trim or I <sup>2</sup> C interface (3-bit value)
Adjustable Feedback Voltage	$V_{FB2}$		0.800		V	
Feedback Voltage Accuracy	$V_{FB2(DEFAULT)}$	-0.55		+0.55	%	$T_J = 25^\circ\text{C}$
		-1.25		+1.0	%	$0^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$
		-1.5		+1.5	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
Feedback Bias Current	$I_{FB2}$			0.1	μA	Adjustable voltage
SW2 Pin						
High-Side Power FET On Resistance	$R_{DS(ON)(2H)}$		110		mΩ	Pin-to-pin measurement
Current-Limit Threshold	$I_{TH(ILIM2)}$	3.50	4.4	5.28	A	$R_{ILIM2} = \text{floating}$
		1.91	2.63	3.08	A	$R_{ILIM2} = 47\text{ k}\Omega$
		4.95	6.44	7.48	A	$R_{ILIM2} = 22\text{ k}\Omega$
Minimum On Time	$t_{MIN\_ON2}$		117	155	ns	$f_{SW} = 250\text{ kHz to }1.4\text{ MHz}$
Minimum Off Time	$t_{MIN\_OFF2}$		$1/9 \times t_{SW}$		ns	$f_{SW} = 250\text{ kHz to }1.4\text{ MHz}$

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Low-Side Driver, DL2 Pin						
Rising Time	$t_{\text{RISING2}}$		20		ns	$C_{\text{ISS}} = 1.2 \text{ nF}$
Falling Time	$t_{\text{FALLING2}}$		3.4		ns	$C_{\text{ISS}} = 1.2 \text{ nF}$
Sourcing Resistor	$t_{\text{SOURCING2}}$		10		$\Omega$	
Sinking Resistor	$t_{\text{SINKING2}}$		0.95		$\Omega$	
Error Amplifier (EA), COM2 Pin						
EA Transconductance	$g_{\text{m2}}$	310	470	620	$\mu\text{S}$	
Soft Start						
Soft Start Time	$t_{\text{SS2}}$		2.0		ms	SS12 connected to VREG
Programmable Soft Start Range		2.0		8.0	ms	
Hiccup Time	$t_{\text{HICCUP2}}$		$7 \times t_{\text{SS1}}$		ms	
$C_{\text{OUT}}$ Discharge Switch On Resistance	$R_{\text{DIS2}}$		250		$\Omega$	
CHANNEL 3 SYNC BUCK REGULATOR						
FB3 Pin						
Fixed Output Options	$V_{\text{OUT3}}$	1.20		1.80	V	Fuse trim or I <sup>2</sup> C interface (3-bit value)
Adjustable Feedback Voltage	$V_{\text{FB3}}$		0.800		V	
Feedback Voltage Accuracy	$V_{\text{FB3(DEFAULT)}}$	-0.55		+0.55	%	$T_{\text{J}} = 25^{\circ}\text{C}$
		-1.25		+1.0	%	$0^{\circ}\text{C} \leq T_{\text{J}} \leq 85^{\circ}\text{C}$
		-1.5		+1.5	%	$-40^{\circ}\text{C} \leq T_{\text{J}} \leq +125^{\circ}\text{C}$
Feedback Bias Current	$I_{\text{FB3}}$			0.1	$\mu\text{A}$	Adjustable voltage
SW3 Pin						
High-Side Power FET On Resistance	$R_{\text{DS(on)(3H)}}$		225		m $\Omega$	Pin-to-pin measurement
Low-Side Power FET On Resistance	$R_{\text{DS(on)(3L)}}$		150		m $\Omega$	Pin-to-pin measurement
Current-Limit Threshold	$I_{\text{TH(ILIM3)}}$	1.7	2.2	2.55	A	
Minimum On Time	$t_{\text{MIN_ON3}}$		90	120	ns	$f_{\text{SW}} = 250 \text{ kHz to } 1.4 \text{ MHz}$
Minimum Off Time	$t_{\text{MIN_OFF3}}$		$1/9 \times t_{\text{SW}}$		ns	$f_{\text{SW}} = 250 \text{ kHz to } 1.4 \text{ MHz}$
Error Amplifier (EA), COM3 Pin						
EA Transconductance	$g_{\text{m3}}$	310	470	620	$\mu\text{S}$	
Soft Start						
Soft Start Time	$t_{\text{SS3}}$		2.0		ms	SS34 connected to VREG
Programmable Soft Start Range		2.0		8.0	ms	
Hiccup Time	$t_{\text{HICCUP3}}$		$7 \times t_{\text{SS1}}$		ms	
$C_{\text{OUT}}$ Discharge Switch On Resistance	$R_{\text{DIS3}}$		250		$\Omega$	
CHANNEL 4 SYNC BUCK REGULATOR						
FB4 Pin						
Fixed Output Options	$V_{\text{OUT4}}$	2.5		5.5	V	Fuse trim or I <sup>2</sup> C interface (5-bit value)
Adjustable Feedback Voltage	$V_{\text{FB4}}$		0.800		V	
Feedback Voltage Accuracy	$V_{\text{FB4(DEFAULT)}}$	-0.55		+0.55	%	$T_{\text{J}} = 25^{\circ}\text{C}$
		-1.25		+1.0	%	$0^{\circ}\text{C} \leq T_{\text{J}} \leq 85^{\circ}\text{C}$
		-1.5		+1.5	%	$-40^{\circ}\text{C} \leq T_{\text{J}} \leq +125^{\circ}\text{C}$
Feedback Bias Current	$I_{\text{FB4}}$			0.1	$\mu\text{A}$	
SW4 Pin						
High-Side Power FET On Resistance	$R_{\text{DS(on)(4H)}}$		225		m $\Omega$	Pin-to-pin measurement
Low-Side Power FET On Resistance	$R_{\text{DS(on)(4L)}}$		150		m $\Omega$	Pin-to-pin measurement
Current-Limit Threshold	$I_{\text{TH(ILIM3)}}$	1.7	2.2	2.55	A	
Minimum On Time	$t_{\text{MIN_ON4}}$		90	120	ns	$f_{\text{SW}} = 250 \text{ kHz to } 1.4 \text{ MHz}$
Minimum Off Time	$t_{\text{MIN_OFF4}}$		$1/9 \times t_{\text{SW}}$		ns	$f_{\text{SW}} = 250 \text{ kHz to } 1.4 \text{ MHz}$
Error Amplifier (EA), COM4 Pin						
EA Transconductance	$g_{\text{m4}}$	310	470	620	$\mu\text{S}$	
Soft Start						
Soft Start Time	$t_{\text{SS4}}$		2.0		ms	SS34 connected to VREG
Programmable Soft Start Range		2.0		8.0	ms	
Hiccup Time	$t_{\text{HICCUP4}}$		$7 \times t_{\text{SS4}}$		ms	
$C_{\text{OUT}}$ Discharge Switch On Resistance	$R_{\text{DIS4}}$		250		$\Omega$	

## LDO レギュレータの仕様

Min もしくは Max の特性に関しては、 $V_{IN5} = (V_{OUT5} + 0.5 \text{ V})$  または  $1.7 \text{ V}$ （どちらか大きい方）から  $5.5 \text{ V}$ ； $C_{IN} = C_{OUT} = 1 \mu\text{F}$ ； $T_J = -40^\circ\text{C}$  から  $+125^\circ\text{C}$ 。他は特に断りのない限り、 $T_A = 25^\circ\text{C}$  における代表値。

表 4.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
INPUT SUPPLY VOLTAGE RANGE	1.7		5.5	V	PVIN5 pin
OPERATIONAL SUPPLY CURRENT Bias Current for LDO Regulator		30 60 145	130 170 320	$\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$	$I_{OUT5} = 200 \mu\text{A}$ $I_{OUT5} = 10 \text{ mA}$ $I_{OUT5} = 200 \text{ mA}$
VOLTAGE FEEDBACK (FB5 PIN) Adjustable Feedback Voltage Feedback Voltage Accuracy	-1.0 -1.6 -2.0	0.500	+1.0 +1.6 +2.0	V % % %	$T_J = 25^\circ\text{C}$ $0^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$ $-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
DROPOUT VOLTAGE		80 100 180		mV mV mV	$I_{OUT5} = 200 \text{ mA}$ $V_{OUT5} = 3.3 \text{ V}$ $V_{OUT5} = 2.5 \text{ V}$ $V_{OUT5} = 1.5 \text{ V}$
CURRENT-LIMIT THRESHOLD	250	510		mA	Specified from the output voltage drop to 90% of the specified typical value
OUTPUT NOISE		92		$\mu\text{V rms}$	10 Hz to 100 kHz, $V_{PVIN5} = 5 \text{ V}$ , $V_{OUT5} = 1.8 \text{ V}$
POWER SUPPLY REJECTION RATIO		77 66		dB dB	$V_{PVIN5} = 5 \text{ V}$ , $V_{OUT5} = 1.8 \text{ V}$ , $I_{OUT5} = 1 \text{ mA}$ 10 kHz 100 kHz



I<sup>2</sup>C インターフェースのタイミング仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{ V}$ 、 $V_{DDIO} = 3.3\text{ V}$ 。

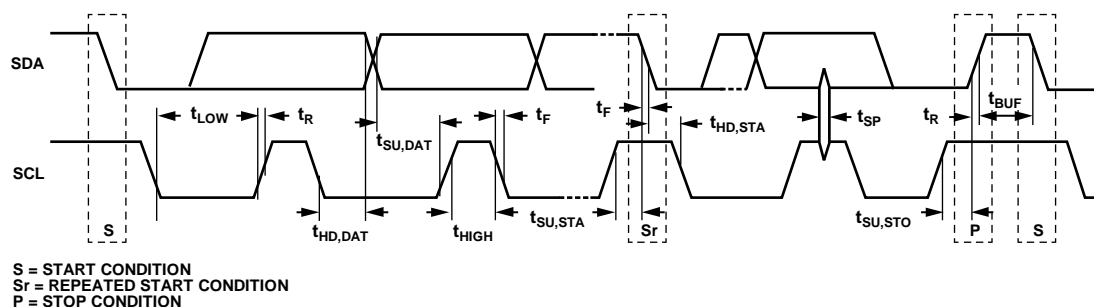
表 5.

Parameter	Min	Typ	Max	Unit	Description
$f_{\text{SCL}}$			400	kHz	SCL クロックの周波数
$t_{\text{HIGH}}$	0.6			$\mu\text{s}$	SCL のハイ・レベル時間
$t_{\text{LOW}}$	1.3			$\mu\text{s}$	SCL のロー・レベル時間
$t_{\text{SU,DAT}}$	100			ns	データ・セットアップ時間
$t_{\text{HD,DAT}}$	0		0.9	$\mu\text{s}$	データ・ホールド時間 <sup>1</sup>
$t_{\text{SU,STA}}$	0.6			$\mu\text{s}$	繰り返しスタート状態におけるセットアップ時間
$t_{\text{HD,STA}}$	0.6			$\mu\text{s}$	最初のスタート、もしくは繰り返しスタート時のホールド時間
$t_{\text{BUF}}$	1.3			$\mu\text{s}$	ストップ状態とスタート状態との間のバス開放時間
$t_{\text{SU,STO}}$	0.6			$\mu\text{s}$	ストップ状態時のセットアップ時間
$t_{\text{R}}$	$20 + 0.1C_B^2$		300	ns	SCL と SDA の立ち上がり時間
$t_{\text{F}}$	$20 + 0.1C_B^2$		300	ns	SCL と SDA の立ち下がり時間
$t_{\text{SP}}$	0		50	ns	許容できるスパイク・ノイズの幅
$C_B^2$			400	pF	各バス・ラインの容量負荷

<sup>1</sup> SCL の立ち下がりエッジの不定領域を避けるため、マスター・デバイスは、SCL 信号の  $V_{\text{IH min}}$  を基準とした SDA 信号に対して、最小 300 ns のホールド・タイムを保証する必要があります。

<sup>2</sup>  $C_B$  は、1 本のバス・ラインの合計容量(pF)です。

## タイミング図

図 3. I<sup>2</sup>C インターフェースのタイミング図

10899-102

## 絶対最大定格

表 6.

Parameter	Rating
PVIN1 to PGND	-0.3 V～+18 V
PVIN1 to PGND	-0.3 V～+18 V
PVIN3 to PGND3	-0.3 V～+18 V
PVIN4 to PGND4	-0.3 V～+18 V
PVIN5 to GND	-0.3 V～+6.5 V
SW1 to PGND	-0.3 V～+18 V
SW2 to PGND	-0.3 V～+18 V
SW3 to PGND3	-0.3 V～+18 V
SW4 to PGND4	-0.3 V～+18 V
PGND to GND	-0.3 V～+0.3 V
PGND3 to GND	-0.3 V～+0.3 V
PGND4 to GND	-0.3 V～+0.3 V
BST1 to SW1	-0.3 V～+6.5 V
BST2 to SW2	-0.3 V～+6.5 V
BST3 to SW3	-0.3 V～+6.5 V
BST4 to SW4	-0.3 V～+6.5 V
DL1 to PGND	-0.3 V～+6.5 V
DL2 to PGND	-0.3 V～+6.5 V
SS12, SS34 to GND	-0.3 V～+6.5 V
EN1, EN2, EN3, EN4, EN5 to GND	-0.3 V～+6.5 V
VREG to GND	-0.3 V～+6.5 V
SYNC/MODE to GND	-0.3 V～+6.5 V
VOUT5, FB5 to GND	-0.3 V～+6.5 V
RT to GND	-0.3 V～+3.6 V
$\overline{\text{INT}}$ , PWRGD to GND	-0.3 V～+6.5 V
FB1, FB2, FB3, FB4 to GND <sup>1</sup>	-0.3 V～+3.6 V
FB2 to GND <sup>2</sup>	-0.3 V～+6.5 V
FB4 to GND <sup>2</sup>	-0.3 V～+7 V
COMP1, COMP2, COMP3, COMP4 to GND	-0.3 V～+3.6 V
VDD, VDDIO to GND	-0.3 V～+3.6 V
SCL, SDA	-0.3 V～ VDDIO + 0.3 V
Storage Temperature Range	-65°C～150°C
Operational Junction Temperature Range	-40°C～+125°C

<sup>1</sup> この定格は、ADP5050 が、可変出力電圧モデルである時に適用されます。

<sup>2</sup> この定格は、ADP5050 が、固定出力電圧モデルである時に適用されます。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$  は最悪の条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で規定しています。

表 7.熱抵抗

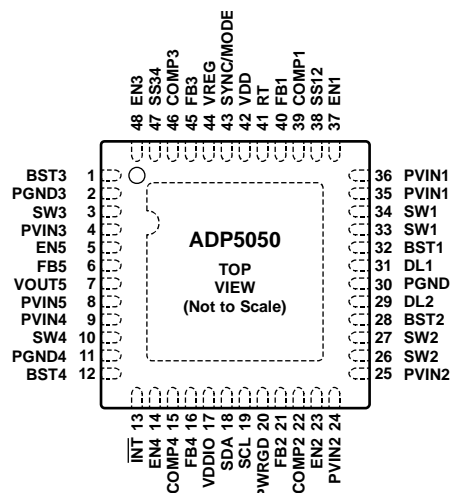
Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
48 ピン LFCSP	27.87	2.99	°C/W

## ESD の注意

**ESD (electrostatic discharge) sensitive device.**

Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

## ピン配置およびピン機能説明



NOTES  
1. THE EXPOSED PAD MUST BE CONNECTED AND SOLDERED TO AN EXTERNAL GROUND PLANE.

10899-002

図 4. ピン配置

表 8. ピン機能の説明

Pin No.	Mnemonic	Description
1	BST3	チャンネル 3 用ハイサイド FET 用電源。
2	PGND3	チャンネル 3 の電源グラウンド。
3	SW3	チャンネル 3 のスイッチング・ノード。
4	PVIN3	チャンネル 3 の電圧入力。このピンとグラウンド間には、バイパス・コンデンサを接続してください。
5	EN5	チャンネル 5 のイネーブル入力。ターンオン・スレッシュールドを設定するため、外部に抵抗分圧回路を取り付けて下さい。
6	FB5	チャンネル 5 用フィードバック・センス入力。
7	VOUT5	チャンネル 5 の電力出力。
8	PVIN5	チャンネル 5 の電圧入力。このピンとグラウンド間には、バイパス・コンデンサを接続してください。
9	PVIN4	チャンネル 4 の電圧入力。このピンとグラウンド間には、バイパス・コンデンサを接続してください。
10	SW4	チャンネル 4 のスイッチング・ノード。
11	PGND4	チャンネル 4 の電源グラウンド。
12	BST4	チャンネル 4 用ハイサイド FET 用電源。
13	INT	障害発生時の割り込み出力。オープンドレイン出力ポート。
14	EN4	チャンネル 4 のイネーブル入力。ターンオン・スレッシュールドを設定するため、外部に抵抗分圧回路を取り付けて下さい。
15	COMP4	チャンネル 4 用誤差増幅器出力。このピンから、RC ネットワークをグラウンドに接続して下さい。
16	FB4	チャンネル 4 用フィードバック・センス入力。
17	VDDIO	I <sup>2</sup> C インターフェース用電源。
18	SDA	I <sup>2</sup> C インターフェース用データ入出力。オープンドレイン I/O ポート。
19	SCL	I <sup>2</sup> C インターフェース用クロック入力
20	PWRGD	パワーグッド信号出力。このオープンドレイン出力は、選択されたチャンネル用のパワーグッド出力です。 工場出荷時に、このピンを、パワーグッド出力ピンから、デバイスの I <sup>2</sup> C アドレス設定用のピンに置き換えることもできます。詳細に関しては、「I <sup>2</sup> C アドレス」セクションを参照して下さい。
21	FB2	チャンネル 2 用フィードバック・センス入力
22	COMP2	チャンネル 2 用誤差増幅器出力。このピンから、RC ネットワークをグラウンドに接続して下さい。

Pin No.	Mnemonic	Description
23	EN2	チャンネル 2 のイネーブル入力。ターンオン・スレッシュホールドを設定するため、外部に抵抗分圧回路を取り付けて下さい。
24、25	PVIN2	チャンネル 2 の電圧入力。このピンとグラウンド間には、バイパス・コンデンサを接続してください。
26、27	SW2	チャンネル 2 のスイッチング・ノード。
28	BST2	チャンネル 2 用ハイサイド FET 用電源。
29	DL2	チャンネル 2 用ローサイド FET ゲート・ドライバ。チャンネル 2 用の電流制限スレッシュホールドをプログラムするため、このピンからグラウンドに対して抵抗を接続して下さい。
30	PGND	チャンネル 1 とチャンネル 2 用電力グラウンド。
31	DL1	チャンネル 1 用ローサイド FET ゲート・ドライバ。チャンネル 1 用の電流制限スレッシュホールドをプログラムするため、このピンからグラウンドに対して抵抗を接続して下さい。
32	BST1	チャンネル 1 用ハイサイド FET 用電源。
33、34	SW1	チャンネル 1 用スイッチング・ノード。
35、36	PVIN1	5.1V 内部 VREG リニア・レギュレータと、チャンネル 1 降圧スイッチング・レギュレータ用電圧入力。このピンとグラウンド間には、バイパス・コンデンサを接続してください。
37	EN1	チャンネル 1 用イネーブル入力。ターンオン・スレッシュホールドを設定するため、外部に抵抗分圧回路を取り付けて下さい。
38	SS12	チャンネル 1 とチャンネル 2 のソフト・スタート時間をプログラムするために、VREG とグラウンド間に抵抗分圧回路を接続して下さい（詳細は、ソフト・スタート セクション参照）。また、このピンは、チャンネル 1 とチャンネル 2 との並列動作を設定するためにも使われます（詳細は、並列動作セクション参照）。
39	COMP1	チャンネル 1 用誤差増幅器出力。このピンから、RC ネットワークをグラウンドに接続して下さい。
40	FB1	チャンネル 1 用フィードバック・センス入力
41	RT	スイッチング周波数をプログラムするために、RT ピンとグラウンド間に抵抗を接続してください。スイッチング周波数範囲は、250kHz から 1.4MHz です。詳細については、発振器セクションを参照してください。
42	VDD	内部 3.3 V リニア・レギュレータ出力。このピンとグラウンド間には、1 $\mu$ F のコンデンサを接続してください。
43	SYNC/MODE	同期入力/出力（SYNC）。スイッチング周波数を外部クロックと同期する場合、周波数 250kHz から 1.4MHz の信号を入力して下さい。このピンは、I <sup>2</sup> C インターフェース、もしくは工場でのヒューズ調整を行う事で、同期出力として構成することもできます。 強制 PWM もしくは自動 PWM/PSM 選択ピン（MODE）。このピンがハイ・レベルの時、各チャンネルは、レジスタ 6 の PSMx_ON ビットの設定に従って、強制 PWM モード、もしくは自動 PWM/PSM モードで動作します。このピンがロー・レベルの時、全てのチャンネルが、自動 PWM/PSM モードで動作します。従って、レジスタ 6 の PSMx_ON ビットの設定は無視されます。
44	VREG	内部 5.1 V リニア・レギュレータ出力。このピンとグラウンド間には、1 $\mu$ F のセラミック・コンデンサを接続してください。
45	FB3	チャンネル 3 用フィードバック・センス入力
46	COMP3	チャンネル 3 用誤差増幅器出力。このピンから、RC ネットワークをグラウンドに接続して下さい。
47	SS34	チャンネル 3 とチャンネル 4 のソフト・スタート時間をプログラムするために、VREG とグラウンド間に、抵抗分圧回路を接続して下さい（詳細は、ソフト・スタートセクション参照）。
48	EN3	チャンネル 3 用イネーブル入力。ターンオン・スレッシュホールドを設定するため、外部に抵抗分圧回路を取り付けて下さい。
	EPAD	エクスポーズド・パッド（アナログ・グラウンド）。エクスポーズド・パッドは、外部のグラウンドに接続し、必ず半田付けしてください。

## 代表的な性能特性

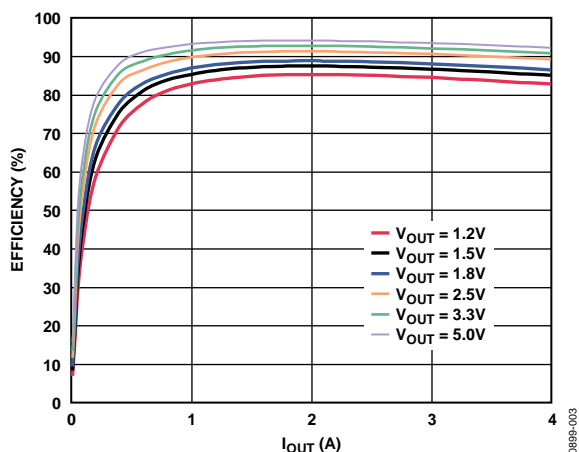


図 5. チャンネル 1/チャンネル 2 の効率カーブ  $V_{IN} = 12V$ ,  $f_{SW} = 600 kHz$ , FPWM モード

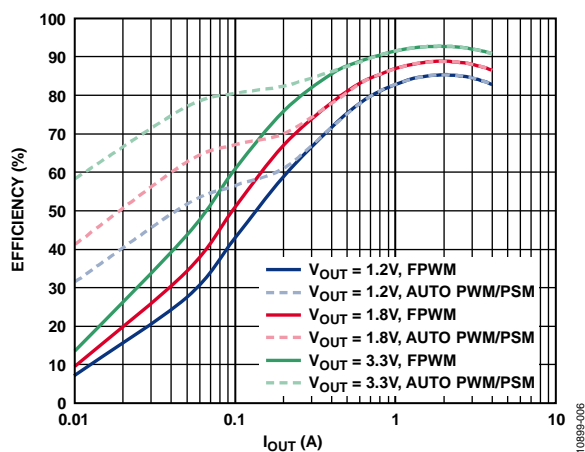


図 8. チャンネル 1/チャンネル 2 の効率カーブ  $V_{IN} = 12V$ ,  $f_{SW} = 600 kHz$ , FPWM モードと自動 PWM/PSM モード

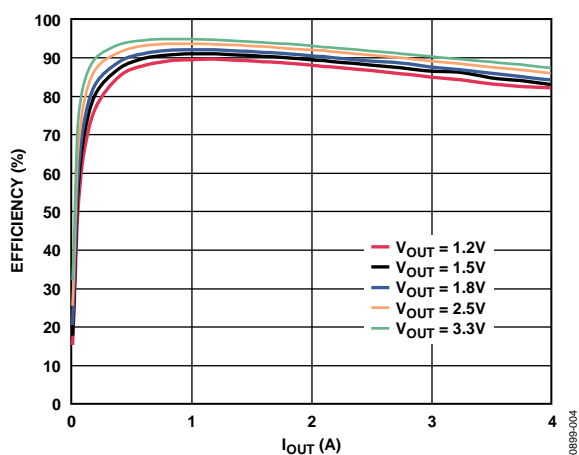


図 6. チャンネル 1/チャンネル 2 の効率カーブ  $V_{IN} = 5.0V$ ,  $f_{SW} = 600 kHz$ , FPWM モード

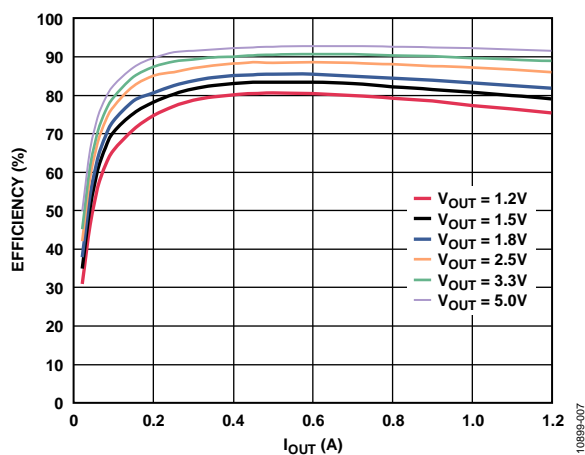


図 9. チャンネル 3/チャンネル 4 の効率カーブ  $V_{IN} = 12V$ ,  $f_{SW} = 600 kHz$ , FPWM モード

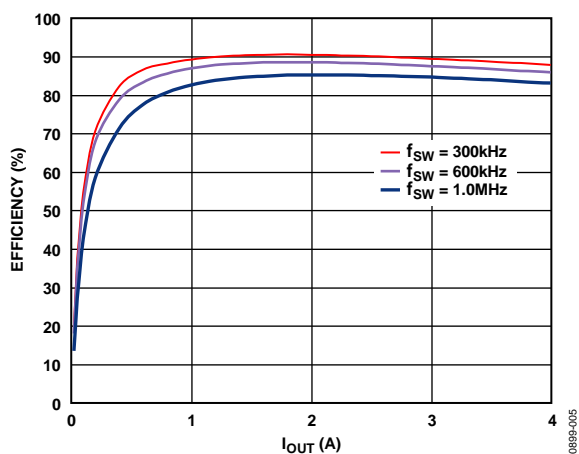


図 7. チャンネル 1/チャンネル 2 の効率カーブ  $V_{IN} = 12V$ ,  $V_{OUT} = 1.8V$ , FPWM モード

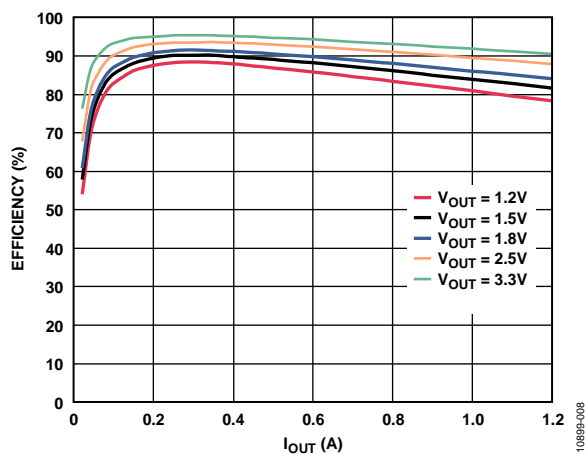


図 10. チャンネル 3/チャンネル 4 の効率カーブ  $V_{IN} = 5.0V$ ,  $f_{SW} = 600 kHz$ , FPWM モード

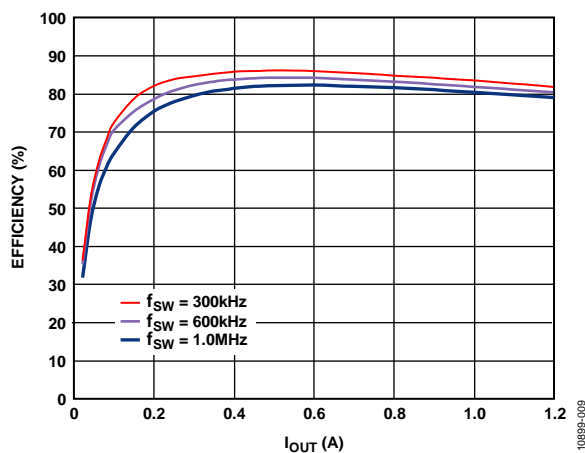


図 11. チャンネル 3/チャンネル 4 の効率カーブ  $V_{IN} = 12\text{ V}$ 、 $V_{OUT} = 1.8\text{ V}$ 、FPWM モード

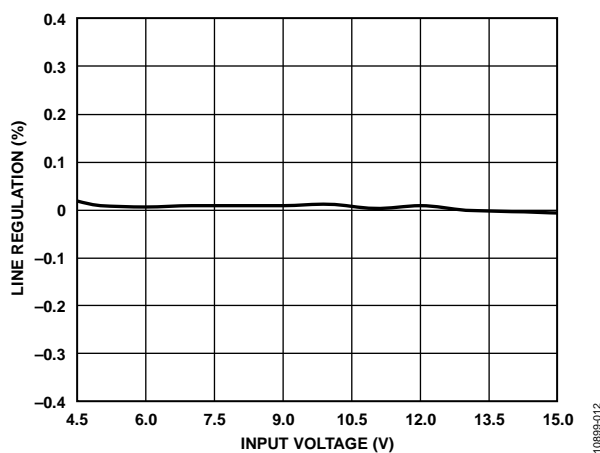


図 14. チャンネル 1 ライン・レギュレーション  
 $V_{OUT} = 3.3\text{ V}$ 、 $I_{OUT} = 4\text{ A}$ 、 $f_{SW} = 600\text{ kHz}$ 、FPWM モード

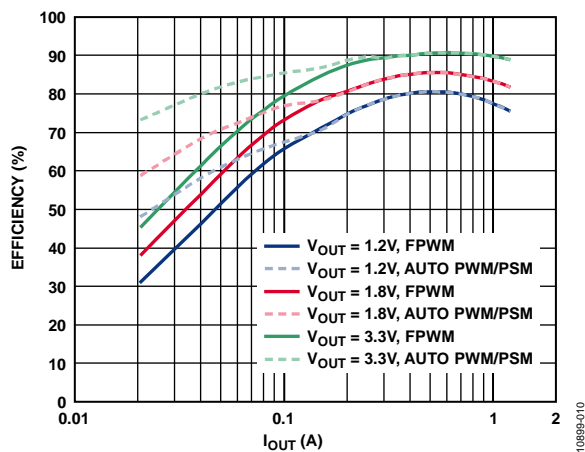


図 12. チャンネル 3/チャンネル 4 の効率カーブ  $V_{IN} = 12\text{ V}$ 、 $f_{SW} = 600\text{ kHz}$ 、FPWM モードと自動 PWM/PSM モード

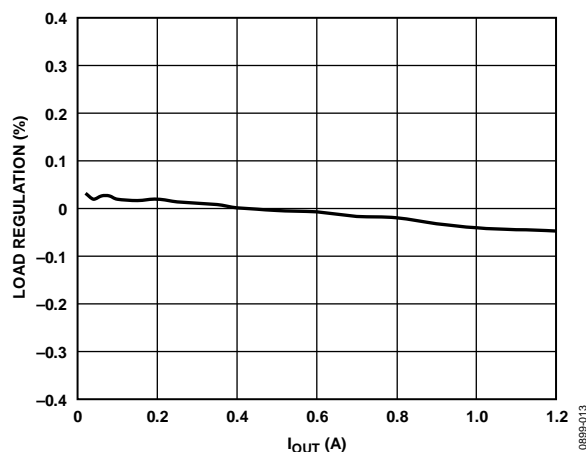


図 15. チャンネル 3 ロード・レギュレーション  
 $V_{IN} = 12\text{ V}$ 、 $V_{OUT} = 3.3\text{ V}$ 、 $f_{SW} = 600\text{ kHz}$ 、FPWM モード

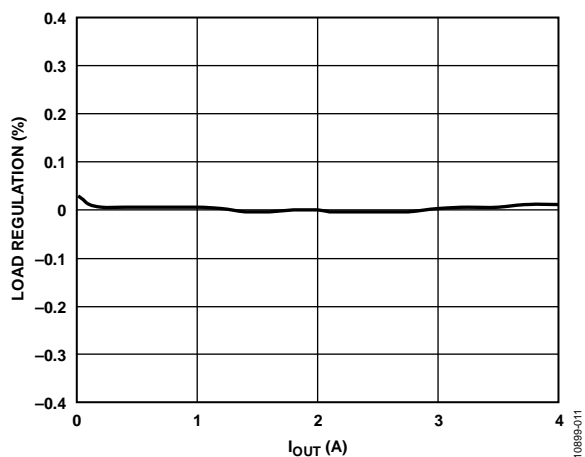


図 13. チャンネル 1 ロード・レギュレーション  
 $V_{IN} = 12\text{ V}$ 、 $V_{OUT} = 3.3\text{ V}$ 、 $f_{SW} = 600\text{ kHz}$ 、FPWM モード

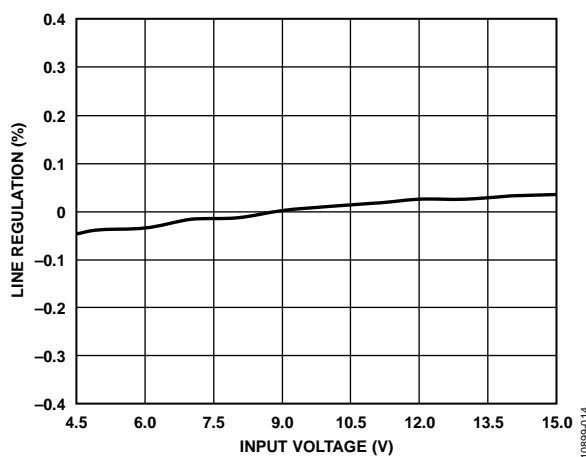


図 16. チャンネル 3 ライン・レギュレーション  
 $V_{OUT} = 3.3\text{ V}$ 、 $I_{OUT} = 1\text{ A}$ 、 $f_{SW} = 600\text{ kHz}$ 、FPWM モード

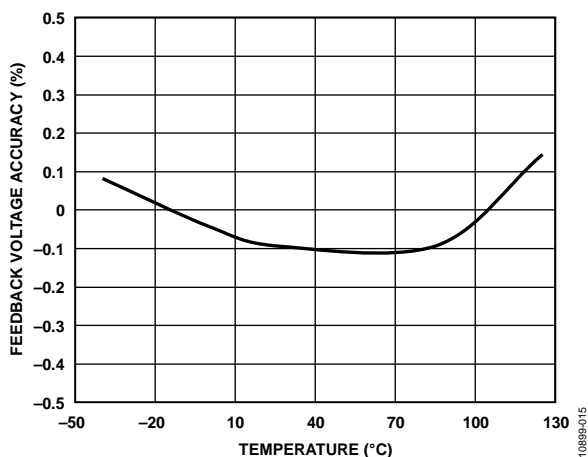


図 17. 0.8V フィードバック電圧精度の温度特性  
(チャンネル 1、可変出力モデル)

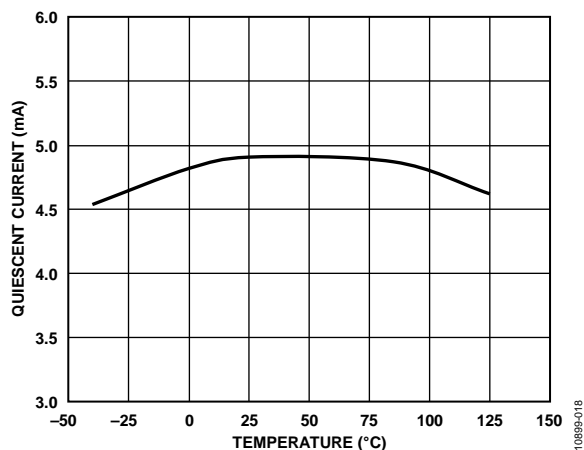


図 20. 静止電流の温度特性  
(PVIN1、PVIN2、PVIN3、PVIN4 すべてを含む)

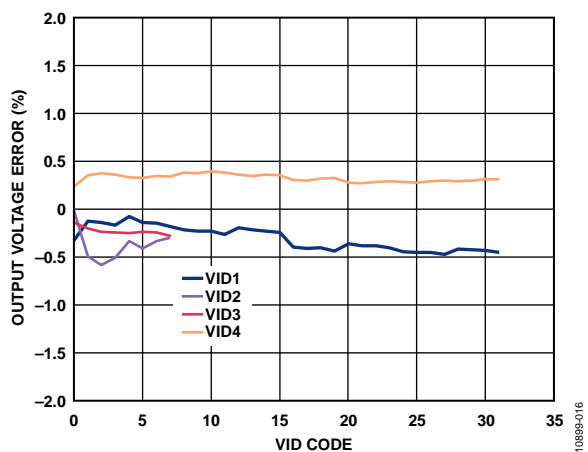


図 18. VID コード 対 出力電圧誤差 (可変出力モデル)

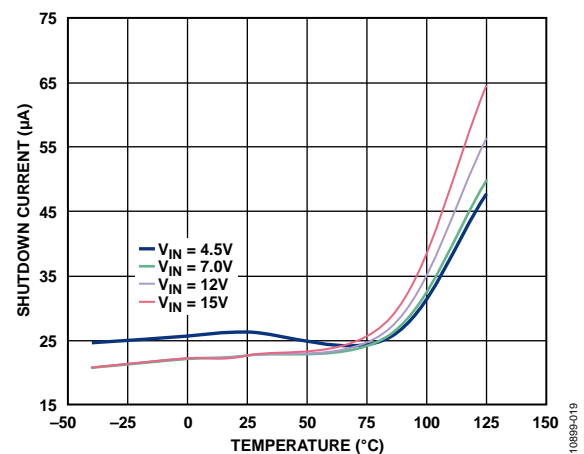


図 21. シャットダウン電流の温度特性  
(EN1、EN2、EN3、EN4、EN5 がロー・レベルの時)

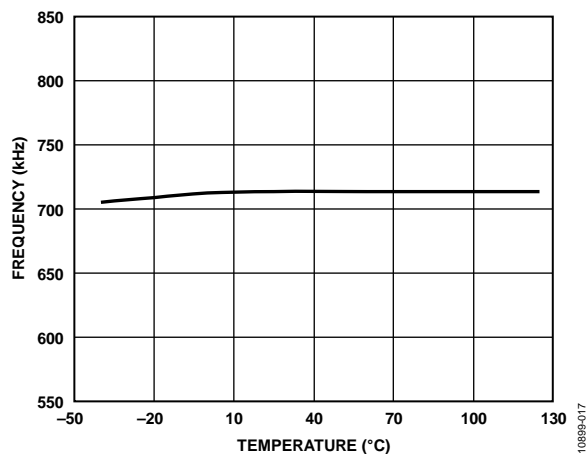


図 19. 周波数の温度特性、 $V_{IN} = 12\text{ V}$

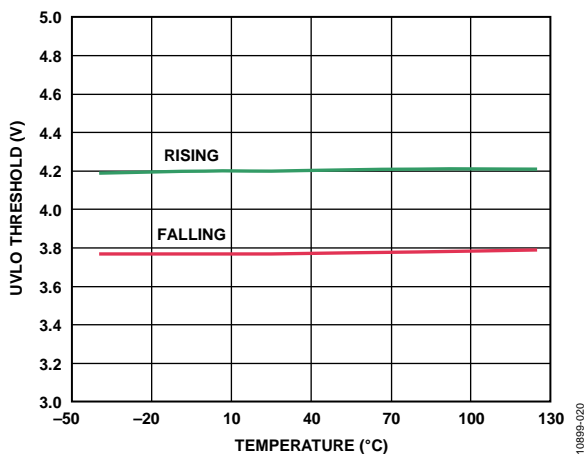


図 22. UVLO スレッシュホールドの温度特性

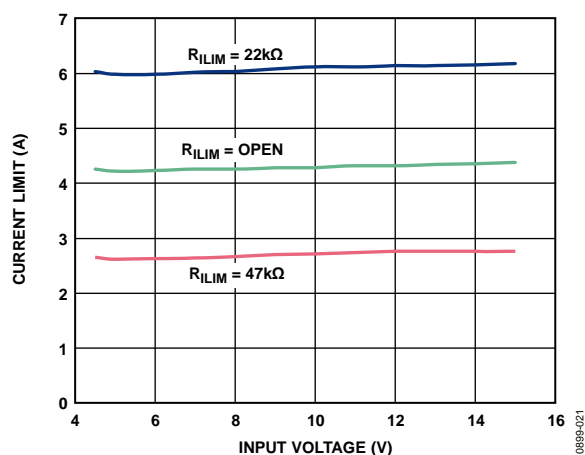


図 23. 入力電圧 対 チャンネル 1/チャンネル 2 の電流制限値

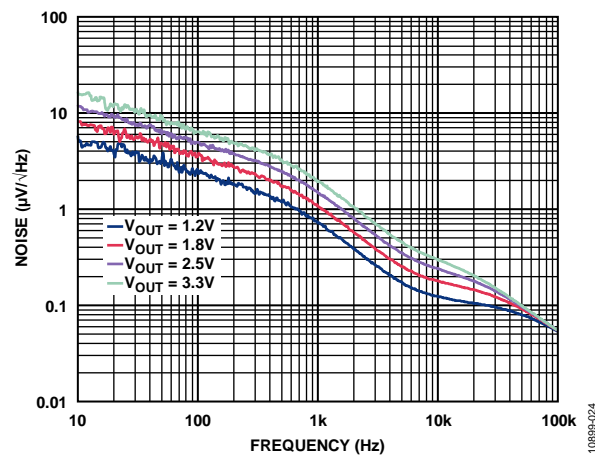
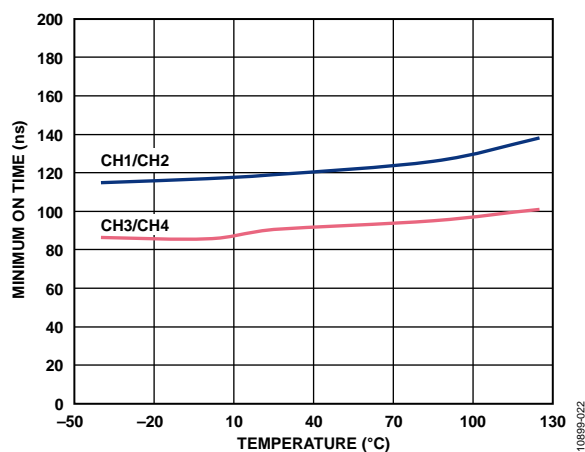
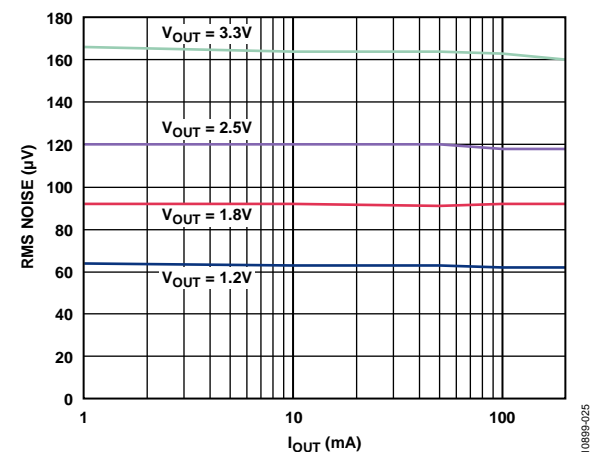
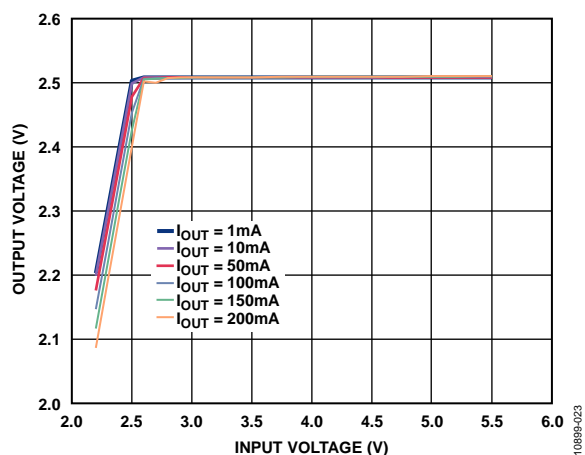
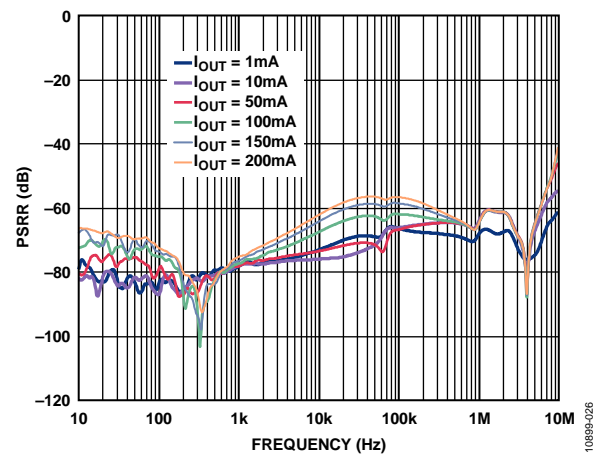
図 26. チャンネル 5 (LDO レギュレータ) 出力の  
ノイズ・スペクトラム  
 $V_{IN} = 5V$ ,  $C_{OUT} = 1\mu F$ ,  $I_{OUT} = 10mA$ 

図 24. 最小オン時間の温度特性

図 27. 出力負荷 対 チャンネル 5 (LDO レギュレータ) の  
出力ノイズ  $V_{IN} = 5V$ ,  $C_{OUT} = 1\mu F$ 図 25. 入力電圧 対 チャンネル 5 (LDO レギュレータ) の  
ライン・レギュレーション図 28. チャンネル 5 (LDO レギュレータ) の  
PSRR の周波数特性、  
 $V_{IN} = 5V$ ,  $V_{OUT} = 3.3V$ ,  $C_{OUT} = 1\mu F$



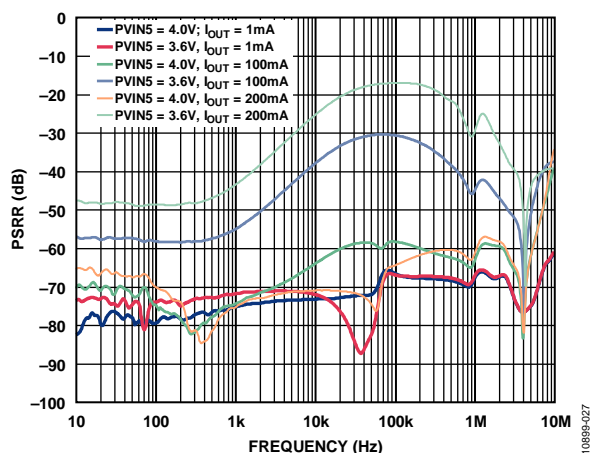


図 29. 各種負荷電流及びドロップアウト電圧に対する、チャンネル 5 (LDO レギュレータ) の PSRR 周波数特性  
 $V_{OUT} = 3.3\text{ V}$ ,  $C_{OUT} = 1\mu\text{F}$

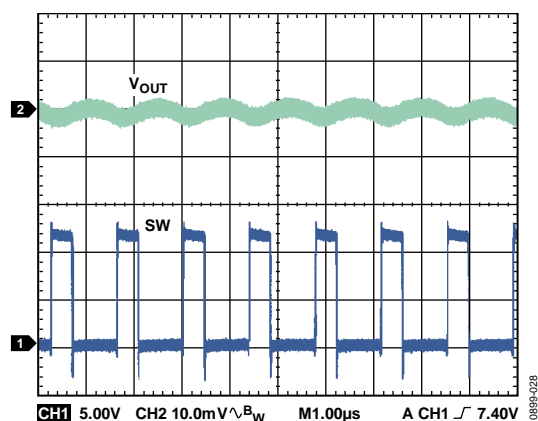


図 30. 高負荷時の安定状態波形  
 $V_{IN} = 12\text{ V}$ ,  $V_{OUT} = 3.3\text{ V}$ ,  $I_{OUT} = 3\text{ A}$ ,  $f_{SW} = 600\text{ kHz}$ ,  
 $L = 4.7\mu\text{H}$ ,  $C_{OUT} = 47\mu\text{F} \times 2$ , FPWM モード

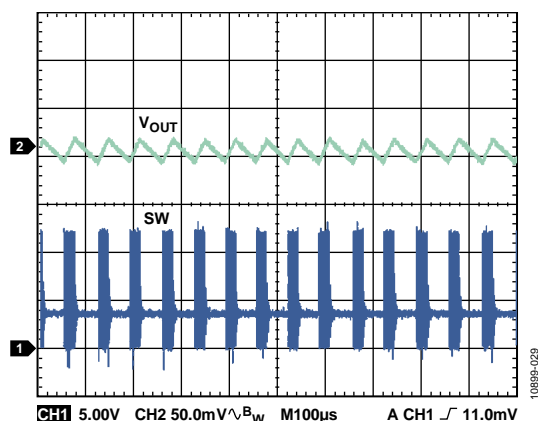


図 31. 低負荷時における安定状態波形  
 $V_{IN} = 12\text{ V}$ ,  $V_{OUT} = 3.3\text{ V}$ ,  $I_{OUT} = 30\text{ mA}$ ,  $f_{SW} = 600\text{ kHz}$ ,  
 $L = 4.7\mu\text{H}$ ,  $C_{OUT} = 47\mu\text{F} \times 2$ ,  
自動 PWM/PSM モード

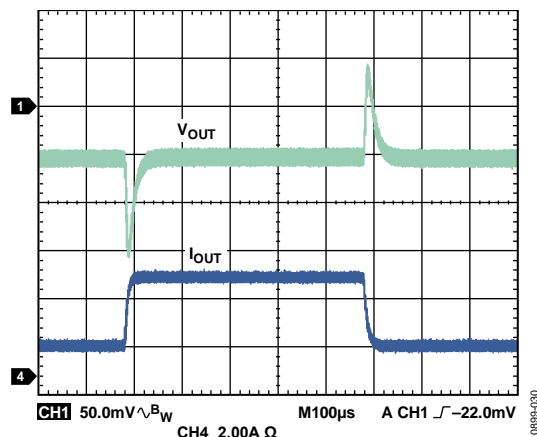


図 32. チャンネル 1/チャンネル 2 の負荷応答  
1A から 4A,  $V_{IN} = 12\text{ V}$ ,  
 $V_{OUT} = 3.3\text{ V}$ ,  $f_{SW} = 600\text{ kHz}$ ,  $L = 2.2\mu\text{H}$ ,  $C_{OUT} = 47\mu\text{F} \times 2$

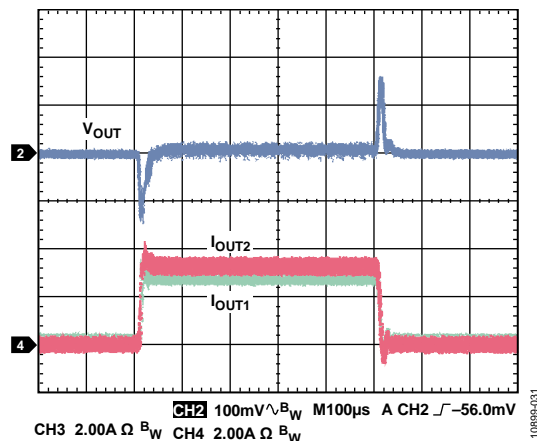


図 33. チャンネル 1/チャンネル 2 を並列動作時の負荷応答  
0 A から 6 A,  $V_{IN} = 12\text{ V}$ ,  $V_{OUT} = 3.3\text{ V}$ ,  $f_{SW} = 600\text{ kHz}$ ,  
 $L = 4.7\mu\text{H}$ ,  $C_{OUT} = 47\mu\text{F} \times 4$

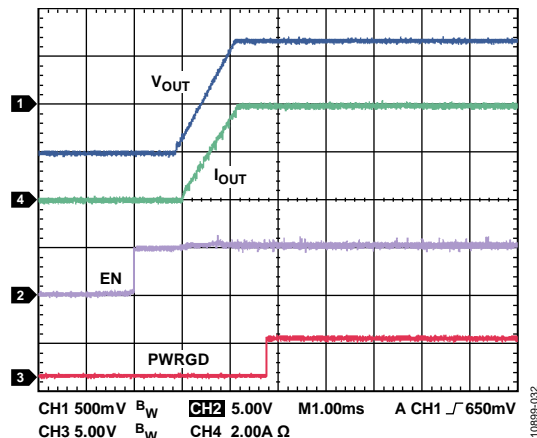


図 34. チャンネル 1/チャンネル 2 のソフト・スタート波形  
4A の抵抗負荷時  
 $V_{IN} = 12\text{ V}$ ,  $V_{OUT} = 1.2\text{ V}$ ,  $f_{SW} = 600\text{ kHz}$ ,  
 $L = 1\mu\text{H}$ ,  $C_{OUT} = 47\mu\text{F} \times 2$

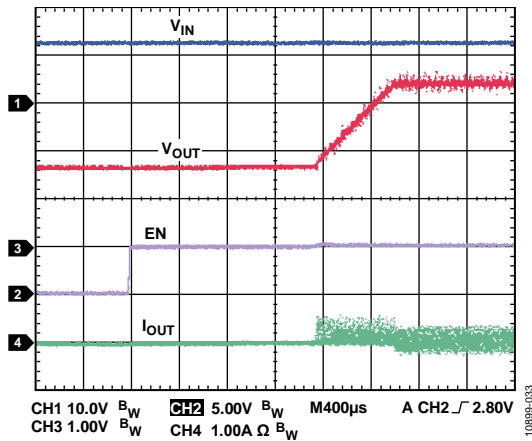


図 35. 出力コンデンサに電荷が残っていた場合の  
スタートアップ波形  
 $V_{IN} = 12\text{ V}$ ,  $V_{OUT} = 3.3\text{ V}$

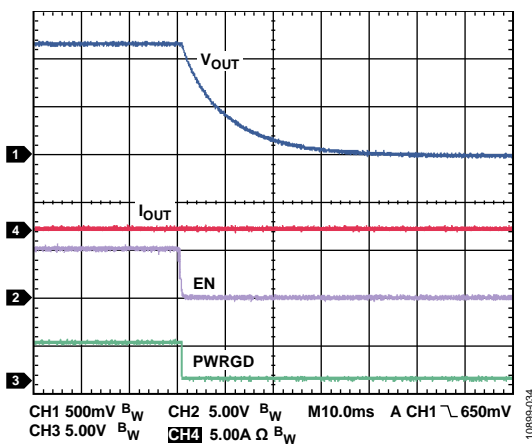


図 36. アクティブ出力放電による  
チャンネル 1/チャンネル 2 のシャットダウン波形  
 $V_{IN} = 12\text{ V}$ ,  $V_{OUT} = 1.2\text{ V}$ ,  $f_{SW} = 600\text{ kHz}$ ,  
 $L = 1\text{ µH}$ ,  $C_{OUT} = 47\text{ µF} \times 2$

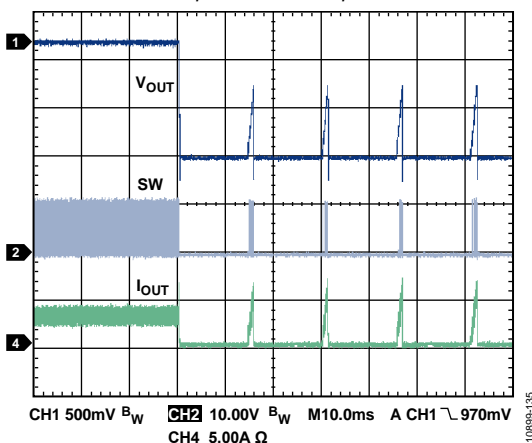


図 37. 出力短絡保護へ移行時の波形  
 $V_{IN} = 12\text{ V}$ ,  $V_{OUT} = 1.2\text{ V}$ ,  
 $f_{SW} = 600\text{ kHz}$ ,  $L = 1\text{ µH}$ ,  $C_{OUT} = 47\text{ µF} \times 2$

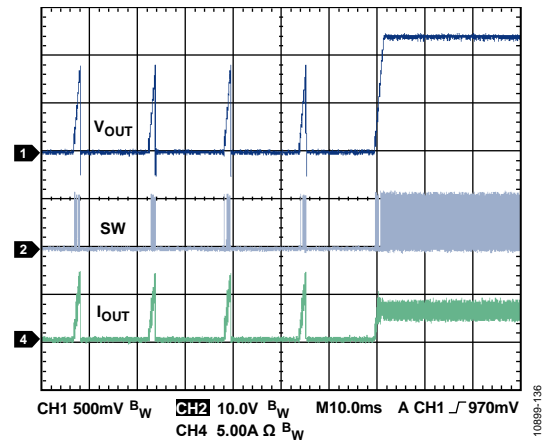


図 38. 出力短絡保護からの復帰時の波形  
 $V_{IN} = 12\text{ V}$ ,  $V_{OUT} = 1.2\text{ V}$ ,  
 $f_{SW} = 600\text{ kHz}$ ,  $L = 1\text{ µH}$ ,  $C_{OUT} = 47\text{ µF} \times 2$

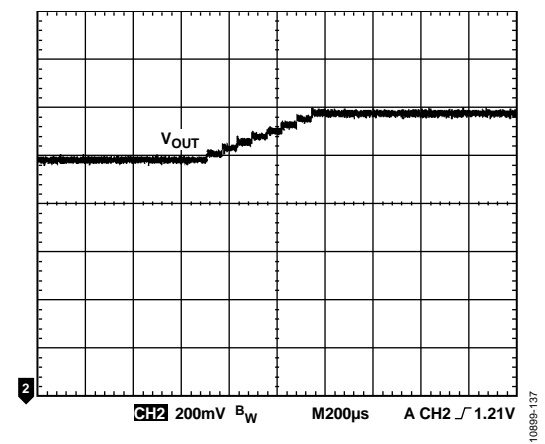


図 39. チャンネル 1 のダイナミック電圧スケーリング (DVS)  
応答波形  
1.1 V から 1.3 V, 62.5µs 間隔,  $V_{IN} = 12\text{ V}$ ,  $I_{OUT} = 4\text{ A}$ ,  $f_{SW} = 600\text{ kHz}$ ,  $L = 1\text{ µH}$ ,  $C_{OUT} = 47\text{ µF} \times 2$

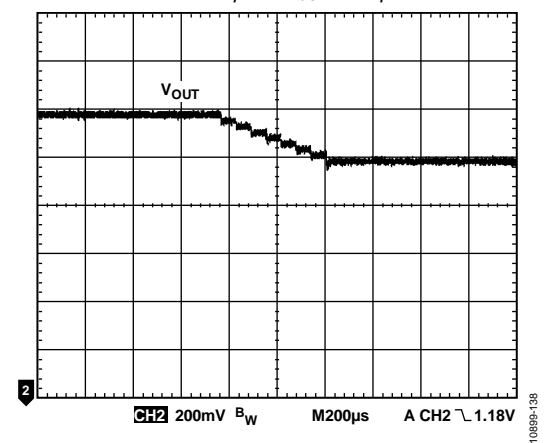


図 40. チャンネル 1 のダイナミック電圧スケーリング (DVS)  
応答波形  
1.3 V から 1.1 V, 62.5µs 間隔,  $V_{IN} = 12\text{ V}$ ,  $I_{OUT} = 4\text{ A}$ ,  $f_{SW} = 600\text{ kHz}$ ,  $L = 1\text{ µH}$ ,  $C_{OUT} = 47\text{ µF} \times 2$

## 動作原理

ADP5050 は、マイクロパワー・マネジメント・ユニットで、4つの高性能降圧スイッチング・レギュレータと 200mA の LDO を、48 ピン LFCSP パッケージに収めており、性能およびボード・スペースの要求をみたちます。さらにシンプルかつ高効率なアプリケーションを実現するため、前段レギュレータ無しで、最大 15 V までの入力電圧を直接することができます。

### 降圧スイッチング・レギュレータの動作モード

#### PWM モード

パルス幅変調 (PWM) モードでは、ADP5050 の降圧スイッチング・レギュレータは、固定周波数で動作します。この周波数は、RT ピンによってプログラミングできる内部発振器で決まります。発振器からの信号における各サイクルのスタート時、ハイサイドの MOSFET がオンになり、正の電圧がインダクタに加えられます。電流検知用信号がハイサイド MOSFET をオフにするピーク・インダクタ電流スレッシュホールドを超えるまで、インダクタに流れる電流が増加します。このスレッシュホールドは、誤差増幅器の出力で設定します。

ハイサイド MOSFET がオフ状態のとき、発振器のクロック・パルスが次の新しいサイクルを開始するまで、インダクタに流れる電流は、ローサイド MOSFET を通じて減少してゆきます。ADP5050 の降圧スイッチング・レギュレータは、ピーク・インダクタ電流スレッシュホールドを調整することで、出力電圧を安定化します。

#### PSM モード

ADP5050 の降圧スイッチング・レギュレータは、さらなる高効率を達成するため、出力の負荷電流が PSM (パワー・セーブ・モード) スレッシュホールドを下回ると、周波数可変の PSM 動作へと滑らかに以降します。出力電圧がレギュレーションできる電圧以下になると、降圧スイッチング・レギュレータは PWM モードに入り、発振器を数サイクル分動作させて、出力電圧をレギュレーションできる電圧まで上昇させます。バースト間のアイドル時間では、MOSFET はオフになり、出力コンデンサが全出力電流を供給します。

PSM コンパレータは、インダクタに流れるピーク電流を表す情報を保つ内部補償ノードを監視しています。平均 PSM 電流スレッシュホールドは、入力電圧 ( $V_{IN}$ )、出力電圧 ( $V_{OUT}$ )、インダクタおよびコンデンサの値に依存します。出力電圧は、時折レギュレーションできる電圧を下回ったり元に戻ったりするので、軽い負荷状態においては、PSM モードにおける出力電圧のリプルは、強制 PWM モードにおける出力電圧のリプルより大きくなります。

#### 強制 PWM と自動 PWM/PSM モード

この降圧スイッチング・レギュレータは、SYNC/MODE ピンと、I<sup>2</sup>C インターフェースを使って、常時 PWM モードで動作するように構成することができます。強制 PWM モード

(FPWM) では、出力電流が PWM/PSM 切り替えスレッシュホールドを下回ったとしても、レギュレータは固定周波数で動作します。軽い負荷状態において、PWM モードの効率は、PSM モードに比べて低くなります。ローサイド MOSFET は、インダクタの電流が 0A を下回ってもオン状態を維持します。その結果 ADP5050 は電流連続モード (CCM) になります。

この降圧スイッチング・レギュレータは、SYNC/MODE ピンと、I<sup>2</sup>C インターフェースを使って、自動 PWM/PSM モードに構成することもできます。この自動 PWM/PSM モードでは、降圧スイッチング・レギュレータは出力電流の値に応じて、PWM モード、もしくは PSM モードで動作します。平均出力電流が PWM/PSM スレッシュホールドを下回った場合、降圧ス

スイッチング・レギュレータは PSM モードに入ります。この PSM モードではレギュレータは高効率を維持するため、スイッチング周波数を下げて動作します。出力電流が 0A になると、ローサイド MOSFET はオフになり、この結果、レギュレータは電流不連続モード (DCM) になります。

ユーザーは、このデバイスが動作中でも、強制 PWM モード (FPWM) と自動 PWM/PSM モードを交互に切り替えることができます。この柔軟な構成機能によって、効率的なデバイスの電力制御が可能です。

SYNC/MODE ピンに、ロー・レベルが与えられた時 (もしくは、SYNC/MODE が、クロック入力または出力として構成された時)、各チャンネルの動作モードは、レジスタ 6 の PSMx\_ON ビットで設定されます。PSMx\_ON ビットを 0 にすると、指定されたチャンネルは強制 PWM モードに設定されます。1 にすると、指定されたチャンネルは自動 PWM/PSM モードに設定されます。

SYNC/MODE ピンにロー・レベルが与えられた時、4つの降圧レギュレータ全ての動作モードは自動 PWM/PSM モードになり、レジスタ 6 PSMx\_ON ビットの設定は無視されます。

表 9 に、SYNC/MODE ピンを使った、動作モードの設定一覧を示します。

表 9. SYNC/MODE ピンを使った、動作モードの設定一覧

SYNC/MODE ピン	各チャンネルの動作モード
ハイ・レベル	レジスタ 6 の PSMx_ON ビットの設定によって動作モードが決まる。 (0 = 強制 PWM モード; 1 = 自動 PWM/PSM モード)
クロック入力/出力	レジスタ 6 の PSMx_ON ビットの設定によって動作モードが決まる。 (0 = 強制 PWM モード; 1 = 自動 PWM/PSM モード)
ロー・レベル	自動 PWM/PSM モード (レジスタ 6 の PSMx_ON ビットの設定は無視される)

例えば、SYNC/MODE ピンがハイ・レベルで、レジスタ 6 の PSM4\_ON ビットに 1 を書き込むと、チャンネル 4 は自動 PWM/PSM モードで動作します。また、PSM1\_ON、PSM2\_ON、PSM3\_ON ビットに 0 を書き込むと、チャンネル 1、チャンネル 2、チャンネル 3 は、強制 PWM モードで動作します。

## 可変出力および固定出力電圧

ADP5050 は、工場でのヒューズ調整を行うことで、出力電圧を可変にするか、固定にするかを設定することができます。出力電圧を可変に設定した場合、必要な電圧を得るため、フィードバック基準電圧（チャンネル 1 からチャンネル 4 の場合 0.8V、チャンネル 5 の場合は 0.5V）端子に、抵抗分圧回路を取り付けてください。

固定出力電圧設定の場合、抵抗分圧回路が ADP5050 内部に取り付けられているため、フィードバック・ピン（FBx）を直接電圧出力に接続して下さい。各降圧レギュレータのチャンネル出力電圧は、レジスタ 2 からレジスタ 4 の VIDx ビットを使って、規定された電圧範囲内の値にプログラムすることができます。表 10 に、VIDx ビットで設定できる固定電圧範囲を示します。

表 10. VIDx ビットで設定できる、固定出力電圧範囲

チャンネル	VIDx ビットで設定できる、固定出力電圧範囲
チャンネル 1	0.85 V~1.6 V、25 mV ステップ
チャンネル 2	3.3 V~5.0 V、300mV もしくは 200 mV ステップ
チャンネル 3	1.2 V~1.8 V、100 mV ステップ
チャンネル 4	2.5 V~5.5 V、100 mV ステップ

出力電圧範囲は工場でのヒューズ調整で設定できます。もし、この表とは違った出力電圧範囲が必要であれば、最寄りのアナログ・デバイセズ、もしくは販売代理店の営業担当者にご連絡ください。

## ダイナミック電圧スケーリング（DVS）

ADP5050 のチャンネル 1 とチャンネル 4 には、ダイナミック電圧スケーリング（DVS）機能を搭載しています。これらの出力電圧は、I<sup>2</sup>C インターフェース経由でリアルタイムに設定できます（レジスタ 5、DVS\_CFG）。DVS\_CFG レジスタは、DVS をイネーブルにし、電圧の遷移間隔のステップを決める為に使われます（詳細は、表 29 参照）。

チャンネル 1 またはチャンネル 4 の出力電圧を設定する前に、DVS 機能をイネーブルにする事を推奨します。（チャンネル 1 の出力電圧は、レジスタ 2 の VID1 ビットで、チャンネル 4 の電圧は、レジスタ 4 の VID4 ビットで、それぞれ設定できます）もし VID の値を設定した後で、DVS をイネーブルにした場合、出力電圧は次の設定電圧へと急激に変化し、PWRGD の誤作動や、OVP と OCP イベント発生といった問題を引き起こします。図 41 に、ダイナミック電圧スケーリング機能を示します。

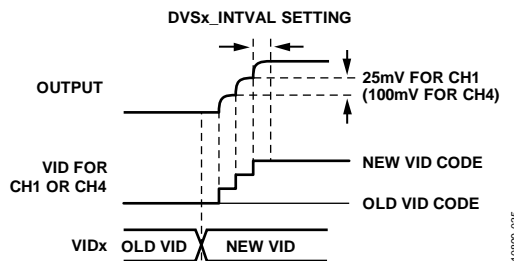


図 41. ダイナミック電圧スケーリング

DVS によって電圧遷移が起きている間、レギュレータは強制的に PWM モードになり、さらに、OVP ラッチオフ、SCP ラッチオフ、瞬断による短絡保護は動作しません。

## 内部レギュレータ（VREG と VDD）

ADP5050 内部にある VREG レギュレータは、MOSFET ドライバ用バイアス電圧源として、MOSFET に安定な 5.1V を供給します。ADP5050 内部にある VDD レギュレータは、内部コントロール回路用電源として、安定安定な 3.3V を供給します。VREG とグラウンド間には 1.0μF のセラミック・コンデンサを接続してください。VDD とグラウンド間にも、VREG とは別の 1.0μF のセラミック・コンデンサを接続してください。PVIN1 に電圧がかかっている限り、内部の VREG と VDD レギュレータは動作しています。

内部の VREG レギュレータは、常に 5.1V の電圧で動作し、95mA の電流供給能力があるので、MOSFET を駆動する電流と、小さなシステムに必要な電流を賄うことができます。VREG レギュレータには、電流制限回路が含まれており、このデバイスに過負荷がかかったときに、VREG レギュレータ回路を保護します。

VDD レギュレータは、内部回路用であり、VREG と同じような目的に使うことは推奨されません。

## 異なる電源電圧入力に対応

ADP5050 の 4 つの降圧スイッチング・レギュレータは、異なる電源電圧入力に対応できます。これは、4 つの降圧スイッチング・レギュレータの各々の入力端子に、異なった電圧源を接続できることを意味します。

PVIN1 ピンは、内部レギュレータと制御回路へ電圧を供給する電圧源になっています。従って、それぞれの降圧スイッチング・レギュレータに異なった電圧を与えることを考えているならば、PVIN1 ピンに与える電圧は、他のチャンネルが動作する前に、UVLO スレッシュホールドを超えるようにしなければなりません。

高精度イネーブルを使うと、PVIN1 ピンの電圧を監視し、PVIN1 電圧が十分高くなって、他のレギュレータ出力が制御可能になるまで、それらのレギュレータの動作開始を遅らせることができます。詳細については、高精度イネーブルセクションを参照してください。

ADP5050 は、4 つの降圧スイッチング・レギュレータの直列接続による電圧供給にも対応しています。図 42 に示すように、PVIN2、PVIN3、そして PVIN4 には、チャンネル 1 の出力電圧を接続することができます。この構成では、チャンネル 1 の出力電圧は、PVIN2、PVIN3、そして PVIN4 の UVLO スレッシュホールドよりも高い電圧であることが必要です。

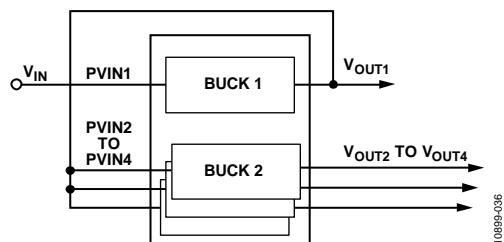


図 42. 直列接続による電力供給アプリケーション

## ローサイド・デバイスの選択

チャンネル1とチャンネル2の降圧スイッチング・レギュレータは、4Aのハイサイド・パワーMOSFETとローサイドMOSFET用のドライバ回路を内蔵しています。ADP5050に使用するNチャンネルMOSFETは、同期整流スイッチング・レギュレータとして動作可能なものを選択する必要があります。一般的には、低 $R_{DS(on)}$ のNチャンネルMOSFETを使うことで高効率を達成することができます。また、PCB上の専有面積を節約するために、チャンネル1とチャンネル2用の2つのMOSFETが1つのパッケージに入っているものを推奨します。詳細については、「ローサイド・パワー・デバイスの選択」セクションを参照してください。

## ブートストラップ回路

ADP5050内部の各降圧スイッチング・レギュレータには、ブートストラップ回路が内蔵されています。ブートストラップ回路は、0.1μFのセラミック・コンデンサ（X5RもしくはX7R）が必要で、ハイサイドMOSFET用のゲート駆動電圧を供給するために、BSTxピンとSWxピンの間に接続してください。

## アクティブ出力放電用ディスチャージ・スイッチ

ADP5050内の降圧スイッチング・レギュレータは、スイッチング・ノードとグラウンド間に、放電用ディスチャージ・スイッチを内蔵しています。チャンネルをディスエーブルにすると、そのチャンネルに内蔵されているスイッチをオンにします。これによって、出力コンデンサに貯まっている電荷を素早くの放電できます。チャンネル1からチャンネル4に内蔵されている、放電用ディスチャージ・スイッチのオン抵抗の代表値は250Ωです。

各チャンネルの放電用ディスチャージ・スイッチ機能は、工場でのヒューズ調整もしくは、I<sup>2</sup>Cインターフェース（レジスタ6、OPT\_CFG）を使って、イネーブルまたはディスエーブルできます。

## 高精度イネーブル

ADP5050は、LDOレギュレータを含む、各レギュレータのイネーブル制御ピンを持っています。イネーブル制御（ENx）ピンは、基準電圧0.8Vの高精度イネーブル回路と接続されています。ENxピンの電圧が0.8V以上になると、レギュレータがイネーブルになります。ENxピンの電圧が0.725Vを下回ると、レギュレータはディスエーブルになります。ENxピンが開放状態でエラーが起ること防ぐために、内部には1MΩプルダウン抵抗が取り付けられています。

高精度イネーブルのスレッシュホールド電圧を使えば、1つのデバイスにおける各チャンネル出力のシーケンシングが可能になるだけでなく、複数のADP5050のチャンネル間、もしくは他の電源デバイスの電源投入シーケンスも可能になります。ENxピンは、抵抗分圧回路を使って、プログラム可能な、UVLO入力としても使うことができます（図43参照）。詳細については、「UVLO入力のプログラミング」セクションを参照してください。

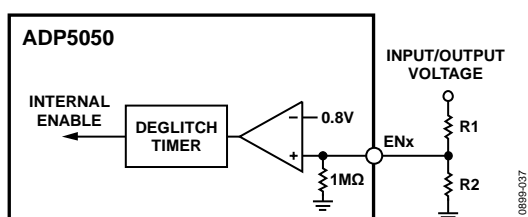


図 43.1 チャンネルに対する高精度イネーブル用回路図

ENxピンに加えて、I<sup>2</sup>Cインターフェース（レジスタ1、PCTRL）を使ってチャンネル毎に、この機能のイネーブル・ディスエーブルができます。チャンネルのオン・オフは、I<sup>2</sup>Cインターフェースによる、そのチャンネルのイネーブル・ビット（CHx\_ON）と、ハードウェアのイネーブル・ピンとの論理積で制御されます。

I<sup>2</sup>Cインターフェースによる、チャンネルのイネーブル・ビット（CHx\_ON）のデフォルト値は1で、それは、そのチャンネルのイネーブルは、デバイスのイネーブル（ENx）ピンによってのみ、制御されることを意味します。デバイスのENxピンをロー・レベルにすると、チャンネルがリセットされ、対応するチャンネルのCHx\_ONビットは強制的にデフォルト値である、「1」になります。これは、デバイスのENxピンが再びハイ・レベルにして、チャンネルの再起動を可能とするためです。

## 発振器

ADP5050のスイッチング周波数（f<sub>sw</sub>）は、RTピンとグラウンド間に取り付ける抵抗の値によって、250 kHzから1.4 MHzまで設定できます。RTに接続する抵抗値は以下の式を使って計算できます。

$$R_{RT} \text{ (k}\Omega\text{)} = [14,822/f_{sw} \text{ (kHz)}]^{1.081}$$

図44は、スイッチング周波数（f<sub>sw</sub>）とRTピンに接続する抵抗値との代表的な関係を示しています。スイッチング周波数が可変できるので、効率を重視するか、それとも回路専有面積を重視するかを選択し調整できます。

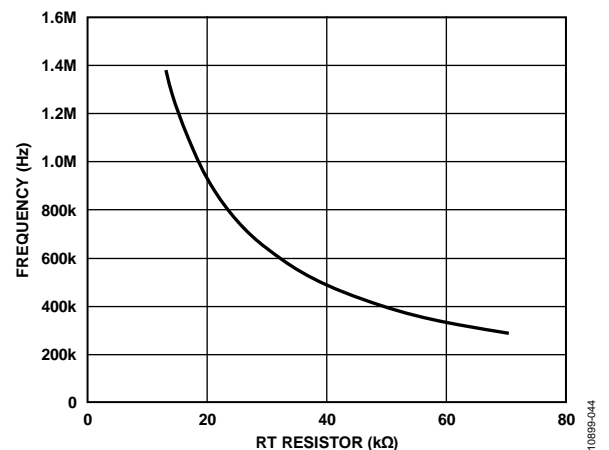


図 44. RTピンの抵抗 対 スwitchング周波数

チャンネル1とチャンネル3に関しては、RTピンを使って決めたマスター・スイッチング周波数の半分の周波数を持つ信号を与える事もできます。これは、レジスタ8のビット7（チャンネル3）と、ビット6（チャンネル1）で設定できます。但し、マスター・スイッチング周波数が250kHz以下の場合、チャンネル1とチャンネル3へ半分の周波数を供給することは、推奨されません。

## 位相シフト

デフォルトで、チャンネル 1 とチャンネル 2、及びチャンネル 3 とチャンネル 4 は、180°位相シフトしています（詳細は、図 45 を参照）。この様な位相差を持たせることで、位相差を伴ったスイッチング動作をさせ、入力リップル電流とグラウンドノイズを減らせるため、EMI ノイズ対策やビートノイズ対策などに効果があります。

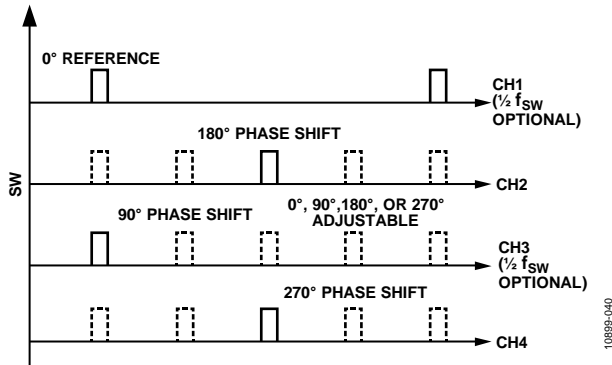


図 45. 4 つの降圧スイッチング・レギュレータにおける位相シフト

レジスタ 8 の SW\_CFG ビットを使って、チャンネル 2 からチャンネル 4 の位相シフトを、チャンネル 1 を基準として 0°、90°、180°もしくは 270°に設定できます（図 46 参照）。チャンネル 1 とチャンネル 2 とを並列動作させている時、チャンネル 2 のスイッチング周波数は、チャンネル 1 を基準として 180°の位相シフトで固定されます。

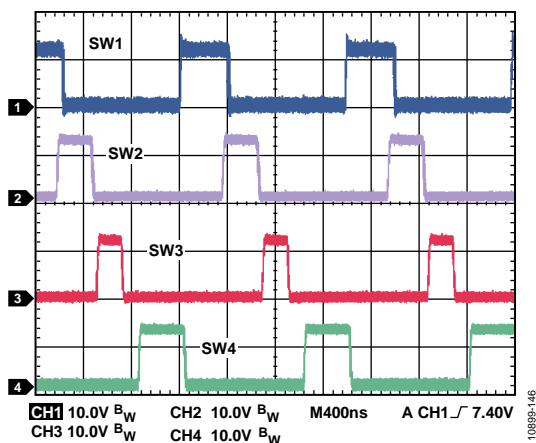


図 46. I<sup>2</sup>C インターフェースを使って、4 つの降圧スイッチング・レギュレータを 90°の位相シフトで動作させた時の波形

## 同期入力/出力

ADP5050 のスイッチング周波数は、250kHz から 1.4MHz までの範囲で、外部クロックと同期させることができます。ADP5050 は、外部クロックが SYNC/MODE ピンに与えられているかどうかを自動的に検知し、内部スイッチング・クロック周波数から外部クロックの周波数へ、なめらかに切り替えることができます。外部クロック信号が停止した時、デバイスは内部クロックでの動作に切り替わり、そのまま動作し続けます。

RT ピンで設定される内部クロック信号の周波数は、外部クロックとの同期動作を成功させるため、外部クロック信号の周波数に近い値に設定しなければなりません。代表的なアプリケーションでは、2 つの信号における周波数の差異は、±15% 以下にすることを推奨します。

SYNC/MODE ピンは、工場でのヒューズ調整、または、I<sup>2</sup>C インターフェース（レジスタ 10、HICCUP\_CFG ビット）を介して、同期クロック出力として構成することもできます。

SYNC/MODE ピンからは、RT ピンに接続される抵抗によって決まる内部スイッチング周波数と等しく、かつ 50% のデューティ比を持つクロック・パルスが出力されます。この信号は、チャンネル 1 のスイッチング・ノードで発生する同期クロックから、ある時間（スイッチング周期  $t_{sw}$  の約 15%）遅れて出力されます。

図 47 に 2 つの ADP5050 を周波数同期モードで使う場合の構成を示します。1 つの ADP5050 は、もう 1 つの ADP5050 へのクロック出力源として構成されます。このとき、100kΩ のプル・アップ抵抗を使うことをお勧めします。これは SYNC/MODE ピンが開放状態になったときのエラーを防ぐためです。

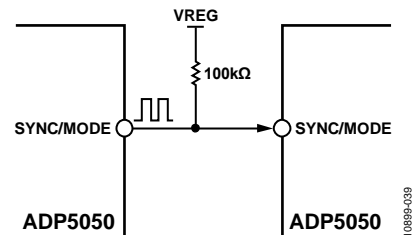


図 47. 2 つの ADP5050 を同期モードで動作させる時の構成

図 47 に示した構成では、第 1 の ADP5050 のチャンネル 1 と、第 2 の ADP5050 のチャンネル 1 との位相差は 0°です（図 48 参照）。

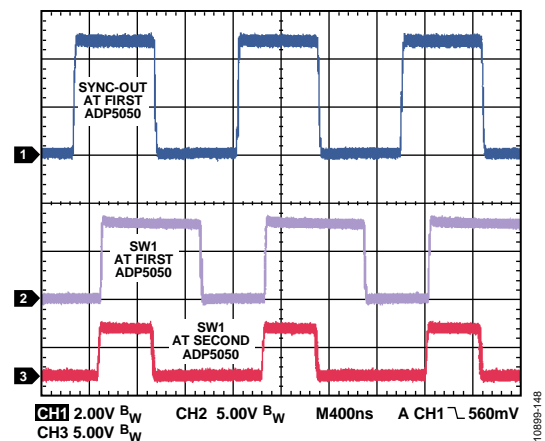


図 48. 2 つの ADP5050 を同期モードで動作させたときの波形

## ソフト・スタート

ADP5050 の降圧スイッチング・レギュレータは、ソフト・スタート回路を搭載しています。この回路によってスタートアップ時、出力電圧の上昇を制御することができ、それによって突入電流を制限します。SS12 ピンと SS34 ピンを直接 VREG に接続すると、各レギュレータのソフト・スタート時間は、おおよそ 2ms に固定されます。

ソフト・スタート時間の値を、2ms、4ms もしくは 8ms に設定したい場合、VREG ピンとグラウンド間に抵抗分圧回路を設け、その電圧を、SS12 ピンもしくは SS34 ピンに与えて下さい（図 49 参照）。この構成は、特定のスタートアップ・シーケンスに対応する事が求められるアプリケーション、または大きな出力コンデンサを使ったアプリケーションにおいて必要になるかもしれません。

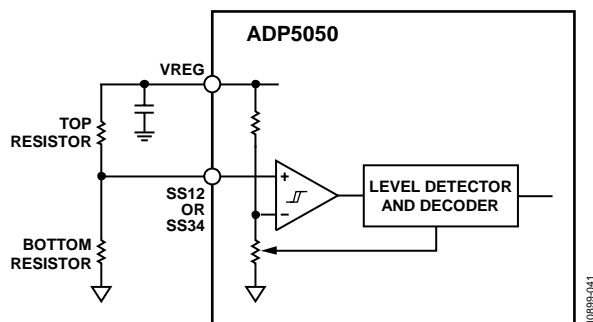


図 49. ソフト・スタート用レベル検出回路

SS12 ピンは、チャンネル 1 とチャンネル 2 のソフト・スタート時間をプログラムできますが、抵抗値の選び方によっては、チャンネル 1 とチャンネル 2 の並列動作をさせることもできます。SS34 ピンは、チャンネル 3 とチャンネル 4 のソフト・スタート時間をプログラムできます。表 11 に、ソフト・スタート時間を設定するために必要な抵抗値の一覧を示します。

表 11. SS12 と SS34 Pin によって設定される、ソフト・スタート時間

R <sub>TOP</sub> (kΩ)	R <sub>BOT</sub> (kΩ)	ソフト・スタート時間		ソフト・スタート時間	
		チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
0	N/A	2 ms	2 ms	2 ms	2 ms
100	600	2 ms	並列動作	2 ms	4 ms
200	500	2 ms	8 ms	2 ms	8 ms
300	400	4 ms	2 ms	4 ms	2 ms
400	300	4 ms	4 ms	4 ms	4 ms
500	200	8 ms	2 ms	4 ms	8 ms
600	100	8 ms	並列動作	8 ms	2 ms
N/A	0	8 ms	8 ms	8 ms	8 ms

## 並列動作

ADP5050 は、チャンネル 1 とチャンネル 2 とを 2 フェーズで並列動作させ、最大 8A の電流が供給できる単一電源にすることができます。チャンネル 1 とチャンネル 2 とを並列動作させ、単一電源として構成するには、次の手順を行って下さい（図 50 参照）：

- 表 11 に示してあるように、SS12 ピンを使って並列動作可能な設定にします。
- COMP2 ピンはオープンのままにしておきます。
- FB1 ピンを使って出力電圧を決めます。
- FB2 ピンをグラウンドに接続します。つまり FB2 は無視されます。
- EN2 ピンをグラウンドに接続します。つまり EN2 は無視されます。

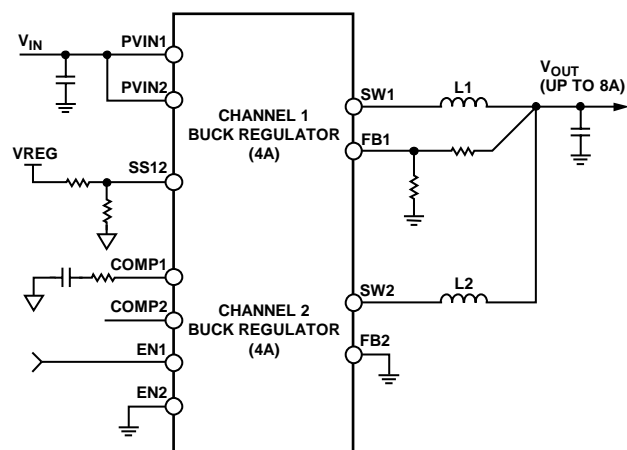


図 50. チャンネル 1 とチャンネル 2 を使った並列動作

チャンネル 1 とチャンネル 2 とを並列動作させる様に構成する場合、それぞれのチャンネルの設定は以下の様にして下さい。

- チャンネル 1 とチャンネル 2 との入力電圧と電流制限設定は、同じ値にして下さい。
- 両方のチャンネルとも、強制 PWM モードで動作させて下さい。

並列動作時、チャンネル 2 の設定に関連するレジスタ内のビットは使う事ができません。これらは、レジスタ 1 の CH2\_ON ビット、レジスタ 3 の VID2 ビット、レジスタ 7 の OVP2\_ON ビットと SCP2\_ON ビット、レジスタ 8 の PHASE2 ビット、そしてレジスタ 13 の PWRG2 ビットです。

並列動作時の各チャンネルの電流バランスは、内部の制御ループによって自動調整されます。図 51 に、並列動作時の各チャンネルの代表的な電流バランスのマッチング特性を示します。

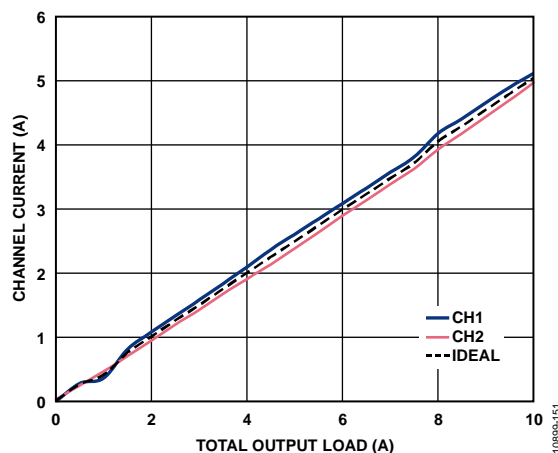


図 51. 並列動作構成時の電流バランス特性  $V_{IN} = 12\text{ V}$ ,  $V_{OUT} = 1.2\text{ V}$ ,  $f_{SW} = 600\text{ kHz}$ ,  $FPWM$  モード

## 出力に残存電圧があった場合のスタートアップ

ADP5050 の降圧スイッチング・レギュレータは、スタートアップ時にローサイド FET の破損を防ぐ為、充電された出力に対する、安全なスタートアップ機能を備えています。レギュレータがオンになる前に、出力端子のコンデンサに電荷が残っていた場合、レギュレータは、逆向きの電流がインダクタに流れるのを防ぎます。逆電流を防ぐ期間は、ソフト・スタート用に設定された内部基準電圧が、残存電圧によって生じているフィードバック (FBx) ピンの電圧を超えるまでです。



## 電流制限保護機能

ADP5050 の降圧スイッチング・レギュレータ、ハイサイド MOSFET に流れる正電流の総量を制限する、電流制限保護機能を備えています。パワー・スイッチのピーク電流制限機能が、入力から出力へと流れる電流の総量を制限します。プログラマブルな電流制限スレッシュホールド設定機能を有しているので、小型インダクタを使った小電力アプリケーションにも対応できます。

チャンネル 1 用の電流制限スレッシュホールドを決めるには、DL1 ピンとグラウンド間に抵抗を接続して下さい。チャンネル 2 用の電流制限スレッシュホールドを決めるには、DL2 ピンとグラウンド間に、先ほどとは別の抵抗を接続して下さい。表 12 にチャンネル 1 とチャンネル 2 用の、電流制限スレッシュホールドを設定する為の抵抗値一覧を示します。

表 12. チャンネル 1 とチャンネル 2 の  
ピーク電流制限スレッシュホールド設定

R <sub>ILIM1</sub> または R <sub>ILIM2</sub>	代表的なピーク電流制限スレッシュホールド
フローティング	4.4 A
47 kΩ	2.63 A
22 kΩ	6.44 A

ADP5050 の降圧スイッチング・レギュレータは、負電流制限保護回路も備えており、ローサイド MOSFET に流れる負電流を、ある電流値で制限します。

## 周波数フォールドバック

ADP5050 の降圧スイッチング・レギュレータは、出力が短絡したとき、出力電流が制御不能にならないように周波数フォールドバック機能を備えています。周波数フォールドバック機能は、以下の様にして実現されています：

FBx ピンの端子電圧が、設定した電圧の半分の値まで下降した場合、スイッチング周波数が半分にになります。

FBx ピンの端子電圧が、設定した電圧の 4 分の 1 まで下降した場合、出力電流が半分にになるようにスイッチング周波数を下げます。この時、スイッチング周波数  $f_{sw}$  は 4 分の 1 になります。

スイッチング周波数を下げることで、インダクタに流れる電流を下げるための時間が長くなり、同時にピーク電流レギュレーションを行っている間の電流リップルが大きくなります。この結果、平均電流を下げることができ、出力電流が制御不能になることを防ぎます。

## 最大デューティ・サイクル下のパルス・スキップ・モード

最大デューティ・サイクル下では、周波数フォールバック機能によってレギュレーション状態を保ちます。例えば入力電圧が低下して、最大デューティ・サイクル状態に到達した場合、PWM 変調器は PWM パルスを 1 つずつ飛ばしてゆきます。その結果、周波数フォールドバックのスイッチング周波数は半分にになります。さらにデューティ・サイクルが大きくなると、PWM 変調器は、PWM パルスを 2 つおきに飛ばして行きます。その結果、周波数フォールドバックのスイッチング周波数は 3 分の 1 になります。周波数フォールバックは、有効最大デューティ・サイクルを大きくできます。それにより入力電圧と出力電圧とのドロップアウト電圧を下げるができます。

## 瞬断による過負荷保護

ADP5050 の降圧スイッチング・レギュレータは、過電流保護（OCP）のため、瞬断モードを備えています。インダクタに流れる電流が、電流制限スレッシュホールドに到達すると、ハイサイド MOSFET はオフになり、ローサイド MOSFET は、次のスイッチングサイクルまでオフになります。

瞬断モードが動作状態で上記の現象が発生すると、過電流フォールト・カウンタの値が 1 つ増加します。もし過電流フォールト・カウンタの値が 15 かそれ以上になると、出力短絡状態であると見なされ、ハイサイドとローサイドの MOSFET の両方がオフになります。降圧スイッチング・レギュレータは、ソフト・スタートサイクルの 7 周期分に相当する期間、瞬断モードを維持します。その後ソフト・スタートを行ってリセットを試みます。出力短絡フォールト・カウンタがクリアされると、レギュレータが通常動作に復帰しますが、復帰出来ない場合、ソフト・スタート後も再度瞬断モードになります。

重い負荷が接続された状態では、最初のソフト・スタート期間のみ、瞬断による過負荷保護機能は動作せず、降圧スイッチング・レギュレータが起動できるようにします。重い負荷が接続された状態で瞬断モードから降圧スイッチング・レギュレータを確実に復帰させるには、細心の回路設計と適切な部品選択が必要であることに注意して下さい。レジスタ 10 の HICCUPx\_OFF ビットで、各降圧スイッチング・レギュレータの瞬断モードをディスエーブルできます。瞬断モードがディスエーブルであっても、周波数フォールドバック機能が過電流保護として機能します。

## ラッチオフによる保護

ADP5050 の降圧スイッチング・レギュレータは、深刻な問題、例えば出力短絡や過電圧状態からデバイスを保護するため、オプションでラッチオフ・モードを持たせることができます。ラッチオフ・モードは、I<sup>2</sup>C インターフェース経由、もしくは工場でのヒューズ調整でイネーブルにできます。

## 短絡ラッチオフ・モード

短絡ラッチオフ・モードは、工場でのヒューズ調整、またはレジスタ 7 (LCH\_CFG) の、SCPx\_ON ビットに 1 を書き込むことでイネーブルできます。短絡ラッチオフ・モードがイネーブルであれば、ソフト・スタート後、保護回路が過剰な電流を検知した時、降圧スイッチング・レギュレータは瞬断モードに入ってリスタートを試みます。7 周期後のリスタートを試みた後も、レギュレータのフォールト状態が続いていた場合、レギュレータはシャットダウンします。このシャットダウン（ラッチオフ）状態は、チャンネルが再びイネーブルになるか、チャンネルの電力供給が再開される事によってのみ、解除されます。図 52 に、短絡保護用ラッチオフ検知機能を示します。

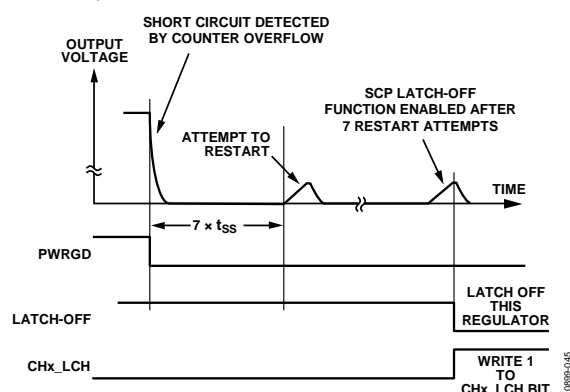


図 52. 短絡ラッチオフ検出



短絡ラッチオフの状態は、レジスタ 12 (LCH\_STATUS) 内のビットで読み取れます。障害が持続しないと判断された場合に、このステータス・ビットをクリアするには、該当ビットに「1」を書き込みます。該当ビットに「1」が書き込まれるか、デバイスが内部の VDD パワーオン・リセット信号によってリセットされるまで、このビットの状態は固定されます。出力短絡（保護用）ラッチオフ・モードは、瞬断モードがディスプレイでは動作しません。

### 過電圧ラッチオフ・モード

過電圧ラッチオフ・モードは、工場でのヒューズ調整、またはレジスタ 7 (LCH\_CFG) の、OVPx\_ON ビットに「1」を書き込むことでイネーブルできます。過電圧ラッチオフ・モードの動作スレッシュホールドは、公称出力電圧の 124% に設定されます。出力電圧がこのスレッシュホールド電圧を超えると、保護回路が過電圧状態を検知し、レギュレータをシャットダウンさせます。このシャットダウン（ラッチオフ）状態は、チャンネルが再びイネーブルになるか、チャンネルの電力供給が再開される事によってのみ、解除されます。

図 53 に過電圧ラッチオフ検出機能を示します。

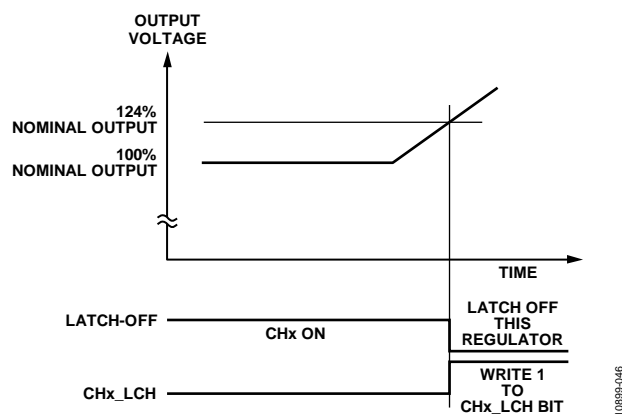


図 53. 過電圧ラッチオフ検出

過電圧ラッチオフの状態は、レジスタ 12 (LCH\_STATUS) 内のビットで読み取れます。障害が持続しないと判断された場合に、このステータス・ビットをクリアするには、該当ビットに「1」を書き込みます。該当ビットに「1」が書き込まれるか、デバイスが内部の VDD パワーオン・リセット信号によってリセットされるまで、このビットの状態は固定されます。

### 低電圧ロックアウト (UVLO)

低電圧ロックアウト回路は、ADP5050 内の各降圧スイッチング・レギュレータへの入力電圧を監視します。いずれかの入力端子 (PVIN1x) の電圧が 3.78V（代表値）を下回った場合、該当するチャンネルはオフ状態になります。入力電圧が 4.2V（代表値）にまで上昇すると、ソフト・スタート周期が起動し、ENx ビンがハイになった時に該当チャンネルがイネーブルになります。

チャンネル 1 (PVIN1) の UVLO 状態は、他のチャンネルの状態に比べて優先度が高く、他のチャンネルが動作する前に、PVIN1 に電圧を与えなければいけないことに注意して下さい。

### パワー・グッド出力機能

ADP5050 は、オープンドレインのパワーグッド出力 (PWRGD ピン) を備えており、選択された降圧スイッチング・レギュレータが正常動作している時に、アクティブ・ハイとなります。デフォルトで PWRGD ピンは、チャンネル 1 の出力電圧を監視しています。他のチャンネルに対しての、PWRGD ピンによる監視機能に関しては、ADP5050 の注文時に構成できます（詳細は表 57 参照）。

各チャンネルのパワーグッド状態は、I<sup>2</sup>C インターフェースを介して、レジスタ 13 (STATUS\_RD) の PWRGx ビットで読み出すことができます。該当するチャンネルの公称出力電圧の 90.5%（代表値）以上であれば、PWRGx ビットは 1 になっています。降圧スイッチング・レギュレータの出力電圧が、公称電圧の 87.2%（代表値）を下回り、その状態がおおよそ 50μs 以上続いた場合、PWRGx ビットは「0」になります。

PWRGD ピンの出力は、マスクされていない内部の PWRGDx 信号の論理積です。PWRGD ピンがハイ・レベルになる前に、内部の PWRGDx 信号は 1ms の検証時間を必要としますが、1 つでも PWRGDx 信号がロー・レベルになれば、PWRGD ピンの出力は遅滞なくロー・レベルになります。チャンネル 1 からチャンネル 4 のうち、どのチャンネルの組み合わせによって PWRGD ピンを制御するのかは、工場でのヒューズ調整によって設定するか、I<sup>2</sup>C インターフェース経由で、レジスタ 11 (PWRGD\_MASK) 内の適切なビットを設定することでも構成できます。

### 割り込み機能

ADP5050 は、障害状態を通知するための割り込み出力 (INT ピン) を備えています。通常動作時は、INT ピンはハイ・レベルになっています（外部にプル・アップ抵抗が必要な事に注意して下さい）。障害発生時、ADP5050 が、INT ピンをロー・レベルにして、障害が起こった事を I<sup>2</sup>C ホスト・プロセッサに知らせます。

6 つの割り込み発生源があり、それらが INT ピンをトリガーします。デフォルトでは、どの割り込み発生源も設定されていません。1 つもしくはそれ以上の割り込み発生源を選択して、INT ピンをトリガーするためには、レジスタ 15

(INT\_MASK) 内の適切なビットを設定します（詳細は表 49 を参照）。

INT ピンがトリガーされると、レジスタ 14 のビット [5:0] のどれかが「1」に設定されます。INT ピンをトリガーした障害源は、レジスタ 14 (INT\_STATUS) のを読み出すことで特定できます（詳細は表 13 を参照）。

表 13. デバイス割り込みが発生する障害状態 (レジスタ 14)

割り込み	説明
TEMP_INT	ジャンクション温度が、レジスタ 9 で設定された閾値を超えた。
LVIN_INT	PVIN1 電圧が、レジスタ 9 で設定された閾値を超えた。
PWRG4_INT	チャンネル 4 のパワーグッド障害を検知した。
PWRG3_INT	チャンネル 3 のパワーグッド障害を検知した。
PWRG2_INT	チャンネル 2 のパワーグッド障害を検知した。
PWRG1_INT	チャンネル 1 のパワーグッド障害を検知した。

割り込みをクリアするには、レジスタ 14 (INT\_STATUS) の該当ビットに「1」を書き込み、全ての ENx ビンをロー・レベルにして下さい。もしくは、内部 VDD パワーオン・リセット信号を使って、デバイスをリセットして下さい。割り込み状態を読むだけ、あるいは「0」を書き込んでも割り込みはクリアされません。

## サーマル・シャットダウン

もし ADP5050 のジャンクション温度が、150°Cを超えた場合、サーマル・シャットダウン回路が、内部のリニア・レギュレータ以外の機能全てをオフにします。大電流動作や、不適切な回路基板設計、もしくは高い周囲温度によって、極端な接合温度の上昇を引き起こします。15°Cの温度ヒステリシスを持っているので、ADP5050 は、オンチップ温度が 135 °C 下にならないと、通常動作に復帰しません。サーマル・シャットダウンからデバイスが復帰すると、イネーブルになっている各チャンネルのソフト・スタートが起動します。

サーマル・シャットダウンの状態は I<sup>2</sup>C インターフェース経由で読み出すことができます (レジスタ 12、LCH\_STATUS)。サーマル・シャットダウンを検知すると、TSD\_LCH ビット (ビット 4) が「1」に設定されます。ただし、障害が持続しないと判断された場合に限り、該当ビットに「1」が書き込まれてこのビットはクリアされます。該当ビットに「1」が書き込まれるか、デバイスが内部の VDD パワーオン・リセット信号によってリセットされるまで、このビットの状態は固定されます。

## 過熱検知

サーマル・シャットダウンによる保護に加えて、ADP5050 は過熱検知機能を備えています。これは、以下に列挙する温度とジャンクション温度とを比較する機能です。その温度は、105°C、115°C、125°Cです。過熱検知機能のスレッシュホールド設定は、レジスタ 9、TH\_CFG で行います。サーマル・シャットダウンと違って、過熱検知機能は警告信号を発するだけで、デバイスをシャットダウンしません。ジャンクション温度が過熱検知スレッシュホールドを超えた場合、レジスタ 14 の TEMP\_INT ビットに 1 に設定されます。該当ビットに「1」が書き込まれるか、全ての ENx ピンがロー・レベルになるか、もしくはデバイスが内部の VDD パワーオン・リセット信号によってリセットされるまで、このビットの状態は固定されます。

過熱検知機能を使って、ホスト・プロセッサに警告信号を送ることもできます。ホスト・プロセッサが過熱警告信号を検知すると、プロセッサは、サーマル・シャットダウンが発生する可能性を考慮した適切な措置がとれるよう、準備をすることができます。

図 54 に、過熱警告機能の動作を示します。

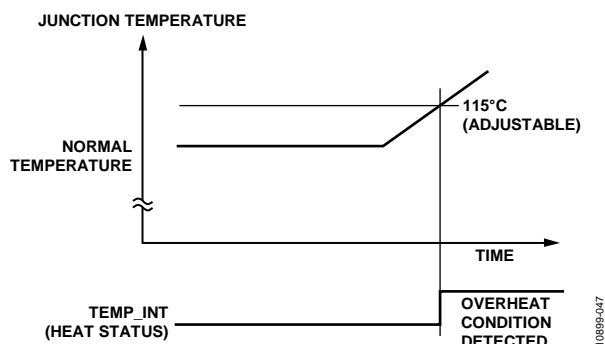


図 54. 過熱警告機能

## 入力電圧の低下検知

低電圧ロックアウト (UVLO) に加えて、ADP5050 は、PVIN1 を監視するため、入力電圧低下検知回路を内蔵しています。この回路は、予め決めた電圧スレッシュホールドと入力電圧とを比較します。電圧スレッシュホールドは、4.2V から 11.2V まで 0.5V ステップで設定でき、その設定には、レジスタ 9、TH\_CFG を使います。UVLO シャットダウンと違って、入力電圧低下検知機能は、警告信号を発するだけで、デバイスをシャットダウンしません。PVIN1 への入力電圧がスレッシュホールド電圧を下回ったとき、レジスタ 14 の LVIN\_INT ビットが「1」に設定されます。該当ビットに「1」が書き込まれるか、全ての ENx ピンがロー・レベルになるか、もしくはデバイスが内部の VDD パワーオン・リセット信号によってリセットされるまで、このビットの状態は固定されます。

入力電圧低下検知機能を使って、ホスト・プロセッサに警告信号を送ることもできます。ホスト・プロセッサが入力電圧低下検知信号を検知すると、プロセッサは、UVLO によるシャットダウンが発生する可能性を考慮した適切な措置がとれるよう、準備をすることができます。

図 55 に、入力電圧低下検知機能を示します

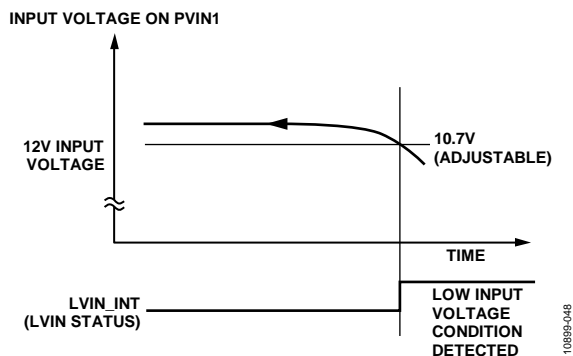


図 55. 入力電圧低下検知機能 ( $V_{IN} = 12V$ )

## LDO レギュレータ

ADP5050 には、低静止電流と低ドロップ・アウト電流を備えた汎用 LDO レギュレータが内蔵されています。この LDO レギュレータは、最大で 200mA の電流容量があります。

LDO レギュレータは、1.7V から 5.5V の入力電圧で動作します。入力電圧範囲が広いので、このデバイス内の降圧スイッチング・レギュレータのうち 1 つから電圧を供給し、カスケード構成で動作させることができます。LDO の出力電圧は、外部の抵抗分圧回路によって設定できます (図 56 参照)。

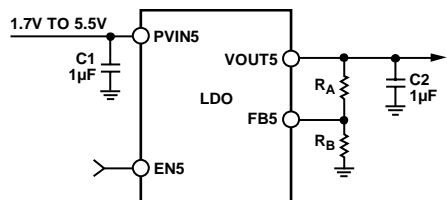


図 56. 200mA の LDO レギュレータ

この LDO レギュレータは、優れた電源電圧変動除去比 (PSRR) を持っているので、入力と出力に小型 1μF のセラミック・コンデンサを取り付けるだけで、ラインと負荷の変動があっても、優れた過渡応答特性を示します。

## I<sup>2</sup>C インターフェース

ADP5050 は、I<sup>2</sup>C 互換のシリアル・インターフェースを内蔵しており、そのインターフェースを使って電力管理ブロックの制御、およびシステム状態のリードバックができます（詳細は図 57 を参照）。I<sup>2</sup>C インターフェースのクロック周波数は、最大 400 kHz です。

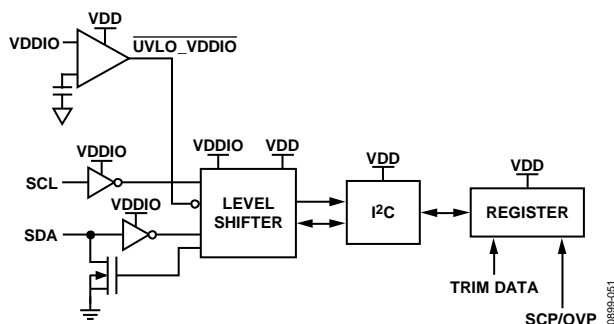


図 57 I<sup>2</sup>C インターフェースのブロック図

ADP5050 は、「ジェネラル・コール」には応答しないことに注意して下さい。ADP5050 は、複数のマスターにも対応できます。しかし、このデバイスが読み出しモードにあるとき、データ転送が終了するまで、1 つのマスターからのアクセスしか受け入れません。

I<sup>2</sup>C シリアル・インターフェースは、ADP5050 の内部レジスタにアクセスすることで使えるようになります。ADP5050 が内蔵しているレジスタに関する全ての情報は、「レジスタ・マップ」セクションに記載があります。

### SDA と SCL ピン

ADP5050 は、I<sup>2</sup>C インターフェース専用のピンを持っています。それらは、SDA と SCL です。SDA はオープンドレインで、データの送受信に使います。SCL は、クロック信号を受け取る入力ラインとして使われます。これらのピンは、外部抵抗を用いて VDDIO 電源にプル・アップして下さい。

シリアル出力データは、SCLK の立ち上がりエッジで転送されます。読み出しモードでは、読み出しデータは SDA ピンから出力されます。

## I<sup>2</sup>C アドレス

ADP5050 のデフォルト 7-bit I<sup>2</sup>C チップ・アドレスは 0x48（バイナリでは 1001000）です。オプションの A0 ピンを使って、異なる I<sup>2</sup>C アドレスを設定することができます。この A0 ピンの機能は、ピン 20 が持つパワーグッド機能を置き換えて実現します。（ピン 20 を、A0 ピンとして機能する ADP5050 モデルを入手するには、お近くのアナログ・デバイセズの営業担当者、もしくは販売代理店にご相談下さい。）

A0 ピンを使うと、2 つの ADP5050 デバイスを、同じ I<sup>2</sup>C 通信バス上に置くことができます。図 58 に、A0 ピンを使って、2 つの ADP5050 デバイスを、異なる I<sup>2</sup>C アドレスで動作させる例を示します。

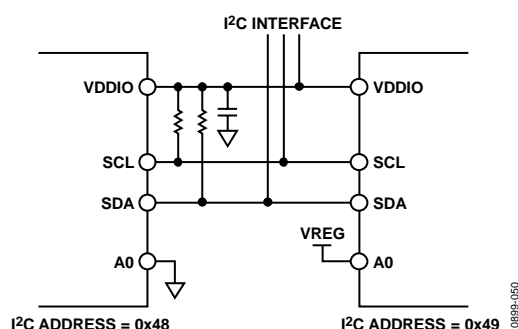


図 58 2 つの ADP5050 デバイスを、異なる I<sup>2</sup>C アドレスで動作させる

（ピン 20 の PWRGD 機能は、A0 機能に置き換えられている）

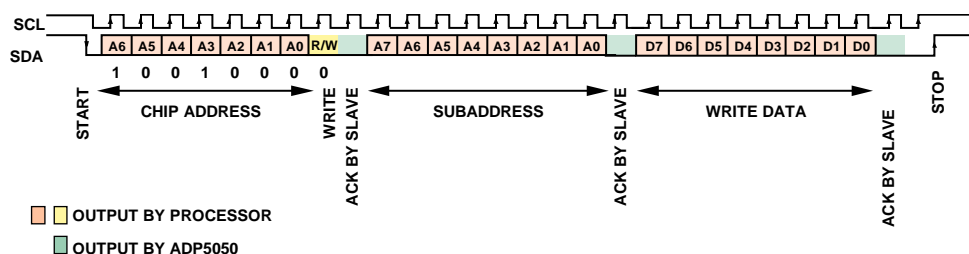
## セルフクリア・レジスタ・ビット

レジスタ 12 とレジスタ 14 は、ステータス・レジスタであり、セルフクリア・レジスタ・ビットを持っています。これらのステータス・ビットに「1」を書き込むと、その状態が自動的にクリアされます。従って、ステータス・ビットをクリアするために、「0」を書き込む必要はありません。

I<sup>2</sup>C インターフェースのタイミング図

図 59 に、I<sup>2</sup>C 書き込み時のタイミング図を示します。図 60 に、I<sup>2</sup>C 読み込み時のタイミング図を示します。

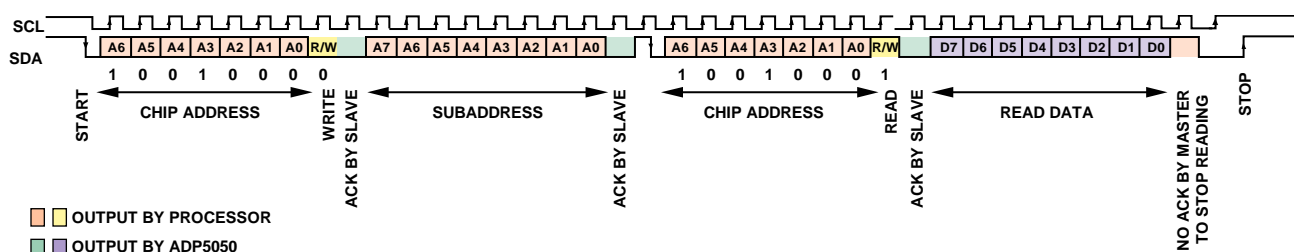
ADP5050 内部のユーザー・レジスタの 1 つを選択するために、サブアドレスが使われます。ADP5050 は、サブアドレスで設定されたレジスタに対して、データの送受信を行います。



## NOTES

1. MAXIMUM SCL FREQUENCY IS 400kHz.
2. NO RESPONSE TO GENERAL CALLS.

図 59. レジスタへの I<sup>2</sup>C を使った書き込み



## NOTES

1. MAXIMUM SCL FREQUENCY IS 400kHz.
2. NO RESPONSE TO GENERAL CALLS.

図 60. レジスタへの I<sup>2</sup>C を使った読み出し

## アプリケーション情報

### ADIsimPower デザイン・ツール

ADP5050 は、ADIsimPower™ デザイン・ツール・セットでの設計サポートに対応しています。ADIsimPower は、電源回路設計を行うためのツールを集めたソフトウェアで、設計目標に対して最適化された回路設計ができます。このソフトウェア・ツールを使えば、必要な回路図と部品表の作成ができ、その回路特性を瞬時に計算できます。ADIsimPower を使えば、IC の動作条件と外部部品の制約を考慮しながら、コスト、プリント基板上での専有面積と部品数を最適化できます。

ADIsimPower は、[www.analog.com/ADIsimPower](http://www.analog.com/ADIsimPower) から入手できます。このツール経由で、部品未実装ボードのリクエストができます。

### 可変出力電圧のプログラミング

ADP5050 の出力電圧の設定は、その出力電圧を外部に取り付けた抵抗で分圧し、分圧電圧を FBx ピンに接続することで行います。フィードバック・ピンのバイアス電流によって起こる出力電圧精度の低下を防ぐ為、分圧回路下側の抵抗値は、大きな値を選ばないようにして下さい。50kΩ 以下を推奨します。

出力電圧は、以下の式で設定できます。

$$V_{OUT} = V_{REF} \times (1 + (R_{TOP}/R_{BOT}))$$

ここで、

$V_{OUT}$  は、出力電圧

$V_{REF}$  は、フィードバック基準電圧：チャンネル 1 からチャンネル 4 は 0.8V。チャンネル 5 は 0.5V

$R_{TOP}$  は、 $V_{OUT}$  から FB に接続するフィードバック抵抗の値

$R_{BOT}$  は、FB からグラウンドに接続するフィードバック抵抗値

固定出力電圧オプションを選択している場合、抵抗分圧回路は必要ありません。ある範囲の出力電圧を設定するために、各チャンネルが持つ VIDx ビットを使って、それぞれの出力電圧を、特定の範囲内で設定できます（詳細は 表 10 参照）。もし、デフォルトの VID コードとは異なる固定出力電圧が必要な場合は、アナログ・デバイセズの担当営業、もしくは代理店までご相談下さい。

### 電圧変換の制限

与えられた入力電圧によっては、最小オン時間と、最小オフ時間に制限があるため、出力電圧の上限と下限が存在します。

与えられた入力電圧に対する最小出力電圧とスイッチング周波数は、最小オン時間によって制限されます。チャンネル 1 とチャンネル 2 の最小オン時間は、117ns（代表値）で、チャンネル 3 とチャンネル 4 の最小オン時間は、90ns（代表値）です。ジャンクション温度が上昇すると、最小オン時間は長くなります。

チャンネル 1 とチャンネル 2 を強制 PWM モードで動作させると、最小オン時間の制限を超え、公称出力電圧が上昇する可能性があります。この問題を避けるため、スイッチング周波数を慎重に選択しなければなりません。

電流連続モード（CCM）で動作させる場合、与えられた入力電圧とスイッチング周波数での最小出力電圧は、以下の式で計算することができます。

$$\begin{aligned} V_{OUT\_MIN} &= V_{IN} \times t_{MIN\_ON} \times f_{SW} - (R_{DS(ON)1} - R_{DS(ON)2}) \times \\ &I_{OUT\_MIN} \times t_{MIN\_ON} \times f_{SW} - (R_{DS(ON)2} + R_L) \times I_{OUT\_MIN} \end{aligned} \quad (1)$$

ここで、

$V_{OUT\_MIN}$  は、最小出力電圧

$t_{MIN\_ON}$  は、最小オン時間

$f_{SW}$  は、スイッチング周波数

$R_{DS(ON)1}$  は、ハイサイド MOSFET のオン抵抗

$R_{DS(ON)2}$  は、ローサイド MOSFET のオン抵抗

$I_{OUT\_MIN}$  は、最小出力電流

$R_L$  は、出力インダクタの抵抗値

与えられた入力電圧とスイッチング周波数での最大出力電圧は、最小オフ時間と最大デューティ・サイクルによって制限されます。周波数フォールドバック機能がスイッチング周波数を低下させて、有効最大デューティ・サイクルの増加を手助けします。このため、入力電圧と出力電圧間のドロップアウト電圧を低くできます（詳細は、周波数フォールドバックセクション参照）。

与えられた入力電圧とスイッチング周波数での最大出力電圧は、以下の式で計算できます。

$$\begin{aligned} V_{OUT\_MAX} &= V_{IN} \times (1 - t_{MIN\_OFF} \times f_{SW}) - (R_{DS(ON)1} - R_{DS(ON)2}) \times \\ &I_{OUT\_MAX} \times (1 - t_{MIN\_OFF} \times f_{SW}) - (R_{DS(ON)2} + R_L) \times I_{OUT\_MAX} \end{aligned} \quad (2)$$

ここで、

$V_{OUT\_MAX}$  は、最大出力電圧

$t_{MIN\_OFF}$  は、最小オフ時間

$f_{SW}$  は、スイッチング周波数

$R_{DS(ON)1}$  は、ハイサイド MOSFET のオン抵抗

$R_{DS(ON)2}$  は、ローサイド MOSFET のオン抵抗

$I_{OUT\_MAX}$  は、最大出力電流

$R_L$  は、出力インダクタの抵抗値

式 1 と式 2 に示したように、スイッチング周波数を下げると、最小オン時間と最小オフ時間の制限を緩和できます。

### 電流制限値の設定

ADP5050 のチャンネル 1 とチャンネル 2 は、3 つの電流制限スレッショールドを選択できます。電流制限値を選択するとき、インダクタのピーク電流  $I_{PEAK}$  を超えないように注意して下さい。チャンネル 1 とチャンネル 2 の電流制限値の一覧を表 12 に示します。

## ソフト・スタートの設定

ADP5050 の降圧スイッチング・レギュレータは、ソフト・スタート回路を搭載しています。この回路によってスタートアップ時、出力電圧の上昇を制御することができ、それによって突入電流を制限します。ソフト・スタートの時間を 2 ms、4 ms または 8 ms に設定するには、SS12 または SS34 ピン、VREG ピンとグラウンド間に分圧抵抗を接続して下さい（ソフト・スタートセクション参照）。

## インダクタの選択

インダクタの値は、スイッチング周波数、入力電圧、出力電圧、そしてインダクタ・リップル電流によって決まります。インダクタの値が小さいと、高速な過渡応答を得られますが、大きなインダクタ・リップル電流により効率が低下します。インダクタの値が大きいと、リップル電流が小さくなり効率も改善しますが、結果として過渡応答が低速になります。従って、過渡応答と効率との間で妥協点を見いだす必要があります。ガイドラインとして、インダクタ・リップル電流  $\Delta I_L$  は、通常最大負荷電流の 30% から 50% 程度に設定します。インダクタの値は次式で計算することができます。

$$L = [(V_{IN} - V_{OUT}) \times D] / (\Delta I_L \times f_{SW})$$

ここで、

$V_{IN}$  は入力電圧

$V_{OUT}$  は、出力電圧

$D$  は、デューティ・サイクル ( $D = V_{OUT}/V_{IN}$ )。

$\Delta I_L$  はインダクタ・リップル電流

$f_{SW}$  は、スイッチング周波数

ADP5050 は、内部の電流ループ内にスロープ補償回路を備えており、50% より大きなデューティ・サイクルになった時のサブハーモニック発振が起きないようにしています。

最大インダクタ電流は、以下の式を用いて計算して下さい。

$$I_{PEAK} = I_{OUT} + (\Delta I_L / 2)$$

インダクタの飽和電流は、最大インダクタ電流よりも大きくなければなりません。高速飽和特性を持つフェライト・コアを使ったインダクタの場合、インダクタが飽和してしまうのを防ぐ為、そのインダクタの定格飽和電流が、降圧スイッチング・レギュレータの電流制限スレッショールドよりも大きいことを確認して下さい。

インダクタに流れる rms 電流値は次式で計算することができます。

$$I_{RMS} = \sqrt{I_{OUT}^2 + \frac{\Delta I_L^2}{12}}$$

シールドされたフェライト・コア材料は、コアの損失と EMI を低く抑えることができ、推奨できます。表 14 に推奨するインダクタの一覧を示します。

表 14. 推奨インダクタ

ベンダー	製品番号	値 (μH)	ISAT (A)	IRMS (A)	DCR (mΩ)	サイズ (mm)
Coilcraft	XFL4020-102	1.0	5.4	11	10.8	4 × 4
	XFL4020-222	2.2	3.7	8.0	21.35	4 × 4
	XFL4020-332	3.3	2.9	5.2	34.8	4 × 4
	XFL4020-472	4.7	2.7	5.0	52.2	4 × 4
	XAL4030-682	6.8	3.6	3.9	67.4	4 × 4
	XAL4040-103	10	3.0	3.1	84	4 × 4
	XAL6030-102	1.0	23	18	5.62	6 × 6
	XAL6030-222	2.2	15.9	10	12.7	6 × 6
	XAL6030-332	3.3	12.2	8.0	19.92	6 × 6
	XAL6060-472	4.7	10.5	11	14.4	6 × 6
	XAL6060-682	6.8	9.2	9.0	18.9	6 × 6
TOKO	FDV0530-1R0	1.0	11.2	9.1	9.4	6.2 × 5.8
	FDV0530-2R2	2.2	7.1	7.0	17.3	6.2 × 5.8
	FDV0530-3R3	3.3	5.5	5.3	29.6	6.2 × 5.8
	FDV0530-4R7	4.7	4.6	4.2	46.6	6.2 × 5.8

## 出力コンデンサの選択

出力コンデンサは、電圧リップルとレギュレータの動的ループ特性の両方に影響を与えます。例えば、負荷がステップ状に遷移したり、負荷が突然重くなったりすると、制御ループがインダクタに十分な電流を流せるようになるまで、出力コンデンサは負荷に対して電流供給をしなければなりません。これにより、出力電圧にアンダーシュートが発生します。

要求されるアンダーシュート（電圧ドループ）仕様を満たすために必要な出力コンデンサの値は、以下の式を使って計算できます。

$$C_{OUT\_UV} = \frac{K_{UV} \times \Delta I_{STEP}^2 \times L}{2 \times (V_{IN} - V_{OUT}) \times \Delta V_{OUT\_UV}}$$

ここで、

$K_{UV}$  は、係数（通常 2 に設定）

$\Delta I_{STEP}$  は、負荷ステップ

$\Delta V_{OUT\_UV}$  は、出力電圧の許容されるアンダーシュートの値

出力コンデンサの値が、レギュレータの動的ループ特性に影響を与えるもう一つの例は、負荷が突然出力から取り外され、インダクタに蓄えられたエネルギーが一気に出力コンデンサに流れ込む場合です。この時、出力電圧にオーバーシュートが発生します。

要求されるオーバーシュート仕様を満たすために必要な出力コンデンサの値は、以下の式を使って計算できます。

$$C_{OUT\_OV} = \frac{K_{OV} \times \Delta I_{STEP}^2 \times L}{(V_{OUT} + \Delta V_{OUT\_OV})^2 - V_{OUT}^2}$$

ここで、

$K_{OV}$  は、係数（通常 2 に設定）

$\Delta I_{STEP}$  は、負荷ステップ

$\Delta V_{OUT\_OV}$  は、出力電圧の許容されるオーバーシュートの値

出力電圧の電圧リップルは、出力コンデンサの ESR とそのコンデンサの値によって決まります。要求される出力電圧リップルを満たすコンデンサを選択するには、以下の式を用いて下さい。

$$C_{OUT\_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times \Delta V_{OUT\_RIPPLE}}$$

$$R_{ESR} = \frac{\Delta V_{OUT\_RIPPLE}}{\Delta I_L}$$

ここで、  
 $\Delta I_L$  は、インダクタ・リップル電流  
 $f_{SW}$  は、スイッチング周波数  
 $\Delta V_{OUT\_RIPPLE}$  は、許容される出力電圧リップル値  
 $R_{ESR}$  は出力コンデンサの等価直列抵抗値

要求されるトランジエント特性と出力リップル特性を満足するように、出力コンデンサの値、 $C_{OUT\_UV}$ 、 $C_{OUT\_OV}$ 、 $C_{OUT\_RIPPLE}$  はなるべく大きい値を選んで下さい。

選択したコンデンサの定格電圧は、出力電圧より高いものを選んで下さい。なお、出力コンデンサに流れる最小電流実効値の定格は、以下の式で決まります。

$$I_{C_{OUT\_rms}} = \frac{\Delta I_L}{\sqrt{12}}$$

## 入力コンデンサの選択

入力のデカップリング・コンデンサは、入力に含まれる高周波ノイズを低減し、電力を蓄える役割も果たします。セラミック・コンデンサを用い、必ず  $PVINx$  ピンのできるだけ近くに配置して下さい。入力コンデンサ、ハイサイド NFET、ローサイド NFET で形成されるループができるだけ小さくなるよう、部品を配置して下さい。入力コンデンサの定格電圧は、最大入力電圧よりも高くなければなりません。入力コンデンサの電流実効値の定格は、以下の式で決まる値より大きいことを確認して下さい。

$$I_{C_{IN\_rms}} = I_{OUT} \times \sqrt{D \times (1-D)}$$

ここで  $D$  は、デューティ・サイクル ( $D = V_{OUT}/V_{IN}$ ) です。

## ローサイド・パワー・デバイスの選択

チャンネル 1 とチャンネル 2 は、ローサイド MOSFET 用のドライバ回路を内蔵しています。このドライバ回路は、外付けのローサイド N チャンネル MOSFET (NFET) を駆動します。この N チャンネル MOSFET の選択は、降圧スイッチング・レギュレータの性能に大きく影響を与えます。

MOSFET を選択する際、以下を満足するようにして下さい：

- ドレイン・ソース電圧 ( $V_{DS}$ ) は、 $1.2 \times V_{IN}$  より高いものを選んで下さい。
- ドレイン電流 ( $I_D$ ) は  $1.2 \times I_{LIMIT\_MAX}$  より大きいものを選んで下さい。ここで  $I_{LIMIT\_MAX}$  は、設計時に選んだ、最大電流制限スレッシュホールド値です。
- $V_{GS} = 4.5 \text{ V}$  で完全にオンになる MOSFET を選択して下さい。
- 全ゲート電荷量 ( $Q_g$  at  $V_{GS} = 4.5 \text{ V}$ ) は、 $20 \text{ nC}$  以下であることも必要です。 $Q_g$  特性が低いと、レギュレータの効率が高くなります。

ハイサイド MOSFET がオフになると、ローサイド MOSFET がインダクタに電流を供給します。低いデューティ・サイクルで動作するアプリケーションの場合、ローサイド MOSFET がより長い期間、電流を供給しなければなりません。高い効率を実現するためには、低いオン抵抗を持つ MOSFET をローサイド MOSFET として選択して下さい。ローサイド MOSFET の導通電力損失は、以下の式で計算できます：

$$P_{FET\_LOW} = I_{OUT}^2 \times R_{DS(on)} \times (1-D)$$

ここで、  
 $R_{DS(on)}$  はローサイド MOSFET のオン抵抗。  
 $D$  は、デューティ・サイクル ( $D = V_{OUT}/V_{IN}$ )。

表 15 に、各種電流制限設定において推奨される、デュアル MOSFET の一覧を示します。MOSFET 選択時、その MOSFET が電力損失による熱消費に耐えられるものを選んで下さい。

表 15. 推奨デュアル MOSFET

ベンダー	製品番号	$V_{DS}$ (V)	$I_D$ (A)	$R_{DS(on)}$ (m $\Omega$ )	$Q_g$ (nC)	サイズ (mm)
IR	IRFHM8363	30	10	20.4	6.7	3 × 3
	IRLHS6276	20	3.4	45	3.1	2 × 2
Fairchild	FDMA1024	20	5.0	54	5.2	2 × 2
	FDMB3900	25	7.0	33	11	3 × 2
	FDMB3800	30	4.8	51	4	3 × 2
	FDC6401	20	3.0	70	3.3	3 × 3
Vishay	Si7228DN	30	23	25	4.1	3 × 3
	Si7232DN	20	25	16.4	12	3 × 3
	Si7904BDN	20	6	30	9	3 × 3
	Si5906DU	30	6	40	8	3 × 2
	Si5908DC	20	5.9	40	5	3 × 2
	SiA906EDJ	20	4.5	46	3.5	2 × 2
AOS	AON7804	30	22	26	7.5	3 × 3
	AON7826	20	22	26	6	3 × 3
	AO6800	30	3.4	70	4.7	3 × 3
	AON2800	20	4.5	47	4.1	2 × 2

## UVLO 入力のプログラミング

高精度イネーブル入力は、図 43 に示すように、入力電圧の UVLO のスレッシュホールドをプログラムするために使うこともできます。内部  $1 \text{ M}\Omega$  のプルダウン抵抗の誤差によって引き起こされる入力電圧の精度低下を防ぐため、分圧回路下側の抵抗値が、非常に大きな値になっていないか確認して下さい。抵抗値は、 $50 \text{ k}\Omega$  以下を推奨します。

高精度ターンオン・スレッシュホールド値は  $0.8 \text{ V}$  です。抵抗分圧回路の値を使って  $V_{IN\_start-up}$  電圧を計算する場合、以下の式を用いて下さい。

$$V_{IN\_STARTUP} = (0.8 \text{ nA} + (0.8 \text{ V}/R_{BOT\_EN})) \times (R_{TOP\_EN} + R_{BOT\_EN})$$

ここで、  
 $R_{TOP\_EN}$  は、 $V_{IN}$  と EN 間に接続する抵抗  
 $R_{BOT\_EN}$  は、EN とグラウンド間に接続する抵抗

## 補償用部品値の計算

ピーク電流モード制御アーキテクチャの場合、電力段は、出力コンデンサと負荷抵抗に対して電流を供給する、電圧制御型電流源として簡略化できます。簡略化されたループには、1つのポールと、出力コンデンサの ESR による 1つのゼロがあります。制御入力から出力への伝達関数は、以下の式で表されます。

$$G_{vd}(s) = \frac{V_{OUT}(s)}{V_{COMP}(s)} = A_{VI} \times R \times \left( \frac{1 + \frac{s}{2\pi \times f_z}}{1 + \frac{s}{2\pi \times f_p}} \right)$$

$$f_z = \frac{1}{2\pi \times R_{ESR} \times C_{OUT}}$$

$$f_p = \frac{1}{2\pi \times (R + R_{ESR}) \times C_{OUT}}$$

ここで、

$A_{VI} = 10 \text{ A/V}$  (チャンネル 1 またはチャンネル 2) もしくは、 $3.33 \text{ A/V}$  (チャンネル 3 またはチャンネル 4)

$R$  は、負荷抵抗

$R_{ESR}$  は出力コンデンサの等価直列抵抗値

$C_{OUT}$  は、出力コンデンサ

ADP5050 は、システム補償用の誤差増幅器として、トランスコンダクタンス増幅器を使っています。図 61 に、ピーク電流モード制御の小信号等価回路を示します。

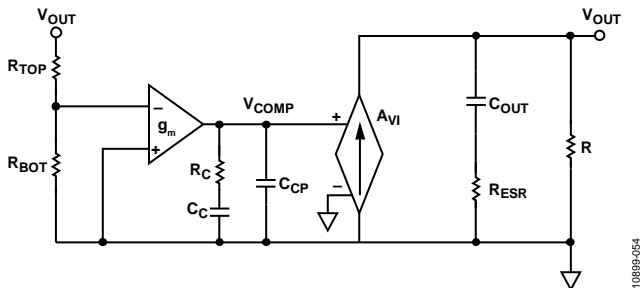


図 61. ピーク電流モード制御の小信号等価回路

補償部品は  $R_C$  と  $C_C$  で、ゼロに対する寄与があります。 $R_C$  と、オプションの  $C_{CP}$  は、ポールに対する寄与があります。

クローズド・ループの伝達関数式は、以下のようになります。

$$T_V(s) = \frac{R_{BOT}}{R_{BOT} + R_{TOP}} \times \frac{-g_m}{C_C + C_{CP}} \times \frac{1 + R_C \times C_C \times s}{s \times \left( 1 + \frac{R_C \times C_C \times C_{CP} \times s}{C_C + C_{CP}} \right)} \times G_{vd}(s)$$

出力にセラミック・コンデンサを使ったアプリケーションの補償部品である、 $R_C$ 、 $C_C$ 、 $C_{CP}$  の選択を行う際のガイドラインを以下に示します。

1. クロスオーバー周波数 ( $f_c$ ) を決めます。通常  $f_c$  は、 $f_{sw}/12$  と  $f_{sw}/6$  との間に設定します。
2.  $R_C$  を以下の式を用いて計算します。

$$R_C = \frac{2\pi \times V_{OUT} \times C_{OUT} \times f_c}{0.8V \times g_m \times A_{VI}}$$

3. ポール ( $f_p$ ) に対して補償を行うゼロを決めます。 $C_C$  を以下の式を用いて計算します。

$$C_C = \frac{(R + R_{ESR}) \times C_{OUT}}{R_C}$$

4.  $C_{CP}$  はオプションですが、出力コンデンサの ESR によって生じるゼロを打ち消すために使う事ができます。 $C_{CP}$  を以下の式を用いて計算します。

$$C_{CP} = \frac{R_{ESR} \times C_{OUT}}{R_C}$$

## 消費電力

ADP5050 全体の消費電力は、簡易的に以下の式で決まります。

$$P_D = P_{BUCK1} + P_{BUCK2} + P_{BUCK3} + P_{BUCK4} + P_{LDO}$$

## 降圧スイッチング・レギュレータの消費電力

各降圧スイッチング・レギュレータの消費電力 ( $P_{LOSS}$ ) は、電力スイッチ導通損失 ( $P_{COND}$ )、スイッチング損失 ( $P_{SW}$ )、そして遷移損失 ( $P_{TRAN}$ ) の 3 つから構成されます。他の電力消費源も存在しますが、それらは高出力電流状態にあるアプリケーションでは、無視出来るほど小さな値です。

降圧スイッチング・レギュレータの消費電力を見積もるには、以下の式を用いて下さい。

$$P_{LOSS} = P_{COND} + P_{SW} + P_{TRAN}$$

## 電力スイッチ導通損失 ( $P_{COND}$ )

電力スイッチ導通損失は、内部オン抵抗 ( $R_{DS(on)}$ ) を持つハイサイド及びローサイドの電力スイッチに、出力電流が流れることによって生じます。

電力スイッチ導通損失は、以下の式を用いて計算します。

$$P_{COND} = (R_{DS(on)_HS} \times D + R_{DS(on)_LS} \times (1 - D)) \times I_{OUT}^2$$

ここで、

$R_{DS(on)_HS}$  は、ハイサイド MOSFET のオン抵抗

$R_{DS(on)_LS}$  は、ローサイド MOSFET のオン抵抗

$D$  は、デューティ・サイクル ( $D = V_{OUT}/V_{IN}$ )。



### スイッチング損失 (P<sub>SW</sub>)

スイッチング損失は、ドライバが電力デバイスをスイッチング周波数でオン・オフする際に流れる電流に関連しています。ドライバが電力デバイス MOSFET のゲートをオンする時は、ドライバは、デバイスのゲートに対して、電荷を供給します。一方、ゲートをオフする時は、ドライバは、ゲートからグラウンドに対して電荷を供給します。スイッチング損失は、以下の式を用いて計算します。

$$P_{SW} = (C_{GATE\_HS} + C_{GATE\_LS}) \times V_{IN}^2 \times f_{SW}$$

ここで、

$C_{GATE\_HS}$  は、ハイサイド MOSFET のゲート容量

$C_{GATE\_LS}$  は、ローサイド MOSFET のゲート容量

$f_{SW}$  は、スイッチング周波数

### 遷移損失 (P<sub>TRAN</sub>)

遷移損失は、ハイサイド MOSFET のターンオン・ターンオフが瞬時に行われないために生じます。スイッチのノードが遷移するとき、MOSFET は、インダクタに流れる全電流を供給します。MOSFET のソース・ドレイン間電圧は、入力電圧の半分になり、その結果電力損失を生じます。遷移損失は、負荷と入力電圧と共に上昇し、各スイッチング周期に 2 回発生します。遷移損失は、以下の式を用いて見積もります。

$$P_{TRAN} = 0.5 \times V_{IN} \times I_{OUT} \times (t_R + t_F) \times f_{SW}$$

ここで、

$t_R$  は、スイッチ・ノードの立ち上がり時間

$t_F$  は、スイッチ・ノードの立ち下がり時間

### サーマル・シャットダウン

チャンネル 1 とチャンネル 2 は、内部のハイサイド MOSFET がオンの時に流れるインダクタ電流値を蓄積します。それゆえ、少量の入力実効電流が流れ、それによって生じる少量の電力が ADP5050 内部で消費され、デバイス全体の発熱に対する制約を下げてしまいます。

それゆえ、チャンネル 1 とチャンネル 2 が、高い周囲温度かつ大きなデューティ・サイクル下において、最大負荷で動作している時、入力実効電流が非常に大きくなり、ジャンクション温度が、最大ジャンクション温度である 125°C を超えてしまう可能性もあります。そこで、ジャンクション温度が 150°C を超えると、レギュレータは、サーマル・シャットダウンになり、ジャンクション温度が 135°C になるまで復帰しません。

### LDO レギュレータの消費電力

LDO レギュレータの消費電力は、以下の式で与えられます。

$$P_{LDO} = [(V_{IN} - V_{OUT}) \times I_{OUT}] + (V_{IN} \times I_{GND})$$

ここで、

$V_{IN}$  と  $V_{OUT}$  は、それぞれ、LDO レギュレータの入力電圧と出力電圧

$I_{OUT}$  は、LDO レギュレータの負荷電流

$I_{GND}$  は、LDO レギュレータのグラウンド電流

ADP5050 のグラウンド電流による消費電力は非常に小さいので、無視する事ができます。

### ジャンクション温度

ダイのジャンクション温度は、システムの置かれた環境の周囲温度と、デバイスの消費電力によって上昇したパッケージ温度の和です。

$$T_J = T_A + T_R$$

ここで、

$T_J$  は、ジャンクション温度

$T_A$  は、周囲温度

$T_R$  は、消費電力による、パッケージの温度上昇

パッケージの温度上昇は、パッケージ内の消費電力と完全な比例関係にあります。この関係の比例定数は、ダイの接続部から周囲温度への熱抵抗で、以下の式で表されます。

$$T_R = \theta_{JA} \times P_D$$

ここで、

$T_R$  は、パッケージの温度上昇

$\theta_{JA}$  は、ダイの接続部からパッケージの周囲温度への熱抵抗（表 7 参照）。

$P_D$  は、パッケージ内の消費電力

ここで考慮すべき重要な点は、JEDEC で定められた、4 層、4 インチ x 3 インチ、2.5 オンスの銅泊を使った PCB（プリント基板）上にデバイスを置いた場合を元に、熱抵抗の値が計算されている事です。実際のアプリケーションでは、大きさや層数の異なった PCB を使う可能性のある事を考慮して下さい。

デバイスからの熱を逃がすため、銅泊の厚みをできるだけ厚くする事が重要です。放熱用の銅泊は、内層に配置するより、空気に晒されるようにすると、より良い放熱特性が得られます。デバイスのエクスポーズド・パッドは、幾つかのビアを経由してグラウンド・プレーンに接続して下さい。

## 設計例

このセクションでは、ステップ・バイ・ステップでの設計手順を示し、チャンネル1に必要な外部部品の選択手順を示します。表16に、この例における設計要求事項を示します。

表16. この例におけるチャンネル1の設計要求事項

パラメータ	仕様
入力電圧	$V_{VIN1} = 12\text{ V} \pm 5\%$
出力電圧	$V_{OUT1} = 1.2\text{ V}$
出力電流	$I_{OUT1} = 4\text{ A}$
出カリップル	$\Delta V_{OUT1\_RIPPLE} = 12\text{ mV}$ (CCMモードにて)
負荷応答特性	$\pm 5\%$ (負荷遷移の20%から80%まで1A/ $\mu\text{s}$ スルーレト時)

この例は、チャンネル1に対して、ステップ・バイ・ステップの設計手順を示してありますが、この手順は、このデバイスにおける他の降圧スイッチング・レギュレータ（チャンネル2からチャンネル4）にも適応できます。

### スイッチング周波数の設定

ADP5050を使って降圧スイッチング・レギュレータを設計する場合、最初に決めなければならないのはスイッチング周波数です。一般的に、スイッチング周波数を高く設定すると、小さい部品を使う事ができ、ソリューションに求められる専有面積を小さくできます。一方で、スイッチング周波数を低く設定すると、スイッチング損失が小さくなり、高い変換効率が得られます。

ADP5050のスイッチング周波数は、RTピンとグラウンド間に接続する抵抗によって、250kHzから1.4MHzまで設定できます。効率とソリューションに求められる専有面積とのトレードオフに基づき、抵抗値を選択して下さい（詳細に関しては「発振器」セクションを参照）。しかしながら、設定可能な最高スイッチング周波数で動作させる場合、最小オン時間と最小オフ時間によって決まる、変換可能な電圧の制限を必ず確認して下さい（詳細は「電圧変換の制限」セクションを参照）。

この設計例では、専有面積も小さく、かつ高い変換効率が得られるよう、スイッチング周波数を600kHzとしました。スイッチング周波数を600kHzに設定するには、以下の式を使って抵抗値 $R_{RT}$ を計算します。

$$R_{RT} (\text{k}\Omega) = [14,822/f_{SW} (\text{kHz})]^{1.081}$$

これにより、 $R_{RT} = 31.6\text{ k}\Omega$ としました。

### 出力電圧の設定

下側の抵抗( $R_{BOT}$ )を10k $\Omega$ とし、以下の式を使ってフィードバック抵抗を計算します。

$$R_{BOT} = R_{TOP} \times (V_{REF}/(V_{OUT} - V_{REF}))$$

ここで、

$V_{REF}$  はチャンネル1の場合0.8V

$V_{OUT}$  は出力電圧

出力電圧を1.2Vに設定するため、以下の抵抗値を選択します。

$R_{TOP} = 4.99\text{ k}\Omega$ 、 $R_{BOT} = 10\text{ k}\Omega$ 。

### 電流制限値の設定

4Aの出力電流で動作させた時の代表的なピーク電流制限値は6.44Aです。従ってこの例では、 $R_{ILIM1} = 22\text{ k}\Omega$ とします（表12参照）。詳細に関しては、「電流制限保護機能」セクションを参照して下さい。

### インダクタの選択

インダクタ・リップル電流のピーク to ピーク値 $\Delta I_L$ は、最大出力電流の35%に設定します。インダクタの値を見積もるには、以下の式を用いて下さい。

$$L = [(V_{IN} - V_{OUT}) \times D] / (\Delta I_L \times f_{SW})$$

ここで、

$V_{IN} = 12\text{ V}$ 。

$V_{OUT} = 1.2\text{ V}$ 。

$D$  は、デューティ・サイクル ( $D = V_{OUT}/V_{IN} = 0.1$ )。

$\Delta I_L = 35\% \times 4\text{ A} = 1.4\text{ A}$ 。

$f_{SW} = 600\text{ kHz}$ 。

$L$ として、1.28 $\mu\text{H}$ が得られます。最も近い標準インダクタの値は1.5 $\mu\text{H}$ で、この場合のインダクタ・リップル電流のピーク to ピーク値 $\Delta I_L$ は、1.2Aとなります。

最大インダクタ電流は、以下の式を用いて計算して下さい。

$$I_{PEAK} = I_{OUT} + (\Delta I_L/2)$$

インダクタに流れるピーク電流は、4.6Aとなります。

インダクタに流れるrms電流値は次式で計算することができます。

$$I_{RMS} = \sqrt{I_{OUT}^2 + \frac{\Delta I_L^2}{12}}$$

インダクタに流れる電流の実効値は、およそ4.02Aとなります。

従って、インダクタの最小定格電流は4.02Aで、最大定格飽和電流は4.6Aであることが要求されます。しかしながら、電流制限状態でインダクタが飽和状態にならず、レギュレータを高い信頼性で動作させるためには、定格飽和電流が、最大ピーク電流制限値（代表値で7.48A）より高い値を持つインダクタを選択することを推奨します。

これらの要求事項と推奨事項とを基にして、この設計例では、DCR（直流抵抗）13.5m $\Omega$ を持つ、TOKO FDV0530-1R5を選びました。

## 出力コンデンサの選択

出力コンデンサは、出力電圧リップルと負荷応答特性を満足させるものを選ぶ必要があります。出力電圧リップル特性を満足させる等価直列抵抗値と、コンデンサ容量を計算するには、以下の式を用いて下さい。

$$C_{OUT\_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times \Delta V_{OUT\_RIPPLE}}$$

$$R_{ESR} = \frac{\Delta V_{OUT\_RIPPLE}}{\Delta I_L}$$

計算されたコンデンサの値  $C_{OUT\_RIPPLE}$  は  $20.8 \mu\text{F}$  で、等価直列抵抗値は  $R_{ESR}$   $10 \text{ m}\Omega$  です。

$\pm 5\%$  のオーバーシュート及びアンダーシュート特性を満足させるため、以下の式を用いて、コンデンサの値を計算して下さい。

$$C_{OUT\_UV} = \frac{K_{UV} \times \Delta I_{STEP}^2 \times L}{2 \times (V_{IN} - V_{OUT}) \times \Delta V_{OUT\_UV}}$$

$$C_{OUT\_OV} = \frac{K_{OV} \times \Delta I_{STEP}^2 \times L}{(V_{OUT} + \Delta V_{OUT\_OV})^2 - V_{OUT}^2}$$

評価目的のため、 $K_{OV} = K_{UV} = 2$  とすると、 $C_{OUT\_OV} = 117 \mu\text{F}$  と  $C_{OUT\_UV} = 13.3 \mu\text{F}$  が得られます。

出力コンデンサの等価直列抵抗は  $8.6 \text{ m}\Omega$  以下で、その容量は  $117 \mu\text{F}$  以上であることが必要です。そこで、 $47 \mu\text{F}$ 、X5R、 $6.3 \text{ V}$  のセラミック・コンデンサを3つ用いることを推奨します。例えば村田製作所の GRM21BR60J476ME15（等価直列抵抗、 $2 \text{ m}\Omega$ ）が挙げられます。

## ローサイド MOSFET の選択

高い変換効率を必要とするソリューションでは、低い  $R_{DS(on)}$  を持つ N チャンネル MOSFET を選択することが必要です。また、その MOSFET のブレイクダウン電圧 ( $V_{DS}$ ) は、 $1.2 \times V_{IN}$  以上で、ドレイン電流の最大定格は、 $1.2 \times I_{LIMIT\_MAX}$  以上であることが必要です。

$20 \text{ V}$  耐圧のデュアル N チャンネル MOSFET、例えば Si7232DN (Vishay) をチャンネル 1 とチャンネル 2 用に推奨します。ドライバの電圧が  $4.5 \text{ V}$  時、Si7232DN の  $R_{DS(on)}$  は  $16.4 \text{ m}\Omega$  で、全ゲート電荷量は  $12 \text{ nC}$  です。

## 補償ネットワークの設計

より良い負荷応答特性と特性の安定を図るため、クロスオーバー周波数  $f_c$  を、スイッチング周波数  $f_{sw}$  の 10 分の 1 に設定して下さい。この例では、 $f_{sw}$  は  $600 \text{ kHz}$  なので、 $f_c$  を  $60 \text{ kHz}$  に設定します。

$1.2 \text{ V}$  の出力レールでは、 $47 \mu\text{F}$  のセラミック出力コンデンサの容量は、 $40 \mu\text{F}$  まで低下します。

$$R_C = \frac{2 \times \pi \times 1.2 \text{ V} \times 3 \times 40 \mu\text{F} \times 60 \text{ kHz}}{0.8 \text{ V} \times 470 \mu\text{S} \times 10 \text{ A/V}} = 14.4 \text{ k}\Omega$$

$$C_C = \frac{(0.3 \Omega + 0.001 \Omega) \times 3 \times 40 \mu\text{F}}{14.4 \text{ k}\Omega} = 2.51 \text{ nF}$$

$$C_{CP} = \frac{0.001 \Omega \times 3 \times 40 \mu\text{F}}{14.4 \text{ k}\Omega} = 8.3 \text{ pF}$$

## 推奨される外付け部品

表 17 に ADP5050 のチャンネル 1 とチャンネル 2 とを  $4 \text{ A}$  電流出力アプリケーションとして構成する場合の推奨部品一覧を示します。表 18 に、チャンネル 3 とチャンネル 4 とを  $1.2 \text{ A}$  電流出力アプリケーションとして構成する場合の推奨部品一覧を示します。

上記の計算で得られた値を標準値から選ぶと、 $R_C = 15 \text{ k}\Omega$ 、 $C_C = 2.7 \text{ nF}$  となります。なお、 $C_{CP}$  はオプションです。

図 62 に、 $1.2 \text{ V}$  出力レールのボード線図を示します。クロスオーバー周波数は  $62 \text{ kHz}$  で、位相余裕は  $58^\circ$  です。図 63 に、負荷応答特性波形を示します。

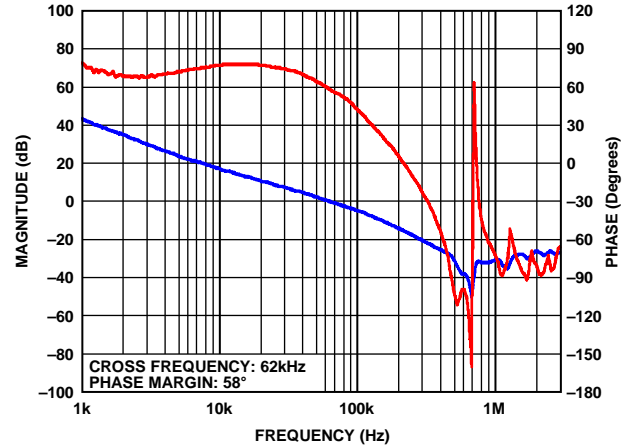


図 62.  $1.2 \text{ V}$  出力のボード線図

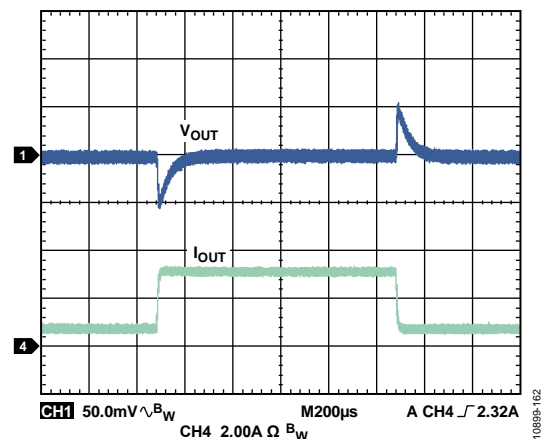


図 63.  $1.2 \text{ V}$  出力の  $0.8 \text{ A}$  から  $3.2 \text{ A}$  への負荷応答

## ソフト・スタート時間の設定

ソフト・スタート回路は、出力電圧の上昇を制御することができ、スタートアップ時に発生する電圧のオーバーシュートを抑え、突入電流を制限します。

SS12 ピンを使って、ソフト・スタートの時間を  $2 \text{ ms}$ 、 $4 \text{ ms}$  または  $8 \text{ ms}$  のいずれかに設定できます。またこの SS12 ピンで、チャンネル 1 とチャンネル 2 とを並列動作するように構成することもできます。詳細に関しては、ソフト・スタートセクションと、表 11 を参照して下さい。

## 入力コンデンサの選択

入力コンデンサには、最低でも  $10 \mu\text{F}$  の容量を持つセラミック・コンデンサを用い、PVIN1 ピンに出来るだけ近づけて配置して下さい。ここでは、 $10 \mu\text{F}$ 、X5R、 $25 \text{ V}$  のセラミック・コンデンサを 1 つ取り付ける事を推奨します。

表 17. チャンネル 1 とチャンネル 2 を、代表的な 4A 電流出力アプリケーションとして構成する場合の推奨外付け部品  
(出力リップル:  $\pm 1\%$ 、60% のステップ遷移時の許容誤差:  $\pm 7.5\%$ )

f <sub>sw</sub> (kHz)	I <sub>OUT</sub> (A)	V <sub>IN</sub> (V)	V <sub>OUT</sub> (V)	L (μH)	C <sub>OUT</sub> (μF)	R <sub>TOP</sub> (kΩ)	R <sub>BO</sub> (kΩ)	R <sub>C</sub> (kΩ)	C <sub>C</sub> (pF)	Dual FET
300	4	12 または 5	1.2	3.3	2 × 100 <sup>1</sup>	4.99	10	10	4700	Si7232DN
		12 または 5	1.5	3.3	2 × 100 <sup>1</sup>	8.87	10.2	10	4700	Si7232DN
		12 または 5	1.8	3.3	3 × 47 <sup>2</sup>	12.7	10.2	6.81	4700	Si7232DN
		12 または 5	2.5	4.7	3 × 47 <sup>2</sup>	21.5	10.2	10	4700	Si7232DN
		12 または 5	3.3	6.8	3 × 47 <sup>2</sup>	31.6	10.2	10	4700	Si7232DN
		12	5.0	6.8	47 <sup>3</sup>	52.3	10	4.7	4700	Si7232DN
600	4	12 または 5	1.2	1.5	2 × 47 <sup>2</sup>	4.99	10	10	2700	Si7232DN
		12 または 5	1.5	1.5	2 × 47 <sup>2</sup>	8.87	10.2	10	2700	Si7232DN
		12 または 5	1.8	2.2	2 × 47 <sup>2</sup>	12.7	10.2	10	2700	Si7232DN
		12 または 5	2.5	2.2	2 × 47 <sup>2</sup>	21.5	10.2	10	2700	Si7232DN
		12 または 5	3.3	3.3	2 × 47 <sup>2</sup>	31.6	10.2	15	2700	Si7232DN
		12	5.0	3.3	47 <sup>3</sup>	52.3	10	10	2700	Si7232DN
1000	4	5	1.2	1.0	2 × 47 <sup>2</sup>	4.99	10	15	1500	Si7232DN
		5	1.5	1.0	2 × 47 <sup>2</sup>	8.87	10.2	15	1500	Si7232DN
		12 または 5	1.8	1.0	47 <sup>2</sup>	12.7	10.2	10	1500	Si7232DN
		12 または 5	2.5	1.5	47 <sup>2</sup>	21.5	10.2	10	1500	Si7232DN
		12 または 5	3.3	1.5	47 <sup>2</sup>	31.6	10.2	10	1500	Si7232DN
		12	5.0	2.2	47 <sup>3</sup>	52.3	10	15	1500	Si7232DN

<sup>1</sup> 100 μF コンデンサ: Murata GRM31CR60J107ME39 (6.3 V, X5R, 1206).

<sup>2</sup> 47 μF コンデンサ: Murata GRM21BR60J476ME15 (6.3 V, X5R, 0805).

<sup>3</sup> 47 μF コンデンサ: Murata GRM31CR61A476ME15 (10 V, X5R, 1206).

表 18. チャンネル 3 とチャンネル 4 を、代表的な 1.2 A 電流出力アプリケーションとして構成する場合の推奨外付け部品  
(出力リップル:  $\pm 1\%$ 、60% のステップ遷移時の許容誤差:  $\pm 7.5\%$ )

f <sub>sw</sub> (kHz)	I <sub>OUT</sub> (A)	V <sub>IN</sub> (V)	V <sub>OUT</sub> (V)	L (μH)	C <sub>OUT</sub> (μF)	R <sub>TOP</sub> (kΩ)	R <sub>BOT</sub> (kΩ)	R <sub>C</sub> (kΩ)	C <sub>C</sub> (pF)
300	1.2	12 または 5	1.2	10	2 × 22 <sup>1</sup>	4.99	10	6.81	4700
		12 または 5	1.5	10	2 × 22 <sup>1</sup>	8.87	10.2	6.81	4700
		12 または 5	1.8	15	2 × 22 <sup>1</sup>	12.7	10.2	6.81	4700
		12 または 5	2.5	15	2 × 22 <sup>1</sup>	21.5	10.2	6.81	4700
		12 または 5	3.3	22	2 × 22 <sup>1</sup>	31.6	10.2	6.81	4700
		12	5.0	22	22 <sup>2</sup>	52.3	10	6.81	4700
600	1.2	12 または 5	1.2	4.7	22 <sup>1</sup>	4.99	10	6.81	2700
		12 または 5	1.5	6.8	22 <sup>1</sup>	8.87	10.2	6.81	2700
		12 または 5	1.8	6.8	22 <sup>1</sup>	12.7	10.2	6.81	2700
		12 または 5	2.5	10	22 <sup>1</sup>	21.5	10.2	6.81	2700
		12 または 5	3.3	10	22 <sup>1</sup>	31.6	10.2	6.81	2700
		12	5.0	10	22 <sup>2</sup>	52.3	10	6.81	2700
1000	1.2	5	1.2	2.2	22 <sup>1</sup>	4.99	10	10	1800
		12 または 5	1.5	3.3	22 <sup>1</sup>	8.87	10.2	10	1800
		12 または 5	1.8	4.7	22 <sup>1</sup>	12.7	10.2	10	1800
		12 または 5	2.5	4.7	22 <sup>1</sup>	21.5	10.2	10	1800
		12 または 5	3.3	6.8	22 <sup>1</sup>	31.6	10.2	10	1800
		12	5.0	6.8	22 <sup>2</sup>	52.3	10	15	1800

<sup>1</sup> 22 μF コンデンサ Murata GRM188R60J226MEA0 (6.3 V, X5R, 0603).

<sup>2</sup> 22 μF コンデンサ Murata GRM219R61A226MEA0 (10 V, X5R, 0805).

## 推奨回路基板のレイアウト

ADP5050 の性能を最大限引き出すためには、回路基板のレイアウトが大変重要です (図 65 参照)。基板レイアウトが悪いと、電圧レギュレーションやデバイスの安定性に影響を与えるばかりではなく、電磁干渉 (EMI) や、電磁両立性 (EMC) 特性にも影響を与えます。良い PCB レイアウトを作るために、以下に示すガイドラインを参照して下さい。

- 入力コンデンサ、インダクタ、MOSFET、出力コンデンサ、そしてブートストラップ・コンデンサは、IC に出るだけ近づけて配置して下さい。
- 入力コンデンサと PVIN1x ピンとの接続には、短くて太いパターンを用いて下さい。また、パワー・グラウンドを設け、入力及び出力コンデンサのグラウンド側との接続は最短となるようにして下さい。
- 必要ならば、PVINx、PGNDx そして、SWx と他の電力プレーンとは、幾つかの高電流用ビアを介して接続して下さい。
- インダクタと SWx 及び出力コンデンサの接続は、最短で太いパターンを使って接続して下さい。
- 高電流ループ・パターンは、出来るだけ短くて太くなるようにして下さい。図 64 に高電流が流れる経路を示します。
- エクスポーズド・パッドに接続されるグラウンド用金属の量を出来るだけ多くして下さい。また、熱消費を改善するため、部品面には出来るだけ多くのビアを打って下さい。

- 部品面のグラウンドと、グラウンド・プレーンとを数多くのビアで接続することで、敏感な回路ノードに対するノイズの干渉を減らすことができます。
- デカップリング・コンデンサは、VREG と VDD ピンの出来るだけ近くに配置して下さい。
- 周波数設定用抵抗は、RT ピンの出来るだけ近くに配置して下さい。
- フィードバック用抵抗分圧回路は、FBx ピンの出来るだけ近くに配置して下さい。加えて、FBx へのパターンは、ノイズの影響を避けるため、高電流パターンとスイッチ・ノードから出来るだけ遠ざけて配線して下さい。
- 回路スペースが限られている場合、フットプリントを出来るだけ最小とするソリューションを実現するため、0402 もしくは 0603 のチップ抵抗・チップ・コンデンサを用いて下さい。

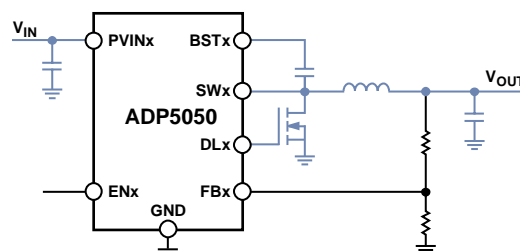


図 64. 代表的な回路において、高電流が流れるパターンを青色で示す

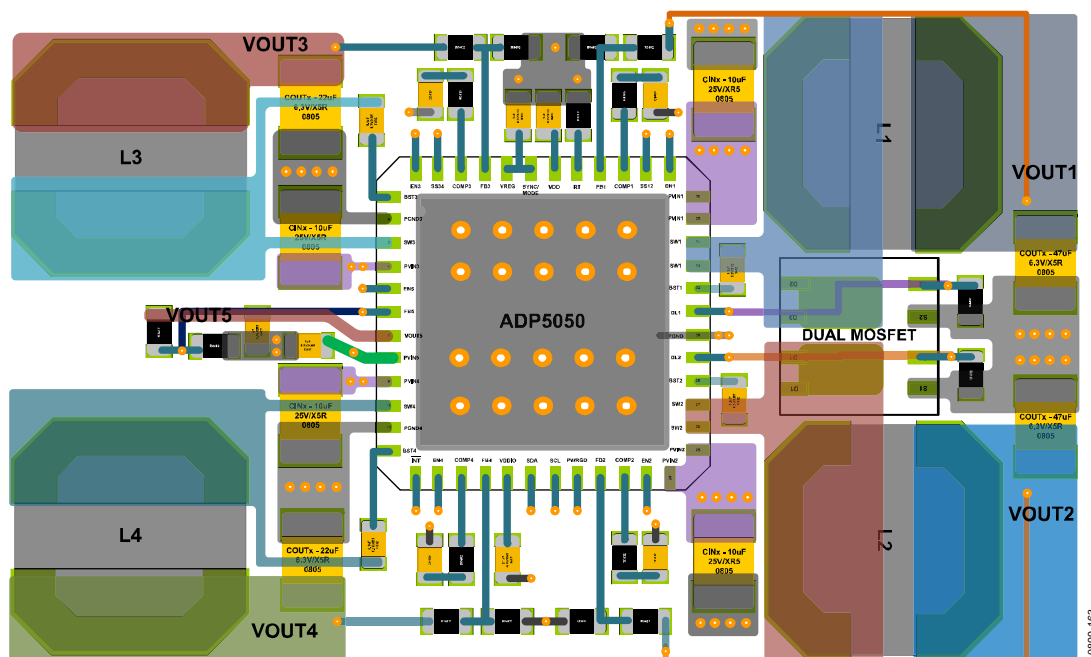


図 65. ADP5050 用の代表的な PCB レイアウト

## 代表的なアプリケーション回路

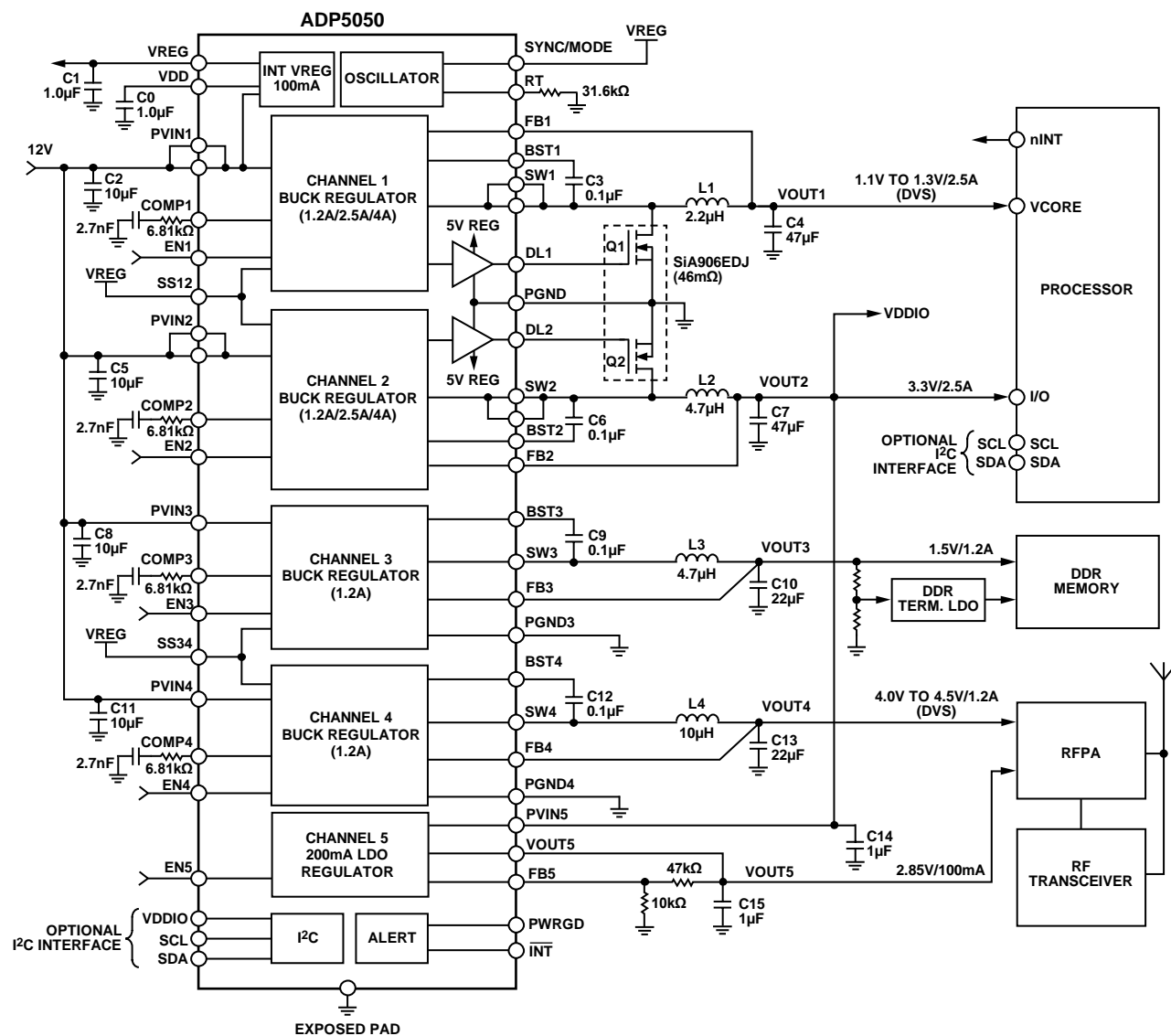


図 66. 代表的なフェムトセル用アプリケーション。600kHz スイッチング周波数、固定出力電圧モデル

10899-056

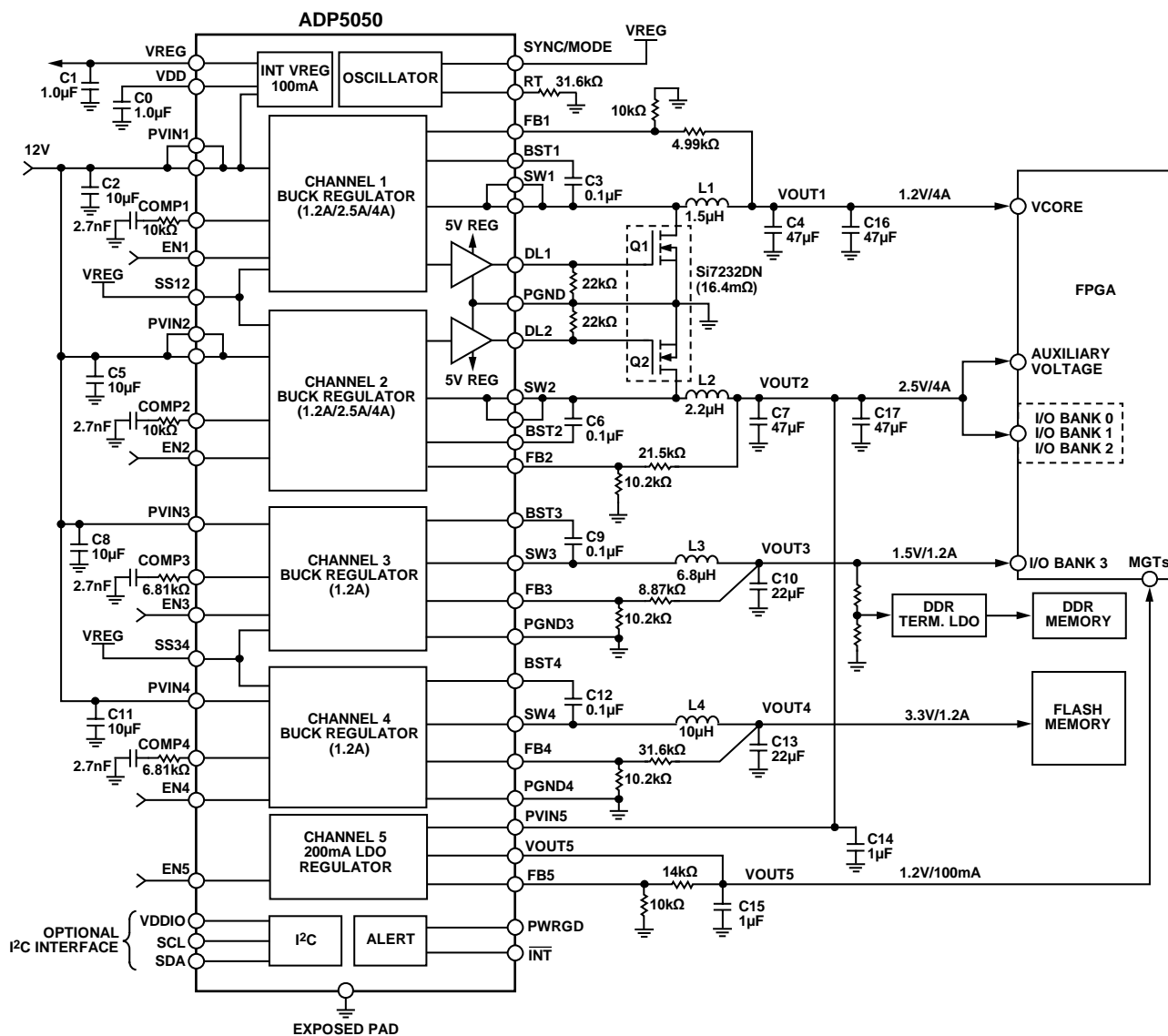
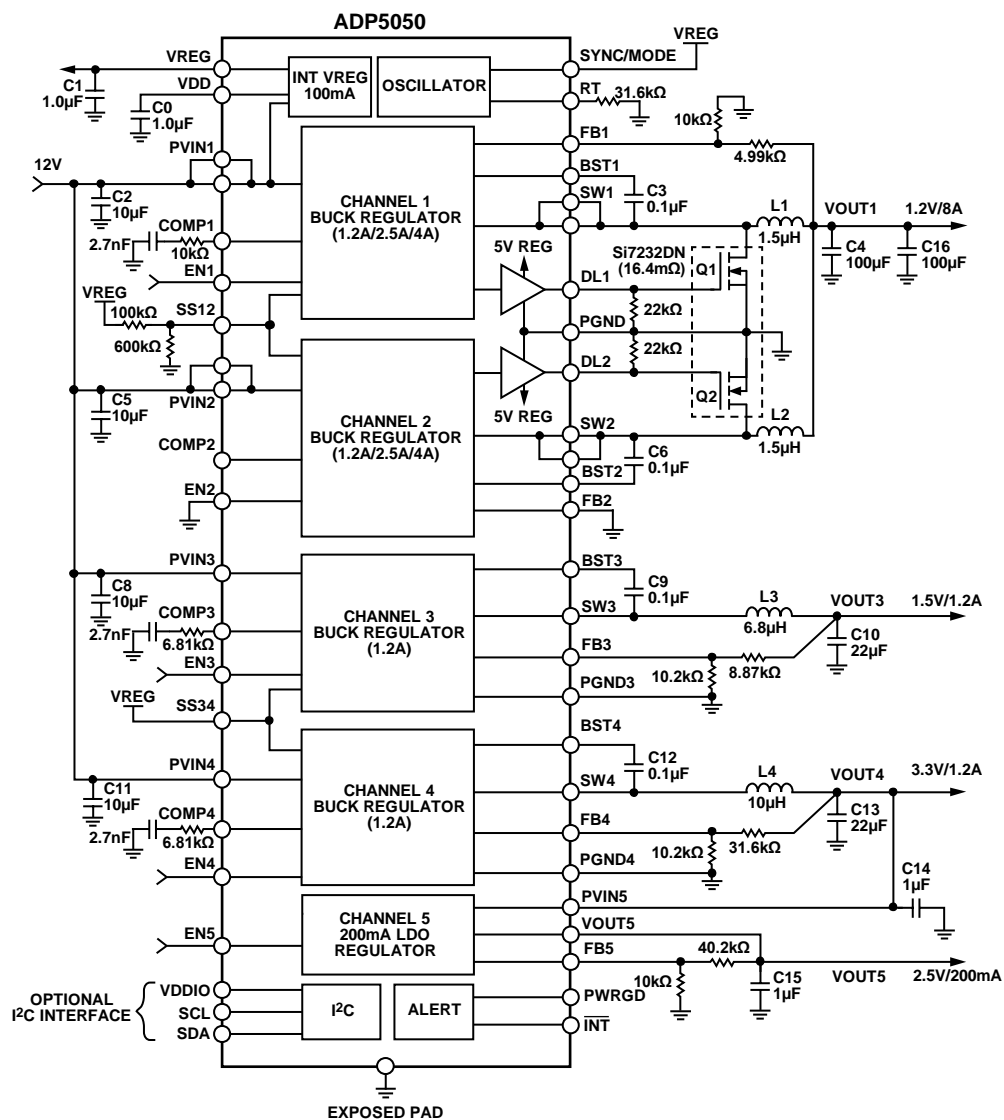


図 67. 代表的な FPGA アプリケーション。600kHz スイッチング周波数、可変出力モデル

10899-057



10859-165

図 68. 代表的なチャンネル 1 とチャンネル 2 との並列動作アプリケーション、可変出力モデル



## レジスタ・マップ

表 19. レジスタ・マップ

Reg.	Register Address	Register Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0x00	Reserved	Reserved							
1	0x01	PCTRL	Reserved			CH5_ON	CH4_ON	CH3_ON	CH2_ON	CH1_ON
2	0x02	VID1	Reserved			VID1[4:0]				
3	0x03	VID23	Reserved	VID3[2:0]			Reserved	VID2[2:0]		
4	0x04	VID4	Reserved			VID4[4:0]				
5	0x05	DVS_CFG	Reserved	DVS4_ON	DVS4_INTVAL[1:0]		Reserved	DVS1_ON	DVS1_INTVAL[1:0]	
6	0x06	OPT_CFG	DSCG4_ON	DSCG3_ON	DSCG2_ON	DSCG1_ON	PSM4_ON	PSM3_ON	PSM2_ON	PSM1_ON
7	0x07	LCH_CFG	OVP4_ON	OVP3_ON	OVP2_ON	OVP1_ON	SCP4_ON	SCP3_ON	SCP2_ON	SCP1_ON
8	0x08	SW_CFG	FREQ3	FREQ1	PHASE4[1:0]		PHASE3[1:0]		PHASE2[1:0]	
9	0x09	TH_CFG	Reserved		TEMP_TH[1:0]		LVIN_TH[3:0]			
10	0x0A	HICCUP_CFG	SYNC_OUT	Reserved			HICCUP4_OFF	HICCUP3_OFF	HICCUP2_OFF	HICCUP1_OFF
11	0x0B	PWRGD_MASK	Reserved				MASK_CH4	MASK_CH3	MASK_CH2	MASK_CH1
12	0x0C	LCH_STATUS	Reserved			TSD_LCH	CH4_LCH	CH3_LCH	CH2_LCH	CH1_LCH
13	0x0D	STATUS_RD	Reserved				PWRG4	PWRG3	PWRG2	PWRG1
14	0x0E	INT_STATUS	Reserved		TEMP_INT	LVIN_INT	PWRG4_INT	PWRG3_INT	PWRG2_INT	PWRG1_INT
15	0x0F	INT_MASK	Reserved		MASK_TEMP	MASK_LVIN	MASK_PWRG4	MASK_PWRG3	MASK_PWRG2	MASK_PWRG1
16	0x10	Reserved	Reserved							
17	0x11	DEFAULT_SET	DEFAULT_SET[7:0]							

## レジスタの詳細説明

このセクションでは、ADP5050 に備わっている、各レジスタ内ビットの機能を説明します。レジスタをリセットするには、特に断りがない限り、内部 VDD パワーオン・リセット信号をロー・レベルにして下さい。

### レジスタ 1:PCTRL（チャンネル・イネーブル制御）、Address 0x01

レジスタ 1 は、各チャンネルをイネーブルにしたり、ディスエーブルにしたりする設定に使われます。チャンネルのオンまたはオフの状態は、このレジスタ内の CHx\_ON ビットと、そのチャンネルのイネーブル（ENx）ピンとの論理積で制御

されます。CHx\_ON ビットのデフォルト値は「1」です。これは、イネーブル（ENx）ピンでチャンネルをイネーブルできることを意味します。I<sup>2</sup>C インターフェースによるチャンネルのディスエーブルとイネーブルは、ENx ピンがハイ・レベルの時のみ可能です。ENx ピンをロー・レベルすると、ENx ピンが再度ハイ・レベルになったとき、対応するチャンネルが起動できるよう、CHx\_ON ビットはデフォルト値である「1」になります。

表 20. レジスタ 1 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved			CH5_ON	CH4_ON	CH3_ON	CH2_ON	CH1_ON

表 21. PCTRL レジスタのビット機能説明

ビット	ビット名	アクセス	説明
[7:5]	Reserved	R/W	Reserved
4	CH5_ON	R/W	0 = チャンネル 5 をディスエーブル（EN5 ピンは、必ずハイ・レベルにして下さい）。 1 = チャンネル 5 をイネーブル（デフォルト）。
3	CH4_ON	R/W	0 = チャンネル 4 をディスエーブル（EN4 ピンは、必ずハイ・レベルにして下さい）。 1 = チャンネル 4 をイネーブル（デフォルト）。
2	CH3_ON	R/W	0 = チャンネル 3 をディスエーブル（EN3 ピンは、必ずハイ・レベルにして下さい）。 1 = チャンネル 3 をイネーブル（デフォルト）。
1	CH2_ON	R/W	0 = チャンネル 2 をディスエーブル（EN2 ピンは、必ずハイ・レベルにして下さい）。 1 = チャンネル 2 をイネーブル（デフォルト）。
0	CH1_ON	R/W	0 = チャンネル 1 をディスエーブル（EN1 ピンは、必ずハイ・レベルにして下さい）。 1 = チャンネル 1 をイネーブル（デフォルト）。

### レジスタ 2:VID1（チャンネル 1 用 VID 設定）、Address 0x02

レジスタ 2 は、チャンネル 1 の出力電圧を設定するために使われます。

表 22. レジスタ 2 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved			VID1[4:0]				

表 23. VID1 レジスタのビット機能説明

ビット	ビット名	アクセス	説明
[7:5]	Reserved	R/W	Reserved.
[4:0]	VID1[4:0]	R/W	これらのビットが、チャンネル 1 の出力電圧を設定します。デフォルト値は、工場でのヒューズ調整で設定します。 00000 = 0.8 V（可変）。 00001 = 0.85 V. 00010 = 0.875 V. 00011 = 0.9 V. ... 00111 = 1.0 V. ... 10011 = 1.3 V. ... 11011 = 1.5 V. ... 11110 = 1.575 V. 11111 = 1.6 V.

**レジスタ 3:VID23（チャンネル 2 及びチャンネル 3 用 VID 設定）、Address 0x03**

レジスタ 3 は、チャンネル 2 とチャンネル 3 の出力電圧の設定に使われます。

表 24. レジスタ 3 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved	VID3[2:0]			Reserved	VID2[2:0]		

表 25. VID23 レジスタの機能説明

ビット	ビット名	アクセス	説明
7	Reserved	R/W	Reserved
[6:4]	VID3[2:0]	R/W	これらのビットが、チャンネル 3 の出力電圧を設定します。デフォルト値は、工場でのヒューズ調整で設定します。 000 = 0.8 V（可変）. 001 = 1.2 V. 010 = 1.3 V. 011 = 1.4 V. 100 = 1.5 V. 101 = 1.6 V. 110 = 1.7 V. 111 = 1.8 V.
3	Reserved	R/W	Reserved
[2:0]	VID2[2:0]	R/W	これらのビットが、チャンネル 2 の出力電圧を設定します。デフォルト値は、工場でのヒューズ調整で設定します。 000 = 0.8 V（可変）. 001 = 3.3 V 010 = 3.6 V 011 = 3.9 V 100 = 4.2 V 101 = 4.5 V 110 = 4.8 V 111 = 5.0 V

**レジスタ 4:VID4（チャンネル 4 用 VID セットアップ）、Address 0x04**

レジスタ 4 は、チャンネル 4 の出力電圧を設定するために使われます。

表 26. レジスタ 4 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved				VID4[4:0]			

表 27. VID4 レジスタのビット機能説明

ビット	ビット名	アクセス	説明
[7:5]	Reserved	R/W	Reserved
[4:0]	VID4[4:0]	R/W	これらのビットが、チャンネル 4 の出力電圧を設定します。デフォルト値は、工場でのヒューズ調整で設定します。 00000 = 0.8 V（可変）. 00001 = 2.5 V 00010 = 2.6 V ... 00110 = 3.0 V ... 10000 = 4.0 V ... 11010 = 5.0 V ... 11110 = 5.4 V 11111 = 5.5 V

**レジスタ 5:DVS\_CFG（チャンネル 1 及びチャンネル 4 用 DVS 設定）、Address 0x05**

レジスタ 5 は、チャンネル 1 とチャンネル 4 のダイナミック電圧スケーリング（DVS）の設定のために使われます（詳細は、「ダイナミック電圧スケーリング（DVS）」参照）。

表 28. レジスタ 5 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved	DVS4_ON	DVS4_INTVAL[1:0]		Reserved	DVS1_ON	DVS1_INTVAL[1:0]	

表 29. DVS\_CF レジスタのビット機能説明

ビット	ビット名	アクセス	説明
7	Reserved	R/W	Reserved
6	DVS4_ON	R/W	0 = チャンネル 4 の DVS をディスエーブル（デフォルト）。 1 = チャンネル 4 の DVS をイネーブル。
[5:4]	DVS4_INTVAL[1:0]	R/W	これらのビットで、チャンネル 4 の DVS 間隔を設定します。 00 = 62.5 sec（デフォルト） 01 = 31.2 $\mu$ s. 10 = 15.6 $\mu$ s. 11 = 7.8 $\mu$ s.
3	Reserved	R/W	Reserved
2	DVS1_ON	R/W	0 = チャンネル 1 の DVS をディスエーブル（デフォルト）。 1 = チャンネル 1 の DVS をイネーブル。
[1:0]	DVS1_INTVAL[1:0]	R/W	これらのビットで、チャンネル 1 の DVS 間隔を設定します。 00 = 62.5 sec（デフォルト） 01 = 31.2 $\mu$ s. 10 = 15.6 $\mu$ s. 11 = 7.8 $\mu$ s.

## レジスタ 6:OPT\_CFG（FPWM/PSM モード及び出力放電機能設定）、Address 0x06

レジスタ 6 は、チャンネル 1 からチャンネル 4 までの動作モードと放電用ディスチャージ・スイッチの設定をするために使われます。各チャンネルの PSM<sub>x</sub>\_ON ビットは、SYNC/MODE ピンがハイ・レベル、もしくは SYNC/MODE ピンが、クロック入出力として設定されている時に有効です。

SYNC/MODE ピンがロー・レベルの時、全てのチャンネルは強制的に自動 PWM/PSM モードになり、このレジスタの PSM<sub>x</sub>\_ON ビットの設定は無視されます。出力放電機能のデフォルト値は、工場でのヒューズ調整で設定できます。つまり、4 つある個々の降圧レギュレータに対して、電圧放電機能をイネーブルにするか、ディスエーブルにするかを選択できます。

表 30. レジスタ 6 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DSCG4_ON	DSCG3_ON	DSCG2_ON	DSCG1_ON	PSM4_ON	PSM3_ON	PSM2_ON	PSM1_ON

表 31. OPT\_CFG レジスタのビット機能設定

ビット	ビット名	アクセス	説明
7	DSCG4_ON	R/W	デフォルト値は、工場でのヒューズ調整で設定します。 0 = チャンネル 4 の出力放電機能をディスエーブル。 1 = チャンネル 4 の出力放電機能をイネーブル。
6	DSCG3_ON	R/W	デフォルト値は、工場でのヒューズ調整で設定します。 0 = チャンネル 3 の出力放電機能をディスエーブル。 1 = チャンネル 3 の出力放電機能をイネーブル。
5	DSCG2_ON	R/W	デフォルト値は、工場でのヒューズ調整で設定します。 0 = チャンネル 2 の出力放電機能をディスエーブル。 1 = チャンネル 2 の出力放電機能をイネーブル。
4	DSCG1_ON	R/W	デフォルト値は、工場でのヒューズ調整で設定します。 0 = チャンネル 1 の出力放電機能をディスエーブル。 1 = チャンネル 1 の出力放電機能をイネーブル。
3	PSM4_ON	R/W	このビットは、SYNC/MODE ピンが、ロー・レベルの時は無視されます。 0 = チャンネル 4 の強制 PWM モードをイネーブルにします（デフォルト）。 1 = チャンネル 4 の自動 PWM/PSM モードをイネーブルにします。
2	PSM3_ON	R/W	このビットは、SYNC/MODE ピンが、ロー・レベルの時は無視されます。 0 = チャンネル 3 の強制 PWM モードをイネーブルにします（デフォルト）。 1 = チャンネル 3 の自動 PWM/PSM モードをイネーブルにします。
1	PSM2_ON	R/W	このビットは、SYNC/MODE ピンが、ロー・レベルの時は無視されます。 0 = チャンネル 2 の強制 PWM モードをイネーブルにします（デフォルト）。 1 = チャンネル 2 の自動 PWM/PSM モードをイネーブルにします。
0	PSM1_ON	R/W	このビットは、SYNC/MODE ピンが、ロー・レベルの時は無視されます。 0 = チャンネル 1 の強制 PWM モードをイネーブルにします（デフォルト）。 1 = チャンネル 1 の自動 PWM/PSM モードをイネーブルにします。

## レジスタ 7:LCH\_CFG（短絡ラッチオフ及び過電圧ラッチオフ設定）、Address 0x07

レジスタ 7 は、短絡保護（SCP）と過電圧保護（OVP）用のラッチオフ機能をイネーブルにするか、ディスエーブルにするかに使います。

SCP または OVP のラッチオフ機能がイネーブルの時、レジスタ 12 の CHx\_LCH ビットは、誤動作が起きた後に設定されます。

表 32. レジスタ 7 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OVP4_ON	OVP3_ON	OVP2_ON	OVP1_ON	SCP4_ON	SCP3_ON	SCP2_ON	SCP1_ON

表 33. LCH\_CFG レジスタのビット機能説明

ビット	ビット名	アクセス	説明
7	OVP4_ON	R/W	デフォルト値は、工場でのヒューズ調整で設定します。 0 = チャンネル 4 の OVP ラッチオフ機能をディスエーブル。 1 = チャンネル 4 の OVP ラッチオフ機能をイネーブル。
6	OVP3_ON	R/W	デフォルト値は、工場でのヒューズ調整で設定します。 0 = チャンネル 3 の OVP ラッチオフ機能をディスエーブル。 1 = チャンネル 3 の OVP ラッチオフ機能をイネーブル。
5	OVP2_ON	R/W	デフォルト値は、工場でのヒューズ調整で設定します。 0 = チャンネル 2 の OVP ラッチオフ機能をディスエーブル。 1 = チャンネル 2 の OVP ラッチオフ機能をイネーブル。
4	OVP1_ON	R/W	デフォルト値は、工場でのヒューズ調整で設定します。 0 = チャンネル 1 の OVP ラッチオフ機能をディスエーブル。 1 = チャンネル 1 の OVP ラッチオフ機能をイネーブル。
3	SCP4_ON	R/W	デフォルト値は、工場でのヒューズ調整で設定します。 0 = チャンネル 4 の SCP ラッチオフ機能をディスエーブル。 1 = チャンネル 4 の SCP ラッチオフ機能をイネーブル。
2	SCP3_ON	R/W	デフォルト値は、工場でのヒューズ調整で設定します。 0 = チャンネル 3 の SCP ラッチオフ機能をディスエーブル。 1 = チャンネル 3 の SCP ラッチオフ機能をイネーブル。
1	SCP2_ON	R/W	デフォルト値は、工場でのヒューズ調整で設定します。 0 = チャンネル 2 の SCP ラッチオフ機能をディスエーブル。 1 = チャンネル 2 の SCP ラッチオフ機能をイネーブル。
0	SCP1_ON	R/W	デフォルト値は、工場でのヒューズ調整で設定します。 0 = チャンネル 1 の SCP ラッチオフ機能をディスエーブル。 1 = チャンネル 1 の SCP ラッチオフ機能をイネーブル。

す（詳細は、「ラッチオフによる保護」セクション参照）。SCP ラッチオフと OVP ラッチオフ機能は、工場でのヒューズ調整で設定できます。つまり、4 つある個々の降圧レギュレータに対して、SCP もしくは OVP ラッチオフ機能をイネーブルにするかディスエーブルにするかを選択できます。

**レジスタ 8:SW\_CFG（スイッチング周波数及び位相シフト設定）、Address 0x08**

レジスタ 8 は、チャンネル 1 とチャンネル 3 のスイッチング周波数を設定し、チャンネル 1 (0°) を基準としたチャンネル 2、チャンネル 3、チャンネル 4 の位相シフトを設定するために使われます。チャンネル 1 とチャンネル 3 のスイッチング周波数を決めるビット・データのデフォルト値は、工場でのヒューズ調整で設定できます。

表 34. レジスタ 8 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FREQ3	FREQ1	PHASE4[1:0]		PHASE3[1:0]		PHASE2[1:0]	

表 35. SW\_CFG レジスタのビット機能説明

ビット	ビット名	アクセス	説明
7	FREQ3	R/W	ビット・データのデフォルト値は、工場でのヒューズ調整で設定できます。 0 = チャンネル 3 のスイッチング周波数を、RT ピンの設定で決められたマスター周波数と同じにします。 1 = チャンネル 3 のスイッチング周波数を、RT ピンの設定で決められたマスター周波数の半分にします。
6	FREQ1	R/W	ビット・データのデフォルト値は、工場でのヒューズ調整で設定できます。 0 = チャンネル 1 のスイッチング周波数を、RT ピンの設定で決められたマスター周波数と同じにします。 1 = チャンネル 1 のスイッチング周波数を、RT ピンの設定で決められたマスター周波数の半分にします。
[5:4]	PHASE4[1:0]	R/W	これらのビットで、チャンネル 1 (0°) を基準とした、チャンネル 4 の位相シフトを設定します。 00 = 位相シフト 0° 01 = 位相シフト 90° 10 = 位相シフト 180° (デフォルト) 11 = 位相シフト 270°
[3:2]	PHASE3[1:0]	R/W	これらのビットで、チャンネル 1 (0°) を基準とした、チャンネル 3 の位相シフトを設定します。 00 = 位相シフト 0 (デフォルト) 01 = 位相シフト 90° 10 = 位相シフト 180° 11 = 位相シフト 270°
[1:0]	PHASE2[1:0]	R/W	これらのビットで、チャンネル 1 (0°) を基準とした、チャンネル 2 の位相シフトを設定します。 00 = 位相シフト 0° 01 = 位相シフト 90° 10 = 位相シフト 180° (デフォルト) 11 = 位相シフト 270°

**レジスタ 9:TH\_CFG（温度警告及び  $V_{IN}$  への低電圧入力スレッシュホールド設定）、Address 0x09**

レジスタ 9 は、ジャンクション温度の過熱検知スレッシュホールドと、低入力電圧検知スレッシュホールドの設定に使われます。これらのスレッシュホールドがイネーブルのとき、設定されたスレッシュホールドを超えると、レジスタ 14 の TEMP\_INT と LVIN\_IN ステータス・ビットに値が書き込まれます。

表 36. レジスタ 9 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved		TEMP_TH[1:0]		LVIN_TH[3:0]			

表 37. TH\_CFG レジスタのビット機能説明

ビット	ビット名	アクセス	説明
[7:6]	Reserved	R/W	Reserved.
[5:4]	TEMP_TH[1:0]	R/W	これらのビットで、ジャンクション温度の過熱検知スレッシュホールドを設定します。 00 = 温度による警告機能をディスエーブル（デフォルト）。 01 = 105°C. 10 = 115°C. 11 = 125°C.
[3:0]	LVIN_TH[3:0]	R/W	これらのビットで、低入力電圧スレッシュホールドを設定します。 0000 = 4.2 V（デフォルト） 0001 = 4.7 V 0010 = 5.2 V 0011 = 5.7 V 0100 = 6.2 V 0101 = 6.7 V 0110 = 7.2 V 0111 = 7.7 V 1000 = 8.2 V 1001 = 8.7 V 1010 = 9.2 V 1011 = 9.7 V 1100 = 10.2 V 1101 = 10.7 V 1110 = 11.2 V 1111 = 低入力電圧警告機能をディスエーブル。



**レジスタ 10:HICCUP\_CFG（瞬断保護の設定）、Address 0x0A**

レジスタ 10 は、SYNC/MODE ピンを同期信号の入力とするか、出力とするかの設定と、各チャンネルの瞬断による保護機能の設定に使われます。瞬断による保護機能のデフォルト値は、工場によるヒューズ調整で設定できます。つまり、4つの降圧スイッチング・レギュレータ毎に、瞬断による保護をイネーブルにするかディスエーブルにするかを定める事ができます。

表 38. レジスタ 10 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SYNC_OUT	Reserved			HICCUP4_OFF	HICCUP3_OFF	HICCUP2_OFF	HICCUP1_OFF

表 39. HICCUP\_CFG レジスタのビット機能説明

ビット	ビット名	アクセス	説明
7	SYNC_OUT	R/W	ビット・データのデフォルト値は、工場でのヒューズ調整で設定できます。 0 = クロックが接続された時、SYNC/MODE ピンを、クロック同期入力と設定します（デフォルト） 1 = SYNC/MODE ピンを、クロック同期出力として設定します。
[6:4]	Reserved	R/W	Reserved
3	HICCUP4_OFF	R/W	ビット・データのデフォルト値は、工場でのヒューズ調整で設定できます。 0 = チャンネル 4 の瞬断による保護をイネーブルにします。 1 = チャンネル 4 の瞬断による保護をディスエーブルにします（短絡保護は自動的にディスエーブルになります）。
2	HICCUP3_OFF	R/W	ビット・データのデフォルト値は、工場でのヒューズ調整で設定できます。 0 = チャンネル 3 の瞬断による保護をイネーブルにします。 1 = チャンネル 3 の瞬断による保護をディスエーブルにします（短絡保護は自動的にディスエーブルになります）。
1	HICCUP2_OFF	R/W	ビット・データのデフォルト値は、工場でのヒューズ調整で設定できます。 0 = チャンネル 2 の瞬断による保護をイネーブルにします。 1 = チャンネル 2 の瞬断による保護をディスエーブルにします（短絡保護は自動的にディスエーブルになります）。
0	HICCUP1_OFF	R/W	ビット・データのデフォルト値は、工場でのヒューズ調整で設定できます。 0 = チャンネル 1 の瞬断による保護をイネーブルにします。 1 = チャンネル 1 の瞬断による保護をディスエーブルにします（短絡保護は自動的にディスエーブルになります）。

## レジスタ 11:PWRGD\_MASK (PWRGD ピンのチャンネル・マスク設定)、Address 0x0B

レジスタ 11 は、チャンネル 1 からチャンネル 4 のパワーグッド状態をマスクするか、マスクしないかの設定に使われます。マスクしない場合、どのチャンネルでパワーグッド障害が起きても、PWRGD ピンをトリガーします。PWRGD ピンの出力は、全てのマスクされていない PWRGD 信号の論理積で表されます。

すなわち、どのチャンネルで PWRGD 障害信号が起ころっても、PWRGD ピンは、ロー・レベルになります。PWRGD ピンがハイ・レベルになる前に、1ms の検証用遅延時間が存在します。パワーグッド・マスクのデフォルト値は、工場によるヒューズ調整で設定できます。つまり、4 つの降圧スイッチング・レギュレータ毎に、パワーグッド・マスクをイネーブルにするかディスエーブルにするか、決める事ができます。

表 40. レジスタ 11 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved				MASK_CH4	MASK_CH3	MASK_CH2	MASK_CH1

表 41. PWRGD\_MASK レジスタのビット機能説明

ビット	ビット名	アクセス	説明
[7:4]	Reserved	R/W	Reserved
3	MASK_CH4	R/W	ビット・データのデフォルト値は、工場でのヒューズ調整で設定できます。 0 = チャンネル 4 のパワーグッド状態をマスクします。 1 = チャンネル 4 のパワーグッド状態を、PWRGD ピンに出力します。
2	MASK_CH3	R/W	ビット・データのデフォルト値は、工場でのヒューズ調整で設定できます。 0 = チャンネル 3 のパワーグッド状態をマスクします。 1 = チャンネル 3 のパワーグッド状態を、PWRGD ピンに出力します。
1	MASK_CH2	R/W	ビット・データのデフォルト値は、工場でのヒューズ調整で設定できます。 0 = チャンネル 2 のパワーグッド状態をマスクします。 1 = チャンネル 2 のパワーグッド状態を、PWRGD ピンに出力します。
0	MASK_CH1	R/W	ビット・データのデフォルト値は、工場でのヒューズ調整で設定できます。 0 = チャンネル 1 のパワーグッド状態をマスクします。 1 = チャンネル 1 のパワーグッド状態を、PWRGD ピンに出力します。

**レジスタ 12:LCH\_STATUS（ラッチオフ・ステータスのリードバック）、Address 0x0C**

レジスタ 12 には、サーマル・シャットダウンのラッチされた障害フラグと、OVP または SCP 状態によって引き起こされたチャンネル・ラッチオフの障害フラグとが格納されています。ラッチされたフラグは、障害が無くなったとしてもリセットされません。ただし、障害が持続しないと判断された場合に限り、該当ビットに「1」が書き込まれてこのビットはクリアされます。

表 42. レジスタ 12 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved			TSD_LCH	CH4_LCH	CH3_LCH	CH2_LCH	CH1_LCH

表 43. LCH\_STATUS レジスタのビット機能説明

ビット	ビット名	アクセス	説明
[7:5]	Reserved	R/W	Reserved
4	TSD_LCH	Read/ self-clear	0 = サーマル・シャットダウンは発生していない。 1 = サーマル・シャットダウンが発生。
3	CH4_LCH	Read/ self-clear	0 = チャンネル 4 に、短絡または過電圧によるラッチオフの発生無し。 1 = チャンネル 4 に、短絡または過電圧によるラッチオフの発生。
2	CH3_LCH	Read/ self-clear	0 = チャンネル 3 に、短絡または過電圧によるラッチオフの発生無し。 1 = チャンネル 3 に、短絡または過電圧によるラッチオフの発生。
1	CH2_LCH	Read/ self-clear	0 = チャンネル 2 に、短絡または過電圧によるラッチオフの発生無し。 1 = チャンネル 2 に、短絡または過電圧によるラッチオフの発生。
0	CH1_LCH	Read/ self-clear	0 = チャンネル 1 に、短絡または過電圧によるラッチオフの発生無し。 1 = チャンネル 1 に、短絡または過電圧によるラッチオフの発生。

**レジスタ 13:STATUS\_RD（ステータス・リードバック）、Address 0x0D**

読み出しのみ可能なレジスタ 13 は、チャンネル 1 からチャンネル 4 のパワーグッド信号を、リアルタイムで反映しています。

表 44. レジスタ 13 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved				PWRG4	PWRG3	PWRG2	PWRG1

表 45. STATUS\_RD レジスタのビット機能説明

ビット	ビット名	アクセス	Description
[7:4]	Reserved	R	Reserved
3	PWRG4	R	0 = チャンネル 4 のパワーグッド状態は、ロー・レベル（デフォルト）。 1 = チャンネル 4 のパワーグッド状態は、ハイ・レベル。
2	PWRG3	R	0 = チャンネル 3 のパワーグッド状態は、ロー・レベル（デフォルト）。 1 = チャンネル 3 のパワーグッド状態は、ハイ・レベル。
1	PWRG2	R	0 = チャンネル 2 のパワーグッド状態は、ロー・レベル（デフォルト）。 1 = チャンネル 2 のパワーグッド状態は、ハイ・レベル。
0	PWRG1	R	0 = チャンネル 1 のパワーグッド状態は、ロー・レベル（デフォルト）。 1 = チャンネル 1 のパワーグッド状態は、ハイ・レベル。

## レジスタ 14:INT\_STATUS（割り込みステータスのリードバック）Address 0x0E

レジスタ 14 には、以下のイベントにおける割り込みステータスを格納します。それらは、チャンネル 1 からチャンネル 4 の、ジャンクション温度の過熱警告、低入力電圧警告そしてパワーグッド信号障害です。

これらのマスクされていないイベントが 1 つでも発生したら、INT ピンがロー・レベルになって、障害発生を知らせます。（どのようなイベントで割り込みを発生させるかは、レジスタ 15 で設定します。）どこで障害が発生したのかを知るには、このレジスタを読んで下さい。ラッチされたフラグは、障害が無くなったとしてもリセットされません。ただし、該当ビットに「1」が書き込まれているか、もしくは全ての ENx ピンが 0 になるか、のどちらかでクリアされます。

表 46. レジスタ 14 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved		TEMP_INT	LVIN_INT	PWRG4_INT	PWRG3_INT	PWRG2_INT	PWRG1_INT

表 47. INT\_STATUS レジスタのビット機能説明

ビット	ビット名	アクセス	説明
[7:6]	Reserved	R/W	Reserved
5	TEMP_INT	Read/ self-clear	このビットは、ジャンクション温度のスレッシュホールドを超えているかどうかを示します。 0 = ジャンクション温度のスレッシュホールドを超えていない。 1 = ジャンクション温度のスレッシュホールドを超えている。
4	LVIN_INT	Read/ self-clear	このビットは、低入力電圧スレッシュホールドを超えているかどうかを示します。 0 = 入力電圧が、スレッシュホールドを下回っていない。 1 = 入力電圧が、スレッシュホールドを下回っている。
3	PWRG4_INT	Read/ self-clear	パワーグッド割り込みは、デバイスが初期化されたときと、通常にシャットダウンを行っている期間中は、マスクされます。 0 = チャンネル 4 で、パワーグッド障害は検知されていない。 1 = チャンネル 4 で、パワーグッド障害が検知されている。
2	PWRG3_INT	Read/ self-clear	パワーグッド割り込みは、デバイスが初期化されたときと、通常にシャットダウンを行っている期間中は、マスクされます。 0 = チャンネル 3 で、パワーグッド障害は検知されていない。 1 = チャンネル 3 で、パワーグッド障害が検知されている。
1	PWRG2_INT	Read/ self-clear	パワーグッド割り込みは、デバイスが初期化されたときと、通常にシャットダウンを行っている期間中は、マスクされます。 0 = チャンネル 2 で、パワーグッド障害は検知されていない。 1 = チャンネル 2 で、パワーグッド障害が検知されている。
0	PWRG1_INT	Read/ self-clear	パワーグッド割り込みは、デバイスが初期化されたときと、通常にシャットダウンを行っている期間中は、マスクされます。 0 = チャンネル 1 で、パワーグッド障害は検知されていない。 1 = チャンネル 1 で、パワーグッド障害が検知されている。

**レジスタ 15:INT\_MASK （割り込みマスクの設定）、Address 0x0F**

レジスタ 15 は、割り込み（ $\overline{\text{INT}}$ ）ピンを使う各種警告を、マスクするかしないかの設定のために使われます。このレジスタ内の、あるレジスタがマスクされている場合、そのレジスタに関連するイベントが起こったとしても、 $\overline{\text{INT}}$ ピンをトリガーすることはありません。

表 48. レジスタ 15 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved		MASK_TEMP	MASK_LVIN	MASK_PWRG4	MASK_PWRG3	MASK_PWRG2	MASK_PWRG1

表 49. INT\_MASK レジスタのビット機能説明

ビット	ビット名	アクセス	説明
[7:6]	Reserved	R/W	Reserved
5	MASK_TEMP	R/W	0 = 温度過熱警告が、割り込みピンをトリガーしない（デフォルト）。 1 = 温度過熱警告が、割り込みピンをトリガーする。
4	MASK_LVIN	R/W	0 = 低電圧入力警告が、割り込みピンをトリガーしない（デフォルト）。 1 = 低電圧入力警告が、割り込みピンをトリガーする。
3	MASK_PWRG4	R/W	0 = チャンネル 4 のパワーグッド警告が、割り込みピンをトリガーしない（デフォルト）。 1 = チャンネル 4 のパワーグッド警告が、割り込みピンをトリガーする。
2	MASK_PWRG3	R/W	0 = チャンネル 3 のパワーグッド警告が、割り込みピンをトリガーしない（デフォルト）。 1 = チャンネル 3 のパワーグッド警告が、割り込みピンをトリガーする。
1	MASK_PWRG2	R/W	0 = チャンネル 2 のパワーグッド警告が、割り込みピンをトリガーしない（デフォルト）。 1 = チャンネル 2 のパワーグッド警告が、割り込みピンをトリガーする。
0	MASK_PWRG1	R/W	0 = チャンネル 1 のパワーグッド警告が、割り込みピンをトリガーしない（デフォルト）。 1 = チャンネル 1 のパワーグッド警告が、割り込みピンをトリガーする。

**レジスタ 17:DEFAULT\_SET （デフォルト値へのリセット）、Address 0x11**

書き込み専用のレジスタ 17 は、全てのレジスタをデフォルト値にリセットするために使われます。

表 50. レジスタ 17 のビット割り当て

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEFAULT_SET[7:0]							

表 51. DEFAULT\_SET レジスタのビット機能説明

ビット	ビット名	アクセス	説明
[7:0]	DEFAULT_SET[7:0]	W	全てのレジスタをリセットするには、このレジスタに 0x7F を書き込みます。

## 工場プログラム可能なオプション

表 52 から表 65 に、アナログ・デバイセスへの注文時、ADP5050 にプログラムできるオプションの一覧を示します。デフォルト・オプションの一覧は、表 66 を参照してください。デフォルトではないオプションでデバイスを注文される場合は、アナログ・デバイセスの担当営業、もしくは代理店までご相談下さい。

表 52. チャンネル 1 用出力電圧オプション（固定出力オプション：0.85 V～1.6 V、25 mV ステップ）

オプション	説明
オプション 0	0.8 V 可変電圧出力（デフォルト）
オプション 1	0.85 V 固定電圧出力
オプション 2	0.875 V 固定電圧出力
...	...
オプション 30	1.575 V 固定電圧出力
オプション 31	1.6 V 固定電圧出力

表 53. チャンネル 2 用出力電圧オプション（固定出力オプション：3.3 V～5.0 V、300mV/200 mV ステップ）

オプション	説明
オプション 0	0.8 V 可変電圧出力（デフォルト）
オプション 1	3.3 V 固定電圧出力
オプション 2	3.6 V 固定電圧出力
オプション 3	3.9 V 固定電圧出力
オプション 4	4.2 V 固定電圧出力
オプション 5	4.5 V 固定電圧出力
オプション 6	4.8 V 固定電圧出力
オプション 7	5.0 V 固定電圧出力

表 54. チャンネル 3 用出力電圧オプション（固定出力オプション：1.2 V～1.8 V、100 mV ステップ）

オプション	説明
オプション 0	0.8 V 可変電圧出力（デフォルト）
オプション 1	1.2 V 固定電圧出力
オプション 2	1.3 V 固定電圧出力
オプション 3	1.4 V 固定電圧出力
オプション 4	1.5 V 固定電圧出力
オプション 5	1.6 V 固定電圧出力
オプション 6	1.7 V 固定電圧出力
オプション 7	1.8 V 固定電圧出力

表 55. チャンネル 4 用出力電圧オプション（固定出力オプション：2.5 V～5.5 V、100 mV ステップ）

オプション	説明
オプション 0	0.8 V 可変電圧出力（デフォルト）
オプション 1	2.5 V 固定電圧出力
オプション 2	2.6 V 固定電圧出力
...	...
オプション 30	5.4 V 固定電圧出力
オプション 31	5.5 V 固定電圧出力

表 56. ピン 20—PWRGD/A0 ピンのオプション

オプション	説明
オプション 0	PWRGD ピンをパワーグッド出力にする（デフォルト）
オプション 1	PWRGD ピンを A0 ピンとして構成し、I <sup>2</sup> C アドレス設定に使う

表 57. PWRGD 出力オプション

オプション	説明
オプション 0	どの出力もモニターしない
オプション 1	チャンネル 1 出力をモニターする（デフォルト）
オプション 2	チャンネル 2 出力をモニターする
オプション 3	チャンネル 1 とチャンネル 2 の出力をモニターする
オプション 4	チャンネル 3 出力をモニターする
オプション 5	チャンネル 1 とチャンネル 3 の出力をモニターする
オプション 6	チャンネル 2 とチャンネル 3 の出力をモニターする
オプション 7	チャンネル 1、チャンネル 2 及びチャンネル 3 の出力をモニターする
オプション 8	チャンネル 4 出力をモニターする
オプション 9	チャンネル 1 とチャンネル 4 の出力をモニターする
オプション 10	チャンネル 2 とチャンネル 4 の出力をモニターする
オプション 11	チャンネル 1、チャンネル 2 及びチャンネル 4 の出力をモニターする
オプション 12	チャンネル 3 とチャンネル 4 の出力をモニターする
オプション 13	チャンネル 1、チャンネル 3 及びチャンネル 4 の出力をモニターする
オプション 14	チャンネル 2、チャンネル 3 及びチャンネル 4 の出力をモニターする
オプション 15	チャンネル 1、チャンネル 2、チャンネル 3、チャンネル 4 の出力をモニターする

表 58. 出力放電機能オプション

オプション	説明
オプション 0	4 つ全ての降圧スイッチング・レギュレータに対して出力放電機能ディスエーブル
オプション 1	4 つ全ての降圧スイッチング・レギュレータに対して出力放電機能イネーブル（デフォルト）

表 59. チャンネル 1 用スイッチング周波数オプション

オプション	説明
オプション 0	RT ピンによって、スイッチング周波数が設定できます（デフォルト）。
オプション 1	RT ピンによって、スイッチング周波数（デフォルトの 1/2）が設定できます。

表 60. チャンネル 3 用スイッチング周波数オプション

オプション	説明
オプション 0	RT ピンによって、スイッチング周波数が設定できます（デフォルト）。
オプション 1	RT ピンによって、スイッチング周波数（デフォルトの 1/2）が設定できます。

表 61. ピン 43—SYNC/MODE ピンオプション

オプション	説明
オプション 0	デバイスを外部クロックと同期可能にし、強制 PWM と自動 PWM/PSM モードの設定が可能（デフォルト）
オプション 1	RT ピンで設定されたマスター周波数と同じクロック信号の発生

表 62. 4 つの降圧スイッチング・レギュレータに対する瞬断保護オプション

オプション	説明
オプション 0	過電流が発生したときに瞬断保護イネーブル（デフォルト）
オプション 1	瞬断保護ディスエーブル：過電流が発生した時は、周波数フォールバックによる保護のみ

表 63. つの降圧スイッチング・レギュレータに対する短絡ラッチオフオプション

オプション	説明
オプション 0	出力短絡時のラッチオフ機能ディスエーブル（デフォルト）
オプション 1	出力短絡時のラッチオフ機能イネーブル

表 64. 4つの降圧スイッチング・レギュレータの過電圧保護

オプション	説明
オプション 0	出力過電圧時のラッチオフ機能ディスエーブル（デフォルト）
オプション 1	出力過電圧時のラッチオフ機能イネーブル

表 65. I<sup>2</sup>C Address Options

オプション	説明
オプション 0	0x48（デフォルト）
オプション 1	0x58
オプション 2	0x68
オプション 3	0x78

## 工場出荷時のデフォルト・オプション

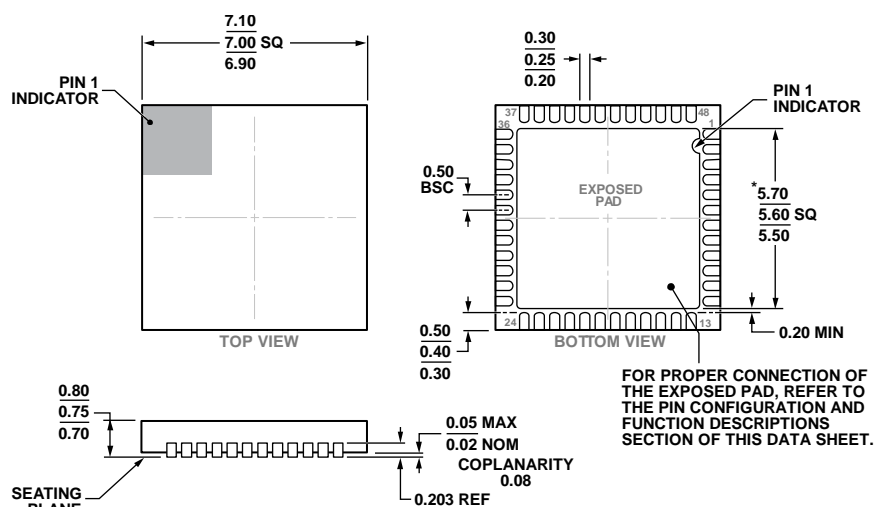
表 66 は、デバイス発注時、ADP5050 にデフォルトでプログラムされているオプションの一覧です（「オーダー・ガイド」参照）。デフォルトではないオプションでデバイスを注文される場合は、アナログ・デバイセズの担当営業、もしくは代理店までご相談下さい。表 52 から表 65 に、このデバイスで対応できるオプション一覧を示します。

表 66. 工場出荷時のデフォルト・オプション

オプション	デフォルト値
チャンネル 1 の出力電圧	0.8 V 可変電圧出力
チャンネル 2 の出力電圧	0.8 V 可変電圧出力
チャンネル 3 の出力電圧	0.8 V 可変電圧出力
チャンネル 4 の出力電圧	0.8 V 可変電圧出力
PWRGD ピン（ピン 20）の機能	PWRGD ピン：パワーグッド出力
PWRGD ピン（ピン 20）出力	チャンネル 1 出力をモニターする
出力放電機能	4 つ全ての降圧スイッチング・レギュレータでイネーブル
チャンネル 1 のスイッチング周波数	RT ピンに抵抗を接続し、スイッチング周波数（1 倍）を発生
チャンネル 3 のスイッチング周波数	RT ピンに抵抗を接続し、スイッチング周波数（1 倍）を発生
SYNC/MODE ピン（ピン 43）の機能	デバイスを外部クロックと同期可能にし、強制 PWM と自動 PWM/PSM モードの設定が可能
瞬断保護	過電流時に瞬断保護
短絡ラッチオフ機能	短絡時、ラッチオフ機能ディスエーブル
過電圧時ラッチオフ機能	過電圧時、ラッチオフ機能ディスエーブル
I <sup>2</sup> C Address	0x48



## 外形寸法



**\*COMPLIANT TO JEDEC STANDARDS MO-220-WKKD-2  
WITH THE EXCEPTION OF THE EXPOSED PAD DIMENSION.**

図 6948 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_VQ]  
7 mm × 7 mm ボディ、極薄クワッド  
(CP-48-13)  
寸法: mm

0-24-2013-D

## オーダー・ガイド

モデル名 <sup>1</sup>	温度範囲	パッケージ	パッケージ・オプション <sup>2</sup>
ADP5050ACPZ-R7	-40°C～+125°C	48ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]	CP-48-13
ADP5050-EVALZ		評価ボード	

<sup>1</sup> Z = ROHS 準拠製品

表 66 に、このデバイスにおける工場出荷時のデフォルト・オプションを示します。工場プログラム可能なオプションのリストは、「工場プログラム可能なオプション」セクションを参照下さい。デフォルトではないオプションでデバイスを注文される場合は、アナログ・デバイセズの担当営業、もしくは代理店までご相談下さい。

ノート

## ノート

## ノート

I<sup>2</sup>C refers to a communications protocol originally developed by Philips Semiconductors (now NXP Semiconductors).