

## 特長

- 入力電圧範囲: 2.3 V~5.5 V
- 1 系統の 0.8 A 降圧レギュレータを内蔵
- 2 系統の 300 mA LDO を内蔵
- 20 ピン 4 mm × 4 mm の LFCSP パッケージを採用
- 初期レギュレータ精度: ±1%
- 過電流保護機能およびサーマル保護機能
- ソフト・スタート
- 低電圧ロックアウト
- 監視機能付きのオープン・ドレイン・プロセッサ・リセット
- 閾値精度: 全温度範囲で±1.5%
- $V_{CC} = 1V$  までリセット出力の有効を保証
- システム安全性のための 2 系統のウォッチドッグ
  - ウォッチドッグ 1 はリセットを制御
  - ウォッチドッグ 2 はリセットとレギュレータ・パワー・サイクルを制御

### 降圧レギュレータの主要仕様

- 優れた過渡応答特性を持つ電流モード回路
- 動作周波数: 3 MHz
- 小型の積層インダクタとコンデンサを使用可能
- 強制 PWM モードまたは自動 PFM/PSM モードを Mode ピンにより選択可能
- 100% デューティ・サイクルの低ドロップアウト・モード

### LDO の主要仕様

- 1.7 V~5.5 V の低い  $V_{IN}$
- 1  $\mu F$  のセラミック出力コンデンサで安定
- 高い PSRR: 1 kHz/10 kHz まで 60 dB PSRR
- 低出力ノイズ
  - $V_{OUT} = 2.8V$  での出力ノイズ: 110  $\mu V$  rms (typ)
- 低ドロップアウト電圧: 300 mA 負荷で 150 mV
- ジャンクション温度範囲: -40°C~+125°C

## 概要

ADP5042 は、1 系統の高性能降圧レギュレータと 2 系統の低ドロップアウト・レギュレータ(LDO)を小型 20 ピン LFCSP パッケージに内蔵し、厳しい性能条件とボード・スペース条件を満たします。

降圧レギュレータのスイッチング周波数が高いため、小型の多層外付け部品を使用してボード・スペースを削減することができます。

MODE ピンを使うと、降圧モード動作を選択することができます。ハイ・レベルに設定すると、降圧レギュレータは強制 PWM モードで動作し、MODE ピンをロー・レベルに設定すると、負荷が公称値付近にある場合、降圧スイッチング・レギュレータは PWM モードで動作します。負荷電流が予め定めた閾値を下回ると、レギュレータはパワーセーブモード(PSM)で動作して、軽負荷時の効率を向上させます。

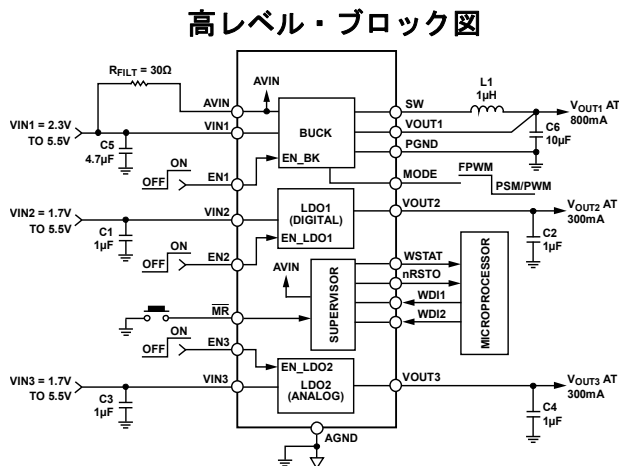


図 1.

ADP5042 LDO は低い静止電流、低ドロップアウト電圧、広い入力電圧範囲を持つため、携帯機器のバッテリー寿命を延ばすことができます。2 系統の LDO の電源除去比は最大 10 kHz までの周波数で 60 dB 以上あり、小さいヘッドルーム電圧で動作します。

各レギュレータは、対応するイネーブル・ピンがハイ・レベルになると起動されます。ADP5042 は出荷時にデフォルト出力電圧が設定されていますが、広い範囲に設定することができます。

ADP5042 は、マイクロプロセッサ採用システムの電源電圧レベルと正常なコード実行を監視する監視回路を内蔵しています。また、パワーオン・リセット信号も提供します。内蔵の 2 系統のウォッチドッグ・タイマは、予め設定されたタイムアウト周期内にリセットできないときに、マイクロプロセッサまたはシステムのパワー・サイクルをリセットすることができます(ウォッチドッグ 2)。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2010 Analog Devices, Inc. All rights reserved.

## 目次

特長.....	1	降圧レギュレータ・セクション.....	19
高レベル・ブロック図.....	1	LDOセクション.....	20
概要.....	1	監視回路セクション.....	20
改訂履歴.....	2	アプリケーション情報.....	23
仕様.....	3	外付け部品の選択.....	23
全体仕様.....	3	LDOコンデンサの選択.....	24
監視回路仕様.....	3	監視回路セクション.....	25
降圧レギュレータ仕様.....	5	PCBレイアウトのガイドライン.....	26
LDO1、LDO2仕様.....	5	評価ボードの回路図とアートワーク.....	27
入力コンデンサと出力コンデンサの推奨仕様.....	6	推奨レイアウト.....	27
絶対最大定格.....	7	部品表.....	28
熱抵抗.....	7	アプリケーション図.....	28
ESDに関する注意.....	7	出荷時設定オプション.....	29
ピン配置およびピン機能説明.....	8	外形寸法.....	30
動作原理.....	18	オーダー・ガイド.....	30
パワー・マネジメント・ユニット.....	18		

## 改訂履歴

12/10—Revision 0: Initial Version

## 仕様

### 全体仕様

特に指定がない限り、AVIN、VIN1 = (V<sub>OUT1</sub> + 0.5 V) または 2.3 V (いずれか大きい方)、AVIN、VIN1 ≥ VIN2、VIN3、T<sub>A</sub> = 25°C。レギュレータをイネーブル。

表 1.

Parameter	Symbol	Description	Min	Typ	Max	Unit
AVIN UNDERVOLTAGE LOCKOUT	UVLO <sub>AVIN</sub>	T <sub>J</sub> = -40°C to +125°C				
Input Voltage Rising	UVLO <sub>AVINRISE</sub>				2.25	V
Input Voltage Falling	UVLO <sub>AVINFALL</sub>		1.95			V
SHUTDOWN CURRENT	I <sub>GND-SD</sub>	ENx = GND ENx = GND, T <sub>J</sub> = -40°C to +125°C		0.1		μA
Thermal Shutdown Threshold	TS <sub>SD</sub>	T <sub>J</sub> rising		150	2	°C
Thermal Shutdown Hysteresis	TS <sub>SD-HYS</sub>			20		°C
ENx, WDIX, MODE, WMOD, MR INPUTS						
Input Logic High	V <sub>IH</sub>	2.5 V ≤ AVIN ≤ 5.5 V	1.2			V
Input Logic Low	V <sub>IL</sub>	2.5 V ≤ AVIN ≤ 5.5 V			0.4	V
Input Leakage Current (WMOD Excluded)	V <sub>I-LEAKAGE</sub>	ENx = AVIN or GND		0.05		μA
WMOD Input Leakage Current	V <sub>I-LKG-WMOD</sub>	ENx = AVIN or GND, T <sub>J</sub> = -40°C to +125°C V <sub>WMOD</sub> = 3.6 V, T <sub>J</sub> = -40°C to +125°C			1	μA
					50	μA
OPEN-DRAIN OUTPUTS						
nRSTO, WSTAT Output Voltage	V <sub>OL</sub>	AVIN = 2.3 V to 5.5 V, I <sub>nRSTO/WSTAT</sub> = 3 mA		30		mV
Open-Drain Reset Output Leakage Current					1	μA

### 監視回路仕様

特に指定がない限り、AVIN、VIN1 = 全動作範囲、T<sub>J</sub> = -40°C ~ +125°C。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY					
Supply Current (Supervisory Circuit Only)		45	55	μA	AVIN = 5.5 V, EN1 = EN2 = EN3 = VIN
		43	52	μA	AVIN = 3.6 V, EN1 = EN2 = EN3 = VIN
RESET THRESHOLD ACCURACY	V <sub>TH</sub> - 0.8%	V <sub>TH</sub>	V <sub>TH</sub> + 0.8%	V	T <sub>A</sub> = 25°C, sensed on V <sub>OUTx</sub>
	V <sub>TH</sub> - 1.5%	V <sub>TH</sub>	V <sub>TH</sub> + 1.5%	V	T <sub>J</sub> = -40°C to +125°C, sensed on V <sub>OUTx</sub>
RESET THRESHOLD TO OUTPUT DELAY GLITCH IMMUNITY (t <sub>UOD</sub> )	50	125	400	μs	V <sub>TH</sub> = V <sub>OUT</sub> - 50 mV
RESET TIMEOUT PERIOD WATCHDOG1 (t <sub>RP1</sub> )					
Option A	24	30	36	ms	
Option B	160	200	240	ms	
RESET TIMEOUT PERIOD WATCHDOG2 (t <sub>RP2</sub> )					
	3.5	5	7	ms	
V <sub>CC</sub> TO RESET DELAY (t <sub>RD</sub> )		150		μs	VIN1 falling at 1 mV/μs
REGULATORS SEQUENCING DELAY (t <sub>D1</sub> , t <sub>D2</sub> )		2		ms	
WATCHDOG INPUTS					
Watchdog 1 Timeout Period (t <sub>WD1</sub> )					
Option A	81.6	102	122.4	ms	
Option B	1.28	1.6	1.92	sec	
Watchdog 2 Timeout Period (t <sub>WD2</sub> )					
Option A	6	7.5	9	sec	
Option B		Watchdog 2 disabled			
Option C	3.2	4	4.8	min	
Option D	6.4	8	9.6	min	
Option E	11.2	16	19.2	min	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Option F	25.6	32	38.4	min	
Option G	51.2	64	76.8	min	
Option H	102.4	128	153.8	min	
Watchdog 2 Power Off Period ( $t_{POFF}$ )					
Option A		210		ms	
Option B		400		ms	
WDI1 Pulse Width	80			ns	$V_{IL} = 0.4\text{ V}$ , $V_{IH} = 1.2\text{ V}$
WDI2 Pulse Width	8			$\mu\text{s}$	$V_{IL} = 0.4\text{ V}$ , $V_{IH} = 1.2\text{ V}$
Watchdog Status Timeout Period ( $t_{WD CLEAR}$ )		11.2		sec	
WDI1 Input Current (Source)	8	15	20	$\mu\text{A}$	$V_{WDI1} = V_{CC}$ , time average
WDI1 Input Current (Sink)	-30	-25	-14	$\mu\text{A}$	$V_{WDI1} = 0$ , time average
WDI2 Internal Pull-Down		45		$\text{k}\Omega$	
<b>MANUAL RESET INPUT</b>					
$\overline{\text{MR}}$ Input Pulse Width	1			$\mu\text{s}$	
$\overline{\text{MR}}$ Glitch Rejection		220		ns	
$\overline{\text{MR}}$ Pull-Up Resistance	25	52	80	$\text{k}\Omega$	
$\overline{\text{MR}}$ to Reset Delay		280		ns	$V_{CC} = 5\text{ V}$

## 降圧レギュレータ仕様

特に指定がない限り、 $AVIN$ 、 $V_{IN1} = 3.6\text{ V}$ 、 $V_{OUT1} = 1.8\text{ V}$ 、 $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$  (最小/最大仕様の場合)、 $L = 1\ \mu\text{H}$ 、 $C_{OUT} = 10\ \mu\text{F}$ 、 $T_A = 25^\circ\text{C}$  (typ仕様の場合)。<sup>1</sup>

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS					
Input Voltage Range (VIN1)		2.3		5.5	V
OUTPUT CHARACTERISTICS					
Output Voltage Accuracy	PWM mode, $T_A = 25^\circ\text{C}$ , $I_{LOAD} = 100\text{ mA}$	-1		+1	%
	PWM mode	-2		+2	%
	$V_{IN1} = 2.3\text{ V}$ to $5.5\text{ V}$ , PWM mode, $I_{LOAD} = 1$ to $800\text{ mA}$	-3		+3	%
PWM TO POWER SAVE MODE CURRENT THRESHOLD			100		mA
INPUT CURRENT CHARACTERISTICS					
DC Operating Current	$I_{LOAD} = 0\text{ mA}$ , device not switching		21	35	$\mu\text{A}$
Shutdown Current	$ENX = 0\text{ V}$ , $T_A = T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$		0.2	1.0	$\mu\text{A}$
SW CHARACTERISTICS					
SW On Resistance	PFET		180	240	m $\Omega$
	PFET, $AVIN = VIN1 = 5\text{ V}$		140	190	m $\Omega$
	NFET		170	235	m $\Omega$
	NFET, $AVIN = VIN1 = 5\text{ V}$		150	210	m $\Omega$
	PFET switch peak current limit		1100	1360	1600
Current Limit					
ACTIVE PULL-DOWN	$EN1 = 0\text{ V}$		75		$\Omega$
OSCILLATOR FREQUENCY		2.5	3.0	3.5	MHz
START-UP TIME			250		$\mu\text{s}$

<sup>1</sup> 温度限界におけるすべての規定値は、標準の統計的品質管理手法(SQC)を使う関連により保証。

## LDO1、LDO2 仕様

特に指定がない限り、 $AVIN = 3.6\text{ V}$ 、 $V_{IN2}$ 、 $V_{IN3} = (V_{OUT3} + 0.2\text{ V})$  または  $2.3\text{ V}$  (いずれか大きい方);  $AVIN$ 、 $V_{IN1} \geq V_{IN2}$ 、 $V_{IN3}$ ;  $I_{OUT} = 10\text{ mA}$ ;  $C_{IN} = C_{OUT} = 1\ \mu\text{F}$ ;  $T_A = 25^\circ\text{C}$ 。

表 4.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT VOLTAGE RANGE	$V_{IN2}$ , $V_{IN3}$	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	1.7		5.5	V
OPERATING SUPPLY CURRENT (per LDO)	$I_{GND}$	$I_{OUT} = 0\ \mu\text{A}$ , $V_{OUT} = 3.3\text{ V}$		15		$\mu\text{A}$
		$I_{OUT} = 0\ \mu\text{A}$ , $V_{OUT} = 3.3\text{ V}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$			50	$\mu\text{A}$
		$I_{OUT} = 10\text{ mA}$		67		$\mu\text{A}$
		$I_{OUT} = 10\text{ mA}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$			105	$\mu\text{A}$
		$I_{OUT} = 200\text{ mA}$		100		$\mu\text{A}$
		$I_{OUT} = 200\text{ mA}$ , $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$			245	$\mu\text{A}$
FIXED OUTPUT VOLTAGE ACCURACY	$V_{OUT2}$ , $V_{OUT3}$	$I_{OUT} = 10\text{ mA}$	-1		+1	%
		$100\ \mu\text{A} < I_{OUT} < 300\text{ mA}$	-2		+2	%
		$V_{IN2}$ , $V_{IN3} = (V_{OUT2}$ , $V_{OUT3} + 0.5\text{ V})$ to $5.5\text{ V}$				
		$100\ \mu\text{A} < I_{OUT} < 300\text{ mA}$	-3		+3	%
		$V_{IN2}$ , $V_{IN3} = (V_{OUT2}$ , $V_{OUT3} + 0.5\text{ V})$ to $5.5\text{ V}$				
		$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$				
REGULATION Line Regulation	$\Delta V_{OUT2}/\Delta V_{IN2}$ $\Delta V_{OUT3}/\Delta V_{IN3}$	$V_{IN2}$ , $V_{IN3} = (V_{OUT2}$ , $V_{OUT3} + 0.5\text{ V})$ to $5.5\text{ V}$	-0.03		+0.03	%/V
		$I_{OUT3} = 1\text{ mA}$ $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$				

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
Load Regulation <sup>1</sup>	$\Delta V_{OUT2}/\Delta I_{OUT2}$ $\Delta V_{OUT3}/\Delta I_{OUT3}$	$I_{OUT2}, V_{OUT3} = 1 \text{ mA to } 200 \text{ mA}$		0.002		%/mA
		$I_{OUT2}, V_{OUT3} = 1 \text{ mA to } 200 \text{ mA}$ $T_J = -40^\circ\text{C to } +125^\circ\text{C}$			0.0075	%/mA
DROPOUT VOLTAGE <sup>2</sup>	$V_{DROPOUT}$	$V_{OUT2}, V_{OUT3} = 3.3 \text{ V}$ $I_{OUT2}, I_{OUT3} = 10 \text{ mA}$		4		mV
		$I_{OUT2}, I_{OUT3} = 10 \text{ mA}, T_J = -40^\circ\text{C to } +125^\circ\text{C}$			5	mV
		$I_{OUT2}, I_{OUT3} = 200 \text{ mA}$		60		mV
		$I_{OUT2}, I_{OUT3} = 200 \text{ mA}, T_J = -40^\circ\text{C to } +125^\circ\text{C}$			100	mV
ACTIVE PULL-DOWN	$R_{PDLDO}$	$EN2/EN3 = 0 \text{ V}$		600		$\Omega$
START-UP TIME	$T_{START-UP}$	$V_{OUT2}, V_{OUT3} = 3.3 \text{ V}$		85		$\mu\text{s}$
CURRENT-LIMIT THRESHOLD <sup>3</sup>	$I_{LIMIT}$	$T_J = -40^\circ\text{C to } +125^\circ\text{C}$	335	470		mA
OUTPUT NOISE	$OUT_{LDO2NOISE}$	10 Hz to 100 kHz, $V_{IN3} = 5 \text{ V}, V_{OUT3} = 3.3 \text{ V}$		123		$\mu\text{V rms}$
		10 Hz to 100 kHz, $V_{IN3} = 5 \text{ V}, V_{OUT3} = 2.8 \text{ V}$		110		$\mu\text{V rms}$
		10 Hz to 100 kHz, $V_{IN3} = 5 \text{ V}, V_{OUT3} = 1.5 \text{ V}$		59		$\mu\text{V rms}$
	$OUT_{LDO1NOISE}$	10 Hz to 100 kHz, $V_{IN2} = 5 \text{ V}, V_{OUT2} = 3.3 \text{ V}$		140		$\mu\text{V rms}$
		10 Hz to 100 kHz, $V_{IN2} = 5 \text{ V}, V_{OUT2} = 2.8 \text{ V}$		129		$\mu\text{V rms}$
		10 Hz to 100 kHz, $V_{IN2} = 5 \text{ V}, V_{OUT2} = 1.5 \text{ V}$		66		$\mu\text{V rms}$
POWER SUPPLY REJECTION RATIO	PSRR	1 kHz, $V_{IN2}, V_{IN3} = 3.3 \text{ V}, V_{OUT2}, V_{OUT3} = 2.8 \text{ V}, I_{OUT} = 100 \text{ mA}$		66		dB
		100 kHz, $V_{IN2}, V_{IN3} = 3.3 \text{ V}, V_{OUT2}, V_{OUT3} = 2.8 \text{ V}, I_{OUT} = 100 \text{ mA}$		57		dB
		1 MHz, $V_{IN2}, V_{IN3} = 3.3 \text{ V}, V_{OUT2}, V_{OUT3} = 2.8 \text{ V}, I_{OUT} = 100 \text{ mA}$		60		dB

<sup>1</sup> 1 mA 負荷と 100 mA 負荷を使った端点計算。

<sup>2</sup> ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧—出力電圧間の電位差として定義されます。これは、2.3 V を超える出力電圧に対してのみ適用されます。

<sup>3</sup> 電流制限閾値は、出力電圧が規定 typ 値の 90% に低下する電流値として定義されます。例えば、3.0 V 出力電圧の電流制限閾値は、出力電圧が 3.0 V の 90% すなわち 2.7 V に低下する電流値として定義されます。

## 入力コンデンサと出力コンデンサの推奨仕様

表 5.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
MINIMUM OUTPUT CAPACITANCE (BUCK) <sup>1</sup>	$C_{MIN1}$	$T_J = -40^\circ\text{C to } +125^\circ\text{C}$	7		40	$\mu\text{F}$
MINIMUM INPUT AND OUTPUT CAPACITANCE <sup>2</sup> (LDO1, LDO2)	$C_{MIN23}$	$T_J = -40^\circ\text{C to } +125^\circ\text{C}$	0.70			$\mu\text{F}$
CAPACITOR ESR	$R_{ESR}$	$T_J = -40^\circ\text{C to } +125^\circ\text{C}$	0.001		1	$\Omega$

<sup>1</sup> 最小出力容量は、全動作範囲で 4.7  $\mu\text{F}$  より大きい必要があります。アプリケーションでの全動作範囲は、最小容量規定値を満たすため、デバイス選択時に考慮する必要があります。

<sup>2</sup> 最小入力容量と最小出力容量は、全動作範囲で 0.70  $\mu\text{F}$  より大きい必要があります。アプリケーションでの全動作範囲は、最小容量規定値を満たすため、デバイス選択時に考慮する必要があります。X7R タイプと X5R タイプのコンデンサの使用が推奨されますが、Y5V コンデンサと Z5U コンデンサは LDO または降圧レギュレータに推奨できません。

## 絶対最大定格

表 6.

Parameter	Rating
AVIN, VINx, VOUTx, ENx, MODE, MR, WDIx, WMOD, WSTAT, nRSTO to GND	-0.3 V to +6 V
Storage Temperature Range	-65°C to +150°C
Operating Junction Temperature Range	-40°C to +125°C
Soldering Conditions	JEDEC J-STD-020
ESD Human Body Model	3000 V
ESD Charged Device Model	1500 V
ESD Machine Model	100 V

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### 熱データ

絶対最大定格は、これらの値の組み合わせではなく個別に適用されます。

ジャンクション温度を超えると ADP5042 は損傷を受けることがあります。周囲温度を監視しても、ジャンクション温度( $T_J$ )が規定温度範囲内にあることを保証できません。消費電力が大きいかつ熱抵抗が大きいアプリケーションでは、最大周囲温度を下げる必要があります。中程度の消費電力で、PCB の熱抵抗が低いアプリケーションでは、ジャンクション温度が規定値内にある限り、最大周囲温度はこの最大値を超えても問題はありません。デバイスのジャンクション温度( $T_J$ )は、周囲温度( $T_A$ )、デバイス消費電力( $P_D$ )、パッケージのジャンクション/周囲間の熱抵抗( $\theta_{JA}$ )に依存します。最大ジャンクション温度( $T_J$ )は、次式を使って周囲温度( $T_A$ )と消費電力( $P_D$ )から計算します。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージのジャンクション/周囲間の熱抵抗( $\theta_{JA}$ )は、4 層ボードを使用したモデルと計算に基づいています。ジャンクション/周囲間の熱抵抗は、アプリケーションとボード・レイアウトに強く依存します。最大消費電力が大きいアプリケーションでは、ボードの熱デザインに注意が必要です。 $\theta_{JA}$ の値は、PCBの材料、レイアウト、環境条件に依存します。 $\theta_{JA}$ の規定値は、4 インチ×3 インチ、2.5 オンス銅の 4 層回路ボードに基づいています。詳細については、AN-772アプリケーション・ノート「*A Design and Manufacturing Guide for the Lead Frame Chip Scale Package (LFCSP)*」をご覧ください。

### 熱抵抗

$\theta_{JA}$  は最悪時の条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 7.熱抵抗

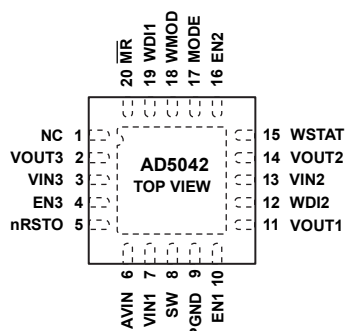
Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
20-Lead, 0.5 mm pitch LFCSP	38	4.2	°C/W

### ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明



- NOTES
1. EXPOSED PAD SHOULD BE CONNECTED TO AGND.
  2. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.

08811-002

図 2. ピン配置—チップ表面図

表 8. ピン機能説明(暫定)

ピン番号	記号	説明
1	NC	このピンは接続しないでください。
2	VOUT3	LDO2 出力電圧および出力電圧検出入力。
3	VIN3	LDO2 電源入力ピン(1.7 V~5.5 V)。
4	EN3	LDO2 をイネーブルします。EN3 =ハイ・レベル: LDO2 がオンになります。EN3 =ロー・レベル: LDO2 がオフになります。
5	nRSTO	オープン・ドレインのリセット出力、アクティブ・ロー。
6	AVIN	レギュレータ内部回路と監視回路の電源入力(2.3 V~5.5 V)。
7	VIN1	降圧スイッチング・レギュレータの電源入力ピン(2.3 V~5.5 V)。
8	SW	降圧スイッチング・レギュレータのスイッチング・ノード。
9	PGND	降圧スイッチング・レギュレータの専用電源グラウンド。
10	EN1	降圧スイッチング・レギュレータをイネーブルします。EN1 =ハイ・レベル: 降圧レギュレータがオンになります。EN1 =ロー・レベル: 降圧レギュレータがオフになります。
11	VOUT1	降圧スイッチング・レギュレータの出力及び検出。
12	WDI2	プロセッサからのウォッチドッグ 2 (長いタイムアウト)リフレッシュ入力。出荷時オプションでのみディスエーブル可能。
13	VIN2	LDO1 電源入力ピン(1.7 V~5.5 V)。
14	VOUT2	LDO1 出力電圧および出力電圧検出入力。
15	WSTAT	オープン・ドレインのウォッチドッグ・タイムアウト・ステータス。WSTAT =ハイ・レベル: ウォッチドッグ 1 タイムアウトまたはパワーオン・リセット。WSTAT =ロー・レベル: ウォッチドッグ 2 タイムアウト。1 sec 後に自動クリアされます。
16	EN2	LDO1 をイネーブルします。EN2 =ハイ・レベル: LDO1 がオンになります。EN2 =ロー・レベル: LDO1 がオフになります。
17	MODE	降圧スイッチング・レギュレータ・モード。MODE =ハイ・レベル: 固定 PWM モードで動作。MODE =ロー・レベル: 軽負荷時にパルス・スキップ・モード(PSM)で動作し、それより重負荷では PWM で動作します。
18	WMOD	ウォッチドッグ・モード。WMOD =ロー・レベル: ウォッチドッグ 1 通常モード。WMOD =ハイ・レベル: ウォッチドッグ 1 は WDI1 に入力されるスリー・ステート状態によりディスエーブルすることができません。
19	WDI1	プロセッサからのウォッチドッグ 1 リフレッシュ入力。WDI1 がハイ・インピーダンスで、かつ WMOD =ロー・レベルの場合、ウォッチドッグ 1 がディスエーブルされます。
20	MR	マニュアル・リセット入力、アクティブ・ロー。
TP	AGND	アナログ・グラウンド(TP =サーマル・パッド)。エクスポーズド・パッドは AGND に接続する必要があります。

## 代表的な性能特性

特に指定がない限り、 $V_{IN1} = V_{IN2} = V_{IN3} = A_{VIN} = 5.0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

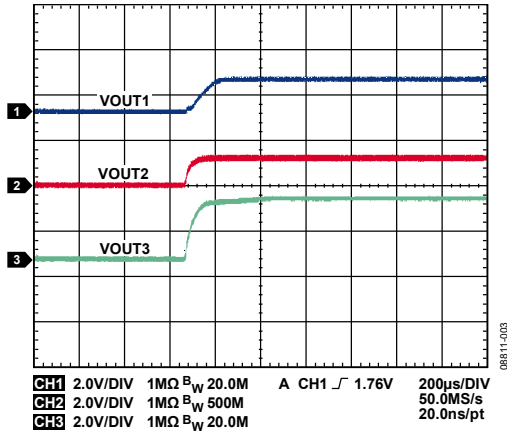


図 3.3 チャンネルのスタートアップ波形

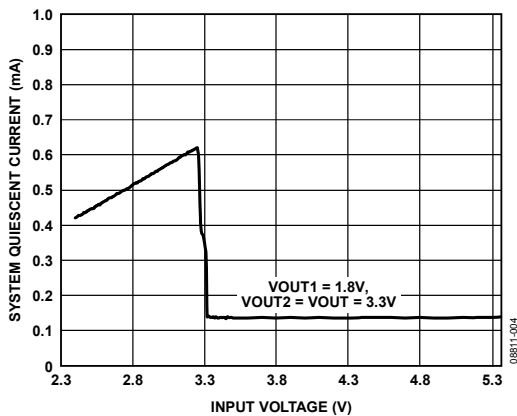


図 4. 入力電圧対システム静止電流(全入力電流の和)、 $V_{OUT1} = 1.8\text{ V}$ 、 $V_{OUT2} = V_{OUT3} = 3.3\text{ V}$

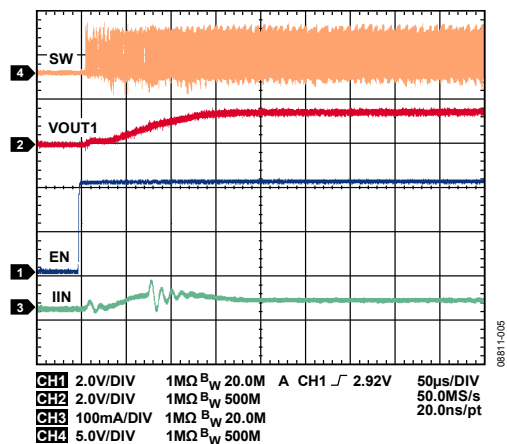


図 5. 降圧レギュレータのスタートアップ、 $V_{OUT1} = 1.8\text{ V}$ 、 $I_{OUT1} = 20\text{ mA}$

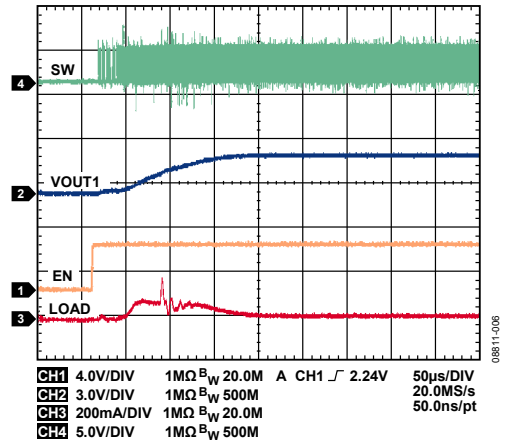


図 6. 降圧レギュレータのスタートアップ、 $V_{OUT1} = 1.8\text{ V}$ 、 $I_{OUT2} = 20\text{ mA}$

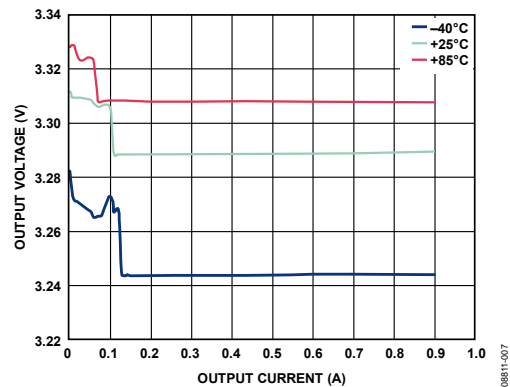


図 7. 様々な温度での降圧レギュレータの負荷レギュレーション、 $V_{OUT1} = 3.3\text{ V}$ 、自動モード

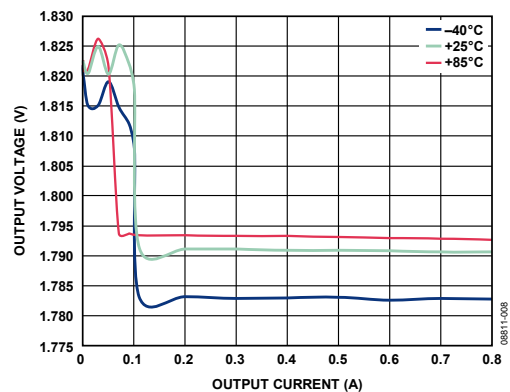


図 8. 様々な温度での降圧レギュレータの負荷レギュレーション、 $V_{OUT1} = 1.8\text{ V}$ 、自動モード

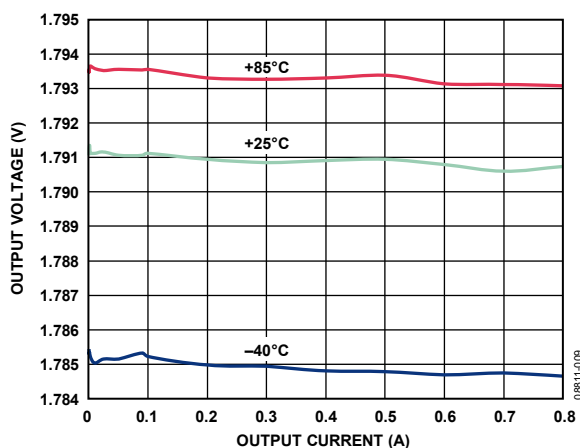


図 9.様々な温度での降圧レギュレータの負荷レギュレーション、 $V_{OUT1} = 1.8\text{ V}$ 、PWM モード

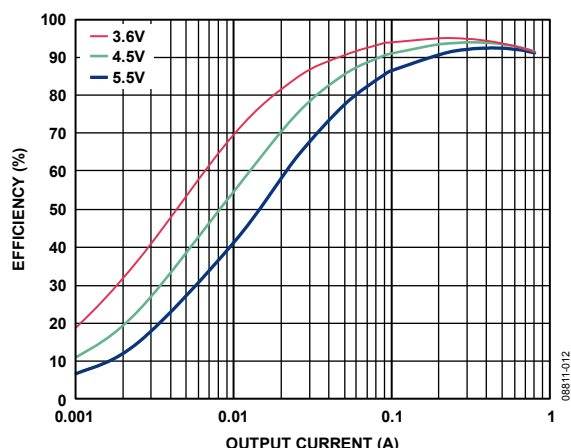


図 12.様々な入力電圧での負荷電流対降圧レギュレータ効率、 $V_{OUT1} = 3.3\text{ V}$ 、PWM モード

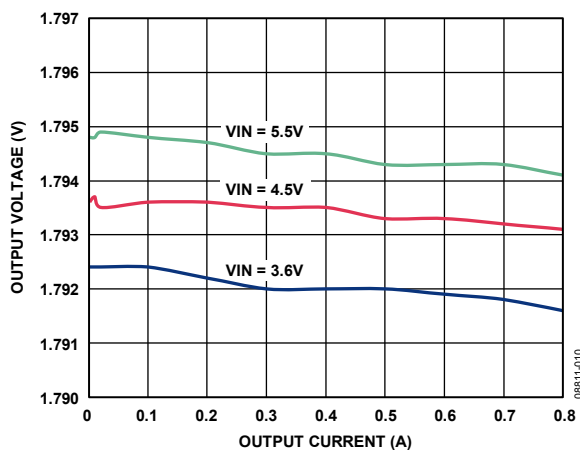


図 10.様々な入力電圧での降圧レギュレータの負荷レギュレーション、 $V_{OUT1} = 1.8\text{ V}$ 、PWM モード

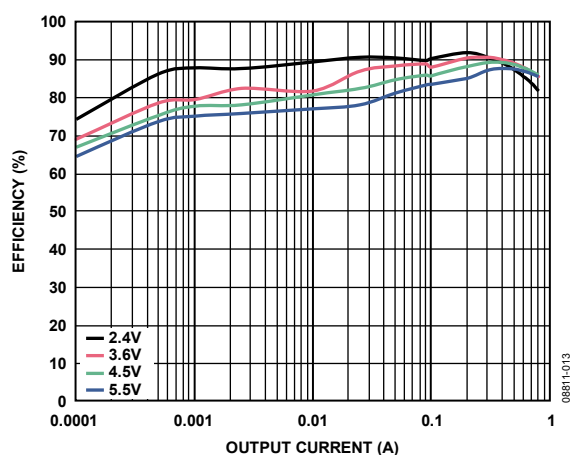


図 13.様々な入力電圧での負荷電流対降圧レギュレータ効率、 $V_{OUT1} = 1.8\text{ V}$ 、自動モード

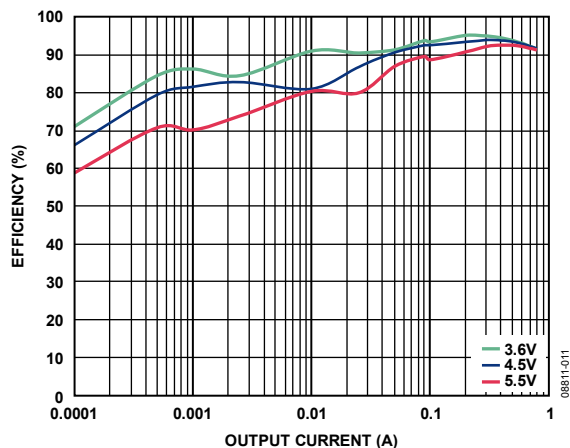


図 11.様々な入力電圧での負荷電流対降圧レギュレータ効率、 $V_{OUT1} = 3.3\text{ V}$ 、自動モード

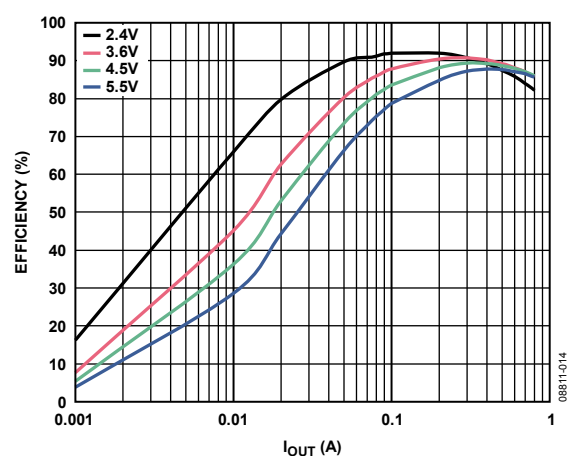


図 14.様々な入力電圧での負荷電流対降圧レギュレータ効率、 $V_{OUT2} = 1.8\text{ V}$ 、PWM モード

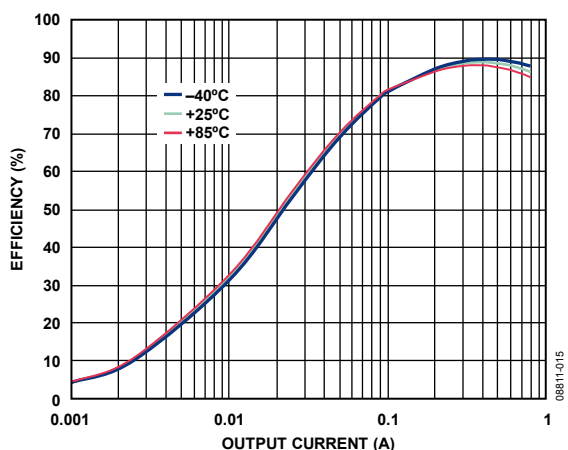


図 15.様々な温度での負荷電流対降圧レギュレータ効率、  
VOUT1 = 1.8 V、PWM モード

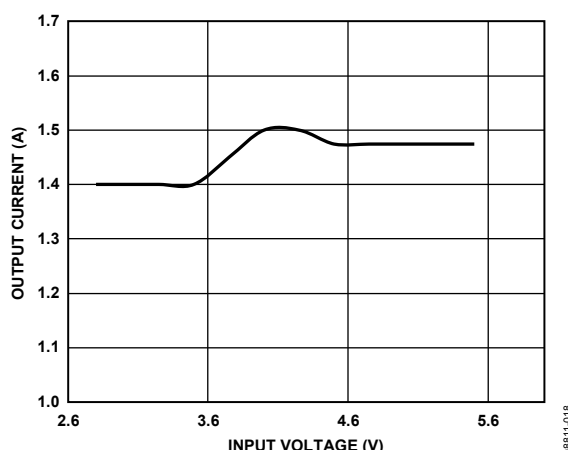


図 18.入力電圧対降圧レギュレータ DC 電流駆動能力、  
VOUT1 = 1.8 V

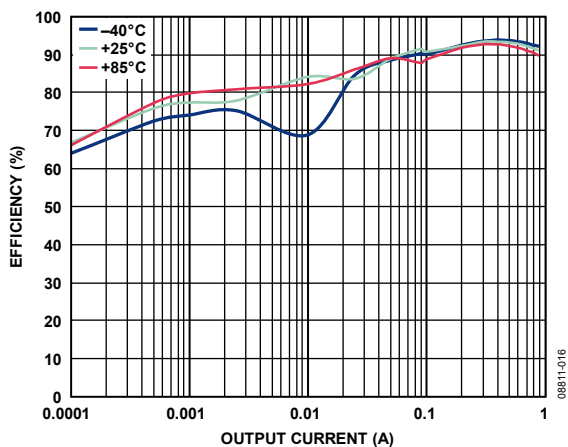


図 16.様々な温度での負荷電流対降圧レギュレータ効率、  
VOUT1 = 3.3 V、自動モード

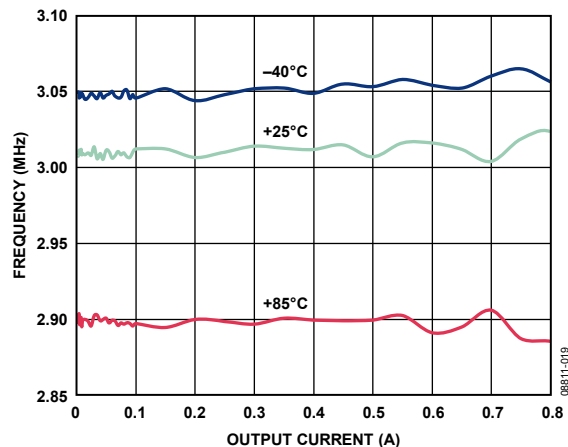


図 19.様々な温度での出力電流対降圧レギュレータ・スイッチング  
周波数、VOUT1 = 1.8 V、PWM モード

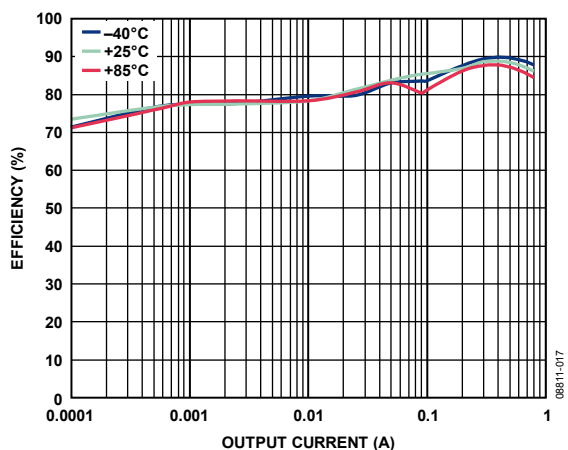


図 17.様々な温度での負荷電流対降圧レギュレータ効率、  
VOUT1 = 1.8 V、自動モード

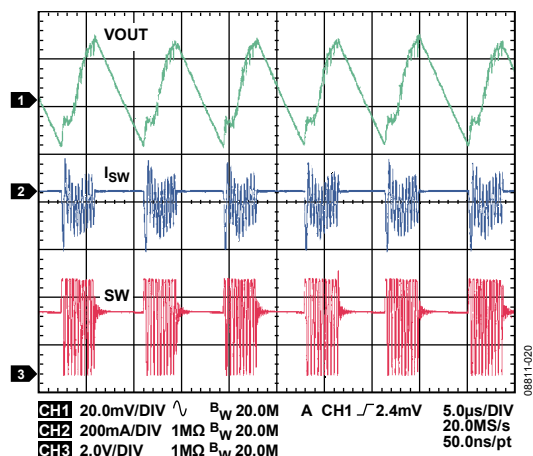


図 20.波形、VOUT1 = 3.3 V、IOUT1 = 30 mA、自動モード

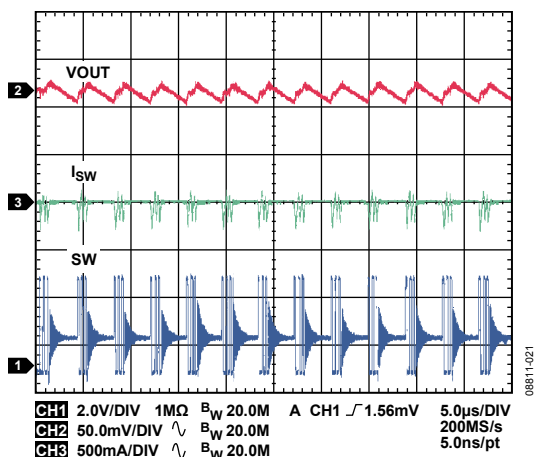


図 21. 波形、  
VOUT1 = 1.8 V、IOUT2 = 30 mA、自動モード

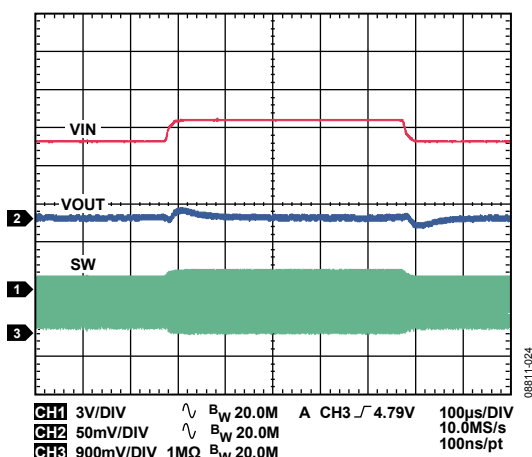


図 24. 降圧レギュレータのライン過渡応答、  
入力電圧 = 4.5 V → 5.0 V、VOUT1 = 3.3 V、PWM モード

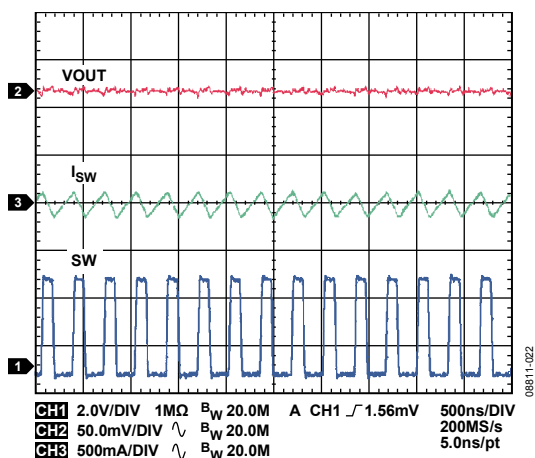


図 22. 波形、  
VOUT1 = 1.8 V、IOUT1 = 30 mA、PWM モード

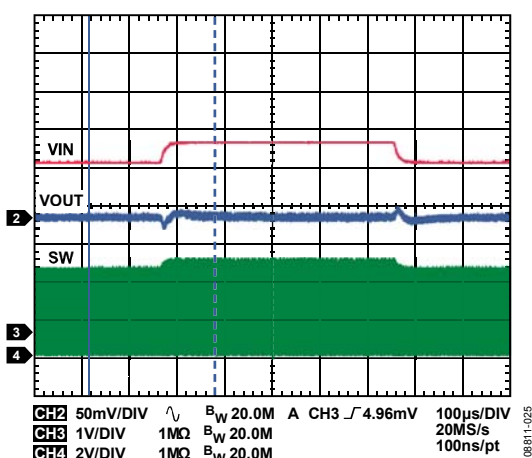


図 25. 降圧レギュレータのライン過渡応答、  
VIN = 4.5 V → 5.0 V、VOUT1 = 1.8 V、PWM モード

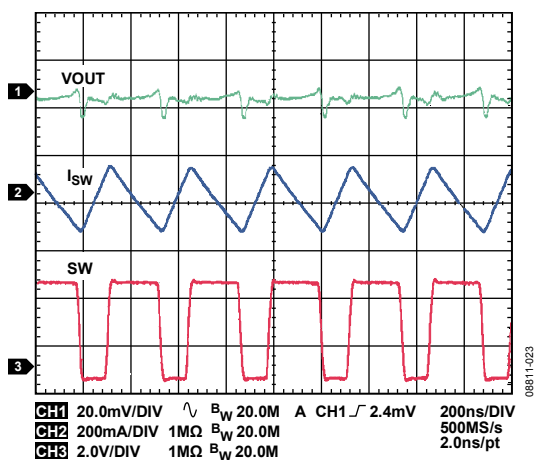


図 23. 波形、  
VOUT1 = 3.3 V、IOUT2 = 30 mA、PWM モード

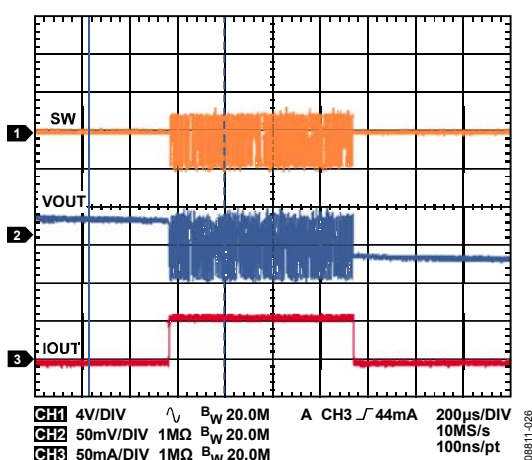


図 26. 降圧レギュレータの負荷過渡応答、  
IOUT1 = 1 mA → 50 mA、VOUT1 = 3.3 V、自動モード

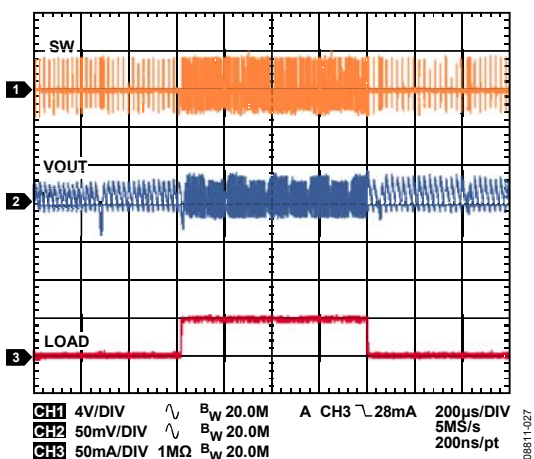


図 27.降圧レギュレータの負荷過渡応答、  
IOUT2 = 1 mA→50 mA、VOUT2 = 1.8 V、自動モード

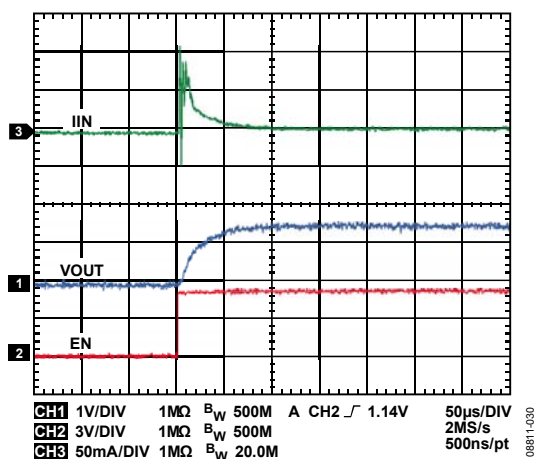


図 30.LDO1 のスタートアップ、VOUT3=1.5 V、IOUT3 = 5 mA

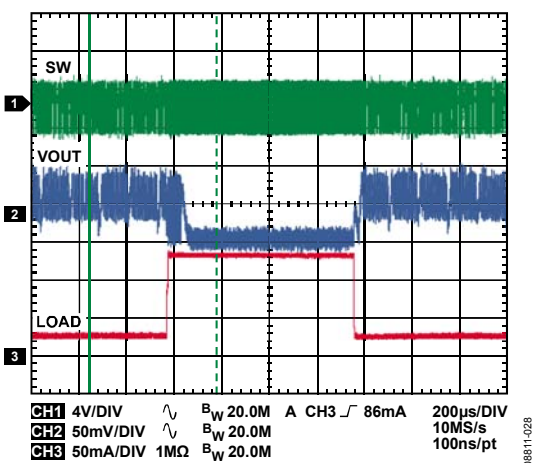


図 28.降圧レギュレータの負荷過渡応答、  
IOUT1 = 20 mA→140 mA、VOUT1 = 3.3 V、自動モード

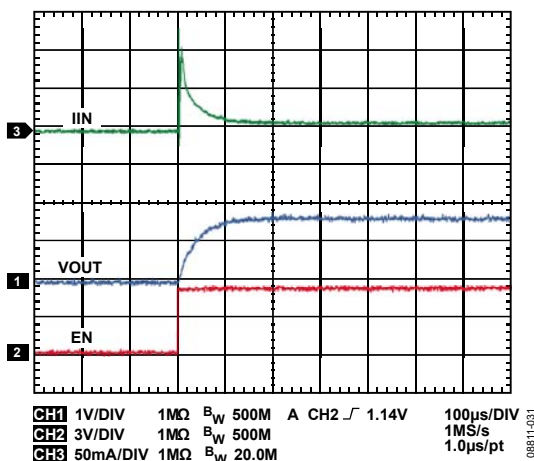


図 31.LDO2 のスタートアップ、VOUT3=3.3 V、IOUT3 = 5 mA

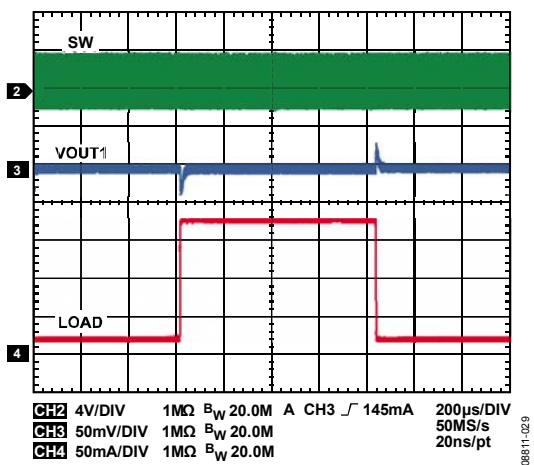


図 29.降圧レギュレータの負荷過渡応答、  
IOUT2 = 20 mA→180 mA、VOUT1 = 1.8 V、PWM モード

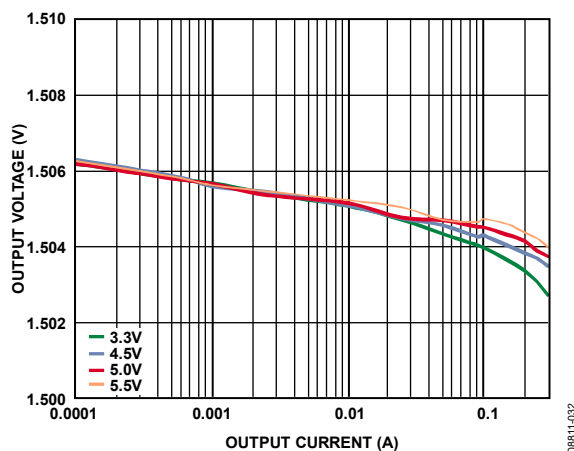


図 32.様々な入力電圧での LDO1 の負荷レギュレーション、  
VOUT2 = 1.5 V

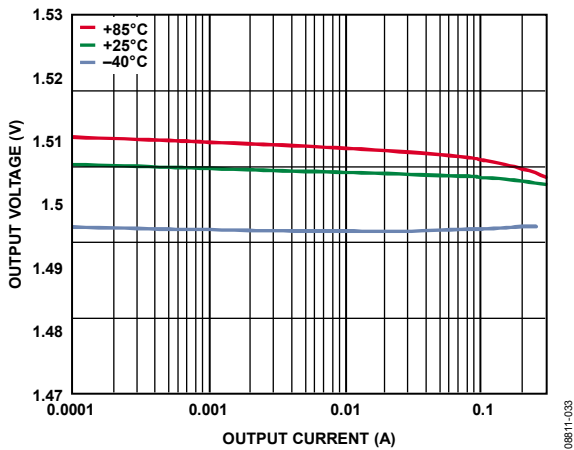


図 33.様々な温度での LDO1 負荷レギュレーション、  
VIN2 = 3.3 V、VOUT2 = 1.5 V

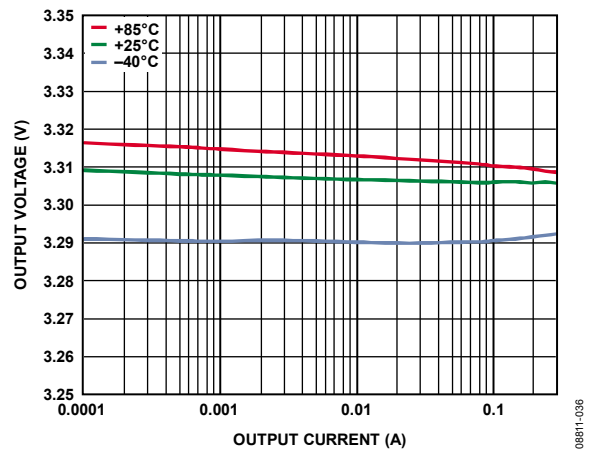


図 36.様々な温度での LDO2 の負荷レギュレーション、  
VIN3 = 3.6 V、VOUT3 = 3.3 V

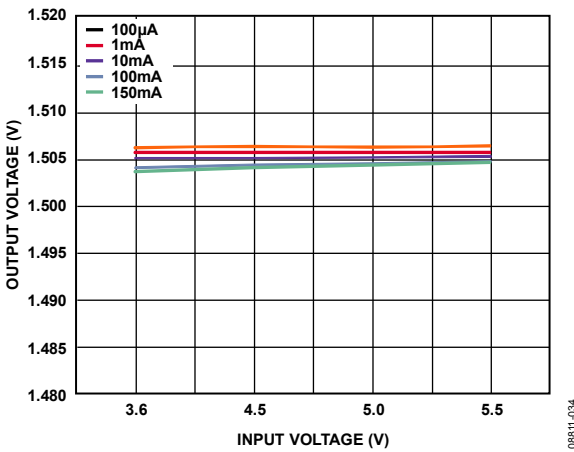


図 34.様々な出力負荷での LDO1 のライン・レギュレーション、  
VOUT2 = 1.5 V

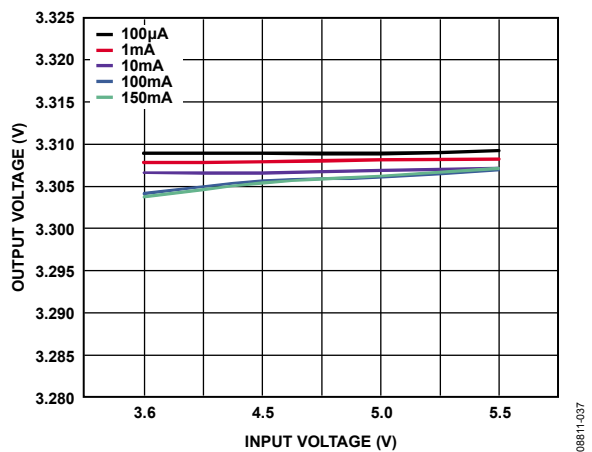


図 37.様々な出力負荷での LDO2 のライン・レギュレーション、  
VOUT3 = 3.3 V

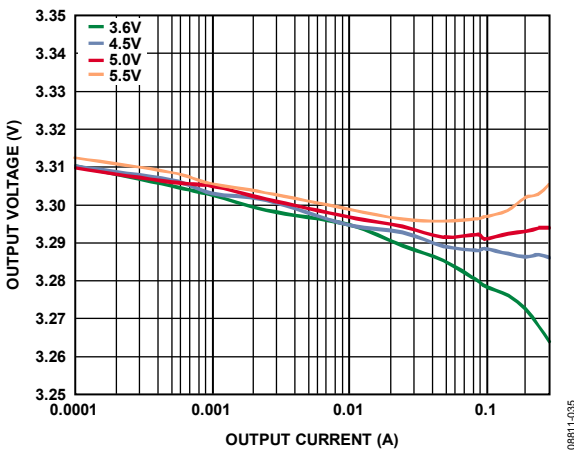


図 35.様々な入力電圧での LDO2 の負荷レギュレーション、  
VOUT3 = 3.3 V

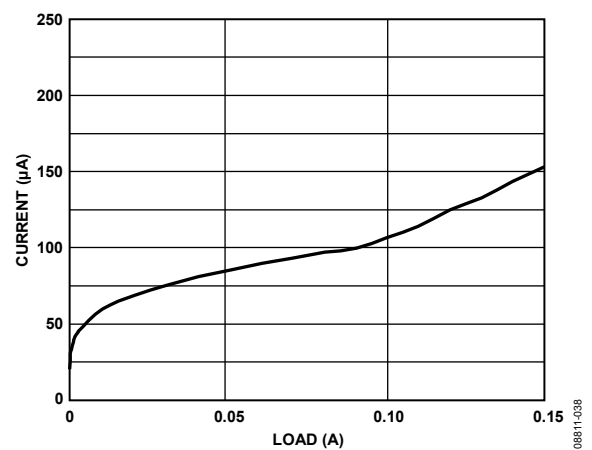


図 38.出力負荷対 LDO2 のグラウンド電流、VOUT3 = 2.8 V

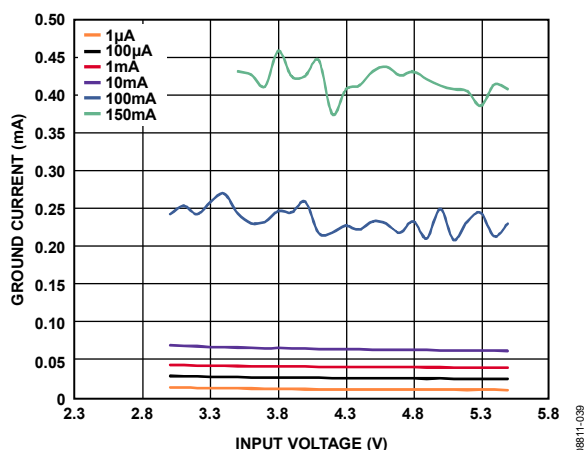


図 39.様々な出力負荷での入力電圧対 LDO2 グラウンド電流、  
VOUT3 = 2.8 V

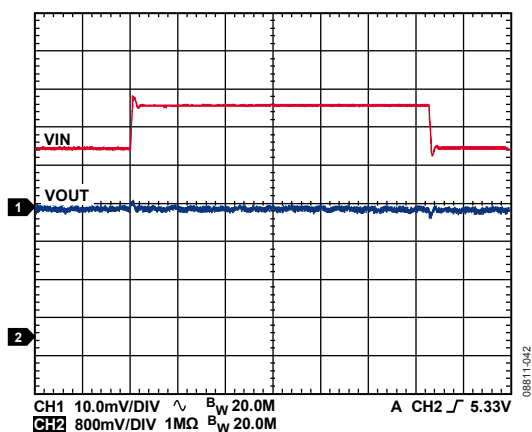


図 42.LDO2 のライン過渡応答、  
入力電圧= 4.5 V→5.5 V、VOUT3 = 3.3 V

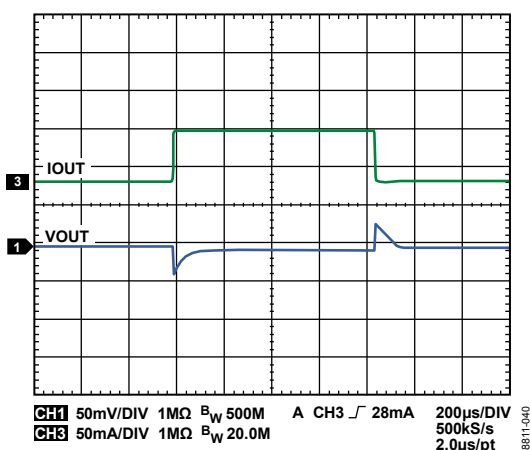


図 40.LDO2 の負荷過渡応答、  
IOUT3 = 1 mA→80 mA、VOUT3 = 3.3 V

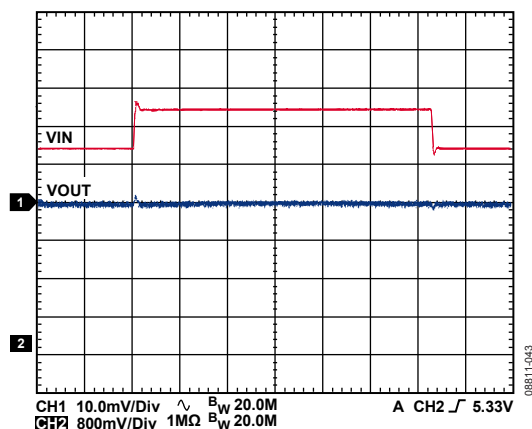


図 43.LDO1 のライン過渡、  
VIN = 4.5 V→5.5 V、VOUT2 = 1.5 V

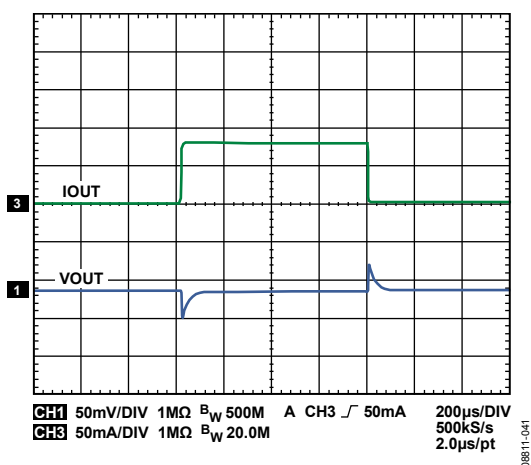


図 41.LDO1 の負荷過渡応答、  
IOUT3 = 1 mA→80 mA、VOUT2 = 1.5 V

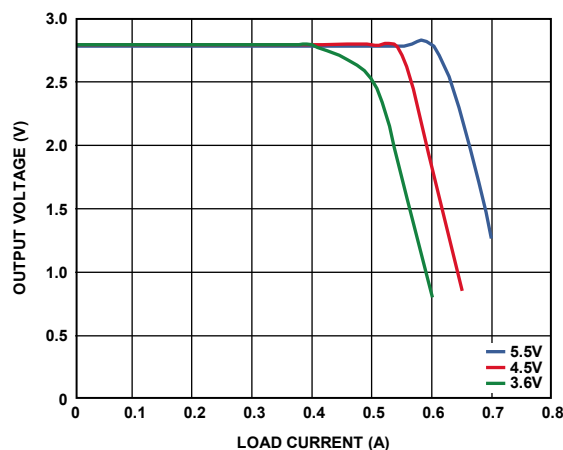


図 44.入力電圧対 LDO1、LDO2 の出力電流能力

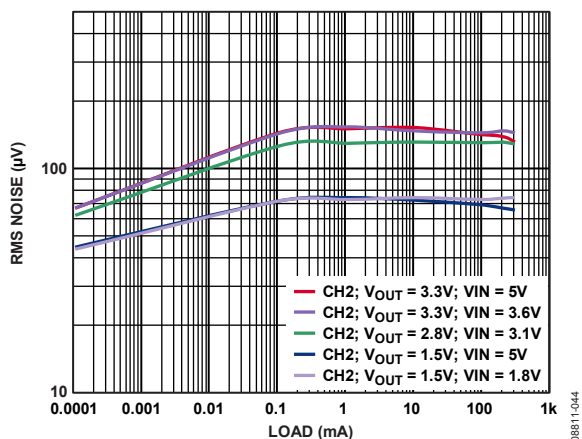


図 45.様々な入力電圧と出力電圧での負荷電流対 LDO1 出力ノイズ

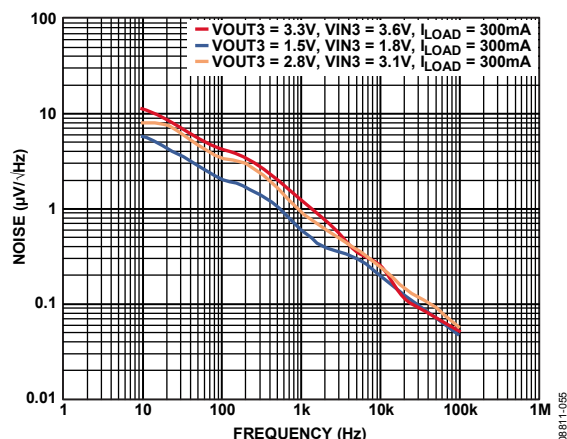


図 48.様々な出力電圧での LDO2 ノイズ・スペクトル、 $V_{IN} = V_{OUT} + 0.3V$

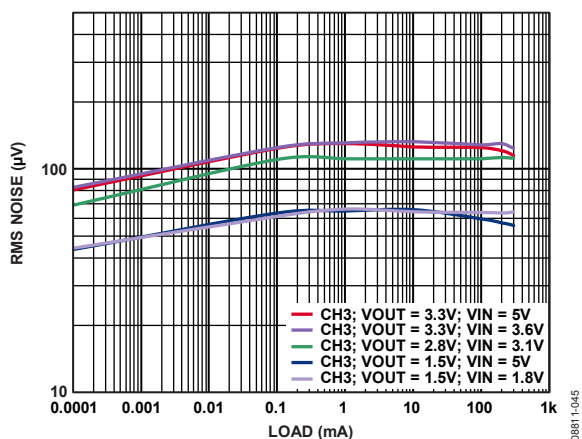


図 46.様々な入力電圧と出力電圧での負荷電流対 LDO2 出力ノイズ

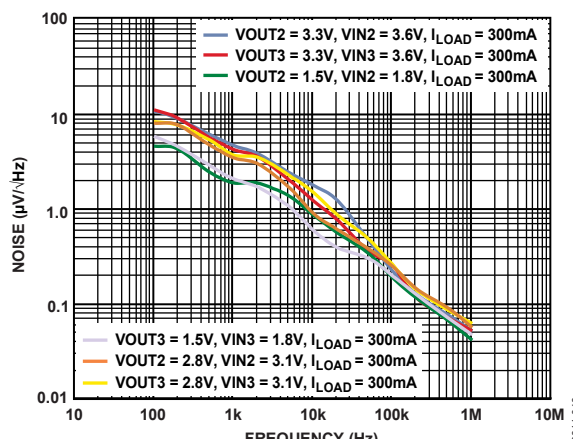


図 49.LDO1 と LDO2 のノイズ・スペクトル

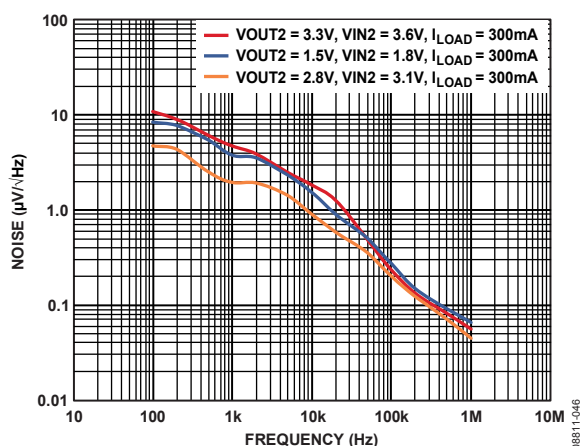


図 47.様々な出力電圧での LDO1 ノイズ・スペクトル、 $V_{IN} = V_{OUT} + 0.3V$

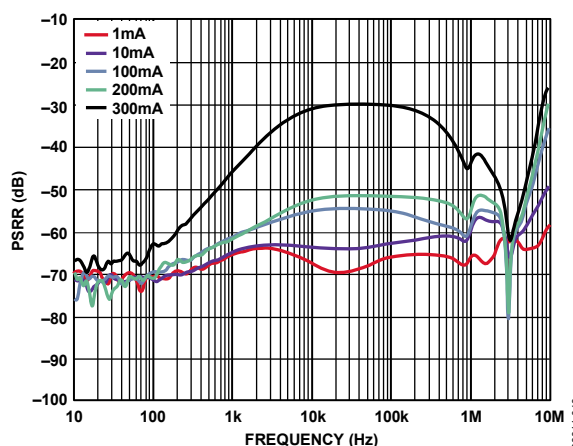


図 50.様々な出力負荷での LDO2 の PSRR、 $V_{IN3} = 3.3V$ 、 $V_{OUT3} = 2.8V$

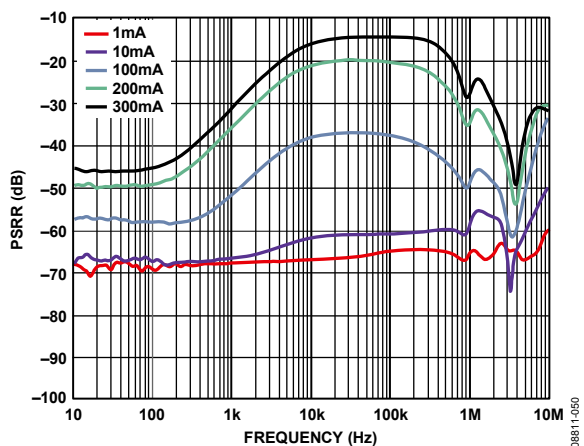


図 51. 様々な出力負荷での LDO2 の PSRR、  
VIN3 = 3.1 V、VOUT3 = 2.8 V

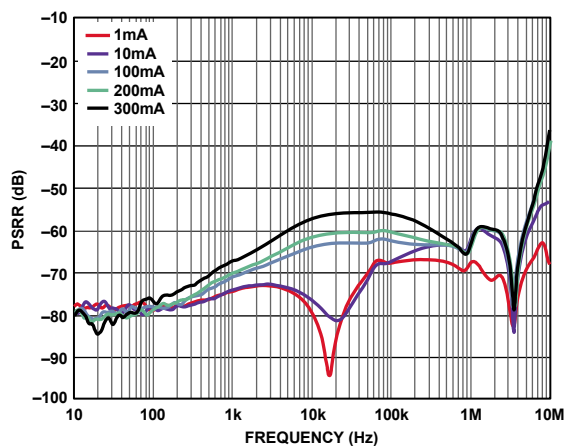


図 54. 様々な出力負荷での LDO1 の PSRR、  
VIN2 = 5.0 V、VOUT2 = 1.5 V

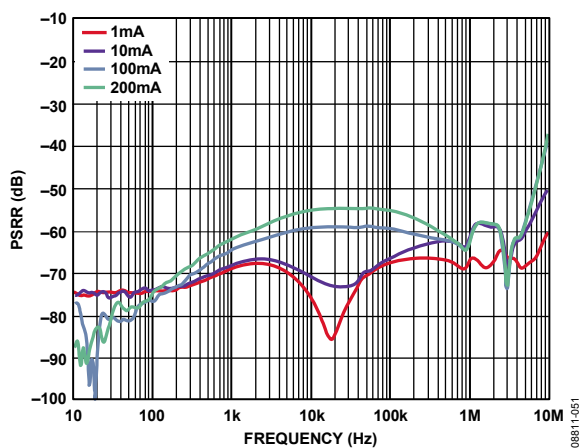


図 52. 様々な出力負荷での LDO2 の PSRR、  
VIN3 = 5 V、VOUT3 = 3.3 V

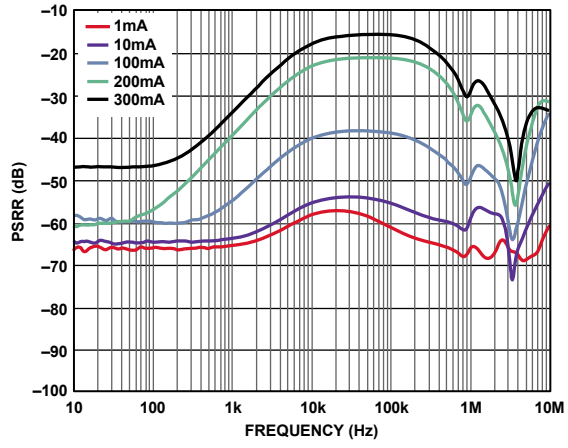


図 55. 様々な出力負荷での LDO1 の PSRR、  
VIN2 = 1.8 V、VOUT2 = 1.5 V

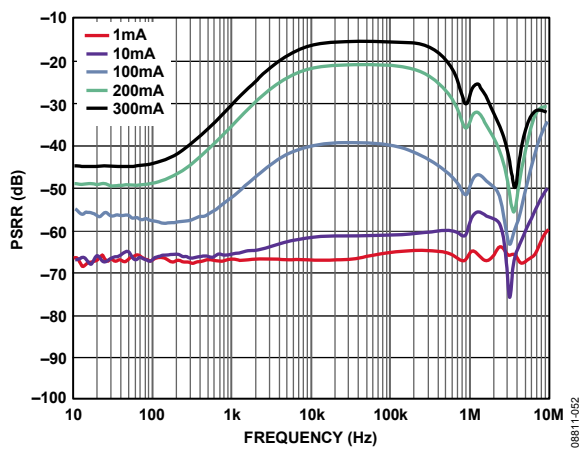


図 53. 様々な出力負荷での LDO2 の PSRR、  
VIN3 = 3.6 V、VOUT3 = 3.3 V

## 動作原理

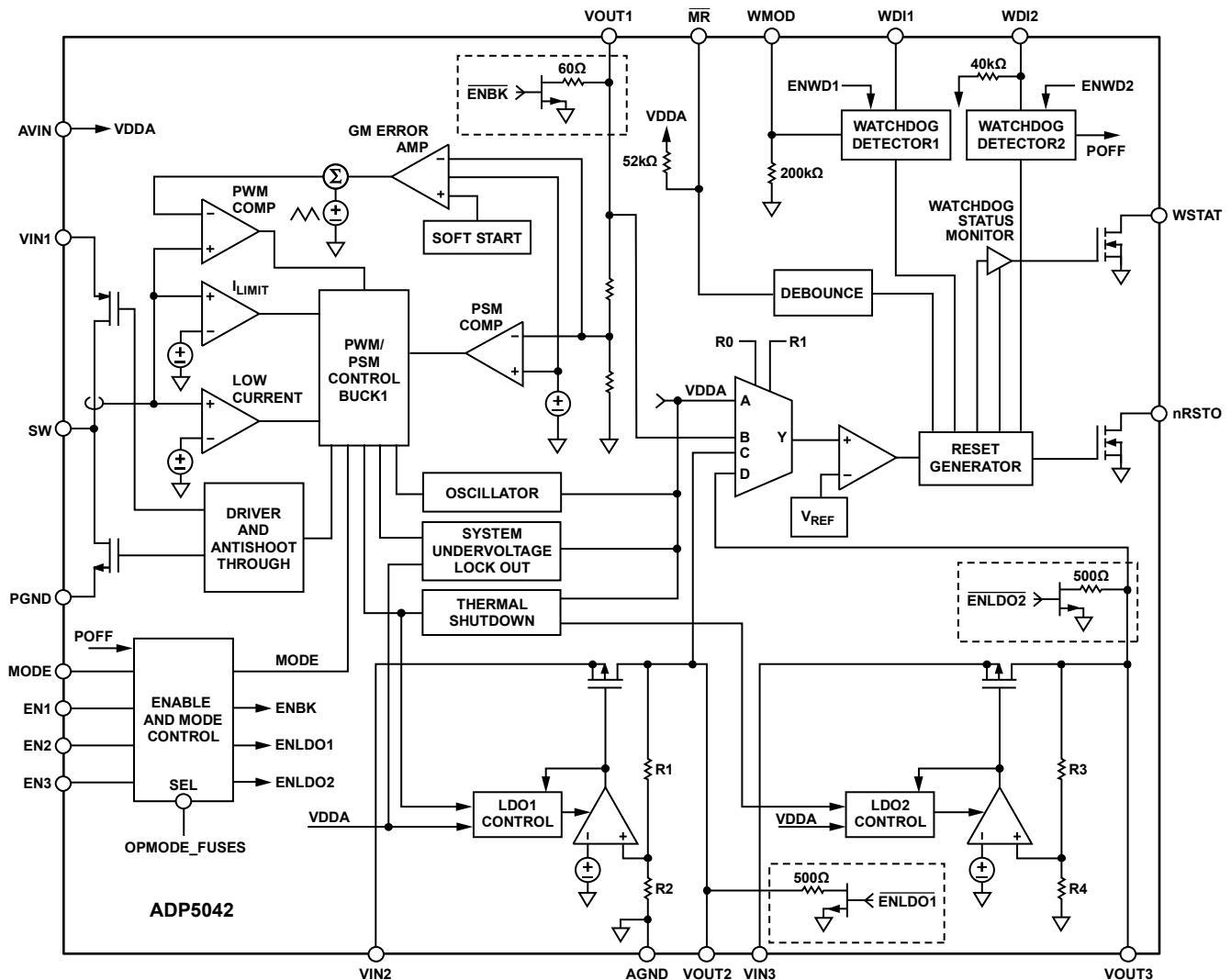


図 56.機能ブロック図

## パワー・マネジメント・ユニット

ADP5042 は、1 系統のステップダウン(降圧) DC/DC コンバータ、2 系統の低ドロップアウト・リニア・レギュレータ(LDO)、監視回路、プロセッサから制御される 2 系統のウォッチドッグを内蔵するマイクロパワー・マネジメント・ユニット(マイクロ PMU)です。レギュレータは、対応する EN ピンにハイ・レベルが入力されると起動されます。EN1 は降圧レギュレータを、EN2 は LDO1 を、EN3 は LDO2 を、それぞれ制御します。ADP5042 の出力電圧とリセット電圧閾値は出荷時に設定されています。このデバイスのその他の機能としては、降圧スイッチング動作を制御する MODE ピン、およびリセットを発生させたウォッチドッグとプッシュ・ボタン・リセット入力を外部プロセッサへ通知するステータス・ピンがあります。

レギュレータがオンになると、出力電圧がソフトスタート回路を使って制御されるため、出力コンデンサへのチャージによる大きな突入電流を回避することができます。

MODE ピンがハイ・レベルの場合、降圧スイッチング・レギュレータは強制 PWM モードで動作することができます。強制 PWM モードでは、スイッチング周波数は常に一定になり、負荷電流によって変化しません。MODE ピンがロー・レベルの場合、スイッチング・レギュレータは自動 PWM/PSM モードで動作します。このモードでは、負荷電流がパワーセーブ電流閾値を超える場合、レギュレータは固定 PWM 周波数で動作します。負荷電流がパワーセーブ電流閾値を下回ると、レギュレータはパワーセーブ・モードになり、スイッチングが間欠的に行われます。間欠発振の繰り返しは、負荷電流と出力コンデンサ値の関数になります。この動作モードでは、スイッチング損失と静止電流損失が小さくなります。

## 過熱保護

ジャンクション温度が 150°C を超えると、サーマル・シャットダウン回路によって降圧スイッチング・レギュレータと LDO がオフになります。ジャンクション温度が極端に高くなる原因には、大電流動作、回路基板の設計不良、あるいは高い周囲温度などがあります。20°C のヒステリシスがあるため、サーマル・シャットダウンが発生すると、オンチップ温度が 130°C 未満に低下するまで動作は復帰しません。サーマル・シャットダウン状態が解消すると、ソフトスタートが開始します。

## 低電圧ロックアウト機能

バッテリーの放電を防ぐために低電圧ロックアウト回路 (UVLO) を内蔵しています。AVIN の入力電圧が 2.15 V (typ) の UVLO 閾値を下回ると、すべてのチャンネルがシャットダウンします。降圧チャンネルでは、パワー・スイッチと同期整流スイッチがオフになります。AVIN の電圧が UVLO 閾値を上回ると、デバイスは再度イネーブルされます。

あるいは、5 V アプリケーションに適する、UVLO がハイ・レベルに設定されたデバイス・モデルを選択することができます。これらのモデルの場合、入力電源が 3.65 V (typ) に低下したとき、デバイスはターンオフ閾値に一致します。

## イネーブル/シャットダウン

ADP5042 には、各レギュレータに対して個別のコントロール・ピンがあります。ENx ピンをハイ・レベルにするとそれぞれのレギュレータが起動し、ロー・レベルにするとオフになります。

ウォッチドッグ 2 イベントの後にレギュレータがオフになった場合(ウォッチドッグ 2 入力 of the section 参照)、レギュレータの再起動は、出荷時設定の順に従って発生します(表 9 参照)。レギュレータ起動( $t_{D1}$ 、 $t_{D2}$ )間の遅延は 2 ms です。

表 9. ADP5042 レギュレータのシーケンス

REGSEQ[1:0]	Regulators Sequence (First to Last)
0 0	LDO1 → LDO2 → Buck
0 1	Buck → LDO1 → LDO2
1 0	LDO1 → Buck → LDO2
1 1	No sequence, all regulators start at same time

## 降圧レギュレータ・セクション

降圧レギュレータでは、固定周波数と高速電流モードのアーキテクチャを採用しています。降圧レギュレータは、2.3 V~5.5 V の入力電圧で動作します。

## 制御方式

降圧レギュレータは中～重の負荷電流時に高効率で動作する固定周波数の電流モード PWM 制御方式のアーキテクチャを採用していますが、低負荷時にはパワーセーブモード(PSM)制御方式によってレギュレーションの電力損失を低減します。固定周波数の PWM モードで動作する場合、内蔵スイッチのデューティ・サイクルが調節されて、出力電圧が安定化されます。軽負荷時の PSM で動作するときは、出力電圧をヒステリシス方式で制御するため、出力電圧のリップルが大きくなります。コンバータがこの期間中にスイッチングを停止してアイドル・モードに入ることによって、変換効率を改善できます。

## PWMモード

PWM モードの場合、スイッチング・レギュレータは内部発振器で設定される 3 MHz の固定周波数で動作します。各発振器サイクルの開始時に、PFET スイッチがオンになり、インダクタに正電圧が加わります。インダクタ内の電流は、電流検出信号がピーク・インダクタ電流の閾値に達するまで増加します。この電流レベルで、PFET スイッチがオフになり、NFET 同期整流器がオンになります。この動作により、インダクタの両端に負電圧が加わり、インダクタ電流が減少します。同期整流スイッチは、残りのサイクルの間はオン状態を維持します。ピーク・インダクタ電流の閾値を調整することで、出力電圧を安定化します。

## パワーセーブモード(PSM)

スイッチング・レギュレータは、負荷電流が PSM 電流閾値を下回ると、速やかに PSM モードに移行します。パワーセーブモードでは、PWM レギュレーションのレベルにオフセットが加えられ、出力電圧が上昇します。出力電圧が PWM レギュレーションのレベルを約 1.5% 上回ると、PWM 動作はオフになります。この時点で、両パワー・スイッチがオフとなり、降圧レギュレータがアイドル・モードになります。出力コンデンサは出力電圧が PWM レギュレーションの電圧レベルに下がるまで放電を続けます。そのレベルに達すると、デバイスがインダクタを駆動して出力電圧を閾値の上限值にまで戻します。このプロセスは、負荷電流が PSM 電流閾値を下回っている限り繰り返されます。

## PSM電流閾値

PSM 電流閾値は 100 mA に設定されています。降圧レギュレータは、入力電圧と出力電圧のレベルに関わらず、この電流を正確に制御できる方法を採用しています。これによって、PSM に入るときと終了するときの PSM 電流閾値間のヒステリシスもごく僅かです。PSM の電流閾値は、あらゆる負荷電流において高効率を発揮するように最適化されています。

## 短絡保護機能

スイッチング・レギュレータは、ハード短絡で出力電流が暴走するのを防ぐ周波数フォールドバック機能を備えています。FB ピンの電圧が目標出力電圧の 1/2 を下回り、出力にハード短絡が生じる可能性があるとき、スイッチング周波数が内部発振器周波数の 1/2 まで低下します。スイッチング周波数が低下するとインダクタの放電時間が長くなるため、出力電流の暴走を防止することができます。

## ソフト・スタート

スタートアップ時に出力電圧の増加を一定に制御することによって突入電流を防止するソフトスタート機能を内蔵しています。バッテリーまたはハイ・インピーダンス電源をコンバータの入力に接続しているときは、この機能によって入力電圧降下を防止できます。

## 電流制限機能

降圧レギュレータには、PFET スイッチを流れる正の電流量と同期整流器を流れる負の電流量を制限するための保護回路があります。パワー・スイッチの正電流制限値は、入力から出力へ流れる電流を制限します。負電流の制御では、インダクタ電流が反転して負荷から流れることを防止します。

### 100%デューティ動作

入力電圧が降下するか負荷電流が増大すると、降圧レギュレータは、PFET スイッチがデューティ時間の 100%オンになっても出力電圧が所望の出力電圧を下回る限界に達します。この限界で、降圧レギュレータは PFET スイッチがデューティ時間の 100%オン状態を維持するモードに速やかに移行します。入力状態が再度変化して必要なデューティサイクルが低下すると、ただちに PWM レギュレーションを再開し、出力電圧のオーバーシュートを防ぎます。

### LDOセクション

ADP5042 は、2 系統の低静止電流 LDO と低ドロップアウト・リニア・レギュレータを内蔵し、最大 300 mA の出力電流を提供します。無負荷時静止電流が 15  $\mu$ A (typ) と小さいため、バッテリーで動作するポータブル機器向けに最適です。

LDO は 1.7 V~5.5 V の入力電圧範囲で動作します。これらの LDO の動作範囲は広いので、LDO 電源電圧が降圧レギュレータから供給されるカスケード構成に適しています。

また、LDO は高い電源除去比 (PSRR)、低出力ノイズ、1  $\mu$ F の小型な入力および出力セラミック・コンデンサを使用するだけで優れたライン過渡応答と負荷過渡応答を提供します。

LDO2 は LDO1 に比べて優れたノイズ性能を提供するため、アナログ回路の電源として最適化されています。LDO1 は、ノイズ性能が厳しくないアプリケーションで使用する必要があります。

内部的には、1 系統の LDO は、リファレンス電圧、誤差アンプ、帰還分圧器、PMOS パス・トランジスタから構成されています。出力電流は、誤差アンプから制御される PMOS パス・デバイスを経由して供給されます。誤差アンプは、リファレンス電圧と出力からの帰還電圧を比較して、その差を増幅します。帰還電圧がリファレンス電圧より低い場合、PMOS デバイスのゲート電位が低くなるので、流れる電流が大きくなり、出力電圧が上昇します。帰還電圧がリファレンス電圧より高い場合は、PMOS デバイスのゲート電位が高くなるので、出力へ流れる電流が小さくなります。

### 監視回路セクション

ADP5042 は、マイクロプロセッサのリセット入力を制御することにより、マイクロプロセッサの電源電圧監視機能を提供します。パワーアップ時、パワーダウン時、停電時に、電源電圧が予め設定された閾値を下回ったときにリセット信号を発生し、さらに電源電圧が閾値を超えた後に固定のタイムアウト・リセット・パルスを使って電源電圧を安定化させることにより、コードの実行エラーが回避されます。さらに、マイクロプロセッサのコード実行での問題を監視し、2 系統のウォッチドッグ・タイマを使って訂正することができます。

### リセット出力

ADP5042 には、アクティブ・ローのオープン・ドレイン・リセット出力があります。この出力構成では、外付けプルアップ抵抗を使ってリセット出力を 6 V 以下の電圧レールへ接続する必要があります。この抵抗は、入力電流と *nRSTO* ピンのリーク・パスに電流を供給しているとき、マイクロプロセッサのロー・レベル電圧条件とハイ・レベル電圧条件を満たす必要があります。多くの場合、10 k $\Omega$  の抵抗で十分です。

被監視レールがリセット閾値 ( $V_{TH}$ ) を下回ったとき、WDI1 または WDI2 がウォッチドッグ・タイムアウト周期 ( $t_{WD1}$  および  $t_{WD2}$ ) 内に処理されないとき、リセット出力がアサートされます。 $V_{CC}$  がリセット閾値を上回った後またはウォッチドッグ・タイマがタイムアウトした後にリセット・アクティブ・タイムアウト周期 ( $t_{RP}$ ) の間、リセットはアサートされたままになります。図 57 に、リセット出力 *nRSTO* の動作を示します。ここでは、*VOUT2* が被監視電源レールとして選択され、*nRSTO* 出力に接続された外付けプルアップに電源を供給しています。

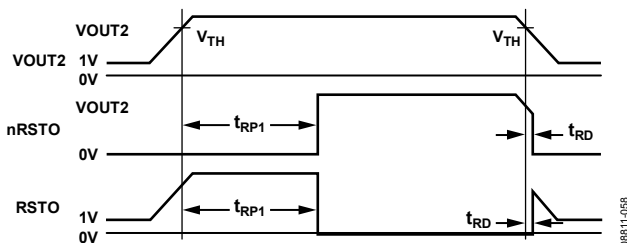


図 57. リセットのタイミング図

リセット閾値電圧と検出レール (*VOUT1*、*VOUT2*、*VOUT3*、または *AVIN*) は出荷時設定です。ADP5042 で使用可能なリセット閾値の全リストについては、表 15 を参照してください。

入力電源電圧 *AVIN* を監視する際、選択したリセット閾値が UVLO レベルより低い場合 (出荷時に 2.25 V または 3.6 V に設定)、入力電圧が UVLO 閾値を下回ると直ちにリセット出力 *nRSTO* がロー・レベルになります。UVLO 閾値の下では、最小約 1 V の *VIN* までリセット出力がロー・レベルに維持されます。この機能により、プロセッサの電源レールに十分な電圧が存在してプロセッサ動作が再スタートできる場合にもリセット出力が解除されないようになっています。

### マニュアル・リセット入力

ADP5042 にはマニュアル・リセット入力 ( $\overline{MR}$ ) があります。この入力をロー・レベルに駆動すると、リセット出力がアサートされます。 $\overline{MR}$  がローからハイ・レベルへ変化すると、リセットはリセット・アクティブ・タイムアウト周期だけアサート状態を維持した後にアサート状態が解除されます。 $\overline{MR}$  入力には 52 k $\Omega$  の内部プルアップがあり、*AVIN* に接続されているため、未接続時でも入力は常にハイ・レベルになります。 $\overline{MR}$  とグラウンドとの間に外付けプッシュ・ボタン・スイッチを接続すると、これを使ってリセットを発生させることができます。このためのデバウンス回路も内蔵されています。 $\overline{MR}$  入力にはノイズ耐性があるため、最大 100 ns (typ) までの高速な立下がり過渡電圧は無視されます。 $\overline{MR}$  とグラウンドとの間に 0.1  $\mu$ F のコンデンサを接続すると、ノイズ耐性を強化することができます。

## ウォッチドッグ1入力

ADP5042には、マイクロプロセッサの動作を監視するウォッチドッグ・タイマがあります。タイマ回路は、最小 80 ns のパルスを検出するウォッチドッグ入力ピン(WD1)上での各ローからハイ・レベルへのロジック変化ごと、または各ハイからロー・レベルへのロジック変化ごとにクリアされます。タイマが予め設定されているウォッチドッグ・タイムアウト周期( $t_{WD1}$ )までカウントすると、リセットがアサートされます。マイクロプロセッサは、WD1 ピンをトグルしてリセットが発生することを防止する必要があります。マイクロプロセッサがタイムアウト周期以内に WD1 をトグルできない場合には、コード実行エラーと見なされ、リセット・パルスが発生されて、マイクロプロセッサは既知の状態から再起動されます。

WD11 でのロジック変化と同様に、被監視電源レールでの低電圧状態によるリセット・アサーションによってもウォッチドッグ・タイマがクリアされます。リセットがアサートされると、ウォッチドッグ・タイマがクリアされて、リセットが解除されるまでカウントを開始しません。WD11 をフローティングのままにするか、または WD11 ドライバをスリーステートにすることにより、ウォッチドッグ 1 タイマをディスエーブルすることができます。WMOD ピンは、ウォッチドッグ 1 の動作モードを制御します。WMOD をロー・レベルにすると、WD11 がスリー・ステートでない限り、ウォッチドッグ 1 がイネーブルされます。WMOD をハイ・レベルにすると、ウォッチドッグ 1 が常にアクティブになるため、スリー・ステート状態によりディスエーブルできなくなります。WMOD 入力には 200 k $\Omega$  の内部プルダウン抵抗が付いています。

ウォッチドッグ 1 のタイムアウトは、表 17 に示す 2 通りの値に設定されます。

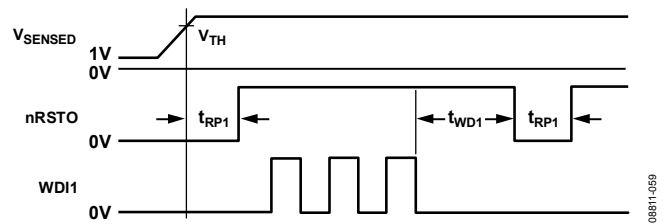


図 58.ウォッチドッグ 1 のタイミング図

## ウォッチドッグ 2 入力

ADP5042には、長いタイムアウトを持つ 1 つ目のウォッチドッグの他にマイクロプロセッサ動作を監視するもう 1 つのウォッチドッグ・タイマがあります。この構成により、ウォッチドッグ 1 のクリアが正しくないときセキュリティと安全性を強化します。タイマ回路は、最小 8  $\mu$ s のパルスを検出するウォッチドッグ入力ピン(WD12)上での各ローからハイ・レベルへのロジック変化ごと、または各ハイからロー・レベルへのロジック変化ごとにクリアされます。タイマが予め設定されているウォッチドッグ・タイムアウト周期( $t_{WD2}$ )までカウントすると、リセットがアサートされて、その後に全レギュレータのパワー・サイクルが続きます。マイクロプロセッサは、WD12 ピンをトグルしてリセットとパワーダウンが発生することを防止する必要があります。マイクロプロセッサがタイムアウト周期以内に WD12 をトグルできない場合には、コード実行エラーと見なされ、リセット出力 nRSTO が  $t_{RP1}$  間ロー・レベルにされます。次に、すべてのレギュレータが  $t_{POFF}$  の間オフにされます。 $t_{POFF}$  周期の経過後、予め定められたシーケンスに従ってレギュレータが再起動されます (表 9 参照)。最後に、リセット・ライン (nRSTO) が  $t_{RP1}$  間アサートされます。この動作によりシステムのクリーンなパワーアップと正しいリセットが保証されます。

WD12 でのロジック変化と同様に、VTH を監視している電源レールでの低電圧状態によるリセット・アサーションによってもウォッチドッグ・タイマがクリアされます。この VTH は出荷時に、VOUT1、VOUT2、VOUT3、AVIN に設定することができます (表 20 参照)。リセットがアサートされると、ウォッチドッグ・タイマがクリアされて、リセットが解除されるまでカウントを開始しません。

ウォッチドッグ 2 のタイムアウトは、表 18 に示す 7 通りの値に設定されます。もう 1 つの別のオプションを使うと、出荷時にウォッチドッグ 2 をディスエーブルしておくことができます。

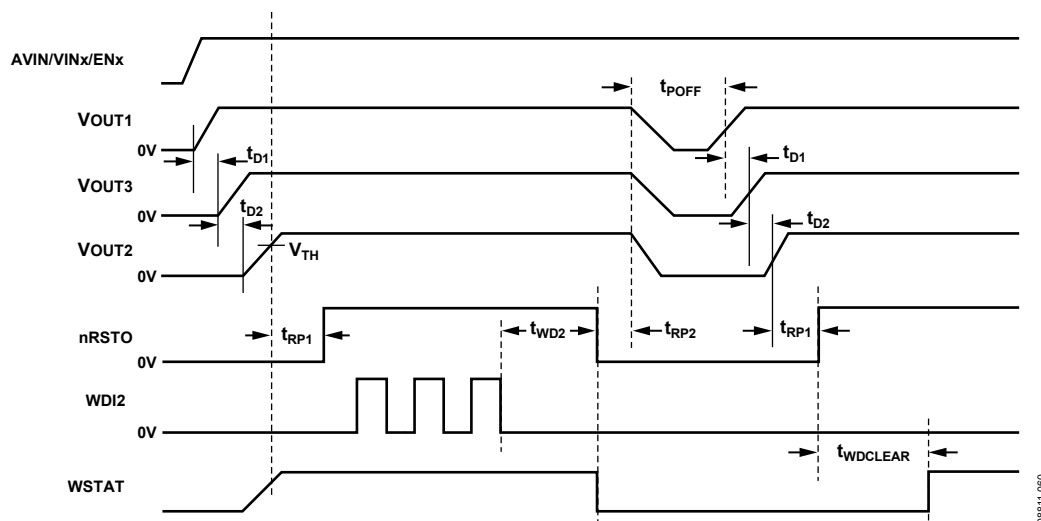


図 59.ウォッチドッグ 2 のタイミング図(VOUT2 が被監視電源レールの場合)

**ウォッチドッグ・ステータス・インジケータ**

2 系統のウォッチドッグ機能の他に、ADP5042 の WSTAT ピンにはウォッチドッグ・ステータス・モニタ機能があります。このピンを外部プロセッサから読出してリセットの発生場所を知ることができます。WSTATはオープン・ドレイン出力です。

WSTAT は、リセットを発生した条件に応じたロジック・レベルを出力します。ウォッチドッグ 2 のタイムアウトによりリセットが発生した場合、WSTAT はロー・レベルになります。他のリセット原因(ウォッチドッグ 1 のタイムアウト、電源故障、被監視電圧が閾値より低い)の場合、WSTAT は外付けプルアップによりハイ・レベルになります。ステータス・モニタは、nRSTO のロー・レベルからハイ・レベルへ変化の 10 sec 後( $t_{WDCLEAR}$ )に自動的にクリア(ハイ・レベル)されるため、プロセッサのファームウェアはウォッチドッグ 2 リセット後の  $t_{WDCLEAR}$  の経過の前に WSTAT フラグを読出せるように設計する必要があります。

nRSTOのロー・レベルからハイ・レベルへの変化の後の 10 sec以内に発生する低電圧閾値検出イベントまたはウォッチドッグ 1 イベントによって発生するリセットでは、WSTATフラグが更新されません。この変化では、WSTATは前の状態を維持します(図 60の状態フローを参照)。

外部プロセッサはリセット後に RAM チェックまたはシグニチャ確認を実施することにより、ウォッチドッグ 1 のタイムアウトで発生したリセットを電源故障(ステータス・モニタ WSTAT がハイ・レベルを表示)から区別することができます。RAM チェックまたはシグニチャ確認の失敗は電源故障が発生したことを示します。一方、RAM チェックまたはシグニチャ確認の成功は、ウォッチドッグ 1 のタイムアウトが発生したことを示します。

表 10に、ウォッチドッグのステータス・デコードを示します。

表 10.ウォッチドッグ・ステータスのデコード

WSTAT	RAM CHECKSUM	RESET ORIGIN
High	Failed	Power failure
High	Ok	Watchdog 1
Low	Don't care	Watchdog 2

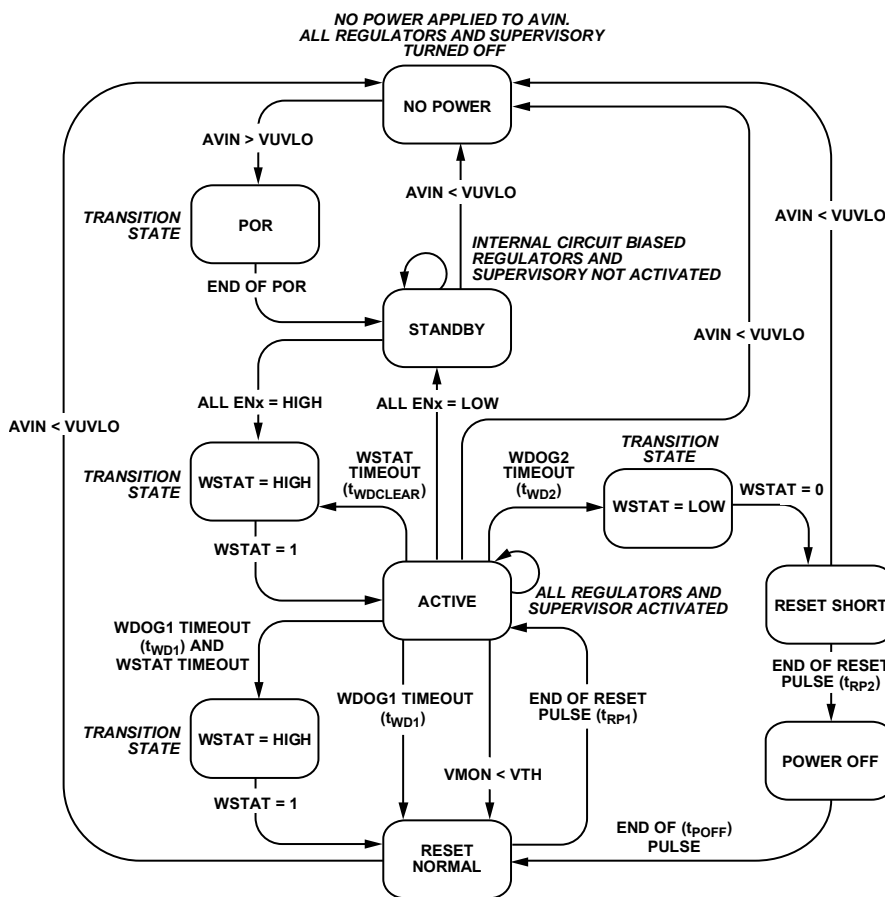


図 60.ADP5042 の状態遷移

## アプリケーション情報

### 外付け部品の選択

アプリケーション回路内の外付け部品の選択を変えて、効率や過渡応答特性のような性能パラメータ間のトレードオフを行うことができます(図 66参照)。

### インダクタ

ADP5042 の降圧レギュレータはスイッチング周波数が高いため、小型のインダクタを使用できます。最適性能を得るためには、0.7  $\mu\text{H}$ ~3  $\mu\text{H}$ のインダクタ値を使用してください。推奨インダクタを表 11に示します。

ピーク to ピークのインダクタ・リップル電流は、次式で計算されます。

$$I_{\text{RIPPLE}} = \frac{V_{\text{OUT}} \times (V_{\text{IN}} - V_{\text{OUT}})}{V_{\text{IN}} \times f_{\text{SW}} \times L}$$

ここで、

$f_{\text{SW}}$ はスイッチング周波数です。 $L$ はインダクタ値です。

インダクタの定格最小 DC 電流値はそのピーク電流より大きい値にする必要があります。インダクタのピーク電流は、次式を使って計算します。

$$I_{\text{PEAK}} = I_{\text{LOAD(MAX)}} + \frac{I_{\text{RIPPLE}}}{2}$$

インダクタの導通損失は、インダクタを流れる電流に起因しますが、これには関連する内部 DC 抵抗(DCR)があります。インダクタのサイズが大きければ DCR が小さくなり、インダクタの導通損失が小さくなります。インダクタのコア損失は、コアの材料の透磁率に関係しています。降圧レギュレータは高スイッチング周波数の DC/DC コンバータであるため、コア損失と EMI が低いシールド・フェライトのコア材の使用を推奨します。

表 11.1.0  $\mu\text{H}$  推奨インダクタ

Vendor	Model	Dimensions (mm)	I <sub>SAT</sub> (mA)	DCR (m $\Omega$ )
Murata	LQM2MPN1R0NG0B	2.0 × 1.6 × 0.9	1400	85
Murata	LQM18FN1R0M00B	1.6 × 0.8 × 0.8	150	26
Taiyo Yuden	CBMF1608T1R0M	1.6 × 0.8 × 0.8	290	90
Coilcraft	EPL2014-102ML	2.0 × 2.0 × 1.4	900	59
TDK	GLFR1608T1R0M-LR	1.6 × 0.8 × 0.8	230	80
Coilcraft	0603LS-102	1.8 × 1.69 × 1.1	400	81
Toko	MDT2520-CN	2.5 × 2.0 × 1.2	1350	85

### 出力コンデンサ

出力容量値が大きいと出力電圧リップルが小さくなり、負荷過渡応答特性が向上します。この値を選択するときは、出力電圧 DC バイアスに起因する容量損失を考慮することも重要です。

セラミック・コンデンサは様々な誘電体を使って製造されて、各々は温度と加えられる電圧に対して異なる動作をします。求められる温度範囲と DC バイアス条件で最小容量を確保できる十分な誘電体が必要になります。最適な性能を得るために、電圧定格値が 6.3 V または 10 V の X5R または X7R の誘電体を推奨します。Y5V と Z5U の誘電体は、温度特性や DC バイアス特性が劣るため、DC/DC コンバータには適していません。

温度、部品の許容誤差、電圧によるコンデンサの変動を考慮して、最悪時の容量を求めるときは、次式を使用します。

$$C_{\text{EFF}} = C_{\text{OUT}} \times (1 - \text{TEMPCO}) \times (1 - \text{TOL})$$

ここで、

$C_{\text{EFF}}$ は動作電圧での実効容量です。

$\text{TEMPCO}$ は最悪時のコンデンサ温度係数です。

$\text{TOL}$ は最悪時の部品の許容誤差です。

この例では、-40~+85°Cでの最悪時の温度係数(TEMPCO)を X5R 誘電体で 15%とします。コンデンサの許容誤差(TOL)は 10%、図 61のグラフから、 $C_{\text{OUT}}$ は 1.8 V で 9.2481  $\mu\text{F}$ とします。

これらの値を式に代入すると、次のようになります。

$$C_{\text{EFF}} = 9.2481 \mu\text{F} \times (1 - 0.15) \times (1 - 0.1) = 7.0747 \mu\text{F}$$

スイッチング・レギュレータの性能を保証するためには、コンデンサ動作に対する DC バイアス、温度、許容誤差の影響を各アプリケーションについて評価することが不可欠です。

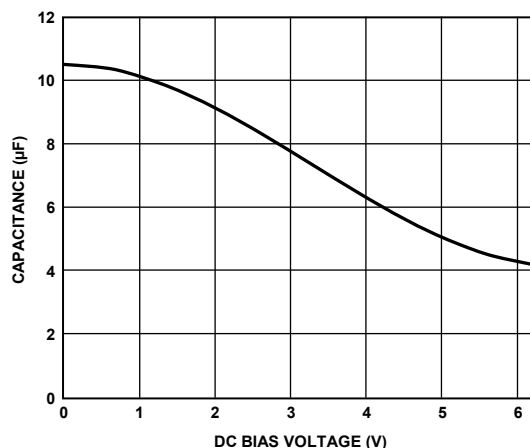


図 61. 代表的なコンデンサ性能

選択した出力コンデンサおよびインダクタの値でピーク to ピーク出力電圧リップルを計算するときは、次式を使用します。

$$V_{RIPPLE} = \frac{V_{IN}}{(2\pi \times f_{SW}) \times 2 \times L \times C_{OUT}} = \frac{I_{RIPPLE}}{8 \times f_{SW} \times C_{OUT}}$$

次式に示すように、出力電圧リップルを低くするには、等価直列抵抗 (ESR) の値が低いコンデンサを使用すると良いでしょう。

$$ESR_{COUT} \leq \frac{V_{RIPPLE}}{I_{RIPPLE}}$$

温度や DC バイアスの影響を含め、安定性に必要な実効容量は最小 7  $\mu$ F で最大 40  $\mu$ F です。

表 12.10  $\mu$ F 推奨コンデンサ

Vendor	Type	Model	Case Size	Voltage Rating (V)
Murata	X5R	GRM188R60J106	0603	6.3
Taiyo Yuden	X5R	JMK107BJ475	0603	6.3
TDK	X5R	C1608JB0J106K	0603	6.3
Panasonic	X5R	ECJ1VB0J106M	0603	6.3

急速な負荷変動およびPWM/PSM モードの開始と終了に対する安定性と応答を保証するためには、スイッチング・レギュレータに 10  $\mu$ F の出力コンデンサが必要です。プロセッサへ電源を供給するアプリケーションでは、ソフトウェアから制御しているため、動作状態を知ることができる場合があります。この状態では、動作状態に従ってプロセッサがMODE ピンを駆動できるため、出力コンデンサを 10  $\mu$ F から 4.7  $\mu$ F へ小さくすることができます。これは、レギュレータは PSM モードで動作する場合大きな負荷変動がないと予測することができるためです (図 62参照)。

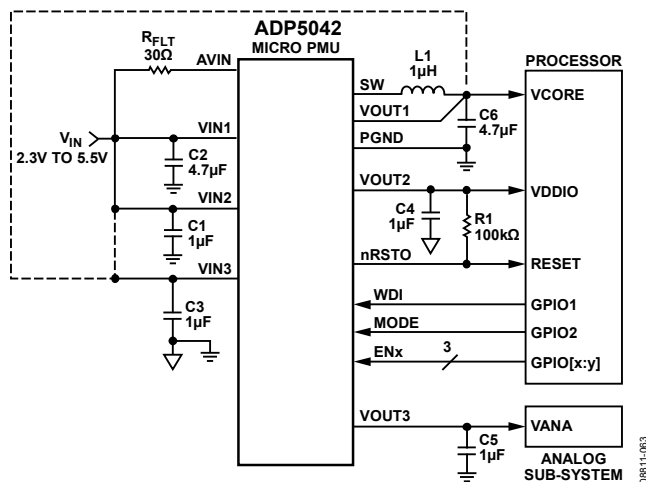


図 62.PSM/PWM 制御によるプロセッサ・システムのパワー・マネジメント

## 入力コンデンサ

入力コンデンサの値が大きいと入力電圧リップルが小さくなり、過渡応答が向上します。入力コンデンサの最大電流は次式を使って計算します。

$$I_{CIN} \geq I_{LOAD(MAX)} \sqrt{\frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}}}$$

電源ノイズを最小限に抑えるには、入力コンデンサを降圧レギュレータの VIN ピンのできるだけ近くに配置する必要があります。出力コンデンサの場合と同様、ESR が低いコンデンサの使用を推奨します。

温度やDCバイアスの影響を含め、安定性に必要な実効容量は最小 3  $\mu$ F で最大 10  $\mu$ F です。表 13に推奨コンデンサの一覧を示します。

表 13.4.7  $\mu$ F 推奨コンデンサ

Vendor	Type	Model	Case Size	Voltage Rating (V)
Murata	X5R	GRM188R60J475ME19D	0603	6.3
Taiyo Yuden	X5R	JMK107BJ475	0603	6.3
Panasonic	X5R	ECJ-0EB0J475M	0402	6.3

## LDO コンデンサの選択

### 出力コンデンサ

ADP5042 の LDO は、小型で省スペースのセラミック・コンデンサで動作するようにデザインされていますが、実効直列抵抗 (ESR) 値に注意すれば一般的に使用されているコンデンサで動作することもできます。出力コンデンサの ESR は、LDO 制御ループの安定性に影響を与えます。ADP5042 の安定性のためには、1  $\Omega$  以下の ESR を持つ最小 0.70  $\mu$ F のコンデンサの使用が推奨されます。負荷電流の変化に対する過渡応答も出力容量の影響を受けます。大きな値の出力容量を使用すると、負荷電流の大きな変化に対する ADP5042 の過渡応答を向上させることができます。

### 入力バイパス・コンデンサ

VIN2 ピンおよび VIN3 ピンと GND の間に 1  $\mu$ F のコンデンサを接続すると、特に入力パターンが長いソース・インピーダンスが高い場合に、プリント回路ボード (PCB) のレイアウトに対する回路の感受性を小さくすることができます。1  $\mu$ F より大きい出力容量が必要な場合は、出力容量に合わせて入力コンデンサを大きくすることが推奨されます。

表 10. 1.0  $\mu$ F 推奨コンデンサ

Vendor	Type	Model	Case Size	Voltage Rating (V)
Murata	X5R	GRM155R61A105ME15	0402	10.0
TDK	X5R	C1005JB0J105KT	0402	6.3
Panasonic	X5R	ECJ0EB0J105K	0402	6.3
Taiyo Yuden	X5R	LMK105BJ105MV-F	0402	10.0

## 入力コンデンサと出力コンデンサの特性

最小容量と最大 ESR 条件を満たすかぎり、ADP5042 で任意の高品質セラミック・コンデンサを使用することができます。セラミック・コンデンサは様々な誘電体を使って製造されて、各々は温度と加えられる電圧に対して異なる動作をします。求められる温度範囲と DC バイアス条件で最小容量を確保できる十分な誘電体が必要になります。最適な性能を得るために、電圧定格値が 6.3 V または 10 V の X5R または X7R の誘電体を推奨します。Y5V と Z5U の誘電体は、温度特性や DC バイアス特性が劣るため、LDO には適していません。

図 63 に、0402 1  $\mu\text{F}$ 、10 V の X5R コンデンサについて容量対電圧バイアス特性を示します。コンデンサの電圧安定性は、コンデンサのサイズと電圧定格の影響を大きく受けます。一般に、コンデンサのパッケージが大きいほど、または電圧定格が大きいほど、優れた安定性を示します。X5R 誘電体の温度変動は、 $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$  の温度範囲で  $\pm 15\%$  であり、パッケージまたは電圧定格の関数になっていません。

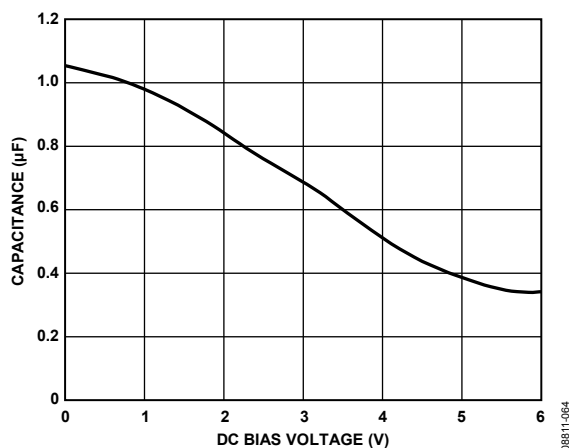


図 63. 電圧対容量の特性

次式を使うと、温度、部品許容誤差、電圧に対するコンデンサの変動を考慮した、最悪時の容量を求めることができます。

$$C_{\text{EFF}} = C_{\text{BIAS}} \times (1 - \text{TEMPCO}) \times (1 - \text{TOL})$$

ここで、

$C_{\text{BIAS}}$  は動作電圧での実効容量です。

$\text{TEMPCO}$  は最悪時のコンデンサ温度係数です。

$\text{TOL}$  は最悪時の部品許容誤差です。

この例では、 $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$  での最悪時の温度係数 ( $\text{TEMPCO}$ ) を、X5R 誘電体では 15% と想定しています。図 63 に示すように、コンデンサの許容誤差 ( $\text{TOL}$ ) は 10%、かつ 1.8 V で  $C_{\text{BIAS}} = 0.94 \mu\text{F}$  としています。

これらの値を式に代入すると、次のようになります。

$$C_{\text{EFF}} = 0.94 \mu\text{F} \times (1 - 0.15) \times (1 - 0.1) = 0.719 \mu\text{F}$$

したがって、この例で選択したコンデンサは、選択した出力電圧で、温度と許容誤差に対する LDO の最小容量条件を満たします。

ADP5042 の性能を保証するためには、コンデンサ動作に対する DC バイアス、温度、許容誤差の影響を各アプリケーションごとに評価することが不可欠です。

## 監視回路セクション

### ウォッチドッグ1入力電流

ウォッチドッグ入力電流 (および全体の消費電力) を小さくするためには、ウォッチドッグ・タイムアウト周期の大部分で  $\text{WDI1}$  をロー・レベルにするようにしてください。ハイ・レベルへ駆動すると、 $\text{WDI1}$  に最大 25  $\mu\text{A}$  が流れます。小さいデューティ・サイクルでロー・レベル $\rightarrow$ ハイ・レベル $\rightarrow$ ロー・レベルへ変化するパルス  $\text{WDI1}$  に入力すると、大きな入力電流の影響を少なくすることができます。 $\text{WDI1}$  が未接続で、かつ  $\text{WMOD}$  がロー・レベルに設定される場合、ウォッチドッグ・タイマがタイムアウトするとき、リセットがアサートされないように、ウインドウ・コンパレータがウォッチドッグ・タイマをリセット出力回路から切り離します。

### $V_{\text{CC}}$ の立下がり過渡電圧

高速な電源過渡電圧から発生する不要なリセットを回避するため、ADP5042 はグリッチ除去回路を内蔵しています。図 64 の代表的性能特性に、過渡電圧振幅対監視電源レール電圧  $V_{\text{TH}}$  の過渡電圧継続時間を示します。このカーブは、2.93 V のリセット閾値を持つ製品に対して、リセットが発生しない過渡電圧の振幅と継続時間の組み合わせを示しています。例えば、2.93 V 閾値の場合、閾値より 100 mV 下回り、8  $\mu\text{s}$  間継続する過渡電圧では、一般にリセットは発生しませんが、過渡電圧の振幅または継続時間がこれより大きい場合には、リセットが発生します。

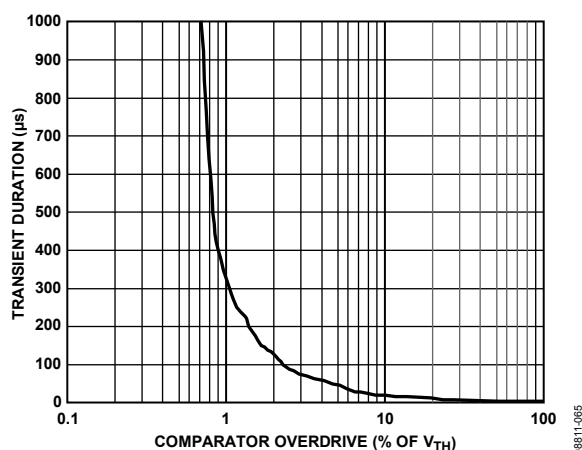


図 64. リセット閾値超過電圧対最大  $V_{\text{TH}}$  過渡電圧継続時間

### ウォッチドッグ・ソフトウェアの考慮事項

マイクロプロセッサのウォッチドッグ・リセット・コードを書く場合、消費電流を小さくするため、 $\text{WDI1}$  をロー・レベル $\rightarrow$ ハイ・レベルの変化の後にハイ・レベル $\rightarrow$ ロー・レベルへ変化する高速なスイッチング ( $\text{WDI1}$  のハイ・レベル時間を最小にする) が望まれますが、ウォッチドッグ機能を使用すると、さらに効果的な方法を考慮することができます。

与えられたサブルーチン内で、ロー・レベル $\rightarrow$ ハイ・レベル $\rightarrow$ ロー・レベルへ変化する  $\text{WDI1}$  パルスを使うと、ウォッチドッグがタイムアウトするのを防止することができますが、サブルーチンが無限ループに陥ると、ウォッチドッグはこれを検出することができません。これは、サブルーチンが  $\text{WDI1}$  のトグルを続けるためです。この誤動作を検出するさらに効果的なコーディング方式では、少し長いウォッチドッグ・タイムアウトを使用しています。サブルーチンを呼び出すプログラム内で、 $\text{WDI1}$  をハイ・レベルに設定します。サブルーチンは呼び出されたときに、 $\text{WDI1}$  をロー・レベルに設定します。プログラムを誤動作なしに実行すると、プログラムがループするごとに  $\text{WDI1}$  がハ

イ・レベルとロー・レベルにトグルします。サブルーチンが無限ループに入ると、WDI1 がロー・レベルに留まり、ウォッチドッグがタイムアウトして、マイクロプロセッサがリセットされます(図 65参照)。

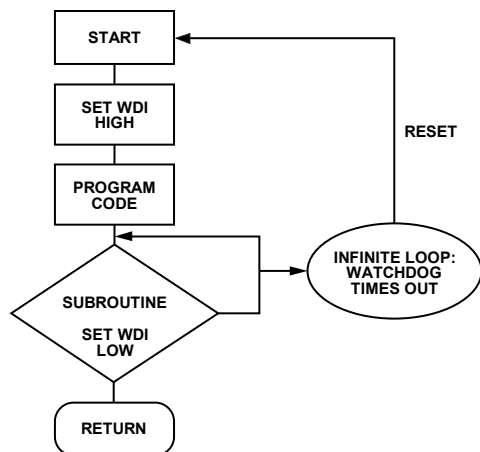


図 65.ウォッチドッグのフロー図

WDI2 ピンからリセットされる 2 つ目のウォッチドッグは、安全性が不可欠で、かつシステムが異常動作から必ず抜け出す必要のあるアプリケーションで役立ちます。このようなアプリケーションとしては、たとえば、プロセッサがウォッチドッグ 1 のリセットが続く連続ループに陥る場合、または WDI1 ピンを制御しているプロセッサ・ポートを乱すか損傷させる環境条件により停止する場合があります。ウォッチドッグ 2 のタイムアウト時に、ADP5042 はプロセッサのクリーンなスタートを保証するため、すべての電源レールをパワー・サイクルさせます。

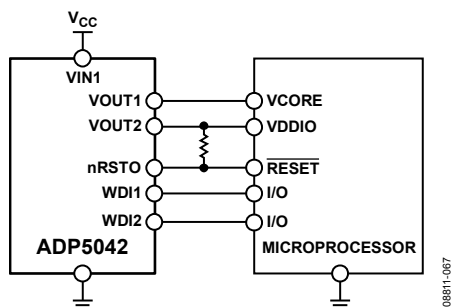


図 66.代表的なアプリケーション回路

## PCBレイアウトのガイドライン

レイアウトが悪いと、ADP5042 の性能に影響があり、電磁波障害 (EMI) や電磁両立性 (EMC) の問題、グラウンド・バウンス、電圧損失などを引き起こします。また、レギュレーションや安定性に影響する場合があります。優れたレイアウトは次の手順を使って実現されます。

- 短いパターンを使用し、インダクタ、入力コンデンサ、出力コンデンサを IC の近くに配置します。これらの部品は高スイッチング周波数を伝送し、広いパターンはアンテナとしてノイズを撒き散らします。電流が流れる部分は太く短くコンパクトに設計する必要があります。
- 出力電圧帰還回路をインダクタや SW ノードから一定の距離を置いてルーティングし、ノイズと電磁波干渉を最小限に抑えます。
- 部品側のグラウンド・メタルのサイズを最大限大きくして、放熱性を高めます。
- 部品面のグラウンドへ接続してある複数のビアを持つグラウンド・プレーンを使って、敏感な回路ノードのノイズ干渉をさらに減らします。

評価ボードの回路図とアートワーク

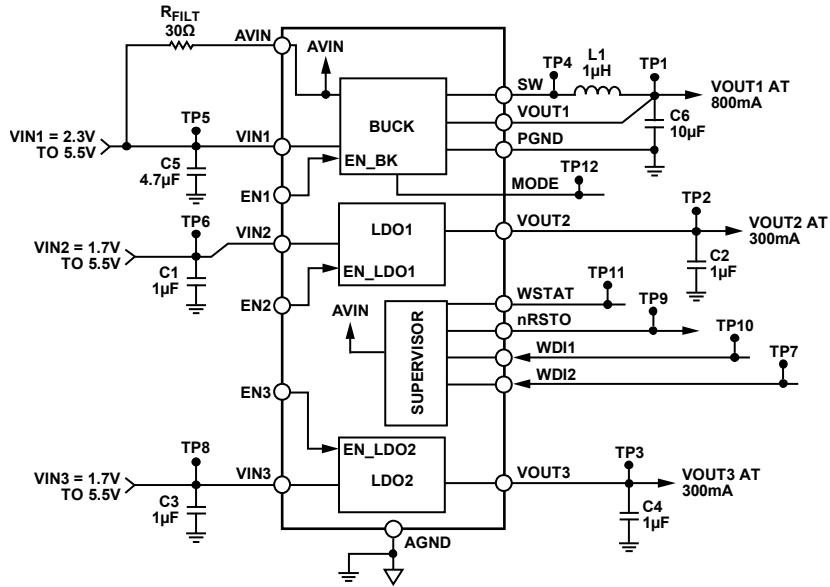


図 67. 評価ボードの回路図

推奨レイアウト

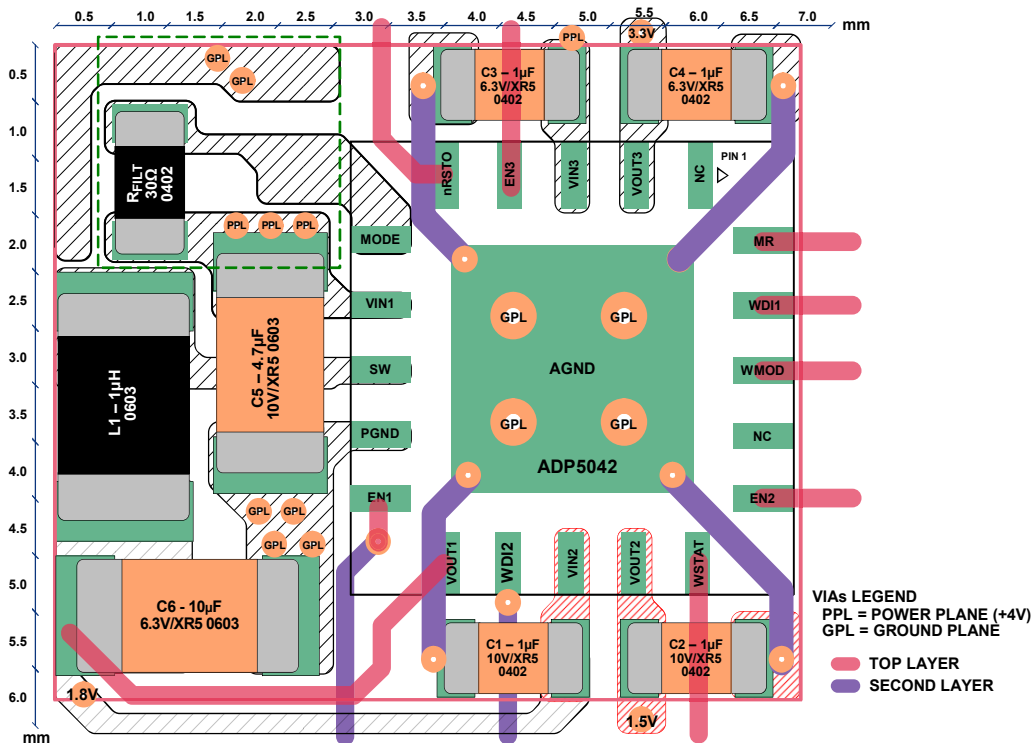


図 68. レイアウト

## 部品表

表 14.

Reference	Value	Part Number	Vendor	Package
C1, C2, C3, C4	1 $\mu$ F, X5R, 6.3 V	LMK105BJ105MV-F	Taiyo Yuden	0402
C5	4.7 $\mu$ F, X5R, 10 V	LMK107BJ475MA-T	Taiyo Yuden	0603
C6	10 $\mu$ F, X5R, 6.3 V	JMK107BJ106MA-T	Taiyo Yuden	0603
R <sub>FILT</sub>	30 $\Omega$			0201/0402
L1	1 $\mu$ H, 0.09 $\Omega$ , 290 mA	BRC1608T1R0M	Taiyo Yuden	0603
	1 $\mu$ H, 0.08 $\Omega$ , 230 mA	GLFR1608T1R0M-LR	TDK	0603
IC1	3-regulator micro PMU	ADP5042	Analog Devices	20-Lead LFCSP

## アプリケーション図

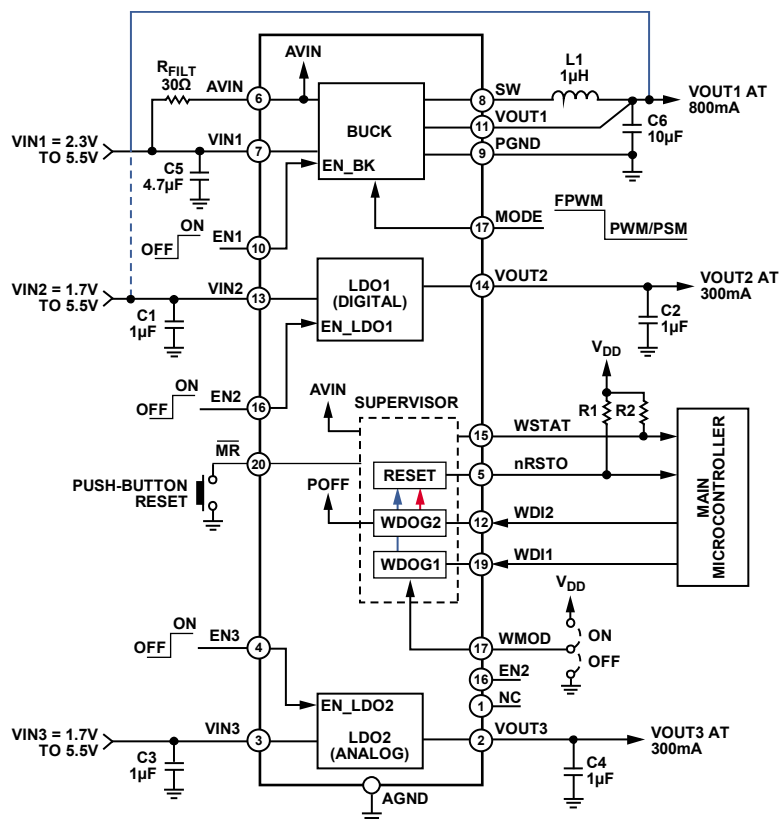


図 69. アプリケーション図

08811-070

## 出荷時設定オプション

表 15.リセット電圧閾値オプション<sup>1</sup>

Selection	T <sub>A</sub> = +25°C			T <sub>A</sub> = -40°C to +85°C		Unit
	Min	Typ	Max	Min	Max	
111 (For VIN = 5 V - 6%)		4.630			4.700	V
110 (For VOUT = 3.3 V)	3.034	3.080	3.126	3.003	3.157	V
101 (For VOUT = 3.3 V)	2.886	2.930	2.974	2.857	3.000	V
100 (For VOUT = 2.8 V)	2.591	2.630	2.669	2.564	2.696	V
011 (For VOUT = 2.8 V)	2.463	2.500	2.538	2.438	2.563	V
010 (For VOUT = 2.5 V - 6%)		2.350			2.385	V
001 (For VOUT = 2.2 V - 6%)		2.068			2.099	V
000 (For VOUT = 1.8 V - 6%)		1.692			1.717	V

表 16.リセット・タイムアウト・オプション

Selection	Min	Typ	Max	Unit
0	24	30	36	ms
1	160	200	240	ms

表 17.ウォッチドッグ1 タイマ・オプション

Selection	Min	Typ	Max	Unit
0	81.6	102	122.4	ms
1	1.12	1.6	1.92	sec

表 18.ウォッチドッグ2 タイマ・オプション

Selection	Min	Typ	Max	Unit
000	6	7.5	9	sec
001		Watchdog 2 disabled		
010	3.2	4	4.8	min
011	6.4	8	9.6	min
100	12.8	16	19.2	min
101	25.6	32	38.4	min
110	51.2	64	76.8	min
111	102.4	128	153.6	min

表 19.パワーオフ・タイミング・オプション

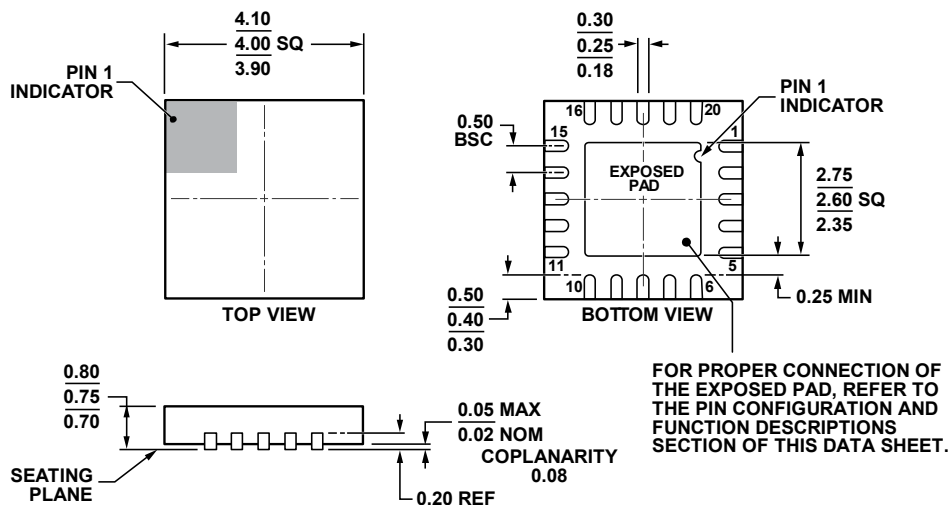
Selection	Min	Typ	Max	Unit
0	140	200	280	ms
1	280	400	560	ms

表 20.リセット検出オプション

Selection	Monitored Rail
00	VOUT1 pin
01	VOUT2 pin
10	VOUT3 pin
11	AVIN <sup>1</sup> pin

<sup>1</sup> AVIN を監視する場合、ヒューズ・オプションまたは外付け抵抗分圧器により選択したリセット閾値は、UVLO 閾値 (2.25 V または 3.6 V) より高くする必要があります。

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

図 70. 20ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP\_WQ]  
4 mm x 4 mm ボディ、極薄クワッド  
(CP-20-8)  
寸法: mm

020509-B

## オーダー・ガイド

Model <sup>1, 2</sup>	Regulator Settings	Supervisory Settings	Temperature Range	Package Description	Package Option
ADP5042ACPZ-1-R7	VOUT1 = 1.8 V  VOUT2 = 1.5 V VOUT3 = 3.3 V UVLO = 2.2 V Sequencing: LDO1, LDO2, buck	WD1 t <sub>OUT</sub> = 1.6 sec  WD2 t <sub>OUT</sub> = 128 min Reset t <sub>OUT</sub> = 200 ms POFF = 200 ms VTH Sensing = VOUT3, 2.93 V	T <sub>J</sub> = -40°C to +125°C	20-Lead Lead Frame Scale Package [LFCSP_WQ]	CP-20-8
ADP5042ACPZ-2-R7	VOUT1 = 1.5 V  VOUT2 = 1.8 V VOUT3 = 3.3 V UVLO = 2.2 V Sequencing: LDO1, LDO2, buck	WD1 t <sub>OUT</sub> = 1.6 sec  WD2 t <sub>OUT</sub> = 128 min Reset t <sub>OUT</sub> = 200 ms POFF = 200 ms VTH Sensing = VOUT3, 2.93 V	T <sub>J</sub> = -40°C to +125°C	20-Lead Lead Frame Scale Package [LFCSP_WQ]	CP-20-8
ADP5042CP-1-EVALZ				Evaluation Board	
ADP5042CP-2-EVALZ				Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。<sup>2</sup> 周囲温度をモニタしても、ジャンクション温度 (T<sub>J</sub>) が規定温度範囲内にあることを保証できません。