



4 個の低ノイズ降圧レギュレータを 集積した電源ソリューション

データシート

ADP5014

特長

- 入力電圧範囲: 2.75 V ~ 6.0 V
- プログラマブル出力電圧範囲: 0.5 V ~ 0.9 × PVINx
- 低出力ノイズ: 約 25 μV rms (V_{OUT} ≥ V_{REF} の場合)
- 全温度範囲にわたる出力精度: ±1.0 %
- スイッチング周波数の調整可能範囲: 500 kHz ~ 2.5 MHz
- 電源レギュレーション
 - チャンネル 1 およびチャンネル 2: プログラマブル 2 A / 4 A 同期降圧レギュレータ、または並列接続により 8 A 単一出力
 - チャンネル 3 およびチャンネル 4: プログラマブル 1 A / 2 A 同期降圧レギュレータ、または並列接続により 4 A 単一出力
- 柔軟な並列動作
- 閾値 0.6 V の高精度イネーブル
- 手動モードまたはシーケンスモード (パワーアップ・シーケンスとパワーダウン・シーケンスの両方に対応)
- FPWM または PSM の動作モードが選択可能
- 高精度低電圧検出コンパレータ
- 周波数同期の入力または出力
- アクティブ出力の放電スイッチ
- パワーグッド・フラグ (出荷時にヒューズ設定で選択したチャンネルに対して)
- UVLO、OVP、OCP、および TSD の各保護
- 40 ピン、6 mm × 6 mm LFCSP パッケージ
- ジャンクション温度: -40 °C ~ +125 °C

アプリケーション

- RF トランシーバー、高速 A/D コンバータ (ADC) / D/A コンバータ (DAC)、ミックスド・シグナル ASIC
- FPGA およびプロセッサのアプリケーション
- セキュリティおよび情報収集
- 医療用アプリケーション

概要

ADP5014 は 4 個の高性能、低ノイズ降圧レギュレータを 40 ピン LFCSP パッケージに組み込んでいます。この低ノイズ降圧レギュレータは、低出力ノイズ (V_{OUT} ≥ V_{REF} で約 25 μV rms) の特性を持つため、ノイズに敏感なシグナル・チェーン製品への電力供給に適しています。

ADP5014 の全チャンネルには、ハイサイドおよびローサイドのパワー金属酸化膜半導体電界効果トランジスタ (MOSFET) が集積されています。チャンネル 1 およびチャンネル 2 は 2 A または 4 A のプログラマブルな出力電流を供給します。チャンネル 1 とチャンネル 2 を並列に接続することで、最大 8 A の単一出力が得られます。

チャンネル 3 およびチャンネル 4 は 1 A または 2 A のプログラマブルな出力電流を供給します。チャンネル 3 とチャンネル 4 を並列に接続することで、最大 4 A の単一出力が得られます。

ADP5014 は 2 つのイネーブル・モードを備えています。手動モードでは 4 つの個別の高精度イネーブル・ピンを使用して、各

代表的なアプリケーション回路

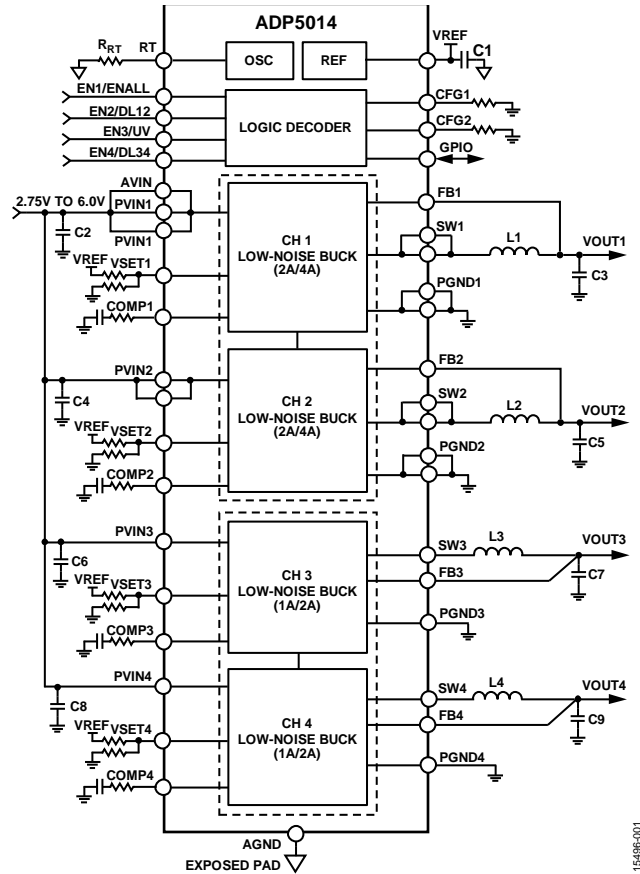


図 1

レギュレータを手動でイネーブルにします。一方、シーケンス・モードでは、1 つにまとめられた高精度イネーブル信号を使用し、特定のレール・シーケンス条件を満たすように、レールごとにプログラム可能なパワーアップおよびパワーダウン遅延タイマーを動作させます。

ADP5014 のスイッチング周波数は、500 kHz ~ 2.5 MHz の範囲でプログラムするか、外部クロックに同期させることができます。

上記の機能に加え、ADP5014 は、強制パルス幅変調 (FPWM) と省電力モード (PSM) の選択、低電圧検出 (UVO)、アクティブ出力放電、パワーグッド・フラグなどの重要な機能を備えています。また、入力低電圧ロックアウト (UVLO)、過電圧保護 (OVP)、過電流保護 (OCP)、サーマル・シャットダウン (TSD) などの安全機能も備えています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	低電圧ロックアウト.....	20
アプリケーション.....	1	アクティブ出力放電スイッチ.....	21
代表的なアプリケーション回路.....	1	サーマル・シャットダウン.....	21
概要.....	1	アプリケーション情報.....	22
改訂履歴.....	2	ADIsimPower デザイン・ツール.....	22
詳細な機能ブロック図.....	3	出力電圧のプログラミング.....	22
仕様.....	4	電圧変換の制限.....	22
降圧レギュレータ仕様.....	5	電流制限設定.....	23
絶対最大定格.....	7	ソフト・スタート設定.....	23
熱抵抗.....	7	インダクタの選択.....	23
ESD に関する注意事項.....	7	出力コンデンサの選択.....	24
ピン配置およびピン機能の説明.....	8	入力コンデンサの選択.....	24
代表的な性能特性.....	10	UVLO 入力のプログラミング.....	24
動作原理.....	14	補償部品の設計.....	24
降圧レギュレータの動作モード.....	14	消費電力.....	25
低ノイズ・アーキテクチャ.....	14	ジャンクション温度.....	26
内部リファレンス (VREF).....	14	設計例.....	27
調整可能な出力電圧.....	14	スイッチング周波数の設定.....	27
機能設定 (CFG1 および CFG2).....	15	出力電圧の設定.....	27
並列動作.....	16	構成の設定 (CFG1 および CFG2).....	27
手動モード/シーケンス モード.....	16	インダクタの選択.....	27
汎用入出力 (GPIO).....	18	出力コンデンサの選択.....	28
発振器.....	18	補償ネットワークの設計.....	28
同期入出力.....	19	低ノイズ出力設計.....	28
パワーグッド機能.....	19	PCB レイアウトに関する推奨事項.....	30
UV コンバータ (シーケンス・モードのみ).....	19	代表的なアプリケーション回路.....	31
ソフト・スタート.....	20	出荷時にプログラム可能なオプション.....	33
プリチャージされた出力状態での起動.....	20	出荷時のデフォルト・オプション.....	33
電流制限保護.....	20	外形寸法.....	34
周波数フォールド・バック.....	20	オーダー・ガイド.....	34
短絡保護 (SCP).....	20		
過電圧保護.....	20		

改訂履歴

6/2017—Revision 0: Initial Version

詳細な機能ブロック図

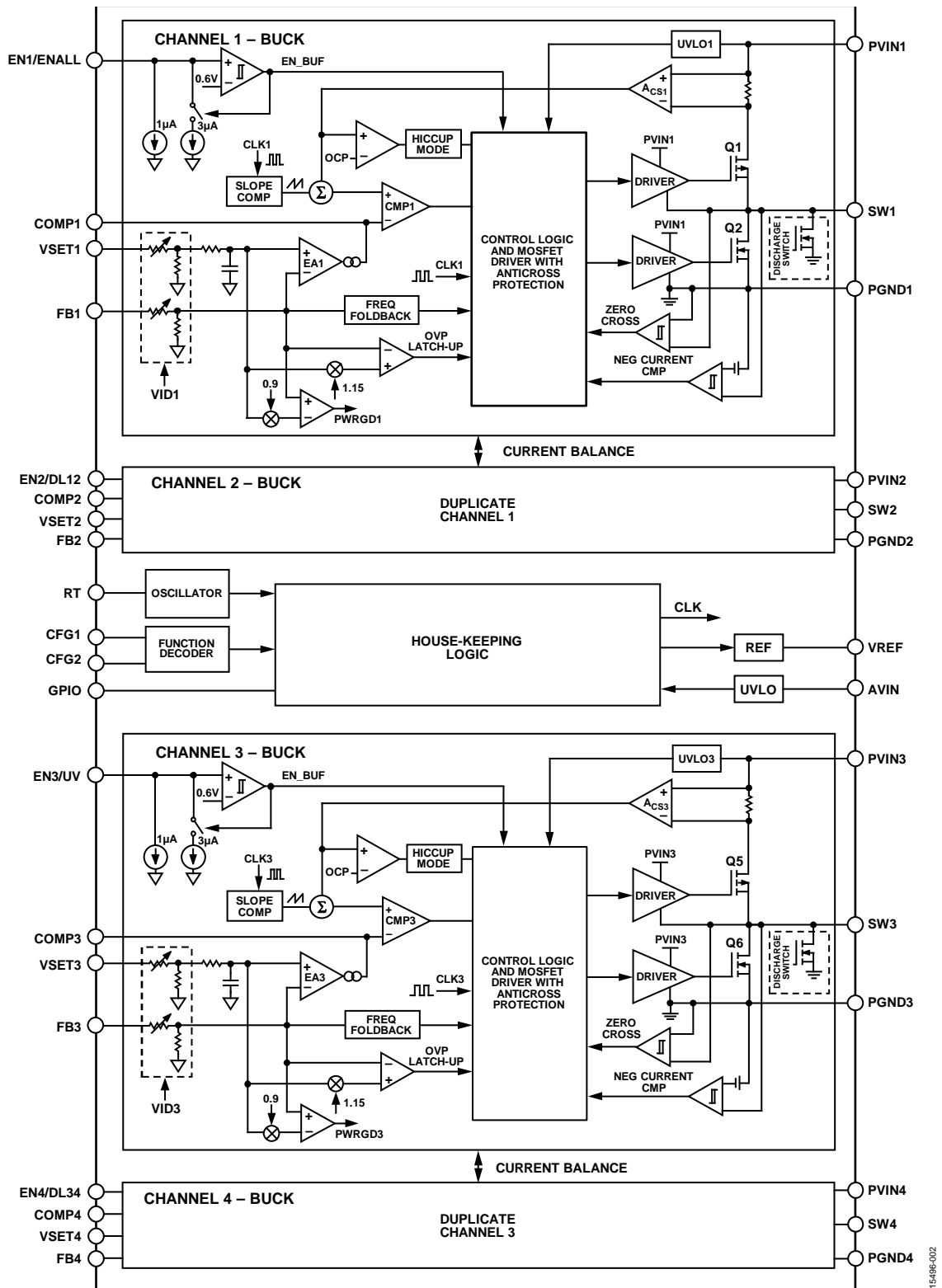


図 2.

15496-002

仕様

特に指定のない限り、 $V_{IN} = 5\text{ V}$ 、 $T_J = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ （最小仕様および最大仕様）、 $T_A = 25\text{ }^\circ\text{C}$ （代表仕様）。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
INPUT SUPPLY VOLTAGE RANGE	V_{IN}	2.75		6.0	V	AVIN, PVIN1, PVIN2, PVIN3, PVIN4 pins
QUIESCENT CURRENT						AVIN, PVIN1, PVIN2, PVIN3, PVIN4 pins
Operating Quiescent Current	I_Q		5.4	7.0	mA	No switching, all ENx pins high
Shutdown Current	I_{SHDN}		47	85	μA	All ENx pins low
UNDERVOLTAGE LOCKOUT	UVLO					AVIN, PVIN1, PVIN2, PVIN3, PVIN4 pins
Threshold, Rising	$V_{UVLO-RISING}$		2.65	2.75	V	
Threshold, Falling	$V_{UVLO-FALLING}$	2.30	2.40		V	
Hysteresis	V_{HYS}		0.25		V	
REFERENCE						
Output Voltage	V_{REF}		2.0		V	
Accuracy		-1.0		+1.0	%	
Maximum Load		1			mA	
OSCILLATOR CIRCUIT						
Switching Frequency Range		500		2500	kHz	
Switching Frequency	f_{SW}	1000	1200	1400	kHz	$R_{RT} = 82.5\text{ k}\Omega$
Sync Input						
Input Clock Range	f_{SYNC}	500		2500	kHz	
Input Clock Pulse Width						
Minimum On Time	$t_{SYNC_MIN_ON}$	100			ns	
Minimum Off Time	$t_{SYNC_MIN_OFF}$	100			ns	
Input Clock High Voltage	$V_{H(SYNC)}$	1.3			V	
Input Clock Low Voltage	$V_{L(SYNC)}$			0.4	V	
Sync Output						
Clock Frequency	f_{CLK}		f_{SW}		kHz	
Positive Pulse Duty Cycle	$t_{CLK_PULSE_DUTY}$		50		%	
Rise or Fall Time	$t_{CLK_RISE_FALL}$		10		ns	
High Level Voltage	$V_{H(SYNC_OUT)}$		V_{AVIN}		V	
PRECISION ENABLING						EN1, EN2, EN3, EN4 pins
High Level Threshold	$V_{TH_H(EN)}$		0.6	0.65	V	
Low Level Threshold	$V_{TH_L(EN)}$	0.52	0.57		V	
Source Current	$I_{TH_L(EN)}$		4		μA	Below the falling threshold
DELAY TIMER						
Programmable Delay Timer Range	t_{DELAY}	6		48	ms	
Delay Timer	t_{DELAY}		6		ms	Timer $\times 1$ option
			48		ms	Timer $\times 8$ option
POWER GOOD						
Internal Power-Good Rising Threshold	$V_{PWRGD(RISE)}$	87	90	93	%	
Internal Power-Good Hysteresis	$V_{PWRGD(HYS)}$		3		%	
Internal Power-Good Falling Delay	t_{PWRGD_FALL}		50		μs	
Rising Delay for PWRGD Pin	$t_{PWRGD_PIN_RISE}$		2		ms	Timer $\times 1$ option
			16		ms	Timer $\times 8$ option
Leakage Current for PWRGD Pin	$I_{PWRGD_LEAKAGE}$		0.1	1	μA	
Output Low Voltage for PWRGD Pin	V_{PWRGD_LOW}		70	150	mV	$I_{PWRGD} = 1\text{ mA}$

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
THERMAL SHUTDOWN						
Thermal Shutdown Threshold	T_{SHDN}		150		°C	
Thermal Shutdown Hysteresis	T_{HYS}		15		°C	

降圧レギュレータ仕様

特に指定のない限り、 $V_{IN} = 5\text{ V}$ 、 $f_{SW} = 1.2\text{ MHz}$ （全チャンネル）、 $T_J = -40\text{ °C} \sim +125\text{ °C}$ （最小仕様および最大仕様）、 $T_A = 25\text{ °C}$ （代表仕様）。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
CHANNEL 1 SYNC BUCK REGULATOR						
Load Current	I_{LOAD1}			4	A	
Output Characteristics						
V_{FB1} Voltage Accuracy	V_{FB1}	-0.6		+0.6	%	$-40\text{ °C} \leq T_J \leq +125\text{ °C}$ $V_{SET1} = V_{REF}$
		-1.0		+1.0	%	$V_{SET1} = \frac{1}{2} \times V_{REF}$
Feedback Bias Current	I_{FB1}			0.1	μA	
VSET1 Bias Current	I_{VSET1}			0.1	μA	
SW1 Pin						
High-Side Power Field Effect Transistor (FET) On Resistance	$R_{DS(ON)1H}$		49	80	mΩ	Pin to pin measurement
Low-Side Power FET On Resistance	$R_{DS(ON)1L}$		37	60	mΩ	Pin to pin measurement
Current-Limit Threshold	$I_{TH(ILIM1)}$	5.2	6.9	8.6	A	$R_{CFG1} = 0\text{ k}\Omega$
		2.5	3.5	4.5	A	$R_{CFG1} = 17.8\text{ k}\Omega$
Minimum On Time	t_{MIN_ON1}		60	90	ns	$f_{SW} = 500\text{ kHz to }2.5\text{ MHz}$
Minimum Off Time	t_{MIN_OFF1}		50	80	ns	$f_{SW} = 500\text{ kHz to }2.5\text{ MHz}$
Error Amplifier, COMP1 Pin						
EA Transconductance	g_{m1}	700	800	900	μS	
Soft Start Time						
	t_{SS1}		2		ms	Timer ×1 option
			16		ms	Timer ×8 option
Programmable Soft Start Range		2		16	ms	
Hiccup Time	$t_{HICCUP1}$		$7 \times t_{SS1}$		ms	
C_{OUT} Discharge Switch On Resistance	R_{DIS1}		85		Ω	
CHANNEL 2 SYNC BUCK REGULATOR						
Load Current	I_{LOAD2}			4	A	
Output Characteristics						
V_{FB2} Voltage Accuracy	V_{FB2}	-0.6		+0.6	%	$-40\text{ °C} \leq T_J \leq +125\text{ °C}$ $V_{SET2} = V_{REF}$
		-1.0		+1.0	%	$V_{SET2} = \frac{1}{2} \times V_{REF}$
Feedback Bias Current	I_{FB2}			0.1	μA	
VSET2 Bias Current	I_{VSET2}			0.1	μA	
SW2 Pin						
High-Side Power FET On Resistance	$R_{DS(ON)2H}$		49	80	mΩ	Pin to pin measurement
Low-Side Power FET On Resistance	$R_{DS(ON)2L}$		37	60	mΩ	Pin to pin measurement
Current-Limit Threshold	$I_{TH(ILIM2)}$	5.2	6.9	8.6	A	$R_{CFG1} = 0\text{ k}\Omega$
		2.5	3.5	4.5	A	$R_{CFG1} = 17.8\text{ k}\Omega$
Minimum On Time	t_{MIN_ON2}		60	90	ns	$f_{SW} = 500\text{ kHz to }2.5\text{ MHz}$
Minimum Off Time	t_{MIN_OFF2}		50	80	ns	$f_{SW} = 500\text{ kHz to }2.5\text{ MHz}$
Error Amplifier, COMP2 Pin						
Transconductance	g_{m2}	700	800	900	μS	

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Soft Start Time	t_{SS2}		2		ms	Timer ×1 option
Programmable Soft Start Range			16		ms	Timer ×8 option
Hiccup Time	$t_{HICCUP2}$		$7 \times t_{SS2}$		ms	
C_{OUT} Discharge Switch On Resistance	R_{DIS2}		85		Ω	
CHANNEL 3 SYNC BUCK REGULATOR						
Load Current	I_{LOAD3}			2	A	
Output Characteristics						
V_{FB3} Voltage Accuracy	V_{FB3}	-0.6		+0.6	%	$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ $V_{SET3} = V_{REF}$
		-1.0		+1.0	%	$V_{SET3} = \frac{1}{2} \times V_{REF}$
Feedback Bias Current	I_{FB3}			0.1	μA	
VSET3 Bias Current	I_{VSET3}			0.1	μA	
SW3 Pin						
High-Side Power FET On Resistance	$R_{DS(ON)3H}$		95	135	m Ω	Pin to pin measurement
Low-Side Power FET On Resistance	$R_{DS(ON)3L}$		73	110	m Ω	Pin to pin measurement
Current-Limit Threshold	$I_{TH(ILIM3)}$	2.5	3.5	4.5	A	$R_{CFG1} = 0 \text{ k}\Omega$
		1.2	1.8	2.4	A	$R_{CFG1} = 17.8 \text{ k}\Omega$
Minimum On Time	t_{MIN_ON3}		60	90	ns	$f_{SW} = 500 \text{ kHz to } 2.5 \text{ MHz}$
Minimum Off Time	t_{MIN_OFF3}		50	80	ns	$f_{SW} = 500 \text{ kHz to } 2.5 \text{ MHz}$
Error Amplifier, COMP3 Pin						
EA Transconductance	g_{m3}	700	800	900	μS	
Soft Start Time	t_{SS3}		2		ms	Timer ×1 option
Programmable Soft Start Range			16		ms	Timer ×8 option
Hiccup Time	$t_{HICCUP3}$		$7 \times t_{SS3}$		ms	
C_{OUT} Discharge Switch On Resistance	R_{DIS3}		85		Ω	
CHANNEL 4 SYNC BUCK REGULATOR						
Load Current	I_{LOAD4}			2	A	
Output Characteristics						
V_{FB4} Voltage Accuracy	V_{FB4}	-0.6		+0.6	%	$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ $V_{SET4} = V_{REF}$
		-1.0		+1.0	%	$V_{SET4} = \frac{1}{2} \times V_{REF}$
Feedback Bias Current	I_{FB4}			0.1	μA	
VSET4 Bias Current	I_{VSET4}			0.1	μA	
SW4 Pin						
High-Side Power FET On Resistance	$R_{DS(ON)4H}$		95	135	m Ω	Pin to pin measurement
Low-Side Power FET On Resistance	$R_{DS(ON)4L}$		73	110	m Ω	Pin to pin measurement
Current-Limit Threshold	$I_{TH(ILIM4)}$	2.5	3.5	4.5	A	$R_{CFG1} = 0 \text{ k}\Omega$
		1.2	1.8	2.4	A	$R_{CFG1} = 17.8 \text{ k}\Omega$
Minimum On Time	t_{MIN_ON4}		60	90	ns	$f_{SW} = 500 \text{ kHz to } 2.5 \text{ MHz}$
Minimum Off Time	t_{MIN_OFF4}		50	80	ns	$f_{SW} = 500 \text{ kHz to } 2.5 \text{ MHz}$
Error Amplifier, COMP4 Pin						
EA Transconductance	g_{m4}	700	800	900	μS	
Soft Start Time	t_{SS4}		2		ms	Timer ×1 option
Programmable Soft Start Range			16		ms	Timer ×8 option
Hiccup Time	$t_{HICCUP4}$		$7 \times t_{SS4}$		ms	
C_{OUT} Discharge Switch On Resistance	R_{DIS4}		85		Ω	

絶対最大定格

表 3.

Parameter	Rating
AVIN to Ground	-0.3 V to +6.5 V
PVIN1 to PGND1	-0.3 V to +6.5 V
PVIN2 to PGND2	-0.3 V to +6.5 V
PVIN3 to PGND3	-0.3 V to +6.5 V
PVIN4 to PGND4	-0.3 V to +6.5 V
SW1 to PGND1	-0.3 V to +6.5 V
SW2 to PGND2	-0.3 V to +6.5 V
SW3 to PGND3	-0.3 V to +6.5 V
SW4 to PGND4	-0.3 V to +6.5 V
PGND to Ground	-0.3 V to +0.3 V
CFG1, CFG2 to Ground	-0.3 V to +6.5 V
EN1/ENALL, EN2/DL12, EN3/UV, EN4/DL34 to Ground	-0.3 V to +6.5 V
GPIO to Ground	-0.3 V to +6.5 V
RT to Ground	-0.3 V to +6.5 V
VREF to Ground	-0.3 V to +6.5 V
FB1, FB2, FB3, FB4 to Ground ¹	-0.3 V to +6.5 V
COMP1, COMP2, COMP3, COMP4 to Ground	-0.3 V to +6.5 V
VSET1, VSET2, VSET3, VSET4 to Ground	-0.3 V to +6.5 V
Storage Temperature Range	-65°C to +150°C
Operational Junction Temperature Range	-40°C to +125°C

¹ FB1, FB2, FB3, FB4 の定格は ADP5014 が可変出力電圧モデルの場合に適用されます。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を引き起こす場合があります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与える場合があります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意が必要です。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-40-10	40	11.1	°C/W

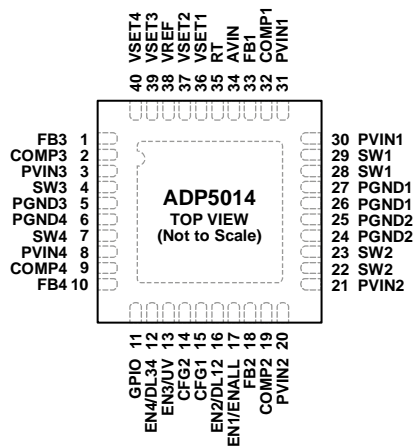
ESD に関する注意事項



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED AND SOLDERED TO AN EXTERNAL GROUND PLANE.

図 3. ピン配置

表 5. ピン機能の説明

Pin No.	Mnemonic	Description
1	FB3	チャンネル 3 の帰還検出入力。
2	COMP3	チャンネル 3 のエラー・アンプ出力。このピンとグラウンドの間に抵抗コンデンサ (RC) ネットワークを接続します。
3	PVIN3	チャンネル 3 の電源入力。
4	SW3	チャンネル 3 のスイッチング・ノード出力。
5	PGND3	チャンネル 3 の電源グラウンド。
6	PGND4	チャンネル 4 の電源グラウンド。
7	SW4	チャンネル 4 のスイッチング・ノード出力。
8	PVIN4	チャンネル 4 の電源入力。
9	COMP4	チャンネル 4 のエラー・アンプ出力。このピンとグラウンドの間に RC ネットワークを接続します。
10	FB4	チャンネル 4 の帰還検出入力。
11	GPIO	汎用入出力信号。このピンは、パワー・グッド、同期クロック出力 (CLK-OUT)、または低電圧検出コンパレータ出力 (UVO) として設定できます。
12	EN4/DL34	手動モードでのチャンネル 4 用のイネーブル入力 (EN4)。 シーケンス・モードでのチャンネル 3 およびチャンネル 4 用の遅延タイマー設定 (DL34)。このピンとグラウンドの間に抵抗を接続して、チャンネル 3 およびチャンネル 4 用のスタートアップ・シーケンスとシャットダウン・シーケンスの遅延タイマーをプログラムします。
13	EN3/UV	手動モードでのチャンネル 3 用のイネーブル入力 (EN3)。 シーケンス・モードでの低電圧検出コンパレータ入力 (UV)。
14	CFG2	システム設定ピン 1。このピンとグラウンドの間に抵抗を接続して、シーケンス・モードまたは手動モード、遅延タイマー、PSM または FPWM 動作モード、全チャンネルの GPIO マッピングをプログラムします。
15	CFG1	システム設定ピン 2。このピンとグラウンドの間に抵抗を接続して、電流制限、および全チャンネルの並列出力をプログラムします。
16	EN2/DL12	手動モードでのチャンネル 2 用のイネーブル入力 (EN2)。 シーケンス・モードでのチャンネル 1 およびチャンネル 2 用の遅延タイマー設定 (DL12)。このピンとグラウンドの間に抵抗を接続して、チャンネル 1 およびチャンネル 2 用のスタートアップ・シーケンスとシャットダウン・シーケンスの遅延タイマーをプログラムします。
17	EN1/ENALL	手動モードでのチャンネル 1 用のイネーブル入力 (EN1)。 シーケンス・モードでの全チャンネル用のグループ化イネーブル入力 (ENALL)。
18	FB2	チャンネル 2 の帰還検出入力。
19	COMP2	チャンネル 2 のエラー・アンプ出力。このピンとグラウンドの間に RC ネットワークを接続します。
20, 21	PVIN2	チャンネル 2 の電源入力。
22, 23	SW2	チャンネル 2 のスイッチング・ノード出力。
24, 25	PGND2	チャンネル 2 の電源グラウンド。
26, 27	PGND1	チャンネル 1 の電源グラウンド。
28, 29	SW1	チャンネル 1 のスイッチング・ノード出力。

Pin No.	Mnemonic	Description
30, 31	PVIN1	チャンネル 1 の電源入力。
32	COMP1	チャンネル 1 のエラー・アンプ出力。このピンとグラウンドの間に RC ネットワークを接続します。
33	FB1	チャンネル 1 の帰還検出入力。
34	AVIN	内部コントロール回路のアナログ電源入力。このピンとグラウンドの間にバイパス・コンデンサを接続します。このピンと PVIN _x の間に低い値 (10Ω) の抵抗を接続します。
35	RT	周波数の設定。RT とグラウンドの間に抵抗を接続してスイッチング周波数をプログラムします。
36	VSET1	チャンネル 1 用リファレンス電圧設定入力。
37	VSET2	チャンネル 2 用リファレンス電圧設定入力。
38	VREF	内部低ノイズ電圧リファレンス出力。
39	VSET3	チャンネル 3 用リファレンス電圧設定入力。
40	VSET4	チャンネル 4 用リファレンス電圧設定入力。
	Exposed Pad	アナログ・グラウンド。露出パッドは外部グラウンド・プレーンに接続して、ハンダ付けする必要があります。

代表的な性能特性

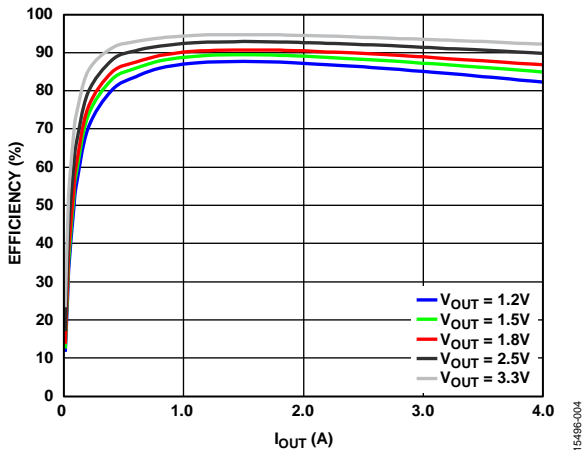


図 4. チャンネル 1 / チャンネル 2 効率カーブ、 $V_{IN} = 5V$ 、 $f_{SW} = 1.2MHz$ 、FPWM モード

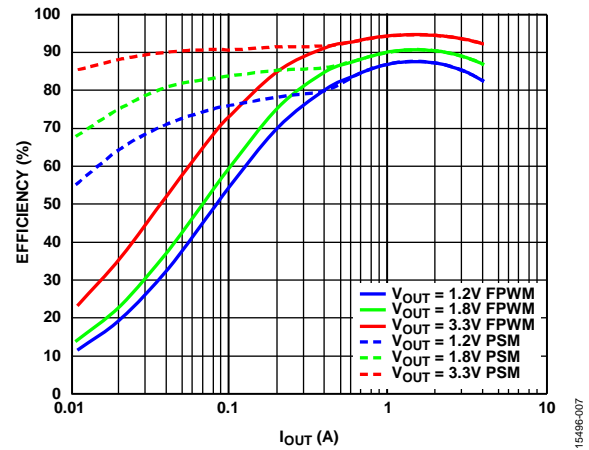


図 7. チャンネル 1 / チャンネル 2 効率カーブ、 $V_{IN} = 5V$ 、 $f_{SW} = 1.2MHz$ 、FPWM モードおよび自動 PWM/PSM モード

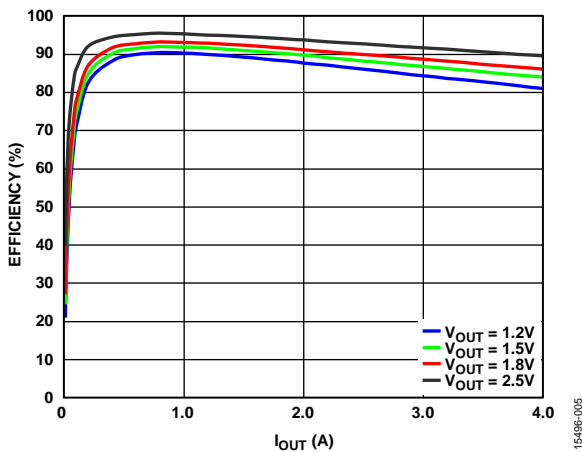


図 5. チャンネル 1 / チャンネル 2 効率カーブ、 $V_{IN} = 3.3V$ 、 $f_{SW} = 1.2MHz$ 、FPWM モード

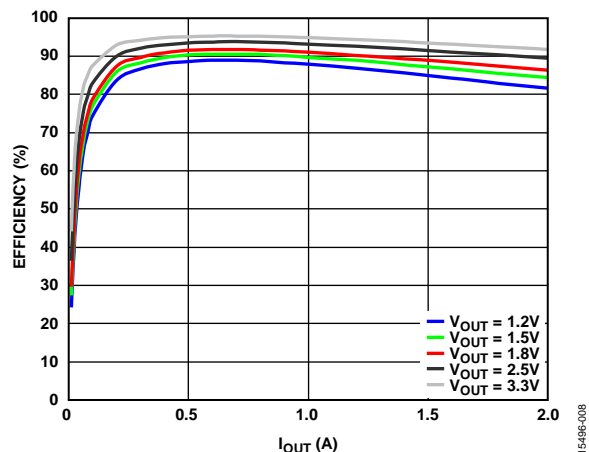


図 8. チャンネル 3 / チャンネル 4 効率カーブ、 $V_{IN} = 5V$ 、 $f_{SW} = 1.2MHz$ 、FPWM モード

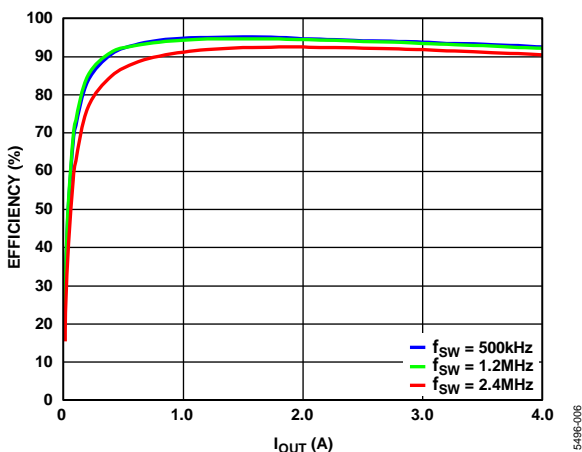


図 6. チャンネル 1 / チャンネル 2 効率カーブ、 $V_{IN} = 5V$ 、 $V_{OUT} = 3.3V$ 、FPWM モード

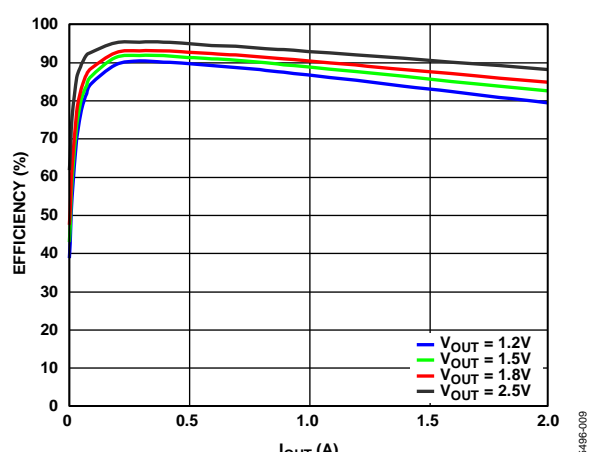


図 9. チャンネル 3 / チャンネル 4 効率カーブ、 $V_{IN} = 3.3V$ 、 $f_{SW} = 1.2MHz$ 、FPWM モード

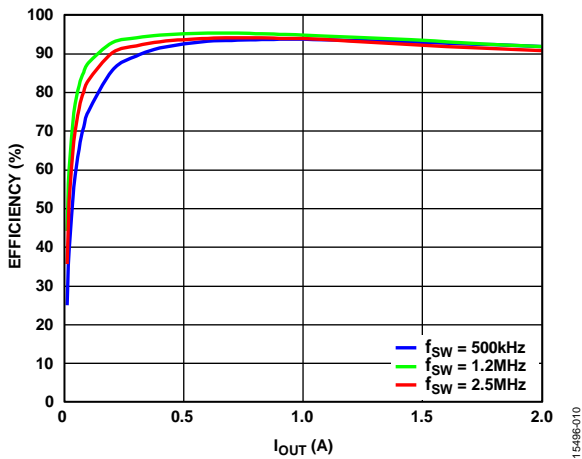


図 10. チャンネル 3 / チャンネル 4 効率カーブ、 $V_{IN} = 5V$ 、 $V_{OUT} = 3.3V$ 、FPWM モード

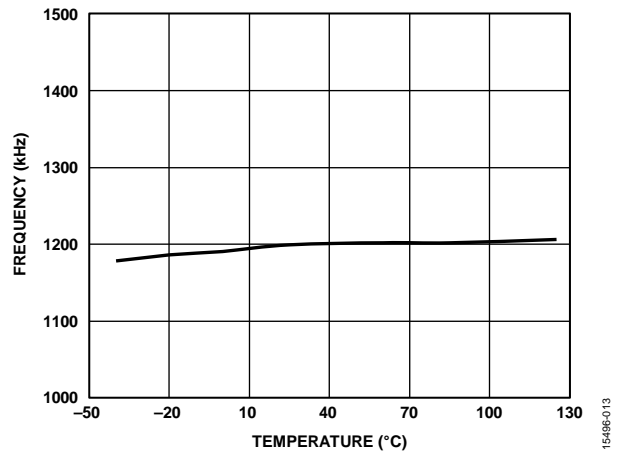


図 13. 周波数と温度の関係、 $V_{IN} = 5V$ 、 $f_{SW} = 1.2MHz$

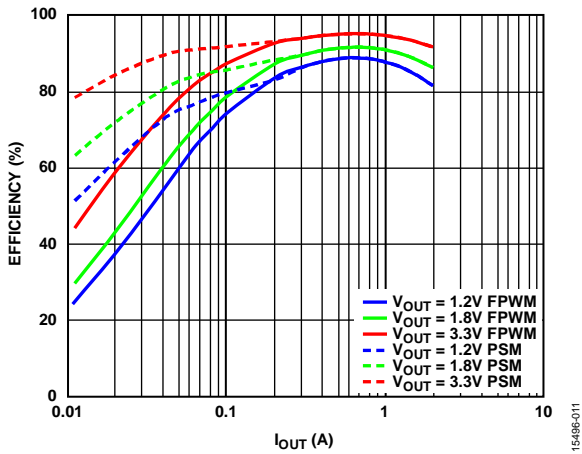


図 11. チャンネル 3 / チャンネル 4 効率カーブ、 $V_{IN} = 5V$ 、 $f_{SW} = 1.2MHz$ 、FPWM モードおよび自動 PWM/PSM モード

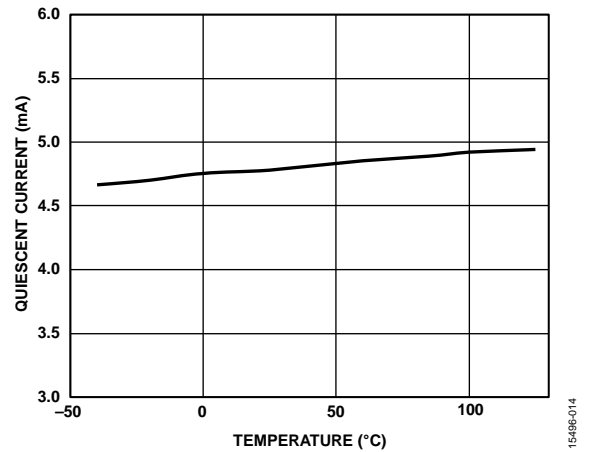


図 14. 静止電流と温度の関係
(PVIN1、PVIN2、PVIN3、PVIN4 のすべてを含む)

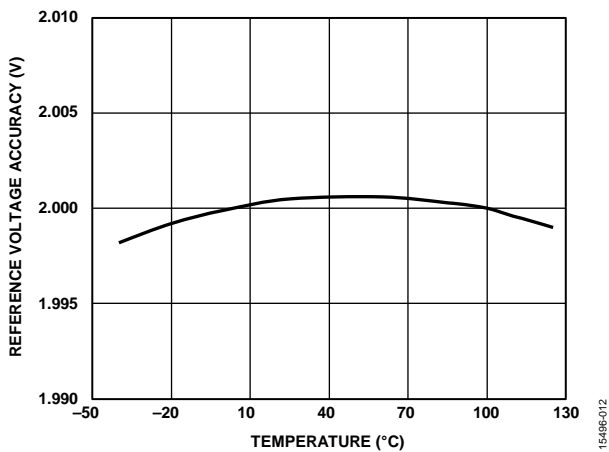


図 12. 2.0V のリファレンス電圧の精度と温度の関係

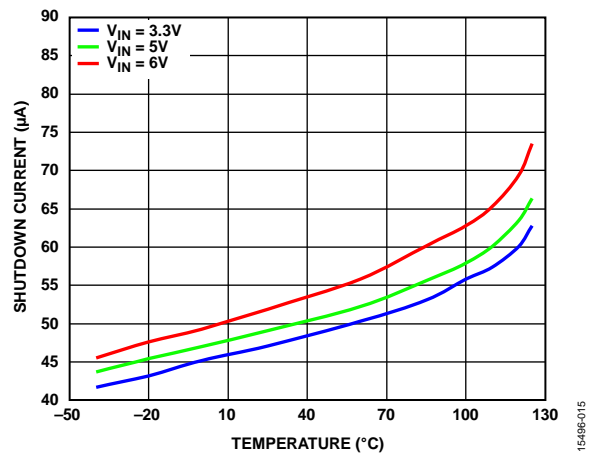


図 15. シャットダウン電流と温度の関係 (EN1/ENALL、EN2/DL12、EN3/UV、EN4/DL34 がロー・レベルの場合)

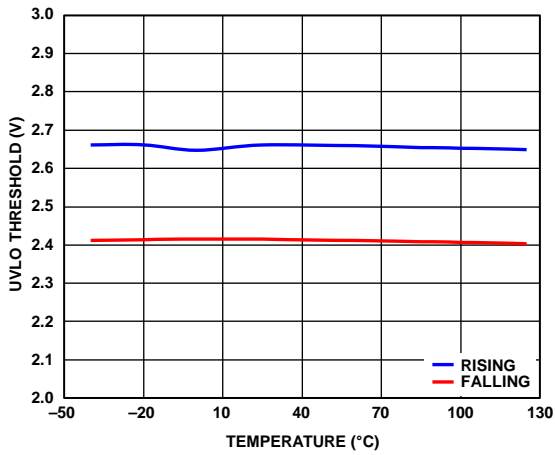


図 16. UVLO 閾値と温度の関係

15496-016

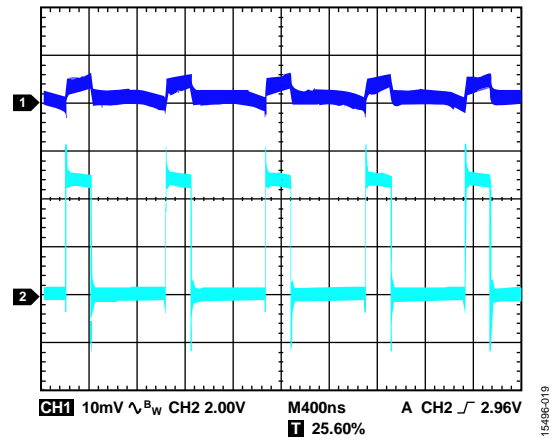


図 19. 高負荷時の定常状態波形、 $V_{IN} = 5V$ 、 $V_{OUT} = 1.2V$ 、 $I_{OUT} = 3A$ 、 $f_{SW} = 1.2MHz$ 、 $L = 0.8\mu H$ 、 $C_{OUT} = 47\mu F \times 2$ 、FPWM モード、Channel 1 = V_{OUTX} 、Channel 2 = SW_X

15496-019

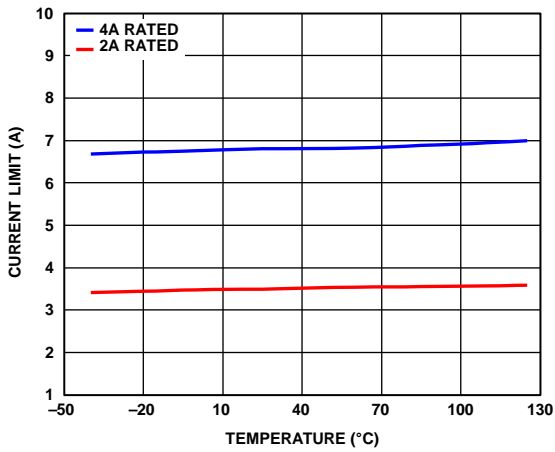


図 17. チャンネル 1 / チャンネル 2 の電流制限と温度の関係

15496-017

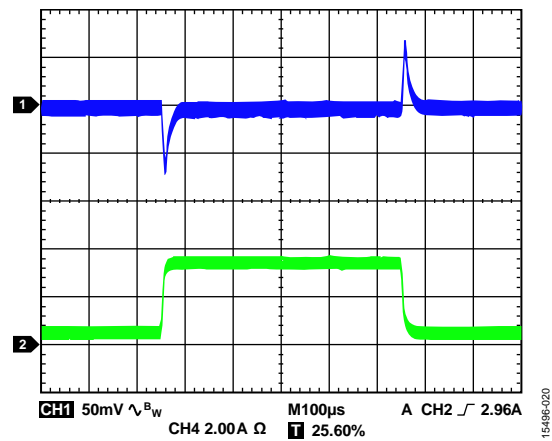


図 20. チャンネル 1 / チャンネル 2 の負荷応答、 $0.5A$ から $3.5A$ 、 $V_{IN} = 5V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 1.2MHz$ 、 $L = 0.8\mu H$ 、 $C_{OUT} = 47\mu F \times 2$ 、Channel 1 = V_{OUTX} 、Channel 2 = I_{OUTX}

15496-020

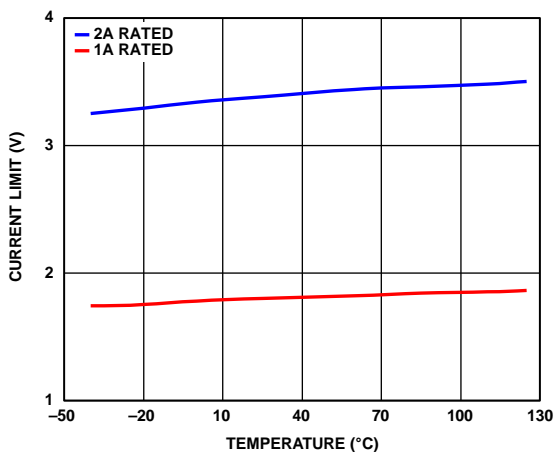


図 18. チャンネル 3 / チャンネル 4 の電流制限と温度の関係

15496-018

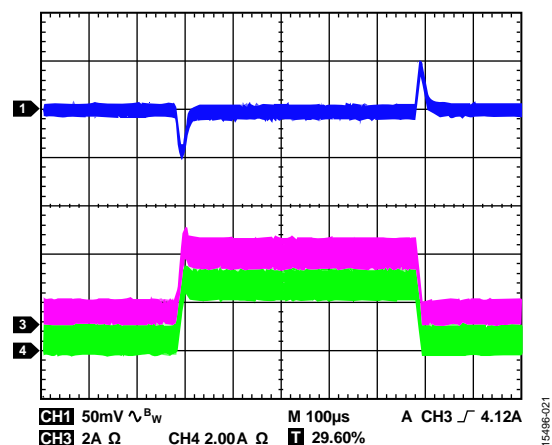


図 21. 負荷応答、チャンネル 1 / チャンネル 2 の並列出力、 $1A$ から $6A$ 、 $V_{IN} = 5V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 1.2MHz$ 、 $L = 0.8\mu H$ 、 $C_{OUT} = 47\mu F \times 4$ 、Channel 1 = V_{OUT} 、Channel 3 = I_{L1} 、Channel 4 = I_{L2}

15496-021

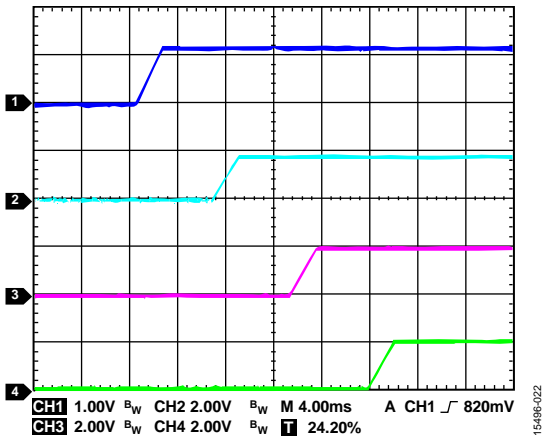


図 22. シーケンス・イネーブル・モードでの全チャンネルのスタートアップ、
Channel 1 = V_{OUT1} 、Channel 2 = V_{OUT2} 、Channel 3 = V_{OUT3} 、
Channel 4 = V_{OUT4}

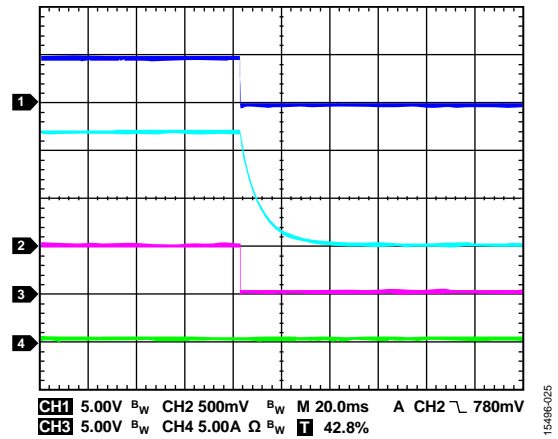


図 25. アクティブ出力放電時のチャンネル 1 のシャットダウン、
 $V_{IN} = 5V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 1.2MHz$ 、 $L = 0.8\mu H$ 、 $C_{OUT} = 47\mu F \times 2$ 、
Channel 1 = EN1/ENALL、
Channel 2 = V_{OUT1} 、Channel 3 = PWRGD、Channel 4 = I_{OUT1}

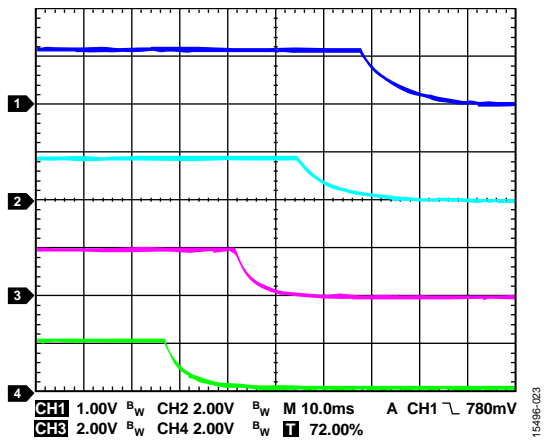


図 23. シーケンス・イネーブル・モードでの全チャンネルのシャットダウン、
Channel 1 = V_{OUT1} 、Channel 2 = V_{OUT2} 、Channel 3 = V_{OUT3} 、
Channel 4 = V_{OUT4}

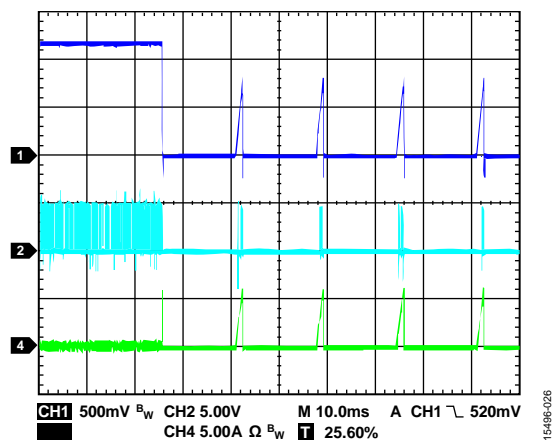


図 26. 短絡保護への移行、 $V_{IN} = 5V$ 、 $V_{OUT} = 1.2V$ 、
 $f_{SW} = 1.2MHz$ 、 $L = 0.8\mu H$ 、 $C_{OUT} = 47\mu F \times 2$ 、
Channel 1 = V_{OUTX} 、Channel 2 = SW_X 、Channel 4 = I_{LX}

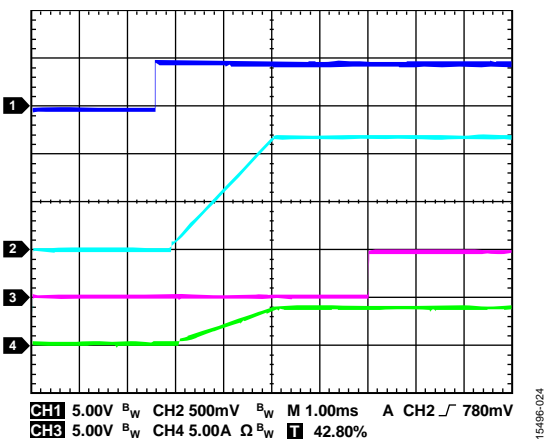


図 24. 全負荷状態のチャンネル 1 のスタートアップ、 $V_{IN} = 5V$ 、
 $V_{OUT} = 1.2V$ 、Channel 1 = EN1/ENALL、Channel 2 = V_{OUT1} 、
Channel 3 = PWRGD、Channel 4 = I_{OUT1}

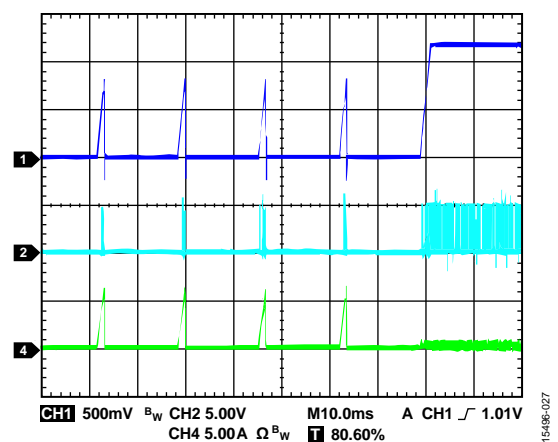


図 27. 短絡保護からの復帰、 $V_{IN} = 5V$ 、 $V_{OUT} = 1.2V$ 、
 $f_{SW} = 1.2MHz$ 、 $L = 0.8\mu H$ 、 $C_{OUT} = 47\mu F \times 2$ 、Channel 1 = V_{OUTX} 、
Channel 2 = SW_X 、Channel 4 = I_{LX}

動作原理

ADP5014 は、4 個の高性能低ノイズの降圧レギュレータを 40 ピン LFCSP パッケージ内で組み合わせているパワー・マネージメント・ユニットです。

降圧レギュレータの動作モード

PWM モード

PWM モードの場合、ADP5014 の降圧レギュレータは、固定周波数で動作し、この周波数は RT ピンでプログラムされた内部発振器によって設定されます。発振器の各サイクルの開始時に、ハイサイド MOSFET スイッチがオンになり、インダクタの両端に正の電圧を送ります。電流検知信号がピーク・インダクタ電流閾値を上回るまでインダクタ電流が増加し、その時点でハイサイド MOSFET スイッチがオフになります。この閾値は、誤差アンプの出力によって設定されます。ハイサイド MOSFET がオフになっている間、発振器の次のクロック・パルスによって新しいサイクルが開始するまで、インダクタ電流がローサイド MOSFET を通して減少します。ADP5014 の降圧レギュレータは、ピーク・インダクタ電流閾値を調整することによって出力電圧を安定化します。

PSM モード

高効率化を実現するため、ADP5014 の降圧レギュレータは、負荷電流が PSM 電流閾値を下回った場合に、可変周波数 PSM 動作モードに滑らかに移行します。出力電圧がレギュレーション閾値を下回ると、降圧レギュレータは出力電圧がレギュレーション範囲に増加するまで発振器の数サイクル間 PWM モードになります。バースト間のアイドル時には、MOSFET スイッチはオフになり、出力コンデンサが全出力電流を供給します。

PSM モードのコンパレータは、内部の補償ノードをモニタし、ピーク・インダクタ電流の情報を示します。PSM モード電流閾値の平均値は、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、インダクタ、出力コンデンサによって決まります。出力電圧がレギュレーション閾値を下回り、その後復帰するということが時折発生するため、PSM モードでの出力電圧リップルは軽負荷条件で動作している強制 PWM モードのリップルよりも大きくなります。

FPWM モードおよび自動 PWM/PSM モード

降圧レギュレータは、CFG2 設定ピンを使用して、常に FPWM モードで動作するように設定することができます。強制 PWM モードでは、出力電流が PWM/PSM 閾値を下回った場合でも、レギュレータは固定周波数で動作を続けます。PWM モードでは、軽負荷条件の場合、効率は PSM モードに比較して低くなります。インダクタ電流が 0 A を下回った場合でも、ローサイド MOSFET はオンを維持します。これにより、ADP5014 は連続導通モード (CCM) に入ります。

降圧レギュレータは、CFG2 設定ピンを使用して、自動 PWM または PSM モードで動作するように設定することができます。自動 PWM/PSM モードでは、降圧レギュレータは出力電流に応じ、PWM モードまたは PSM モードのいずれかで動作します。

平均出力電流値が PWM/PSM 閾値を下回った場合、降圧レギュレータは PSM モード動作に入ります。PSM モードでは、レギュレータは高効率を維持するため、スイッチング周波数を下げで動作します。出力電流が 0 A になるとローサイド MOSFET がオフになり、これにより、レギュレータは不連続モード (DCM) で動作するようになります。

CFG2 ピンを使用して、4 個すべての降圧レギュレータの動作モードを PWM モードまたは自動 PWM/PSM モードに設定し、動作させることができます。

低ノイズ・アーキテクチャ

従来の DC/DC レギュレータやリニア・レギュレータの出力ノイズは、通常出力電圧の設定値に比例します。ADP5014 では多数のアナログ・ブロックが最適化されており、低周波数レンジでこれまでより低い出力ノイズを実現しています。さらに、ユニティ・ゲイン・電圧リファレンス構成によって、 V_{OUT} 設定が V_{REF} 電圧より低い場合、出力ノイズは出力電圧設定とは無関係になります。

このデバイスの低ノイズ降圧レギュレータは、ノイズの影響を受けやすいシグナル・チェーン製品に直接電源供給を行うことができます。10 Hz ~ 100 kHz の範囲で約 25 $\mu\text{V rms}$ という優れた出力ノイズ性能で、これは従来の低ドロップアウト・レギュレータ (LDO) と同等以上の性能です。

LC フィルタの追加は今までどおり必要です。これは、スイッチング出力リップルの基本波とその高調波がシグナル・チェーンの性能に影響を及ぼし、予想外のスパークが発生する可能性があるためです。ADP5014 の降圧レギュレータは高いスイッチング周波数で動作するため、追加の LC フィルタは比較的小さいのが普通です。

内部リファレンス (V_{REF})

ADP5014 は、高精度で低ノイズの 2.0 V のリファレンス電圧を供給します。0.47 μF のセラミック・コンデンサを V_{REF} とグラウンドの間に接続する必要があります。容量値が高い方がノイズ抑圧性能は良くなります。

V_{REF} リファレンス回路は主として内部で使用するために設計されており、負荷駆動能力はきわめて限られています (< 1 mA)。このため、 V_{REF} を他の目的に使用する場合は負荷駆動条件を確認しておく必要があります。

調整可能な出力電圧

ADP5014 では外付けの抵抗分圧器を使用して、出力電圧を設定することができます。出力ノイズを最小化し、ループのユニティ・ゲインを維持するために、デバイスには、各チャンネルに対して集積化された低周波フィルタを用いて、リファレンス入力を誤差アンプ入力に接続する経路が備わっています。外付け抵抗分圧器を使用して、必要な出力電圧を設定します。調整可能な出力電圧のブロック図を図 28 に示します。

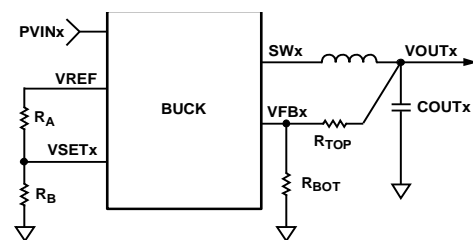


図 28. 調整可能な出力電圧の構成

機能設定 (CFG1 および CFG2)

ADP5014 には CFG1 ピンと CFG2 ピンがあり、全チャンネルの機能設定を復号化します。CFG1 ピンのロジック・ステータスは 8 で、グラウンドとの間に抵抗を接続することで複合化されます。また、CFG2 ピンのロジック・ステータスは 16 でグラウンドとの間に抵抗を接続することで復号化されます。この復号化回路は、ADP5014 の初期化段階でのみ作動します。このため、動作中の設定変更はできません。通常、チップの初期化処理は 1 ms 以内に終了し、その後、イネーブルになったレギュレータがスイッチングを開始します。

CFG1 ピンを使用して、全チャンネルの負荷駆動能力と並列動作をプログラムできます。CFG1 ピンで様々な機能を設定するのに必要な抵抗値を表 6 に示します。

表 6. CFG1 ピンの設定

R _{CFG1} (kΩ)	Output Capability			
	Channel 1	Channel 2	Channel 3	Channel 4
0	4 A	4 A	2 A	2 A
10	4 A	2 A	2 A	2 A
12.1	4 A	2 A	1 A	1 A
14.7	2 A	2 A	2 A	2 A
17.8	2 A	2 A	1 A	1 A
21.5	Parallel 8A	Parallel 8 A	2 A	2 A
26.1	4 A	4 A	Parallel 4 A	Parallel 4 A
31.6	Parallel 8 A	Parallel 8 A	Parallel 4 A	Parallel 4 A

CFG2 ピンを使用して、動作モード (FPWM モードまたは PWM/PSM モード)、イネーブル・モード (手動モードまたはシーケンス・モード)、タイマー (×1 または ×8)、GPIO 機能 (PWRGD、SYNC-IN、CLK-OUT、UVO) を全チャンネルに対してプログラムできます。CFG2 ピンで様々な機能を設定するのに必要な抵抗値を表 7 に示します。

正しい復号結果を得るために、R_{CFG1} および R_{CFG2} の抵抗値の許容誤差は、±1 % である必要があります。

表 7. CFG2 ピンの設定

R _{CFG2} (kΩ)	Enable Mode	Timer	Operation Mode	GPIO
0	Manual	×1	FPWM	PWRGD
10	Manual	×1	FPWM	SYNC-IN
12.1	Manual	×1	FPWM	CLK-OUT
14.7	Manual	×1	PSM	PWRGD
Float	Manual	×8	FPWM	PWRGD
17.8	Manual	×8	FPWM	SYNC-IN
21.5	Manual	×8	FPWM	CLK-OUT
26.1	Manual	×8	PSM	PWRGD
31.6	Sequence	×1	FPWM	UVO
38.3	Sequence	×1	FPWM	SYNC-IN
46.4	Sequence	×1	FPWM	CLK-OUT
56.2	Sequence	×1	PSM	UVO
68.1	Sequence	×8	FPWM	UVO
82.5	Sequence	×8	FPWM	SYNC-IN
100	Sequence	×8	FPWM	CLK-OUT
121	Sequence	×8	PSM	UVO

並列動作

ADP5014 は、最大電流 8 A の単一出力を供給する、チャンネル 1 とチャンネル 2 からなる 2 相の並列動作と、最大電流 4 A の単一出力を供給する、チャンネル 3 とチャンネル 4 からなる 2 相の並列動作を行うことができます。並列動作で 2 相の単一出力を得るための設定を行うには、次の手順を実行します (図 29 参照)。CFG1 ピンを使用して、表 6 に記載された並列動作を選択します。

- COMP2 ピン (または COMP4 ピン) はオープンのままにします。
- VSET1 ピンおよび FB1 ピン (または VSET3 ピンおよび FB3 ピン) を使用して、出力電圧を設定します。
- FB2 ピンおよび VSET2 ピン (または FB4 ピンおよび VSET4 ピン) をグラウンドに接続します (FB2 は無視されます)。手動イネーブル・モードでは EN2/DL12 ピン (または EN4/DL34 ピン) をグラウンドに接続します (EN2 は無視されます)。EN2/DL12 ピンはシーケンス・イネーブル・モードの遅延タイマー設定用であることに注意してください。

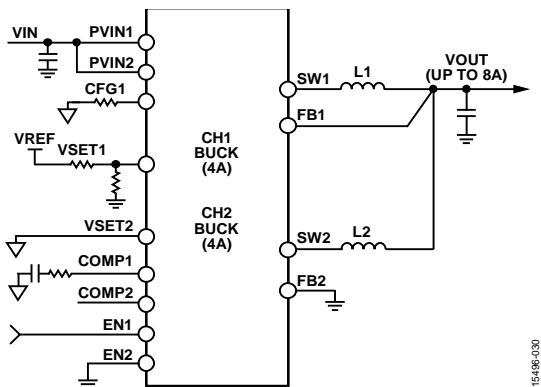


図 29. チャンネル 1 およびチャンネル 2 の並列動作

2 つのチャンネルを並列構成で動作させる場合、次の事項を考慮する必要があります。

- 両チャンネルの入力電圧が等しい。
- 両チャンネルとも強制 PWM モードで動作する。

並列構成での電流バランスは内部の制御ループで適切に調整されます。並列出力構成に適合した電流バランスの代表例を図 30 に示します。

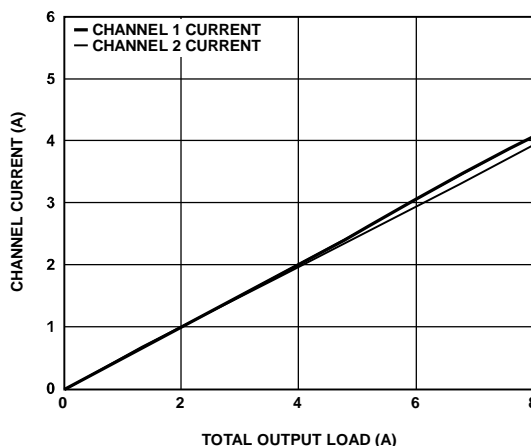


図 30. 並列出力構成での電流バランス、 $V_{IN} = 5 V$ 、 $V_{OUT} = 1.2 V$ 、 $f_{SW} = 1.2 MHz$ 、FPWM モード

手動モード/シーケンスモード

ADP5014 は、CFG2 ピンの設定を使用する 2 つのイネーブル・モードを備えています。手動モードでは個別の高精度イネーブル・ピンを使用して、各レギュレータを手動でイネーブルにします。一方、シーケンス・モードでは、1 つにまとめられた高精度イネーブル信号を使用し、レールごとにプログラム可能なパワーアップおよびパワーダウン遅延タイマーを作動させます。

イネーブル・ピン (EN 1 ~ EN 4) の機能は、手動モードとシーケンス・モードでは異なります。このデータシートでは、EN1/ENALL などの複数機能を持つピンは、ピン名全部を表記するか、あるいは特定の機能のみが該当するところでは EN1 のようにピンの 1 つの機能で表記しています。各イネーブル・モードのピン・マッピングを図 31 および表 8 に示します。

使用しないチャンネルがある場合は、対応する PVINx および ENx ピンはグラウンドに接地し、SWx、COMPx、VSETx、FBx の各ピンはフロート状態にします。

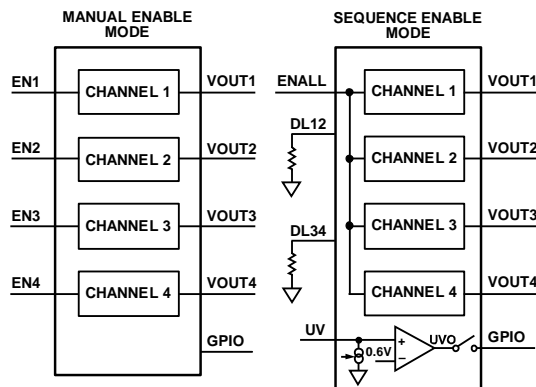


図 31. 各イネーブル・モードのピン設定

表 8. 各イネーブル・モードのピン機能

Pin Name	Manual Enable Mode	Sequence Enable Mode
EN1/ENALL (Pin 17)	EN1—enable pin for Channel 1	ENALL—grouped enable pin for all four channels
EN2/DL12 (Pin 16)	EN2—enable pin for Channel 2	DL12—delay timer setting for Channel 1 and Channel 2
EN3/UV (Pin 13)	EN3—enable pin for Channel 3	UV—undervoltage comparator input
EN4/DL34 (Pin 12)	EN4—enable pin for Channel 4	DL34—delay timer setting for Channel 3 and Channel 4

手動モード (高精度イネーブル)

手動モードでは、ADP5014の各レギュレータには個別に高精度イネーブル・ピンが割り当てられます。イネーブル・コントロール・ピン (ENx) は、0.6 Vのリファレンス電圧を使用する高精度のイネーブル回路を備えています。ENxピンの電圧が0.6 V (代表値) を超えると、レギュレータがイネーブルになります。ENxピンの電圧が0.57 V (代表値) を下回ると、レギュレータはディスエーブルになります。電力を投入したときにレギュレータを自動的に始動させるには、イネーブル・ピンを入力に接続します。

高精度のイネーブル・ピンには、プルダウン電流源 (4 μA) が内蔵されており、イネーブル・ピンがオープンなときにデフォルトでオフになります。イネーブル・ピンが0.6 V (代表値) を超えた場合、レギュレータはイネーブルになり、イネーブル・ピン内蔵のプルダウン電流源は1 μAに減少します。電流源の減少により、外付け抵抗分圧器の比率を使用してUVLO閾値をプログラムすることで、入力電圧または出力電圧のいずれかをモニタでき、同時に、外付け抵抗分圧器の絶対値を使用して、ヒステリシス・ウィンドウをプログラムできます。高精度イネーブルのブロック図を図32に示します。

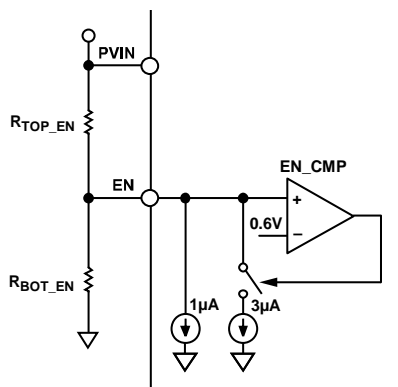


図 32. 1つのチャンネルに対する高精度イネーブルのブロック図

シーケンス・モード

シーケンス・モードではADP5014の全チャンネルが、ENALLピンでトリガされる内部シーケンサの制御の下、オン/オフします。DL12ピンおよびDL34ピンは所定の遅延タイマーを設定します。

ENALLピンは、0.6 Vのターン・オン閾値を持つ高精度イネーブル回路と、内蔵プルダウン電流源を備えています。ENALLピンが0.6 Vの高精度閾値を上回ると、シーケンサによって制御される全チャンネルが、DL12ピンおよびDL34ピンの設定で指定された遅延時間の後、ソフト・スターを行います。同様に、ENALLが0.57 Vの高精度閾値を下回ると、チャンネルは、DL12ピンおよびDL34ピンの設定で指定された遅延時間の後、オフとなります。

図33に、各チャンネルのロジック・ステートを示しますが、ソフト・スタートおよび放電スロープは示してありません。出力放電スイッチは、出力コンデンサを素早く放電させるのに有用ですが、各チャンネルの出力の放電スロープは、出力コンデンサ、システム負荷、入力電源のスロープなど、多様な要因で決まります。

DL12では、抵抗をグラウンドに接続してチャンネル1およびチャンネル2の遅延タイマーを設定します。同様に、DL34では、チャンネル3およびチャンネル4の遅延タイマーを設定します (表9参照)。並列動作の場合、スレーブ・チャンネル (チャンネル2またはチャンネル4) は常時マスター・チャンネルの遅延タイマー設定に追従します。このため、チャンネル2はチャンネル1に従い、チャンネル4はチャンネル3に従います。遅延タイマー復号化回路は、ADP5014の初期化段階でのみ作動します。このため、動作中は遅延タイマーの変更はできません。

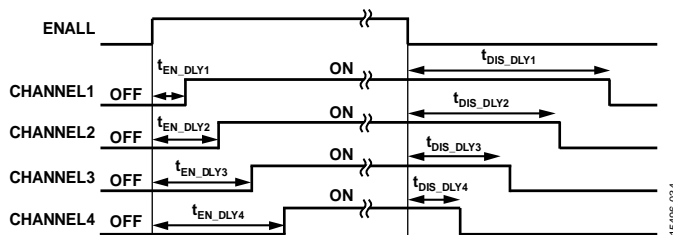


図 33. シーケンス・イネーブル・モードでのパワーアップ/パワーダウン

表 9. DL12 ピンおよび DL34 ピンのシーケンス・タイマーの設定

R _{DL12} (or R _{DL34}) (kΩ)	Channel 1 Sequence (or Channel 3)	Channel 2 Sequence (or Channel 4)
10	First order	First order
0	First order	Second order
12.1	First order	Third order
14.7	First order	Fourth order
17.8	Second order	First order
21.5	Second order	Second order
26.1	Second order	Third order
31.6	Second order	Fourth order
38.3	Third order	First order
46.4	Third order	Second order
56.2	Third order	Third order
Float	Third order	Fourth order
68.1	Fourth order	First order
82.5	Fourth order	Second order
100	Fourth order	Third order
121	Fourth order	Fourth order

正しい復号結果を得るために、R_{DL12} および R_{DL34} の抵抗値の許容誤差は、±1 % である必要があることに注意してください。

全チャンネルのパワーアップおよびパワーダウンの遅延タイマーは、標準的なシステム・シーケンス条件に適合させるため、次に示すように逆の順番になるように設計されています。

- 1 番目のシーケンスでは、チャンネルは最初にパワー・アップし、最後にシャット・ダウンするように設定されることを示しています。
- 2 番目のシーケンスでは、チャンネルは 2 番目にパワー・アップし、3 番目にシャット・ダウンするように設定されることを示しています。
- 3 番目のシーケンスでは、チャンネルは 3 番目にパワー・アップし、2 番目にシャット・ダウンするように設定されることを示しています。
- 4 番目のシーケンスでは、チャンネルは 4 番目にパワー・アップし、最初にシャット・ダウンするように設定されることを示しています。

さらに長いシーケンス・タイマーが必要な場合、全チャンネルの遅延タイマーは CF2 ピンを使用して 8 倍 (×8 オプション) に増加させることができます。パワーアップ・タイマーおよびパワーダウン・タイマーの設定を表 10 に示します。

シーケンス・イネーブル・モードでは、故障状態でデバイスは次のような動作を示します。

- 過電流ヒックアップ、OVP、PVIN_x のような個別の故障状態の間、UVLO が該当チャンネルをシーケンス遅延することなく、即座にシャット・ダウンし、パワー・アップします。
- TSD 故障では、シーケンス遅延なく即座に全チャンネルをシャット・ダウンしますが、復帰は所定のパワーアップ・シーケンスの後に行われます。
- AVIN UVLO 故障では、シーケンス遅延なく即座に全チャンネルをシャット・ダウンしますが、デバイスの再初期化後、所定のパワーアップ・シーケンスを行って復帰します。

表 10. パワーアップ・タイマーとパワーダウン・タイマー

Sequence Order	Power-Up Delay Timer (t _{EN_DLYx})	Power-Down Delay Timer (t _{DIS_DLYx})
First Order	0 ms	36 ms (288 ms at ×8 option)
Second Order	6 ms (48 ms at ×8 option)	24 ms (192 ms at ×8 option)
Third Order	12 ms (96 ms at ×8 option)	12 ms (96 ms at ×8 option)
Fourth Order	18 ms (144 ms at ×8 option)	0 ms

汎用入出力 (GPIO)

ADP5014 には GPIO ピンがあり、PWRGD、同期クロック入力 (SYNC-IN)、CLK-OUT、UVO など、様々な機能の設定をすることができます。

PWRGD および UVO 出力機能は、初期化後はオープンドレイン出力となります。

CLK-OUT 出力機能はプッシュ/プル出力を備えており、初期化後に他のレギュレータを駆動できるようになります。

発振器

ADP5014 のスイッチング周波数 (f_{sw}) は、RT ピンとグラウンドの間に抵抗を接続して、500 kHz ~ 2.5 MHz の値に設定できます。RT 抵抗の値 (R_{RT}) は次式のように計算できます。

$$R_{RT} \text{ (k}\Omega\text{)} = 100,000/f_{sw} \text{ (kHz)}$$

図 34 に、f_{sw} と RT 抵抗の間の代表的な関係を示します。周波数が調整可能であるため、効率とソリューション・サイズの間でトレード・オフに基づいた決定をすることができます。

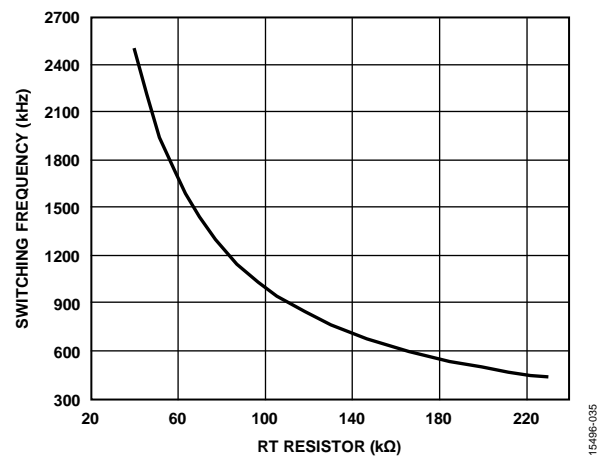


図 34. スwitching 周波数と RT 抵抗の関係

位相シフト

デフォルトでは、チャンネル 1 とチャンネルと 2 の間の位相シフト、および、チャンネル 3 とチャンネルと 4 の間の位相シフトは 180°です (図 35 参照)。この値によって、入力のリップル電流が減少し、グラウンディング・ノイズが低減するため、位相差動作のメリットがもたらされます。

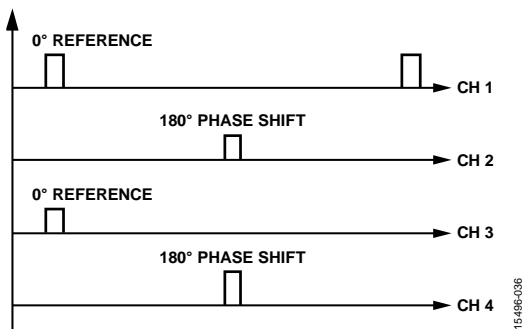


図 35. 4 個の降圧レギュレータの位相シフト・ダイアグラム

同期入出力

GPIO ピンは CFG2 ピンを使用して同期クロック入力として設定することができ (表 7 参照)、ADP5014 のスイッチング周波数は、周波数範囲が 500 kHz ~ 2.5 MHz の外部クロックに同期させることができます。ADP5014 は、GPIO ピンに入力する外部クロックの存在を自動的に検出し、スイッチング周波数を外部クロック周波数にスムーズに移行します。外部クロック信号が停止した場合、デバイスは自動的に内部クロックに切り戻され、動作を続けます。

同期を良好に行うために、RT ピンで設定される内部スイッチング周波数は、外部クロックの値に近い値にプログラムする必要があります。推奨される周波数差は標準的なアプリケーションの場合、±15 % 未満です。

GPIO ピンは CFG2 によって、プッシュ/プル同期クロック出力として設定することができます (表 7 参照)。50 % のデューティ・サイクルの正のクロック・パルスが、RT ピンで設定された内部スイッチング周波数と等しい周波数で GPIO ピンに生成されます。

図 36 に、周波数同期モードに設定された 2 個の ADP5014 デバイスを示します。一方の ADP5014 デバイスが他方の ADP5014 デバイスを同期させるクロックを出力するように構成されています。

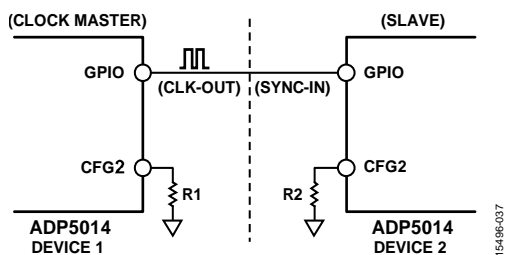


図 36. 同期モード用に構成された 2 個の ADP5014 デバイス

図 36 に示した構成では、1 つ目の ADP5014 デバイスのチャンネル 1 と 2 つ目の ADP5014 デバイスのチャンネル 1 の間の位相シフトは 0°です。

パワーグッド機能

ADP5014 の GPIO ピンは、選択された降圧レギュレータが正常に動作しているときにアクティブ・ハイになるオープンドレイン・パワーグッド出力 (PWRGD ピン) として設定できます。

PWRGD ピンがロジック・ハイになっていることは、降圧レギュレータのレギュレーション出力電圧が公称出力の 90 % (代表値) を上回っていることを示します。降圧レギュレータのレギュレーション出力電圧が公称出力の 87 % (代表値) を下回り、その状態が約 50 μs の遅延時間を超えて続く場合は、PWRGD ピンの状態がロー・レベルになります。

PWRGD ピンの出力は、各チャンネルの内部 PWRGD 信号の論理積となります。各チャンネルの内部 PWRGD 信号は、PWRGD ピンがハイになるまで、2 ms (代表値) のタイマーの検証時間の間、ハイになっている必要があります。この検証タイマーは、CFG2 ピンの設定を使用して 8 倍 (×8 オプション) に延長することができます。いずれかの内部 PWRGD 信号がハイにならない場合、PWRGD ピンは遅滞なくローになります。

UV コンパレータ (シーケンス・モードのみ)

シーケンス・モードでは EN3/UV ピンは UVO 入力 (UV ピン) として使用され、一方、ADP5014 の GPIO ピンは CFG2 のピン設定によってオープンドレイン UVO として設定できます。UV コンパレータはチャンネルのイネーブルには関与せず、モニタリング目的のためだけに使用されます。例えば、シーケンス・モードにおいて、UV コンパレータを使用していずれかの出力電圧をモニタし、パワーグッド信号を生成することができます。

高精度イネーブル機能と同様、この UVO は同じ 0.6 V の高精度リファレンス電圧と 1 μA または 4 μA のプルダウン・ヒステリシス電流を備えています。外付け抵抗分圧器の比率を使用して UVLO 閾値をプログラムすることで、入力電圧または出力電圧のいずれかをモニタでき、同時に、外付け抵抗分圧器の絶対値を使用してヒステリシス・ウィンドウをプログラムできます。UV ピンを使用しない場合は、入力用電源に接続します。UVO のブロック図を図 37 に示します。

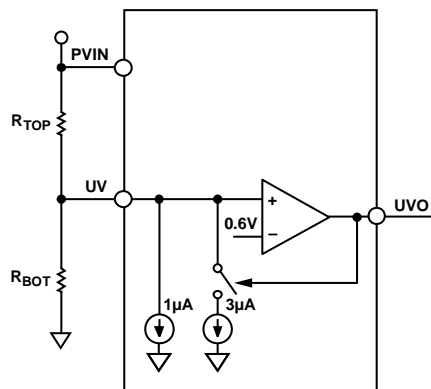


図 37. 低電圧検出コンパレータのブロック図 (シーケンス・モードの場合のみ)

ソフト・スタート

ADP5014 の降圧レギュレータにはソフト・スタート回路が組み込まれており、起動時に出力電圧を制御された形で漸増させることで、突入電流を制限します。ソフト・スタート時間は通常、全チャンネルで 2 ms に固定されています。CFG2 ピン設定を使用して、全チャンネルのソフト・スタート時間を 8 倍に延長することができます。

プリチャージされた出力状態での起動

ADP5014 の降圧レギュレータは、起動時にローサイド FET を損傷から保護するプリチャージ起動機能を備えています。レギュレータがオンになる前に出力電圧がプリチャージされると、レギュレータは、内部ソフト・スタートのリファレンス電圧が帰還ピン (FBx) のプリチャージ電圧を超えるまで、出力コンデンサを放電する逆インダクタ電流を阻止します。

電流制限保護

ADP5014 の降圧レギュレータには、ハイサイド MOSFET スイッチを流れる正電流の量を制限するためのピーク電流制限保護回路が組み込まれています。パワー・スイッチのピーク電流制限は、入力から出力へ流れる電流の量を制限します。プログラム可能な電流制限閾値機能によって、低消費電流アプリケーション向けには小型のインダクタが使用できます。

様々な負荷駆動能力を構成するには、全チャンネルについて様々な出力電流能力の設定値を示す表 6 に従い、CFG1 ピンとグラウンドの間に抵抗を接続します。

ADP5014 の降圧レギュレータには、ローサイド MOSFET スイッチを流れる負電流の量を制限するための負電流制限保護回路が組み込まれています。

周波数フォールド・バック

ADP5014 の降圧レギュレータには周波数フォールド・バック機能があり、ハード短絡が出力で発生した場合に出力電流の暴走を防止します。周波数フォールド・バックは次のように行われます。

- FBx ピンの電圧が目的の出力電圧の半分を下回った場合、スイッチング周波数は 1/2 だけ減少します。
- FBx ピンの電圧がさらに低下して目的の電圧の 1/4 を下回った場合は、スイッチング周波数は再度電流値の 1/2 だけ減少し、fsw の 1/4 になります。

スイッチング周波数を減少させることで、インダクタ電流が減少するための時間がより長くなりますが、ピーク電流調整の間のリップル電流も増加することになります。スイッチング周波数が減少すると、平均の電流値が減少し、出力電流の暴走を抑制できます。

短絡保護 (SCP)

ADP5014 の降圧レギュレータには OCP 用にヒカップ・モードがあります。ピーク・インダクタ電流が電流制限の閾値に達した場合、次のサイクルまでハイサイド MOSFET はオフになり、ローサイド MOSFET はオンになります。

ヒカップ・モードがアクティブな場合、過電流故障カウンタがインクリメントします。過電流故障カウンタが 15 に達し、オーバーフローする (短絡条件を示す) と、ハイサイド MOSFET およびローサイド MOSFET はともにオフになります。降圧レギュレータは、7 回分のソフト・スタート・サイクルに相当する時間、ヒカップ・モードを維持した後、ソフト・スタートからの再スタートを試みます。短絡回路故障がクリアされると、レギュレータは通常動作を再開します。故障がクリアされないと、ソフト・スタートの後、再度ヒカップ・モードになります。

最初のソフト・スタート・サイクルの間、ヒカップ検出をマスクして、降圧レギュレータを重負荷条件で起動することもできます。重負荷の下で降圧レギュレータをヒカップ・モードから確実に復帰させるには、慎重な設計と適切な部品選択が必要で

す。並列動作時は、いずれかのチャンネルの過電流保護が、マスターおよびスレーブの両チャンネルをトリガして、双方同時にヒカップ保護の実施と解除がなされます。

過電圧保護

ADP5014 には過電圧保護機能があり、高電圧電源への出力短絡や負荷切断時に生じる大きなトランジェントからレギュレータを保護します。帰還電圧が $1.15 \times VSETx$ まで上昇すると、FBx ピンの電圧が $1.1 \times VSETx$ に低下するまで内部のハイサイド MOSFET とローサイド MOSFET がオフになります。FBx ピンの電圧が所定値に低下すると、ADP5014 は通常動作を再開します。

低電圧ロックアウト

UVLO 回路では、ADP5014 のアナログ入力ピンを含む各降圧レギュレータの入力電圧レベルをモニタしています。いずれかの入力電圧 (PVINx ピン) が 2.40 V (代表値) を下回った場合、対応するチャンネルはオフになります。入力電圧が 2.65 V (代表値) を超えると、ソフト・スタート期間が開始します。その後、ENx ピンがハイ・レベルになると、対応するチャンネルがイネーブルになります。

AVIN ピンの UVLO 条件は、各チャンネルの UVLO 条件に優先します。従って、AVIN ピンに電源供給をした後に各チャンネルを動作させる必要があります。

ADP5014 では、各降圧レギュレータに別々に電圧を入力することができます。すなわち、入力電圧 (PVINx ピン) および AVIN ピンの電圧が UVLO 閾値を上回っていれば、各降圧レギュレータの入力電圧は異なる電源電圧に個別に接続することができます。

アクティブ出力放電スイッチ

ADP5014 の各降圧レギュレータには、スイッチング・ノードからグラウンドへの放電スイッチが内蔵されています。このスイッチは、対象のレギュレータがディスエーブルになったときにオンになり、これにより、出力コンデンサをすばやく放電することができます。チャンネル 1 ～ チャンネル 4 の放電スイッチの代表値は 85 Ω です。

サーマル・シャットダウン

ADP5014 のジャンクション温度が 150°C を超えると、サーマル・シャットダウン回路により、内部のリニア電圧レギュレータ以外の IC がオフになります。ジャンクション温度が極端に高くなる要因は、大電流の動作、回路ボードの設計不備、高い周囲温度などです。15°C のヒステリシスを備えているので、サーマル・シャットダウン後にオンチップ温度が 135°C を下回るまで ADP5014 は動作を再開しません。デバイスがサーマル・シャットダウンから回復すると、イネーブルされた各チャンネルでソフト・スタートが開始されます。

アプリケーション情報

ADIsimPOWER デザイン・ツール

ADP5014 は、ADIsimPower[™]設計ツール・セットによってサポートされています。ADIsimPower は、特定の設計目標に対して最適化された電源デザインを生成するツールのコレクションです。このツールを使用すると、わずか数分間ですべての必要な回路図と部品表を作成し、性能を計算することができます。ADIsimPower は、IC とすべての実際の外付け部品の動作条件や制限事項を考慮しながら、コスト、面積、効率、デバイス数などの面でデザインを最適化することができます。ADIsimPower ツールは <http://www.analog.com/ADIsimPower> から入手でき、ツールを通じて未実装ボードを発注することができます。

出力電圧のプログラミング

ADP5014 の出力電圧は、VREF ピンから VSETx ピンの間の抵抗分圧器と、出力電圧から FBx ピンの間の抵抗分圧器により、外部から設定できます。VSETx と FBx のバイアス電流に起因する出力電圧精度の低下を抑止するために、分圧器の下段抵抗の値が必要以上に大きくならないようにします。

ADP5014 では、調整可能な出力電圧を設定することができます。必要な出力電圧の設定値が高精度の内部 VREF リファレンス電圧 (VREF ピン) よりも低い場合は、図 38 に示すように、VREF を電圧源とし、抵抗分圧器を使用して必要な出力電圧を設定し、FBx ピンを出力に直結します。出力電圧の設定値は、次式で求めることができます。

$$V_{OUT} = V_{REF} \times (R_2 / (R_1 + R_2))$$

ここで

V_{OUT} は出力電圧。

V_{REF} は 2.0 V の高精度低ノイズ・リファレンス電圧。

R_2 は VSETx とグラウンド間の抵抗。

R_1 は VSETx と VREF 間の抵抗。

必要な出力電圧が VREF 電圧よりも高い場合は、図 39 に示すように、出力と FBx ピンの間の外付け抵抗分圧器を使用して必要な出力電圧を設定し、VSETx を VREF に直結します。

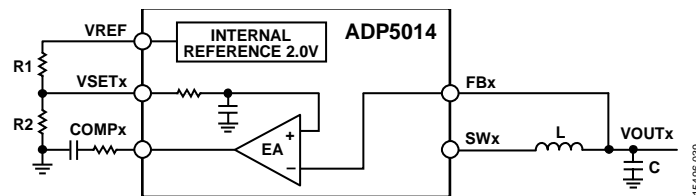


図 38. $V_{OUTx} \leq V_{REF}$ の場合の出力電圧の設定

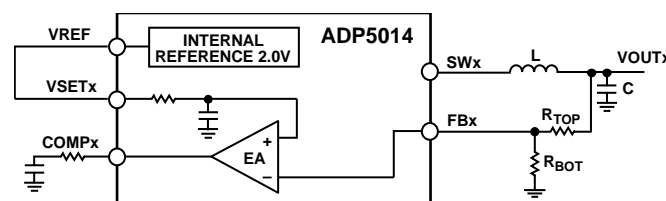


図 39. $V_{OUTx} > V_{REF}$ の場合の出力電圧の設定

出力電圧の設定値は、次式で求めることができます。

$$V_{OUT} = V_{REF} \times (1 + (R_{TOP}/R_{BOT}))$$

ここで

V_{OUT} は出力電圧。

V_{REF} は 2.0 V の高精度低ノイズ・リファレンス電圧。

R_{TOP} は V_{OUT} と FB 間の帰還抵抗。

R_{BOT} は FB とグラウンド間の帰還抵抗。

電圧変換の制限

最小オン時間と最小オフ時間に起因して、特定の入力電圧に対し、出力電圧の下限値が存在します。

特定の入力電圧とスイッチング周波数に対応する最小出力電圧は、最小オン時間による制約を受けます。各チャンネルの最小オン時間は 60 ns (代表値) です。最小オン時間はジャンクション温度が上昇すると増加します。

FPWM モードでは、最小オン時間が経過すると、出力電圧は公称出力電圧値を上回る可能性があることに注意してください。この問題を回避するには、スイッチング周波数の選択に注意を払う必要があります。

特定の入力電圧とスイッチング周波数に対応する CCM モードの最小出力電圧は、次の式を使用して計算できます。

$$V_{OUT_MIN} = V_{IN} \times t_{MIN_ON} \times f_{SW} - (R_{DS(ON)1} - R_{DS(ON)2}) \times I_{OUT_MIN} \times t_{MIN_ON} \times f_{SW} - (R_{DS(ON)2} + R_L) \times I_{OUT_MIN} \quad (1)$$

ここで

V_{OUT_MIN} は最小出力電圧。

t_{MIN_ON} は最小オン時間。

f_{SW} はスイッチング周波数。

$R_{DS(ON)1}$ はハイサイド MOSFET のオン抵抗。

$R_{DS(ON)2}$ はローサイド MOSFET のオン抵抗。

I_{OUT_MIN} は最小出力電流。

R_L は出力インダクタの抵抗。

特定の入力電圧とスイッチング周波数に対応する最大出力電圧は、最小オフ時間や最大デューティ・サイクルによる制約を受けます。各チャンネルの最小オフ時間は 50 ns（代表値）です。

特定の入力電圧とスイッチング周波数に対応する最大出力電圧は、次の式を使用して計算できます。

$$\begin{aligned} V_{OUT_MAX} &= V_{IN} \times (1 - t_{MIN_OFF} \times f_{SW}) - (R_{DS(ON)1} - R_{DS(ON)2}) \times \\ &I_{OUT_MAX} \times (1 - t_{MIN_OFF} \times f_{SW}) - (R_{DS(ON)2} + R_L) \times \\ &I_{OUT_MAX} \end{aligned} \quad (2)$$

ここで

V_{OUT_MAX} は最大出力電圧。

t_{MIN_OFF} は最小オフ時間。

f_{SW} はスイッチング周波数。

$R_{DS(ON)1}$ はハイサイド MOSFET のオン抵抗。

$R_{DS(ON)2}$ はローサイド MOSFET のオン抵抗。

I_{OUT_MAX} は最大出力電流。

R_L は出力インダクタの抵抗。

式 1 と式 2 に示されるように、スイッチング周波数を低くすると、最小オン時間と最小オフ時間による制限は緩和されます。

電流制限設定

ADP5014 では各チャンネルについて、2 つの電流制限閾値が選択できます。電流制限値が、確実にインダクタのピーク電流値 I_{PEAK} よりも大きくなるように選択します。各チャンネルの電流制限設定については表 6 を参照してください。

ソフト・スタート設定

ADP5014 の降圧レギュレータにはソフト・スタート回路が組み込まれており、起動時に出力電圧を制御された形で漸増させることで、突入電流を制限します。ソフト・スタート時間の値を 2 ms または 16 ms に設定するには、CFG2 ピンとグラウンドとの間に抵抗を接続します（ソフト・スタートのセクションを参照）。

インダクタの選択

インダクタ値は、動作周波数、入力電圧、出力電圧、インダクタのリップル電流によって決まります。小さなインダクタ値を使用すると、過渡応答は速くなりますが、インダクタのリップル電流が大きくなることによって効率が低下します。大きなインダクタ値を使用すると、リップル電流が小さくなって効率が向上しますが、過渡応答は遅くなります。このため、過渡応答と効率の間で必ずトレード・オフが発生します。通常の見安として、インダクタのリップル電流 ΔI_L は、最大負荷電流の 30 % ~ 40 % の値に設定します。インダクタの値は、次式を用いて計算できます。

$$L = [(V_{IN} - V_{OUT}) \times D] / (\Delta I_L \times f_{SW})$$

ここで

V_{IN} は入力電圧。

V_{OUT} は出力電圧。

D はデューティ・サイクル ($D = V_{OUT}/V_{IN}$)。

ΔI_L はインダクタのリップル電流。

f_{SW} はスイッチング周波数。

ADP5014 には電流ループ内に内部スローブ補償が備わっており、デューティ・サイクルが 50 % より大きい場合にサブハーモニック発振を防止します。インダクタのピーク電流は次式を用いて計算できます。

$$I_{PEAK} = I_{OUT} + (\Delta I_L / 2)$$

インダクタの飽和電流は、ピーク・インダクタ電流よりも大きくする必要があります。急峻な飽和特性を持つフェライト・コア・インダクタに対しては、インダクタの定格飽和電流を降圧レギュレータの電流制限の閾値よりも大きくして、インダクタが飽和しないようにする必要があります。

インダクタの rms 電流は、次式を使用して計算できます。

$$I_{RMS} = \sqrt{I_{OUT}^2 + \frac{\Delta I_L^2}{12}}$$

低コア損失と低電磁干渉 (EMI) を実現するには、シールド付きフェライト・コア材料を使用することを推奨します。表 11 に推奨インダクタの一覧を示します。

表 11. 推奨インダクタ

Vendor	Part No.	Value (μH)	I_{SAT} (A)	I_{RMS} (A)	DCR (m Ω)	Size (mm)
Coilcraft	XAL4020-601	0.6	10.4	11.7	9.5	4 × 4
	XAL4020-102	1.0	8.7	9.6	13.3	4 × 4
	XAL4020-152	1.5	7.1	7.5	21.5	4 × 4
	XAL4020-222	2.2	5.6	5.5	35.2	4 × 4
TOKO	DFE252012P-R68M	0.68	5.3	4.1	30	2.5 × 2.0
	DFE252012P-1R0P	1.0	4.8	3.8	35	2.5 × 2.0
	DFE252012P-1R5P	1.5	3.9	3.0	50	2.5 × 2.0
	DFE252012P-2R2P	2.2	3.4	2.6	70	2.5 × 2.0
Würth	744383560068	0.68	9.4	8.2	7.5	4.1 × 4.1
	74438356010	1	9.0	7.2	12	4.1 × 4.1
	74438356015	1.5	7.8	5.8	15	4.1 × 4.1
	74438356022	2.2	6.2	4.7	29	4.1 × 4.1

出力コンデンサの選択

出力コンデンサの選択は、レギュレータの出力電圧リップルおよび動的ループ特性の両方に影響を与えます。例えば、出力にステップ状の負荷トランジェントが発生している間に、その負荷が突然増大した場合、制御ループがインダクタ電流を漸増させるまで、出力コンデンサが負荷に給電し、このため出力電圧がアンダーシュートします。

電圧ドリップ条件を満たすのに必要な出力容量 (C_{OUT_UV}) は次式を用いて計算できます。

$$C_{OUT_UV} = \frac{K_{UV} \times \Delta I_{STEP}^2 \times L}{2 \times (V_{IN} - V_{OUT}) \times \Delta V_{OUT_UV}}$$

ここで

K_{UV} は係数 (通常は 2 に設定)。

ΔI_{STEP} は負荷ステップの大きさ。

ΔV_{OUT_UV} は出力電圧の許容アンダーシュート。

出力コンデンサの値がレギュレータの動的ループ特性に影響を与えるもう一つの例は、負荷が突然出力から除去された場合です。インダクタに蓄えられたエネルギーが出力コンデンサに流れ込み、出力電圧のオーバーシュートの原因となります。

オーバーシュート条件を満たすのに必要な出力容量 (C_{OUT_OV}) は次式を用いて計算できます。

$$C_{OUT_OV} = \frac{K_{OV} \times \Delta I_{STEP}^2 \times L}{(V_{OUT} + \Delta V_{OUT_OV})^2 - V_{OUT}^2}$$

ここで

K_{OV} は係数 (通常は 2 に設定)。

ΔI_{STEP} は負荷ステップの大きさ。

ΔV_{OUT_OV} は出力電圧の許容オーバーシュート。

出力電圧のリップルは出力コンデンサの等価直列抵抗 (ESR) とその容量値によって決まります。次式を使用して、出力リップル条件を満たすコンデンサを選択します。

$$C_{OUT_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times \Delta V_{OUT_RIPPLE}}$$

$$R_{ESR} = \frac{\Delta V_{OUT_RIPPLE}}{\Delta I_L}$$

ここで

ΔV_{OUT_RIPPLE} は許容出力電圧リップル。

R_{ESR} は、出力コンデンサの ESR。

負荷トランジェントと出力リップル性能を満たすように、 C_{OUT_UV} 、 C_{OUT_OV} 、 C_{OUT_RIPPLE} のうちの最大出力容量を選択します。

選択した出力コンデンサの定格電圧は、出力電圧より大きくする必要があります。出力コンデンサの最小 rms 電流の定格 (I_{COUT_rms}) は、次式によって決まります。

$$I_{COUT_rms} = \frac{\Delta I_L}{\sqrt{12}}$$

入力コンデンサの選択

入力デカップリング・コンデンサは、入力の高周波ノイズを減衰し、エネルギーを蓄える作用をします。このコンデンサはセラミック・コンデンサで、PVINx の近くに配置する必要があります。入力コンデンサ、ハイサイド MOSFET、ローサイド MOSFET によって形成されるループは、できるだけ小さくする必要があります。入力コンデンサの定格電圧は、最大入力電圧よりも大きくする必要があります。入力コンデンサの rms 定格電流 (I_{CIN_rms}) は、次式で計算される値よりも大きくする必要があります。

$$I_{CIN_rms} = I_{OUT} \times \sqrt{D(1-D)}$$

ここで、 D はデューティ・サイクル ($D = V_{OUT}/V_{IN}$)。

UVLO 入力のプログラミング

図 32 に示すように、高精度イネーブル入力を使用して入力電圧の UVLO 閾値をプログラムできます。

高精度ターン・オン閾値は 0.6 V です。次式を使用して、 R_{TOP_EN} と R_{BOT_EN} が計算できます。

$$R_{TOP_EN} = (0.57 \text{ V} \times V_{IN_RISING} - 0.6 \times V_{IN_FALLING}) / (0.57 \text{ V} \times 4 \mu\text{A} - 0.6 \times 1 \mu\text{A})$$

$$R_{BOT_EN} = (0.6 \text{ V} \times R_{TOP_EN}) / (V_{IN_RISING} - R_{TOP_EN} \times 4 \mu\text{A} - 0.6 \text{ V})$$

ここで

R_{TOP_EN} は PVINx と ENx 間の抵抗。

V_{IN_RISING} は V_{IN} の立上がり閾値。

$V_{IN_FALLING}$ は V_{IN} の立下がり閾値。

R_{BOT_EN} は ENx とグラウンド間の抵抗。

補償部品の設計

ピーク電流モード制御のアーキテクチャでは、電力段は、出力コンデンサと負荷抵抗に電流を供給する電圧制御された電流源として簡略化できます。この簡略化されたループは、出力コンデンサの ESR に起因する 1 つのドメイン極と 1 つのゼロ点で構成されます。制御から出力までの伝達関数 (G_{vd}) は、次式で表されます。

$$G_{vd}(s) = \frac{V_{OUT}(s)}{V_{COMP}(s)} = A_{VI} \times R \times \left(\frac{1 + \frac{s}{2 \times \pi \times f_z}}{1 + \frac{s}{2 \times \pi \times f_p}} \right)$$

$$f_z = \frac{1}{2 \times \pi \times R_{ESR} \times C_{OUT}}$$

$$f_p = \frac{1}{2 \times \pi \times (R + R_{ESR}) \times C_{OUT}}$$

ここで

$A_{VI} = 16.67 \text{ A/V}$ (チャンネル 1 およびチャンネル 2)、 8.33 A/V (チャンネル 3 およびチャンネル 4)。

R は負荷抵抗。

f_z はゼロ点周波数。

C_{OUT} は、出力コンデンサ容量。

R_{ESR} は、出力コンデンサの等価直列抵抗値。

f_p は極周波数。

ADP5014は、誤差アンプとしてトランスコンダクタンス・アンプを使用し、システムを補償します。図40に、簡略化したピーク電流モード制御の小信号回路を示します。

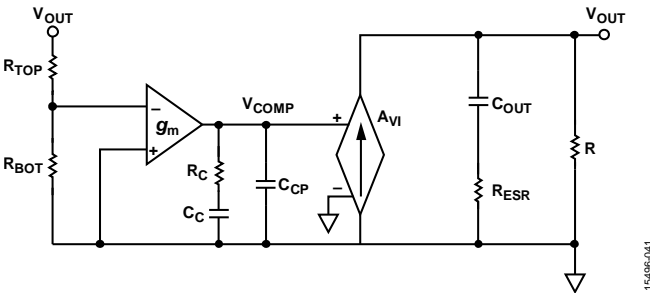


図 40. 簡略化したピーク電流モード制御の小信号回路

補償部品 R_C と C_C によりゼロ点が生じ、オプションの C_{CP} と R_C によりオプションの極が生じます。

クローズドループ伝達関数 ($T_V(s)$) の式は次のようになります。

$$T_V(s) = \frac{R_{BOT}}{R_{BOT} + R_{TOP}} \times \frac{-g_m}{C_C + C_{CP}} \times \frac{1 + R_C \times C_C \times s}{s \times \left(1 + \frac{R_C \times C_C \times C_{CP} \times s}{C_C + C_{CP}} \right)} \times G_{vd}(s)$$

セラミック出力コンデンサのアプリケーション用に補償部品 R_C 、 C_C 、 C_{CP} を選択する方法は、以下に示す手順で行います。

1. クロス周波数 (f_c) を決定します。通常、 f_c は $f_{sw}/12 \sim f_{sw}/6$ の範囲に収まります。
2. R_C は次式を使用して算出できます。

$$R_C = \frac{2 \times \pi \times V_{OUT} \times C_{OUT} \times f_c}{V_{SET} \times g_m \times A_{VI}}$$

3. ドメイン極 (f_p) に補償ゼロを配置します。
 C_C は次式で算出できます。

$$C_C = \frac{(R + R_{ESR}) \times C_{OUT}}{R_C}$$

4. C_{CP} はオプションです。この部品は、出力コンデンサの ESR によって生じるゼロ点を打ち消す目的で使用します。

$$C_{CP} = \frac{R_{ESR} \times C_{OUT}}{R_C}$$

消費電力

ADP5014 の全消費電力 (P_D) は次式のように簡略化できます。

$$P_D = P_{BUCK1} + P_{BUCK2} + P_{BUCK3} + P_{BUCK4}$$

降圧レギュレータの消費電力

各降圧レギュレータの消費電力 (P_{LOSS}) には、電源スイッチの導通損失 (P_{COND})、スイッチング損失 (P_{SW})、遷移損失 (P_{TRAN}) などがあります。他にも電力消費源はありますが、これらは、アプリケーションの温度限界の高出力電流では、通常はさほど影響を与えません。

次式を用いて降圧レギュレータの消費電力を見積もることができます。

$$P_{LOSS} = P_{COND} + P_{SW} + P_{TRAN}$$

電源スイッチの導通損失 (P_{COND})

電源スイッチの導通損失は、出力電流がオン抵抗 ($R_{DS(ON)}$) があるハイサイドおよびローサイドのパワー・スイッチのそれぞれを流れることが原因です。

次式を用いて電源スイッチの導通損失を見積もることができます。

$$P_{COND} = (R_{DS(ON)_{HS}} \times D + R_{DS(ON)_{LS}} \times (1 - D)) \times I_{OUT}^2$$

ここで

$R_{DS(ON)_{HS}}$ はハイサイド MOSFET のオン抵抗。

$R_{DS(ON)_{LS}}$ はローサイド MOSFET のオン抵抗。

D はデューティ・サイクル ($D = V_{OUT}/V_{IN}$) 。

スイッチング損失 (P_{SW})

スイッチング損失は、ドライバが電力デバイスをスイッチング周波数でオン/オフにする際に流れる電流によって発生します。電力デバイスのゲートがオン/オフするたびに、ドライバは電荷を入力電源からゲートへ、そしてゲートからグラウンドへと移動させます。次式を用いてスイッチング損失を見積もることができます。

$$P_{SW} = (C_{GATE_{HS}} + C_{GATE_{LS}}) \times V_{IN}^2 \times f_{sw}$$

ここで

$C_{GATE_{HS}}$ は、ハイサイド・スイッチのゲート容量

$C_{GATE_{LS}}$ は、ローサイド・スイッチのゲート容量。

f_{sw} はスイッチング周波数。

遷移損失 (P_{TRAN})

遷移損失は、ハイサイド・スイッチが瞬時にターン・オン/ターン・オフできないために発生します。スイッチ・ノードが遷移しているときに、電源スイッチはすべてのインダクタ電流を供給します。電源スイッチのソース/ドレイン間電圧は入力電圧の半分になり、結果として電力損失が発生します。遷移損失は、負荷および入力電圧とともに増大し、各スイッチング・サイクルで 2 回発生します。次式を用いて遷移損失を見積もることができます。

$$P_{TRAN} = 0.5 \times V_{IN} \times I_{OUT} \times (t_r + t_f) \times f_{sw}$$

ここで

t_r は、スイッチノードの立上がり時間。

t_f は、スイッチノードの立下がり時間。

サーマル・シャットダウン

ADP5014 が高い周囲温度で高負荷の下で動作する場合、電力損失によってジャンクション温度が 125°C の最大ジャンクション温度を超えることがあります。ジャンクション温度が 150°C を超えると、レギュレータはサーマル・シャットダウンとなり、ジャンクション温度が 135°C を下回ると復帰します。

ジャンクション温度

ダイのジャンクション温度は、次式に示すように、システムの置かれた環境の周囲温度と電力消費によるパッケージの温度上昇の和になります。

$$T_J = T_A + T_R$$

ここで

T_J はジャンクション温度。

T_A は周囲温度。

T_R は電力消費によるパッケージの温度上昇。

パッケージの温度上昇は、パッケージの電力消費に正比例します。この関係の比例係数は、次式に示すように、ダイのジャンクションから周囲温度までの熱抵抗です。

$$T_R = \theta_{JA} \times P_D$$

ここで

T_R はパッケージの温度上昇。

θ_{JA} はダイのジャンクションからパッケージの周囲温度までの熱

抵抗（表 4 参照）。熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には細心の注意が必要です。

P_D はパッケージの電力消費です。考慮すべき重要な点は、熱抵抗値は JEDEC 規格で仕様規定されているように、銅箔の厚さが 2.5 オンスの 4 層、4 インチ × 3 インチの PCB に基づいて定められているのに対し、実際のアプリケーションでは様々な大きさ、様々な層数の PCB が用いられる可能性があるということです。

使用する銅の量をできるだけ多くして、熱をデバイスから除去することが重要です。空気に露出している銅は、内部の層にある銅よりも熱を効率よく放出します。露出パッドを、複数のビアを通じてグラウンド・プレーンに接続します。

設計例

このセクションでは、チャンネル1について、ステップ・バイ・ステップの設計手順の例と必要とされる外付け部品について説明します。表12に、この例の設計条件を示します。

表 12. チャンネル1の設計条件例

Parameter	Specification
Input Voltage	$V_{PVIN1} = 5\text{ V} \pm 5\%$
Output Voltage	$V_{OUT1} = 1.2\text{ V}$
Output Current	$I_{OUT1} = 4\text{ A}$
Output Ripple	$\Delta V_{OUT1_RIPPLE} = 5\text{ mV in CCM mode}$
Load Transient	$\pm 5\%$, at 20% to 80% load transient, 1 A/ μs

この例ではチャンネル1に対するステップ・バイ・ステップの設計手順を示しますが、この手順は他のすべての降圧レギュレータ・チャンネル（チャンネル2～チャンネル4）にも適用できます。

スイッチング周波数の設定

スイッチング周波数を設定する際の最初の手順は、ADP5014の設計におけるスイッチング周波数を決定することです。一般に、スイッチング周波数が高いと、部品の値を小さくできるため、ソリューションのサイズは小さくなります。これに対し、スイッチング周波数が低いと、スイッチング損失が小さくなるため、変換効率が高くなります。

ADP5014のスイッチング周波数は、RTピンとグラウンドの間に抵抗を接続して、500 kHz～2.5 MHzの値に設定できます。抵抗を選択することで、効率とソリューション・サイズのトレード・オフに基づいた決定をすることができます。詳細については、発振器のセクションを参照してください。

しかし、設定できる最大スイッチング周波数は、最小オン時間と最小オフ時間で決まる電圧変換制限を確認して判断する必要があります（電圧変換制限のセクションを参照）。

この設計例では、1.2 MHzのスイッチング周波数で、小型のソリューション・サイズと高い変換効率の良い組み合わせを実現できます。スイッチング周波数を1.2 MHzに設定するには、次式を用いて抵抗値 R_{RT} を計算します。

$$R_{RT} (\text{k}\Omega) = (100,000/f_{SW} (\text{kHz}))$$

この式に従い、標準的な抵抗値として $R_{RT} = 82.5\text{ k}\Omega$ を選択します。

出力電圧の設定

必要な出力電圧の設定値が V_{REF} の電圧よりも低い場合、高精度の内部 V_{REF} リファレンス電圧を電圧源とし、抵抗分圧器を使用して必要な出力電圧を設定し、帰還ピン（FB1）と出力とを直接接続します（図38参照）。10 k Ω の下段抵抗（R2）を選択し、上段抵抗値を次式で計算します。

$$R1 = R2 \times ((V_{REF} - V_{OUT}) / V_{OUT})$$

ここで

V_{OUT} は出力電圧。

V_{REF} は 2.0 V（チャンネル1～チャンネル4）。

出力電圧を 1.2 V に設定するためには、次の抵抗値を選択します。 $R1 = 6.65\text{ k}\Omega$ 、および $R2 = 10\text{ k}\Omega$ 。

構成の設定（CFG1 および CFG2）

CFG1 ピンを使用して、全チャンネルの負荷駆動能力と並列動作をプログラムできます。例えば、 $R_{CFG1} = 0\text{ k}\Omega$ を選択します。詳細については、機能設定（CFG1 および CFG2）のセクションの設定を参照してください。

CFG2 ピンを使用して、動作モード（FPWM モードまたは PWM/PSM モード）、イネーブル・モード（手動モードまたはシーケンス・モード）、タイマー（ $\times 1$ または $\times 8$ ）、GPIO 機能（PWRGD、SYNC-IN、CLK-OUT、UVO）を全チャンネルに対してプログラムできます。例えば、 $R_{CFG2} = 0\text{ k}\Omega$ を選択します。詳細については、機能設定（CFG1 および CFG2）のセクションの設定を参照してください。

インダクタの選択

インダクタ・リップル電流のピーク to ピーク値 (ΔI_L) は、最大出力電流の 30% に設定されます。次式を用いてインダクタ値 (L) を見積もることができます。

$$L = \frac{(V_{IN} - V_{OUT}) \times D}{\Delta I_L \times f_{SW}}$$

ここで

$V_{IN} = 5\text{ V}$ 。

$V_{OUT} = 1.2\text{ V}$ 。

D はデューティ・サイクル ($D = V_{OUT}/V_{IN} = 0.24$) 。

$\Delta I_L = 30\% \times 4\text{ A} = 1.2\text{ A}$ 。

$f_{SW} = 1.2\text{ MHz}$ 。

この結果、 L の値は 0.63 μH となります。最も近い標準的なインダクタ値は 0.8 μH です。このため、インダクタ・リップル電流 ΔI_L は 0.95 A となります。

インダクタのピーク電流は次式で計算します。

$$I_{PEAK} = I_{OUT} + (\Delta I_L / 2)$$

インダクタのピーク電流の計算値は 4.48 A となります。

インダクタの rms 電流は次式を使用して計算できます。

$$I_{RMS} = \sqrt{I_{OUT}^2 + \frac{\Delta I_L^2}{12}}$$

インダクタの rms 電流は約 4.01 A となります。このため、最小定格 rms 電流が 4.01 A、最小定格飽和電流が 4.48 A のインダクタが必要です。しかし、電流制限条件下でインダクタが飽和点に達するのを防止するため、インダクタの飽和電流は最大ピーク電流の制限値よりも大きく、代表的には信頼性の高い動作のために 6 A に設定するよう推奨します。

これらの条件と推奨事項に基づき、5.14 m Ω の直流抵抗値（DCR）を持つ COILCRAFT XAL5030-801MEB をこの設計では選択しています。

出力コンデンサの選択

出力コンデンサは、出力電圧リップル条件と負荷トランジェント条件の両方を満たす必要があります。出力電圧のリップル条件を満たすには、次式を使用して ESR と容量値を計算します。

$$C_{OUT_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times \Delta V_{OUT_RIPPLE}}$$

$$R_{ESR} = \frac{\Delta V_{OUT_RIPPLE}}{\Delta I_L}$$

容量値 C_{OUT_RIPPLE} は 19.8 μF が算出され、抵抗値 R_{ESR} は 5 m Ω が算出されます。

$\pm 5\%$ のオーバーシュートおよびアンダーシュートの条件を満たすには、次式を使用して容量を計算します。

$$C_{OUT_UV} = \frac{K_{UV} \times \Delta I_{STEP}^2 \times L}{2 \times (V_{IN} - V_{OUT}) \times \Delta V_{OUT_UV}}$$

$$C_{OUT_OV} = \frac{K_{OV} \times \Delta I_{STEP}^2 \times L}{(V_{OUT} + \Delta V_{OUT_OV})^2 - V_{OUT}^2}$$

見積りのため、 $K_{OV} = K_{UV} = 2$ とします。その結果、 $C_{OUT_OV} = 62.4 \mu\text{F}$ 、 $C_{OUT_UV} = 20.2 \mu\text{F}$ となります。

出力コンデンサの ESR は、5 m Ω 未満である必要があります。また、出力容量は 62.4 μF より大きい必要があります。2 個のセラミック・コンデンサ (47 μF 、X5R、6.3 V) (村田製作所の GRM21BR60J476ME15、ESR = 2 m Ω など) を使用することを推奨します。

補償ネットワークの設計

優れた負荷過渡応答と安定性を実現するには、クロス周波数 (f_c) を $f_{sw}/10$ に設定します。この例では、 f_{sw} が 1.2 MHz で動作しているため、 f_c は 120 kHz に設定されています。

1.2 V の出力レールに対し、47 μF セラミック出力コンデンサのディレーティング値は 32 μF です。

$$R_C = \frac{2 \times \pi \times 1.2 \text{ V} \times 2 \times 32 \mu\text{F} \times 120 \text{ kHz}}{1.2 \text{ V} \times 800 \mu\text{s} \times 16.67 \text{ A/V}} = 3.62 \text{ k}\Omega$$

$$C_C = \frac{(0.3 \Omega + 0.001 \Omega) \times 2 \times 32 \mu\text{F}}{3.62 \text{ k}\Omega} = 5.32 \text{ nF}$$

$$C_{CP} = \frac{0.001 \Omega \times 2 \times 32 \mu\text{F}}{3.62 \text{ k}\Omega} = 17.7 \text{ pF}$$

次のように、標準部品を選択します。 $R_C = 3.57 \text{ k}\Omega$ 、 $C_C = 5.6 \text{ nF}$ 。

C_{CP} はオプションです。

図 41 に 1.2 V の出力レールのボーデ線図を示します。交差周波数は 132 kHz で、位相マージンは 56° です。負荷過渡応答の波形を図 42 に示します。

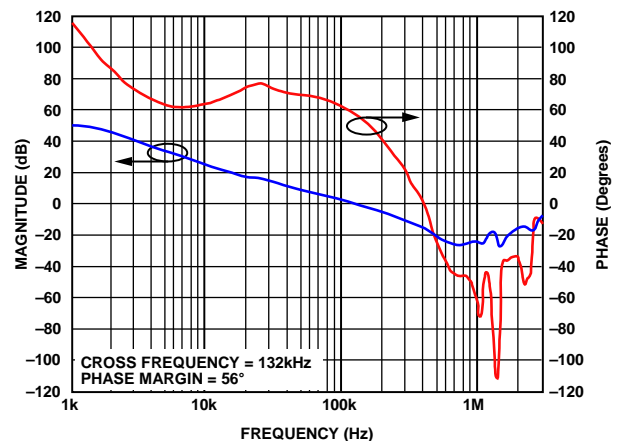


図 41. 1.2 V 出力のボーデ線図

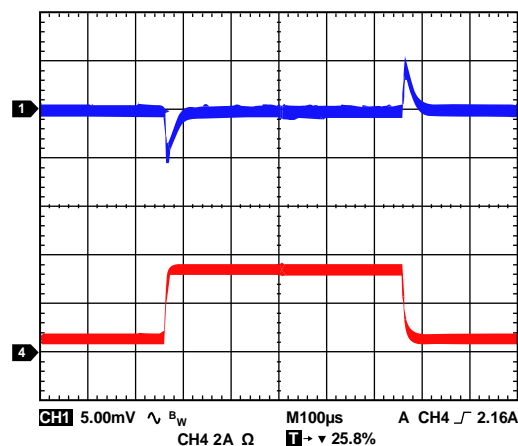


図 42. 負荷過渡応答の波形

入力コンデンサには、最小でも 10 μF のセラミック・コンデンサを選択します。入力コンデンサは PVIN x ピンの近くに配置します。この例では、10 μF 、X5R、16 V のセラミック・コンデンサを使用することを推奨します。

低ノイズ出力設計

ADP5014 では多くのアナログ・ブロックが最適化されており、新しいユニティ・ゲイン・リファレンス・アーキテクチャを採用し、低周波数レンジでの低出力ノイズを実現しています。システム設計で ADP5014 の低ノイズ出力が必要とされる場合、ADP5014 は LDO を用いずに直接シグナル・チェーン部品に電力供給することができます。この方法による場合、追加の LC フィルタをメインの LC フィルタの後段に設置して、スイッチング・リップルの基本波成分と高調波成分を除去することを推奨します。これはスイッチング・リップルによって、ノイズに敏感なシグナル・チェーン・デバイスに対し、予想外のノイズ・スパイクが生じる可能性があるためです。この追加のインダクタ・フィルタは負荷での電圧降下を引き起こす可能性があるため、特に大電流のアプリケーションでは、この電圧降下を最小にするため、小さな DCR のインダクタを使用することを推奨します。

図 43 および図 44 に周波数範囲 10 Hz ~ 10 MHz での ADP5014 のノイズ・スペクトル密度測定、および、周波数範囲 10 Hz ~ 1 MHz での統合 rms ノイズを、従来の 2 A 低ノイズ・リニア・レギュレータ ADP1740 と比較して示します。

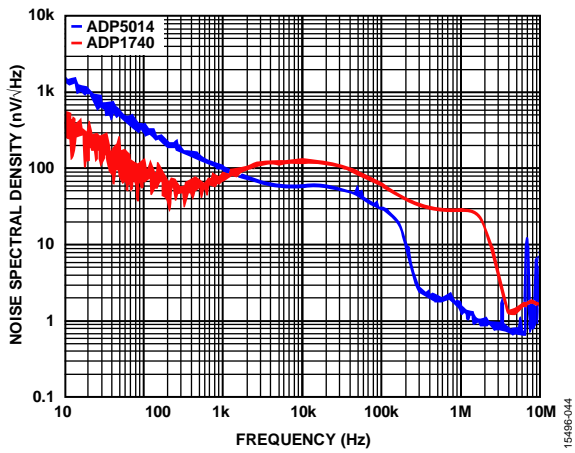


図 43. ADP5014 のノイズ・スペクトル密度測定、 $V_{IN} = 5\text{ V}$ 、 $V_{OUT1} = 1.3\text{ V}$ 、 $I_{OUT1} = 0.5\text{ A}$ 、 $f_{SW} = 1.2\text{ MHz}$ 、 $L_1 = 0.8\text{ }\mu\text{H}$ 、 $C_{OUT} = 47\text{ }\mu\text{F} \times 3$ 、 $L_{FILTER} = 1\text{ }\mu\text{H}$ 、 $C_{FILTER} = 22\text{ }\mu\text{F} \times 2$

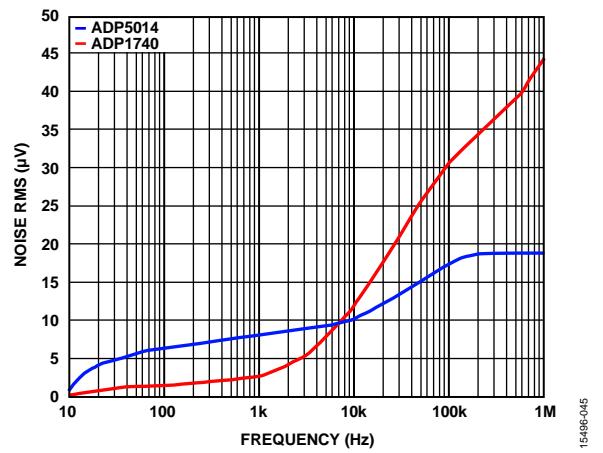


図 44. ADP5014 の統合 RMS ノイズ、 $V_{IN} = 5\text{ V}$ 、 $V_{OUT1} = 1.3\text{ V}$ 、 $I_{OUT1} = 0.5\text{ A}$ 、 $f_{SW} = 1.2\text{ MHz}$ 、 $L_1 = 0.8\text{ }\mu\text{H}$ 、 $C_{OUT} = 47\text{ }\mu\text{F} \times 3$ 、 $L_{FILTER} = 1\text{ }\mu\text{H}$ 、 $C_{FILTER} = 22\text{ }\mu\text{F} \times 2$

PCB レイアウトに関する推奨事項

ADP5014 から最高性能を引き出すためには、回路基板のレイアウトがきわめて重要です (図 45 参照)。レイアウトに問題があると、EMI 性能および電磁両立性 (EMC) 性能だけでなく、デバイスのレギュレーションや安定性にも影響が及ぶ可能性があります。優れた PCB レイアウトにするためには、次のガイドラインを参照してください。

- 入力コンデンサ、インダクタ、出力コンデンサを IC の近くに配置します。
- 短く厚いパターンを使用して入力コンデンサを PVINx に接続し、専用のパワー・グラウンドを使用して入力コンデンサと出力コンデンサをグラウンドに接続し、配線長は最小にします。
- 必要に応じ大電流ビアを使用して、PVINx、PGNDx、SWx を他のパワー・プレーンに接続します。
- 短く厚いパターンを使用して、インダクタを SWx ピンや他のコンデンサに接続します。
- 大電流のループ・パターンはできる限り短く、幅広くします。

- 露出パッドのグラウンド・メタルの量を最大にし、部品側にできるだけ多くのビアを使って放熱性を良くします。
- グラウンド・プレーンを部品面のグラウンドに複数のビアで接続し、敏感な回路ノードのノイズ干渉をさらに減らします。
- デカップリング・コンデンサを VREF ピンの近くに配置します。
- RC フィルタを AVIN ピンの近くに配置します。
- 周波数設定抵抗を RT ピンの近くに配置します。
- VREF 抵抗分圧器を VSETx ピンの近くに、帰還抵抗分圧器は FBx ピンの近くに配置します。さらに、VSETx と FBx のパターンはノイズの侵入を避けるため、大電流パターンとスイッチ・ノードからは離して配置します。
- 0402 または 0603 サイズの抵抗とコンデンサを使うと、面積が制限されているボード上で最小のフットプリント・ソリューションを実現できます。

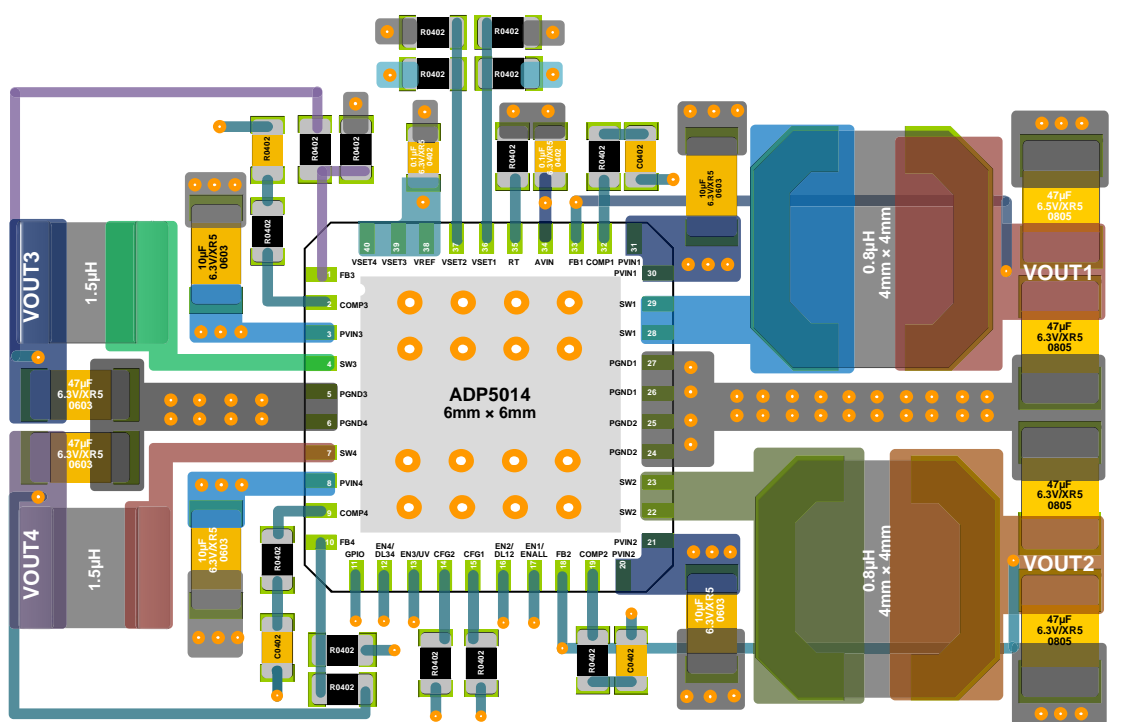


図 45. ADP5014 の代表的な PCB レイアウト

代表的なアプリケーション回路

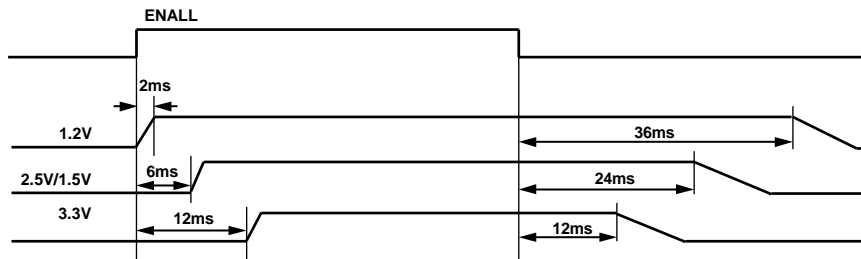
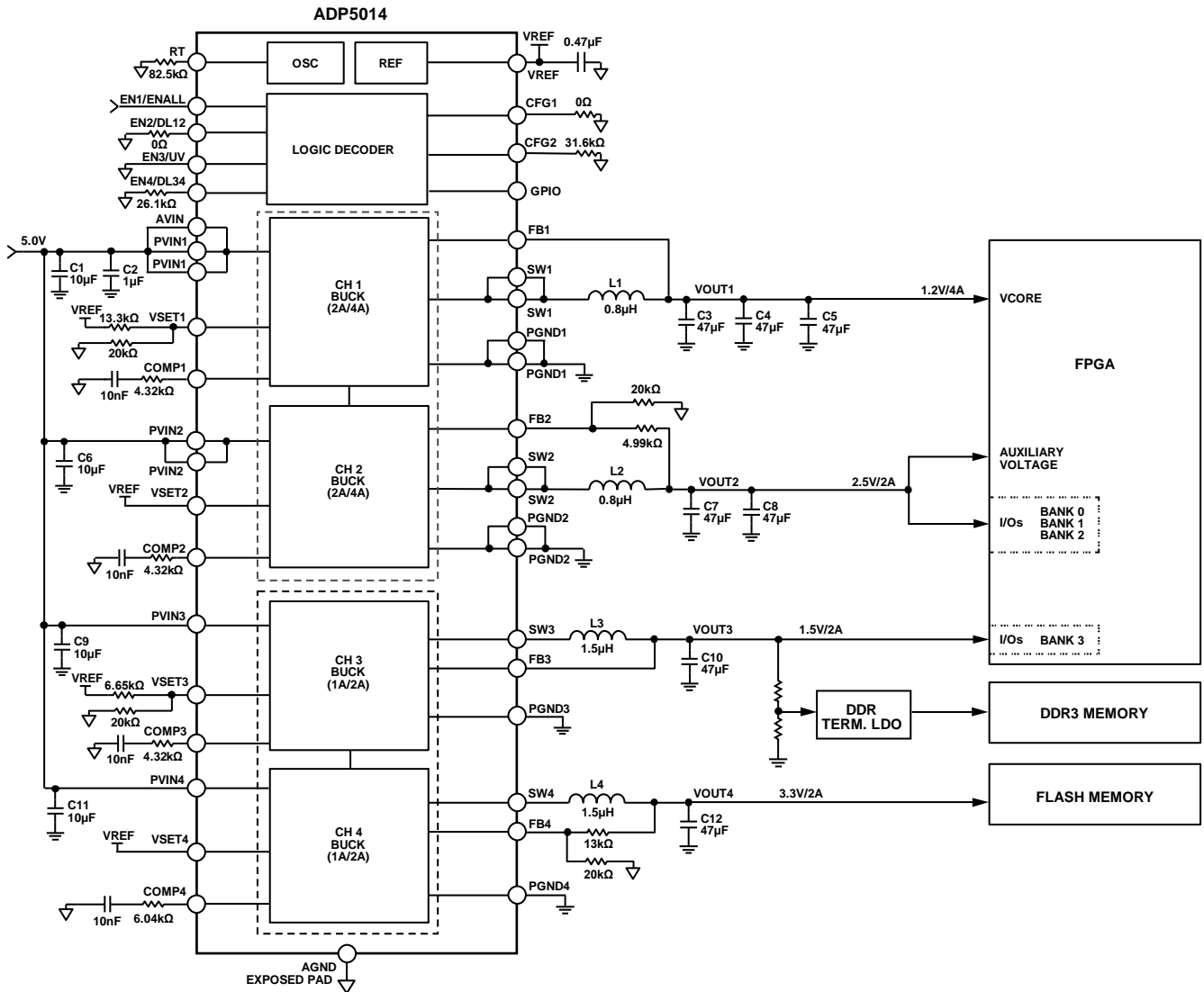


図 46. 代表的な FPGA (フィールド・プログラマブル・ゲート・アレイ) アプリケーション、スイッチング周波数 1.2 MHz、シーケンス・イネーブル・モード

15498-047

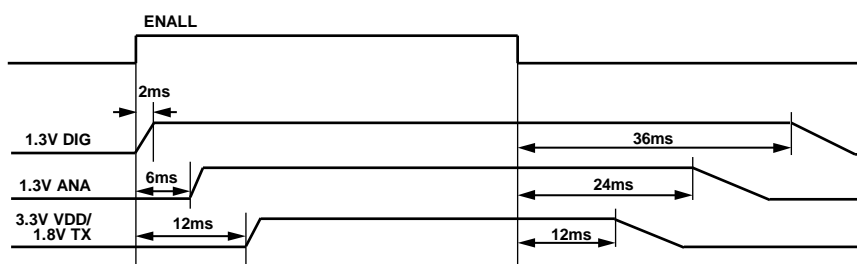
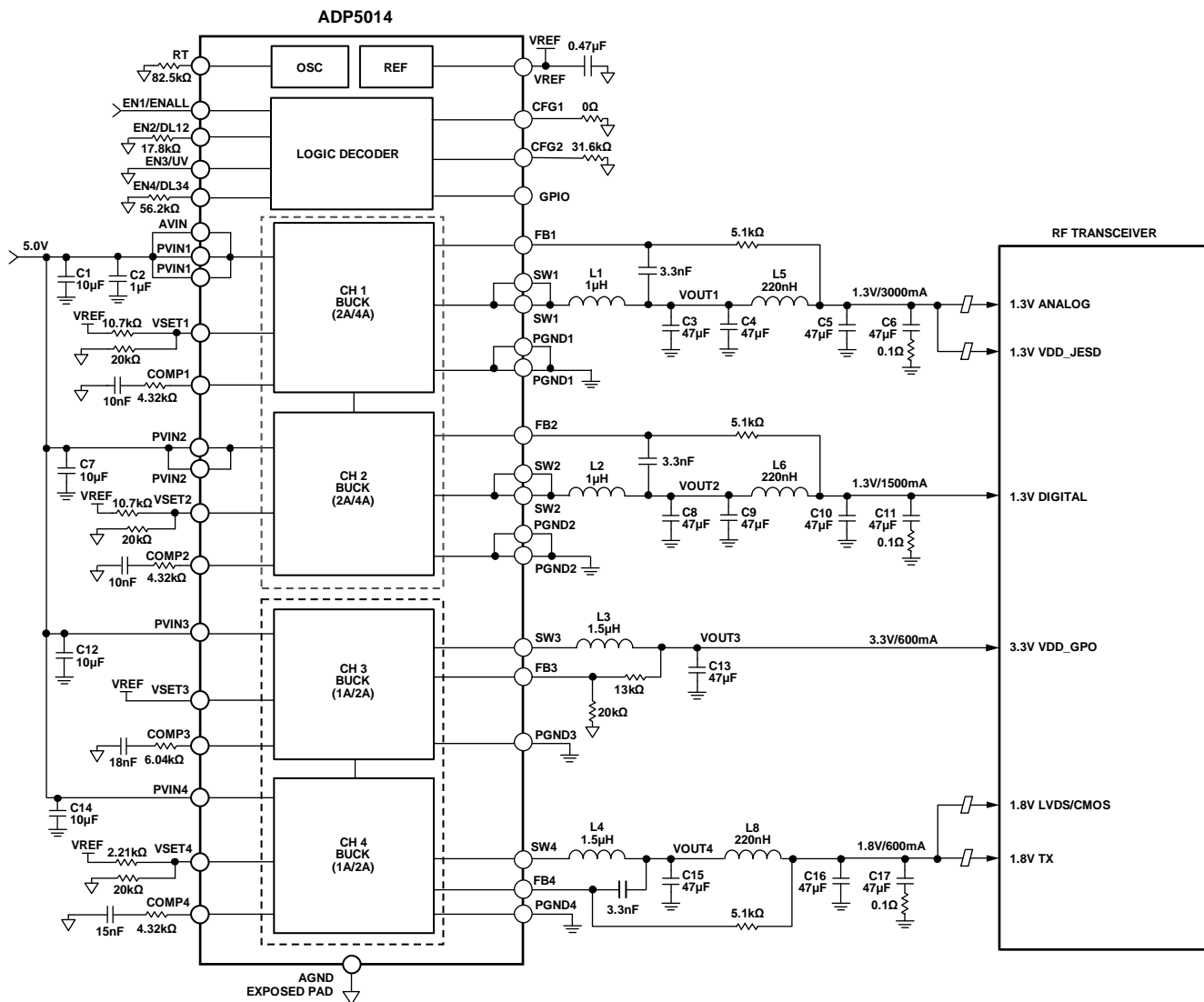


図 47. 代表的な RF トランシーバー・アプリケーション、スイッチング周波数 1.2 MHz、シーケンス・イネーブル・モード

15458C-048

出荷時にプログラム可能なオプション

出荷時のデフォルト・オプション

表 13 に、デバイス発注時に ADP5014 にプログラム可能な出荷時のデフォルト・オプションの一覧を示します（オーダー・ガイド参照）。デフォルト・オプション以外のオプションを備えたデバイスの発注については、アナログ・デバイセズの営業担当または代理店にお問い合わせください。

表 13. 出荷時のデフォルト・オプション

Option	Default Value
Channel 1 Output Voltage	Adjustable output
Channel 2 Output Voltage	Adjustable output
Channel 3 Output Voltage	Adjustable output
Channel 4 Output Voltage	Adjustable output
PWRGD Pin Output	Monitor all Channel 4 outputs (enabled by the CFG2 configuration)
Output Discharge Function	Enabled for all four buck regulators
Hiccup Detection	Hiccup protection enabled for overcurrent events

外形寸法

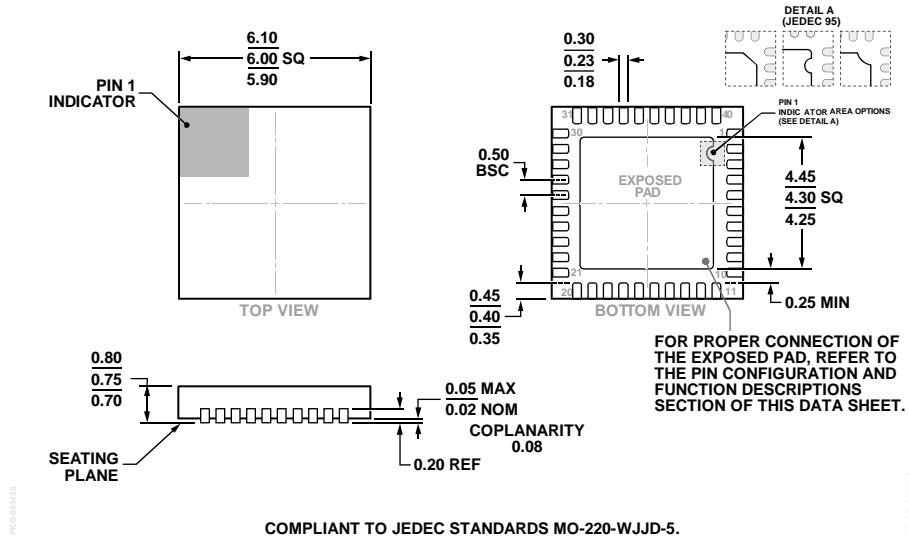


図 48. 40 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
6 mm x 6 mm ボディ、0.75 mm パッケージ高
(CP-40-10)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option ²
ADP5014ACPZ-R7 ADP5014-EVALZ	-40°C to +125°C	40-Lead Lead Frame Chip Scale Package [LFCSP] Evaluation Board	CP-40-10

¹ Z = RoHS 準拠製品

² 表 13 にデバイス出荷時のデフォルト・オプションの一覧を示します。出荷時にプログラム可能なオプションの一覧については、出荷時にプログラム可能なオプションのセクションを参照してください。デフォルト・オプション以外のオプションを備えたデバイスの発注については、アナログ・デバイセズの営業担当または代理店にお問い合わせください。