



3 A、36 V、同期整流降圧 DC/DC レギュレータ

データシート

ADP2443

特長

- 連続出力電流: 3 A
- 入力電圧: 4.5 V ~ 36 V
- 内蔵 MOSFET: 98 mΩ / 35 mΩ
- リファレンス電圧: 0.6 V ± 1 %
- 短い最小オン時間: 50 ns
- プログラマブル・スイッチング周波数: 200 kHz ~ 1.8 MHz
- 外部クロックへの同期機能: 200 kHz ~ 1.8 MHz
- 高精度イネーブルとパワーグッド
- ヒックアップ保護機能付きのサイクル単位の電流制限
- 外部補償
- プログラマブル・ソフト・スタート時間
- プリチャージ出力に遷移するスタートアップ
- ADIsimPower 設計ツールによるサポート

アプリケーション

- 中間電源としてのレール変換
- マルチセル・バッテリー駆動システム
- プロセス制御と産業用オートメーション
- 健康機器、医療機器
- ネットワークング、サーバー

概要

ADP2443 は、同期整流降圧 DC/DC レギュレータであり、98 mΩ のハイサイド・パワー MOSFET と 35 mΩ の同期整流 MOSFET を内蔵して、コンパクトな 4 mm × 4 mm の LFCSP パッケージで高効率のソリューションを実現します。このレギュレータは 4.5 V ~ 36 V の電源電圧で動作します。出力電圧は、最小 0.6 V までの範囲で調整でき、最大 3 A の連続電流を供給できます。50 ns の最小オン時間という高速動作により、このレギュレータは、高い入力電圧を低い出力電圧に、高い効率で変換できます。

ADP2443 は、エミュレートされた電流モードと定周波数の PWM (パルス幅変調) 制御方式を使用して、優れた安定性と過渡応答を実現します。ADP2443 のスイッチング周波数は、200 kHz ~ 1.8 MHz の範囲でプログラムできます。同期機能により、スイッチング周波数を外部クロックと同期させ、システム・ノイズを最小限に抑えることができます。

ADP2443 は、高い効率と設計の柔軟性を必要とする高性能アプリケーションを対象としています。外部補償機能と調整可能なソフト・スタート機能により、柔軟な設計が可能です。パワーグッド出力と高精度なイネーブル入力により、シンプルで信頼性のあるパワー・シーケンシングが実現します。

代表的なアプリケーション回路

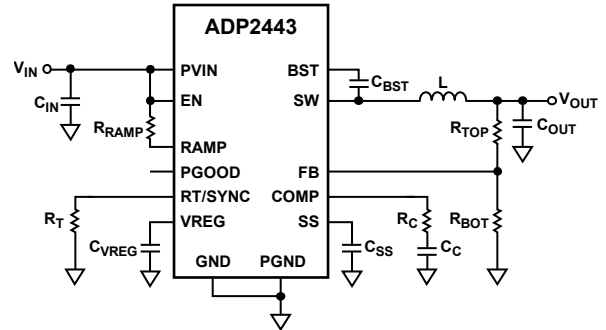


図 1.

その他の主要な特長として、低電圧ロックアウト (UVLO)、過電圧保護 (OVP)、過電流保護 (OCP)、短絡保護 (SCP)、サーマル・シャットダウン (TSD) などの機能があります。

ADP2443 は、-40 °C ~ +125 °C のジャンクション温度範囲で動作し、24 ピン、4 mm × 4 mm の LFCSP パッケージを採用しています。

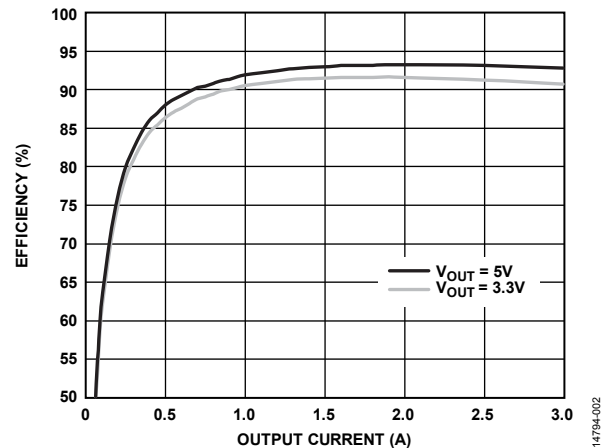


図 2. 効率と出力電流の関係、V_{IN} = 24 V、f_{sw} = 300 kHz

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	アプリケーション情報	15
アプリケーション	1	入力コンデンサの選択	15
代表的なアプリケーション回路	1	出力電圧の設定	15
概要	1	電圧変換の制限	15
改訂履歴	2	インダクタの選択	15
機能ブロック図	3	出力コンデンサの選択	17
仕様	4	入力電圧 UVLO の設定	17
絶対最大定格	6	勾配補償の設定	17
熱抵抗	6	補償回路の設計	17
ESD に関する注意	6	ADIsimPower 設計ツール	18
ピン配置およびピン機能の説明	7	設計例	19
代表的な性能特性	8	出力電圧の設定	19
動作原理	13	周波数の設定	19
制御方式	13	インダクタの選択	19
高精度イネーブル/シャットダウン	13	出力コンデンサの選択	20
内蔵レギュレータ (VREG)	13	勾配補償の設定	20
ブートストラップ回路	13	補償部品	20
発振器	13	ソフト・スタート時間の設定	20
同期	13	入力コンデンサの選択	20
ソフト・スタート	14	推奨される外付け部品	21
パワーグッド	14	推奨されるプリント回路基板レイアウト	22
ピーク電流制限と短絡保護	14	代表的なアプリケーション回路	23
過電圧保護 (OVP)	14	外形寸法	24
低電圧ロックアウト (UVLO)	14	オーダー・ガイド	24
サーマル・シャットダウン	14		

改訂履歴

9/2016—Revision 0: Initial Version

機能ブロック図

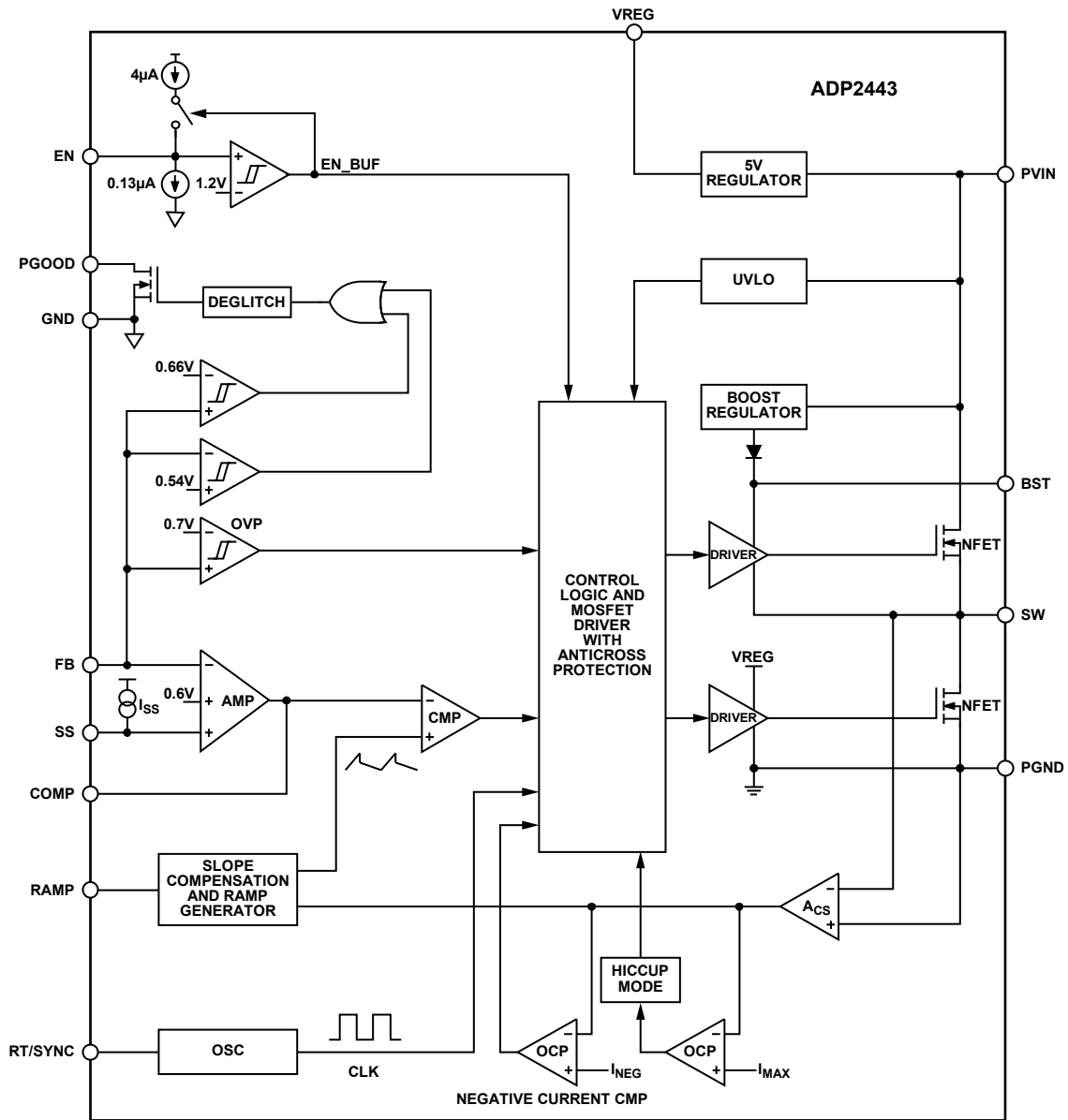


図 3.

14794-003

仕様

特に指定のない限り、 $V_{PVIN} = 12\text{ V}$ 、仕様の最小値/最大値については $T_J = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ 、仕様の代表値については $T_A = 25\text{ }^\circ\text{C}$ 。

表 1.

Parameters	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
PVIN						
PVIN Voltage Range	V_{PVIN}		4.5		36	V
Quiescent Current	I_Q	No switching, RAMP connected to PVIN through a resistor		0.868	1.1	mA
Shutdown Current	I_{SHDN}	EN = GND		28	57	μA
PVIN Undervoltage Lockout Threshold		PVIN rising	3.8	4.3	4.45	V
		PVIN falling		3.9		V
FB						
Regulation Voltage	V_{FB}	$-40\text{ }^\circ\text{C} < T_J < +125\text{ }^\circ\text{C}$	0.594	0.6	0.606	V
Bias Current	I_{FB}			0.05	0.2	μA
ERROR AMPLIFIER (EA)						
Transconductance	g_m		485	515	545	μS
Source Current	I_{SOURCE}	$V_{FB} = 0.45\text{ V}$		50		μA
Sink Current	I_{SINK}	$V_{FB} = 0.75\text{ V}$		50		μA
INTERNAL REGULATOR (VREG)						
VREG Voltage	V_{VREG}	$V_{PVIN} = 12\text{ V}, I_{VREG} = 10\text{ mA}$	4.9	5	5.1	V
Dropout Voltage		$V_{PVIN} = 12\text{ V}, I_{VREG} = 30\text{ mA}$		320		mV
Regulator Current Limit				100		mA
SW						
High-Side On Resistance ¹	R_{DSON_HS}	BST pin voltage (V_{BST}) - $V_{SW} = 5\text{ V}$		98	147	m Ω
Low-Side On Resistance ¹	R_{DSON_LS}	$V_{VREG} = 5\text{ V}$		35	58	m Ω
Low-Side Valley Current Limit			3.9	4.7	5.1	A
Low-Side Negative Current Limit			2	2.5	3	A
Leakage Current		$V_{SW} = 0\text{ V}, \text{EN} = \text{GND}$		1.5	7.9	μA
SW Minimum On Time	t_{MIN_ON}			50	65	ns
SW Minimum Off Time	t_{MIN_OFF}			200	235	ns
BST						
Bootstrap Voltage	V_{BOOT}		4.65	5	5.2	V
OSCILLATOR (RT/SYNC)						
Switching Frequency	f_{SW}	$R_T = 280\text{ k}\Omega$	540	600	660	kHz
Switching Frequency Range			200		1800	kHz
Synchronization Range			200		1800	kHz
SYNC Minimum Pulse Width			100			ns
SYNC Minimum Off Time			100			ns
SYNC Input Voltage						
High			1.3			V
Low					0.4	V
SS						
SS Pin Pull-Up Current	I_{SS}		3.0	3.4	3.8	μA
PGOOD						
Power-Good Range						
FB Rising Threshold			108	110	112	%
FB Rising Hysteresis				5		%
FB Falling Threshold			88	90	92	%
FB Falling Hysteresis				5		%
Power-Good Deglitch Time		Both rising and falling		16		Clock cycles
Power-Good Leakage Current		$V_{PGOOD} = 5\text{ V}$		0.1	1	μA
Power-Good Output Low Voltage		$I_{PGOOD} = 1\text{ mA}$		220	300	mV

Parameters	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
EN						
EN Rising Threshold			1.16	1.2	1.24	V
EN Input Hysteresis				100		mV
EN Current		EN voltage < 1.1 V, sink current		0.13		μ A
		EN voltage > 1.2 V, source current		4		μ A
THERMAL SHUTDOWN						
Threshold				150		$^{\circ}$ C
Hysteresis				25		$^{\circ}$ C

¹ ピン相互間の測定値

絶対最大定格

表 2.

Parameter	Rating
PVIN, EN, PGOOD, RAMP	-0.3 V to +40 V
SW	-1 V to +40 V
BST	$V_{SW} + 6 V$
FB, SS, COMP, RT/SYNC	-0.3 V to +6 V
VREG	-0.3 V to +6 V
PGND to GND	-0.3 V to +0.3 V
Operating Junction Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Soldering Conditions	JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路ボード (PCB) の設計と動作環境に直接関係しています。PCB の熱設計には細心の注意を払う必要があります。

表 3. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-24-12 ¹	42.6	6.8	°C/W

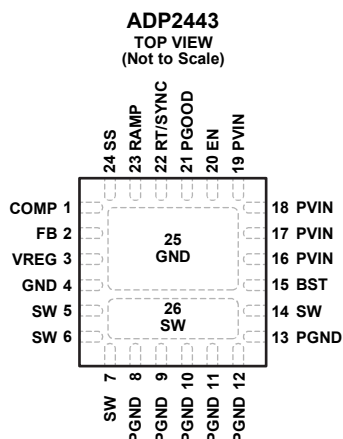
¹シミュレートされた熱抵抗値は、4層の JEDEC 標準ボードに基づいています。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. EXPOSED GND PAD. THE EXPOSED GND PAD MUST BE SOLDERED TO A LARGE, EXTERNAL, COPPER GND PLANE TO REDUCE THERMAL RESISTANCE.
 2. EXPOSED SW PAD. THE EXPOSED SW PAD MUST BE CONNECTED TO THE SW PINS OF THE ADP2443 BY USING SHORT, WIDE TRACES, OR SOLDERED TO A LARGE EXTERNAL SW COPPER PLANE TO REDUCE THERMAL RESISTANCE.

14794-004

図 4. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	COMP	エラー・アンプ出力。COMP と GND の間に RC ネットワークを接続します。
2	FB	帰還電圧の検出入力。このピンは出力電圧 V_{OUT} からの抵抗分圧器に接続します。
3	VREG	内部 5V レギュレータの出力。制御回路はこのピンから給電されます。このピンと GND の間に $1\mu\text{F}$ の X7R または X5R セラミック・コンデンサを接続します。
4	GND	アナログ・グラウンド。内部制御回路への帰線。
5、6、7、14	SW	スイッチ・ノードの出力。これらのピンを出力インダクタに接続します。
8～13	PGND	電源グラウンド。ローサイド・パワー MOSFET への帰線。
15	BST	ハイサイド・ゲート・ドライブ用の電源レール。SW と BST の間に $0.1\mu\text{F}$ の X7R または X5R コンデンサを接続します。
16～19	PVIN	電源入力。これらのピンは入力電源に接続し、これらのピンと PGND の間にバイパス・コンデンサを接続します。
20	EN	高精度のイネーブル・ピン。外付け抵抗分圧器を使用して、ターンオン閾値を設定できます。デバイスを自動的にイネーブルにするには、EN ピンを PVIN ピンに接続します。
21	PGOOD	パワーグッド出力（オープンドレイン）。 $10\text{ k}\Omega \sim 100\text{ k}\Omega$ のプルアップ抵抗を推奨します。
22	RT/SYNC	周波数設定 (RT)。RT と GND の間に抵抗を接続して、 $200\text{ kHz} \sim 1.8\text{ MHz}$ の範囲でスイッチング周波数を設定します。同期入力 (SYNC)。 $200\text{ kHz} \sim 1.8\text{ MHz}$ の範囲でスイッチング周波数を同期するには、このピンを外部クロックに接続します。詳細については、発振器のセクションと同期のセクションを参照してください。
23	RAMP	勾配補償の設定。勾配補償を設定するには、RAMP から PVIN に抵抗を接続します。
24	SS	ソフト・スタート制御。SS と GND の間に 1 個のコンデンサを接続して、ソフト・スタート時間を設定します。
25	EP、GND	GND の露出パッド。GND の露出パッドは、熱抵抗を低減できるように、大きな銅製の外付け GND プレーンにハンダ付けする必要があります。
26	EP、SW	SW の露出パッド。SW の露出パッドは、熱抵抗を低減できるように、短く幅広いパターンを使用して ADP2443 の SW ピンに接続するか、大きな銅製の外付け SW プレーンにハンダ付けする必要があります。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、 $L = 6.8\ \mu\text{H}$ 、 $C_{OUT} = 47\ \mu\text{F} \times 2$ 、 $f_{SW} = 600\ \text{kHz}$ 。

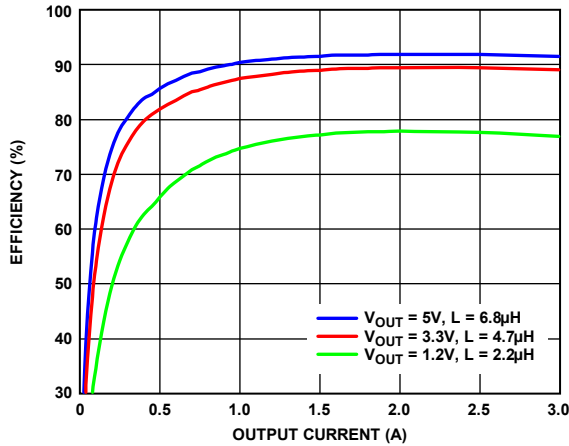


図 5. $V_{PVIN} = 24\text{ V}$ 、 $f_{SW} = 600\ \text{kHz}$ での効率

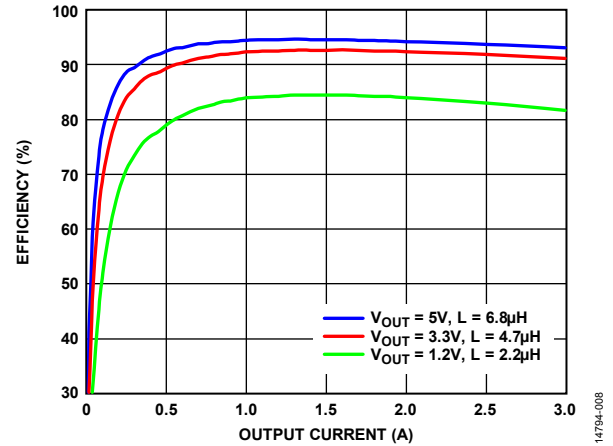


図 8. $V_{PVIN} = 12\text{ V}$ 、 $f_{SW} = 600\ \text{kHz}$ での効率

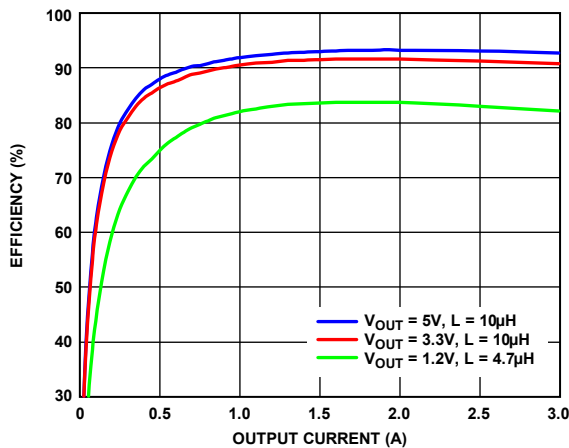


図 6. $V_{PVIN} = 24\text{ V}$ 、 $f_{SW} = 300\ \text{kHz}$ での効率

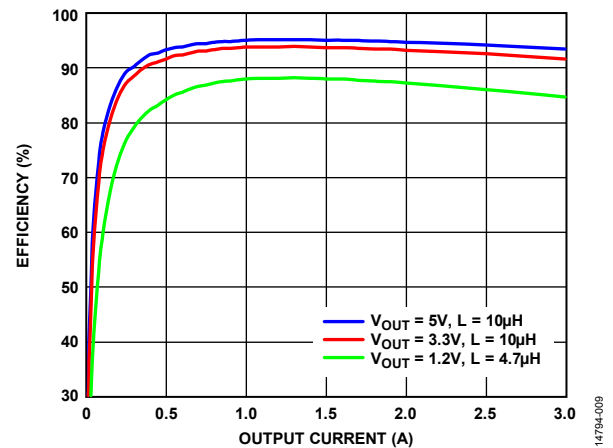


図 9. $V_{PVIN} = 12\text{ V}$ 、 $f_{SW} = 300\ \text{kHz}$ での効率

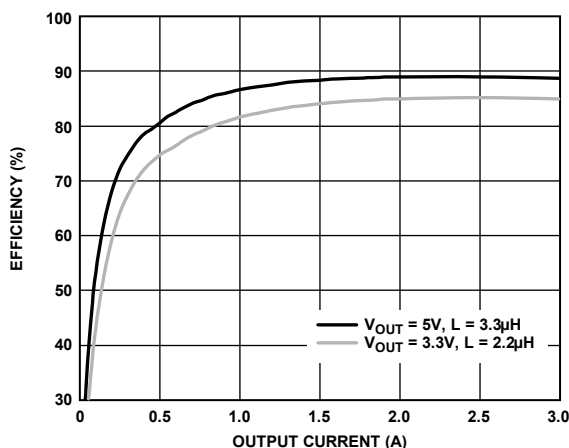


図 7. $V_{PVIN} = 24\text{ V}$ 、 $f_{SW} = 1.2\ \text{MHz}$ での効率

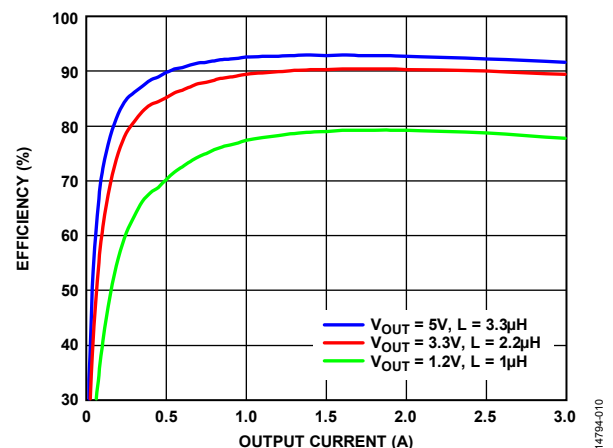


図 10. $V_{PVIN} = 12\text{ V}$ 、 $f_{SW} = 1.2\ \text{MHz}$ での効率

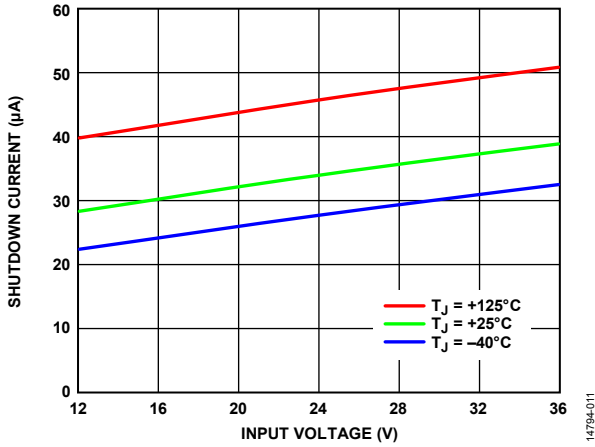


図 11. シャットダウン電流と入力電圧 (V_{PVIN}) の関係

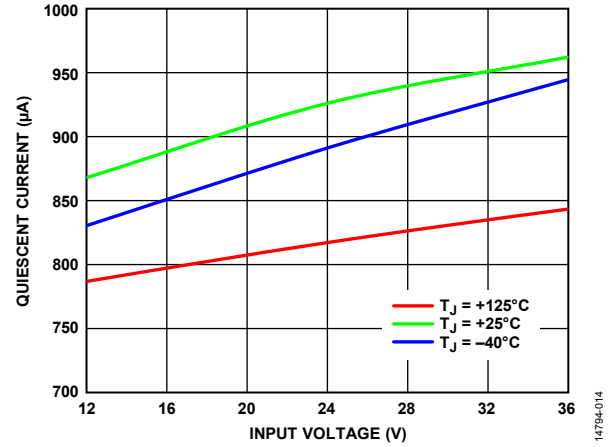


図 14. 静止電流と入力電圧 (V_{PVIN}) の関係

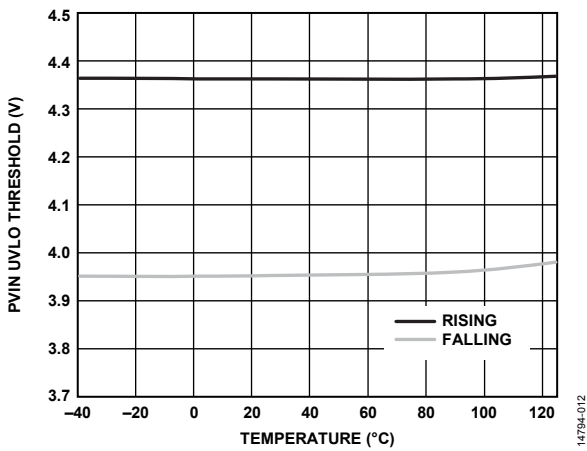


図 12. PVN UVLO 閾値と温度の関係

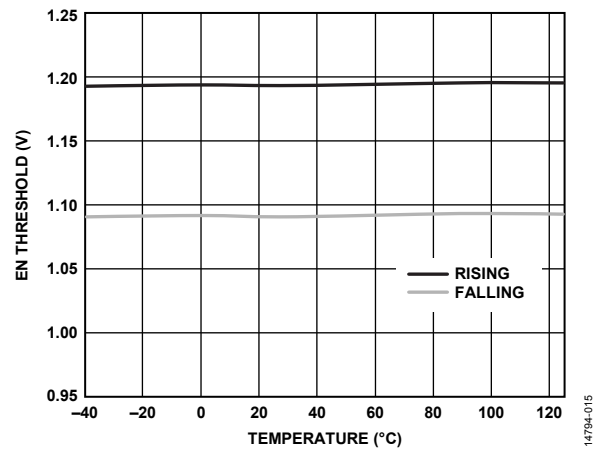


図 15. EN 閾値と温度の関係

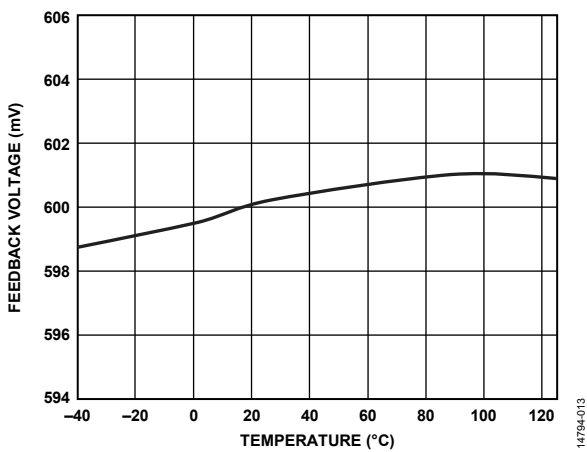


図 13. 帰還電圧と温度の関係

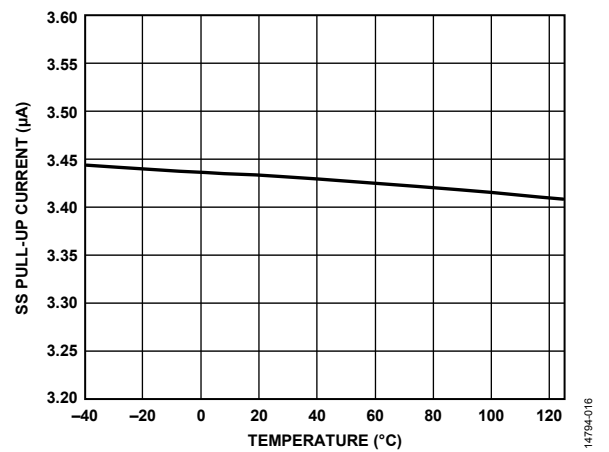


図 16. SS ピンのプルアップ電流と温度の関係

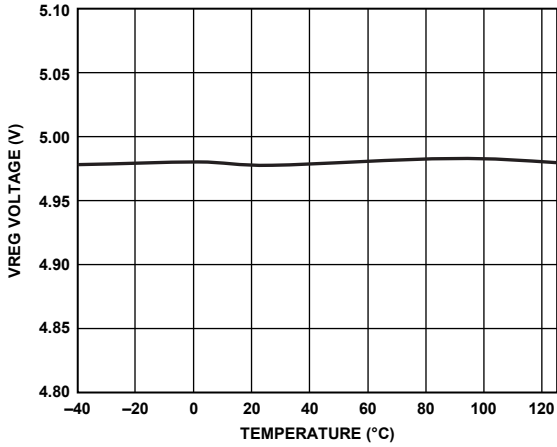


図 17. VREG 電圧と温度の関係

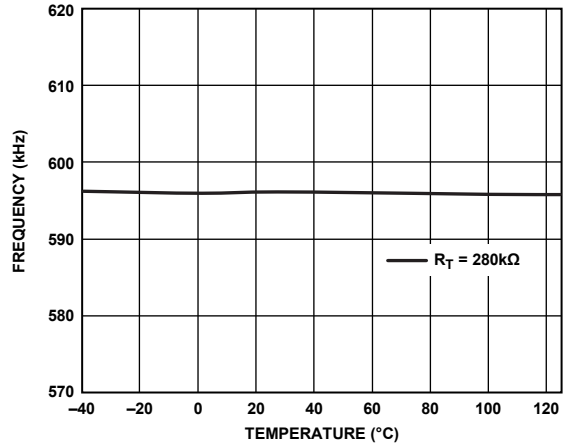


図 20. 周波数と温度の関係

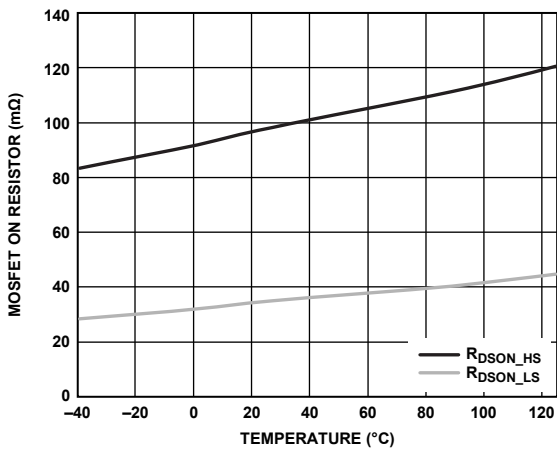


図 18. MOSFET のオン抵抗と温度の関係

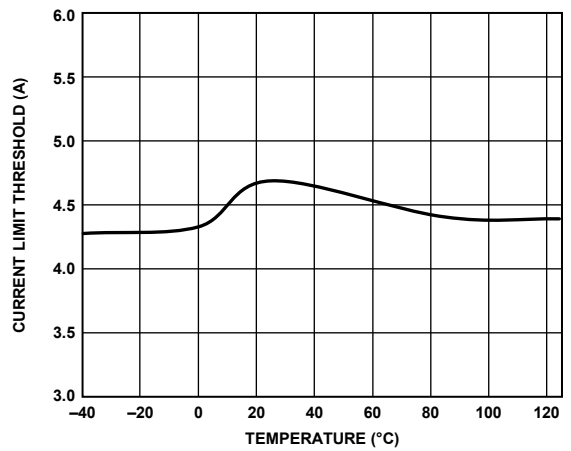


図 21. 電流制限の閾値と温度の関係

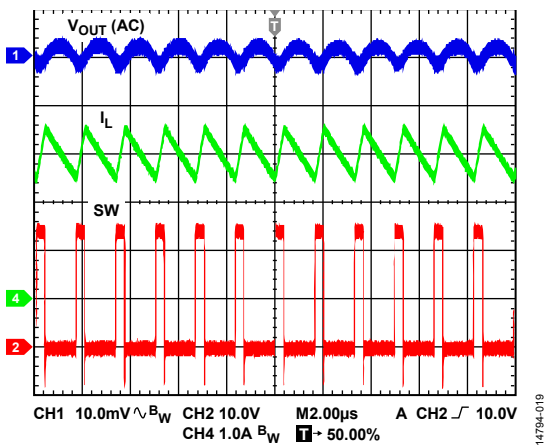


図 19. 動作モードの波形

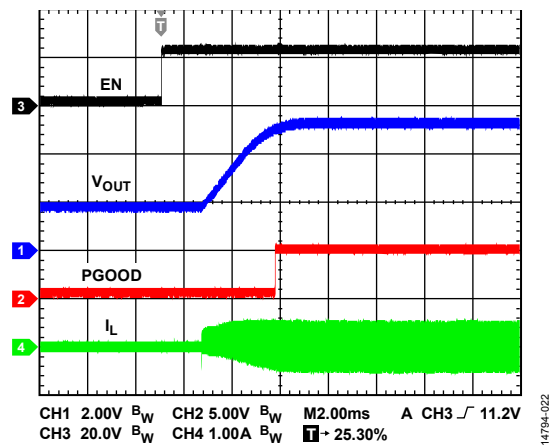


図 22. 電圧プリチャージ出力

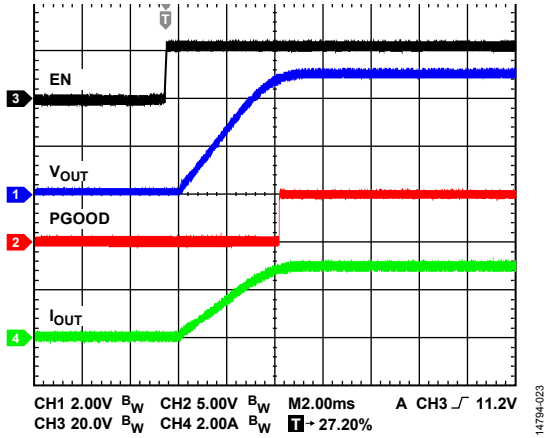


図 23. 最大負荷でのソフト・スタート

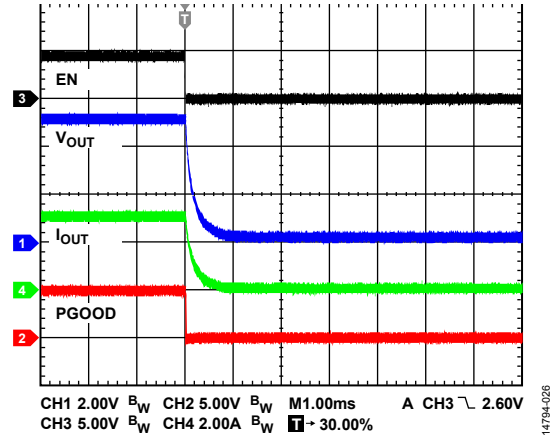


図 26. 最大負荷でのシャットダウン

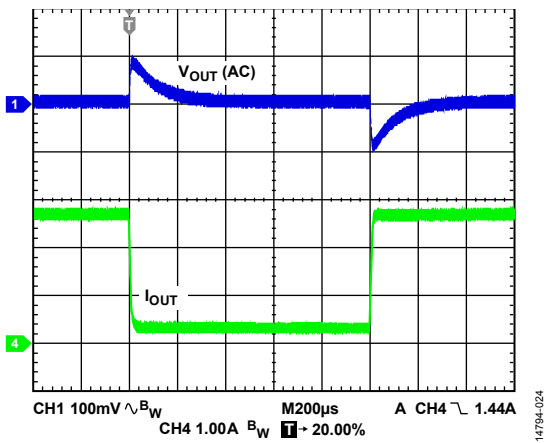


図 24. 負荷過渡応答、0.3 A ~ 2.7 A

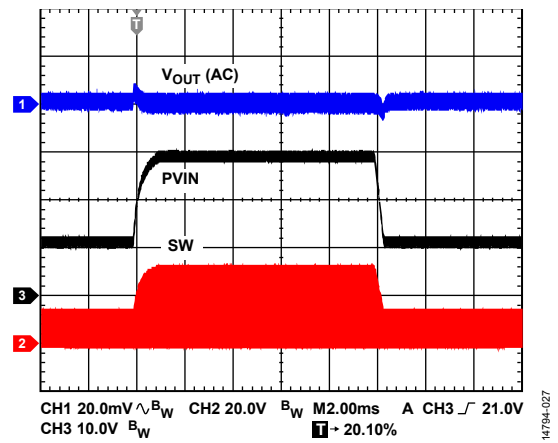


図 27. ライン過渡応答、 $V_{IN} = 12\text{ V} \sim 30\text{ V}$ 、 $I_{OUT} = 3\text{ A}$

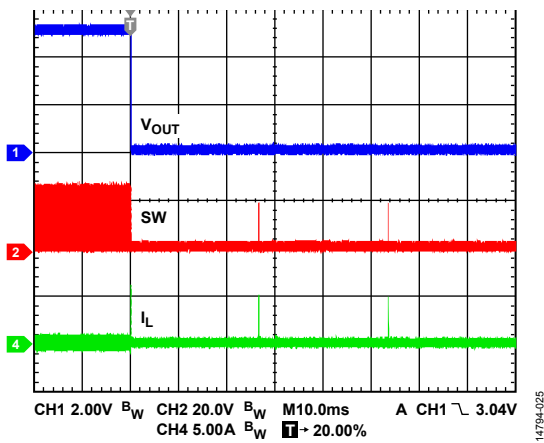


図 25. 出力短絡への移行

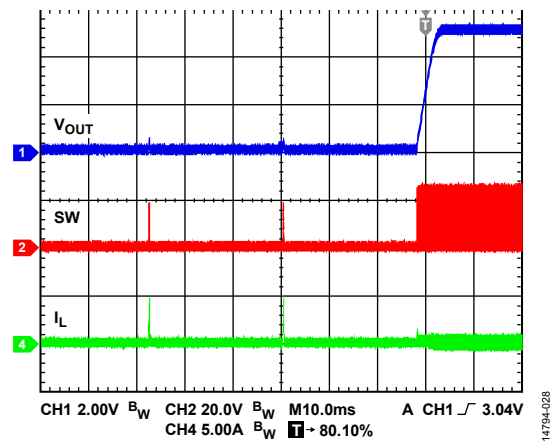


図 28. 出力短絡からの回復

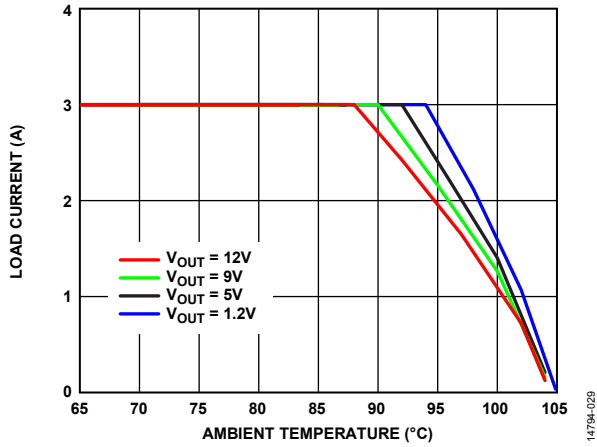


図 29. $V_{IN} = 24\text{ V}$ 、 $f_{SW} = 600\text{ kHz}$ 時の負荷電流と周囲温度の関係、ADP2443-EVALZ を使用して測定

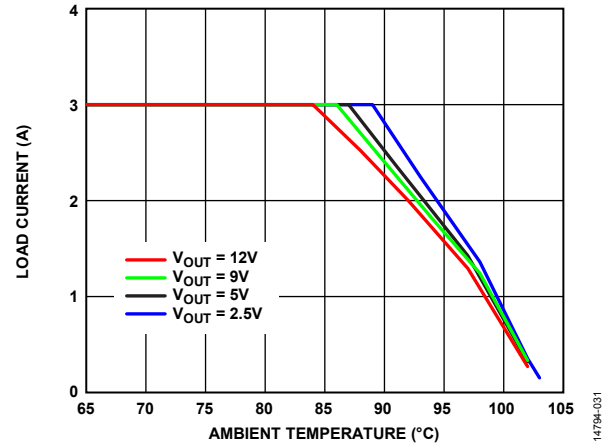


図 31. $V_{IN} = 36\text{ V}$ 、 $f_{SW} = 600\text{ kHz}$ 時の負荷電流と周囲温度の関係、ADP2443-EVALZ を使用して測定

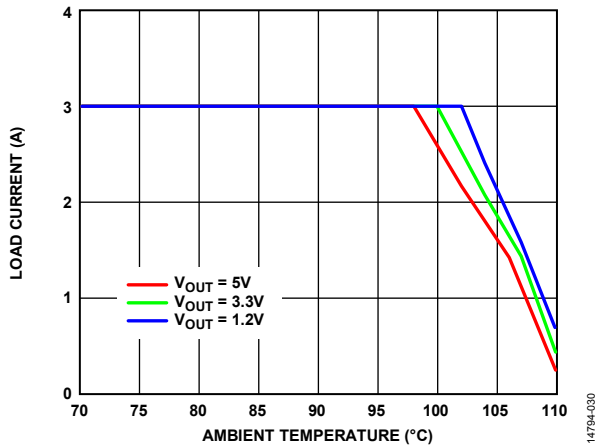


図 30. $V_{IN} = 12\text{ V}$ 、 $f_{SW} = 600\text{ kHz}$ 時の負荷電流と周囲温度の関係、ADP2443-EVALZ を使用して測定

動作原理

ADP2443 は同期整流降圧 DC/DC レギュレータであり、ハイサイド・パワー・スイッチとローサイド同期整流器を内蔵しています。また、エミュレートされた電流モード・アーキテクチャを採用しています。このレギュレータは、高い効率と設計の柔軟性を必要とする高性能アプリケーションを対象としています。

ADP2443 は 4.5 V ~ 36 V の入力電圧範囲で動作し、最小 0.6 V まで出力電圧を調整します。設計の柔軟性を最大限に発揮する追加機能として、プログラマブルなスイッチング周波数、プログラマブル・ソフト・スタート、外部補償、高精度イネーブル、パワー・グッド出力を挙げることができます。

制御方式

ADP2443 は固定周波数の電流モード PWM 制御アーキテクチャを使用して、高効率で低ノイズの動作を実現します。

ADP2443 は、RT/SYNC と GND の間に接続した抵抗で設定された固定周波数で動作します。図 32 に示すように、PWM 制御の目的でローサイド NFET (N チャンネル FET) の電流を使用します。オフ期間の最後に、バレー電流に関する情報が収集され、勾配ランプと組み合わせることで、エミュレートされた電流ランプ電圧が形成されます。勾配ランプ電圧は、RAMP と PVIN 間の抵抗で制御します。発振器の各サイクルの開始時に、ハイサイド NFET がオンになり、エミュレートされた電流ランプ電圧が COMP 電圧と交差するまでインダクタ電流が増加します。この時点で、ハイサイド NFET がオフになり、ローサイド NFET がオンになります。この結果、インダクタの両端に負の電圧が印加され、インダクタ電流が減少します。ローサイド NFET は、サイクルの残りの期間にわたってオン状態に保たれます。

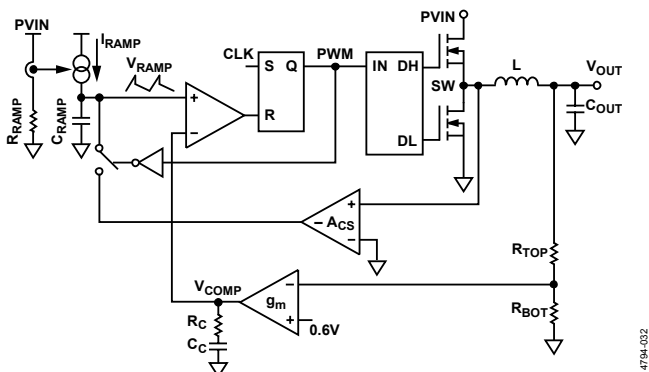


図 32. PWM 制御方式

高精度イネーブル/シャットダウン

EN 入力ピンは、1.2 V (typ) の高精度アナログ閾値と 100 mV のヒステリシスを備えています。イネーブル電圧が 1.2 V を超えると、レギュレータがオンになります。この電圧が 1.1 V (typ) を下回ると、レギュレータはオフになります。入力電力を加えたときにレギュレータを自動的に始動させるには、EN を PVIN に接続します。

高精度の EN ピンには、EN ピンがオープンの際にデフォルトでオフになるプルダウン電流源 (0.13 μA) が内蔵されています。

EN ピンの電圧が 1.2 V (typ) を超えると、ADP2443 がイネーブルになり、内部プルアップ電流が 4 μA まで増加します。これにより、PVIN UVLO とヒステリシスを設定できるようになります。

内蔵レギュレータ (VREG)

オンボード 5V レギュレータは、内部回路に安定した単電源電圧を供給します。VREG ピンと GND の間に 1 μF のセラミック・コンデンサを接続することが推奨されます。内蔵レギュレータは、外部負荷電流の最大値を超えたときに出力を保護する電流制限回路を備えています。

ブートストラップ回路

ADP2443 は、ハイサイド N-MOSFET のゲート駆動電圧を供給するレギュレータを内蔵しています。このレギュレータは、差動検出を使用して BST ピンと SW ピンの間に 5 V のブートストラップ電圧を生成します。

BST ピンと SW ピンの間に 0.1 μF の X7R または X5R セラミック・コンデンサを接続することが推奨されます。

発振器

ADP2443 のスイッチング周波数は、RT/SYNC ピンを使用して制御します。RTS/SYNC と GND の間の抵抗により、次式に従ってスイッチング周波数を設定できます。

$$f_{sw} \text{ (kHz)} = \frac{168,000}{R_T \text{ (k}\Omega)}$$

280 kΩ の抵抗で周波数が 600 kHz に設定され、560 kΩ の抵抗で周波数が 300 kHz に設定されます。図 33 に、f_{sw} と R_T の代表的な関係を示します。

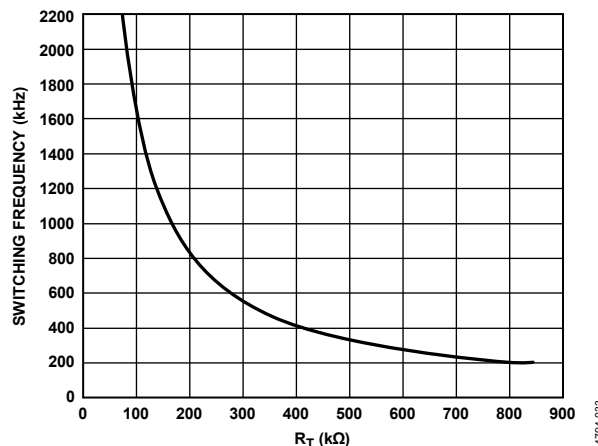


図 33. スイッチング周波数と R_T の関係

同期

ADP2443 を同期するには、外部クロックを RT/SYNC ピンに接続します。外部クロックの周波数は、200 kHz ~ 1.8 MHz の範囲で設定できます。同期している間、レギュレータは連続導通モード (CCM) で動作し、スイッチング波形の立ち上がりエッジは、外部クロックの立ち上がりエッジから 180° 異なる位相で発生します。

ADP2443 が同期モードで動作している場合、RT/SYNC ピンと GND の間に抵抗を接続し、内部発振器が、外部同期クロックの 80% ~ 120% で動作するように設定する必要があります。

ソフト・スタート

ADP2443 は SS ピンを使用して、ソフト・スタート時間を設定します。SS と GND の間にコンデンサを接続すると、内部電流がこのコンデンサを充電してソフト・スタートのランプが設定されます。ソフト・スタート時間 (t_{SS}) は以下の式を使って計算します。

$$t_{SS} = \frac{0.6V \times C_{SS}}{I_{SS}}$$

ここで

C_{SS} はソフト・スタート容量。

I_{SS} は、ソフト・スタート・ブルアップ電流の代表値 (3.4 μ A)。

パワーアップ前に出力電圧がプリチャージされると、ソフト・スタート電圧が FB ピンの電圧を超えるまで、ADP2443 によってローサイド MOSFET がオフに維持されます。

パワーグッド

パワーグッド・ピン (PGOOD) はアクティブ・ハイのオープンドレイン出力で、所定の電圧にプルアップする外付け抵抗が必要です。PGOOD ピンがロジック・ハイのとき、FB ピンの電圧 (つまり、出力電圧) がレギュレーションの範囲内にあることを表します。

パワー・グッド回路は、FB ピンの出力電圧を監視し、表 1 で仕様規定されている立上がりおよび立下りの閾値とこの電圧を比較します。立上がり出力電圧が目標値を上回った場合、PGOOD ピンはローに維持されます。立下り出力電圧が目標値に復帰するまで、PGOOD ピンは引き続きローに維持されます。

出力電圧が目標の出力電圧を下回った場合、PGOOD ピンはローに維持されます。立上がり出力電圧が目標値に復帰するまで、PGOOD ピンは引き続きローに維持されます。

パワーグッドの立上がりおよび立下りの閾値を図 34 に示します。PGOOD ピンがローからハイに、またはハイからローにプルされるまで、常に 16 サイクルの待機期間 (デグリッチ) が存在します。

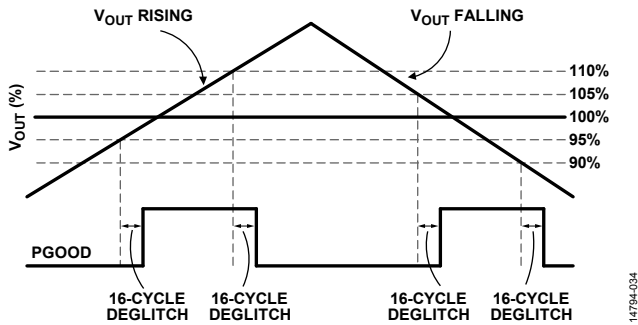


図 34. PGOOD の立上がりおよび立下りの閾値

ピーク電流制限と短絡保護

ADP2443 は、エミュレートされた電流ランプ電圧を使用して、サイクルごとの電流制限保護を実行し、電流の暴走を防止します。エミュレートされた電流ランプ電圧が、バレー電流制限の閾値とランプ電圧値の合計に達した時点で、ハイサイド MOSFET はオフになり、ローサイド MOSFET は次のサイクルまでオンになります。このプロセスの間、過電流カウンタは増加します。それ以外の場合、過電流カウンタは減少します。過電流カウンタが 10 に達するか、ソフト・スタート後に FB の電圧が 0.2 V を下回ると、

デバイスはヒカップ・モードに移行します。ヒカップ・モードの間、ハイサイド NFET とローサイド NFET はどちらもオフになります。デバイスは、7 回のソフト・スタート・サイクルにわたってヒカップ・モードを維持した後、ソフト・スタートからの再スタートを試みます。電流制限エラーがクリアされると、デバイスは通常動作を再開します。エラーがクリアされない場合、再度ヒカップ・モードになります。

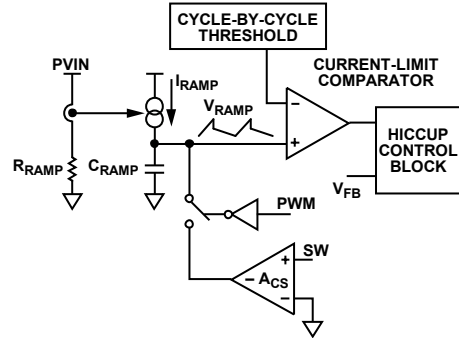


図 35. 電流制限回路

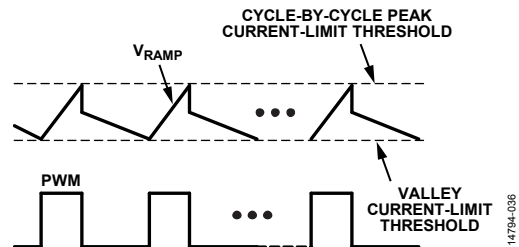


図 36. サイクルごとの電流制限波形

過電圧保護 (OVP)

ADP2443 は、高い電源圧への出力短絡や負荷切断時に生じる大きな過渡からレギュレータを保護する OVP (過電圧保護) 機能を備えています。帰還電圧が 0.7 V まで上昇すると、FB の電圧が 0.63 V に低下するまで内部のハイサイド MOSFET とローサイド MOSFET がオフになります。FB ピンの電圧が 0.63 V に低下すると、ADP2443 は通常動作を再開します。

低電圧ロックアウト (UVLO)

ADP2443 には UVLO 回路が組み込まれており、パワーオン・グリッチの発生を防止します。V_{PVIN} 電圧が 3.9 V (typ) を下回ると、デバイスはシャットダウンし、パワー・スイッチと同期整流器の両方がオフになります。V_{PVIN} 電圧が再度 4.3 V (typ) を上回ると、ソフト・スタート期間が開始され、デバイスはイネーブルになります。

サーマル・シャットダウン

ADP2443 のジャンクション温度が 150 °C を上回ると、内部サーマル・シャットダウン回路によってレギュレータがオフになり、自己保護の機能が有効になります。ジャンクション温度が極端に高くなる要因には、高電流での動作、PCB レイアウトの熱設計の不備、高い周囲温度などがあります。サーマル・シャットダウン回路には 25 °C のヒステリシスが存在するため、過熱状態が生じると、ADP2443 は内部温度が 125 °C を下回るまで通常動作に戻りません。回復時には、通常動作に戻る前にソフト・スタートが開始されます。

アプリケーション情報

入力コンデンサの選択

入力コンデンサは、PVIN でのスイッチ電流に起因する電圧リップルを低減する機能を果たします。入力コンデンサは PVIN ピンのできるだけ近くに配置してください。10 μ F ~ 47 μ F の範囲内にあるセラミック・コンデンサが推奨されます。この入力コンデンサ、ハイサイド N-MOSFET、ローサイド N-MOSFET によって形成されるループは、できるだけ小さくする必要があります。

入力コンデンサの定格電圧は、最大入力電圧よりも大きくする必要があります。入力コンデンサの RMS 定格電流は、次式で計算される値よりも大きくする必要があります。

$$I_{CIN_RMS} = I_{OUT} \times \sqrt{D \times (1 - D)}$$

出力電圧の設定

ADP2443 の出力電圧は、外付けの抵抗分圧器を使用して設定します。抵抗値は、次の式を使用して計算します。

$$V_{OUT} = 0.6 \times \left(1 + \frac{R_{TOP}}{R_{BOT}} \right)$$

FB のバイアス電流（最大 0.1 μ A）による出力電圧精度の低下を 0.5 %（最大）未満に制限するには、 $R_{BOT} < 30$ k Ω に設定してください。

表 5 に、さまざまな出力電圧に対応する抵抗分圧器の推奨値を示します。

表 5. さまざまな出力電圧に対応する抵抗分圧器の値

V _{OUT} (V)	R _{TOP} \pm 1% (k Ω)	R _{BOT} \pm 1% (k Ω)
1.0	10	15
1.2	10	10
1.5	15	10
1.8	20	10
2.5	47.5	15
3.3	10	2.21
5.0	22	3
8.0	44.2	3.57
10.0	39.2	2.49
12.0	52.3	2.74

電圧変換の制限

特定の入力電圧とスイッチング周波数に対応する最小出力電圧は、最小オン時間による制約を受けます。ADP2443 の最小オン時間の代表値は 50 ns です。特定の入力電圧と周波数に対応する最小出力電圧は、次の式を使用して計算できます。

$$\begin{aligned} V_{OUT_MIN} &= V_{IN} \times t_{MIN_ON} \times f_{SW} - (R_{DS_{ON_HS}} - R_{DS_{ON_LS}}) \times \\ &I_{OUT_MIN} \times t_{MIN_ON} \times f_{SW} - (R_{DS_{ON_LS}} + R_L) \times I_{OUT_MIN} \end{aligned} \quad (1)$$

ここで

V_{OUT_MIN} は最小出力電圧。

t_{MIN_ON} は最小オン時間。

f_{SW} はスイッチング周波数。

$R_{DS_{ON_HS}}$ はハイサイド MOSFET のオン抵抗。

$R_{DS_{ON_LS}}$ はローサイド MOSFET のオン抵抗。

I_{OUT_MIN} は最小出力電流。

R_L は、出力インダクタの直列抵抗値。

特定の入力電圧とスイッチング周波数に対応する最大出力電圧は、最小オフ時間と最大デューティ・サイクルによる制約を受けます。最小オフ時間の代表値は 200 ns です。

特定の入力電圧と周波数のときに、最小オフ時間による制限を受ける最大出力電圧は、次の式を使用して計算します。

$$\begin{aligned} V_{OUT_MAX} &= V_{IN} \times (1 - t_{MIN_OFF} \times f_{SW}) - (R_{DS_{ON_HS}} - R_{DS_{ON_LS}}) \times \\ &I_{OUT_MAX} \times (1 - t_{MIN_OFF} \times f_{SW}) - (R_{DS_{ON_LS}} + R_L) \times I_{OUT_MAX} \end{aligned} \quad (2)$$

ここで

V_{OUT_MAX} は最大出力電圧。

t_{MIN_OFF} は最小オフ時間。

I_{OUT_MAX} は最大出力電流。

式 1 と式 2 は、スイッチング周波数を低くすると、最小オン時間と最小オフ時間による制限が緩和されることを示しています。

インダクタの選択

インダクタ値は、動作周波数、入力電圧、出力電圧、インダクタのリップル電流によって決まります。値の小さいインダクタを使用すると、過渡応答が高速化しますが、インダクタのリップル電流が大きくなるのが原因で、効率は低下します。一方、値の大きいインダクタを使用すると、リップル電流は小さくなり、効率は改善されますが、過渡応答が低速になります。

通常の見目として、インダクタのリップル電流 (ΔI_L) は、最大負荷電流の 1/3 に設定します。次式を使用して、インダクタ値を計算します。

$$L = \frac{(V_{IN} - V_{OUT}) \times D}{\Delta I_L \times f_{SW}}$$

ここで

V_{IN} は入力電圧。

V_{OUT} は出力電圧。

D はデューティ・サイクル。

ΔI_L はインダクタの電流リップル。

f_{SW} はスイッチング周波数。

$$D = \frac{V_{OUT}}{V_{IN}}$$

ピーク・インダクタ電流は、次の式を使用して計算します。

$$I_{PEAK} = I_{OUT} + \frac{\Delta I_L}{2}$$

インダクタの飽和電流 (I_{SAT}) は、ピーク・インダクタ電流よりも大きくする必要があります。フェライト・コア・インダクタがすぐに飽和するのを防止するには、インダクタの定格飽和電流をスイッチの電流制限の閾値よりも大きくする必要があります。

次式を使用して、インダクタの RMS 電流を計算します。

$$I_{RMS} = \sqrt{I_{OUT}^2 + \frac{\Delta I_L^2}{12}}$$

低コア損失と低 EMI（電磁干渉）を実現するには、シールド付きフェライト・コア材料を使用することを推奨します。表 6 に、推奨インダクタを示します。

表 6. 推奨インダクタ

Vendor	Part Number	Value (μH)	I_{SAT} (A)	I_{RMS} (A)	DC Resistance (DCR) ($\text{m}\Omega$)
Toko	FDVE0630-R75M	0.75	10.9	10.7	6.2
	FDVE0630-1R0M	1.0	9.5	9.5	8.5
	FDVE1040-1R5M	1.5	13.7	14.6	4.6
	FDVE1040-2R2M	2.2	11.4	11.6	6.8
	FDVE1040-3R3M	3.3	9.8	9.0	10.1
	FDVE1040-4R7M	4.7	8.2	8.0	13.8
	FDVE1040-5R6M	5.6	7.9	7.3	18.0
	FDVE1040-6R8M	6.8	7.1	7.1	20.2
	FDVE1040-100M	10	6.1	5.2	34.1
CoilCraft	XAL5030-601ME	0.6	19.8	17.7	4.52
	XAL5030-801ME	0.8	18.5	13	5.65
	XAL6030-102ME	1.0	23	18	6.18
	XAL6030-122ME	1.2	22	16	7.5
	XAL6030-182ME	1.8	18.2	14	10.5
	XAL6030-222ME	2.2	15.9	10	14.0
	XAL6030-332ME	3.3	12.2	8	20.8
	XAL6060-472ME	4.7	10.5	11	16.4
	XAL6060-562ME	5.6	9.9	10	17.8
	XAL6060-682ME	6.8	9.2	9	20.8
	XAL6060-822ME	8.2	8.4	8	26.4
	XAL6060-103ME	10	7.6	7	29.8
	XAL6060-153ME	15	5.8	6	43.8
	XAL6060-223ME	22	5.6	5	60.6
Würth Elektronik	744 333 0068	0.68	38	20	1.35
	744 333 0082	0.82	36	20	1.35
	744 333 0100	1.0	27.5	20	1.35
	744 333 0150	1.5	27	18	2.5
	744 333 0220	2.2	22	16.5	3.7
	744 333 0330	3.3	15.5	14	5.4
	744 333 0470	4.7	15	13	8.2
	744 333 0680	6.8	11	11.5	13.2
	744 333 0820	8.2	8	11.5	13.2
	744 333 100 0	10	8	9	20.7
	744 373 490 068	0.68	26	12	4.5
	744 373 490 082	0.82	25	11.3	4.9
	744 373 490 10	1.0	19.5	10	6.5
	744 373 490 15	1.5	14.5	8	9
	744 373 490 22	2.2	14	7.5	12
	744 373 490 33	3.3	12	6	20.9
	744 373 490 47	4.7	11	5	30.8
	744 373 490 68	6.8	9.5	3.5	51.5
	744 373 490 82	8.2	9	3.3	63
	744 373 491 00	10	8	3.2	69
	744 373 492 20	22	6.5	2.1	170

出力コンデンサの選択

出力コンデンサの選択は、ステップ状の負荷過渡によるレギュレータの出力リップル電圧の変動とループの安定性に影響を与えます。

例えば、ステップ状の負荷過渡が発生しているときに、負荷が突然増加した場合、制御ループがインダクタ電流をランプ上昇させるまで、出力コンデンサが負荷に給電します。制御ループによって発生する遅延により、出力がアンダーシュートします。次式を使用して、電圧降下の条件を満たすのに必要な出力容量を計算します。

$$C_{OUT_UV} = \frac{K_{UV} \times \Delta I_{STEP}^2 \times L}{2 \times (V_{IN} - V_{OUT}) \times \Delta V_{OUT_UV}}$$

ここで

K_{UV} は係数。代表的な設定値は $K_{UV} = 2$ 。

ΔI_{STEP} は負荷ステップ。

ΔV_{OUT_UV} は出力電圧の許容アンダーシュート。

もう1つの例は、負荷が出力から突然切り離され、インダクタに蓄積されたエネルギーが出力コンデンサに突入すると、出力がオーバーシュートする場合に発生します。

次式を使用して、オーバーシュート条件を満たすのに必要な出力容量を計算します。

$$C_{OUT_OV} = \frac{K_{OV} \times \Delta I_{STEP}^2 \times L}{(V_{OUT} + \Delta V_{OUT_OV})^2 - V_{OUT}^2}$$

ここで

K_{OV} は係数。代表的な設定値は $K_{OV} = 2$ 。

ΔV_{OUT_OV} は出力電圧の許容オーバーシュート。

出力リップルは、等価直列抵抗 (ESR) と容量値によって求められます。次式を使用して、出力リップル条件を満たすコンデンサを選択します。

$$C_{OUT_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times \Delta V_{OUT_RIPPLE}}$$

ここで、 ΔV_{OUT_RIPPLE} は許容出力リップル電圧です。

$$R_{ESR} = \frac{\Delta V_{OUT_RIPPLE}}{\Delta I_L}$$

ここで、 R_{ESR} は出力コンデンサの等価直列抵抗 (Ω) です。

負荷トランジェントと出力リップル性能を満たすように、 C_{OUT_UV} 、 C_{OUT_OV} 、 C_{OUT_RIPPLE} から得られる最大出力容量を選択します。

選択した出力コンデンサの定格電圧は、出力電圧より大きくする必要があります。また、出力コンデンサの RMS 定格電流は、次式を使用して計算される値より大きくする必要があります。

$$I_{COUT_RMS} = \frac{\Delta I_L}{\sqrt{12}}$$

入力電圧 UVLO の設定

ADP2443 は、入力電圧の UVLO 閾値を設定するために使用できる高精度イネーブル入力を実装しています (図 37 を参照)。

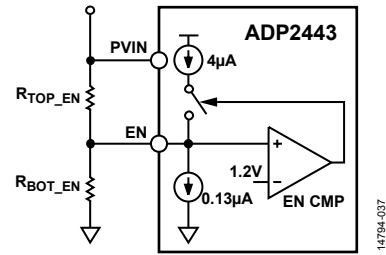


図 37. 入力電圧 UVLO の設定

次式を使用して、 R_{TOP_EN} と R_{BOT_EN} を計算します。

$$R_{TOP_EN} = \frac{1.1V \times V_{IN_RISING} - 1.2V \times V_{IN_FALLING}}{1.1V \times 0.13\mu A + 1.2V \times 3.87\mu A}$$

ここで

V_{IN_RISING} は V_{IN} の立上がり閾値。

$V_{IN_FALLING}$ は V_{IN} の立下がり閾値。

$$R_{BOT_EN} = \frac{1.2V \times R_{TOP_EN}}{V_{IN_RISING} - R_{TOP_EN} \times 0.13\mu A - 1.2V}$$

勾配補償の設定

電流モード制御アーキテクチャでは、低調波の発振を防止し、安定した出力を維持するために、勾配補償が必要です。ADP2443 は、エミュレートされた電流モードを採用し、RAMP ピンと PVIN ピンの間に抵抗 (R_{RAMP}) を接続する方法で勾配補償を実装しています。

理論的には、システムを安定化するうえで、 $V_{OUT}/(2 \times L)$ という追加の勾配が十分な役割を果たします。どのノイズも 1 サイクルのうちに確実に減衰し、低調波発振の影響からシステムを保護して安定させるため、ADP2443 は V_{OUT}/L という追加の勾配を使用します。

次式を使用して、ランプ抵抗の値 R_{RAMP} を計算します。

$$R_{RAMP} = \frac{L \times 10^{12}}{3.9}$$

ここで、 L はインダクタ値です。

補償回路の設計

ADP2443 は、エミュレートされた電流モード制御アーキテクチャを採用しています。このアーキテクチャは、従来のピーク電流モードと同等の高速ライン過渡応答に、高い入力電圧を非常に低い出力電圧に変換する能力を組み合わせたものです。さらに、エミュレートされた回路モードの小信号特性は、従来のピーク電流モードとほぼ同等です。したがって、従来のピーク電流モードで使用される補償ネットワークの設計は、エミュレートされた電流モード制御でも使用できます。

出力段を簡略化すれば、出力コンデンサと負荷抵抗に電流を供給する、電圧制御された電流源として扱うことができます。この段は、1 つの領域極と 1 つのゼロ点によって形成されています。

制御から出力までの伝達関数は、次式に基づいています。

$$G_{VD}(s) = \frac{V_{OUT}(s)}{V_{COMP}(s)} = A_{VI} \times R \times \frac{\left(1 + \frac{s}{2\pi \times f_Z}\right)}{\left(1 + \frac{s}{2\pi \times f_P}\right)}$$

ここで
 $A_{VI} = 10 \text{ A/V}$ 。
 R は負荷抵抗。

$$f_Z = \frac{1}{2\pi \times R_{ESR} \times C_{OUT}}$$

ここで
 R_{ESR} は、出力コンデンサの ESR（等価直列抵抗）。
 C_{OUT} は出力コンデンサ。

$$f_P = \frac{1}{2\pi \times (R + R_{ESR}) \times C_{OUT}}$$

ADP2443 は、誤差アンプとしてトランスコンダクタンス・アンプを使用し、システムを補償します。Figure 38 に、簡略化したピーク電流モード制御の小信号回路を示します。

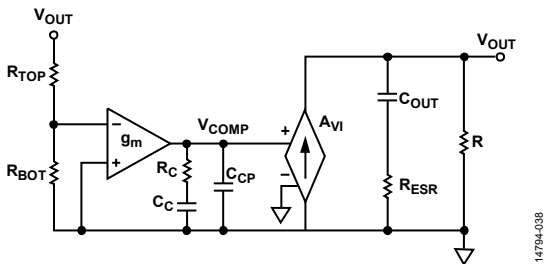


図 38. 簡略化したピーク電流モード制御の小信号回路

補償部品 R_C と C_C はゼロ点に寄与し、オプションの C_{CP} と R_C はオプションの極に寄与しています。

クローズドループ伝達関数の式は次のようになります。

$$T_V(s) = \frac{R_{BOT}}{R_{BOT} + R_{TOP}} \times \frac{-g_m}{C_C + C_{CP}} \times$$

$$\frac{1 + R_C \times C_C \times s}{s \times \left(1 + \frac{R_C \times C_C \times C_{CP} \times s}{C_C + C_{CP}}\right)} \times G_{VD}(s)$$

以下の設計ガイドラインに、セラミック出力コンデンサのアプリケーション用に補償部品 R_C 、 C_C 、 C_{CP} を選択する方法を示します。

1. クロス周波数 f_C を決定します。通常、 f_C は $f_{sw}/12 \sim f_{sw}/6$ の範囲に収まります。
2. 次式を使用して R_C を算出します。

$$R_C = \frac{2 \times \pi \times V_{OUT} \times C_{OUT} \times f_C}{0.6V \times g_m \times A_{VI}}$$

3. ドメイン極 f_P に補償ゼロ点を配置した後、次式で C_C を決定します。

$$C_C = \frac{(R + R_{ESR}) \times C_{OUT}}{R_C}$$

4. C_{CP} はオプションです。この部品は、出力コンデンサの ESR によって生じるゼロ点を打ち消す目的で使用します。

$$C_{CP} = \frac{R_{ESR} \times C_{OUT}}{R_C}$$

ADISIMPOWER 設計ツール

ADP2443 は、ADIsimPower™ 設計ツール・セットによってサポートされています。ADIsimPower は、特定の設計目標に合わせて最適化された電源デザインを生成するツールのコレクションです。このツールを使用すると、わずか数分間ですべての必要な回路図と部品表を作成し、性能を計算することができます。ADIsimPower では、IC とすべての外付け部品の動作条件および制限事項を考慮したうえで、コスト、面積、効率、部品数を最適化できます。ADIsimPower デザイン・ツールの詳細については、www.analog.com/jp/ADIsimPower をご覧ください。この Web サイトからこのツール・セットを入手する以外に、まだ掲載されていないボードに対応するデータを請求することもできます。

設計例

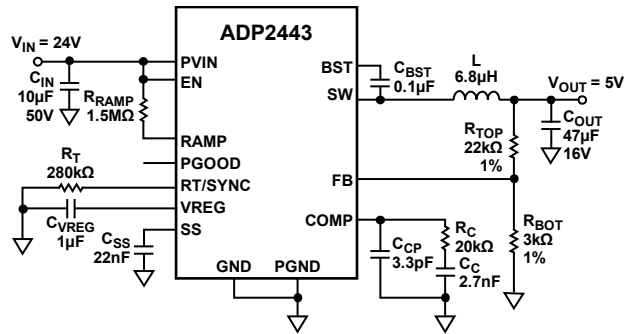


図 39. 設計例の回路図

ここでは、表 7 に示す仕様の例を基に、外付け部品を選択する手順について説明します。この設計例に対応する回路図については、図 39 を参照してください。

表 7. ステップダウン DC/DC レギュレータの条件

Parameter	Symbol	Specification
Input Voltage	V_{IN}	$V_{IN} = 24.0 \text{ V} \pm 10\%$
Output Voltage	V_{OUT}	$V_{OUT} = 5 \text{ V}$
Output Current	I_{OUT}	$I_{OUT} = 3 \text{ A}$
Output Voltage Ripple	ΔV_{OUT_RIPPLE}	$\Delta V_{OUT_RIPPLE} = 50 \text{ mV}$
Load Transient	I_{LOAD}	$\pm 5\%, 0.5 \text{ A to } 2.5 \text{ A}, 2 \text{ A}/\mu\text{s}$
Switching Frequency	f_{SW}	$f_{SW} = 600 \text{ kHz}$

出力電圧の設定

トップ帰還抵抗 (R_{TOP}) として 22 k Ω の抵抗を選択し、次式を使用してボトム帰還抵抗 (R_{BOT}) を計算します。

$$R_{BOT} = R_{TOP} \times \left(\frac{0.6}{V_{OUT} - 0.6} \right)$$

出力電圧を 5 V に設定する場合、抵抗の値は次のようになります。
 $R_{TOP} = 22 \text{ k}\Omega$ 、 $R_{BOT} = 3 \text{ k}\Omega$ 。

周波数の設定

スイッチング周波数を 600 kHz に設定するには、RT/SYNC ピンと GND の間に 280 k Ω の抵抗を接続します。

インダクタの選択

インダクタ・リップル電流のピーク to ピーク値 (ΔI_L) は、最大出力電流の 30% に設定されます。次式でインダクタ値を求めます。

$$L = \frac{(V_{IN} - V_{OUT}) \times D}{\Delta I_L \times f_{SW}}$$

ここで

$V_{IN} = 24 \text{ V}$ 、

$V_{OUT} = 5 \text{ V}$ 、

$D = 0.208$ 。

$\Delta I_L = 0.9 \text{ A}$ 、

$f_{SW} = 600 \text{ kHz}$ 。

この計算の結果、 $L = 7.33 \mu\text{H}$ になります。標準インダクタ値 6.8 μH を選択します。

ピーク to ピークのインダクタ・リップル電流は、次の式を使用して計算できます。

$$\Delta I_L = \frac{(V_{IN} - V_{OUT}) \times D}{L \times f_{SW}}$$

この計算の結果、 $\Delta I_L = 0.97 \text{ A}$ になります。

次の式を使用して、ピーク・インダクタ電流を計算します。

$$I_{PEAK} = I_{OUT} + \frac{\Delta I_L}{2}$$

この計算の結果、 $I_{PEAK} = 3.49 \text{ A}$ になります。

次の式を使用して、インダクタに流入する RMS 電流を計算します。

$$I_{RMS} = \sqrt{I_{OUT}^2 + \frac{\Delta I_L^2}{12}}$$

この計算の結果、 $I_{RMS} = 3.013 \text{ A}$ になります。

計算された電流値に基づいて、最小定格 RMS 電流が 3.013 A、最小定格飽和電流が 3.49 A のインダクタを選択します。

ただし、電流制限状態でインダクタが飽和点に達するのを防いで、信頼性の高い状態で動作させるには、インダクタの定格飽和電流を 5.1 A 以上にする必要があります。

これまでに説明した条件に基づき、東光の FDVE1040-6R8M のような 6.8 μH インダクタを選択します。この製品の DCR は 20.2 m Ω 、飽和電流は 7.1 A です、

出力コンデンサの選択

出力コンデンサは、出力電圧リップルと負荷過渡応答の両方の条件を満たす必要があります。

出力電圧のリップル条件を満たすには、次式を使用して出力コンデンサの ESR と容量値を計算します。

$$C_{OUT_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times \Delta V_{OUT_RIPPLE}}$$

$$R_{ESR} = \frac{\Delta V_{OUT_RIPPLE}}{\Delta I_L}$$

この計算の結果、 $C_{OUT_RIPPLE} = 4.04 \mu\text{F}$ 、 $R_{ESR} = 51.5 \text{ m}\Omega$ になります。

$\pm 5\%$ のオーバーシュートおよびアンダーシュートの過渡条件を満たすには、次式を使用して容量を計算します。

$$C_{OUT_OV} = \frac{K_{OV} \times \Delta I_{STEP}^2 \times L}{(V_{OUT} + \Delta V_{OUT_OV})^2 - V_{OUT}^2}$$

ここで

$K_{OV} = K_{UV} = 2$ 、評価を目的とした係数。

$\Delta I_{STEP} = 2 \text{ A}$ 、負荷過渡応答ステップ。

$\Delta V_{OUT_OV} = 5\% \times V_{OUT}$ 、オーバーシュート電圧。

$$C_{OUT_UV} = \frac{K_{UV} \times \Delta I_{STEP}^2 \times L}{2 \times (V_{IN} - V_{OUT}) \times \Delta V_{OUT_UV}}$$

$\Delta V_{OUT_UV} = 5\% \times V_{OUT}$ 、アンダーシュート電圧。

この計算の結果、 $C_{OUT_OV} = 21.2 \mu\text{F}$ 、 $C_{OUT_UV} = 5.7 \mu\text{F}$ になります。

計算に従い、出力容量を $21.2 \mu\text{F}$ より大きくし、出力コンデンサの ESR を $51.5 \text{ m}\Omega$ 未満にする必要があります。1 個の $47 \mu\text{F}$ 、X5R、 16 V セラミック・コンデンサ（村田製作所の GRM32ER61C476KE15K、 $\text{ESR} = 2 \text{ m}\Omega$ など）を使用することを推奨します。

勾配補償の設定

ランプ抵抗 R_{RAMP} により、勾配補償が決まります。次式を使用して、 R_{RAMP} の値を計算します。

$$R_{RAMP} = \frac{L \times 10^{12}}{3.9} = \frac{6.8 \mu\text{H} \times 10^{12}}{3.9} = 1.74 \text{ M}\Omega$$

次のように、標準部品の値を選択します。 $R_{RAMP} = 1.5 \text{ M}\Omega$ 。

補償部品

優れた負荷過渡応答と安定性を実現するには、クロス周波数 (f_c) を $f_{SW}/10$ に設定します。この場合、 f_{SW} は 600 kHz で動作しているため、 f_c は 60 kHz に設定されます。

$47 \mu\text{F}$ セラミック出力コンデンサのディレーティング値は $32 \mu\text{F}$ です。

$$R_C = \frac{2 \times \pi \times 5 \text{ V} \times 32 \mu\text{F} \times 60 \text{ kHz}}{0.6 \text{ V} \times 515 \mu\text{s} \times 10 \text{ A/V}} = 19.5 \text{ k}\Omega$$

$$C_C = \frac{1.667 \Omega + 0.002 \Omega \times 32 \mu\text{F}}{19.5 \text{ k}\Omega} = 2739 \text{ pF}$$

$$C_{CP} = \frac{0.002 \Omega \times 32 \mu\text{F}}{19.5 \text{ k}\Omega} = 3.3 \text{ pF}$$

次のように、標準部品を選択します。 $R_C = 20 \text{ k}\Omega$ 、 $C_C = 2700 \text{ pF}$ 、 $C_{CP} = 3.3 \text{ pF}$ 。

図 40 に、 3 A の負荷電流に対応するボデ線図を示します。交差周波数は 59 kHz 、位相マージンは 66° です。

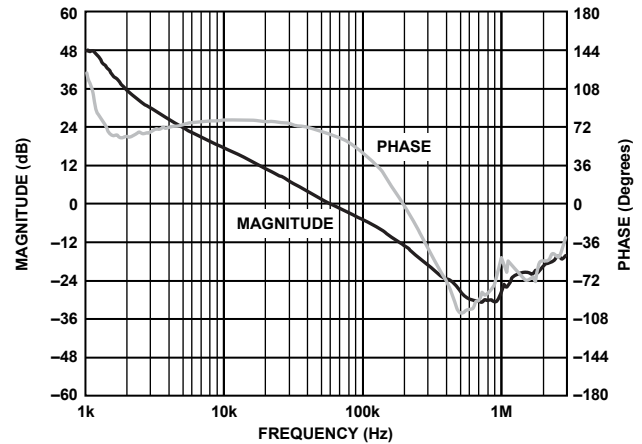


図 40. 3 A の場合のボデ線図

ソフト・スタート時間の設定

ソフト・スタート機能を使用することで、出力電圧を制御しながらランプ上昇し、ソフト・スタート時に出力電圧のオーバーシュートがなくなり、突入電流が制限されます。ソフト・スタート時間は 4 ms に設定します。

$$C_{SS} = \frac{t_{SS_EXT} \times I_{SS}}{0.6 \text{ V}} = \frac{4 \text{ ms} \times 3.4 \mu\text{A}}{0.6 \text{ V}} = 22.7 \text{ nF}$$

次のように、標準部品の値を選択します。 $C_{SS} = 22 \text{ nF}$ 。

入力コンデンサの選択

最小 $10 \mu\text{F}$ のセラミック・コンデンサを P_{VIN} ピンの近くに配置する必要があります。このアプリケーションでは、 $10 \mu\text{F}$ 、X5R、 50 V のセラミック・コンデンサを 1 個使用することが推奨されます。

推奨される外付け部品

表 8. 出力電流 3 A の代表的なアプリケーションに推奨される外付け部品

f_{SW} (kHz)	V_{IN} (V)	V_{OUT} (V)	L (μ H)	C_{OUT} (μ F) ¹	R_{TOP} (k Ω)	R_{BOT} (k Ω)	R_{RAMP} (k Ω)	R_C (k Ω)	C_C (pF)	C_{CP} (pF)
300	12	1	3.3	470 + 100	10	15	845	33.2	5600	120
		1.2	3.3	330 + 100	10	10	845	29.4	5600	100
		1.5	4.7	330	15	10	1000	30.9	5600	100
		1.8	4.7	220	20	10	1000	24.9	5600	82
		2.5	6.8	3 × 100	47.5	15	1500	28	5600	12
		3.3	8.2	2 × 100	10	2.21	2700	24.9	5600	10
		5	10	2 × 47	22	3	2700	18.7	5600	6.8
		24	1	3.3	470 + 100	10	15	845	33.2	5600
	24	1.2	4.7	470 + 100	10	10	1000	40.2	5600	100
		1.5	4.7	330	15	10	1000	30.9	5600	100
		1.8	6.8	330	20	10	1500	37.4	5600	82
		2.5	8.2	220	47.5	15	2700	34.8	5600	68
		3.3	10	3 × 100	10	2.21	2700	37.4	5600	10
		5	15	2 × 100	22	3	3300	28	5600	6.8
		8	22	2 × 47	44.2	3.57	5600	22.1	5600	3.9
		12	22	47	52.3	2.74	5600	10.5	5600	2.7
600	12	1	1.5	220 + 47	10	15	383	31.6	2700	56
		1.2	2.2	220 + 47	10	10	562	37.4	2700	47
		1.5	2.2	3 × 100	15	10	562	34	2700	10
		1.8	3.3	3 × 100	20	10	845	41.2	2700	8.2
		2.5	3.3	100 + 47	47.5	15	845	28	2700	6.8
		3.3	4.7	2 × 47	10	2.21	1000	24.9	2700	4.7
		5	4.7	47	22	3	1000	18.7	2700	3.3
		24	1.2	2.2	220 + 47	10	10	562	37.4	2700
	24	1.5	2.2	3 × 100	15	10	562	34	2700	10
		1.8	3.3	3 × 100	20	10	845	41.2	2700	8.2
		2.5	4.7	2 × 100	47.5	15	1000	37.4	2700	6.8
		3.3	4.7	2 × 47	10	2.21	1000	24.9	2700	4.7
		5	6.8	100	22	3	1500	28	2700	3.3
		8	10	47	44.2	3.57	2700	22.1	2700	1.8
		12	10	47	52.3	2.74	2700	21	2700	1.2
		1200	12	1.2	1	2 × 100	10	10	255	36.5
1.5	1			2 × 47	15	10	255	22.6	1200	5.6
1.8	1.5			100 + 47	20	10	383	41.2	1200	4.7
2.5	1.5			100	47.5	15	383	37.4	1200	3.3
3.3	2.2			47	10	2.21	562	24.9	1200	2.2
5	2.2			47	22	3	562	37.4	1200	1.5
24	2.5		2.2	100	47.5	15	562	37.4	1200	3.3
	3.3		2.2	47	10	2.21	562	24.9	1200	2.2
	5		3.3	47	22	3	845	37.4	1200	1.5
	8		4.7	47	44.2	3.57	1000	44.2	1200	1
	12		4.7	47	52.3	2.74	1000	42.2	1200	0.5

¹ 680 μ F: 4 V、KEMET T520Y687M004ATE010、470 μ F: 6.3 V、KEMET T520X477M006ATE010、330 μ F: 6.3 V、KEMET T520D337M006ATE009、220 μ F: 6.3 V、KEMET T520D227M006ATE009、100 μ F: 6.3 V、X5R、村田製作所 GRM32ER60J107ME20、47 μ F: 16 V、X5R、村田製作所 GRM32ER61C476KE15K

推奨されるプリント回路基板レイアウト

ADP2443 の性能を最大限に引き出すには、優れた PCB (プリント回路基板) レイアウトを採用することが重要です。優れた PCB レイアウトを採用しないと、出力レギュレーションの性能が低下するだけでなく、電磁場干渉 (EMI) と電磁両立性 (EMC) の性能も低下します。図 42 に、ADP2443 の優れた PCB レイアウトの例を示します。最適のレイアウトを実現するには、次のガイドラインに従ってください。

- アナログ・グラウンド・プレーンとパワー・グラウンド・プレーンを分離します。出力分圧の部品、補償部品、周波数を設定する部品、ソフト・スタート・コンデンサなど、感受性の高いアナログ回路のグラウンド基準をアナログ・グラウンド (GND) に接続します。さらに、入力コンデンサや出力コンデンサのような電源コンポーネントのグラウンド基準は、電源グラウンドに接続します。両方のグラウンド・プレーンを ADP2443 の GND の露出パッドに接続します。
- 入力コンデンサ、インダクタ、出力コンデンサをできるだけ IC の近くに配置し、短いパターンを使用します。
- 高電流のループ・パターンはできるだけ短く、幅広くします。入力コンデンサからインダクタ、出力コンデンサ、電源グラウンド・プレーンを経由して入力コンデンサに戻る高電流経路はできるだけ短くします。これを達成するには、入力コンデンサと出力コンデンサが同じ電源グラウンド・プレーンを共有するようにします。さらに、電源グラウンド・プレーンからインダクタと出力コンデンサを経由して電源グラウンド・プレーンに戻る高電流経路はできるだけ短くします。このため、入力コンデンサと出力コンデンサのできるだけ近くで ADP2443 の PGND ピンを PGND プレーンに接続します。

- ADP2443 の GND の露出パッドは、大きな銅製の外付けグラウンド・プレーンに接続して、消費電力を最大にし、ジャンクション温度を最小限に抑えます。さらに、SW の露出パッドは、短く幅の広いパターンを使用して ADP2443 の SW ピンに接続します。高電流が流れる場合、SW の露出パッドはスイッチング・ノードの大きな銅製プレーンに接続します。
- ノイズの混入を防ぐため、FB ピンのできるだけ近くに帰還抵抗分圧器を設置します。帰還抵抗分圧器の上部と出力を接続するパターンは、長さを最小限に抑え、高電流パターンとスイッチング・ノードから離して、ノイズの混入を防止します。ノイズの混入をさらに減らすため、アナログ・グラウンド・プレーンを FB パターンの片方に配置し、このパターンができるだけ短くなるようにして、寄生容量による混入を減らします。

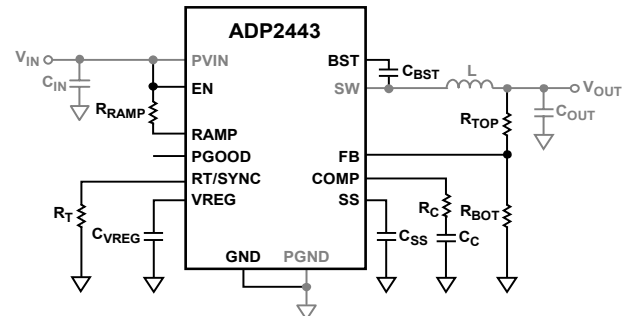


図 41. PCB 回路の高電流経路

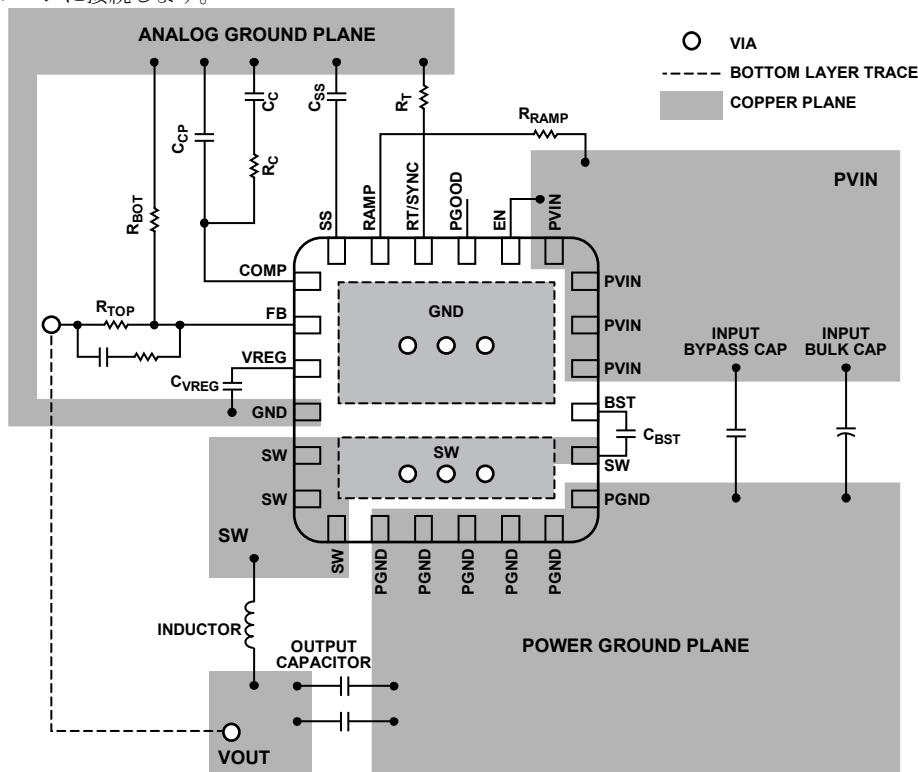


図 42. 推奨される PCB レイアウト

代表的なアプリケーション回路

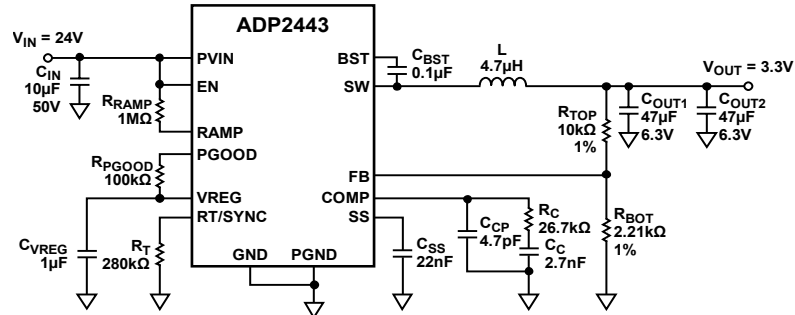


図 43. 代表的なアプリケーション回路、 $V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 3.3\text{ V}$ 、 $I_{OUT} = 3\text{ A}$ 、 $f_{SW} = 600\text{ kHz}$

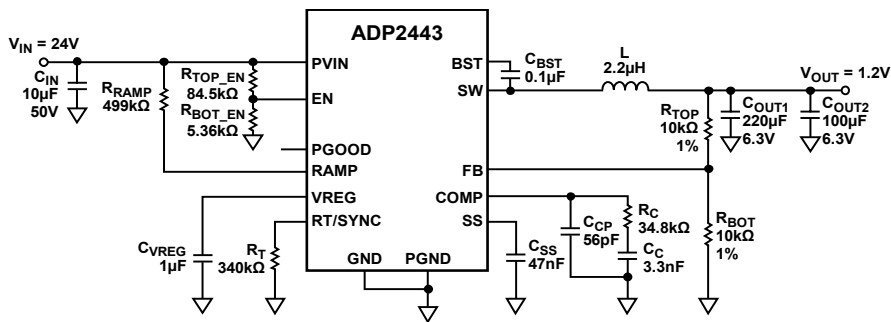


図 44. プログラマブル入力電圧 UVLO の立上がり閾値は 20 V、立下がり閾値は 18 V、 $V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 1.2\text{ V}$ 、 $I_{OUT} = 3\text{ A}$ 、 $f_{SW} = 500\text{ kHz}$

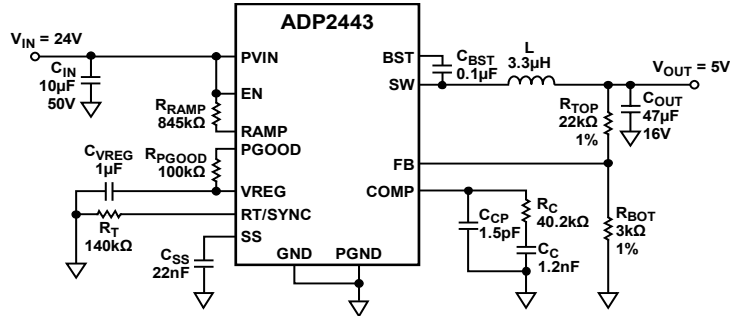
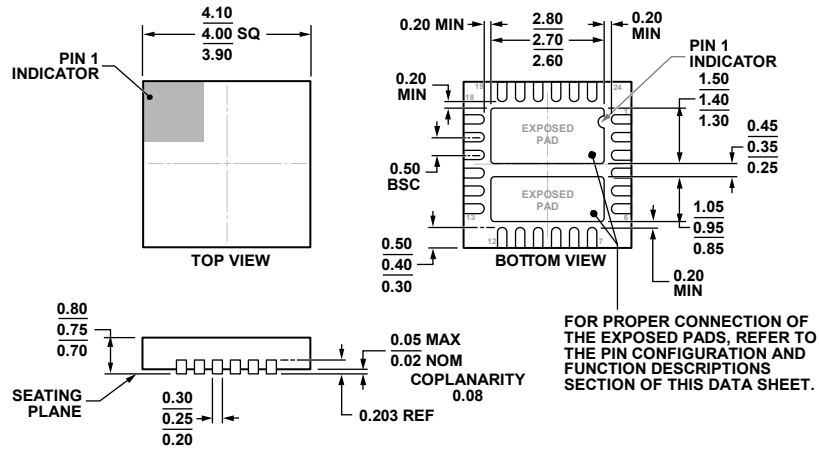


図 45. 代表的なアプリケーション回路、 $V_{IN} = 24\text{ V}$ 、 $V_{OUT} = 5\text{ V}$ 、 $I_{OUT} = 3\text{ A}$ 、 $f_{SW} = 1.2\text{ MHz}$

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD .

図 46. 24 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
 4 mm × 4 mm ボディと 0.75 mm のパッケージ高
 (CP-24-12)
 寸法単位: mm

オーダー・ガイド

Model ¹	Temperature Range	Output Voltage	Package Description	Package Option
ADP2443ACPZN-R7	-40°C to +125°C	Adjustable	24-Lead LFCSP	CP-24-12
ADP2443-EVALZ			Evaluation Board	

¹ Z = RoHS 準拠製品。