

特長

- 4 Aの連続出力電流
- 43 mΩと29 mΩのFETを内蔵
- 出力精度: ±1.5%
- 入力電圧範囲: 2.7 V~6.5 V
- 出力電圧: 0.6 V~V_{IN}
- スイッチング周波数
 - 固定周波数: 600 kHzまたは1.2 MHz
 - 調整可能周波数: 500 kHz~1.4 MHz
- 500 kHz~1.4 MHzで同期可能
- 複数使用で選択可能な位相シフト: 0°または180°
- 電流モード・アーキテクチャ
- 高精度イネーブル入力
- パワーグッド出力
- 電圧トラッキング入力
- ソフト・スタートを内蔵
- 内部位相補償
- プリチャージ出力でのスタートアップ
- 保護機能: UVLO、OVP、OCP、サーマル・シャットダウン
- 16ピンの4 mm × 4 mm LFCSP パッケージを採用

アプリケーション

- ポイント・オブ・ロード
- 通信装置およびネットワーク装置
- 工業用および計装機器
- 民生機器

代表的なアプリケーション回路

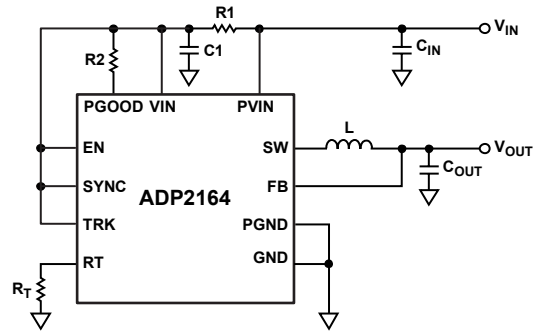


図 1.

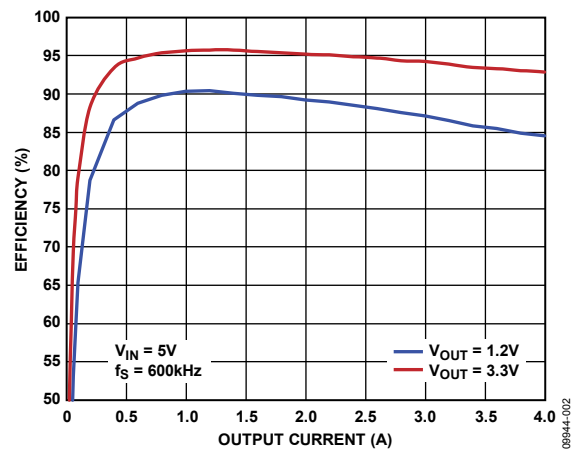


図 2. 出力電流対効率

概要

ADP2164 は、4 mm × 4 mm の小型 LFCSP パッケージを採用した 4 A の同期整流降圧 DC/DC レギュレータです。このレギュレータは、電流モードの固定周波数パルス幅変調(PWM)制御方式を採用して、優れた安定性と過渡応答を提供します。

ADP2164 の入力電圧範囲は、2.7 V ~6.5 V です。ADP2164 の出力電圧範囲は、0.6 V から入力電圧(V_{IN})までの間で調整可能です。ADP2164 では、出力電圧を 3.3 V、2.5 V、1.8 V、1.5 V、1.2 V、1.0 V に設定済の固定出力電圧オプションも提供しています。

ADP2164 では、オン抵抗の低い P チャンネルと N チャンネルの MOSFET の対を内蔵して、高効率と外付け部品数の削減を実現しています。100%のデューティ・サイクル動作により、出力電流 4 A でロー・ドロップアウト電圧を可能にしています。

1.2 MHz の高い PWM スwitchング周波数により、小型外付け部品の使用を可能にし、さらに SYNC 入力により複数の IC を逆位相に同期させて、リップルを削減しビート周波数をなくしています。

ADP2164 のその他の重要な内蔵機能としては、低電圧ロックアウト(UVLO)、スタートアップ時に突入電流を制限するソフト・スタート、過電圧保護(OVP)、過電流保護(OCP)、サーマル・シャットダウンなどがあります。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2011 Analog Devices, Inc. All rights reserved.

目次

特長	1	発振器と同期	14
アプリケーション	1	パワーグッド	15
代表的なアプリケーション回路	1	電流制限機能と短絡保護機能	15
概要	1	過電圧保護機能(OVP)	15
改訂履歴	2	低電圧ロックアウト機能(UVLO)	15
仕様	3	サーマル・シャットダウン	15
絶対最大定格	5	アプリケーション情報	16
熱抵抗	5	出力電圧の選択	16
ESD の注意	5	インダクタの選択	16
ピン配置およびピン機能説明	6	出力コンデンサの選択	16
代表的な性能特性	7	入力コンデンサの選択	17
機能ブロック図	13	電圧のトラッキング	17
動作原理	14	アプリケーション回路	18
制御方式	14	外形寸法	19
傾き補償	14	オーダー・ガイド	19
高精度なイネーブル/シャットダウン	14		
内蔵ソフト・スタート	14		

改訂履歴

12/11—Revision 0: Initial Version

仕様

特に指定がない限り、VIN = PVIN = 3.3 V、EN = ハイ・レベル、SYNC = ハイ・レベル、T_J = -40°C ~ +125°C。Typ 値は T_J = 25°C での値。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
VIN AND PVIN PINS						
VIN Voltage Range	VIN		2.7		6.5	V
PVIN Voltage Range	PVIN		2.7		6.5	V
Quiescent Current	I _{VIN}	No switching		895	1100	μA
Shutdown Current	I _{SHDN}	VIN = PVIN = 6.5 V, EN = GND		9	12	μA
VIN Undervoltage Lockout Threshold	UVLO	VIN rising		2.6	2.7	V
		VIN falling	2.4	2.5		V
OUTPUT CHARACTERISTICS						
Load Regulation		Specified by the circuit in Figure 42 I _O = 0 A to 4 A		0.05		%/A
Line Regulation		I _O = 2 A		0.05		%/V
FB PIN						
FB Regulation Voltage	V _{FB}	T _J = -40°C to +125°C	0.591	0.6	0.609	V
FB Bias Current	I _{FB}			0.01	0.1	μA
SW PIN						
High-Side On Resistance ¹		VIN = PVIN = 3.3 V, I _{sw} = 500 mA	35	52	70	mΩ
		VIN = PVIN = 5 V, I _{sw} = 500 mA	30	43	55	mΩ
Low-Side On Resistance ¹		VIN = PVIN = 3.3 V, I _{sw} = 500 mA	24	32	40	mΩ
		VIN = PVIN = 5 V, I _{sw} = 500 mA	20	29	35	mΩ
SW Peak Current Limit		High-side switch, PVIN = 3.3 V	5	6.2	7.4	A
SW Maximum Duty Cycle		Full frequency			100	%
SW Minimum On Time ²		Full frequency		100		ns
TRK PIN						
TRK Input Voltage Range			0		600	mV
TRK to FB Offset Voltage		TRK = 0 mV to 500 mV	-15		+15	mV
TRK Input Bias Current					100	nA
FREQUENCY						
Switching Frequency	f _s	RT = VIN	1.08	1.2	1.32	MHz
		RT = GND	540	600	660	kHz
		RT = 91 kΩ	480	600	720	kHz
Switching Frequency Range			500	1400		kHz
RT Pin Input High Voltage			1.2			V
RT Pin Input Low Voltage					0.45	V
SYNC PIN						
Synchronization Range			0.5		1.4	MHz
Minimum Pulse Width			100			ns
Minimum Off Time			100			ns
Input High Voltage			1.2			V
Input Low Voltage					0.4	V
PGOOD PIN						
Power-Good Range		FB rising threshold	105	110	115	%
		FB rising hysteresis		2.5		%
		FB falling threshold	85	90	95	%
		FB falling hysteresis		2.5		%
Power-Good Deglitch Time		From FB to PGOOD		16		Clock cycles
Power-Good Leakage Current		V _{PGOOD} = 5 V		0.1	1	μA
Power-Good Output Low Voltage		I _{PGOOD} = 1 mA		170	220	mV
INTEGRATED SOFT START						
Soft Start Time		All switching frequencies		2048		Clock cycles

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
EN PIN						
EN Input Rising Threshold			1.12	1.2	1.28	V
EN Input Hysteresis				100		mV
EN Pull-Down Resistor				1		MΩ
THERMAL SHUTDOWN						
Thermal Shutdown Threshold		T _J increasing		140		°C
Thermal Shutdown Hysteresis				15		°C

¹ ピン間測定値。

² デザインにより保証。

絶対最大定格

表 2.

Parameter	Rating
PVIN, VIN, SW	-0.3 V to +7 V
FB, SYNC, TRK, RT, EN, PGOOD	-0.3 V to +7 V
PGND to GND	-0.3 V to +0.3 V
Operating Junction Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Soldering Conditions	JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は自然空冷の JEDEC 4 層ボード上で測定。エクスポーズド・パッドは、サーマル・ビア付のプリント回路ボードにハンダ付けしています。

表 3.熱抵抗

Package Type	θ_{JA}	Unit
16-Lead LFCSP	38.3	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

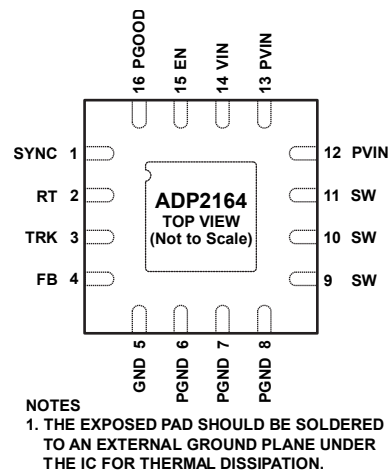


図 3. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	SYNC	外部同期入力。スイッチング周波数を外部クロックに同期させるとき、このピンを周波数 500 kHz~1.4 MHz の外部クロックへ接続します(詳細については、発振器と同期のセクションを参照)。
2	RT	周波数設定。スイッチング周波数 600 kHz を選択するとき、このピンを GND に接続します。スイッチング周波数 1.2 MHz を選択するときはこのピンを VIN に接続します。500 kHz~1.4 MHz の周波数を設定するとき、このピンと GND の間に抵抗を接続します(詳細については、発振器と同期のセクションを参照)。
3	TRK	トラッキング入力。マスター電圧に追従させるときは、TRK ピンをマスター電圧からの分圧器に接続します。トラッキング機能を使用しない場合は、TRK ピンを VIN に接続します。詳細については、電圧のトラッキングのセクションを参照してください。
4	FB	帰還電圧検出入力。このピンを V _{OUT} からの抵抗分圧器へ接続します。設定済み出力バージョンでは、このピンを直接 V _{OUT} へ接続します。
5	GND	アナログ・グラウンド。グラウンド・プレーンへ接続します。
6、7、8	PGND	電源グラウンド。グラウンド・プレーンと出力コンデンサの出力リターン側へ接続します。
9、10、11	SW	スイッチ・ノード出力。出力インダクタへ接続します。
12、13	PVIN	電源入力ピン。このピンは入力電源へ接続します。このピンと PGND との間にバイパス・コンデンサを接続してください。
14	VIN	バイアス電圧入力ピン。このピンと GND との間にバイパス・コンデンサを接続してください。このピンと PVIN との間に小さい抵抗(10 Ω)を接続してください。
15	EN	高精度イネーブル・ピン。外付け抵抗分圧器を使ってターンオン・閾値を設定することができます。デバイスを自動的にイネーブルときは、EN ピンを VIN へ接続します。このピンには GND へ接続した 1 MΩ のプルダウン抵抗が付いています。
16	PGOOD	パワーグッド出力(オープン・ドレイン)。このピンは 6.5 V より低いプルアップ電圧に接続した抵抗へ接続してください。
17 (EPAD)	エクスポーズド・パッド	エクスポーズド・パッドは、熱放散のため IC の下で外部グラウンド・プレーンへハンダ付けする必要があります。

代表的な性能特性

特に指定がない限り、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = 5\text{ V}$ 、 $V_{OUT} = 1.2\text{ V}$ 、 $L = 1\ \mu\text{H}$ 、 $C_{IN} = 47\ \mu\text{F}$ 、 $C_{OUT} = 100\ \mu\text{F}$ 。

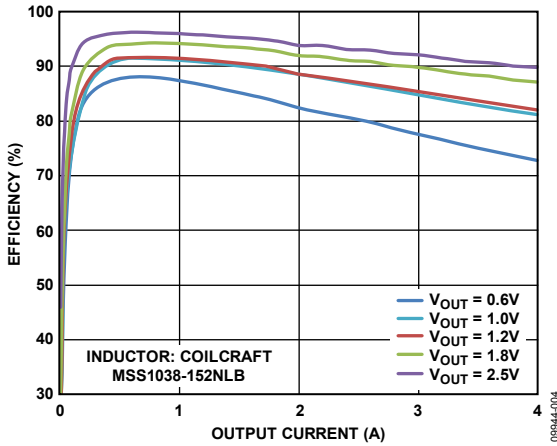


図 4. 出力電流対効率、 $V_{IN} = 3.3\text{ V}$ 、 $f_S = 600\text{ kHz}$

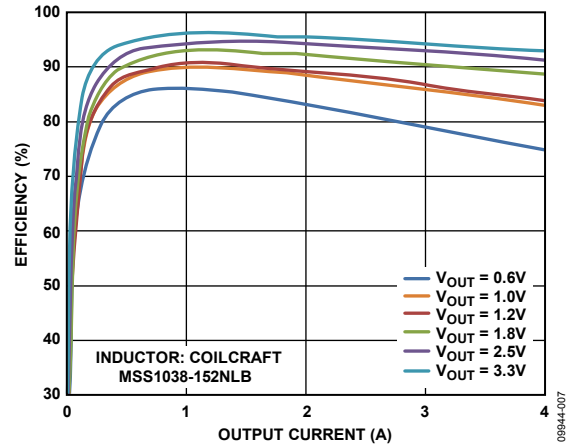


図 7. 出力電流対効率、 $V_{IN} = 5\text{ V}$ 、 $f_S = 600\text{ kHz}$

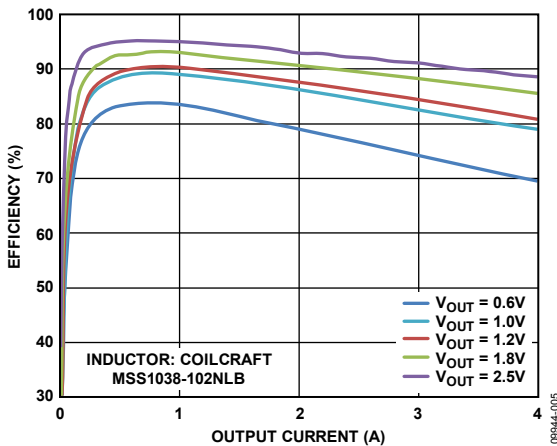


図 5. 出力電流対効率、 $V_{IN} = 3.3\text{ V}$ 、 $f_S = 1.2\text{ MHz}$

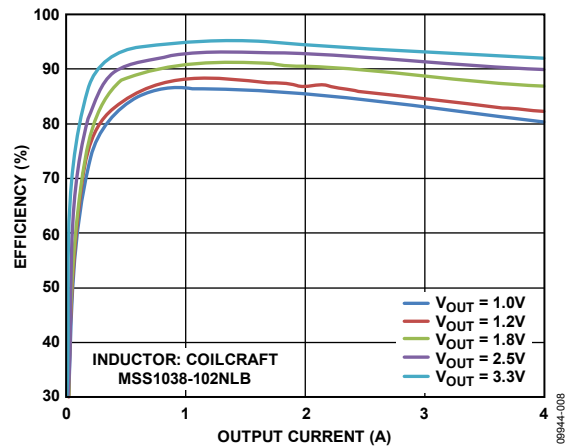


図 8. 出力電流対効率、 $V_{IN} = 5\text{ V}$ 、 $f_S = 1.2\text{ MHz}$

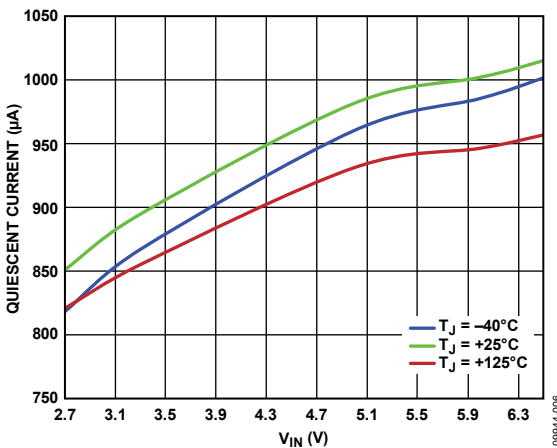


図 6. V_{IN} 対静止電流(スイッチングなし)

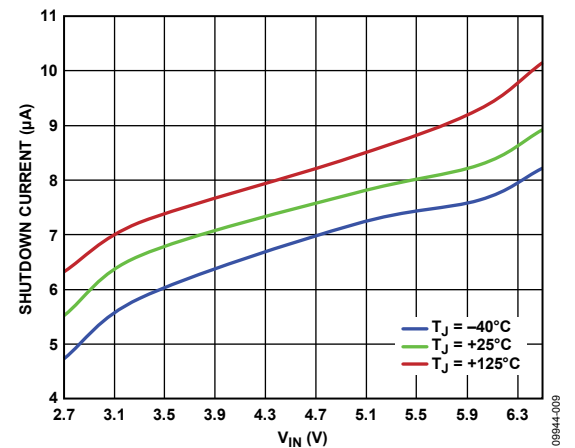


図 9. V_{IN} 対シャットダウン電流

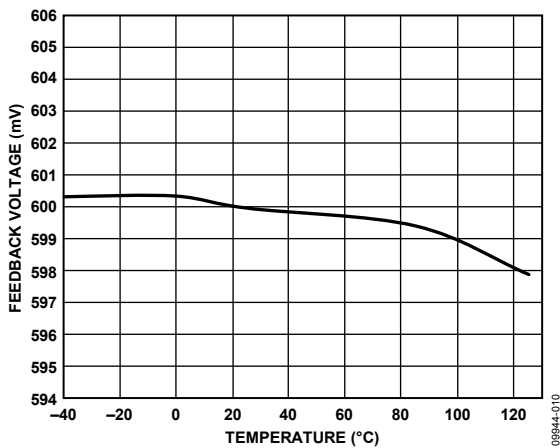


図 10.帰還電圧の温度特性、 $V_{IN} = 3.3\text{ V}$

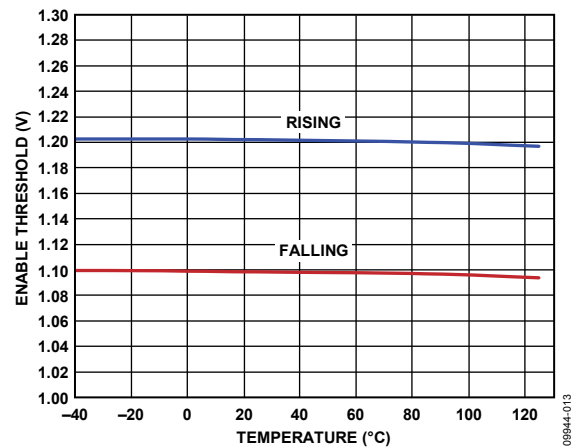


図 13.EN 閾値の温度特性

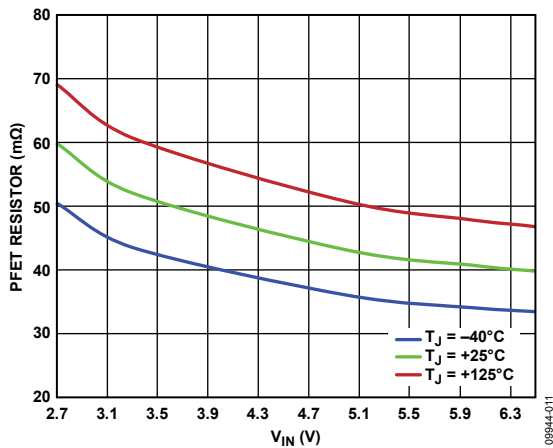


図 11. V_{IN} 対 PFET 抵抗(ピン間測定)

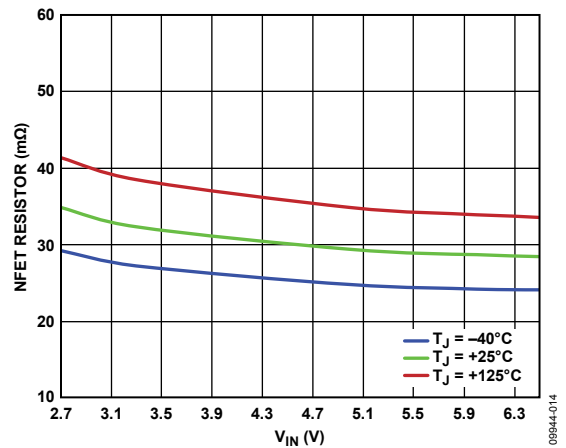


図 14. V_{IN} 対 NFET 抵抗(ピン間測定)

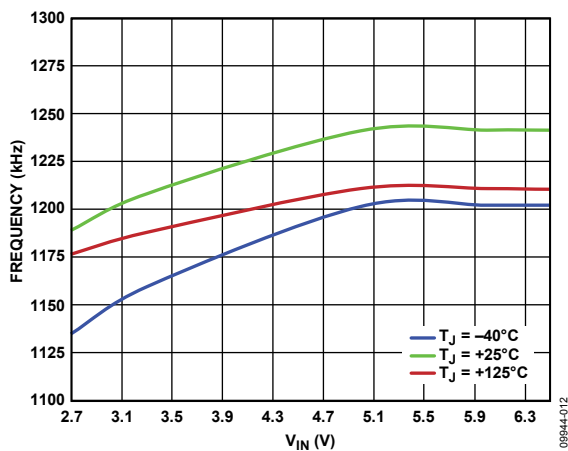


図 12. V_{IN} 対スイッチング周波数、 $f_s = 1.2\text{ MHz}$ (RT = VIN)

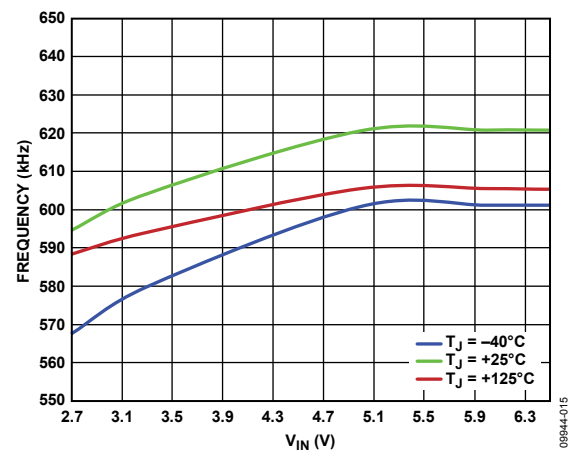


図 15. V_{IN} 対スイッチング周波数、 $f_s = 600\text{ kHz}$ (RT = GND)

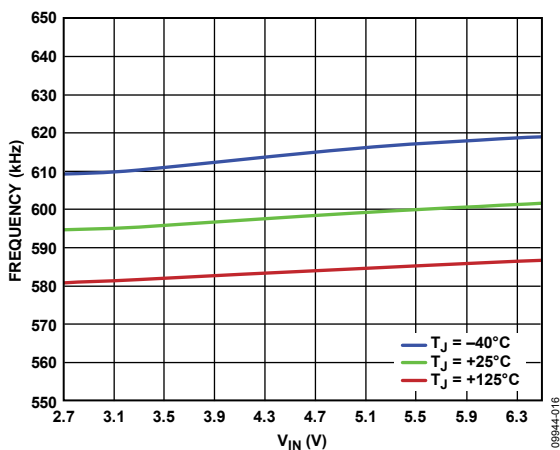


図 16. V_{IN} 対スイッチング周波数、 $f_s = 600$ kHz ($R_T = 91$ k Ω)

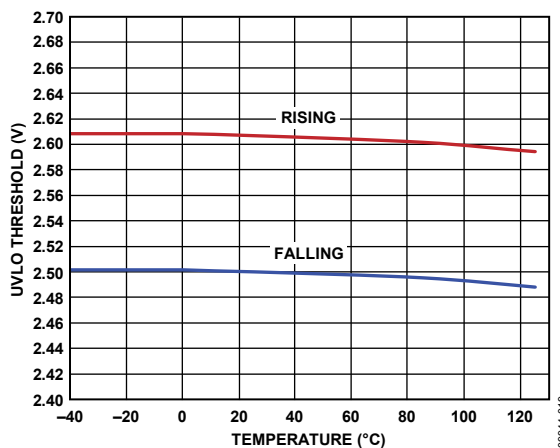


図 19. UVLO 閾値の温度特性、 $V_{IN} = 3.3$ V

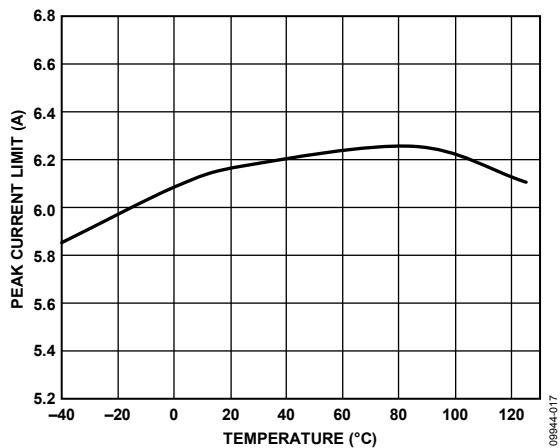


図 17. ピーク電流制限値の温度特性、 $V_{IN} = 3.3$ V

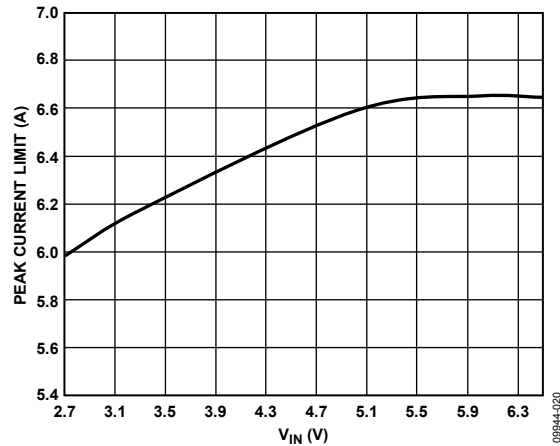


図 20. V_{IN} 対ピーク電流制限値、 $T_J = 25^\circ\text{C}$

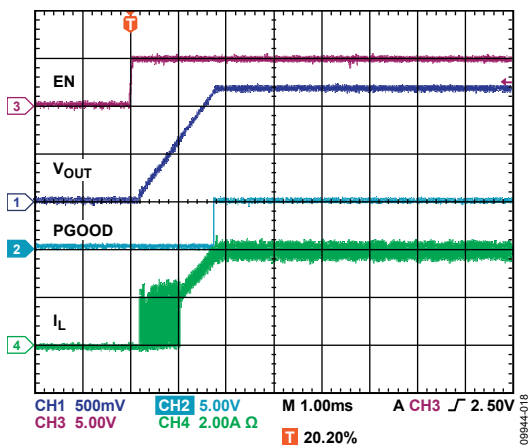


図 18. フル負荷でのソフト・スタート
 $V_{IN} = 5$ V、 $V_{OUT} = 1.2$ V、 $f_s = 1.2$ MHz

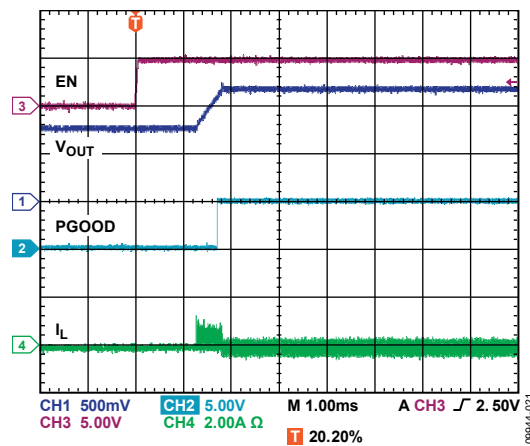


図 21. プリチャージ出力電圧でのソフト・スタート
 $V_{IN} = 5$ V、 $f_s = 1.2$ MHz

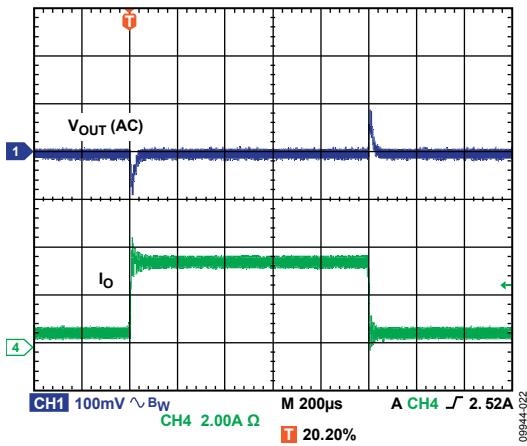


図 22. 負荷過渡応答、0.5 A→3.5 A の負荷ステップ、 $V_{IN} = 5\text{ V}$ 、 $V_{OUT} = 1.2\text{ V}$ 、 $f_s = 1.2\text{ MHz}$

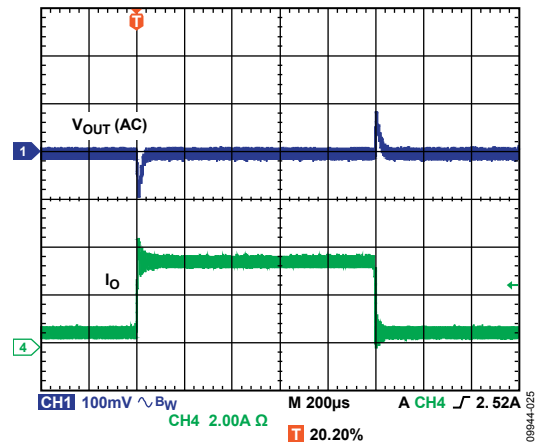


図 25. 負荷過渡応答、0.5 A→3.5 A の負荷ステップ、 $V_{IN} = 5\text{ V}$ 、 $V_{OUT} = 1.2\text{ V}$ 、 $f_s = 600\text{ kHz}$

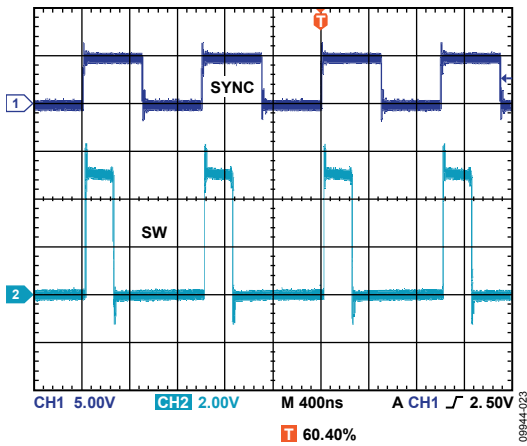


図 23. ADP2164 を 1 MHz へ同期、同相

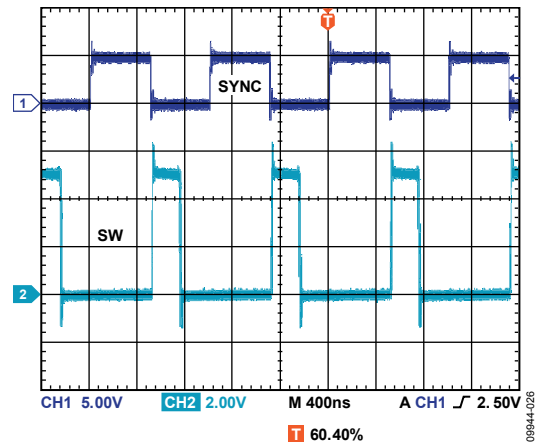


図 26. ADP2164 を 1 MHz へ同期、逆相

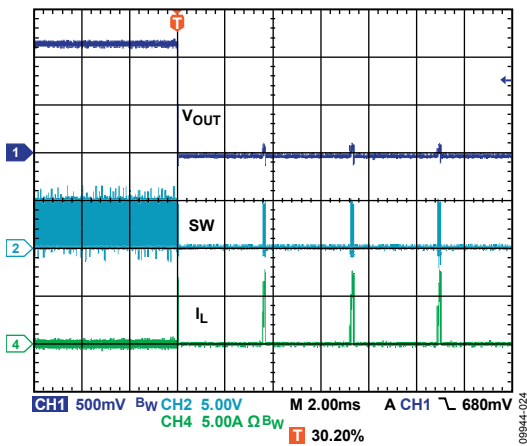


図 24. 出力短絡

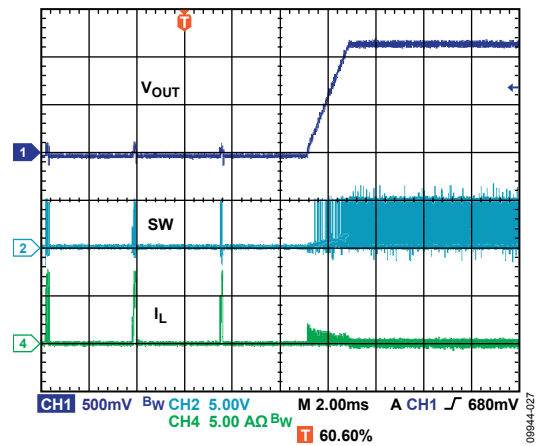


図 27. 出力短絡回復

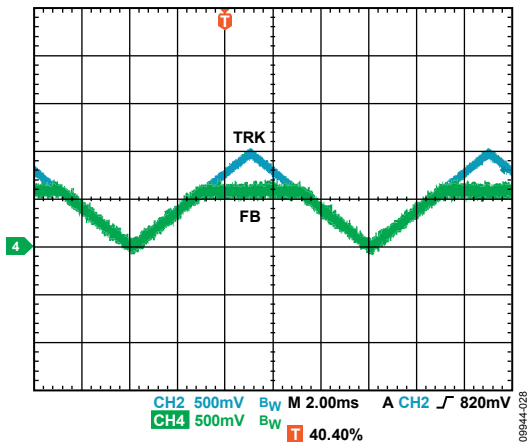


図 28. トラッキング機能

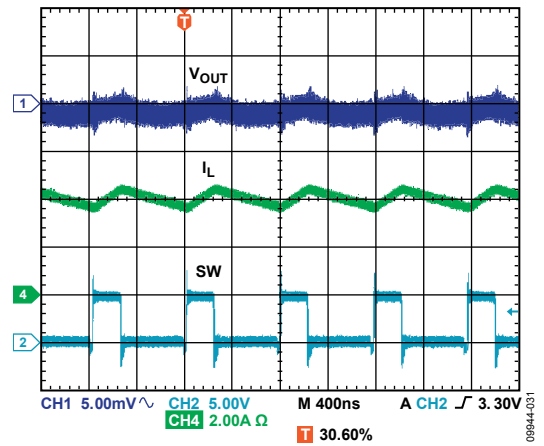


図 31. 静的波形、 $V_{IN} = 5V$ 、 $V_{OUT} = 1.2V$ 、 $f_S = 1.2MHz$

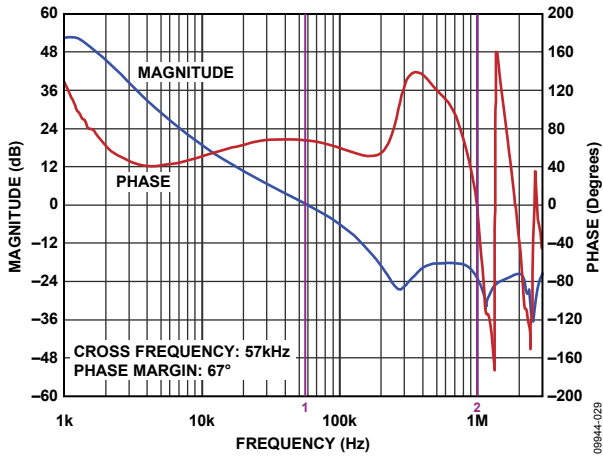


図 29. 周波数特性

$V_{IN} = 5V$ 、 $V_{OUT} = 1.0V$ 、 $I_O = 4A$ 、 $f_S = 1.2MHz$ 、 $L = 0.68\mu H$ 、 $C_{OUT} = 2 \times 100\mu F$

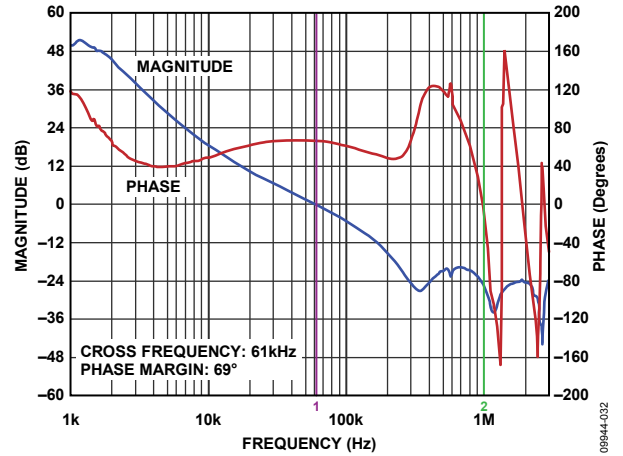


図 32. 周波数特性

$V_{IN} = 5V$ 、 $V_{OUT} = 1.2V$ 、 $I_O = 4A$ 、 $f_S = 1.2MHz$ 、 $L = 0.68\mu H$ 、 $C_{OUT} = 47\mu F + 100\mu F$

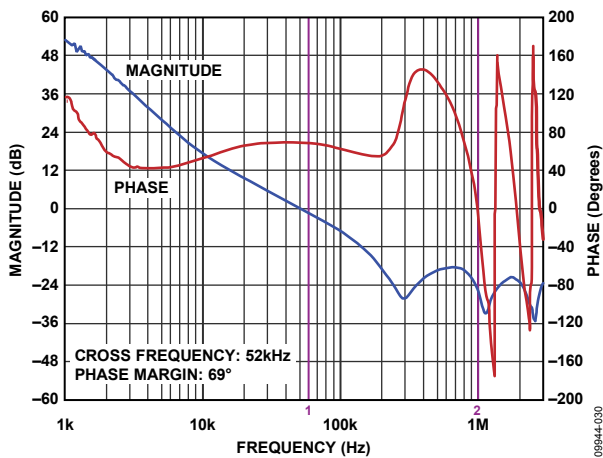


図 30. 周波数特性

$V_{IN} = 5V$ 、 $V_{OUT} = 1.5V$ 、 $I_O = 4A$ 、 $f_S = 1.2MHz$ 、 $L = 1\mu H$ 、 $C_{OUT} = 47\mu F + 100\mu F$

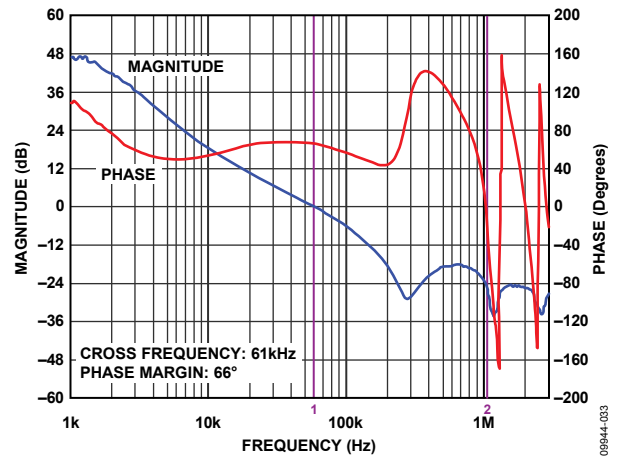


図 33. 周波数特性

$V_{IN} = 5V$ 、 $V_{OUT} = 1.8V$ 、 $I_O = 4A$ 、 $f_S = 1.2MHz$ 、 $L = 1\mu H$ 、 $C_{OUT} = 100\mu F$

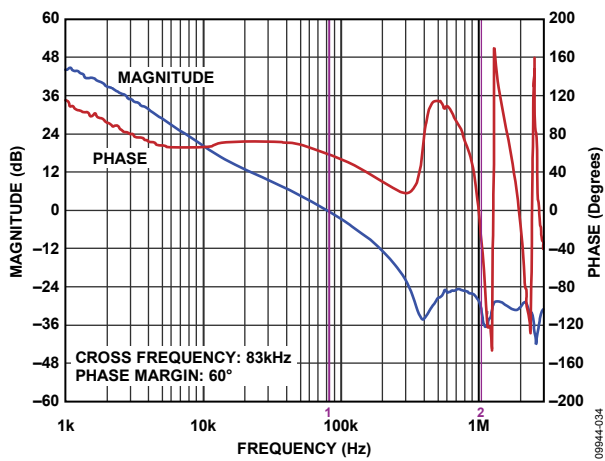


図 34.周波数特性

$V_{IN} = 5\text{ V}$ 、 $V_{OUT} = 2.5\text{ V}$ 、 $I_O = 4\text{ A}$ 、 $f_S = 1.2\text{ MHz}$ 、
 $L = 1\text{ }\mu\text{H}$ 、 $C_{OUT} = 47\text{ }\mu\text{F}$

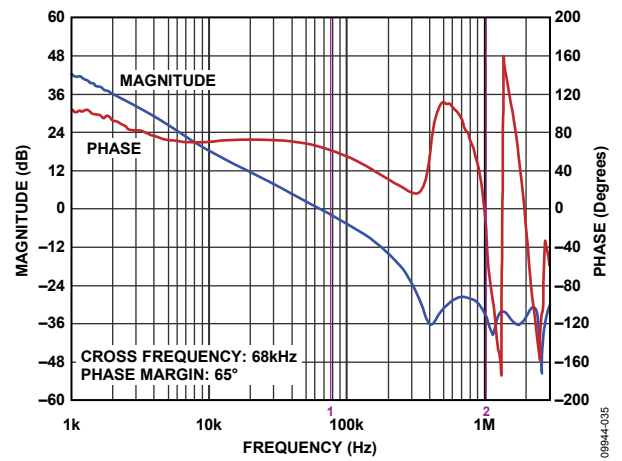


図 35.周波数特性

$V_{IN} = 5\text{ V}$ 、 $V_{OUT} = 3.3\text{ V}$ 、 $I_O = 4\text{ A}$ 、 $f_S = 1.2\text{ MHz}$ 、
 $L = 1\text{ }\mu\text{H}$ 、 $C_{OUT} = 47\text{ }\mu\text{F}$

機能ブロック図

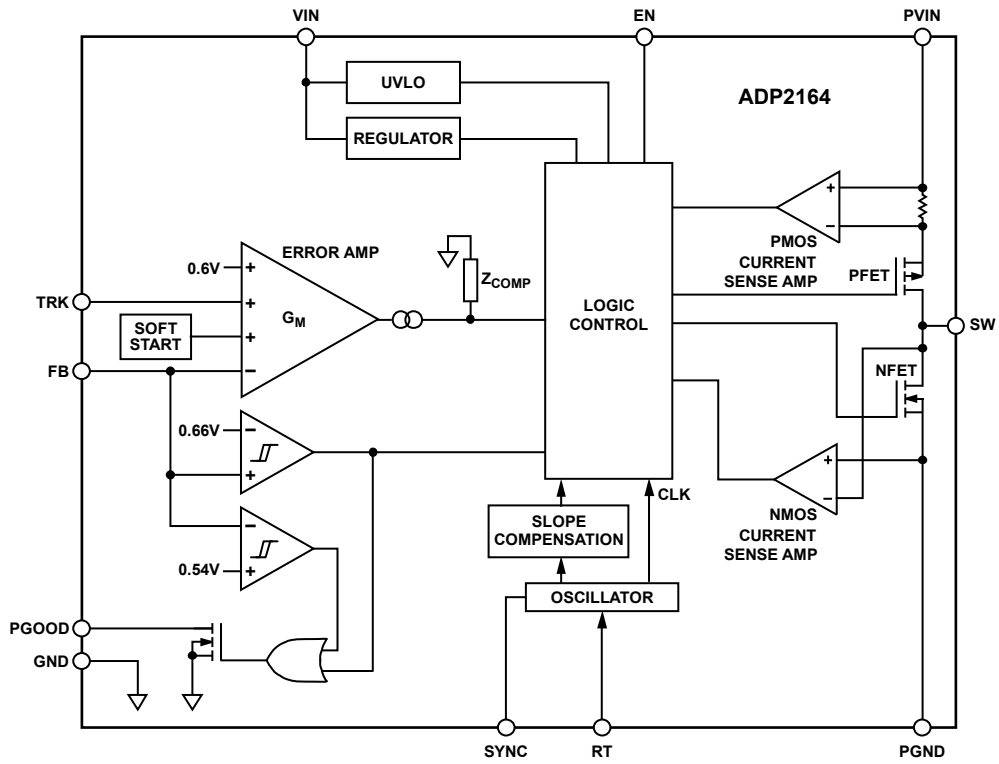


図 36.機能ブロック図

06944-036

動作原理

ADP2164 は、固定周波数のピーク電流モード・アーキテクチャを採用し、ハイ・サイド・スイッチとローサイド同期整流子を内蔵した降圧 DC/DC レギュレータです。高いスイッチング周波数と小型の 16 ピン 4 mm × 4 mm LFCSP パッケージにより、小型の降圧 DC/DC レギュレータ・ソリューションを提供します。ハイ・サイド・スイッチ(P チャンネル MOSFET)と同期整流子(N チャンネル MOSFET)の内蔵により高い効率を実現しています。

ADP2164 は 2.7 V~6.5 V の入力電圧で動作し、最小 0.6 V までの出力電圧に安定化します。また ADP2164 では、3.3 V、2.5 V、1.8 V、1.5 V、1.2 V、1.0 V の出力電圧設定済オプションも提供しています。

制御方式

ADP2164 では固定周波数のピーク電流モード PWM 制御アーキテクチャを採用しています。各発振器サイクルの開始時に、P チャンネル MOSFET スイッチがオンになり、インダクタに正電圧が加わります。インダクタ内の電流は、電流検出信号がピーク・インダクタ電流レベルに達するまで増加します。この電流レベルで、P チャンネル MOSFET スイッチがオフになり、N チャンネル MOSFET 同期整流器がオンになります。この動作により、インダクタの両端に負電圧が加わり、インダクタ電流が減少します。同期整流器は、残りのサイクルの間はオン状態を維持します。

ピーク・インダクタ電流レベルは、補償電圧(COMP)により設定されます。COMP 電圧は、帰還電圧と内部 0.6 V リファレンスを比較する相互コンダクタンス誤差アンプの出力です(図 36 参照)。

傾き補償

低調波発振を防止するため、デバイスが 50%のデューティ・サイクル以上で動作する際、傾き補償機能により ADP2164 の内部電流制御ループを安定化します。傾き補償機能は、P チャンネル MOSFET スイッチの導通時に、内部で発生した電圧ランプと電流検出信号を加算することにより実現しています。この電圧ランプは出力電圧に依存します。高い出力電圧で動作するとき、傾き補償は大きくなります。この傾き補償ランプ値は、低調波発振の防止で使うことができる最小インダクタ値を決定します。

高精度なイネーブル/シャットダウン

EN ピンは、電圧が 1.2 V (typ)を超えたときデバイスをイネーブルする高精度アナログ入力です。このピンには 100 mV のヒステリシスが付いています。イネーブル電圧が 1.1 V (typ)を下回ると、デバイスはターンオフします。入力電源が加えられたときに ADP2164 を自動的にスタートさせるときは、EN ピンと VIN ピンを接続します。

ADP2164 がシャットダウンすると、ソフト・スタート・コンデンサが放電します。これにより、デバイスを再イネーブルしたとき、新しいソフト・スタート・サイクルが開始されます。

内蔵プルダウン抵抗(1 MΩ)により、EN 入力フローティングの場合、デバイスの偶発的なイネーブルが防止されます。

内蔵ソフト・スタート

ADP2164 は、出力電圧の上上がり時間を制限して、スタートアップ時の突入電流を減少させるソフト・スタート回路を内蔵しています。ソフト・スタート時間は 2048 クロック・サイクルに設定されています。

出力電圧がデバイスのターンオン前にプリチャージされると、ADP2164 はソフト・スタート電圧が FB ピン電圧を超えるまでインダクタの逆電流が流れないようにします(この逆電流が流れると、出力コンデンサが放電します)。

発振器と同期

ADP2164 のスイッチング周波数は、RT ピンにより制御されます。RT ピンを GND に接続すると、スイッチング周波数は 600 kHz に設定されます。RT ピンを VIN に接続すると、スイッチング周波数は 1.2 MHz に設定されます。

RT と GND の間に抵抗を接続すると、500 kHz~1.4 MHz の範囲でスイッチング周波数を設定することができます。スイッチング周波数の設定には次式を使います。

$$RT(\text{k}\Omega) = \frac{54,000}{f_s(\text{kHz})}$$

図 37 に、スイッチング周波数と RT 抵抗値の代表的な関係を示します。

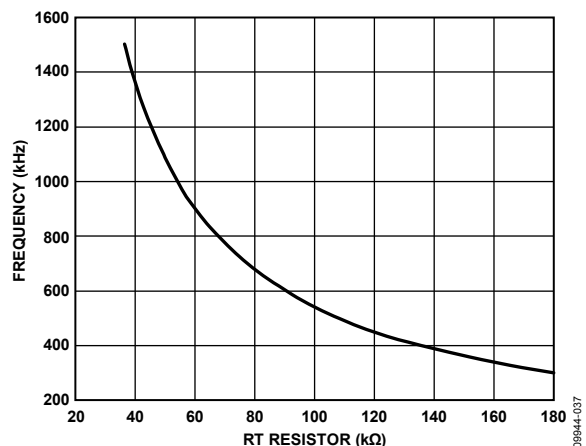


図 37. RT 抵抗値対スイッチング周波数

ADP2164 を同期させるときは、SYNC ピンに外部クロックを入力します。外部クロック周波数は、500 kHz~1.4 MHz の範囲が可能です。

SYNC ピンを外部クロックで駆動するとき、次のようにスイッチング周波数を外部クロックと同相または 180°位相差に設定することができます。

- RT ピンを GND または抵抗に接続すると、スイッチング周波数は外部クロックと同相になります。
- RT ピンを VIN に接続すると、スイッチング周波数の位相は外部クロックと 180°ずれます。

パワーグッド

PGOOD はアクティブ・ハイのオープン・ドレイン出力であるため、ロジック電源電圧にプルアップする抵抗が必要です。PGOOD のハイ・レベルは、FB ピン電圧(したがって出力電圧)が所望電圧の 10%以内にあることを表示します。PGOOD のロー・レベルはこの逆の場合を表示します。FB 電圧が範囲外として検出されてから 16 サイクルの待時間があります。FB が $\pm 10\%$ 範囲内に戻ると、PGOOD 回路はこれを無視します。

電流制限機能と短絡保護機能

ADP2164 では、ピーク電流制限保護回路を使って電流の暴走を防止しています。ピーク電流制限値は 6.2 A です。インダクタ電流がピーク電流制限値に到達すると、ハイ・サイド MOSFET がターンオフし、ローサイド MOSFET が次のサイクル開始までターンオンします。

過電流カウンタは、ピーク電流制限値に到達するごとに 1 だけインクリメントされます。過電流カウンタが 10 を超えると、デバイスは瞬断モードになり、ハイ・サイド FET とローサイド FET はターンオフします。デバイスはこのモードを 4096 クロック・サイクル維持した後にソフト・スタートを使って再スタートしようとしています。電流制限故障が解消されると、デバイスは通常動作を再開します。電流制限値故障が解消されない場合は、電流制限値に 10 回到達した後にデバイスは再度瞬断モードになります。

過電圧保護機能(OVP)

ADP2164 は、過電圧保護(OVP)回路を内蔵しています。FB ピンを使いコンパレータにより出力電圧を連続モニタしています。FB ピンは通常動作では 0.6 V (typ)です。FB 電圧が 0.66 V (typ)を超えるとコンパレータがアクティブになり、出力の過電圧状態を表示します。電圧が 16 クロック・サイクル間 OVP 閾値を上回ると、ハイ・サイド MOSFET がターンオフし、ローサイド MOSFET がターンオンして、それを流れる電流が-1.3 A の電流制限値に到達するまで続きます。両 MOSFET は FB が 0.54 V (typ)を下回るまでオフ状態を続け、その後デバイスは再スタートします。この状態での PGOOD の動作は、パワーグッドのセクションで説明しています。

低電圧ロックアウト機能(UVLO)

ADP2164 は、低電圧ロックアウト(UVLO)回路を内蔵しています。入力電圧が 2.5 V を下回ると、ADP2164 はシャットダウンし、パワー・スイッチと同期整流子がターンオフします。電圧が再度 2.6 V を上回ると、ソフト・スタートが開始されて、デバイスがイネーブルされます。

サーマル・シャットダウン

ADP2164 のジャンクション温度が 140 °C を超えると、サーマル・シャットダウン回路がレギュレータをターンオフさせます。ジャンクション温度が極端に高くなる原因には、大電流動作、回路基板の設計不良、あるいは高い周囲温度などがあります。15 °C のヒステリシスがあるため、サーマル・シャットダウンが発生すると、チップ温度が 125 °C 未満に低下するまで ADP2164 は動作へ復帰しません。デバイスがサーマル・シャットダウン状態から抜け出すと、ソフト・スタートが開始します。

アプリケーション情報

ADP2164 の代表的なアプリケーション回路を図 38 に示します。

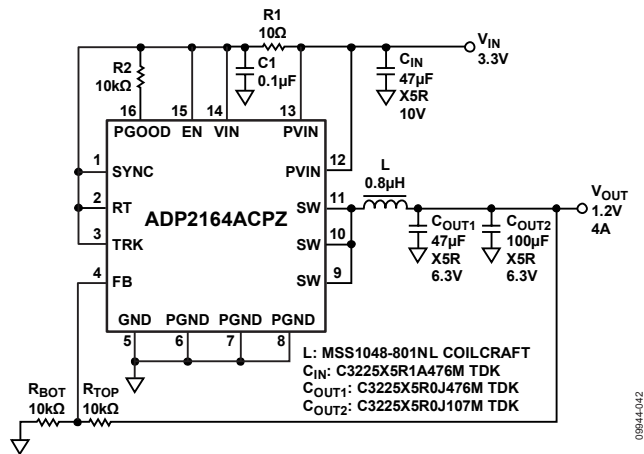


図 38. 代表的なアプリケーション回路

出力電圧の選択

ADP2164 の調整可能なバージョンの出力電圧は、外付け抵抗分圧器を使って次式により設定します。

$$V_{OUT} = 0.6 \times \left(1 + \frac{R_{TOP}}{R_{BOT}} \right)$$

FB ピンのバイアス電流(最大 0.1 μA)による出力電圧精度の低下を 0.5% (最大)以下に抑えるためには、R_{BOT} を 30 kΩ より小さくする必要があります。

インダクタの選択

インダクタ値は、動作周波数、入力電圧、出力電圧、リップル電流により設定されます。小さいインダクタ値を使うとインダクタのリップル電流が大きくなるため、高速過渡応答で効率が低下します。大きなインダクタ値を使うとインダクタのリップル電流が小さくなるため、効率が良くなりますが過渡応答は低速になります。過渡応答と効率との間の妥当なトレードオフとして、インダクタのリップル電流 ΔI_L は、一般に最大負荷電流の 1/3 に設定されます。インダクタ値は、次式で計算されます。

$$L = \frac{(V_{IN} - V_{OUT}) \times D}{\Delta I_L \times f_S}$$

ここで、

V_{IN} は入力電圧。

V_{OUT} は出力電圧。

ΔI_L はインダクタのリップル電流。

f_S はスイッチング周波数。

D はデューティ・サイクル(V_{OUT}/V_{IN})。

ADP2164 では電流制御ループ内でスロープ補償を使用して、デューティ・サイクルが 50%を超えたときの低い高調波での発振を防止しています。内部傾き補償により最小インダクタ値が制限されます。

また、負の電流制限値(-1.3 A)も最小インダクタ値を制限します。選択したインダクタで計算したインダクタのリップル電流(ΔI_L)は、2.6 A を超えることはできません。

ピーク・インダクタ電流はピーク電流制限閾値より小さく維持する必要があり、次式で計算されます。

$$I_{PEAK} = I_O + \frac{\Delta I_L}{2}$$

選択したインダクタの rms 電流を最大負荷電流より大きく維持し、かつ飽和電流をコンバータのピーク電流制限値より大きく維持することに注意してください。

出力コンデンサの選択

出力コンデンサ値は、出力リップル電圧、負荷ステップ過渡、ループ安定性により決定されます。出力リップルは ESR と容量により決定されます。

$$\Delta V_{OUT} = \Delta I_L \times \left(ESR + \frac{1}{8 \times C_{OUT} \times f_S} \right)$$

負荷ステップ過渡応答は、インダクタ、出力コンデンサ、電流制御ループに依存します。

ADP2164 は、電源デザインを簡素化するループ補償を内蔵しています。表 5 と表 6 に、デバイスの入力電圧と出力電圧に基づいて ADP2164 に対するインダクタとコンデンサの推奨値を示します。X5R または X7R 誘電体セラミック・コンデンサの使用が推奨されます。

表 5. L と C_{OUT} の推奨値、f_S = 1.2 MHz

V _{IN} (V)	V _{OUT} (V)	L (μH)	C _{OUT} (μF)
3.3	1.0	0.8	100 + 100
3.3	1.2	0.8	100 + 47
3.3	1.5	1	100 + 47
3.3	1.8	1	100
3.3	2.5	1	47
5	1.0	0.8	100 + 100
5	1.2	0.8	100 + 47
5	1.5	1	100 + 47
5	1.8	1	100
5	2.5	1	47
5	3.3	1	47

表 6.L と C_{OUT} の推奨値、f_s = 600 kHz

V _{IN} (V)	V _{OUT} (V)	L (μH)	C _{OUT} (μF)
3.3	1.0	1	100 + 100
3.3	1.2	1	100 + 100
3.3	1.5	1	100 + 47
3.3	1.8	1	100 + 47
3.3	2.5	1	100
5	1.0	1	100 + 100
5	1.2	1.5	100 + 100
5	1.5	1.5	100 + 47
5	1.8	1.5	100 + 47
5	2.5	1.5	100
5	3.3	1.5	100

レギュレータ内でインダクタと出力コンデンサのこれより大きい値または小さい値を使用することができますが、システムの安定性と負荷過渡性能の確認が必要です。

表 7 と表 8 に、ADP2164 に対する幾つかの推奨インダクタとコンデンサを示します。

表 7. 推奨インダクタ

Manufacturer	Part No.
Coilcraft®	MSS1038, MSS1048, MSS1260
Sumida	CDRH103R, CDRH104R, CDRH105R

表 8. 推奨コンデンサ

Manufacturer	Part No.	Description
Murata	GRM32ER60J107ME20	100 μF, 6.3 V, X5R, 1210
Murata	GRM32ER60J476ME20	47 μF, 6.3 V, X5R, 1210
TDK	C3225X5R0J107M	100 μF, 6.3 V, X5R, 1210
TDK	C3225X5R0J476M	47 μF, 6.3 V, X5R, 1210

入力コンデンサの選択

入力コンデンサは、PVIN 上のスイッチ電流から発生する入力電圧リップルを小さくします。入力コンデンサは PVIN ピンのできるだけ近くに配置します。22 μF または 47 μF セラミック・コンデンサの使用が推奨されます。入力コンデンサの rms 電流定格は、次式で計算された値より大きい必要があります。

$$I_{RMS} = I_O \times \sqrt{D \times (1 - D)}$$

ここで、D はデューティ・サイクル。

電圧のトラッキング

ADP2164 はトラッキング機能を内蔵しています。この機能を使うと、ADP2164 出力(スレーブ電圧)を外部電圧(マスター電圧)に追従させるように構成することができます(図 39 参照)。

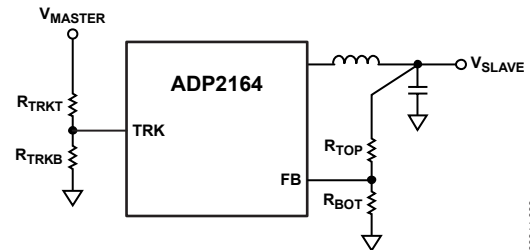


図 39. 電圧のトラッキング

同時トラッキング

一般的な要求は、図 40 に示す同時トラッキングです。同時トラッキングでは、スレーブ出力電圧がレギュレーション状態になるまで、スレーブ出力電圧をマスター電圧に一致させるように制限します。TRK ピンとマスター電圧から駆動される抵抗分圧器を図 39 のように接続します。一致トラッキングの場合、R_{TRKT} = R_{TOP} かつ R_{TRKB} = R_{BOT} に設定します。

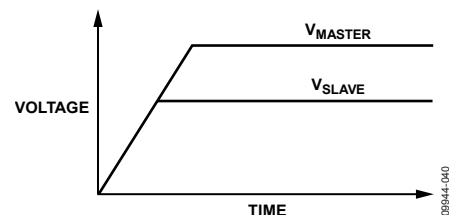


図 40. 一致トラッキング

比例トラッキング

比例トラッキングを図 41 に示します。スレーブ出力はマスター電圧の整数分の 1 に制限されます。このアプリケーションでは、スレーブ電圧とマスター電圧は同時に最終値に到達します。

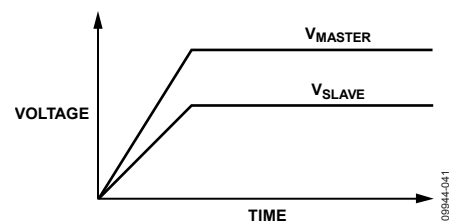


図 41. 比例トラッキング

マスター電圧に対するスレーブ出力電圧の比は、次式のように 2 つの分圧器の関数になります。

$$\frac{V_{SLAVE}}{V_{MASTER}} = \frac{1 + \frac{R_{TOP}}{R_{BOT}}}{1 + \frac{R_{TRKT}}{R_{TRKB}}}$$

アプリケーション回路

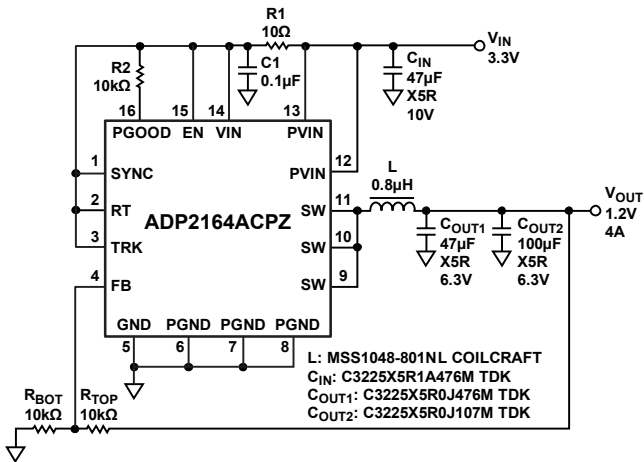


図 42. 1.2 V、4 A、1.2 MHz の降圧レギュレータ

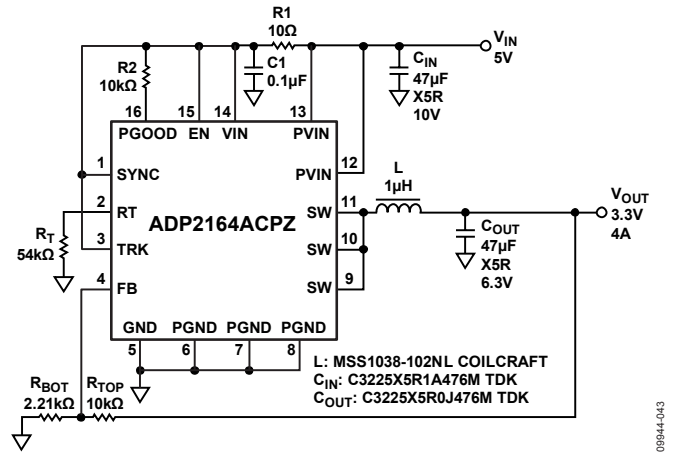


図 45. 3.3 V、4 A、1 MHz の降圧レギュレータ

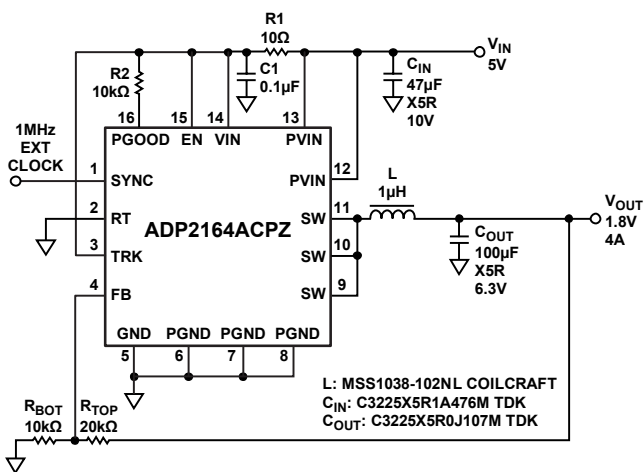


図 43. 1.8 V、4 A の降圧レギュレータ
1 MHz に同期、外部クロックと同相

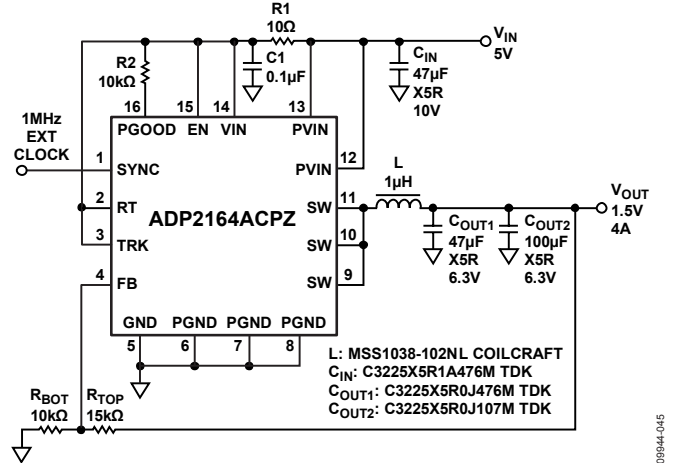


図 46. 1.5 V、4 A の降圧レギュレータ
1 MHz に同期、外部クロックと位相差 180°

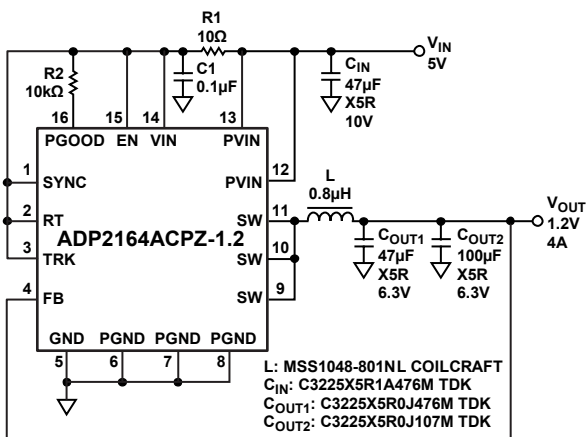


図 44. 固定 1.2 V、4 A、1.2 MHz の降圧レギュレータ

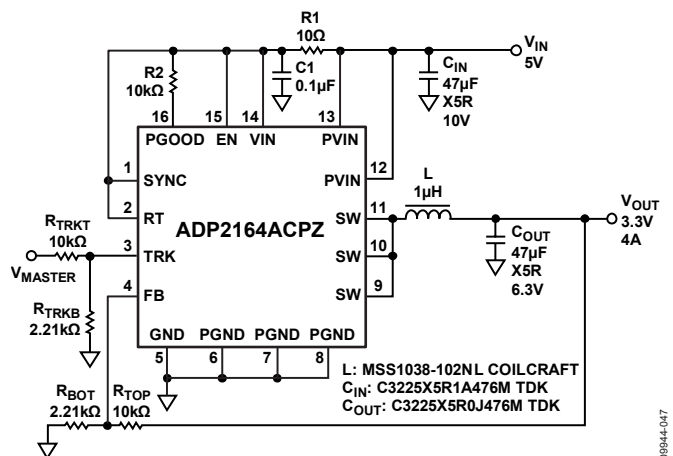
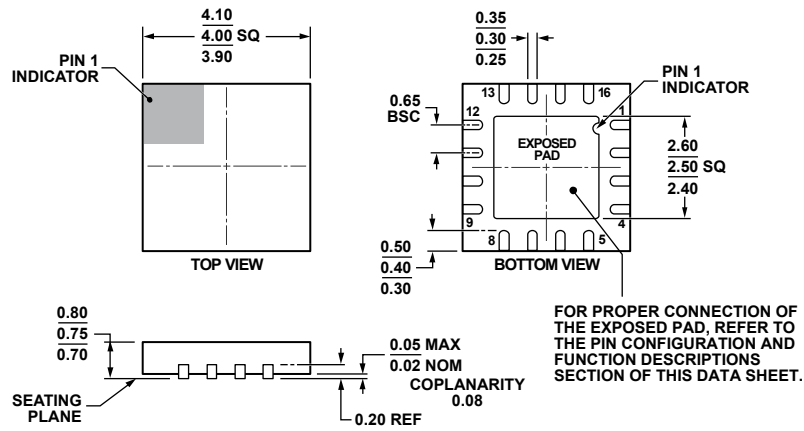


図 47. 3.3 V、4 A、1.2 MHz の降圧レギュレータ
ラッキング・モード

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGC.

042709-A

図 48.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
4 mm x 4 mm ボディ、極薄クワッド
(CP-16-26)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Output Voltage	Package Description	Package Option
ADP2164ACPZ-R7	-40°C to +125°C	Adjustable	16-Lead LFCSP_WQ	CP-16-26
ADP2164ACPZ-1.0-R7	-40°C to +125°C	1.0 V	16-Lead LFCSP_WQ	CP-16-26
ADP2164ACPZ-1.2-R7	-40°C to +125°C	1.2 V	16-Lead LFCSP_WQ	CP-16-26
ADP2164ACPZ-1.5-R7	-40°C to +125°C	1.5 V	16-Lead LFCSP_WQ	CP-16-26
ADP2164ACPZ-1.8-R7	-40°C to +125°C	1.8 V	16-Lead LFCSP_WQ	CP-16-26
ADP2164ACPZ-2.5-R7	-40°C to +125°C	2.5 V	16-Lead LFCSP_WQ	CP-16-26
ADP2164ACPZ-3.3-R7	-40°C to +125°C	3.3 V	16-Lead LFCSP_WQ	CP-16-26
ADP2164-EVALZ			Evaluation Board	

¹ Z = RoHS 準拠製品。