

ADP1870/ADP1871

特長

- 電源入力電圧範囲：2.95~20 V
- バイアス・レギュレータ内蔵
- 最小出力電圧：0.6 V
- 0.6 V のリファレンス電圧、 $\pm 1.0\%$ 精度
- すべての N チャンネル MOSFET パワー段に対応
- 300 kHz、600 kHz、1.0 MHz のスイッチング周波数オプション
- 電流検出抵抗不要
- 軽負荷時のパワーセーブ・モード (ADP1871 のみ)
- 抵抗で設定可能な電流検出ゲイン
- 熱保護、過電流保護
- 短絡保護
- 高精度イネーブル入力
- ハイサイド駆動用のブートストラップ・ダイオード内蔵
- 出力プリチャージスタート対応
- 小型の 10 ピン MSOP パッケージ

アプリケーション

- テレコムおよびネットワークング・システム
- ミッド〜ハイ・エンドサーバ
- セットトップボックス
- DSP コア電源

概要

ADP1870/ADP1871 は、多機能の電流モード同期式降圧コントローラです。コンスタント・オンタイム、疑似固定スイッチング周波数にプログラマブル電流制限、電流制御方式を用いて、優れた過渡応答、最適な安定性、電流制限保護を提供します。また、バレー電流モード制御アーキテクチャを利用して低デューティサイクル時に最適な性能を実現します。このため、すべての N チャンネル・パワー段を駆動して出力電圧を最小 0.6 V に安定化することができます。

ADP1871 は、このコントローラ・デバイスのパワーセーブ・モード (PSM) バージョンです。パルススキップにより出力レギュレーションを維持しながら、軽負荷時のシステム効率を高めることができます。(詳細については、「パワーセーブ・モード (PSM) のバージョン (ADP1871)」を参照。)

ADP1870/ADP1871 には 3 つのスイッチング周波数オプション (300 kHz、600 kHz、1.0 MHz + PSM) があり、2.95~20 V の入力電源範囲を必要とする幅広いアプリケーションに最適です。5 V の内部 LDO 経由で低電圧バイアシングを行います。

代表的なアプリケーション回路

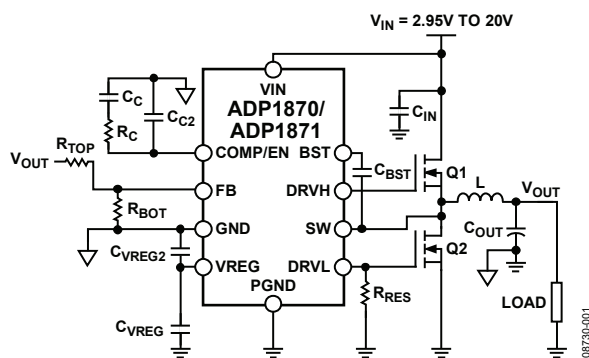


図 1.

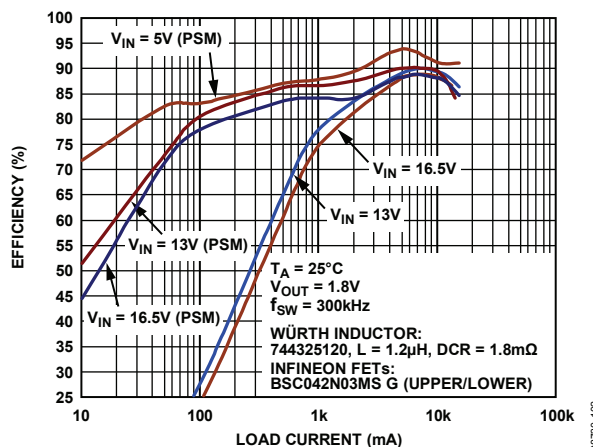


図 2. 負荷電流 対 効率 ($V_{OUT} = 1.8$ V, 300 kHz)

また、内部の固定ソフトスタート期間により、スタートアップ時の入力電源からの入力突入電流を制限し、ソフトスタート時の逆電流保護機能でプリチャージ出力が得られます。ローサイド電流検出、電流ゲイン方式、内蔵ブースト・ダイオード、そして PSM/固定パルス幅変調 (PWM) オプションにより、外付け部品数が減少し、効率を高めることができます。

ADP1870/ADP1871 は、 $-40 \sim +125^\circ\text{C}$ のジャンクション温度範囲で動作し、10 ピン MSOP パッケージを採用しています。

目次

特長.....	1	パワーセーブ・モード (PSM) (ADP1871 のみ)	22
アプリケーション	1	タイマー動作.....	22
概要.....	1	疑似固定スイッチング周波数	23
代表的なアプリケーション回路	1	アプリケーション情報	24
改訂履歴.....	2	帰還抵抗分圧器.....	24
仕様.....	3	インダクタの選択.....	24
絶対最大定格	5	出力リップル電圧 (ΔV_{RR})	24
熱抵抗.....	5	出力コンデンサの選択.....	24
境界条件.....	5	補償回路	25
ESD に関する注意.....	5	効率に関する考慮事項.....	26
ピン配置と機能の説明	6	入力コンデンサの選択.....	27
代表的な性能特性	7	熱に関する考慮事項.....	28
ADP1870/ADP1871 のブロック図.....	18	設計例	29
動作原理.....	19	推奨外部部品.....	31
スタートアップ.....	19	レイアウトの考慮事項	33
ソフトスタート.....	19	IC 領域 (評価用ボードの左側)	36
高精度イネーブル回路	19	電源領域	36
低電圧ロックアウト.....	19	差動電圧の検出.....	37
オンボードの低ドロップアウト・レギュレータ.....	19	代表的なアプリケーション回路	38
サーマル・シャットダウン	20	15 A、300 kHz 高電流アプリケーション回路	38
電流検出ゲイン設定用抵抗 (RES) 検出回路	20	5.5 V 入力、600 kHz プリケーション回路	38
バレー電流制限の設定	20	300 kHz の高電流アプリケーション回路	39
短絡時の Hiccup モード.....	21	外形寸法.....	40
同期整流器.....	22	オーダー・ガイド.....	40

改訂履歴

3/10—Revision 0: Initial Version

仕様

極限温度での限界値はすべて、標準的な統計品質管理 (SQC) による相関性によって保証しています。V_{REG} = 5 V、V_{BST} - V_{SW} = V_{REG} - V_{RECT_DROP} (図 40～図 42を参照)。V_{IN} = 12 V。特に指定のない限り、この仕様はT_J = -40～+125°Cの温度範囲で有効です。

表 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
POWER SUPPLY CHARACTERISTICS						
High Input Voltage Range	V _{IN}	C _{IN} = 22 μF to PGND (at Pin 1) ADP1870ARMZ-0.3/ADP1871ARMZ-0.3 (300 kHz) ADP1870ARMZ-0.6/ADP1871ARMZ-0.6 (600 kHz) ADP1870ARMZ-1.0/ADP1871ARMZ-1.0 (1.0 MHz)	2.95 2.95 3.25	12 12 12	20 20 20	V V V
Quiescent Current	I _{Q_REG} + I _{Q_BST}	V _{FB} = 1.5 V, no switching		1.1		mA
Shutdown Current	I _{REG,SD} + I _{BST,SD}	COMP/EN < 285 mV		190	280	μA
Undervoltage Lockout	UVLO	Rising V _{IN} (see Figure 35 for temperature variation)		2.65		V
UVLO Hysteresis		Falling V _{IN} from operational state		190		mV
INTERNAL REGULATOR CHARACTERISTICS						
VREG Operational Output Voltage	V _{REG}	C _{VREG} = 1 μF to PGND, 0.22 μF to GND, V _{IN} = 2.95 V to 20 V ADP1870ARMZ-0.3/ADP1871ARMZ-0.3 (300 kHz) ADP1870ARMZ-0.6/ADP1871ARMZ-0.6 (600 kHz) ADP1870ARMZ-1.0/ADP1871ARMZ-1.0 (1.0 MHz)	2.75 2.75 3.05	5 5 5	5.5 5.5 5.5	V V V
VREG Output in Regulation		V _{IN} = 7 V, 100 mA V _{IN} = 12 V, 100 mA	4.8 4.8	4.981 4.982	5.16 5.16	V V
Load Regulation		0 mA to 100 mA, V _{IN} = 7 V 0 mA to 100 mA, V _{IN} = 20 V		32 33		mV mV
Line Regulation		V _{IN} = 7 V to 20 V, 20 mA V _{IN} = 7 V to 20 V, 100 mA		2.5 2.0		mV mV
V _{IN} to V _{REG} Dropout Voltage		100 mA out of V _{REG} , V _{IN} ≤ 5 V		300	415	mV
Short VREG to PGND		V _{IN} = 20 V		229	320	mA
SOFT START						
Soft Start Period		See Figure 58		3.0		ms
ERROR AMPLIFIER						
FB Regulation Voltage	V _{FB}	T _J = +25°C T _J = -40°C to +85°C T _J = -40°C to +125°C		600 596 594.2		mV mV mV
Transconductance	G _m		320	496	670	μS
FB Input Leakage Current	I _{FB, Leak}	V _{FB} = 0.6 V, COMP/EN = released		1	50	nA
CURRENT-SENSE AMPLIFIER GAIN						
Programming Resistor (RES) Value from DRV _L to PGND		RES = 47 kΩ ± 1% RES = 22 kΩ ± 1% RES = none RES = 100 kΩ ± 1%	2.7 5.5 11 22	3 6 12 24	3.3 6.5 13 26	V/V V/V V/V V/V
SWITCHING FREQUENCY						
ADP1870ARMZ-0.3/ ADP1871ARMZ-0.3 (300 kHz)		Typical values measured at 50% time points with 0 nF at DRV _H and DRV _L ; maximum values are guaranteed by bench evaluation ¹		300		kHz
On-Time		V _{IN} = 5 V, V _{OUT} = 2 V, T _J = 25°C	1120	1200	1280	ns
Minimum On-Time		V _{IN} = 20 V		146	190	ns
Minimum Off-Time		84% duty cycle (maximum)		340	400	ns
ADP1870ARMZ-0.6/ ADP1871ARMZ-0.6 (600 kHz)				600		kHz
On-Time		V _{IN} = 5 V, V _{OUT} = 2 V, T _J = 25°C	500	540	580	ns
Minimum On-Time		V _{IN} = 20 V, V _{OUT} = 0.8 V		82	110	ns
Minimum Off-Time		65% duty cycle (maximum)		340	400	ns

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
ADP1870ARMZ-1.0/ ADP1871ARMZ-1.0 (1.0 MHz)				1.0		MHz
On-Time		$V_{IN} = 5\text{ V}$, $V_{OUT} = 2\text{ V}$, $T_J = 25^\circ\text{C}$	285	312	340	ns
Minimum On-Time		$V_{IN} = 20\text{ V}$		60	85	ns
Minimum Off-Time		45% duty cycle (maximum)		340	400	ns
OUTPUT DRIVER CHARACTERISTICS						
High-Side Driver						
Output Source Resistance		$I_{SOURCE} = 1.5\text{ A}$, 100 ns, positive pulse (0 V to 5 V)		2.25	3	Ω
Output Sink Resistance		$I_{SINK} = 1.5\text{ A}$, 100 ns, negative pulse (5 V to 0 V)		0.7	1	Ω
Rise Time ²	$t_{r,DRVH}$	$V_{BST} - V_{SW} = 4.4\text{ V}$, $C_{IN} = 4.3\text{ nF}$ (see Figure 60)		25		ns
Fall Time ²	$t_{f,DRVH}$	$V_{BST} - V_{SW} = 4.4\text{ V}$, $C_{IN} = 4.3\text{ nF}$ (see Figure 61)		11		ns
Low-Side Driver						
Output Source Resistance		$I_{SOURCE} = 1.5\text{ A}$, 100 ns, positive pulse (0 V to 5 V)		1.6	2.2	Ω
Output Sink Resistance		$I_{SINK} = 1.5\text{ A}$, 100 ns, negative pulse (5 V to 0 V)		0.7	1	Ω
Rise Time ²	$t_{r,DRV L}$	$V_{REG} = 5.0\text{ V}$, $C_{IN} = 4.3\text{ nF}$ (see Figure 61)		18		ns
Fall Time ²	$t_{f,DRV L}$	$V_{REG} = 5.0\text{ V}$, $C_{IN} = 4.3\text{ nF}$ (see Figure 60)		16		ns
Propagation Delays						
DRV L Fall to DRV H Rise ²	$t_{pdh,DRVH}$	$V_{BST} - V_{SW} = 4.4\text{ V}$ (see Figure 60)		15.4		ns
DRV H Fall to DRV L Rise ²	$t_{pdh,DRV L}$	$V_{BST} - V_{SW} = 4.4\text{ V}$ (see Figure 61)		18		ns
SW Leakage Current	I_{SWLEAK}	$V_{BST} = 25\text{ V}$, $V_{SW} = 20\text{ V}$, $V_{REG} = 5\text{ V}$			110	μA
Integrated Rectifier						
Channel Impedance		$I_{SINK} = 10\text{ mA}$		22		Ω
PRECISION ENABLE THRESHOLD						
Logic High Level		$V_{IN} = 2.9\text{ V}$ to 20 V , $V_{REG} = 2.75\text{ V}$ to 5.5 V	245	285	330	mV
Enable Hysteresis		$V_{IN} = 2.9\text{ V}$ to 20 V , $V_{REG} = 2.75\text{ V}$ to 5.5 V		37		mV
COMP VOLTAGE						
COMP Clamp Low Voltage	$V_{COMP(low)}$	From disabled state, release COMP/EN pin to enable device ($2.75\text{ V} \leq V_{REG} \leq 5.5\text{ V}$)	0.47			V
COMP Clamp High Voltage	$V_{COMP(high)}$	($2.75\text{ V} \leq V_{REG} \leq 5.5\text{ V}$)			2.55	V
COMP Zero Current Threshold	V_{COMP_ZCT}	($2.75\text{ V} \leq V_{REG} \leq 5.5\text{ V}$)		1.07		V
THERMAL SHUTDOWN	T_{TMSD}					
Thermal Shutdown Threshold		Rising temperature		155		$^\circ\text{C}$
Thermal Shutdown Hysteresis				15		$^\circ\text{C}$
Hiccup Current Limit Timing				6		ms

¹ 仕様の最大値は、10～90%の時間点（図 60 と図 61 を参照）、 $C_{GATE} = 4.3\text{ nF}$ 、Infineon BSC042N03MSG の上側 MOSFET および下側 MOSFET、クローズドループにより測定しています。

² ATE（自動試験装置）による試験は行っていない。

絶対最大定格

表 2.

Parameter	Rating
VREG to PGND, GND	−0.3 V to +6 V
VIN to PGND	−0.3 V to +28 V
FB, COMP/EN to GND	−0.3 V to (V _{REG} + 0.3 V)
DRV _L to PGND	−0.3 V to (V _{REG} + 0.3 V)
SW to PGND	−2.0 V to +28 V
BST to SW	−0.6 V to (V _{REG} + 0.3 V)
BST to PGND	−0.3 V to 28 V
DRV _H to SW	−0.3 V to V _{REG}
PGND to GND	±0.3 V
θ _{JA} (10-Lead MSOP)	
2-Layer Board	213.1°C/W
4-Layer Board	171.7°C/W
Operating Junction Temperature Range	−40°C to +125°C
Storage Temperature Range	−65°C to +150°C
Soldering Conditions	JEDEC J-STD-020
Maximum Soldering Lead Temperature (10 sec)	300°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

絶対最大定格は、これらの組み合わせではなく個別に適用されま
す。特に指定のない限り、ほかの電圧はすべて PGND を基準に
します。

熱抵抗

θ_{JA} は最悪の条件、すなわち回路ボードに表面実装パッケージをハンダ付けした状態で規定しています。

表 3. 熱抵抗


Package Type	θ _{JA} ¹	Unit
θ _{JA} (10-Lead MSOP)		
2-Layer Board	213.1	°C/W
4-Layer Board	171.7	°C/W

¹ θ_{JA} は最悪の条件で規定しています。すなわち、回路ボードに表面実装パッケージをハンダ付けした状態で θ_{JA} を規定しています。

境界条件

表 2および表 3の値を求める際には、自然対流を利用して 4 層評価用ボードに熱を伝えました。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

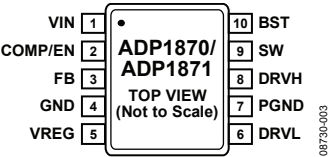
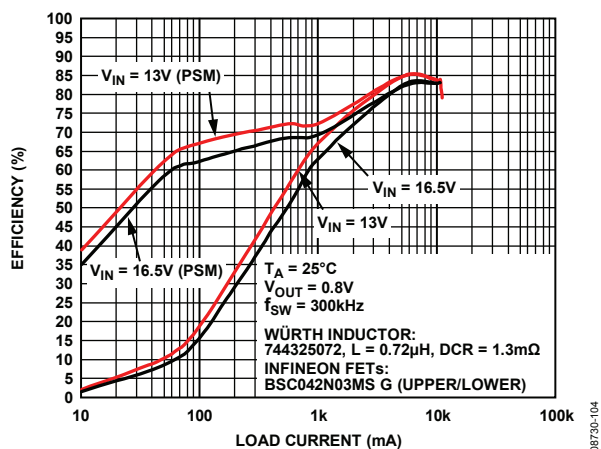
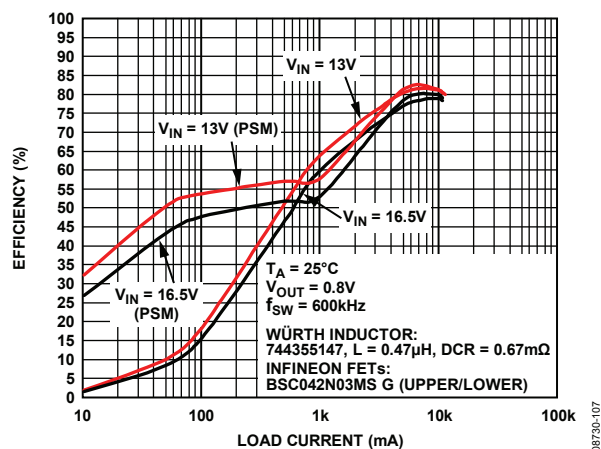
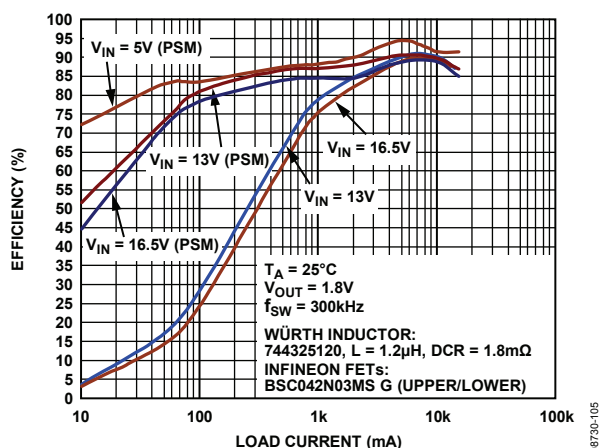
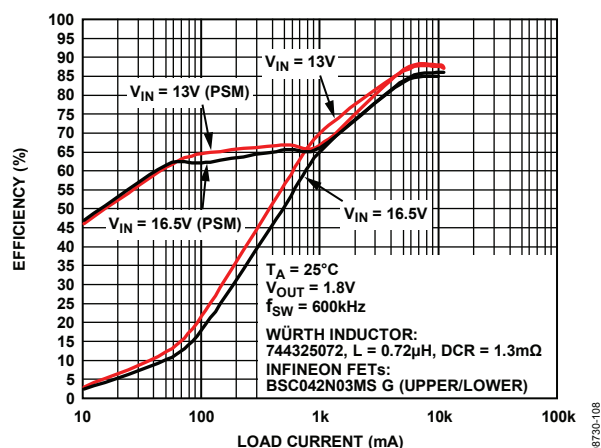
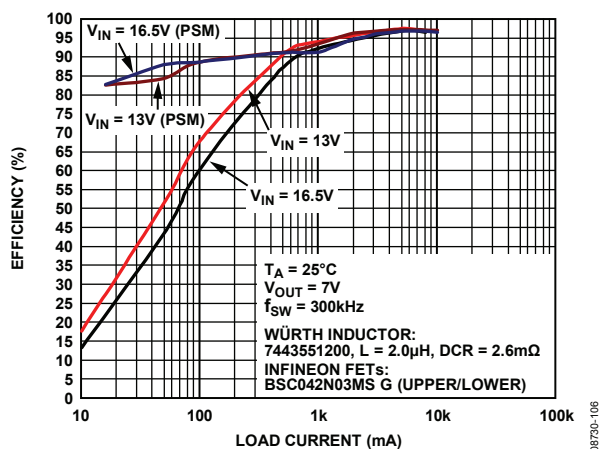
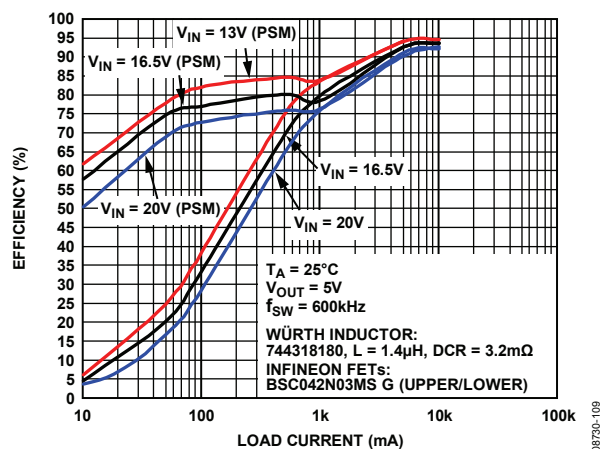


図 3. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	VIN	入力電圧。上側 MOSFET のドレインに VIN を接続してください。
2	COMP/EN	内部誤差アンプ/IC イネーブルの入出力。このピンを EN として使用するとき、EN ピンに 0 V を印加すると IC がディスエーブルになります。
3	FB	内部誤差アンプの非反転入力。このノードに帰還抵抗を接続してください。
4	GND	IC のアナログ・グラウンド・リファレンス・ピン。高感度のアナログ部品はすべてこのグラウンド・プレーンに接続してください（「レイアウトの考慮事項」を参照）。
5	VREG	ADP1870/ADP1871 コントローラ（出力ゲート・ドライバを含む）の内部レギュレータ電源バイアス電圧。このピンと PGND 間に直接 1 μ F のバイパス・コンデンサを接続し、VREG と GND 間に 0.1 μ F のコンデンサを接続することを推奨します。
6	DRVL	外部の下側 N チャンネル MOSFET の駆動出力。このピンは電流検出ゲイン設定ピンにもなります（図 69 を参照）。
7	PGND	パワー GND。下側ゲート・ドライバおよび下側 N チャンネル MOSFET のグラウンド。
8	DRVH	外部の上側 N チャンネル MOSFET の駆動出力。
9	SW	スイッチ・ノード接続。
10	BST	上側 MOSFET ゲート駆動回路のブートストラップ。内部ブート整流器（ダイオード）が VREG と BST の間に接続されています。BST と SW 間にはコンデンサを接続する必要があります。ゲート駆動能力を高めるために、VREG と BST 間に外部ショットキー・ダイオードを接続することもできます。

代表的な性能特性

図 4. 効率 (300 kHz、 $V_{OUT} = 0.8\text{ V}$)図 7. 効率 (600 kHz、 $V_{OUT} = 0.8\text{ V}$)図 5. 効率 (300 kHz、 $V_{OUT} = 1.8\text{ V}$)図 8. 効率 (600 kHz、 $V_{OUT} = 1.8\text{ V}$)図 6. 効率 (300 kHz、 $V_{OUT} = 7\text{ V}$)図 9. 効率 (600 kHz、 $V_{OUT} = 5\text{ V}$)

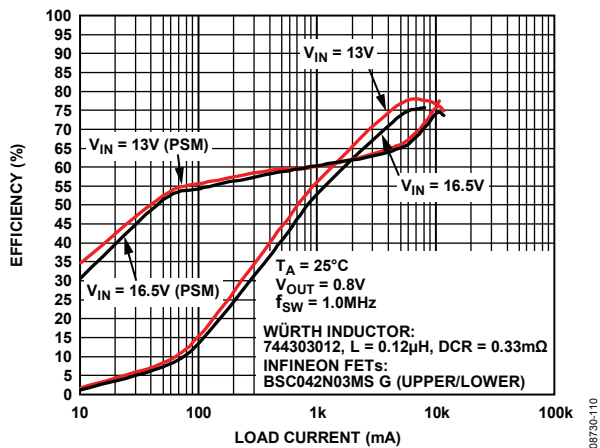


図 10. 効率 (1.0 MHz、 $V_{OUT} = 0.8\text{ V}$)

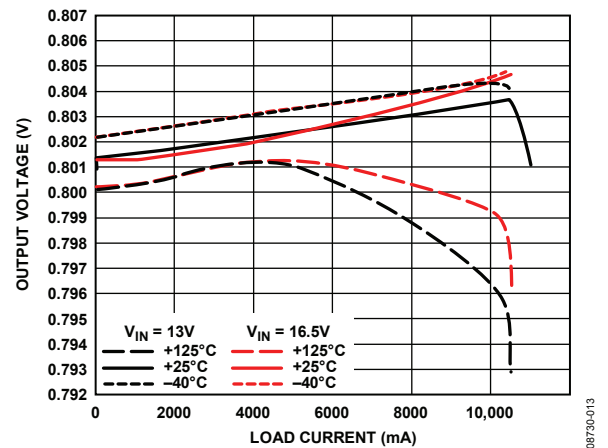


図 13. 出力電圧精度 (300 kHz、 $V_{OUT} = 0.8\text{ V}$)

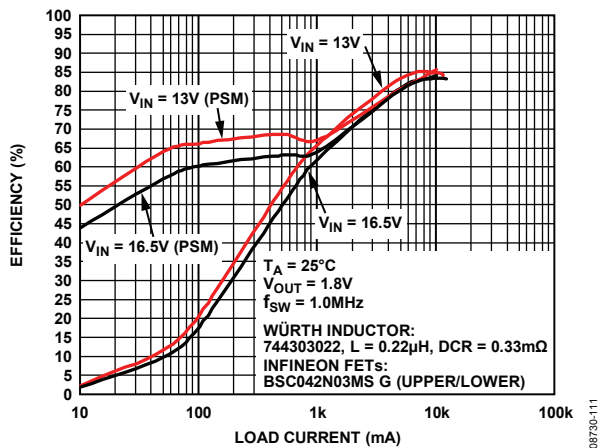


図 11. 効率 (1.0 MHz、 $V_{OUT} = 1.8\text{ V}$)

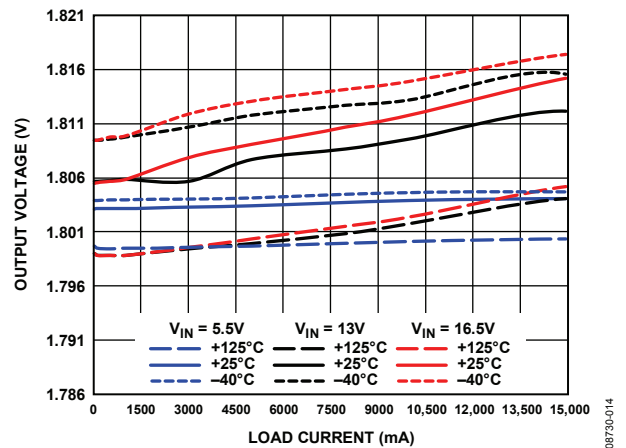


図 14. 出力電圧精度 (300 kHz、 $V_{OUT} = 1.8\text{ V}$)

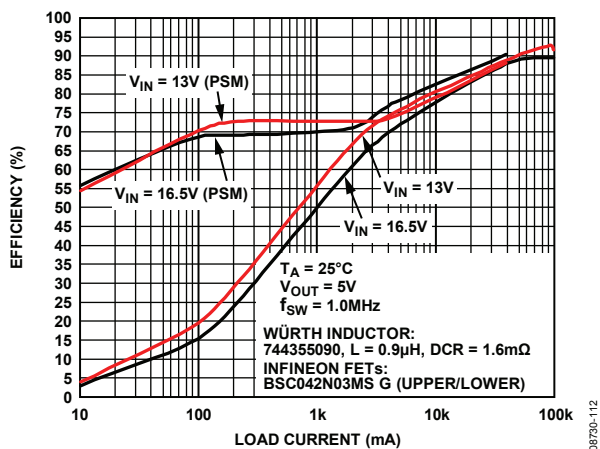


図 12. 効率 (1.0 MHz、 $V_{OUT} = 5\text{ V}$)

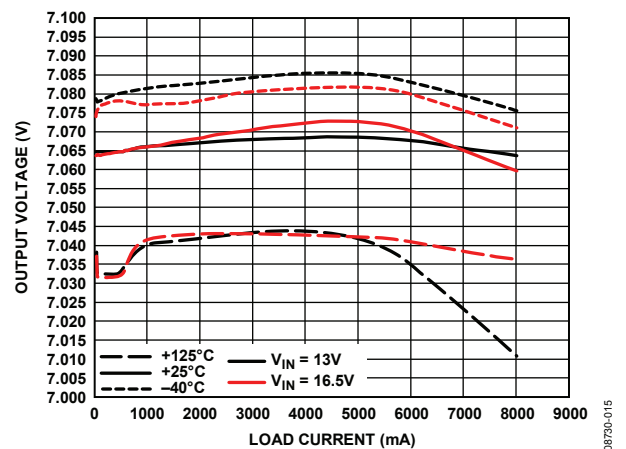


図 15. 出力電圧精度 (300 kHz、 $V_{OUT} = 7\text{ V}$)

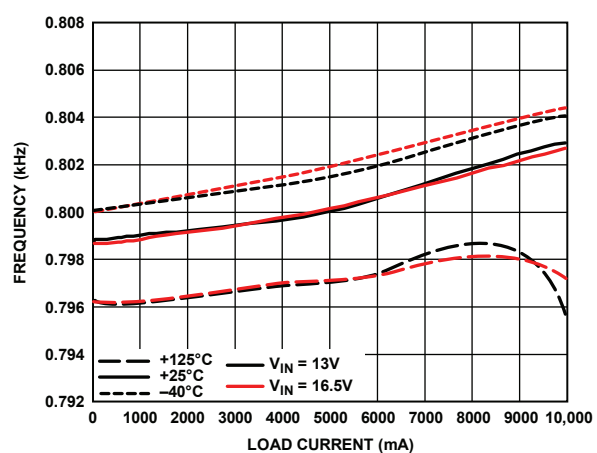


図 16. 出力電圧精度 (600 kHz、 $V_{OUT} = 0.8\text{ V}$)

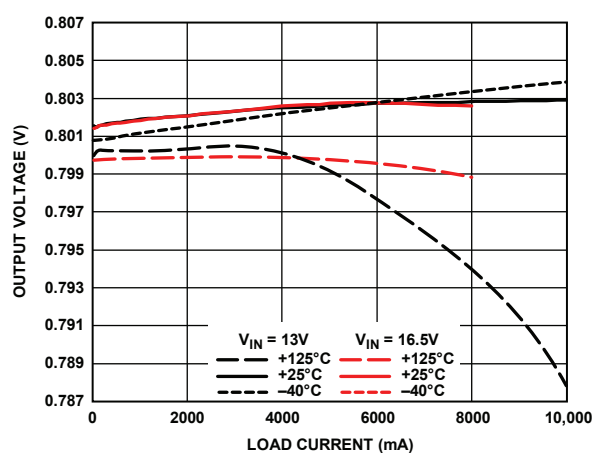


図 19. 出力電圧精度 (1.0 MHz、 $V_{OUT} = 0.8\text{ V}$)

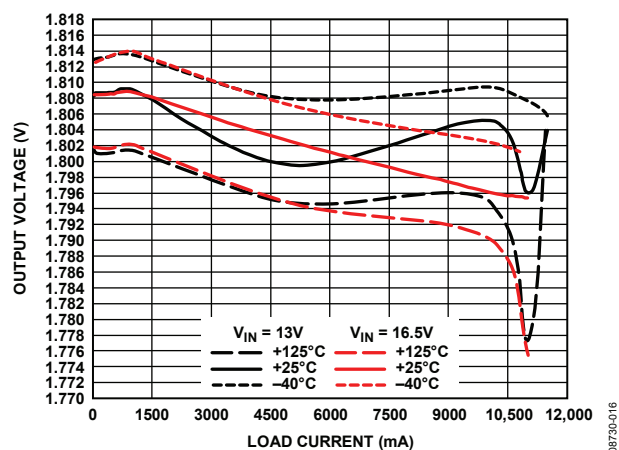


図 17. 出力電圧精度 (600 kHz、 $V_{OUT} = 1.8\text{ V}$)

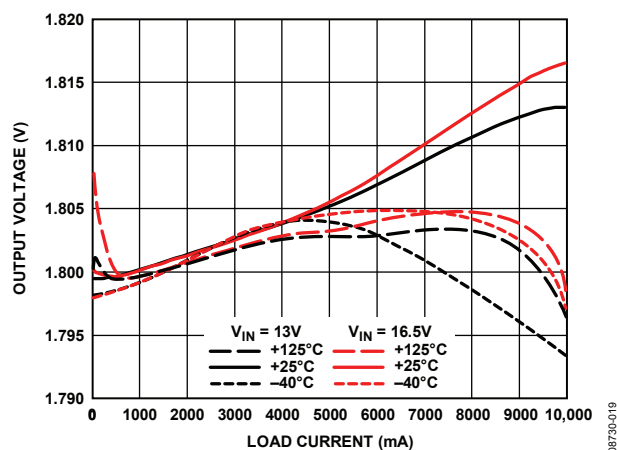


図 20. 出力電圧精度 (1.0 MHz、 $V_{OUT} = 1.8\text{ V}$)

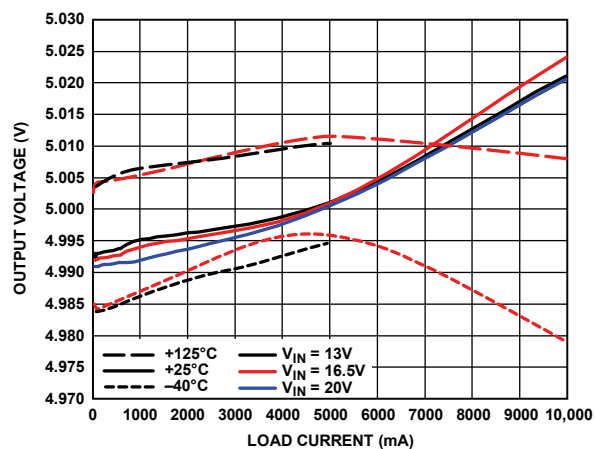


図 18. 出力電圧精度 (600 kHz、 $V_{OUT} = 5\text{ V}$)

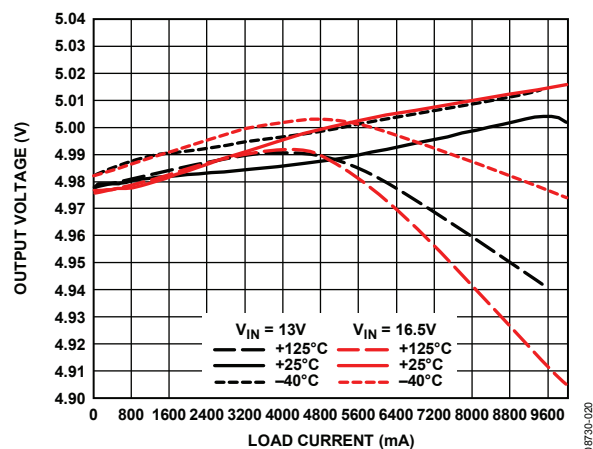


図 21. 出力電圧精度 (1.0 MHz、 $V_{OUT} = 5\text{ V}$)

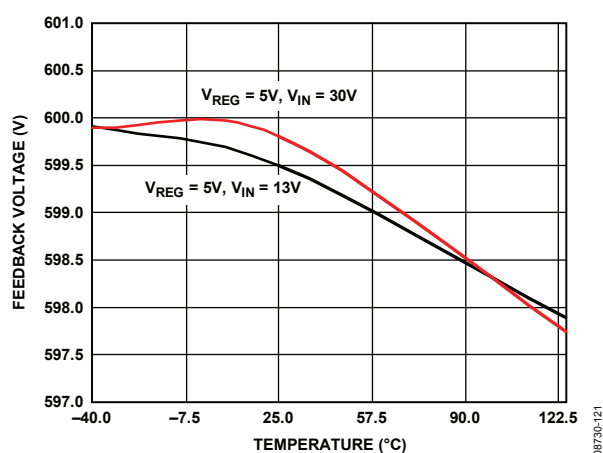


図 22. 帰還抵抗の温度特性

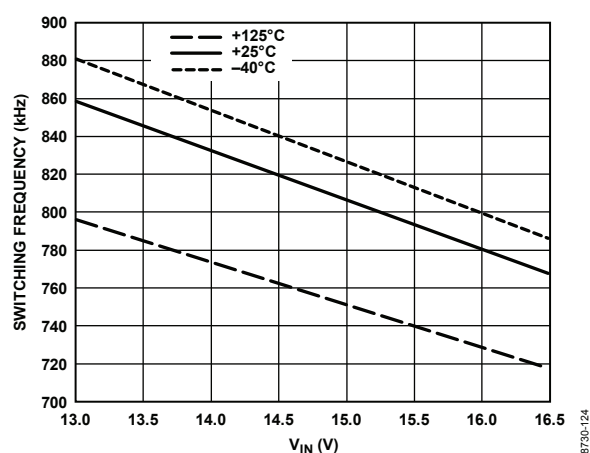


図 25. 高入力電圧 対 スイッチング周波数
(1.0 MHz、 V_{IN} 範囲 = 13~16.5 V)

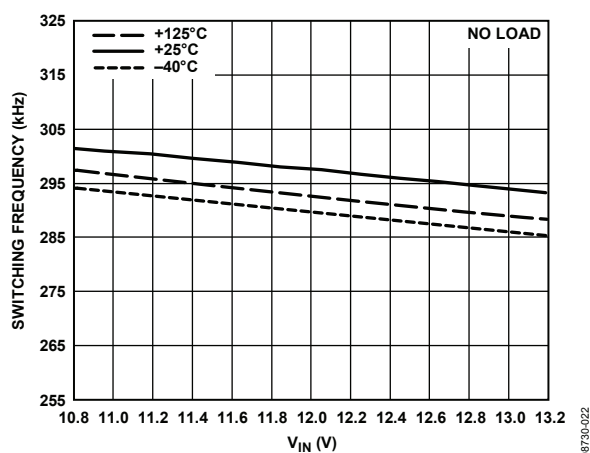


図 23. 高入力電圧 対 スイッチング周波数
(300 kHz、12 V の $\pm 10\%$)

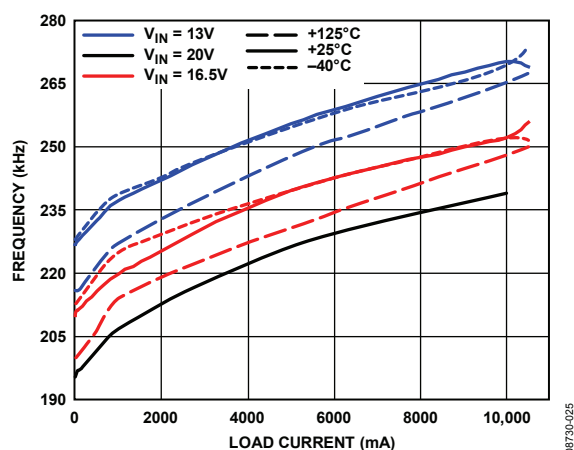


図 26. 負荷電流の周波数特性 (300 kHz、 $V_{OUT} = 0.8$ V)

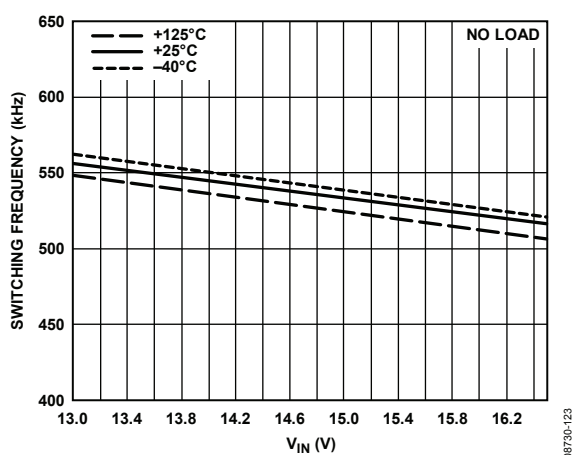


図 24. 高入力電圧 対 スイッチング周波数
(600 kHz、 $V_{OUT} = 1.8$ V、 V_{IN} 範囲 = 13~16.5 V)

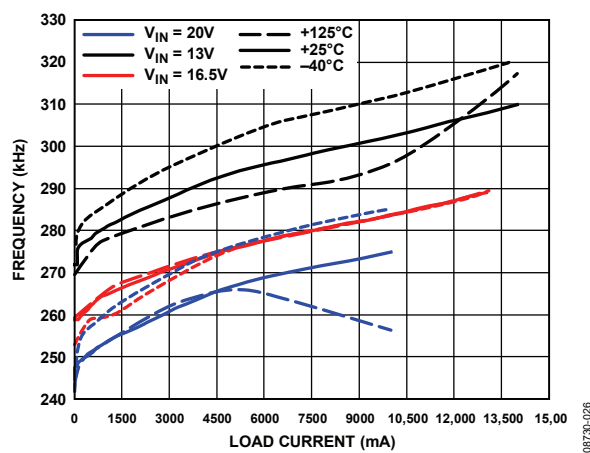
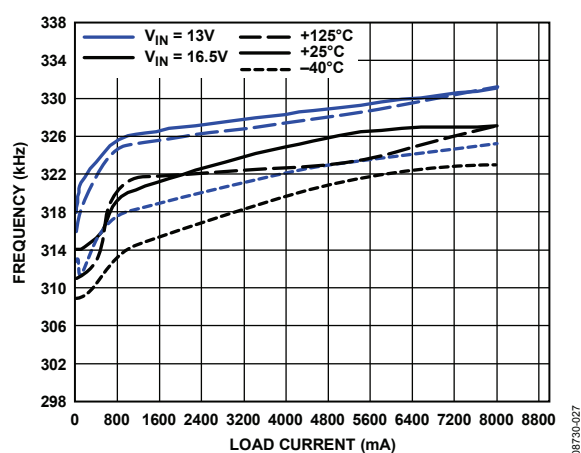
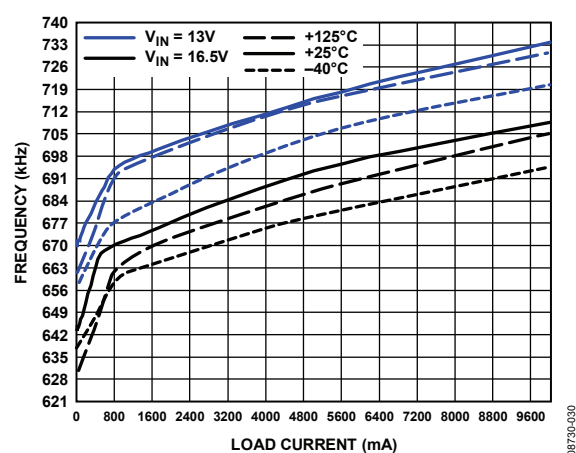
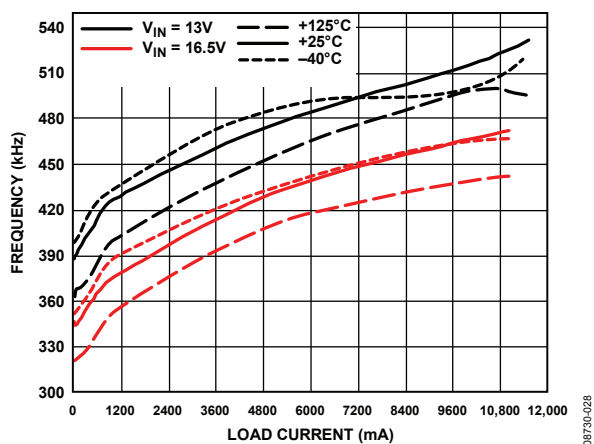
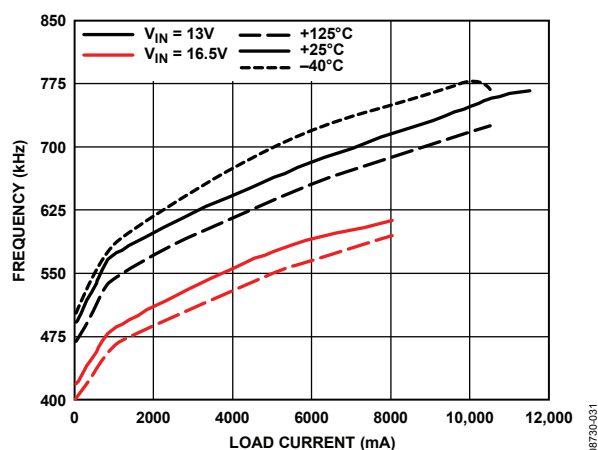
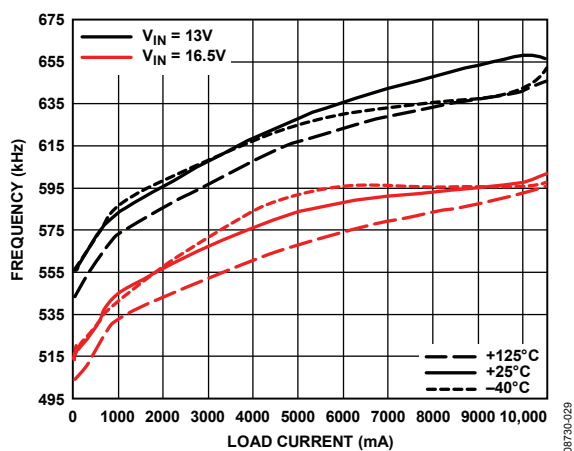
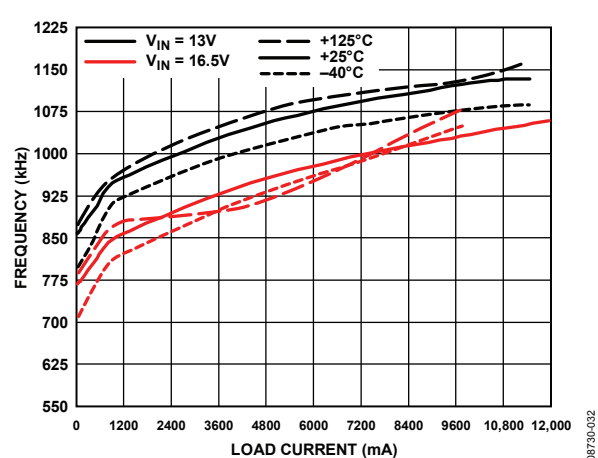


図 27. 負荷電流の周波数特性 (300 kHz、 $V_{OUT} = 1.8$ V)

図 28. 負荷電流の周波数特性 (300 kHz、 $V_{OUT} = 7\text{ V}$)図 31. 負荷電流の周波数特性 (600 kHz、 $V_{OUT} = 5\text{ V}$)図 29. 負荷電流の周波数特性 (600 kHz、 $V_{OUT} = 0.8\text{ V}$)図 32. 負荷電流の周波数特性 ($V_{OUT} = 1.0\text{ MHz}$ 、 0.8 V)図 30. 負荷電流の周波数特性 (600 kHz、 $V_{OUT} = 1.8\text{ V}$)図 33. 負荷電流の周波数特性 (1.0 MHz、 $V_{OUT} = 1.8\text{ V}$)

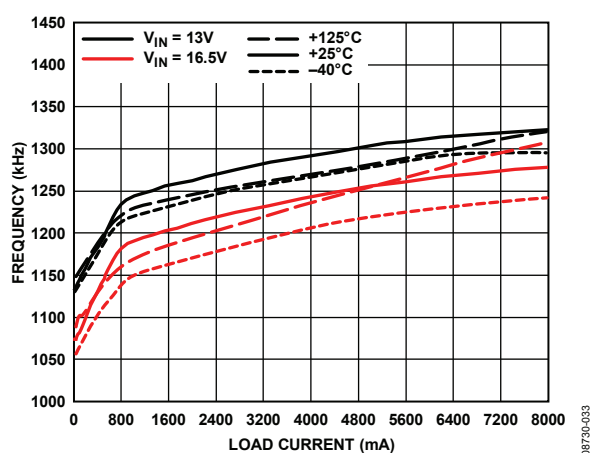


図 34. 負荷電流の周波数特性 (1.0 MHz、 $V_{OUT} = 5\text{ V}$)

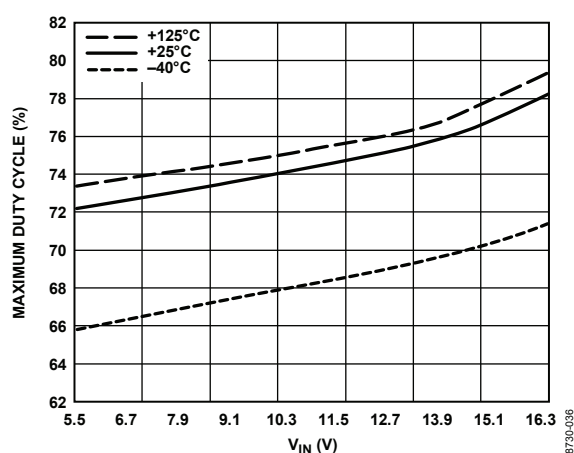


図 37. 高電圧入力 (V_{IN}) 対 最大デューティサイクル

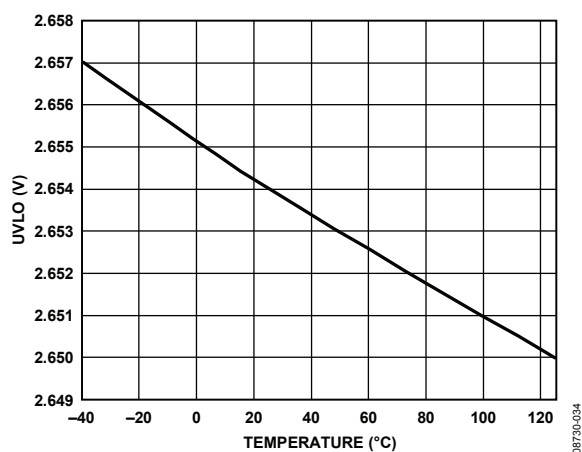


図 35. UVLO の温度特性

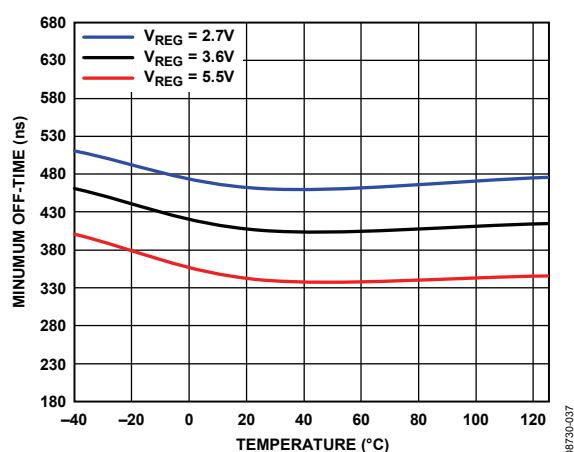


図 38. 最小オフ時間の温度特性

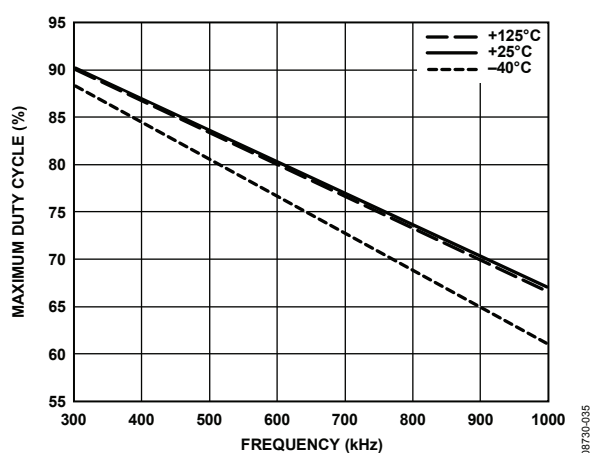


図 36. 最大デューティサイクルの周波数特性

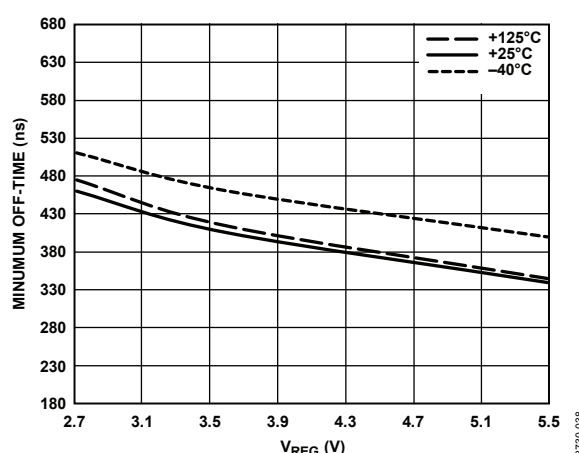


図 39. V_{REG} (低入力電圧) 対 最小オフ時間

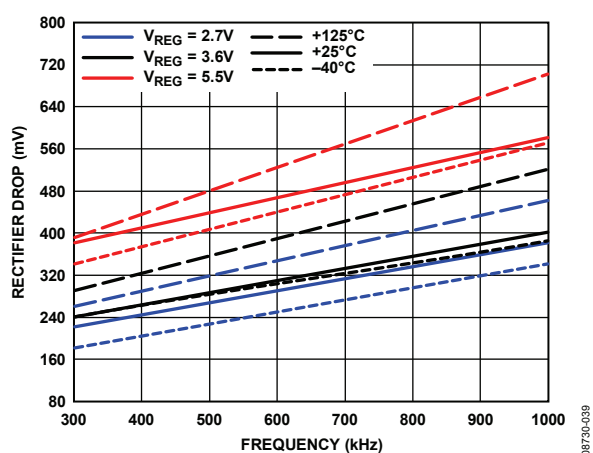


図 40. 内部整流器の電圧降下の周波数特性

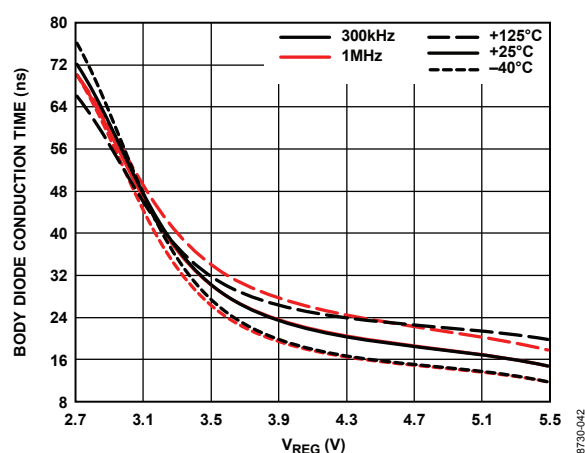


図 43. V_{REG} 対 下側 MOSFET ボディ・ダイオードの導通時間

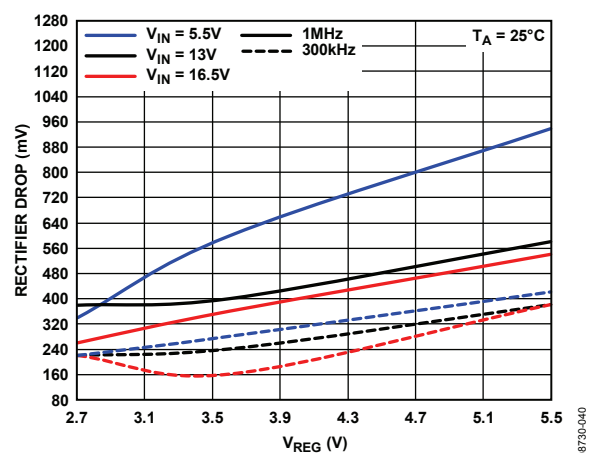


図 41. V_{REG} (低入力電圧) 対 内部ブースト整流器の電圧降下 (V_{IN} 変動)

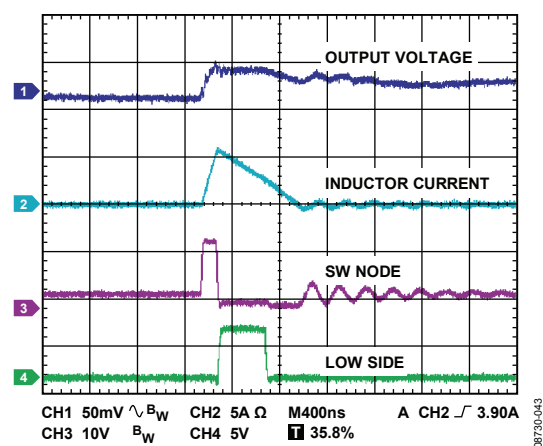


図 44. パワーセーブ・モード (PSM) 時の動作波形 (100 mA)

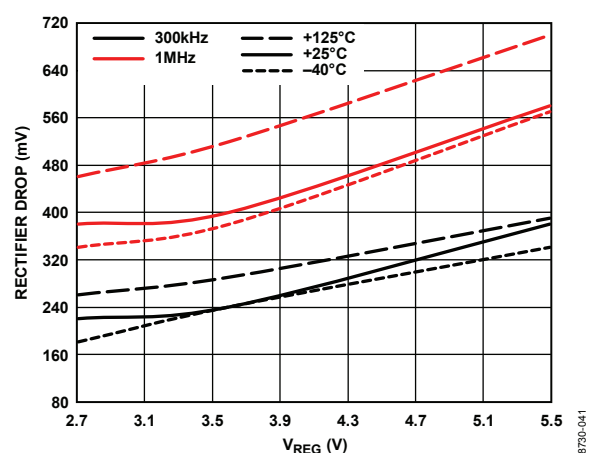


図 42. V_{REG} 対 内部ブースト整流器の電圧降下

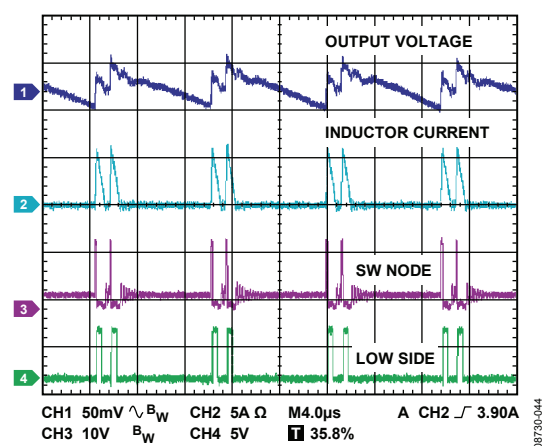


図 45. 軽負荷時の PSM 波形 (500 mA)

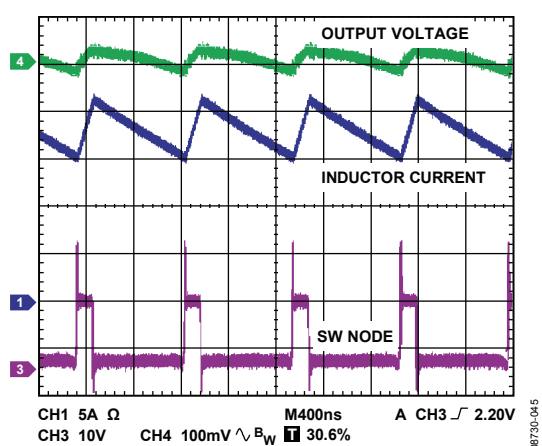


図 46. 高負荷時のCCM動作、12 A
(アプリケーション回路は、図 93を参照)

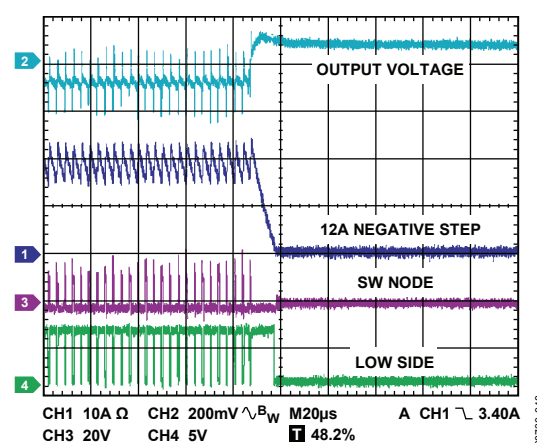


図 49. 高負荷過渡動作時の立下がりステップ—PSMイネーブ、12 A
(アプリケーション回路は、図 93を参照)

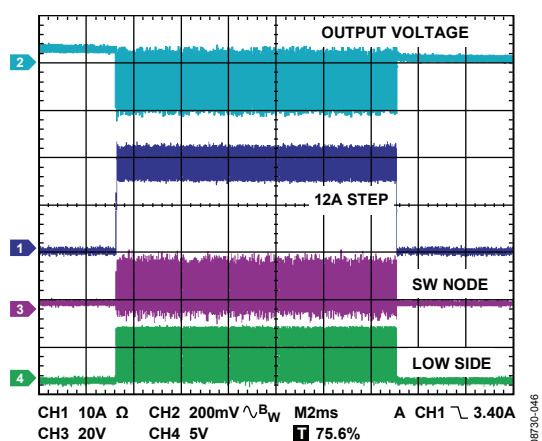


図 47. 負荷過渡ステップ—PSMイネーブ、12 A
(アプリケーション回路は、図 93を参照)

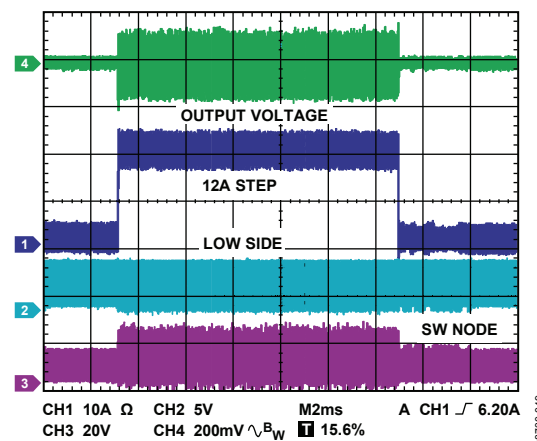


図 50. 負荷過渡ステップ—軽負荷時の強制PWM、12 A
(アプリケーション回路は、図 93を参照)

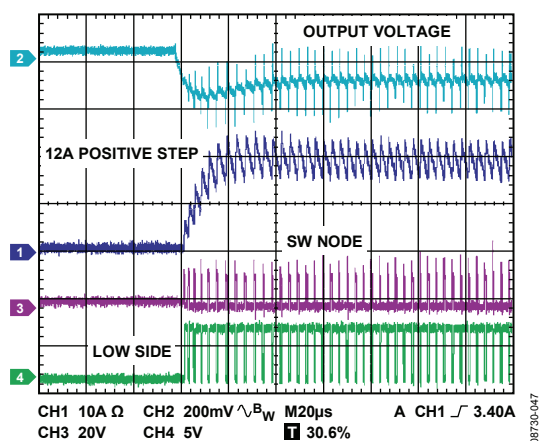


図 48. 高負荷過渡動作時の立上がりステップ—PSMイネーブ、
12 A、 $V_{OUT} = 1.8 V$
(アプリケーション回路は、図 93を参照)

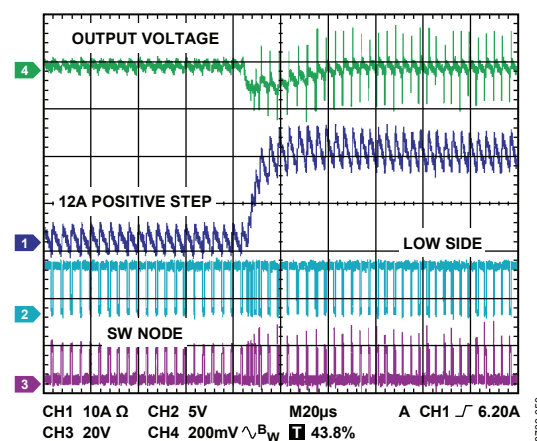


図 51. 高負荷過渡動作時の立上がりステップ—軽負荷時の強制
PWM、12 A、 $V_{OUT} = 1.8 V$
(アプリケーション回路は、図 93を参照)

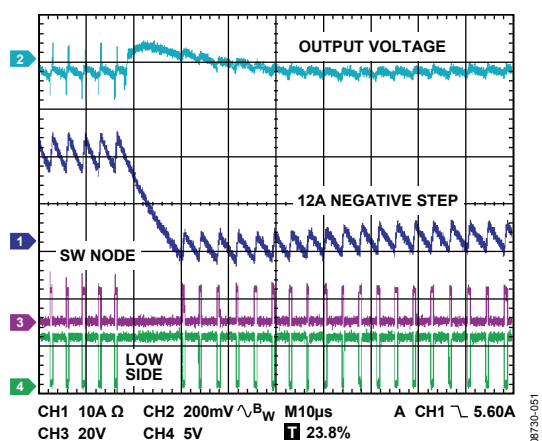


図 52. 高負荷過渡動作時の立下がりステップ—軽負荷時の強制 PWM、12 A (アプリケーション回路は、図 93を参照)

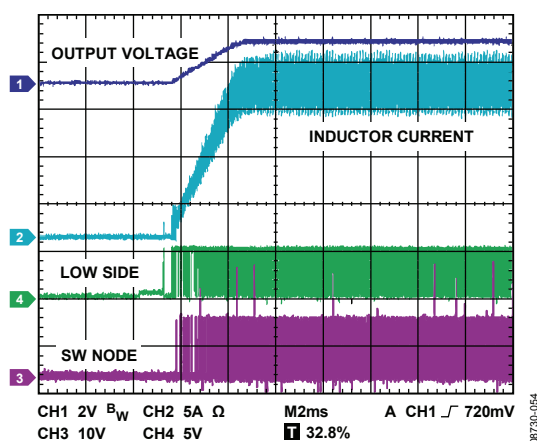


図 55. 高負荷時のスタートアップ動作、12 A、300 kHz (アプリケーション回路は、図 93を参照)

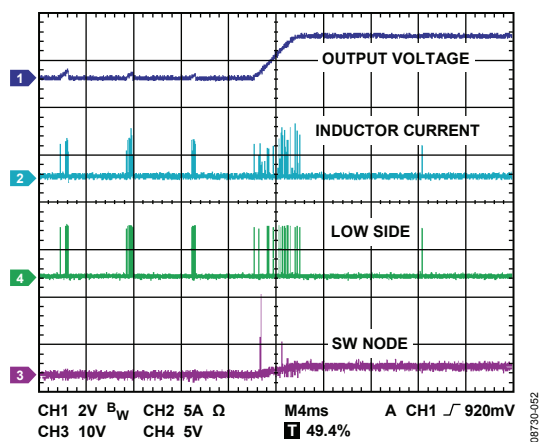


図 53. Hiccup モードをトリガする出力短絡動作

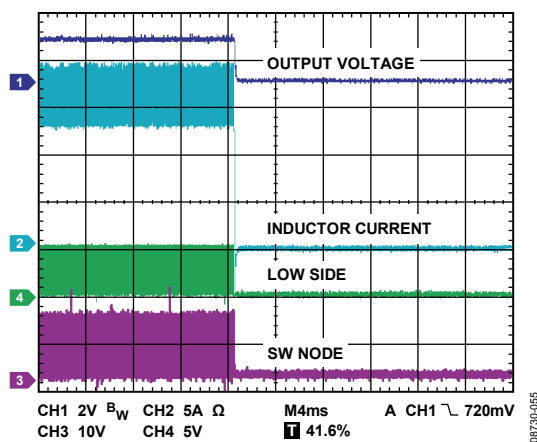


図 56. 高負荷時のパワーダウン波形

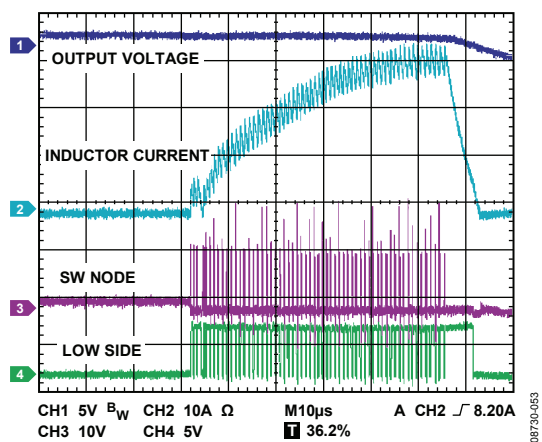


図 54. Hiccup モード時の拡大波形

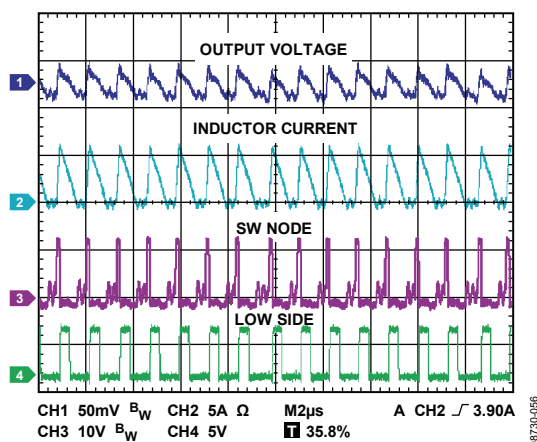


図 57. 2A、軽負荷、PSM 動作時の出力電圧リップル波形

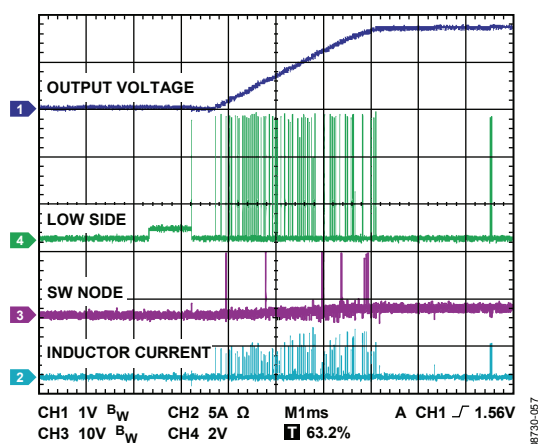


図 58. ソフトスタートおよび RES 検出波形

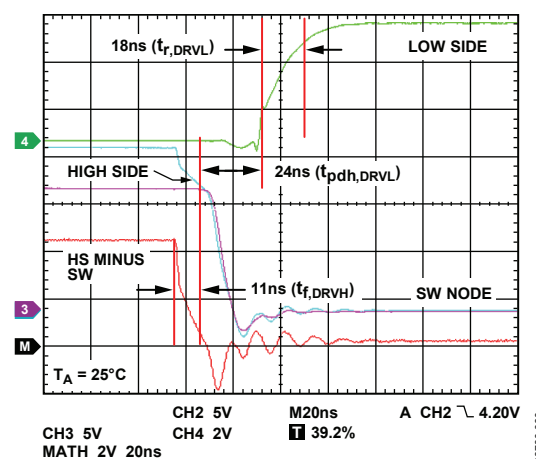
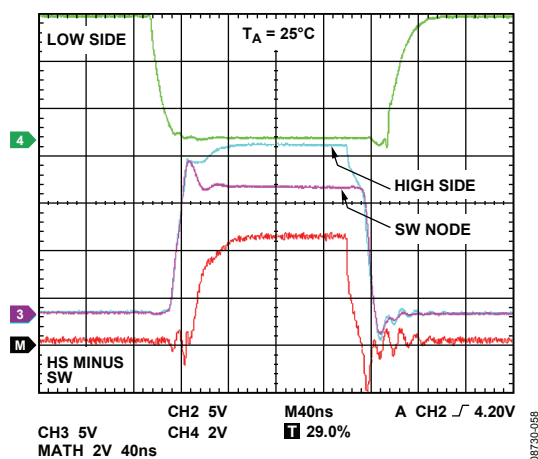
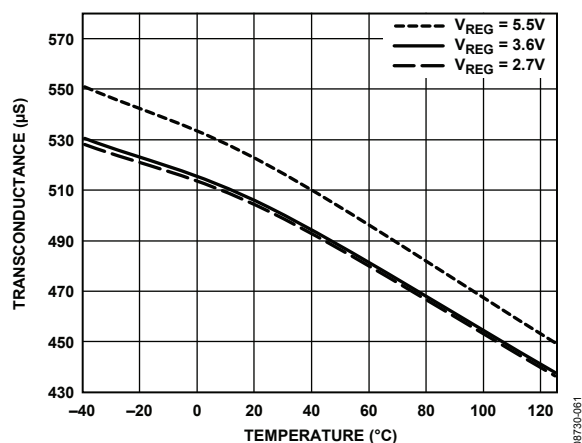
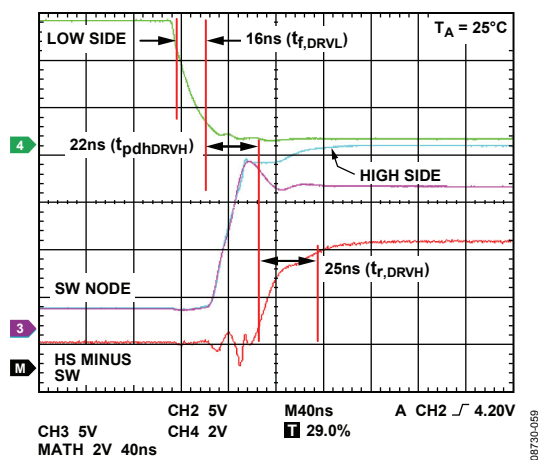
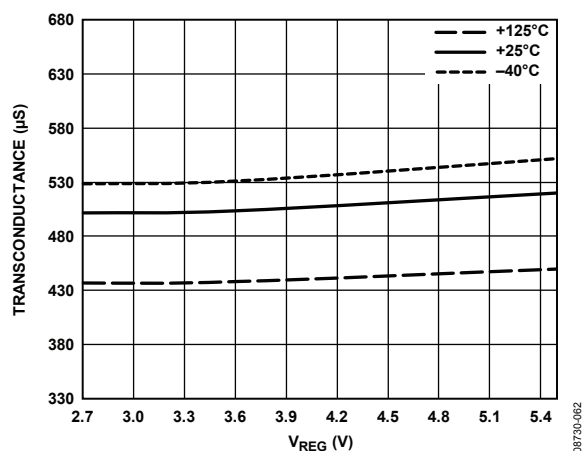
図 61. 上側ドライバの立下がりエッジ/下側の立上がりエッジの波形 ($C_{IN} = 4.3 \text{ nF}$ (上側/下側 MOSFET)、 $Q_{TOTAL} = 27 \text{ nC}$ ($V_{GS} = 4.4 \text{ V}$ (Q1)、 $V_{GS} = 5 \text{ V}$ (Q3)))

図 59. 出力ドライバおよび SW ノード波形

図 62. トランスコンダクタンス (G_m) の温度特性図 60. 上側ドライバの立上りエッジ/下側の立下がりエッジの波形 ($C_{IN} = 4.3 \text{ nF}$ (上側/下側 MOSFET)、 $Q_{TOTAL} = 27 \text{ nC}$ ($V_{GS} = 4.4 \text{ V}$ (Q1)、 $V_{GS} = 5 \text{ V}$ (Q3)))図 63. V_{REG} 対 トランスコンダクタンス (G_m)

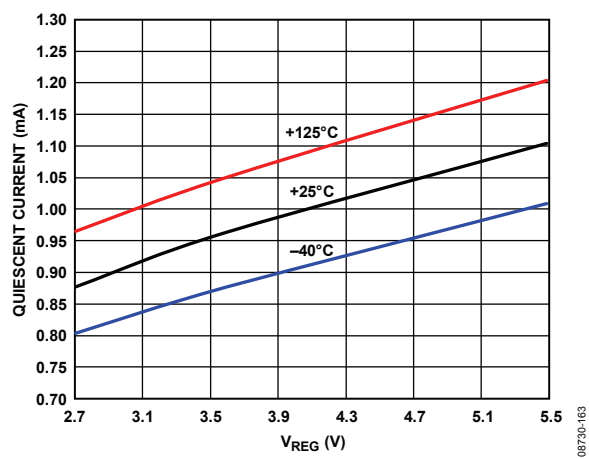


図 64. V_{REG} 对 静止電流

ADP1870/ADP1871のブロック図

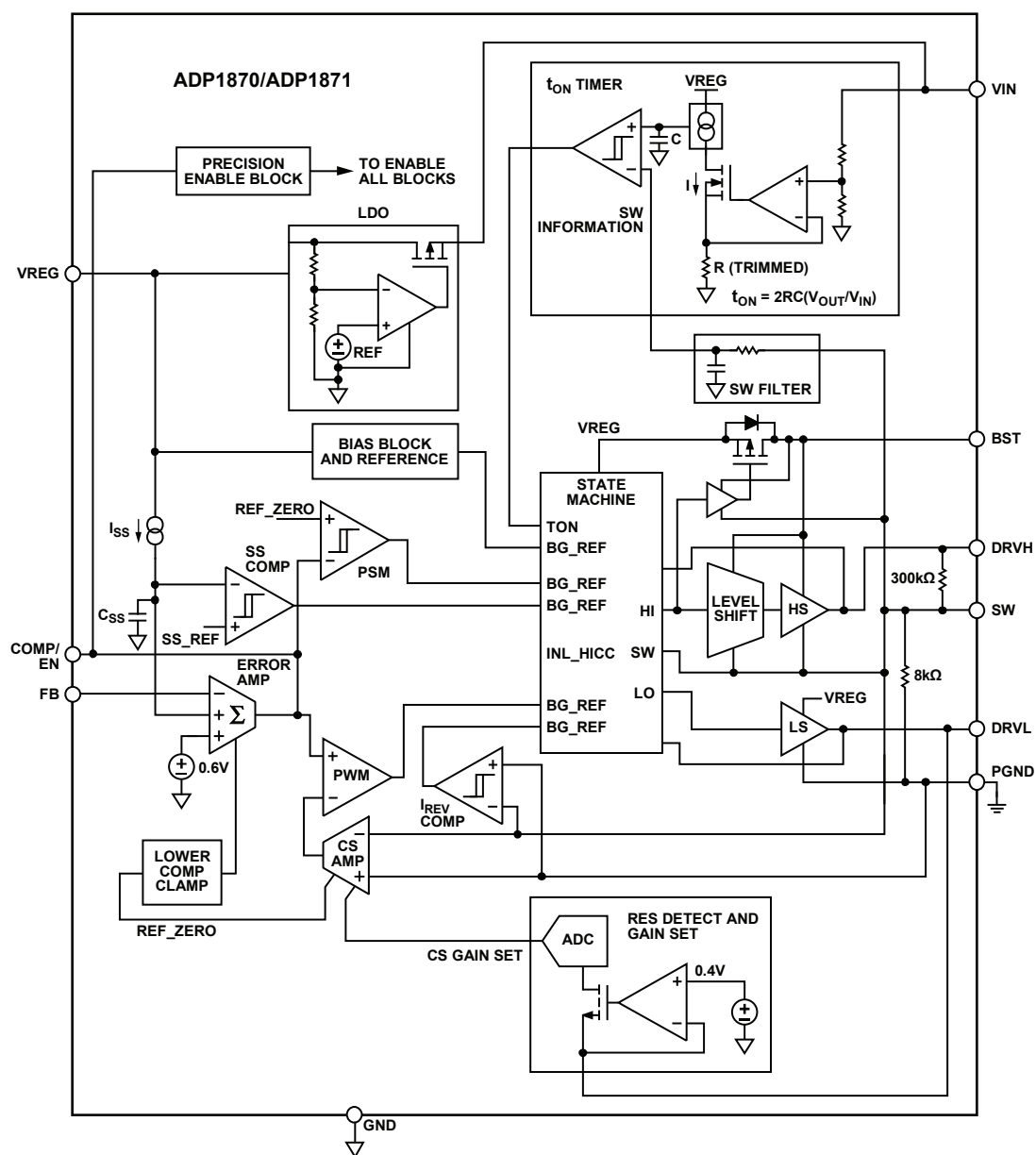


図 65. ADP1870/ADP1871 のブロック図

08730-063

動作原理

ADP1870/ADP1871 は、多機能の電流モード同期式降圧コントローラです。コンスタント・オンタイム、疑似固定スイッチング周波数にプログラマブル電流検出ゲイン、電流制御方式を用いて、優れた過渡応答、最適な安定性、電流制限保護を提供します。また、バレー電流モード制御アーキテクチャを利用して低デューティサイクル時に最適な性能を実現します。このため、すべての N チャンネル・パワー段を駆動して出力電圧を最小 0.6 V に安定化することができます。

スタートアップ

ADP1870/ADP1871 は、内蔵 MOSFET ドライバに対してバイアシングと電源供給を行う内部レギュレータ (VREG) を備えています。VREG (5 番ピン) と PGND (7 番ピン) 間にバイパス・コンデンサを直接接続する必要があります。パワーアップ・シーケンスの中で、電流検出アンプ、電流検出ゲイン回路 (「設定用抵抗 (RES) 検出回路」を参照)、ソフトスタート回路、誤差アンプのバイアシングを行います。

電流検出ブロックがバレー電流情報 (「設定用抵抗 (RES) 検出回路」を参照) を提供し、これがループ安定性のための補償式の変数になります (「補償回路」を参照)。バレー電流情報は、DRV1 出力 PGND ピン間の電圧を 0.4 V にして取得します。これによって、RES 検出回路の処理中に DRV1 と PGND 間の抵抗の大きさに応じた電流が生成されます。抵抗を流れる電流を使用して、電流検出アンプのゲインを設定します。この処理に約 800 μ s かかりますが、その後駆動信号パルスが DRV1 ピンと DRVH ピンに同時に出力され、次にソフトスタート・シーケンスにより出力電圧が一定の制御のもとに上昇し始めます。

出力電圧の立上がり時間は、ソフトスタートと誤差アンプ・ブロック (「ソフトスタート」を参照) によって決まります。ソフトスタートが開始すると、誤差アンプが外部の補償コンデンサを充電します。その結果、COMP/EN ピンの電圧が 285 mV のイネーブル・スレッシュホールドを上回り、ADP1870/ADP1871 がイネーブルになります。

ソフトスタート

ADP1870/ADP1871 のデジタル・ソフトスタート回路は、電流源と固定の内部コンデンサを使ってサイクルごとに電流を 1 μ A ずつ増分するカウンタを使用します。出力は、上側 MOSFET に対して PWM 出力パルスを生成することで、ランピング電圧に追従します。このようにして、高電圧入力電源 (V_{IN}) から出力 (V_{OUT}) への突入電流を制限します。

高精度イネーブル回路

ADP1870/ADP1871 は、高精度のイネーブル回路を使用します。イネーブル・スレッシュホールドは 285 mV (typ) で、ヒステリシスは 35 mV です。デバイスは COMP/EN ピンが解放されるとイネーブルになり、誤差アンプの出力がイネーブル・スレッシュホールドを上回ります (図 66 を参照)。このピンをグラウンドに接続すると ADP1870/ADP1871 はディスエーブルになり、デバイスの電源電流が約 140 μ A まで下がります。詳細については、図 67 を参照してください。

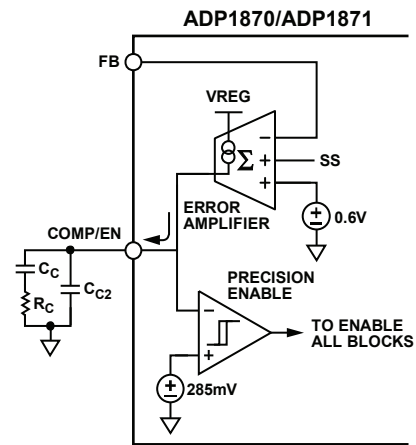


図 66. COMP/EN ピンを解放して ADP1870/ADP1871 をイネーブルに設定

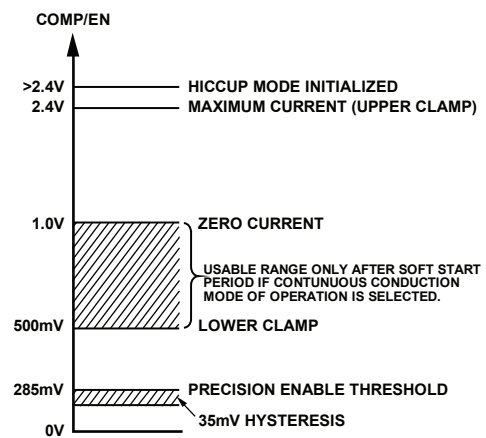


図 67. COMP/EN の電圧範囲

低電圧ロックアウト

低電圧ロックアウト (UVLO) 機能は、上側 MOSFET と下側 MOSFET の両方を極端に低い入力電圧 (V_{IN}) 範囲または未定義の入力電圧範囲で動作するのを防ぎます。未定義のバイアス電圧で動作すると、ハイサイド・パワー・スイッチに誤って信号が送られることがあります。その結果、不良な出力動作が発生し、出力デバイスに損傷を与え、最終的には出力に接続されているデバイスが故障することがあります。UVLO レベルは 2.65 V (公称値) に設定されています。

オンボードの低ドロップアウト・レギュレータ

ADP1870 は、オンボードの LDO を使って内部のデジタル/アナログ回路をバイアスします。VREG ピン (内部 LDO の出力) に適正なバイパス・コンデンサが接続されていれば、このピンを内部 MOSFET ドライバへの電源供給に使用することができます。5.5 V を超える電圧での動作に V_{IN} を使用する場合は、VREG をフローティング状態にすることを推奨します。バイアス動作の最小保証電圧は 2.75 V (VREG) です。

V_{IN} を REG からデカップリングするアプリケーションの場合、 V_{IN} の最小電圧を 2.9 V にする必要があります。 V_{IN} ピンを 2.75 V レールで使用する場合は、 V_{IN} と VREG を相互に接続することを推奨します。

表 5. 電源入力と LDO 出力の構成

VIN	VREG	Comments
>5.5 V	Float	Must use the LDO
<5.5 V	Connect to VIN	LDO drop voltage is not realized (that is, if $V_{IN} = 2.75$ V, then $V_{REG} = 2.75$ V)
<5.5 V	Float	LDO drop is realized
Ranges above and below 5.5 V	Float	LDO drop is realized, minimum V_{IN} recommendation is 2.95 V

サーマル・シャットダウン

サーマル・シャットダウンは、特に高い動作時ジャンクション温度に起因する IC の損傷を防ぐ自己保護機能です。デバイスはジャンクション温度が 155°C を超えると、サーマル・シャットダウン状態になります。この状態のとき、デバイスは上側と下側の MOSFET をシャットオフし、コントローラ全体を即座にディスエーブルにすることで IC の消費電力を低減します。ジャンクション温度が 140°C を下回ると、デバイスは動作を再開します。

電流検出ゲイン設定用抵抗 (RES) 検出回路

スタートアップ時にアクティブになる最初のブロックの 1 つが、RES 検出回路です。このブロックはソフトスタートの開始前にパワーアップします。DRV_L 出力を強制的に 0.4 V のリファレンスに設定し (図 68 を参照)、識別する 4 つの抵抗値 (47 kΩ、22 kΩ、オープン、100 kΩ) を設定することができます。

RES 検出回路は、DRV_L ピン (6 番ピン) の抵抗の値をデジタル化します。内部 ADC が、電流検出アンプの 4 種類のゲイン構成を設定するために 2 ビット・デジタル・コードを出力します (図 69 を参照)。各構成は、それぞれ 3 V/V、6 V/V、12 V/V、24 V/V の電流検出ゲイン (A_{CS}) に対応しています (表 6 および表 7 を参照)。この変数を使用してバレー電流制限を設定し、これによって任意のアプリケーションに対応した電流検出ゲインのセットアップや、ループ安定性に必要な補償の設定を行います (「バレー電流制限の設定」と「補償回路」を参照)。

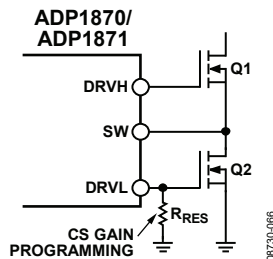


図 68. 設定用抵抗の位置

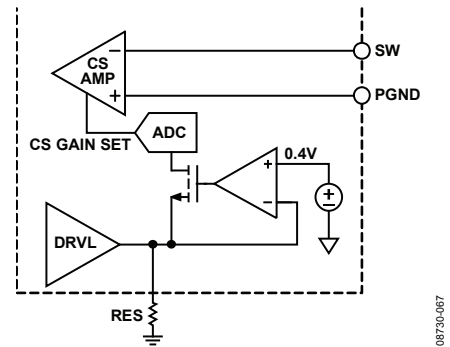


図 69. 電流検出ゲイン設定用の RES 検出回路

表 6. 電流検出ゲインの設定

Resistor	A_{CS}
47 kΩ	3 V/V
22 kΩ	6 V/V
Open	12 V/V
100 kΩ	24 V/V

バレー電流制限の設定

ADP1870/ADP1871 のアーキテクチャは、バレー電流モード制御に基づいています。電流制限は、下側 MOSFET の R_{ON} 、誤差アンプの出力電圧振幅 (COMP)、電流検出ゲインの 3 つの要素によって決まります。COMP の範囲は、内部的に 1.4 V に固定されています。電流検出ゲインは、外部抵抗を介して DRV_L ピンで設定します (「電流検出ゲイン設定用抵抗 (RES) 検出回路」を参照)。下側 MOSFET のオン抵抗 R_{ON} は全温度範囲で変化します。一般的にこれは温度上昇に応じて増大します。したがって、電流検出ゲイン抵抗は MOSFET の定格 R_{ON} に基づいて 125°C で設定することを推奨します。

ADP1870/ADP1871 はバレー電流制御に基づいているため、 I_{CLIM} と I_{LOAD} の関係は次式で表すことができます。

$$I_{CLIM} = I_{LOAD} \times \left(1 - \frac{K_I}{2}\right)$$

ここで、 K_I はインダクタのリプル電流と所望の平均負荷電流との比です (図 70 を参照)。

I_{CLIM} は所望のバレー電流制限値です。

I_{LOAD} は電流負荷です。

K_I が決まればインダクタ値を求めることができます (「インダクタの選択」を参照)、ほとんどの場合 $K_I = 0.33$ です。

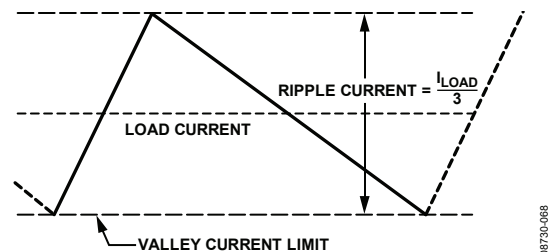


図 70. バレー電流制限と平均電流との関係

所望のバレー電流制限 (I_{CLIM}) 値を求めたら、次式で電流検出ゲインを計算できます。

$$I_{CLIM} = \frac{1.4 \text{ V}}{A_{CS} \times R_{ON}}$$

ここで、

R_{ON} は下側MOSFETのチャンネル・インピーダンスです。

A_{CS} は電流検出ゲインの乗数です (表 6と表 7を参照)。

ADP1870/ADP1871 の場合、任意の R_{ON} 変数に対応する電流検出ゲイン設定は 4つしかありませんが、表 7と図 71に各 R_{ON} 値に基づくバレー電流セットポイントの複数のオプションを示します。

表 7. バレー電流制限の設定¹

R_{ON} (mΩ)	Valley Current Level			
	47 kΩ $A_{CS} = 3 \text{ V/V}$	22 kΩ $A_{CS} = 6 \text{ V/V}$	Open $A_{CS} = 12 \text{ V/V}$	100 kΩ $A_{CS} = 24 \text{ V/V}$
1.5				38.9
2				29.2
2.5				23.3
3			39.0	19.5
3.5			33.4	16.7
4.5			26.0	13
5			23.4	11.7
5.5			21.25	10.6
10		23.3	11.7	5.83
15	31.0	15.5	7.75	7.5
18	26.0	13.0	6.5	3.25

¹ 詳細および図については、図 71を参照してください。

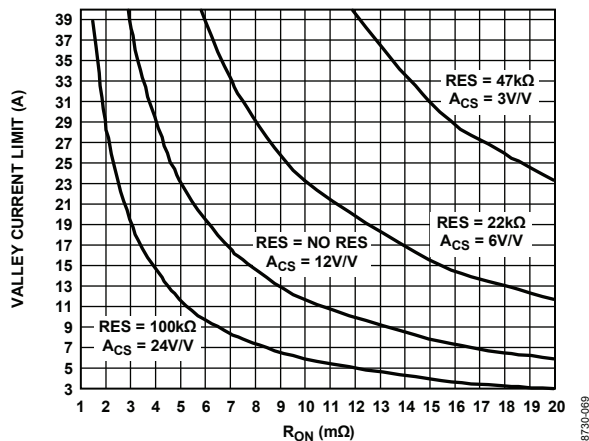


図 71. 各設定用抵抗 (RES) の下側 MOSFET の R_{ON} 対バレー電流制限値

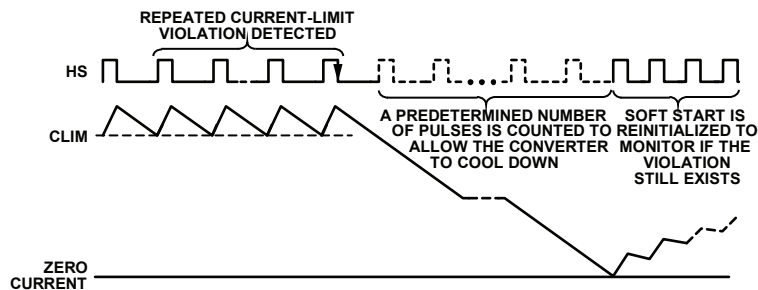


図 73. 電流制限違反でトリガされるアイドル・モード移行シーケンス

バレー電流制限は、表 7および図 71のように設定されます。選択したインダクタは、表 7のバレー電流に等しいピーク電流とピーク to ピーク・インダクタ・リップル電流に対応できるように規定する必要があります (「インダクタの選択」を参照)。また、ピーク電流値を使ってMOSFETの最悪時の消費電力を計算する必要があります (図 72を参照)。

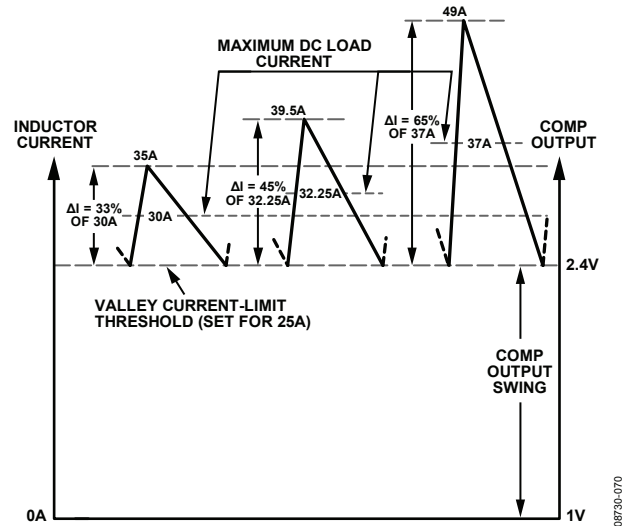


図 72. インダクタのリップル電流に関するバレー電流制限スレッシュホールド

短絡時のHiccupモード

下側MOSFETのドレインとソース間の電流が電流制限セットポイントを上回ると、電流制限の違反になります。32 回電流制限違反が検出されると、コントローラはアイドル・モードになり、MOSFETを 6 ms間オフにします。これで、コンバータを冷却できます。次に、コントローラがソフトスタートを再開し、出力電圧を再度上昇させます (図 73を参照)。出力電圧の上昇中に、電流制限違反がまだあるか判定するためにCOMPを監視します。違反状態が続いている場合は、アイドル・イベントが再び発生し、その後フルチップ・パワーダウン・シーケンスが実行されます。このサイクルは、違反がなくなるまで続きます。違反がゼロになると、コンバータが通常の切替え処理を行い、レギュレーションを維持します。

同期整流器

ADP1870/ADP1871 は、内部の下側 MOSFET ドライバを使って外部の上側と下側の MOSFET を駆動します。同期整流器は伝導効率全体を高めるだけではなく、上側ドライバ入力にあるブートストラップ・コンデンサへの適正な充電を保証します。これによって外部の上側 MOSFET に十分な駆動信号を送信することが可能になり、スイッチング損失を最小限に抑える高速ターンオン応答を実現できるため、スタートアップ時に効果的です。集積化された上側と下側の MOSFET ドライバは、内蔵の同時導通保護回路と相補的に働き、MOSFET に損傷を与えたり、過剰な電力損失によって効率を低下させる不要な貫通電流を防止します。

パワーセーブ・モード (PSM) (ADP1871 のみ)

ADP1870 のパワーセーブ・モードのバージョンが ADP1871 です。ADP1871 は不連続導通モード (DCM) で動作し、軽負荷～中負荷電流時にパルススキップします。このデバイスは、出力レギュレーションを維持するために必要ときにパルスを出します。連続導通モード (CCM) とは異なり、DCM は負の電流を防止し、軽負荷時のシステム効率を改善します。この経路の逆方向に電流が流れると、電流消費により効率が低下してしまいます。

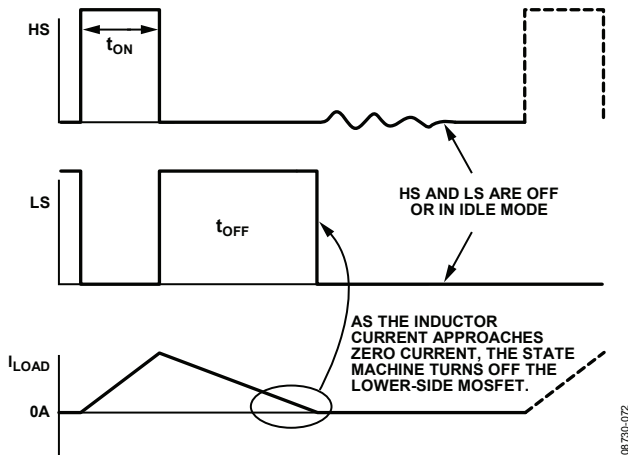


図 74. 非連続動作モード (DCM)

オンボードのゼロクロス・コンパレータは、負のインダクタ電流が発生しないように、インダクタ電流がゼロの電流ラインに近づくと上側と下側のスイッチング動作をオフにします。その結果、システムがアイドル・モードになり、上側と下側の MOSFET がオフになります。アイドル・モードに確実に移行できるように、SW ノードに直列に接続する 10 mV のオフセットが実装されています (図 75 を参照)。

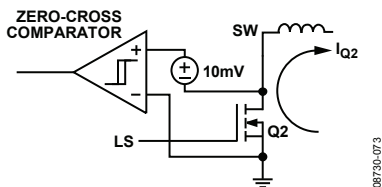


図 75. 10 mV のオフセットのゼロクロス・コンパレータ

下側 MOSFET の順方向電流が次式に示す電圧レベルまで低下します。

$$10 \text{ mV} = I_{Q2} \times R_{ON(Q2)}$$

電圧レベルが低下すると、ただちに、ゼロクロス・コンパレータ (または I_{REV} コンパレータ) が信号を出力して下側 MOSFET をオフにします。この時点から、インダクタの低下電流の傾斜が大きくなります (図 76 を参照)。これは、下側 MOSFET のボディ・ダイオードが電流を流し始め、インダクタに蓄積されているエネルギーがなくなるまで通電を継続するためです。

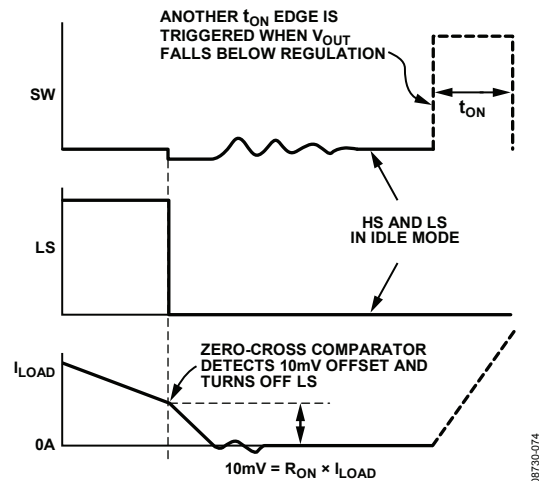


図 76. 負のインダクタ電流を防止する 10 mV のオフセット

システムは、出力電圧がレギュレーションを下回るまでアイドル・モードを維持します。次に、PWM パルスが生成されて上側 MOSFET がオンになり、システム・レギュレーションを維持します。ADP1871 は内部クロックを備えていないため、ここで説明したように純粋にヒステリシス・コントローラとしてスイッチングを行います。

タイマー動作

ADP1870/ADP1871 は、コンスタント・オンタイム制御アーキテクチャを使用することで、同等のループ設計の一定 (固定) 周波数電流モード制御ループと比べると負荷/ライン過渡応答性能が向上するなど、さまざまな利点を提供します。コンスタント・オンタイム・タイマー (t_{ON} タイマー) は、SW 波形情報を使って高入力電圧 (V_{IN}) と出力電圧 (V_{OUT}) を検出し、調整可能なワンショット PWM パルスを生成します。このパルスは、入力電圧、出力電圧、負荷電圧の状態の動的変化に応じて上側 MOSFET のオンタイムを変化させ、レギュレーションを維持します。次に、 V_{IN} に反比例するオンタイム (t_{ON}) パルスを生成します。

$$t_{ON} = K \times \frac{V_{OUT}}{V_{IN}}$$

ここで、

K は、300 kHz、600 kHz、1.0 MHz 周波数オプション対応の RC タイマー製品を使って調整した定数です。

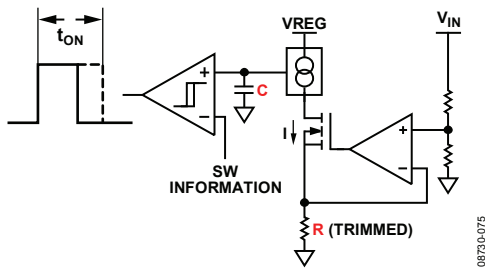


図 77. コンスタント・オンタイム時間

コンスタント・オンタイム (t_{ON}) は、 V_{IN} と V_{OUT} の大きさに応じて変化するため、厳密な意味ではコンスタント（一定）ではありません。ただし、このような変化があっても、スイッチング周波数は V_{IN} と V_{OUT} とはほぼ無関係な状態を維持します。

t_{ON} タイマーは、コンスタント・オンタイム制御ループに適用されるフィードフォワード技術を使って、周波数を一次的な疑似固定スイッチング周波数にします。外部パワーMOSFETにおけるDC損失などの二次的な影響があると（「効率に関する考慮事項」を参照）、ライン電圧と負荷電流の周波数特性はいくらか変化します。これらの影響を図 23～図 34 に示します。周波数の変動は、フィードフォワード技術を使用しない場合よりもかなり少なくなります。

フィードフォワード技術から、次式の関係が得られます。

$$f_{SW} = \frac{1}{K}$$

ここで、 f_{SW} はコントローラのスイッチング周波数（300 kHz、600 kHz、1.0 MHz）です。

前述したように、 t_{ON} タイマーは V_{IN} と V_{OUT} を検出して、周波数の変動を最小限に抑えます。これによって周波数は疑似固定スイッチング（「疑似固定スイッチング周波数」を参照）の状態になります。 V_{IN} と V_{OUT} を検出するためのヘッドルームを確保するには、次式に従います。

$$V_{REG} \geq V_{IN}/8 + 1.5$$

$$V_{REG} \geq V_{OUT}/4$$

$V_{REG} = 5V$ の代表的なアプリケーションの場合、これらの式は当てはまりませんが、低い値の V_{REG} 入力の場合は、注意する必要があります。

疑似固定スイッチング周波数

ADP1870/ADP1871 はコンスタント・オンタイム制御方式を使用します。定常状態の動作中であれば、スイッチング周波数は比較的一定の状態、つまり疑似固定スイッチング周波数の状態を維持します。この状態は、ワンショット t_{ON} タイマーによるもので、入力電圧、出力電圧、負荷電流などの外部条件も定常状態であれば、 t_{ON} タイマーは一定の時間ハイサイド PWM パルスを生成します。負荷過渡応答の場合は、周波数が過渡応答イベントの持続時間中に瞬間的に変化します。そのため、出力は周波数が固定し

ている（変化しない）場合よりも短時間でレギュレーションの範囲内に戻ります。過渡応答が終了すると、周波数は一次的な疑似固定スイッチング周波数の値に戻ります。

この機能をもっと明らかにするために、ここでは負荷過渡応答（正の負荷ステップ）について詳しく説明しましょう。負荷過渡応答イベントが発生しているときは、ハイサイド・ドライバの出力パルス幅がサイクル間で比較的一定の大きさを維持します。しかし、上述した外部条件の瞬時の変化に応じてオフタイム（DRV1 オンタイム）が動的に調整されます。

正の負荷ステップが生じると、誤差アンプ（出力 V_{OUT} の逆位相）は新しい電圧情報を生成して出力（COMP）に提供します。また、電流検出アンプがこの正の負荷過渡応答中にインダクタの新しい電流情報を検出します。誤差アンプの出力電圧反応がインダクタの新しい電流情報と比較され、これによって新しいスイッチング・サイクルの開始が設定されます。電流情報はバレー電流の検出をもとに生成されるため、インダクタ電流のダウンランプで検出されますが、電圧ループ情報は誤差アンプ出力（COMP）の逆の動きのアップスイングで検出されます。

その結果、この2つの信号が収束して（図 78 を参照）、正の負荷過渡応答中にスイッチング周波数が瞬時に増大します。要するに、正の負荷ステップによって V_{OUT} が一時的に下降し、これによって COMP が一時的に上昇し、オフ時間が短くなります。このため、正の負荷過渡応答時に周波数が増大すれば、 V_{OUT} がすぐに上昇に転じてレギュレーションの範囲内に戻ります。

同様に、負の負荷ステップでは、 V_{OUT} の立上がりに応じてオフ時間が長くなります。このためインダクタの消磁フェーズが増大し、 V_{OUT} がレギュレーションの範囲内に戻ります。この場合は、スイッチング周波数の低下、すなわち周波数フォールドバックが行われ、出力電圧が容易に回復します。

ADP1870/ADP1871 は、必要な負荷が突然変化しても迅速に応答できるため、出力電圧が元の定常状態の動作ポイントに戻るための回復期間が固定周波数の場合よりかなり短くなります。したがって、固定周波数より疑似固定スイッチング周波数を使用したほうが、負荷過渡応答が格段に良くなります。

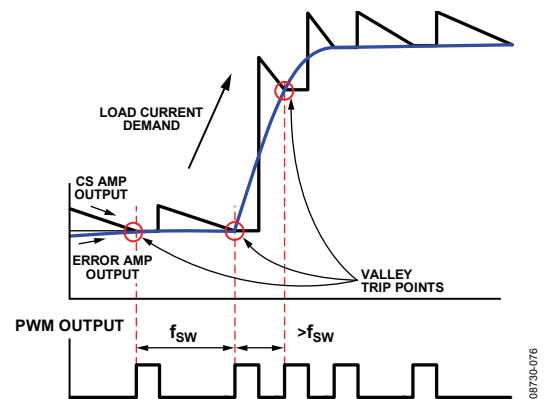


図 78. 負荷過渡応答の動作

アプリケーション情報

帰還抵抗分圧器

内部バンド・ギャップ・リファレンス (V_{REF}) が 0.6 V に固定されているため、任意の V_{OUT} 値に対して必要な抵抗分圧回路を決めることができます。 V_{OUT} -FB 間 (R_T) と FB-GND 間 (R_B) の値を選択すれば、コンバータの最小出力負荷電流が決まります。したがって、任意の R_B 値に対して次式を使って R_T 値を計算することができます。

$$R_T = R_B \times \frac{(V_{OUT} - 0.6 \text{ V})}{0.6 \text{ V}}$$

インダクタの選択

インダクタの値は、インダクタのリップル電流に反比例します。ピーク to ピーク・リップル電流は次式で計算することができます。

$$\Delta I_L = K_I \times I_{LOAD} \approx \frac{I_{LOAD}}{3}$$

ここで、 K_I は代表的な 0.33 です。

インダクタ値は次式で計算することができます。

$$L = \frac{(V_{IN} - V_{OUT})}{\Delta I_L \times f_{SW}} \times \frac{V_{OUT}}{V_{IN}}$$

ここで、

V_{IN} は入力電圧です。

V_{OUT} は必要な出力電圧です。

f_{SW} はコントローラのスイッチング周波数です (300 kHz、600 kHz、1.0 MHz)。

インダクタを選ぶ場合は、ピーク電流レベルを超えるインダクタの飽和定格を選択し、リップル電流を計算します (「バレー電流制限の設定」と図 79 を参照)。

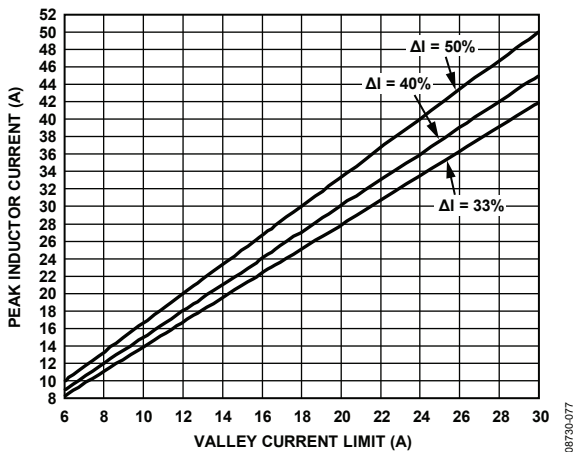


図 79. バレー電流制限値 対 ピーク・インダクタ電流 (リップル電流の 33%、40%、50%)

表 8. 推奨インダクタ

L (μH)	DCR (mΩ)	ISAT (A)	Dimensions (mm)	Manufacturer	Model Number
0.12	0.33	55	10.2 × 7	Würth Elek.	744303012
0.22	0.33	30	10.2 × 7	Würth Elek.	744303022
0.47	0.67	50	13.2 × 12.8	Würth Elek.	744355147
0.72	1.3	35	10.5 × 10.2	Würth Elek.	744325072
0.9	1.6	28	13 × 12.8	Würth Elek.	744355090
1.2	1.8	25	10.5 × 10.2	Würth Elek.	744325120
1.0	3.3	20	10.5 × 10.2	Würth Elek.	7443552100
1.4	3.2	24	14 × 12.8	Würth Elek.	744318180
2.0	2.6	22	13.2 × 12.8	Würth Elek.	7443551200
0.8	2.5	16.5	12.5 × 12.5	AIC Technology	CEP125U-R80

出力リップル電圧 (ΔV_{RR})

出力リップル電圧は、定常状態中の DC 出力電圧の AC 成分です。1.0% のリップル誤差の場合、この許容誤差を得るために必要な出力容量値は以下の式を使って求めることができます。(1.0% の精度は、負荷過渡応答中ではなく定常状態のときのみ可能です。)

$$\Delta V_{RR} = (0.01) \times V_{OUT}$$

出力コンデンサの選択

出力コンデンサの主な目的は出力電圧リップルを低減することですが、負荷過渡応答イベント時には、このコンデンサで出力電圧を回復することもできます。任意の負荷電流ステップで、このステップ・イベント中に生成される出力電圧リップルは、出力コンデンサの選択した値に反比例します。この回復期間中に出力電圧がセトリングする速度は、クロスオーバー周波数 (ループ帯域幅) をどこで設定するかで違ってきます。このクロスオーバー周波数は、出力コンデンサ、コンデンサの等価直列抵抗 (ESR)、補償回路で決まります。

定常状態の動作ポイントで小信号電圧リップル (出力リップル電圧) を計算するには、次式を使用します。

$$C_{OUT} = \Delta I_L \times \left(\frac{1}{8 \times f_{SW} \times [\Delta V_{RIPPLE} - (\Delta I_L \times ESR)]} \right)$$

ここで、 ESR は出力コンデンサの等価直列抵抗です。

出力負荷ステップを計算するには、次式を使用します。

$$C_{OUT} = 2 \times \frac{\Delta I_{LOAD}}{f_{SW} \times (\Delta V_{DROOP} - (\Delta I_{LOAD} \times ESR))}$$

ここで、 ΔV_{DROOP} は任意の正の負荷電流ステップ (ΔI_{LOAD}) に対する V_{OUT} の許容偏差です。

セラミック・コンデンサは低ESRであることが知られていますが、X5R技術を使用する場合のトレードオフは、コンデンサに印加される電圧が増加するにつれ、定格低減によって容量が低減し、最大80%まで失われる可能性があることです（図80を参照）。X7Rシリーズを使用することもできますが、選択の範囲は最大22 μF までになります。

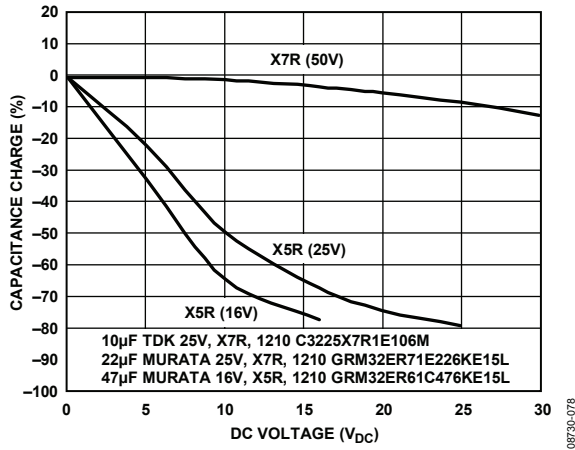


図 80. セラミック・コンデンサの DC 電圧特性 対 容量

電解コンデンサは、ほとんどの高電流アプリケーションのバルク容量条件を満たします。電解コンデンサの ESR はセラミック・コンデンサの ESR よりかなり大きいため、電解コンデンサを使用するときは、複数の MLCC を並列に搭載して全直列抵抗値を低減する必要があります。

補償回路

ADP1870/ADP1871 は、電流モード・アーキテクチャを採用しているため、タイプ II の補償が必要になります。補償に必要な部品値（抵抗値と容量値）を決めるには、 $H=1\text{ V/V}$ のときのユニティ・ゲイン周波数 ($f_{\text{SW}}/10$) におけるコンバータの全ループ・ゲイン (H) を調べる必要があります。

$$H = 1\text{ V/V} = G_M \times G_{CS} \times \frac{V_{\text{OUT}}}{V_{\text{REF}}} \times Z_{\text{COMP}} \times Z_{\text{FILT}}$$

高周波における各変数を調べれば、ユニティ・ゲイン伝達関数を簡略化して R_{COMP} と C_{COMP} の部品値の式を得ることができます。

出力フィルタ・インピーダンス (Z_{FILT})

高周波でのフィルタの伝達関数を調べれば、クロスオーバー周波数 ($s = 2\pi f_{\text{CROSS}}$) でのインピーダンスに関して、次の簡単な式が得られます。

$$Z_{\text{FILT}} = \frac{1}{sC_{\text{OUT}}}$$

誤差アンプ出力インピーダンス (Z_{COMP})

C_{C2} が C_{COMP} よりかなり小さい場合は、 C_{C2} を誤差アンプの出力インピーダンス式から省くことができます。伝達関数は次のような簡単な式で表すことができます。

$$Z_{\text{COMP}} = \frac{R_{\text{COMP}}(f_{\text{CROSS}} + f_{\text{ZERO}})}{f_{\text{CROSS}}}$$

また

$$f_{\text{CROSS}} = \frac{1}{12} \times f_{\text{SW}}$$

ここで、ゼロ周波数 f_{ZERO} は、ADP1870 のクロスオーバー周波数の 1/4 に設定されます。

誤差アンプ・ゲイン (G_M)

誤差アンプ・ゲイン（トランスコンダクタンス）は以下の値になります。

$$G_M = 500\text{ }\mu\text{A/V}$$

電流検出ループ・ゲイン (G_{CS})

電流検出ループ・ゲインは次式で表すことができます。

$$G_{CS} = \frac{1}{A_{CS} \times R_{\text{ON}}} \text{ (A/V)}$$

ここで、

A_{CS} (V/V) は 3 V/V、6 V/V、12 V/V、24 V/V に設定できます（「設定用抵抗 (RES) 検出回路」と「バレー電流制限の設定」を参照）。 R_{ON} は下側 MOSFET のチャンネル・インピーダンスです。

クロスオーバー周波数

クロスオーバー周波数は、全ループ（システム）ゲインが 0 dB ($H=1\text{ V/V}$) の周波数です。ADP1870 などの電流モード・コンバータの場合は、クロスオーバー周波数をスイッチング周波数の 1/10～1/15 に設定することを推奨します。

$$f_{\text{CROSS}} = \frac{1}{12} f_{\text{SW}}$$

C_{COMP} と f_{ZERO} (ゼロ周波数) の関係は次式で表すことができます。

$$f_{\text{ZERO}} = \frac{1}{2\pi \times R_{\text{COMP}} \times C_{\text{COMP}}}$$

ゼロ周波数はクロスオーバー周波数の 1/4 に設定されます。

上述したパラメータをすべて組み合わせると次式のようにになります。

$$R_{\text{COMP}} = \frac{f_{\text{CROSS}}}{f_{\text{CROSS}} + f_{\text{ZERO}}} \times \frac{2\pi f_{\text{CROSS}} C_{\text{OUT}}}{G_M G_{CS}} \times \frac{V_{\text{OUT}}}{V_{\text{REF}}}$$

$$C_{\text{COMP}} = \frac{1}{2\pi \times R_{\text{COMP}} \times f_{\text{ZERO}}}$$

効率に関する考慮事項

DC/DC コンバータを作製する場合、効率が重要な条件の 1 つとなります。効率とは、入力電力に対する出力電力の比です。負荷電流が最大 20 A の高電力アプリケーションの場合、部品を選択する際に役に立つ重要な MOSFET パラメータには以下があります。

- $V_{GS(TH)}$: ゲートとソース間に印加される MOSFET サポート電圧
- $R_{DS(ON)}$: チャンネル導通時の MOSFET オン抵抗
- Q_G : 全ゲート電荷
- C_{N1} : 上側スイッチの入力コンデンサ
- C_{N2} : 下側スイッチの入力コンデンサ

通常のスイッチング動作時に、外部部品には以下の損失が生じます。

- チャンネル導通損失 (両 MOSFET)
- MOSFET ドライバ損失
- MOSFET スイッチング損失
- ボディ・ダイオード導通損失 (下側 MOSFET)
- インダクタ損失 (銅およびコア損失)

チャンネル導通損失

通常動作時の効率の損失の大部分は、MOSFET チャンネルの導通による電力消費に起因します。上側 MOSFET による電力損失は各スイッチング期間のデューティサイクル (D) に比例し、下側 MOSFET による電力損失は各スイッチング期間の $1-D$ に比例します。MOSFET の選択は、コンバータが供給するはずの最大 DC 負荷電流に左右されます。代表的な高電流アプリケーションでは 50% 未満のデューティサイクルが使用されることから、特に下側 MOSFET の選択は最大負荷電流に左右されます。したがって、下側 MOSFET はスイッチング期間の大部分でオン状態になります。

$$P_{N1,N2(CL)} = [D \times R_{N1(ON)} + (1-D) \times R_{N2(ON)}] \times I_{LOAD}^2$$

MOSFET ドライバ損失

ほかに損失の要因になるものとしては MOSFET ドライバがあります。損失の原因は、動作中にドライバを流れる DC 電流と外部 MOSFET の Q_{GATE} (総ゲート電荷) パラメータです。

$$P_{DR(LOSS)} = [V_{DR} \times (f_{SW} C_{upperFET} V_{DR} + I_{BIAS})] + [V_{REG} \times (f_{SW} C_{lowerFET} V_{REG} + I_{BIAS})]$$

ここで、

$C_{upperFET}$ は上側 MOSFET の入力ゲート容量です。

$C_{lowerFET}$ は下側 MOSFET の入力ゲート容量です。

I_{BIAS} は上側と下側のドライバに流れる DC 電流です。

V_{DR} はドライバのバイアス電圧 (低入力電圧 (V_{REG}) から整流器の電圧降下を引いた値。図 81 を参照) です。

V_{REG} はバイアス電圧です。

f_{SW} はコントローラのスイッチング周波数です (300 kHz、600 kHz、1.0 MHz)。

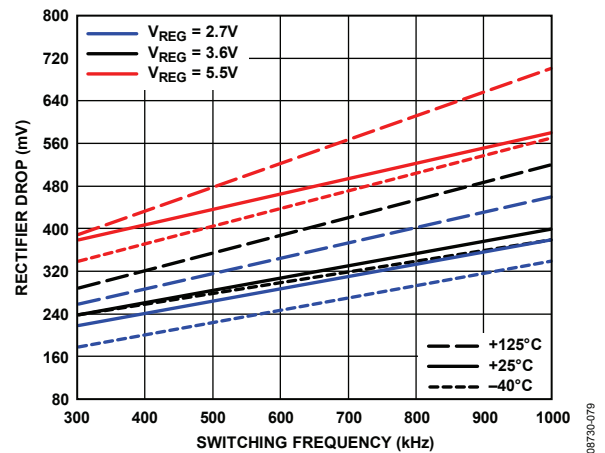


図 81. スイッチング周波数 対 内部整流器の電圧降下

スイッチング損失

SW ノードは、上側と下側の MOSFET のスイッチング動作によって遷移します。その結果、MOSFET のゲート酸化層に対する電荷の補充と除去が行われるとともに、ドレイン端子、ソース端子、およびゲート酸化膜エッジのオーバーラップによる寄生容量に対しても電荷の補充と除去が行われます。これらの電荷経路に入出入する電流により、遷移時間中に損失が加わります。この損失は、以下の式を使って概数を求めることができます。この式は、これらの容量性領域に電荷が出入する時間を表しています。

$$t_{SW-TRANS} = R_{GATE} \times C_{TOTAL}$$

ここで、

C_{TOTAL} は外部 MOSFET の $C_{GD} + C_{GS}$ の値です。

R_{GATE} は外部 MOSFET のゲート入力抵抗です。

1 スイッチング・サイクル期間とこの時定数の比は、乗率として次式で使します。

$$P_{SW(LOSS)} = \frac{t_{SW-TRANS}}{t_{SW}} \times I_{LOAD} \times V_{IN} \times 2$$

すなわち

$$P_{SW(LOSS)} = f_{SW} \times R_{GATE} \times C_{TOTAL} \times I_{LOAD} \times V_{IN} \times 2$$

ダイオード導通損失

ADP1870/ADP1871 は、同時導通保護回路を使って上側と下側の MOSFET が同時に導通するのを防止します。このようなオーバーラップを制御することによって、大電流が流れて電源段の外部部品に修理不能な損傷を与えるのを防ぐことができます。ただし、このブランキング期間（デッド・タイム）は代償を伴い、MOSFET が状態を変えた直後にダイオード導通損失が発生し、アイドル・モードになってもしばらく続きます。同時導通保護状態のときの下側 MOSFET のボディ・ダイオードによる損失量は、次式で計算することができます。

$$P_{BODY(LOSS)} = \frac{t_{BODY(LOSS)}}{t_{SW}} \times I_{LOAD} \times V_F \times 2$$

ここで、

$t_{BODY(LOSS)}$ はボディの導通時間です（デッド・タイム期間については、図 82 を参照）。

t_{SW} はスイッチング・サイクル当たりの期間です。

V_F は導通時のボディ・ダイオードの順方向電圧降下です。（ V_F パラメータについては、選択した外部 MOSFET のデータシートを参照してください。）

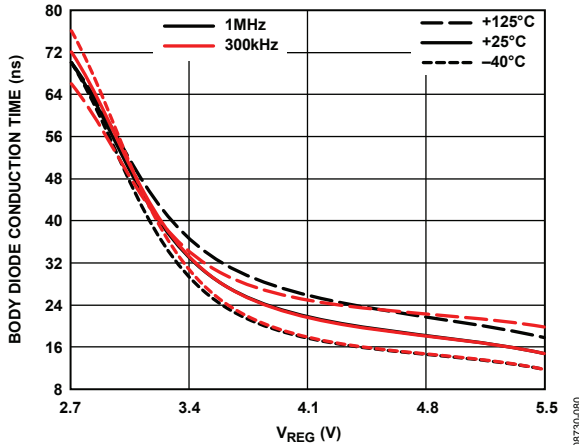


図 82. 低電圧入力（ V_{REG} ）対 ボディ・ダイオードの導通時間

インダクタ損失

通常の導通モード時は、DC 抵抗（DCR）を持つインダクタ巻線の電流導通によって電力損失がさらに増大します。一般に、インダクタのサイズが大きいほど、DCR 値が小さくなります。

インダクタのコア損失は、コア材料内で生成される渦電流によって生じます。渦電流は、巻線を通る電流の変化に起因する磁束の変化によって発生します。インダクタのコア損失は、コア材料、磁束の振幅、周波数、コアの体積に左右されます。フェライト・インダクタのコア損失は最小ですが、鉄粉インダクタのコア損失はもっと大きい値になります。高電流、DC/DC スwitchング・アプリケーション向けの ADP1870/ADP1871 には、シールド付きフェライト・コア材タイプのインダクタの使用を推奨します。これによって、損失がわずかに電磁干渉（EMI）の問題がなくなります。

$$P_{DCR(LOSS)} = DCR \times I_{LOAD}^2 + Core Loss$$

入力コンデンサの選択

入力コンデンサを選択するのは、入力電圧リップルを低減または最小化し、高周波ソース・インピーダンスを低減するためです。これは、ループ安定性や過渡性能を予測可能なものにするために非常に重要です。

バルク・コンデンサを使用する問題点としては、物理的な形状以外に、等価直列抵抗（ESR）と等価直列インダクタ（ESL）が大きいためにあります。アルミニウム電解コンデンサの ESR は高く、このために大きな入力電圧リップル振幅が生じ、一般的に高スイッチング周波数では有効ではありません。

バルク・コンデンサを使用する場合は、ESR 値の低い積層セラミック・コンデンサ（MLCC）を並列に接続することを推奨します。これにより、入力電圧リップルの振幅を大幅に低減できます。ただし、この場合は MLCC を上側 MOSFET のドレインと下側 MOSFET のソース端子の間に直接接続してください（「レイアウトの考慮事項」を参照）。MLCC の配置や実装が悪いと、浮遊インダクタンスやパターン・インピーダンスが生じ、MLCC の効果が得られません。

$$I_{CIN,rms} = I_{LOAD,max} \times \frac{\sqrt{V_{OUT} \times (V_{IN} - V_{OUT})}}{V_{OUT}}$$

最大入力電圧リップルと入力コンデンサの最大 RMS 電流は、上側 MOSFET がオフセット状態のときの 1-D 間の終わりに発生します。入力コンデンサの RMS 電流は、D の時点で最大値に達します。最大入力電圧リップルを計算するときは、次のように入力コンデンサの ESR を考慮してください。

$$V_{RIPPLE,max} = V_{RIPP} + (I_{LOAD,max} \times ESR)$$

ここで、

V_{RIPP} は一般に最小電圧入力の 1% です。

$I_{LOAD,max}$ は最大負荷電流です。

ESR は入力コンデンサの等価直列抵抗定格です。

必要な最小入力コンデンサを計算するために電荷平衡式に $V_{RIPPLE,max}$ を挿入すると、次式のようにになります。

$$C_{IN,min} = \frac{I_{LOAD,max}}{V_{RIPPLE,max}} \times \frac{D(1-D)}{f_{SW}}$$

すなわち

$$C_{IN,min} = \frac{I_{LOAD,max}}{4f_{SW}V_{RIPPLE,max}}$$

ここで、 $D = 50\%$

熱に関する考慮事項

ADP1870/ADP1871 は、オンボードのコントローラ、オンボードの LDO、オンボードの MOSFET ドライバを備えた DC/DC ステップダウン高電流アプリケーションに使用します。アプリケーションは最大 20A の負荷電流を供給しなければならない、高い周囲温度で使用するため、外部の上側/下側 MOSFET を選択する際に 125°C の最大許容ジャンクション温度を超えないように熱に関して慎重に考慮する必要があります。ジャンクション温度が 155°C 以上になると回復不能な損傷が生じる可能性があるため、デバイスはサーマル・シャットダウン・モードに入り、外部の両 MOSFET をオフにします。ジャンクション温度が 140°C に低下するまでデバイスはイネーブルになりません（「オンボードの低ドロップアウト・レギュレータ」を参照）。

また、パッケージの熱抵抗を考慮することも重要です。ADP1870/ADP1871 はオンボードの LDO を使用するため、外部 MOSFET を駆動する内部ドライバの AC 消費電力 (fxCxV) が内部 LDO の電力消費に加わります。式 3 は、内蔵のドライバと内部 LDO の消費電力を計算するための式です。

表 9 に、10 ピン MOSP パッケージの ADP1870/ADP1871 の熱抵抗を示します。

表 9. 10 ピン MSOP の熱抵抗

Parameter	Thermal Impedance
10-Lead MSOP θ_{JA}	
2-Layer Board	213.1°C/W
4-Layer Board	171.7°C/W

図 83 は、ADP1870/ADP1871 の IC 周りの最大許容周囲温度と規定の高入力電圧 (V_{IN}) との関係を示しています。この図から、10 ピン MOSP パッケージの低、中、高出力セットポイントに対する各スイッチング周波数の温度定格低減条件が明らかになります。すべての温度定格低減条件は、125°C の最大 IC ジャンクション温度に基づいています。

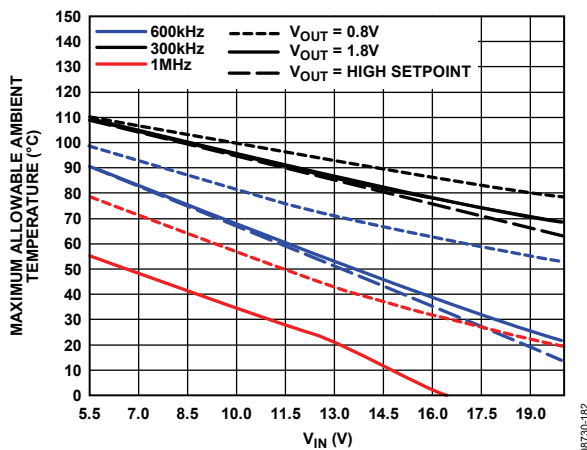


図 83. V_{IN} 対 周囲温度—10 ピン MSOP (171°C/W)、4 層 EVB、 $C_{IN} = 4.3$ nF (上側/下側 MOSFET)

ADP1870/ADP1871 の IC 最大許容ジャンクション温度は 125°C です。つまり、パッケージの熱抵抗と内部消費電力に起因するパッケージ上昇温度 (T_R) と周囲温度 (T_A) の合計値は、次式で表される最大ジャンクション温度 125°C を超えてはいけません。

$$T_J = T_R \times T_A \quad (1)$$

ここで、

T_A は周囲温度です。

T_J は最大ジャンクション温度です。

T_R は内部の電力消費に起因するパッケージ温度の上昇値です。

パッケージ温度の上昇はその熱抵抗特性に比例します。次の式はこの比例関係を表しています。

$$T_R = \theta_{JA} \times P_{DR(LOSS)} \quad (2)$$

ここで、

θ_{JA} は、ダイのジャンクションから周囲空気に接触する外部表面までのパッケージ熱抵抗です。

$P_{DR(LOSS)}$ は IC の全消費電力です。

消費電力の大部分は、外部 MOSFET のゲート容量とオンボードの LDO を流れる電流によるものです。MOSFET ドライバと内部低ドロップアウト・レギュレータ（「効率に関する考慮事項」の「MOSFET ドライバ損失」を参照）の電力損失は次式で表すことができます。

$$P_{DR(LOSS)} = [V_{DR} \times (f_{SW} C_{CupperFET} V_{DR} + I_{BIAS})] + [V_{REG} \times (f_{SW} C_{ClowerFET} V_{REG} + I_{BIAS})] \quad (3)$$

ここで、

$C_{CupperFET}$ は上側 MOSFET の入力ゲート・コンデンサです。

$C_{ClowerFET}$ は下側 MOSFET の入力ゲート・コンデンサです。

I_{BIAS} は上側と下側のドライバに流れる DC 電流 (2 mA) です。

V_{DR} はドライバのバイアス電圧 (低入力電圧 (V_{REG}) から整流器の電圧降下分を引いた値。図 81 を参照) です。

V_{REG} は LDO 出力/バイアス電圧です。

$$P_{DISS(LDO)} = P_{DR(LOSS)} + (V_{IN} - V_{REG}) \times (f_{SW} \times C_{total} \times V_{REG} + I_{BIAS}) \quad (4)$$

ここで、

$P_{DISS(LDO)}$ は V_{IN} と V_{REG} 間の LDO ブロック内のパス・デバイスで消費される電力です。

C_{total} は外部 MOSFET の C_{GD} と C_{GS} の値です。

V_{REG} は LDO 出力電圧およびバイアス電圧です。

V_{IN} は高電圧入力です。

I_{BIAS} は DC 入力バイアス電流です。

$P_{DR(LOSS)}$ は MOSFET ドライバ損失です。

たとえば、外部 MOSFET 特性が θ_{JA} (10 ピン MSOP) = 171.2°C/W、 $f_{SW} = 300$ kHz、 $I_{BIAS} = 2$ mA、 $C_{upperFET} = 3.3$ nF、 $C_{lowerFET} = 3.3$ nF、 $V_{DR} = 4.62$ V、 $V_{REG} = 5.0$ V の場合、電力損失は次式で求めることができます。

$$\begin{aligned} P_{DR(LOSS)} &= [V_{DR} \times (f_{SW} C_{upperFET} V_{DR} + I_{BIAS})] \\ &+ [V_{REG} \times (f_{SW} C_{lowerFET} V_{REG} + I_{BIAS})] \\ &= (4.62 \times (300 \times 10^3 \times 3.3 \times 10^{-9} \times 4.62 + 0.002)) \\ &+ (5.0 \times (300 \times 10^3 \times 3.3 \times 10^{-9} \times 5.0 + 0.002)) \\ &= 57.12 \text{ mW} \\ P_{DISS(LDO)} &= (V_{IN} - V_{REG}) \times (f_{SW} \times C_{total} \times V_{REG} + I_{BIAS}) \\ &= (13 \text{ V} - 5 \text{ V}) \times (300 \times 10^3 \times 3.3 \times 10^{-9} \times 5 + 0.002) \\ &= 55.6 \text{ mW} \\ P_{DISS(TOTAL)} &= P_{DISS(LDO)} + P_{DR(LOSS)} \\ &= 77.13 \text{ mW} + 55.6 \text{ mW} \\ &= 132.73 \text{ mW} \end{aligned}$$

パッケージ温度 (10 ピン MSOP) の上昇値：

$$\begin{aligned} T_R &= \theta_{JA} \times P_{DR(LOSS)} \\ &= 171.2^\circ\text{C} \times 132.05 \text{ mW} \\ &= 22.7^\circ\text{C} \end{aligned}$$

85°C の最大周囲温度環境を仮定した場合：

$$T_J = T_R + T_A = 22.7^\circ\text{C} + 85^\circ\text{C} = 107.72^\circ\text{C}$$

このように最大ジャンクション温度の 125°C を下回る値になります。

設計例

ADP1870/ADP1871 は使いやすいデバイスで、設計の条件はごくわずかです。たとえば、ここに示した例では、 $V_{OUT} = 1.8$ V、 $I_{LOAD} = 15$ A (パルスング)、 $V_{IN} = 12$ V (typ)、 $f_{SW} = 300$ kHz という 4 つの設計条件しか使用していません。

入力コンデンサ

最大入力電圧リップルは一般に最小入力電圧の 1% です (11.8 V × 0.01 = 120 mV)。

$$\begin{aligned} V_{RIPP} &= 120 \text{ mV} \\ V_{MAX, RIPP} &= V_{RIPP} - (I_{LOAD, MAX} \times ESR) \\ &= 120 \text{ mV} - (15 \text{ A} \times 0.001) = 45 \text{ mV} \\ C_{IN, min} &= \frac{I_{LOAD, MAX}}{4f_{SW} V_{MAX, RIPP}} = \frac{15 \text{ A}}{4 \times 300 \times 10^3 \times 105 \text{ mV}} \\ &= 120 \text{ } \mu\text{F} \end{aligned}$$

5 個の 22 μ F セラミック・コンデンサを選択します。5 個の 22 μ F セラミック・コンデンサの合計 ESR は 1 m Ω を下回る値になります。

$$\begin{aligned} I_{RMS} &= I_{LOAD}/2 = 7.5 \text{ A} \\ P_{CIN} &= (I_{RMS})^2 \times ESR = (7.5 \text{ A})^2 \times 1 \text{ m}\Omega = 56.25 \text{ mW} \end{aligned}$$

インダクタ

インダクタのリプル電流振幅は次式で得られます。

$$\Delta I_L \approx \frac{I_{LOAD}}{3} = 5 \text{ A}$$

インダクタ値について計算すると、以下のようになります。

$$\begin{aligned} L &= \frac{(V_{IN, MAX} - V_{OUT})}{\Delta I_L \times f_{SW}} \times \frac{V_{OUT}}{V_{IN, MAX}} \\ &= \frac{(13.2 \text{ V} - 1.8 \text{ V})}{5 \text{ V} \times 300 \times 10^3} \times \frac{1.8 \text{ V}}{13.2 \text{ V}} \\ &= 1.03 \text{ } \mu\text{H} \end{aligned}$$

インダクタのピーク電流の概算値は次式で求めることができます。

$$15 \text{ A} + (5 \text{ A} \times 0.5) = 17.5 \text{ A}$$

したがって、適切なインダクタは、表 8 から 1.0 μ H、DCR = 3.3 m Ω 、処理できるピーク電流が 20 A のもの (Würth Elektronik 7443552100) を選びます。

$$\begin{aligned} P_{DCR(LOSS)} &= DCR \times I_L^2 \\ &= 0.003 \times (15 \text{ A})^2 = 675 \text{ mW} \end{aligned}$$

電流制限の設定

バレー電流の概算値は次式で求めることができます。

$$15 \text{ A} - (5 \text{ A} \times 0.5) = 12.5 \text{ A}$$

表 7 と図 71 のバレー電流制限に示すように下側 MOSFET の R_{ON} 抵抗が 4.5 m Ω で電流制限値が 13 A の場合、100 k Ω の設定抵抗 (RES) は 24 V/V の A_{CS} に相当します。

24 V/V の電流検出ゲインに対応する $R_{RES} = 100$ k Ω のプログラマブル抵抗を選択してください。

出力コンデンサ

15 A の負荷ステップが出力で発生し、出力の定常状態の動作ポイントからの許容偏差が 5% 以下であると仮定します。この場合、ADP1870 の利点は、周波数が疑似周波数であるために、スイッチング周波数が一時的にせよ即座に増大してコンバータの迅速な応答が可能になる点です。

$$\Delta V_{DROOP} = 0.05 \times 1.8 \text{ V} = 90 \text{ mV}$$

出力コンデンサの合計 ESR の範囲が 5~10 m Ω と仮定すると、次のような計算になります。

$$\begin{aligned} C_{OUT} &= 2 \times \frac{\Delta I_{LOAD}}{f_{SW} \times (\Delta V_{DROOP})} \\ &= 2 \times \frac{15 \text{ A}}{300 \times 10^3 \times (90 \text{ mV})} \\ &= 1.11 \text{ mF} \end{aligned}$$

したがって、適切なインダクタは合計 ESR が 3.5 m Ω の 5 個の 270 μ F ポリマー・コンデンサになります。

オーバーシュートが 45 mV の場合、前に計算した出力容量が適正かどうか計算してください。

$$C_{OUT} = \frac{(L \times I_{LOAD}^2)}{((V_{OUT} - \Delta V_{OVSHT})^2 - (V_{OUT})^2)}$$

$$= \frac{1 \times 10^{-6} \times (15 \text{ A})^2}{(1.8 - 45 \text{ mV})^2 - (1.8)^2}$$

$$= 1.4 \text{ mF}$$

5 個の 270 μF ポリマー・コンデンサを選択します。

出力コンデンサを流れる RMS 電流は次式を使って求めます。

$$I_{RMS} = \frac{1}{2} \times \frac{1}{\sqrt{3}} \times \frac{(V_{IN,MAX} - V_{OUT})}{L \times f_{SW}} \times \frac{V_{OUT}}{V_{IN,MAX}}$$

$$= \frac{1}{2} \times \frac{1}{\sqrt{3}} \times \frac{(13.2 \text{ V} - 1.8 \text{ V})}{1 \mu\text{F} \times 300 \times 10^3} \times \frac{1.8 \text{ V}}{13.2 \text{ V}} = 1.49 \text{ A}$$

出力コンデンサの ESR で消費される電力損失は次式のようにになります。

$$P_{COUT} = (I_{RMS})^2 \times ESR = (1.5 \text{ A})^2 \times 1.4 \text{ m}\Omega = 3.15 \text{ mW}$$

帰還抵抗回路のセットアップ

$R_B = 15 \text{ k}\Omega$ の使用を推奨します。 R_T は次式で計算します。

$$R_T = 15 \text{ k}\Omega \times \frac{(1.8 \text{ V} - 0.6 \text{ V})}{0.6 \text{ V}} = 30 \text{ k}\Omega$$

補償回路

R_{COMP} 、 C_{COMP} 、 C_{PAR} を計算する場合は、トランスコンダクタンス・パラメータと電流検出ゲイン変数が必要になります。トランスコンダクタンス・パラメータ (G_M) は $500 \mu\text{A/V}$ であり、電流検出ループ・ゲインは次式で計算できます。

$$G_{CS} = \frac{1}{A_{CS} R_{ON}} = \frac{1}{24 \times 0.005} = 8.33 \text{ A/V}$$

ここで、 A_{CS} と R_{ON} は電流制限のセットアップから得られます (「設定用抵抗 (RES) 検出回路」と「バレー電流制限の設定」を参照)。

クロスオーバー周波数はスイッチング周波数の 1/12 です。

$$300 \text{ kHz}/12 = 25 \text{ kHz}$$

ゼロ周波数はクロスオーバー周波数の 1/4 です。

$$25 \text{ kHz}/4 = 6.25 \text{ kHz}$$

$$R_{COMP} = \frac{f_{CROSS}}{f_{CROSS} + f_{ZERO}} \times \frac{2\pi f_{CROSS} C_{OUT}}{G_M G_{CS}} \times \frac{V_{OUT}}{V_{REF}}$$

$$= \frac{25 \times 10^3}{25 \times 10^3 + 6.25 \times 10^3} \times \frac{2 \times 3.141 \times 25 \times 10^3 \times 1.11 \times 10^{-3}}{500 \times 10^{-6} \times 8.3} \times \frac{1.8}{0.6}$$

$$= 100 \text{ k}\Omega$$

$$C_{COMP} = \frac{1}{2\pi R_{COMP} f_{ZERO}}$$

$$= \frac{1}{2 \times 3.14 \times 100 \times 10^3 \times 6.25 \times 10^3}$$

$$= 250 \text{ pF}$$

損失の計算

デューティサイクル = $1.8/12 \text{ V} = 0.15$

$R_{ON(N2)} = 5.4 \text{ m}\Omega$

$t_{BODY(LOSS)} = 20 \text{ ns}$ (ボデーの導通時間)

$V_F = 0.84 \text{ V}$ (MOSFET の順方向電圧)

$C_{IN} = 3.3 \text{ nF}$ (MOSFET のゲート入力容量)

$Q_{N1,N2} = 17 \text{ nC}$ (MOSFET の全ゲート電荷)

$R_{GATE} = 1.5 \Omega$ (MOSFET のゲート入力抵抗)

$$P_{N1,N2(CL)} = [D \times R_{N1(ON)} + (1-D) \times R_{N2(ON)}] \times I_{LOAD}^2$$

$$= (0.15 \times 0.0054 + 0.85 \times 0.0054) \times (15 \text{ A})^2$$

$$= 1.215 \text{ W}$$

$$P_{BODY(LOSS)} = \frac{t_{BODY(LOSS)}}{t_{SW}} \times I_{LOAD} \times V_F \times 2$$

$$= 20 \text{ ns} \times 300 \times 10^3 \times 15 \text{ A} \times 0.84 \times 2$$

$$= 151.2 \text{ mW}$$

$$P_{SW(LOSS)} = f_{SW} \times R_{GATE} \times C_{TOTAL} \times I_{LOAD} \times V_{IN} \times 2$$

$$= 300 \times 10^3 \times 1.5 \Omega \times 3.3 \times 10^{-9} \times 15 \text{ A} \times 12 \times 2$$

$$= 534.6 \text{ mW}$$

$$P_{DR(LOSS)} = [V_{DR} \times (f_{SW} C_{upperFET} V_{DR} + I_{BIAS})]$$

$$+ [V_{REG} \times (f_{SW} C_{lowerFET} V_{REG} + I_{BIAS})]$$

$$= (4.62 \times (300 \times 10^3 \times 3.3 \times 10^{-9} \times 4.62 + 0.002))$$

$$+ (5.0 \times (300 \times 10^3 \times 3.3 \times 10^{-9} \times 5.0 + 0.002))$$

$$= 57.12 \text{ mW}$$

$$P_{DISS(LDO)} = (V_{IN} - V_{REG}) \times (f_{SW} \times C_{total} \times V_{REG} + I_{BIAS})$$

$$= (13 \text{ V} - 5 \text{ V}) \times (300 \times 10^3 \times 3.3 \times 10^{-9} \times 5 + 0.002)$$

$$= 55.6 \text{ mW}$$

$$P_{COUT} = (I_{RMS})^2 \times ESR = (1.5 \text{ A})^2 \times 1.4 \text{ m}\Omega = 3.15 \text{ mW}$$

$$P_{DCR(LOSS)} = DCR \times I_{LOAD}^2 = 0.003 \times (15 \text{ A})^2 = 675 \text{ mW}$$

$$P_{CIN} = (I_{RMS})^2 \times ESR = (7.5 \text{ A})^2 \times 1 \text{ m}\Omega = 56.25 \text{ mW}$$

$$P_{LOSS} = P_{N1,N2} + P_{BODY(LOSS)} + P_{SW} + P_{DCR} + P_{DR} + P_{DISS(LDO)}$$

$$+ P_{COUT} + P_{CIN}$$

$$= 1.215 \text{ W} + 151.2 \text{ mW} + 534.6 \text{ mW} + 57.12 \text{ mW} + 55.6$$

$$+ 3.15 \text{ mW} + 675 \text{ mW} + 56.25 \text{ mW}$$

$$= 2.655 \text{ W}$$

推奨外部部品

表 10 の設定は、 $f_{\text{CROSS}} = 1/12 \times f_{\text{SW}}$ 、 $f_{\text{ZERO}} = 1/4 \times f_{\text{CROSS}}$ 、 $R_{\text{RES}} = 100 \text{ k}\Omega$ 、 $R_{\text{BOT}} = 15 \text{ k}\Omega$ 、 $R_{\text{ON}} = 5.4 \text{ m}\Omega$ (BSC042N03MS G)、 $V_{\text{REG}} = 5 \text{ V}$ (フロート)、最大負荷電流 = 14 A になります。

表 10 の ADP1871 モデルはデバイスの PSM バージョンです。

表 10. 外部部品の値

SAP Model	Marking Code		V_{OUT} (V)	V_{IN} (V)	C_{IN} (μF)	C_{OUT} (μF)	L^1 (μH)	R_{C} ($\text{k}\Omega$)	C_{COMP} (pF)	C_{PAR} (pF)	R_{TOP} ($\text{k}\Omega$)
	ADP1870	ADP1871									
ADP1870ARMZ-0.3-R7/ ADP1871ARMZ-0.3-R7	LDW	LDG	0.8	13	5×22^2	5×560^3	0.72	47	740	74	5.0
	LDW	LDG	1.2	13	5×22^2	4×560^3	1.0	47	740	74	15.0
	LDW	LDG	1.8	13	4×22^2	4×270^4	1.0	47	571	57	30.0
	LDW	LDG	2.5	13	4×22^2	3×270^4	1.53	47	571	57	47.5
	LDW	LDG	3.3	13	5×22^2	2×330^5	2.0	47	571	57	67.5
	LDW	LDG	5	13	4×22^2	330^5	3.27	34	800	80	110.0
	LDW	LDG	7	13	4×22^2	$22^2 + (4 \times 47^6)$	3.44	34	800	80	160.0
	LDW	LDG	1.2	16.5	4×22^2	4×560^3	1.0	47	740	74	15.0
	LDW	LDG	1.8	16.5	3×22^2	4×270^4	1.0	47	592	59	30.0
	LDW	LDG	2.5	16.5	3×22^2	4×270^4	1.67	47	592	59	47.5
	LDW	LDG	3.3	16.5	3×22^2	2×330^5	2.00	47	592	59	67.5
	LDW	LDG	5	16.5	3×22^2	2×150^7	3.84	34	829	83	110.0
	LDW	LDG	7	16.5	3×22^2	$22^2 + 4 \times 47^6$	4.44	34	829	83	160.0
ADP1870ARMZ-0.6-R7/ ADP1871ARMZ-0.6-R7	LDX	LDM	0.8	5.5	5×22^2	4×560^3	0.22	47	339	34	5.0
	LDX	LDM	1.2	5.5	5×22^2	4×270^4	0.47	47	326	33	15.0
	LDX	LDM	1.8	5.5	5×22^2	3×270^4	0.47	47	271	27	30.0
	LDX	LDM	2.5	5.5	5×22^2	3×180^8	0.47	47	271	27	47.5
	LDX	LDM	1.2	13	3×22^2	5×270^4	0.47	47	407	41	15.0
	LDX	LDM	1.8	13	5×10^9	3×330^5	0.47	47	307	31	30.0
	LDX	LDM	2.5	13	5×10^9	3×270^4	0.90	47	307	31	47.5
	LDX	LDM	3.3	13	5×10^9	2×270^4	1.00	47	307	31	67.5
	LDX	LDM	5	13	5×10^9	150^7	1.76	34	430	43	110.0
	LDX	LDM	1.2	16.5	3×10^9	4×270^4	0.47	47	362	36	15.0
	LDX	LDM	1.8	16.5	4×10^9	2×330^5	0.72	47	326	33	30.0
	LDX	LDM	2.5	16.5	4×10^9	3×270^4	0.90	47	326	33	47.5
	LDX	LDM	3.3	16.5	4×10^9	330^5	1.0	47	296	30	67.5
	LDX	LDM	5	16.5	4×10^9	4×47^6	2.0	34	415	41	110.0
	LDX	LDM	7	16.5	4×10^9	3×47^6	2.0	34	380	38	160.0
ADP1870ARMZ-1.0-R7/ ADP1871ARMZ-1.0-R7	LDY	LDN	0.8	5.5	5×22^2	4×270^4	0.22	47	223	22	5.0
	LDY	LDN	1.2	5.5	5×22^2	2×330^5	0.22	47	223	22	15.0
	LDY	LDN	1.8	5.5	3×22^2	3×180^8	0.22	47	163	16	30.0
	LDY	LDN	2.5	5.5	3×22^2	270^4	0.22	47	163	16	47.5
	LDY	LDN	1.2	13	3×10^9	3×330^5	0.22	47	233	23	15.0
	LDY	LDN	1.8	13	4×10^9	3×270^4	0.47	47	210	21	30.0
	LDY	LDN	2.5	13	4×10^9	270^4	0.47	47	210	21	47.5
	LDY	LDN	3.3	13	5×10^9	270^4	0.72	47	210	21	67.5
	LDY	LDN	5	13	4×10^9	3×47^6	1.0	34	268	27	110.0
	LDY	LDN	1.2	16.5	3×10^9	4×270^4	0.47	47	326	33	15.0
	LDY	LDN	1.8	16.5	3×10^9	3×270^4	0.47	47	261	26	30.0
	LDY	LDN	2.5	16.5	4×10^9	3×180^8	0.72	47	233	23	47.5
	LDY	LDN	3.3	16.5	4×10^9	270^4	0.72	47	217	22	67.5

SAP Model	Marking Code		V _{OUT} (V)	V _{IN} (V)	C _{IN} (μF)	C _{OUT} (μF)	L ¹ (μH)	R _C (kΩ)	C _{COMP} (pF)	C _{PAR} (pF)	R _{TOP} (kΩ)
	ADP1870	ADP1871									
	LDY	LDN									
	LDY	LDN	5	16.5	3 × 10 ⁹	3 × 47 ⁶	1.0	34	268	27	110.0
	LDY	LDN	7	16.5	3 × 10 ⁹	22 ² + 47 ⁶	1.0	34	228	23	160.0

¹ 「インダクタの選択」と表 11 を参照してください。

² 22 μF 村田製作所 25 V、X7R、1210 GRM32ER71E226KE15L (3.2 mm × 2.5 mm × 2.5 mm)

³ 560 μF パナソニック (SP シリーズ) 2 V、7 mΩ、3.7 A EEFUE0D561LR (4.3 mm × 7.3 mm × 4.2 mm)

⁴ 270 μF パナソニック (SP シリーズ) 4 V、7 mΩ、3.7 A EEFUE0G271LR (4.3 mm × 7.3 mm × 4.2 mm)

⁵ 330 μF パナソニック (SP シリーズ) 4 V、12 mΩ、3.3 A EEFUE0G331R (4.3 mm × 7.3 mm × 4.2 mm)

⁶ 47 μF 村田製作所 6 V、X5R、1210 GRM32ER61C476KE15L (3.2 mm × 2.5 mm × 2.5 mm)

⁷ 150 μF パナソニック (SP シリーズ) 6.3 V、10 mΩ、3.5 A EEFUE0J151XR (4.3 mm × 7.3 mm × 4.2 mm)

⁸ 180 μF パナソニック (SP シリーズ) 4 V、10 mΩ、3.5 A EEFUE0G181XR (4.3 mm × 7.3 mm × 4.2 mm)

⁹ 10 μF TDK 25 V、X7R、1210 C3225X7R1E106M

表 11. 推奨インダクタ

L (μH)	DCR (mΩ)	I _{SAT} (A)	Dimension (mm)	Manufacturer	Model Number
0.12	0.33	55	10.2 × 7	Würth Elektronik	744303012
0.22	0.33	30	10.2 × 7	Würth Elektronik	744303022
0.47	0.67	50	13.2 × 12.8	Würth Elektronik	744355147
0.72	1.3	35	10.5 × 10.2	Würth Elektronik	744325072
0.9	1.6	28	13 × 12.8	Würth Elektronik	744355090
1.2	1.8	25	10.5 × 10.2	Würth Elektronik	744325120
1.0	3.3	20	10.5 × 10.2	Würth Elektronik	7443552100
1.4	3.2	24	14 × 12.8	Würth Elektronik	744318180
2.0	2.6	22	13.2 × 10.8	Würth Elektronik	7443551200
0.8	2.5	16.5	12.5 × 12.5	AIC Technology	CEP125U-R80

表 12. 推奨 MOSFET

V _{GS} = 4.5 V	R _{ON} (mΩ)	I _D (A)	V _{DS} (V)	C _{IN} (nF)	Q _{TOTAL} (nC)	Package	Manufacturer	Model Number
Upper-Side MOSFET (Q1/Q2)	5.4	47	30	3.2	20	PG-TDSON8	Infineon	BSC042N03MS G
	10.2	53	30	1.6	10	PG-TDSON8	Infineon	BSC080N03MS G
	6.0	19	30		35	SO-8	Vishay	Si4842DY
	9	14	30	2.4	25	SO-8	International Rectifier	IRF7811
Lower-Side MOSFET (Q3/Q4)	5.4	47	30	3.2	20	PG-TDSON8	Infineon	BSC042N03MS G
	10.2	82	30	1.6	10	PG-TDSON8	Infineon	BSC080N03MS G
	6.0	19	30		35	SO-8	Vishay	Si4842DY

レイアウトの考慮事項

DC/DC コンバータの性能は、PC ボード (PCB) 上の電圧経路と電流経路の配置に大きく左右されます。高感度のアナログ部品や電源部品の配置を最適化することは非常に重要であり、これによって出力リップルを最小限に抑え、厳しいレギュレーション仕様を維持し、PWM ジッタ／電磁干渉を低減することができます。

図 84 に、高電流アプリケーションで使用する代表的な ADP1870/ADP1871 の回路図を示します。青色のパターンが高電流の経路を示しています。VIN、PGND、V_{OUT} のパターンは太くし、できれば幾つも複製し、複数の層に配線してください。ビアは、主に入出力コンデンサの正側と負側の端子の周りに設け、Q1/Q2 のソース、Q3/Q4 のドレイン、インダクタに沿って配置します。

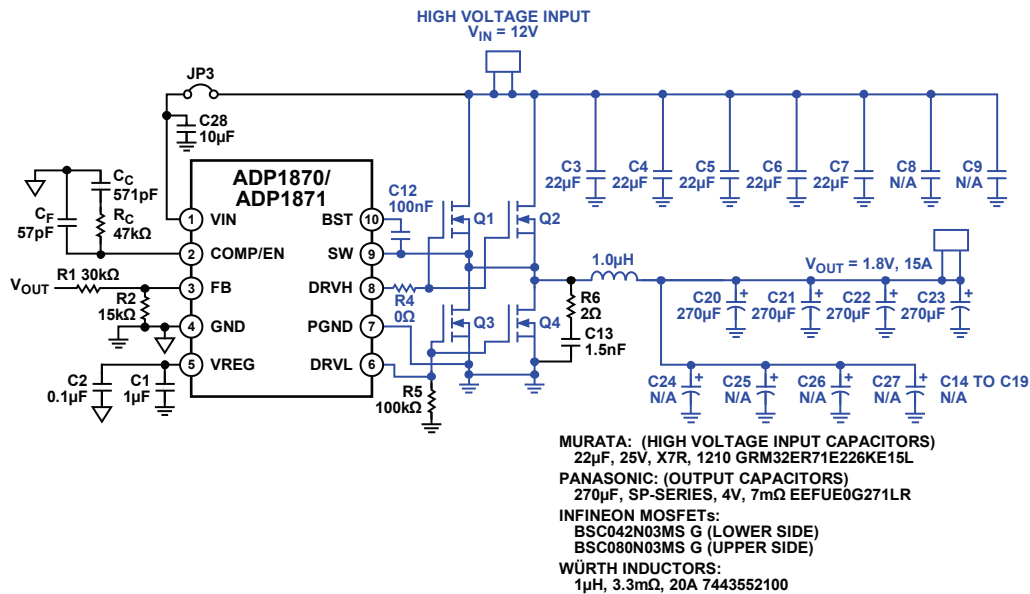


図 84. ADP1870 高電流評価用ボードの回路図（青色のパターン：高電流経路）

08730-081

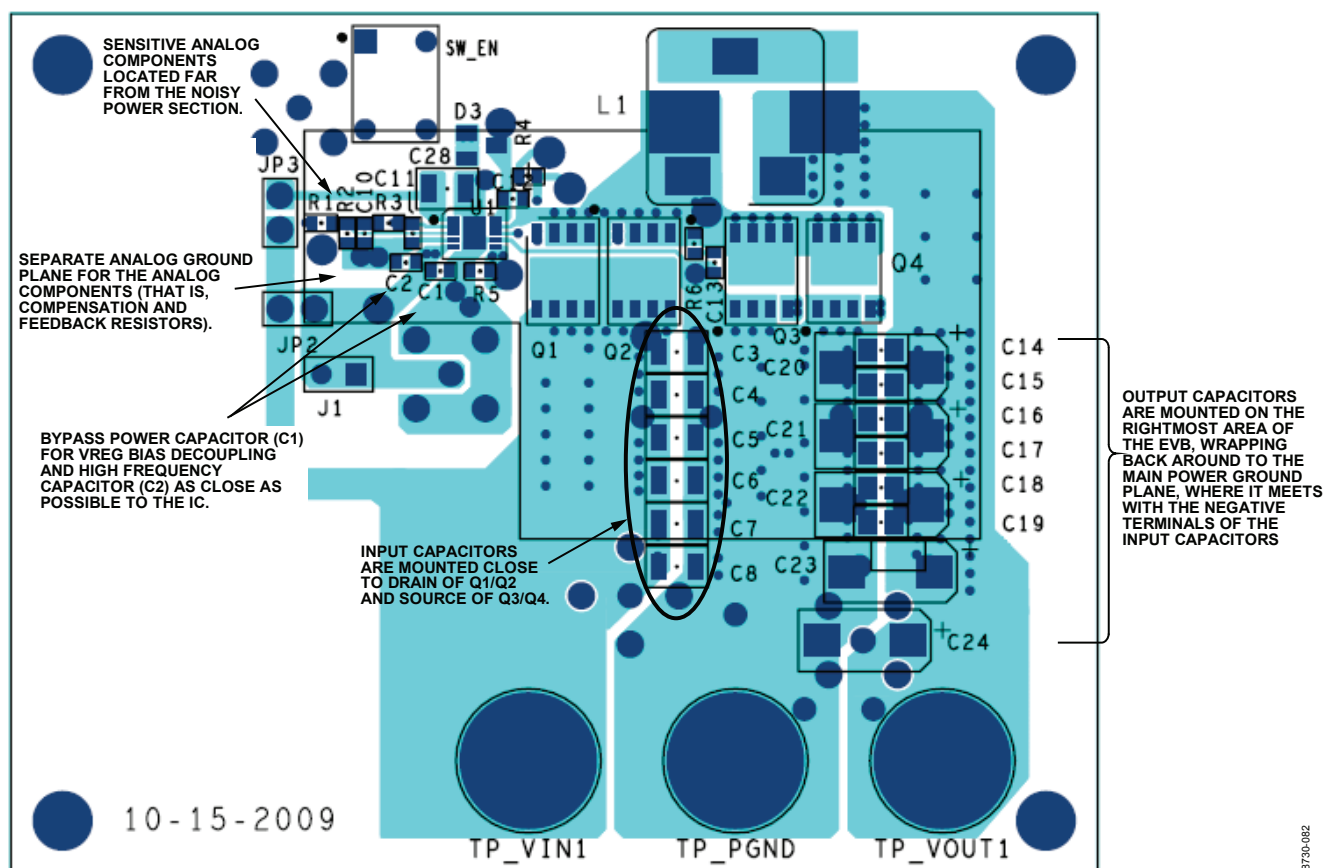


図 85. ADP1870 高電流評価用ボードの全レイアウト

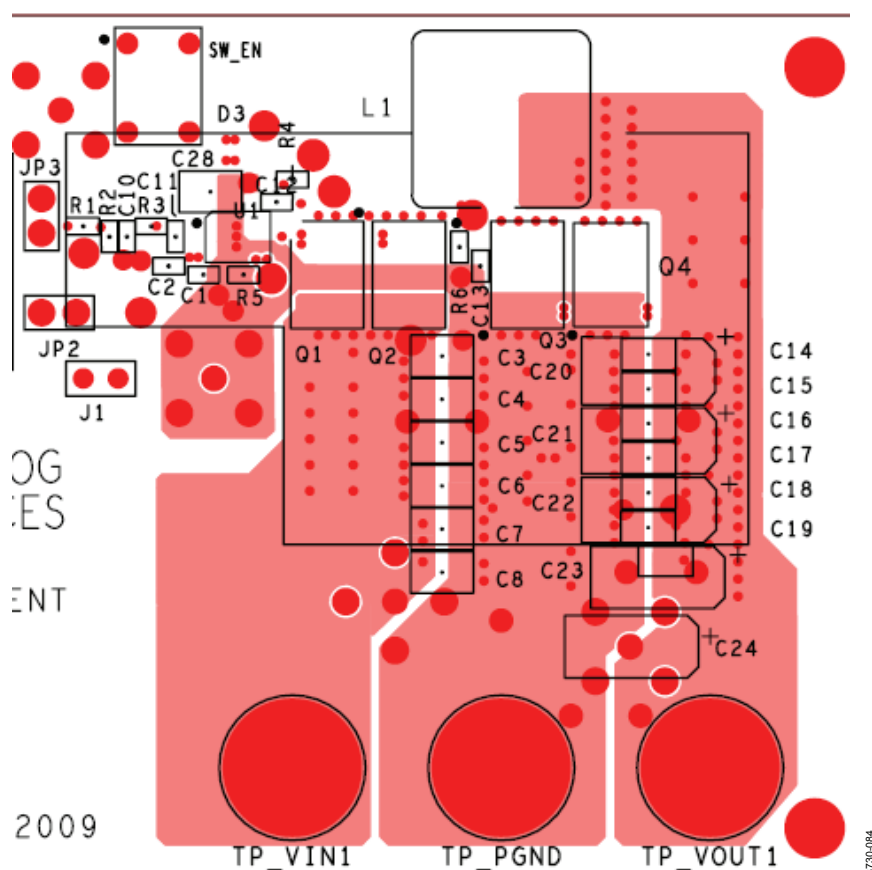


図 86. 評価用ボードの第2層

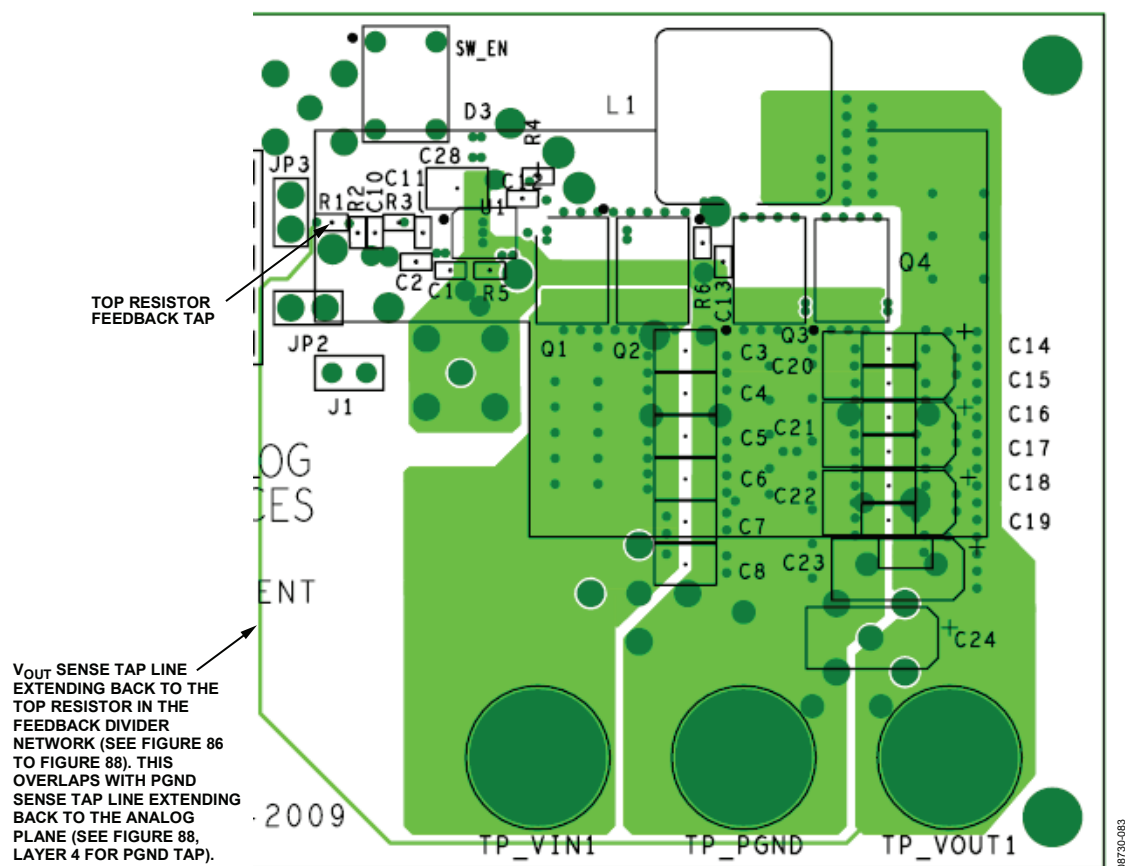


図 87. 評価用ボードの第 3 層

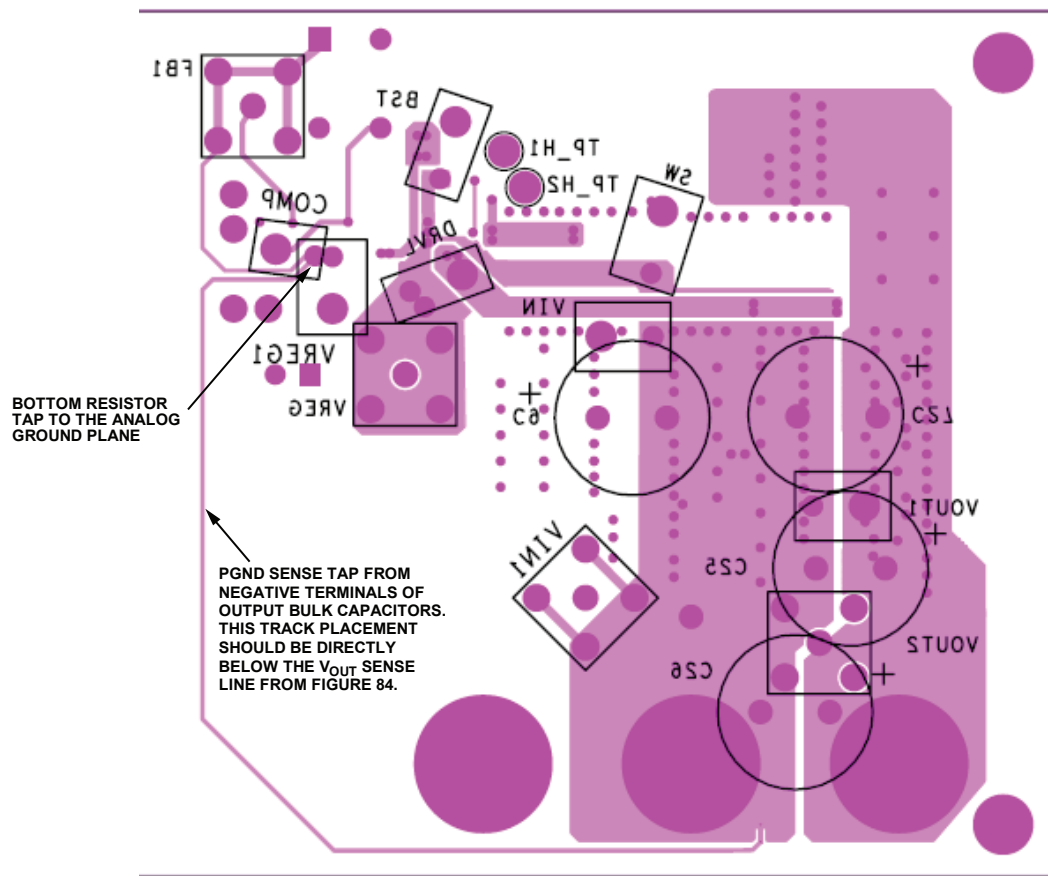


図 88. 評価用ボードの第 4 層（底面層）

IC領域（評価用ボードの左側）

アナログ・グラウンド・プレーン（GND）用のプレーンは、主電源グラウンド・プレーン（PGND）から分離する必要があります。アナログ・グラウンド・プレーンは、できる限り短い経路で GND ピン（4 番ピン）に接続してください。このプレーンを設けるのは、評価用ボードの上面層のみとします。クロストーク干渉を避けるために、このプレーンの真下の第 2 層、第 3 層、第 4 層の領域にほかの電圧／電流経路を配置しないでください。高感度のアナログ部品の負端子は、アナログ・グラウンド・プレーンに接続してください。高感度のアナログ部品には、FB 抵抗の下部の抵抗、バイアシング用の高周波バイパス・コンデンサ（0.1 μF ）、補償回路などがあります。

1 μF のバイパス・コンデンサを VREG ピン（5 番ピン）と PGND ピン（7 番ピン）の間にじかに搭載します。また、0.1 μF のコンデンサを VREG ピン（5 番ピン）と GND ピン（4 番ピン）の間に接続します。

電源領域

大電流を高電圧入力（ V_{IN} ）から出力（ V_{OUT} ）に送り、さらに電源グラウンドに戻るような流れにするには、正しくボードを構成する必要があります（図 85 を参照）。この場合、 V_{IN} プレーンを左側、出力プレーンを右側、主電源グラウンド・プレーンをこの 2 つのプレーンの間に配置します。電流は、オン状態のときに入力コンデンサから Q1/Q2 を経由して出力コンデンサに流れます（図 89 を参照）。この電流の方向（黄矢印）は、Q1/Q2 がオフになり、Q3/Q4 がオンになっても変わりません。Q3/Q4 がオンになって、電流がバルク・コンデンサの電源グラウンド端子から Q3/Q4 を経由して出力コンデンサに流れるときも、その電流の方向（赤矢印）はそのままです。このように電源プレーンを配置すれば、Q1/Q2 を

流れる電流が突然停止した場合も磁束が変化する領域を最小限に抑えられます。磁束の突然の変化は一般に Q1/Q2 のソース端子や Q3/Q4 のドレイン端子で発生しますが、これによって SW ノードに大きな dV/dt が生じます。

SW ノードは評価用ボードの上部付近にあります。このノードの使用領域は最小限に抑え、高感度のアナログ回路や部品から離れた場所に配置してください。磁束密度の突然の変化のほとんどがこのノードで発生するためです。可能であれば、熱を低減するためにこのパッドを第 2 層と第 3 層にも配置し、SW ノード・プレーンの真下にはほかの電圧／電流経路が一切来ないようにしてください。SW ノード・プレーンの主にインダクタの端末の露出パッドの周り、Q1/Q2 のソースおよび Q3/Q4 のドレインの周囲にビアを配置します。出力電圧電源プレーン（ V_{OUT} ）は、評価用ボードの右端にあります。このプレーンは複製する必要があり、インダクタの端子と出力バルク・コンデンサの正端子の周りのビアから複数の層に通じるようにします。出力コンデンサの負端子は、前述したように、主電源グラウンド（PGND）の近くに配置します。これらのポイントはすべてタイトな円（部品形状が許す限り）を形成しているため、D と 1-D が切り替わるイベントのときに磁束が変化する領域が最小限に抑えられます。

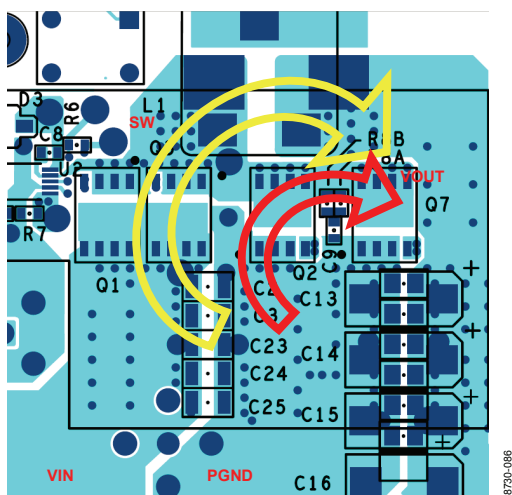


図 89. 主な電流経路—上側 MOSFET がオン状態のとき（左矢印）と下側 MOSFET がオン状態のとき（右矢印）

差動電圧の検出

ADP1870/ADP1871 の動作はバレー電流モード制御方式であるため、下側 MOSFET のドレインとソース間の差動電圧を検出します。下側 MOSFET のドレインは IC の SW ピン（9 番ピン）のできるだけ近くに接続します。同様に、ソースは IC の PGND ピン（7 番ピン）のできるだけ近くに接続します。可能であれば、これらのパターンのラインは両方とも細くして、ほかのアクティブ・デバイスや電圧／電流経路から離してください。

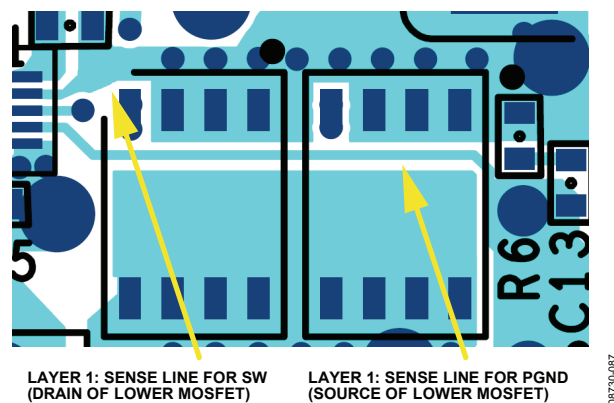


図 90. CS アンプ差動検出用の下側 MOSFET のドレイン／ソース・トラッキング・タッピング（黄矢印：第 2 層の検出ライン）

一番外側の出力コンデンサと帰還抵抗分圧器の間でも、差動検出を行う必要があります（図 87 と図 88 を参照）。出力コンデンサの正端子は最上部の抵抗（ R_T ）に接続します。また、出力コンデンサの負端子は、アナログ・グラウンドにも接続している最下部の抵抗の負端子に接続します。どちらのパターンのラインも、前述したように細くし、ほかのアクティブ・デバイスや電圧／電流経路から離してください。

代表的なアプリケーション回路

15 A、300 kHz高電流アプリケーション回路

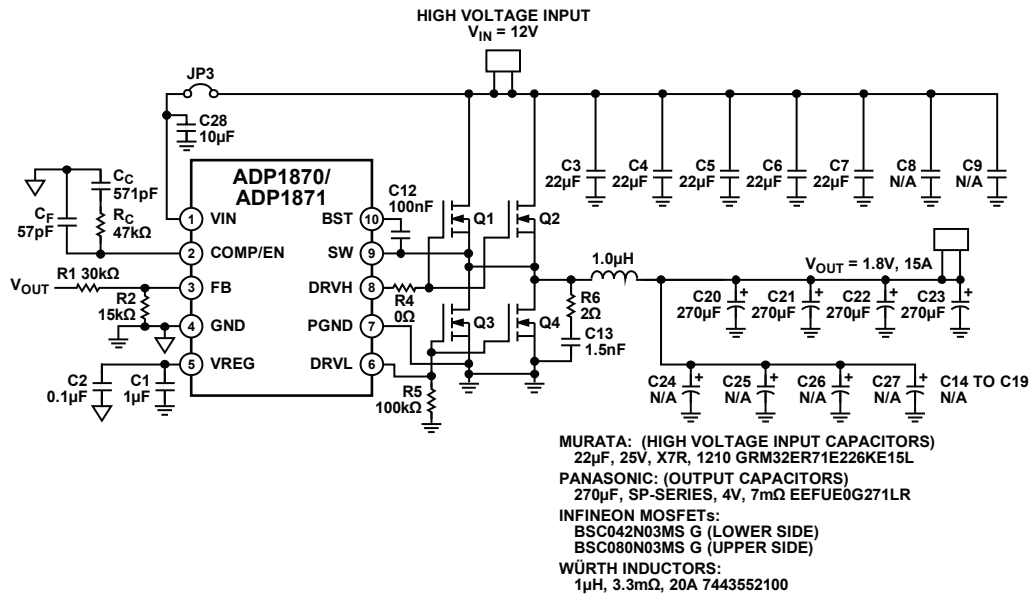


図 91. 12 V 入力、1.8 V 出力、15 A、300 kHz のアプリケーション回路 (Q2/Q4 無接続)

5.5 V 入力、600 kHz プリケーション回路

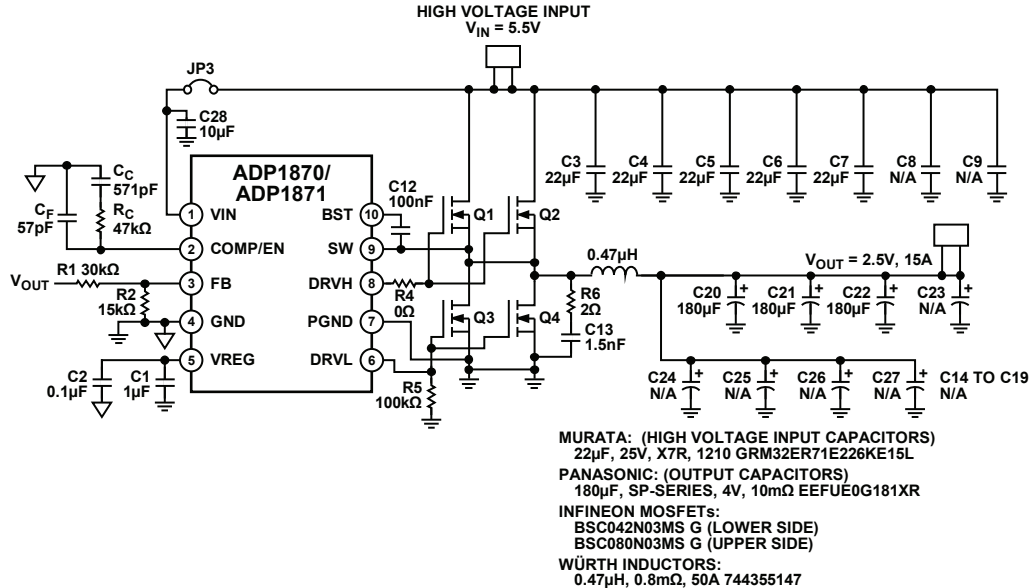


図 92. 5.5 V 入力、2.5 V 出力、15 A、600 kHz のアプリケーション回路 (Q2/Q4 無接続)

300 kHzの高電流アプリケーション回路

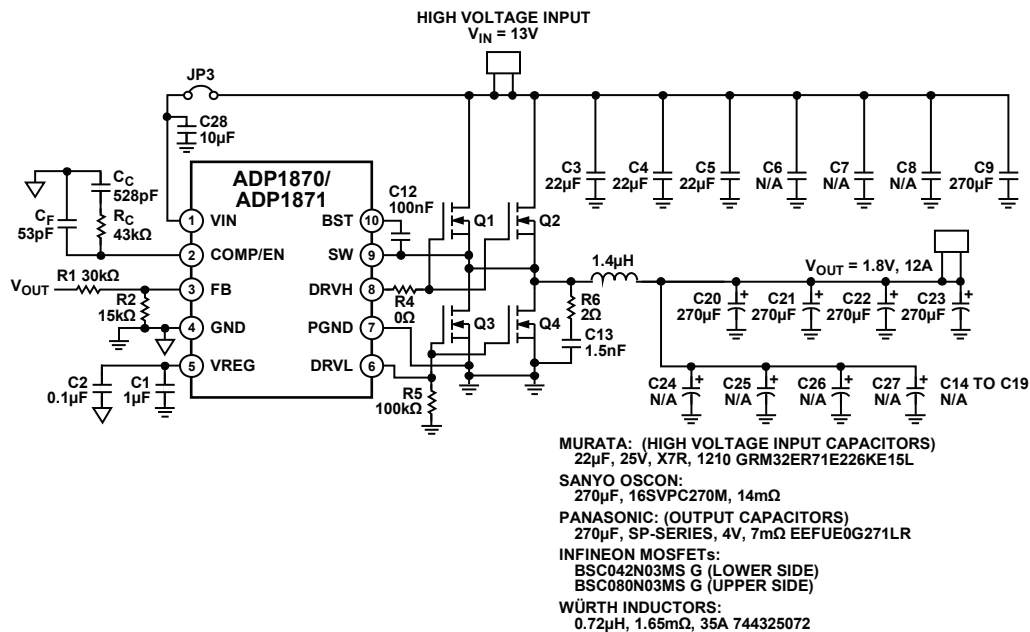


図 93. 13 V 入力、1.8 V 出力、12 A、300 kHz のアプリケーション回路 (Q2/Q4 無接続)

08730-090

外形寸法

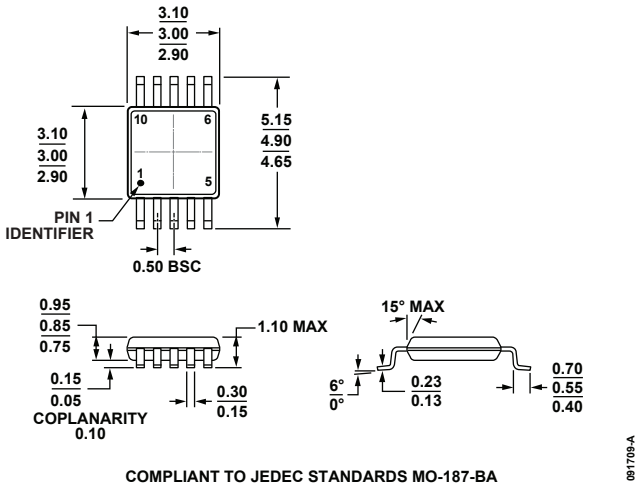


図 94. 10 ピン・ミニ・スモール・アウトライン・パッケージ [MSOP]
(RM-10)
寸法単位：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
ADP1870ARMZ-0.3-R7	−40°C to +125°C	10-Lead Mini Small Outline Package [MSOP]	RM-10	LDW
ADP1870ARMZ-0.6-R7	−40°C to +125°C	10-Lead Mini Small Outline Package [MSOP]	RM-10	LDX
ADP1870ARMZ-1.0-R7	−40°C to +125°C	10-Lead Mini Small Outline Package [MSOP]	RM-10	LDY
ADP1871ARMZ-0.3-R7	−40°C to +125°C	10-Lead Mini Small Outline Package [MSOP]	RM-10	LDG
ADP1871ARMZ-0.6-R7	−40°C to +125°C	10-Lead Mini Small Outline Package [MSOP]	RM-10	LDM
ADP1871ARMZ-1.0-R7	−40°C to +125°C	10-Lead Mini Small Outline Package [MSOP]	RM-10	LDN
ADP1870-0.3-EVALZ		Evaluation Board		
ADP1870-0.6-EVALZ		Evaluation Board		
ADP1870-1.0-EVALZ		Evaluation Board		
ADP1871-0.3-EVALZ		Evaluation Board		
ADP1871-0.6-EVALZ		Evaluation Board		
ADP1871-1.0-EVALZ		Evaluation Board		

¹ Z = RoHS 準拠製品