

特長

- 広入力電圧範囲：3.15~14V
- 広出力電圧範囲：0.8V~入力電圧
- LTC1772、LTC3801とピン互換
- 最高94%の効率
- 全温度範囲で0.8V±1.25%のリファレンス精度
- 内部ソフト・スタート
- 低ドロップアウト電圧に対して100%のデューティサイクル
- 優れたライン/負荷過渡応答を実現する電流モード動作
- シャットダウン電流：7μA
- 無負荷時電源電流：235μA
- 短絡および過電圧保護
- 小型6ピンTSOTパッケージ

アプリケーション

- ワイヤレス装置
- 1~3セルのLi-Ionバッテリー駆動のアプリケーション
- セットトップ・ボックス
- プロセッサ・コア電源
- ハードディスク・ドライブ

概要

ADP1864は、小型で安価な固定周波電流モード降圧DC/DCコントローラです。ADP1864で駆動するPチャンネルMOSFETは、14Vという高い入力電圧から5Aまでの負荷電流に対して、0.8Vという低い出力電圧を±2%の精度で調整します。

ADP1864では、外付け抵抗により電流制限の正確な設定を可能にしてシステムの柔軟性を提供すると同時に、2本の外付け抵抗を使用して出力電圧を簡単に調節できます。ADP1864に組み込まれている内部ソフト・スタートを使用すれば、高速なパワーアップが可能になるだけでなく、入力突入電流を防止できます。その他の安全機能には、短絡保護、出力過電圧保護、入力アンダー電圧保護などがあります。電流モード制御が高速で安定した負荷過渡性能を提供する一方で、580kHzの動作周波数により、システムでは小さなインダクタを使用できます。バッテリー・ソースの寿命を延ばすため、コントローラは、ドロップアウト時に外付けPチャンネルMOSFETをオンにします(100%デューティサイクル)。

ADP1864は、-40~+125℃の温度範囲で動作し、薄型で小さな6ピンTSOTパッケージを採用しています。

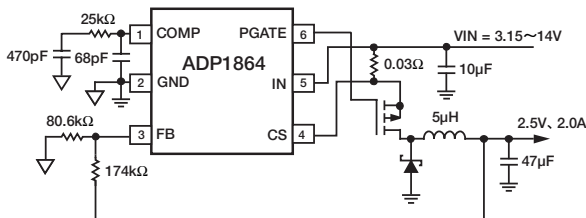


図1. 代表的なアプリケーション図

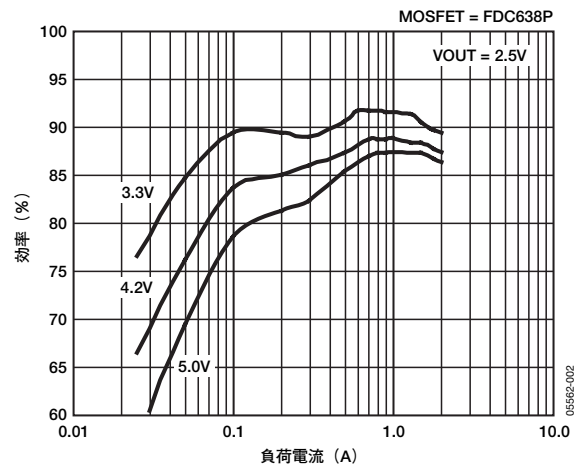


図2. 負荷電流対効率

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2005-2007 Analog Devices, Inc. All rights reserved.

REV. A

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868

ADP1864

目次

特長	1	アプリケーション情報	10
アプリケーション	1	デューティサイクル	10
概要	1	リップル電流	10
改訂履歴	2	検出抵抗	10
仕様	3	インダクタ値	10
絶対最大定格	4	MOSFET	11
ESDに関する注意	4	ダイオード	11
ピン配置と機能の説明	5	入力コンデンサ	11
代表的な性能特性	6	出力コンデンサ	11
動作原理	8	帰還抵抗	11
ループのスタートアップ	8	レイアウトの考慮事項	12
短絡保護	9	アプリケーション回路例	13
アンダー電圧ロックアウト (UVLO)	9	外形寸法	14
過電圧ロックアウト保護 (OVP)	9	オーダー・ガイド	14
ソフト・スタート	9		

改訂履歴

2/07—Rev 0: Rev. A

Updated Format	Universal
Changes to Figure 1	1
Changes to General Description	2
Changes to Specifications	3
Change to Figure 13	8
Replaced Layout Considerations Section	12
Replaced Example Applications Circuits Section	13

10/05—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{IN}=5V$ 、 $T_J=25^\circ C$ 。

表1

パラメータ	記号	テスト条件/備考	Min	Typ	Max	単位
電源						
入力電圧	V_{IN}		3.15		14	V
静止電流	I_Q	$V_{IN}=3.15\sim 14V$ 、 $GATE=IN$		235	350	μA
シャットダウン電源電流	I_{SD}	$V_{IN}=3.15\sim 14V$ 、 $COMP=GND$		7	15	μA
アンダー電圧ロックアウト・スレッシュホールド	V_{UVLO}	V_{IN} 立下がり、 $T_J=-40\sim +125^\circ C$	2.75	2.90	3.01	V
		V_{IN} 立上がり、 $T_J=-40\sim +125^\circ C$	2.85	3.00	3.15	V
誤差アンプ						
FB入力電流	I_{FB}	$V_{FB}=0.8V$ 、 $T_J=25^\circ C$	-20	-2	+20	nA
FB入力電流	I_{FB}	$V_{FB}=0.8V$ 、 $T_J=-40\sim +125^\circ C$	-40	-2	+40	nA
アンプ・トランス コンダクタンス		$V_{FB}=0.8V$ 、 $I_{COMP}=\pm 5\mu A$		0.24		mmho
COMPスタートアップ・ スレッシュホールド		$V_{IN}=3.15\sim 14V$ 、 $T_J=-40\sim +125^\circ$	0.55	0.67	0.80	V
COMPシャットダウン・ スレッシュホールド		$V_{IN}=3.15\sim 14V$ 、 $T_J=-40\sim +125^\circ$	0.15	0.3	0.55	V
COMP始動電流源		$COMP=GND$	0.25	0.6	0.95	μA
FBレギュレーション電圧		$V_{IN}=3.15\sim 14V$ 、 $T_J=-40\sim +125^\circ$	0.790	0.8	0.860	V
過電圧保護スレッシュホールド	V_{OVP}	FBで測定、 $T_J=-40\sim +125^\circ C$	0.87	0.885	0.9	V
過電圧保護ヒステリシス				50		
電流検出						
ピーク電流検出電圧		$T_J=-40\sim +125^\circ C$	90	125		mV
ピーク電流検出電圧		$V_{IN}=3.15\sim 14V$ 、 $T_J=-40\sim +125^\circ C$	70	125		mV
電流検出ゲイン		$V_{CS}\sim V_{COMP}$		12		V/V
出力レギュレーション						
ラインレギュレーション ¹		$V_{IN}=3.15\sim 14V$ 、 V_{FB}/V_{IN}		0.12		mV/V
負荷レギュレーション ²		V_{FB}/V_{COMP}		-2		mV/V
発振器						
発振器周波数		$V_{FB}=0.8V$ 、 $T_J=-40\sim +125^\circ C$	500	580	650	kHz
FB周波数フォールドバック・ スレッシュホールド		$V_{FB}=0V$		190		kHz
				0.35		V
ゲート駆動						
ゲート立上がり時間		$C_{GATE}=3nF$		50		ns
ゲート立下がり時間		$C_{GATE}=3nF$		40		ns
最小オンタイム		PGATEの最小ローレベル期間		190		ns
ソフト・スタート・ パワーオン時間						
				1.1		ms

¹ ラインレギュレーションは、図1のアプリケーション回路を使用して測定します。ラインレギュレーションは、IN電圧の1V変化によって生じるFB電圧の変化として仕様規定されています。

² 負荷レギュレーションは、図1のアプリケーション回路を使用して測定します。負荷レギュレーションは、COMP電圧の1V変化によって生じるFB電圧の変化として仕様規定されています。COMP電圧の範囲は通常、最小から最大までの負荷電流条件に対して、0.9~2.3Vです。

絶対最大定格

表2

パラメータ	定格値
GNDに対するIN	-0.3~+16V
GNDに対するCS、PGATE	-0.3~($V_{IN}+0.3V$)
GNDに対するFB、COMP	-0.3~+6V
θ_{JA} 2層 (SEMI規格ボード)	315°C/W
θ_{JA} 4層 (JEDEC規格ボード)	186°C/W
動作ジャンクション温度範囲	-40~+125°C
保存温度	-65~+150°C
ピン温度範囲	
修正温度 (J-STD-020B)	260°C
ピーク・リフロー温度 (20~40秒、J-STD-020B)	260°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

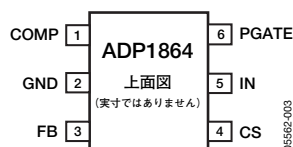


図3. ピン配置

表3. ピン機能の説明

ピン番号	記号	説明
1	COMP	レギュレータ補償ノード。COMPは内部トランスコンダクタンス誤差アンプの出力です。制御ループを補償するには、COMPからGNDまでを直列RCで接続します。スイッチング・ジッタをさらに減らすには、COMPとGNDとの間に高周波コンデンサを追加します。通常このコンデンサの値は、メイン補償コンデンサの1/10です。COMPピンを0.3V未満にすると、ADP1864がディスエーブルになり、外付けPFETがオフになります。
2	GND	アナログ・グラウンド。なるべく小さなアナログGNDプレーンによって、補償回路と帰還回路をGNDに直接接続します。GNDは、細かいパターンによりGNDピンの近くで電源グラウンド (PGND) プレーンに一点接続します。詳細については「レイアウトの考慮事項」を参照。
3	FB	フィードバック入力。出力電圧を設定するには、出力電圧からFBまでを抵抗分圧器で接続します。レギュレーション帰還電圧は0.8Vです。帰還抵抗はFBピンのできるだけ近くに配置します。
4	CS	電流検出入力。CSは電流検出アンプの負側入力であり、PWMをオンタイムで終端させるための電流フィードバック信号を提供します。電流制限を設定するには、INとCSとの間に電流検出抵抗を配置します。電流制限スレッシュホールドは通常、125mVです。
5	IN	電力入力。INはADP1864の電源および電流検出アンプの正側入力です。INは入力電圧源の正側に接続します。ADP1864のできるだけ近くに配置した10 μ F以上のコンデンサにより、INをPGNDにバイパスします。高周波ノイズをさらに減らすには、INピンにおいてPGNDに0.1 μ Fのコンデンサを追加します。
6	PGATE	ゲート駆動出力。PGATEは外付けPチャンネルMOSFETのゲートを駆動します。外付けMOSFETのゲートにPGATEを接続します。

代表的な性能特性

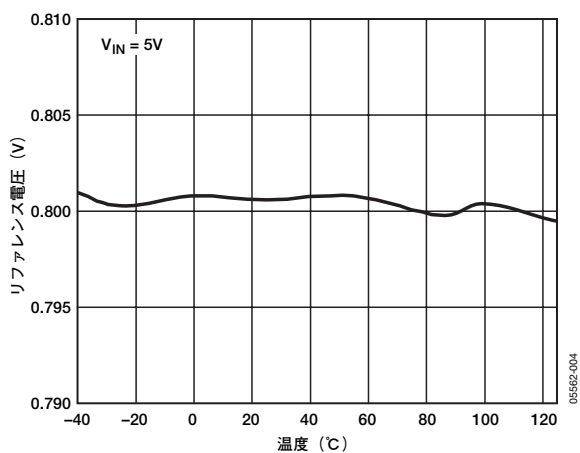


図4. リファレンス電圧の温度特性

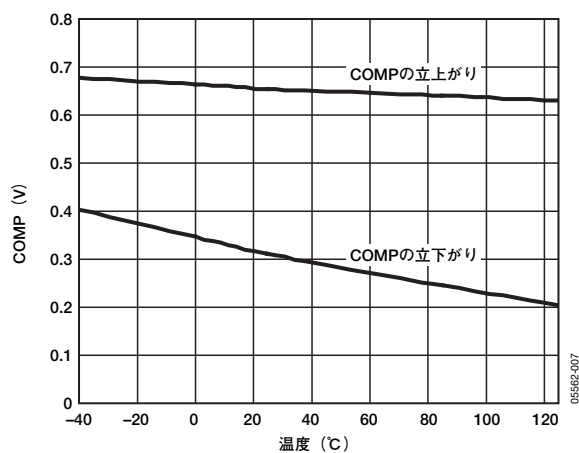


図7. COMPのシャットダウン・スレシヨールドの温度特性

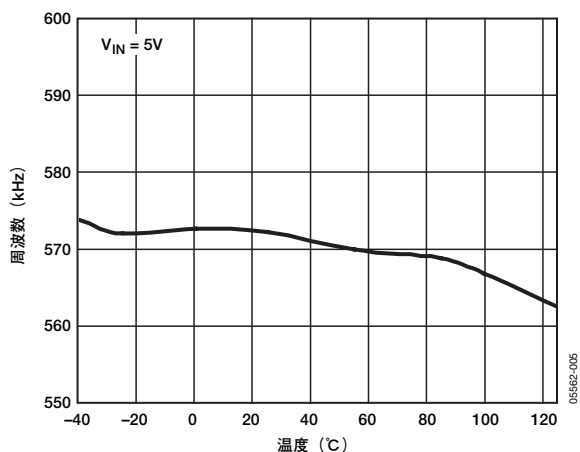


図5. 正規化された発振器周波数の温度特性

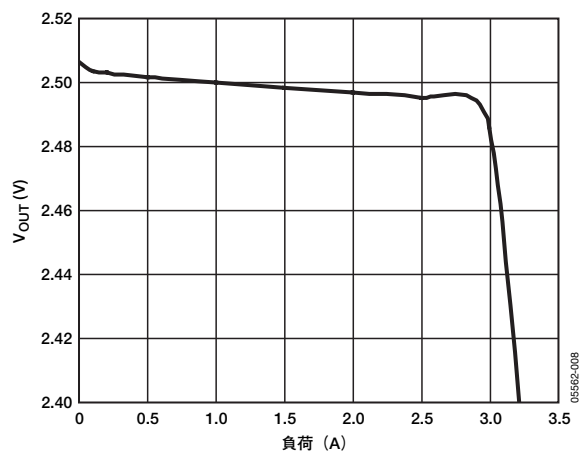


図8. 代表的な負荷レギュレーション ($V_{IN}=5V$ 、図1を参照)

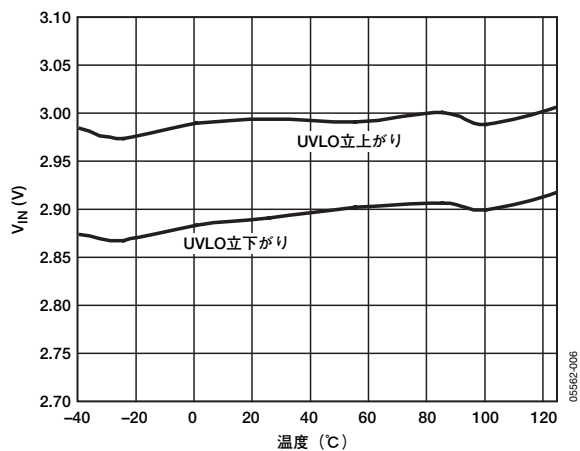


図6. UVLO電圧の温度特性 (V_{IN} の上がりと V_{IN} の下がり)

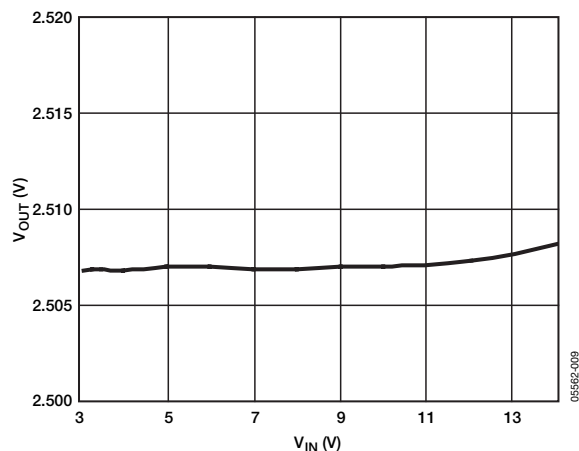


図9. 入力電圧 対 代表的なライン・レギュレーション (図20を参照)

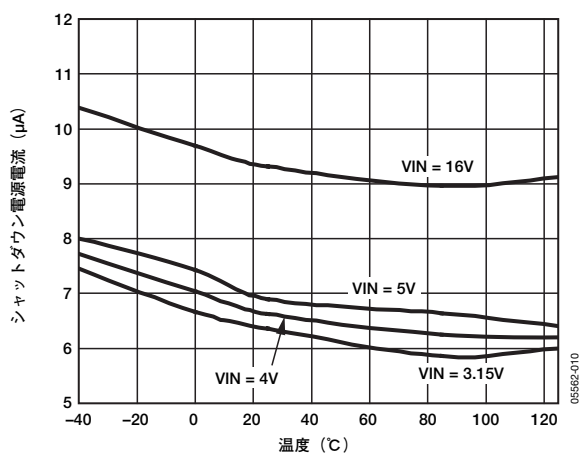


図10. シャットダウン電源電流の温度特性

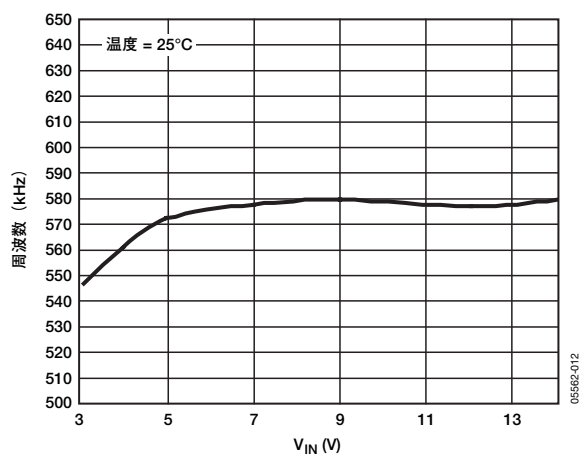


図12. 入力電圧 対 発振器周波数

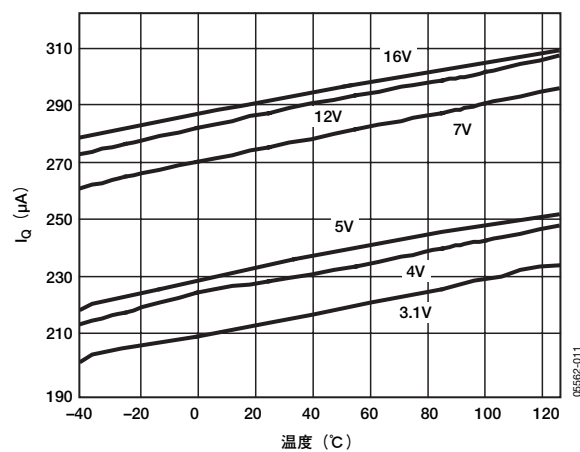


図11. 無負荷時電流の温度特性

ADP1864

動作原理

ADP1864は、固定周波数（580kHz）、電流モードの降圧コントローラです。PGATEは、外付けPチャンネルFETのゲートを駆動します。外付けFETのデューティサイクルは、負荷に供給される電流と出力電圧を決定します。

ピークのインダクタ電流は、外付けの検出抵抗にまたがって測定されます。一方、システム出力電圧は、外付け抵抗分圧器を通じてFBピンにフィードバックされます。

すべての発振器サイクルの初めに、PGATEが外付けFETをオンにしてインダクタ電流を発生させるため、電流検出アンプの電圧が増大します。インダクタ電流は、電流アンプの電圧がCOMPピンの電圧に等しくなるまで増大します。これにより、内部フリップフロップがリセットされてPGATEがハイレベルになり、外付けFETがオフになります。インダクタ電流は、次の発振器周期の開始まで減少します。

COMPノードの電圧は、内部誤差アンプの出力です。誤差アンプの負側入力、外付け抵抗分圧器によってスケールされた出力電圧です。一方、誤差アンプへの正側入力、0.8Vのバンドギャップ・リファレンスによって駆動されます。負荷電流の増大によって帰還電圧に小さなドロップが発生し、さらにCOMP電圧の増大を招くため、デューティサイクルも増大します。FETのオンタイム増大により、負荷が必要とする電流が追加供給されます。

ループのスタートアップ

COMPピンをGNDに接続すると、ADP1864がディスエーブルになります。COMPピンがGNDから解放されると、0.6 μ Aの内部電流源がCOMPノード上の外付け補償コンデンサを充電します。COMP電圧が0.67Vまで充電されると、内部制御ブロックがイネーブルになり、COMPはその最小の通常動作電圧（0.9V）までプルアップされます。COMPでの電圧が増大していくと、外付けFETのオンタイムが増大し、必要なインダクタ電流を供給します。COMP電圧が負荷電流に対応できるほど高くなると、ループは完全に安定します。FBでのレギュレーション電圧は0.8Vです。

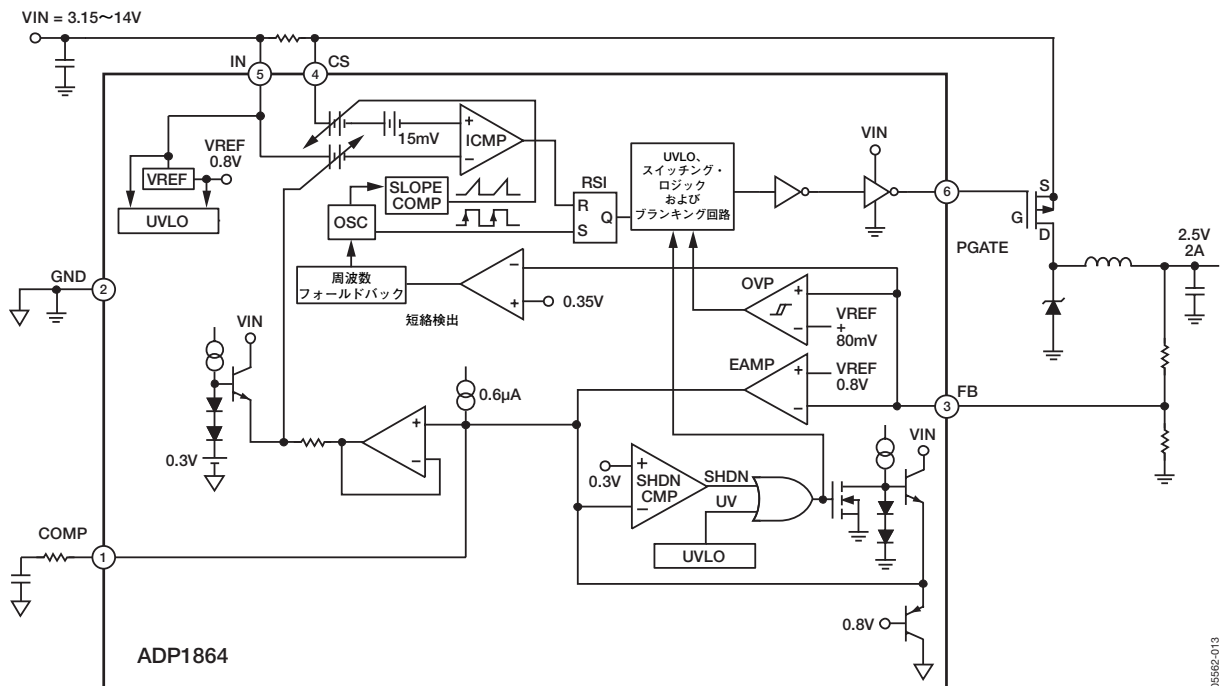


図13. 機能ブロック図

短絡保護

出力負荷の両端で短絡が発生した場合は、フィードバック・ピン (FB) の電圧が急速に低下します。FB電圧が0.35Vよりも低下すると、ADP1864は発振器周波数を190kHzに低減します。発振器周期の増加により、インダクタの放電時間が増加して、出力電流の流出を防止できます。出力短絡が解消され、帰還電圧が0.35Vのスレッシュホールドを上回るまで増加すると、発振器周波数は580kHzに戻ります。

アンダー電圧ロックアウト (UVLO)

入力電圧が最小許容電圧よりも低下したときに不規則な動作を防止するため、ADP1864にはアンダー電圧ロックアウト (UVLO) 機能があります。入力電圧が2.90Vよりも低下した場合は、PGATEがハイレベルになります。ADP1864は、その無負荷時電流 (typ値) の引き込みを継続します。入力電圧が減少するにつれて、消費電流はシャットダウン電流に向かって低下し続けます。IN電圧がUVLOの上方スレッシュホールド (3.0V) よりも増加すると、ADP1864は再びイネーブルになり、スイッチングを開始します。

過電圧ロックアウト保護 (OVP)

高電圧電源への出力短絡からシステムを保護するために、ADP1864は過電圧保護機能を備えています。帰還電圧が0.885Vまで増加した場合、PGATEがハイレベルに保持され、外付けFETがオフになります。FETは、FBでの電圧が0.84Vに減少するまで、ハイレベルに保持されます。0.84Vになった時点で、ADP1864は通常動作を再開します。

ソフト・スタート

ADP1864に組み込まれているソフト・スタート機能は、デバイスがイネーブルになると、インダクタ電流の増加率を制限します。ソフト・スタートが有効になるのは、入力電圧がUVLOスレッシュホールドよりも増加したとき、またはCOMPがGNDから解放されたときです。ソフト・スタートでは、入力において突入電流を制限し、出力電圧のオーバーシュートも制限します。ソフト・スタートの制御スロープは、内部的に設定されます。

アプリケーション情報

デューティサイクル

最悪時のインダクタ・リップル電流、出力電圧リップル、スロープ補償係数を決定するには、システムの最大と最小のデューティサイクルを決定します。デューティサイクルは次の式で求められます。

$$\text{デューティサイクル (DC)} = \frac{V_{OUT} + V_D}{V_{IN} + V_D}$$

ここで、 V_D はダイオードの順方向降下です。代表的なショットキー・ダイオードには、0.5Vの順方向電圧降下があります。

リップル電流

インダクタのピークtoピーク・リップル電流の値は、システムの最高入力電圧において最大負荷電流の20～40%の間になるように選択します。設計の第一歩としては、負荷電流の30%を推奨します。

$$\Delta I_{(PEAK)} = 0.3 \times I_{LOAD(MAX)}$$

検出抵抗

所望の電流制限を指定するには、検出抵抗値を選択します。内部の電流コンパレータは、ピーク電流（負荷電流と正のインダクタ・リップル電流の合計）を測定し、電流制限スレッシュホールドと比較します。電流検出抵抗値は、次の式で計算されます。

$$R_{SENSE(MIN)} = \frac{PCSV}{I_{LOAD(MAX)} + \frac{\Delta I_{(PEAK)}}{2}}$$

ここで、PCSVはピーク電流検出電圧であり、通常0.125Vです。

すべてのシステム条件にわたって必要な出力負荷電流を提供できるようにするには、PCSVの温度変動（「仕様」を参照）に加えて、インダクタの許容誤差によるリップル電流の増加も考慮してください。

システムが40%超のデューティサイクルで動作している場合は、計算にスロープ補償係数を加えます。

$$R_{SENSE(MIN)} = \frac{SF \times PCSV}{I_{LOAD(MAX)} + \frac{\Delta I_{(PEAK)}}{2}}$$

ここで、SFは、システムの最大デューティサイクル（最小入力電圧）におけるスロープ係数補正比率です（図14を参照）。

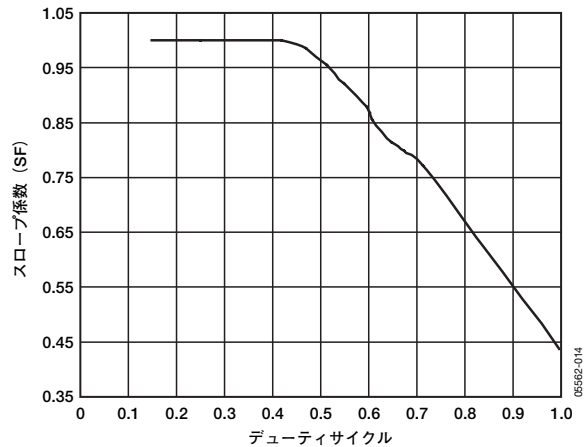


図14. デューティサイクル 対 スロープ係数 (SF)

インダクタ値

インダクタ値の選択は重要です。なぜなら、それによりインダクタ・リップルが決定され、さらには出力での電圧リップルが決まるからです。デバイスを40%超のデューティサイクルで動作させる場合は、スロープ補償を有効に保つために、インダクタ値を十分に低く保持してください。

インダクタ・リップル電流は、インダクタ値と逆の関係にあります。

$$\Delta I_{(PEAK)} = \frac{(V_{IN} - V_{OUT})}{L \times f} \times \left(\frac{V_{OUT} + V_D}{V_{IN} + V_D} \right)$$

小さなインダクタ値にすると、一般にサイズと価格を抑えることができますが、リップル電流と出力電圧リップルが増加します。インダクタ値を大きくしすぎると、価格が増大し、40%超のデューティサイクルではスロープ補償の効果が減るため、有効な負荷過渡応答を妨げることがあります。

最高の入力電圧から始めて、リップル電流は最大負荷電流の30%を想定します。

$$L = \frac{(V_{IN} - V_{OUT})}{0.3 \times I_{LOAD(MAX)} \times f} \times \left(\frac{V_{OUT} + V_D}{V_{IN} + V_D} \right)$$

この開始時点から、インダクタ・リップル電流を最大負荷電流の20～40%に維持しながら、インダクタンスを変更してサイズ、価格、および出力電圧リップルの適正なバランスを実現します。

MOSFET

外付けPチャンネルMOSFETの選択に際しては、 V_t （スレッシュホールド電圧）、電圧および電流の最大定格、 $R_{DS(ON)}$ 、ゲート電荷を考慮してください。

ADP1864の最小動作電圧は3.15Vです。アプリケーションで使用する最小の入力電源電圧よりも1V以上低い V_t を持つMOSFETを選択します。

MOSFET V_{SG} と V_{SD} の最大定格は、ADP1864で使用する最大入力電圧よりも数ボルト大きくしてください。

次の式により、連続伝導モードでのMOSFET内のRMS電流を見積もります。

$$I_{MOSFET(RMS)} = \sqrt{\frac{V_{OUT} + V_D}{V_{IN} + V_D}} \times I_{LOAD}$$

ダイオード電圧の変動とインダクタ・リップルを考慮して、MOSFET電流の定格を少なくとも20%下げます。

MOSFETの消費電力は、伝導損失とスイッチング損失の合計です。

$$PD_{MOSFET(COND)} = (I_{MOSFET(RMS)})^2 \times (1+T) \times R_{DS(ON)}$$

ここで、 T は、 $0.005/^\circ\text{C} \times (\text{MOSFETジャンクション温度} - 25^\circ\text{C})$ です。

算出した最大消費電力が、MOSFETの最大定格を大幅に下回ることを確認します。

ダイオード

ダイオードは、外付けFETのオフ時にインダクタ電流を伝達します。したがって、ダイオードの平均電流は、コントローラのデューティサイクルと出力負荷電流に依存します。

$$I_{DIODE(AV)} = \left(1 - \frac{V_{OUT} + V_D}{V_{IN} + V_D}\right) \times I_{LOAD}$$

ここで、 V_D はダイオードの順方向降下です。一般的なショットキー・ダイオードでは、順方向降下電圧は0.5Vとなります。

最高の効率を実現するには、ショットキー・ダイオードの使用を推奨します。なぜなら、接合ダイオードに比べて、順方向降下が低くスイッチング速度が速いためです。接合ダイオードを使用する場合は、超高速リカバリ・ダイオードを使用します。順方向降下が低ければ、FETのオフ時の電力損失が減少します。スイッチングが高速であれば、PFET遷移中のスイッチング損失が減少します。

入力コンデンサ

入力コンデンサは、外付けPチャンネルFETによって引き込まれるパルス電流用の低インピーダンス・パスを提供します。入力コンデンサを選ぶ際は、スイッチング周波数でのインピーダンスが電圧源 (V_{IN}) のインピーダンスより低いものにしてください。ESRとインピーダンスが低いことから、10 μF のセラミック・コンデンサを推奨します。

どのようなタイプのコンデンサでも、リップル電流定格は、最大出力負荷電流の1/2より大きくしてください。

スペースの制限がある場合は、RMS電流条件を満たすために複数のコンデンサを並列に配置することもできます。入力コンデンサは、ADP1864のINピンにできるだけ近づけて配置します。

出力コンデンサ

出力電圧リップルの量は、出力コンデンサの容量値とESRによって決定されます。

$$\Delta V \doteq \Delta I \times \left(\frac{1}{8 \times f \times C_{OUT}} + ESR_{COUT} \right)$$

ここで、 f =発振器周波数（一般に580kHz）です。

出力容量は一般に40 μF を超えるため、電圧リップルはESRによって支配されます。出力コンデンサのリップル定格が最大インダクタ・リップルより大きくなるようにしてください。

$$I_{rms} \doteq \frac{1}{2 \times \sqrt{3}} \times \left(\frac{(V_{OUT} + V_D) \times (V_{IN} - V_{OUT})}{L \times f \times V_{IN}} \right)$$

三洋電機のPOSCAPコンデンサは、サイズ、ESR、リップル、電流能力の優れたトレードオフを提供します。

帰還抵抗

システムの出力電圧は、帰還抵抗比によって設定されます。

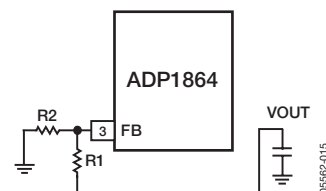


図15. 出力電圧の設定に使用する2本の帰還抵抗

$$0.8V = V_{OUT} \times \frac{R2}{R1 + R2}$$

$$R1 = R2 \times \frac{(V_{OUT} - 0.8)}{0.8}$$

$R2$ には80.6k Ω を選択します。 $R2$ にこれよりも高い値を使用すると、出力電圧の精度が低下します。逆に低い値を使用すると、分圧器電流が増加して無負荷時電流の消費が増加します。

レイアウトの考慮事項

レイアウトはすべてのスイッチング・レギュレータにおいて重要ですが、スイッチング周波数が高い場合には特に重要です。スパイクや電磁干渉 (EMI) の原因となるトラック・インダクタンスを最小限に抑えるには、すべての大電流パスをできるだけ広くしてください。図16ではこれらのパスを太線で表示しています。電流検出抵抗と入力コンデンサは、INピンのできるだけ近くに配置します。

ダイオード、入力コンデンサ、出力コンデンサをPGNDに接続する際は、広いPGNDプレーン上でできるだけ近接させます。PGNDプレーンとGNDプレーンは、細いパターンによりADP1864のGND接続の近くで一点接続します。

浮遊成分の混入を防ぐには、帰還抵抗がFBピンのできるだけ近くに配置されるようにします。FBラインでのノイズの混入を防ぐには、出力電圧からFBへのフィードバック・パターンが外付けPFETのドレインのすぐ横を通過しないようにしてください。これらの部品での損失から発生した熱の放散を促すには、ダイオードの陰極とFETドレインの接続部に銅プレーンを追加します。

- すべてのアナログ部品は、補償用部品とFB部品を含め、評価用ボードの左側 (ADP1864 DUTの左側、図17を参照) にまとめて配置されています。すべての電源部品は、ボードの右側に実装されています (MOSFET、インダクタ、入力バイパス・コンデンサ、出力コンデンサ、パワー・ダイオード)。
- ノイズを発生するすべてのノード (Pチャンネル・ドレイン、パワー・ダイオードのカソード、インダクタ端子) は、評価用ボード上面層の最下部に沿って配置されています (図17を参照)。スイッチング時のカップリング (クロストーク) の影響を最小限に抑えるために、この部分はかなりの量の銅で被覆され、十分なトラック間隔が設けられています。
- 評価用ボード上面層 (図17を参照) の最下部に沿って配置されている電源部品から放射されるEMIを最小限に抑えるために、FBタップは絶縁され、ボードの底面層 (図18を参照) の右上部分に沿ってR_{TOP}から配線されています。ボードの中央に近い位置に配備されている主電源のグラウンド・プレーンからこのトラックを効果的にデカップリングするために、十分なトラック間隔が設けられています。
- 上面層には、2つのグラウンド・プレーンがあります。アナログ・グラウンド・プレーンが左側、電源グラウンド・プレーンが右側です。アナログ・グラウンドのピックアップポイントは底面層まで突き出し、細い絶縁トラックを通して配線されています (図18を参照)。
- Pチャンネル・ゲートには絶縁パターン (底面層) を使用し、ビアでの接続によってDUTの6番ピンに接続してください。

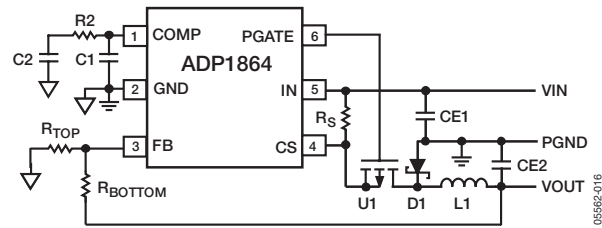


図16. 大電流パス (太線) を示すアプリケーション回路

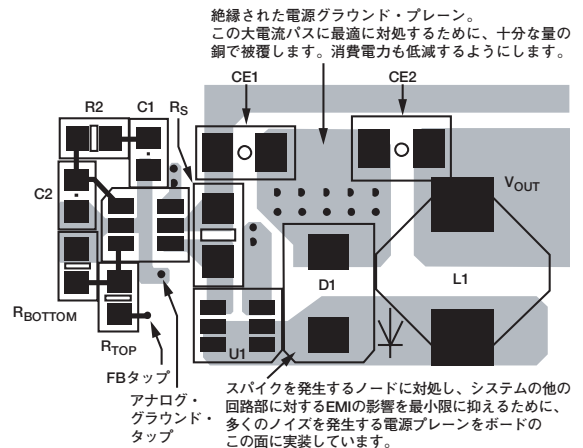
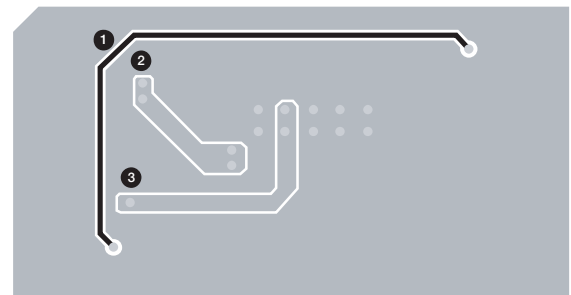


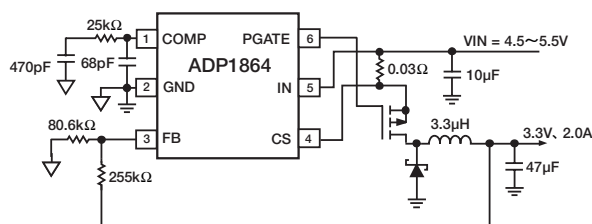
図17. ADP1864アプリケーションの上面層レイアウト例



- 1 出力からR_{TOP}までのFBタップ。EMIのピックアップを最小限に抑えるために、パターン配線は電源部品から遠ざけてください。
- 2 PFETのゲート接続用の絶縁パターン。D1のカソードとPFETのドレインから分離するこの接続配線により、ノイズがこのトラックに結合しなくなります。
- 3 AGNDとPGND間の接続用の絶縁トラック。アナログ部品 (FB部品と補償用部品) に及ぶ浮遊寄生容量の影響を最小限に抑えるうえで役立ちます。

図18. ADP1864アプリケーションの底面層レイアウト例

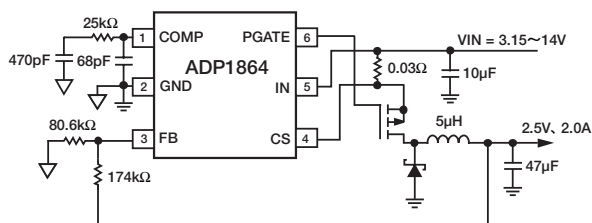
アプリケーション回路例



RSENSE LRC-LR1206_01_R030-F
 MOSFET FAIRCHILD SEMI FDC638P
 INDUCTOR TOKO FDV0630-3R3M
 DIODE SYNSEMI SK22
 CIN LMK325BJ106KN
 COUT SANYO POSCAP 6TPB47M

05562-018

図19

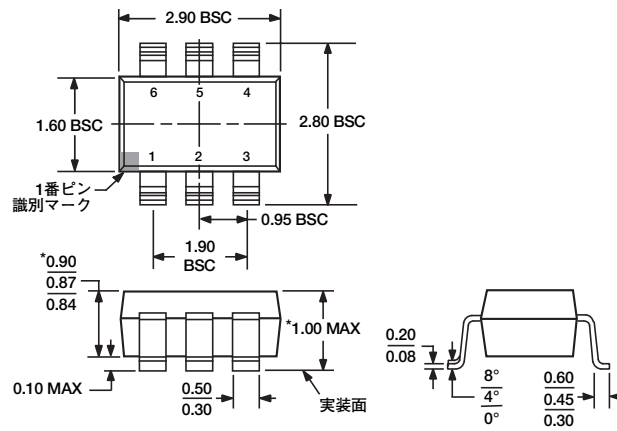


RSENSE LRC-LR1206_01_R030-F
 MOSFET FAIRCHILD SEMI FDC658P
 INDUCTOR SUMIDA CDRH6D38-5R0
 DIODE VISHAY SSB43L
 CIN LMK325BJ106KN
 COUT SANYO POSCAP 6TPB47M

05562-019

図20

外形寸法



*パッケージの高さと厚さを除き、JEDEC規格MO-193-AAに準拠

図21. 6ピン薄型スモール・アウトライン・トランジスタ・パッケージ [TSOT]
(UJ-6)
寸法単位：mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション	マーキング
ADP1864AUJZ-R7 ¹	-40~+125℃	6ピン薄型スモール・アウトライン・トランジスタ・パッケージ (TSOT)	UJ-6	P0N
ADP1864-EVAL ²	-40~+125℃	評価用ボード		

¹ Z=鉛フリー製品

² V_{OUT}=2.5V (可変)、I_{LOAD}=0~3A、V_{IN}=3.15~14V。