



iCoupler 内蔵の絶縁型同期 フライバック・コントローラ

データシート

ADP1071-1/ADP1071-2

特長

- フライバック・トポロジ向け電流モード・コントローラ
- ADP1071-1: 高 V_{IN} アプリケーション向けのプログラマブル LLM または CCM
- ADP1071-2: 強制 CCM 動作
- プログラマブルな勾配補償
- アナログ・デバイセズの iCoupler 技術による 5kV の絶縁機能を内蔵
- 幅広い電源電圧範囲
 - 1 次 V_{DD} : 最大 60V (ADP1071-2 のみ)
 - 2 次 V_{DD2} : 最大 36V
- 1 次側に 1A の MOSFET ドライバを内蔵
- 2 次側に同期整流用の 1A の MOSFET ドライバを内蔵
- 誤差アンプ内蔵および <math><1\%</math> の正確なリファレンス電圧
- プログラマブルな周波数範囲: 50kHz~600kHz
- デューティ・サイクル・クランプ制限: 85%
- プログラマブルなソフト・スタートとプリチャージ負荷からのソフト・スタート
- 短絡、出力の過電圧、過熱の保護などの保護機能
- MODE ピンを使用した節電 LLM (ADP1071-1 のみ)
- サイクルごとの入力過電流保護
- ヒステリシスによる高精度イネーブル UVLO
- 周波数同期
- 安全性と規制に対する認定 (申請中)
- UL 認定
 - 1 分間で 5000V rms、UL1577 規格に準拠
 - 「CSA Component Acceptance Notice 5A」に準拠
- VDE 適合性認定
 - DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12
 - $V_{ORM} = 849V$ ピーク
 - GB4943.1-2011 に準拠する CQC 認定
- 16 ピン SOIC_W パッケージを採用

アプリケーション

- 絶縁型の DC/DC または AC/DC 電力変換
- テレコム、産業用
- 小型セル
- PoE 給電デバイス
- エンタープライズ用スイッチおよびルータ

機能ブロック図

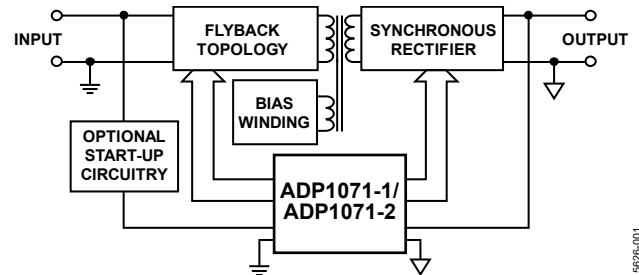


図 1.

概要

ADP1071-1/ADP1071-2 は、絶縁型 DC/DC 電源用に設計されたパルス幅変調 (PWM) 電流モード固定周波数同期フライバック・コントローラです。これらのデバイスには、アナログ・デバイセズ独自の iCoupler[®] が内蔵されており、絶縁境界を越えて信号を送信する、大きな信号トランスやフォトカプラが不要になります。iCoupler を統合することにより、システム設計の複雑さ、コスト、部品点数が削減され、システム全体の信頼性が向上します。アイソレータと金属酸化膜半導体電界効果トランジスタ (MOSFET) ドライバを 1 次側および 2 次側の双方に統合しているため、システム・レベルでコンパクトな設計が可能となり、高負荷時にダイオード整流型フライバック・コンバータより高い効率を実現します。

出力のレギュレーションは、2 次側の出力電圧を検知して行います。そこでは、iCoupler を介して 1 次側と 2 次側の間でフィードバック信号と PWM 信号が送信されています。

ADP1071-1/ADP1071-2 は、定格絶縁電圧が 5kV 実効値の 16 ピン SOIC_W パッケージで提供されています。ADP1071-2 は、通常の入力電圧が 36V 未満である絶縁型 DC/DC アプリケーション用に設計されています。ADP1071-1 は、DC 入力電圧が 60V を超えるような入力電圧が高いアプリケーションを対象としています。

ADP1071-1/ADP1071-2 は、入力電流保護、出力過電圧保護 (OVP)、低電圧ロックアウト (UVLO)、調整可能なヒステリシスによる高精度イネーブル、過熱保護 (OTP)、省電力軽負荷モード (LLM) などの機能も備えています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	入出力電流制限保護.....	16
アプリケーション.....	1	温度検出.....	17
機能ブロック図.....	1	周波数設定 (RT ピン).....	17
概要.....	1	最大デューティ・サイクル.....	17
改訂履歴.....	2	周波数同期.....	17
仕様.....	3	同期整流器 (SR) ドライバ.....	18
絶縁および安全性関連の仕様.....	6	出力過電圧保護 (OVP).....	18
適用規格.....	7	SR デッド・タイム.....	18
絶対最大定格.....	8	軽負荷モード (LLM) と連続導通モード (CCM).....	18
熱抵抗.....	8	ソフト・ストップ.....	19
ESD に関する注意.....	8	OCP/フィードバック回復.....	19
ピン配置およびピン機能の説明.....	9	出力電圧トラッキング.....	19
代表的な性能特性.....	10	リモート・システム・リセット.....	19
動作原理.....	12	OCP カウンタ.....	20
詳細なブロック図.....	13	外部スタートアップ回路.....	21
1 次側電源、入力電圧、LDO.....	14	絶縁寿命.....	21
2 次側電源および LDO.....	14	レイアウトのガイドライン.....	22
高精度イネーブル.....	14	アプリケーション情報.....	23
ソフト・スタート手順.....	15	代表的なアプリケーション回路.....	23
出力電圧の検出とフィードバック.....	16	外形寸法.....	24
ループ補償と定常動作.....	16	オーダー・ガイド.....	24
勾配補償.....	16		

改訂履歴

11/2018—Rev. 0 to Rev. A
Changes to Frequency Setting (RT Pin) Section..... 17

9/2018—Revision 0: Initial Version

仕様

ADP1071-1：特に指定のない限り、VREG1 = 9V、VDD2 = 12V、T_A = -40°C~+125°Cです。ADP1071-2：特に指定のない限り、VIN = 24V、VDD2 = 12V、T_A = -40°C~+125°Cです。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
ADP1071-1 SUPPLY (PRIMARY)						
Supply Voltage	V _{REG1}	1 μF capacitor from VREG1 to AGND1	4.7	8	12.5	V
Quiescent Supply Current	I _{VREG1}	VREG1 > VREG1 UVLO, GATE pin unloaded				
		At 100 kHz		3.8		mA
		At 300 kHz		4.6		mA
	I _{VREG1}	At 600 kHz		6.8		mA
		VREG1 > VREG1 UVLO, GATE pin loaded with 2.2 nF				
		At 100 kHz		5.5		mA
		At 300 kHz		10		mA
		At 600 kHz		16.6		mA
VREG1 Start-Up Current	I _{VREG1_STARTUP}	V _{EN} < 1.2 V			160	μA
VREG1 UVLO		VREG1 rising			4.7	V
		VREG1 falling	4			V
UVLO Hysteresis				0.19		V
ADP1071-2 SUPPLY (PRIMARY)						
Supply Voltage	V _{IN}	4.7 μF capacitor from VIN to AGND1, 1 μF capacitor from VREG1 to AGND1	4.7	24	60	V
Quiescent Supply Current	I _{VIN}	VIN > VIN UVLO, GATE pin unloaded				
		At 100 kHz		3.8		mA
		At 300 kHz		4.4		mA
		At 600 kHz		6.8		mA
	I _{VIN}	VIN > VIN UVLO, GATE pin loaded with 2.2 nF				
		At 100 kHz		5.5		mA
		At 300 kHz		11		mA
		At 600 kHz		22		mA
VIN Shutdown Current		EN pin voltage (V _{EN}) < 1.2 V, VREG1 = 0 V, VIN = 60 V			55	μA
VIN and VREG1 Start-Up Current	I _{VIN_STARTUP}	V _{EN} < 1.2 V, VREG1 = 12 V, VIN = 12 V			160	μA
VIN UVLO		VIN rising			4.7	V
		VIN falling	4			V
UVLO Hysteresis				0.19		V
SWITCHING TIME						
Time from EN High to GATE Output Switching		V _{EN} > 1.2 V, 1 μF capacitor on VREG1		1		ms
Time from EN Low to GATE Output Stops Switching		V _{EN} < 1.0 V, 1 μF capacitor on VREG1		1		μs

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SUPPLY (SECONDARY)						
Supply Voltage	V_{DD2}	4.7 μ F capacitor from VDD2 to AGND2, 1 μ F capacitor from VREG2 to AGND2	4.5	12	36	V
Quiescent Supply Current	I_{DD2}	SR unloaded				
		At 100 kHz		5.3		mA
		At 300 kHz		5.5		mA
	I_{DD2}	At 600 kHz		5.6		mA
		SR loaded with 2.2 nF				
VDD2 UVLO Threshold		At 100 kHz		6.4		mA
		At 300 kHz		8.7		mA
		At 600 kHz		12.1		mA
		VDD2 rising			3.55	V
		VDD2 falling	3			V
UVLO Hysteresis				145		mV
Secondary UVLO Hiccup Time				200		ms
OSCILLATOR						
Switching Frequency (f_s)		RT resistance (R_{RT}) = 480 k Ω ($\pm 1\%$)	50 - 10%	50	50 + 10%	kHz
		R_{RT} = 240 k Ω ($\pm 1\%$)	100 - 10%	100	100 + 10%	kHz
		R_{RT} = 120 k Ω ($\pm 1\%$)	200 - 10%	200	200 + 10%	kHz
		R_{RT} = 80 k Ω ($\pm 1\%$)	300 - 10%	300	300 + 10%	kHz
		R_{RT} = 60 k Ω ($\pm 1\%$)	400 - 10%	400	400 + 10%	kHz
		R_{RT} = 40 k Ω ($\pm 1\%$)	600 - 10%	600	600 + 10%	kHz
VREG1 PIN						
VREG1 Voltage Clamp		VREG1 current (I_{VREG1}) = 3 mA, $V_{EN} < 1.2$ V	13.5	14.3	15.2	V
VREG1 Clamp Series Resistance		VREG1 forced current of 5 mA and 10 mA		16		Ω
GATE DRIVERS (PRIMARY)						
GATE High Voltage		$I_{VREG1} = 20$ mA, $V_{IN} > 9$ V (ADP1071-2 only)	7.8	8	8.2	V
Gate Short-Circuit Peak Current ¹		8 V on VREG1		1.0		A
GATE Rise Time		GATE loaded with 2.2 nF, 10% to 90%		17		ns
GATE Fall Time		GATE loaded with 2.2 nF, 90% to 10%		15		ns
GATE Source Resistance	R_{ON_SOURCE}	Source = 100 mA		4		Ω
GATE Sink Resistance	R_{ON_SINK}	Sink = 100 mA		2		Ω
GATE Maximum Duty Cycle				84		%
GATE Minimum On Time		At 300 kHz, includes blanking time		175		ns
SR DRIVER (SECONDARY)						
SR High Voltage		$I_{VREG2} = 15$ mA, $V_{DD2} > 5.5$ V	4.9	5	5.1	V
SR Short Circuit Peak Current ¹		5 V on VREG2		1.0		A
SR Rise Time		SR loaded with 2.2 nF, 10% to 90%		13		ns
SR Fall Time		SR loaded with 2.2 nF, 90% to 10%		10		ns
SR Minimum On Time		At 300 kHz		462		ns
SR Source Resistance	$R_{ON_SR_SOURCE}$	Source = 100 mA		3		Ω
SR Sink Resistance	$R_{ON_SR_SINK}$	Sink = 100 mA		1.5		Ω
DEAD TIME SETTING (GATE TO SR)						
		Dead time between SR falling and GATE rising		30		ns
		Dead time between GATE falling and SR rising		52		ns

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit	
CURRENT-LIMIT SENSE (PRIMARY)							
CS Limit Threshold	V_{CS_LIM}	Overcurrent sense limit threshold		120		mV	
CS Leading Edge Blanking Time				150		ns	
Current Source di/dt for Slope Compensation			Switching period (t_s) = $1/f_s$		20		μA per t_s
Overcurrent Protection (OCP) Comparator Delay					40		ns
Time in OCP Before Entering Hiccup Mode					1.5		ms
OCP Hiccup Time			See the Input/Output Current-Limit Protection section		40		ms
FB PIN AND ERROR AMPLIFIER							
Feedback Accuracy Voltage	V_{FB}	$T_j = -40^\circ C$ to $+85^\circ C$	-0.85%	+1.2	+0.85%	V	
Temperature Coefficient		$T_j = -40^\circ C$ to $+125^\circ C$	-1.25%	+1.2	+1.25%	V ppm/ $^\circ C$	
FB Input Bias Current	g_m		-100	1	+100	nA	
Transconductance			230	250	270	μS	
Output Current Clamp Minimum				-57		μA	
Output Current Clamp Maximum					43	μA	
COMP Clamp Voltage Maximum					2.52	V	
COMP Clamp Voltage Minimum					0.7	V	
Open-Loop Gain					80	dB	
Output Shunt Resistance					5	$G\Omega$	
Gain Bandwidth Product					1	MHz	
PRECISION ENABLE THRESHOLD							
EN Threshold	V_{EN}	EN rising	1.14	1.2	1.26	V	
EN Hysteresis		$V_{EN} < 1.2$ V		4		μA	
		$V_{EN} > 1.2$ V		1		μA	
EN Hysteresis Current				3	μA		
LIGHT LOAD MODE (ADP1071-1 ONLY)							
LLM Current Source		Resistor from MODE to AGND1	5.5	6.5	7.5	μA	
TEMPERATURE							
Thermal Shutdown Hysteresis				155		$^\circ C$	
				-15		$^\circ C$	
SOFT START							
Open Loop Soft Start Time on Primary	t_{SS1}	GATE resistor = 10 k Ω		16×775		t_s	
		GATE resistor = 22 k Ω		64×775		t_s	
		GATE resistor = 47 k Ω		256×775		t_s	
		GATE resistor = 100 k Ω		4×775		t_s	
SS2 Current Source		During startup			20		μA
SS2 Discharging Current	During a fault condition or soft stop			30		μA	

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SYNC PIN						
Synchronization Range			100		600	kHz
Input Pulse Width			100			ns
Number of Cycles Before Synchronization				7		Cycles
Input Voltage						
Low					0.4	V
High			3			V
Leakage Current					1	μ A
<i>i</i> COUPLER DELAY						
COMP Signal Delay Through <i>i</i> Coupler				600		ns
OVP PIN THRESHOLDS						
OVP Pin OV Threshold		Overvoltage (OV) threshold for OVP pin	1.3	1.36	1.42	V
OVP Pin OV Hysteresis				36		mV
OVP Comparator Delay (Includes <i>i</i> Coupler Delay)				320		ns
OVP Pin Leakage Current					1	μ A
OVP Hiccup		Time before entering OVP hiccup mode Hiccup time triggered by OVP event		200		ms
				200		ms

¹ 短絡時間は 1 μ s 未満です。平均消費電力は、絶対最大定格のセクションに示されている制限値に適合しなければなりません。

絶縁および安全性関連の仕様

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
<i>i</i> COUPLER						
Rated Dielectric Insulation Voltage		1 minute duration		5		kV
Minimum External Air Gap (Clearance)		Measured from input terminals to output terminals, shortest distance through air	7.6			mm
Minimum External Air Gap (Creepage)		Measured from input terminals to output terminals, shortest distance path along body	7.6			mm
Minimum Internal Gap (Internal Clearance)		Insulation distance through insulation		0.030		mm
Tracking Resistance (Comparative Tracking Index)	CTI			>400		V
Isolation Group		Material Group (DIN VDE 0110, 1/89, Table 1)		II		
Common-Mode Transient Immunity, Dynamic			-25		+25	kV/ μ s

適用規格

特定のクロス・アイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 3 および絶縁寿命のセクションを参照してください。

表 3.

UL (Pending)	CSA (Pending)	VDE (Pending)	CQC (Pending)
Recognized Under UL 1577 Component Recognition Program ¹ Single Protection, 5000 V rms Isolation Voltage	Approved under CSA Component Acceptance Notice 5A CSA 60950-1-07+A1+A2 and IEC 60950-1, second edition, +A1+A2: Basic insulation at 780 V rms (1103 V peak) Reinforced insulation at 390 V rms (552 V peak) IEC 60601-1 Edition 3.1: Basic insulation (1 means of patient protection (1 MOPP)), 490 V rms (686 V peak) Reinforced insulation (2 MOPP), 238 V rms (325 V peak) CSA 61010-1-12 and IEC 61010-1 third edition: Basic insulation at 300 V rms mains, 780 V secondary (1103 V peak)	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ² Reinforced insulation, $V_{IORM} = 849$ peak, $V_{IOTM} = 8000$ V peak	Certified by CQC11-471543-2012, GB4943.1-2011: Basic insulation at 780 V rms (1103 V peak) Reinforced insulation at 389 V rms (552 V peak), tropical climate, altitude ≤ 5000 meters
File E214100	File 205078	File 2471900-4880-0001	File (pending)

¹ UL 1577 に従い、各製品は、6000V rms 以上の絶縁試験電圧を 1 秒間かける試験でテストされています。

² DIN V VDE V 0884-10 に従い、各製品は、1592V peak 以上の絶縁試験電圧を 1 秒間かける試験でテストされています（部分放電検出の規定値 = 5 pC）。デバイス表面のアスタリスク (*) は、DIN V VDE V 0884-10 認定製品であることを示しています。

絶対最大定格

表 4.

Parameter	Rating
VIN, EN	66 V
VDD2	42 V
VREG1	16 V
VREG2	6 V
GATE	-0.3 V to +16 V
RT, CS, SYNC, SS2, FB, COMP, OVP, MODE, SR	6.5 V
AGND1, AGND2	±0.3 V
Operating Temperature Range	-40°C to +125°C
Common-Mode Transients ¹	±50 kV/μs
Junction Temperature	150°C
Peak Solder Reflow Temperature	
SnPb Assemblies (10 sec to 30 sec)	240°C
RoHS Compliant Assemblies (20 sec to 40 sec)	260°C
Electrostatic Discharge (ESD)	
Charged Device Model (CDM)	250 V
Human Body Model (HBM)	1 kV

¹ 絶縁バリアをまたぐコモンモード過渡電圧を表します。絶対最大定格を超えるコモンモード過渡電圧は、ラッチアップまたは恒久的な故障の原因になります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 5. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
RW-16 ¹	79.3	44.6	°C/W

¹ 熱抵抗のシミュレーション値は、JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

表 6. 最大連続動作電圧¹

Parameter	Max	Unit	Constraint
Waveform			
AC Voltage			
Bipolar	560	V peak	50-year minimum lifetime
Unipolar	1131	V peak	50-year minimum lifetime
DC Voltage	1131	V peak	50-year minimum lifetime

¹ 絶縁バリアに加わる連続電圧の大きさを意味します。詳細については絶縁寿命のセクションを参照してください。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

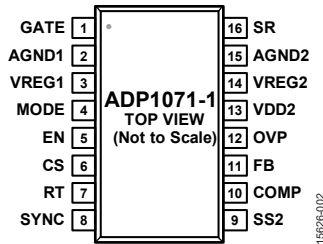


図 2. ADP1071-1 のピン配置

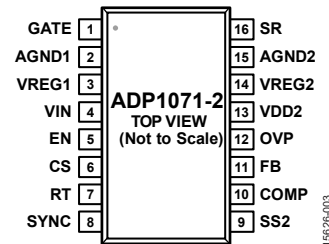


図 3. ADP1071-2 のピン配置

表 7. ピン機能の説明

ピン番号		記号	説明
ADP1071-1	ADP1071-2		
1	1	GATE	1次側の主パワー-MOSFET用のドライバ出力。GATEは多機能ピンです。オープンループのソフト・スタート時間を設定するには、GATEからAGND1に抵抗を接続します。
2	2	AGND1	1次側のグラウンド。
3	3	VREG1	MOSFETドライバ用の8V安定化低ドロップアウト(LDO)出力。VREG1からAGND1に1μF以上を接続します。
4	Not applicable	MODE	軽負荷モード・ピン。ADP1071-1のみ。このピンは、軽負荷モードの閾値を設定します。MODEをAGND1に接続して、強制連続導通モード(CCM)を有効にするか、またはハイ・ロジック(2.5V以上)にしてLLM動作を強制するか、または抵抗を接続してLLMスレッシュホールド電圧を設定します。
Not applicable	4	VIN	入力電圧(ADP1071-2のみ)。1次側電源、入力電圧、LDOのセクションを参照してください。このピンに4.7μFのコンデンサを接続します。このピンへの入力電圧が安定していることが確実な場合は、このコンデンサの容量を小さくできます。このピンはAGND1を基準とします。
5	5	EN	高精度イネーブル入力。ENがENスレッシュホールド電圧を超えると、コントローラはイネーブルされます。このピンには、プログラマブルENヒステリシスの機能もあります。このピンはAGND1を基準とします。
6	6	CS	入力電流検出。このピンは入力PWM電流を検出します。パワー-MOSFETのソース端子とAGND1の間に電流検出抵抗を接続します。この電流検出抵抗は入力電流制限を設定します。このピンは外部の勾配補償器にも使用されます。CSと電流検出抵抗の間に抵抗を接続して、勾配補償用の電圧ランプを生成します。このピンはAGND1を基準とします。ノイズの多い環境では、このピンに33pF~100pFのコンデンサを接続し、勾配補償抵抗と共に抵抗コンデンサ(RC)フィルタとして機能させます。
7	7	RT	スイッチング周期抵抗。RTとAGND1の間に抵抗を接続して、発振器の周波数を設定します。
8	8	SYNC	周波数同期。SYNCピンに外部クロックを接続して、内部発振器をこの外部クロック周波数に同期させます。この機能を使用しない場合は、SYNCをAGND1に接続します。SYNC周波数は、RTピンで設定された周波数の10%以内にするのを推奨します。
9	9	SS2	2次側のソフト・スタート。SS2ピンとAGND2の間にコンデンサを接続して、2次側のソフト・スタート時間を設定します。
10	10	COMP	2次側の補償ノード。このピンはトランスコンダクタンス(gm)アンプの出力です。このピンはAGND2を基準とします。
11	11	FB	2次側のフィードバック・ノード。電源電圧がレギュレーション状態のときの公称電圧が1.2Vになるように、出力電圧の抵抗分圧器を設定します。このピンはAGND2を基準とします。
12	12	OVP	出力過電圧保護。OVP閾値を1.36Vに設定します。OVPから出力およびAGND2に抵抗分圧器を接続します。
13	13	VDD2	2次側の入力電源。自己駆動構成の場合、VDD2を電源の出力電圧に接続します。VDD2とAGND2の間に4.7μFのコンデンサを接続します。VDD2への入力電圧が安定していることが確実な場合は、このコンデンサの容量を小さくできます。
14	14	VREG2	同期整流器のドライバの内部バイアスおよび電力供給用の5V安定化LDO出力。VREG2はリファレンスまたは負荷として使用しないでください。VREG2とAGND2の間には1μFのコンデンサを接続します。
15	15	AGND2	2次側のアナログ・グラウンド。
16	16	SR	同期整流器MOSFETのドライバ出力。

代表的な性能特性

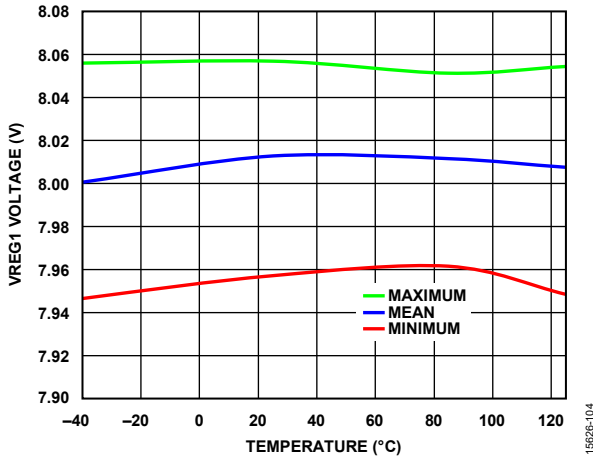


図 4. VREG1 電圧の温度特性

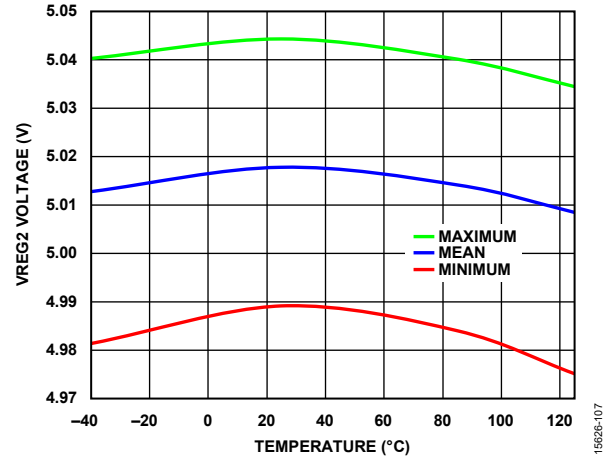


図 7. VREG2 電圧の温度特性

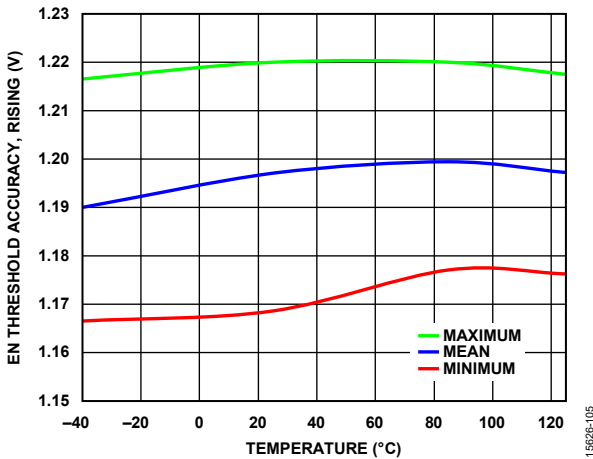


図 5. 立上がり EN 閾値精度の温度特性

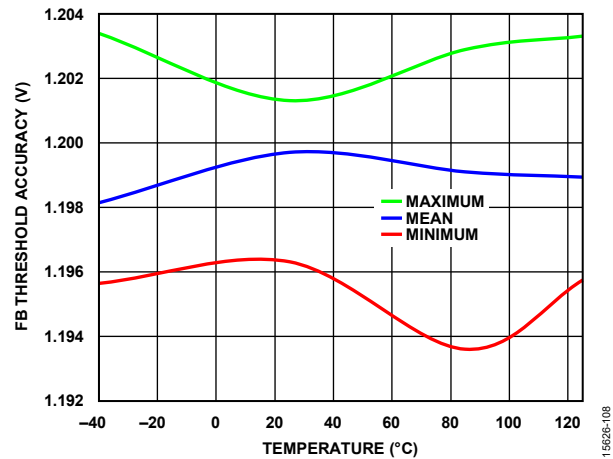


図 8. FB 閾値の温度特性

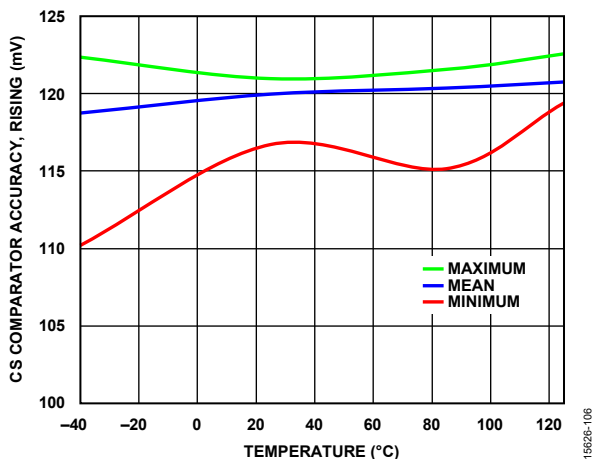


図 6. 立上がり CS コンパレータ精度の温度特性

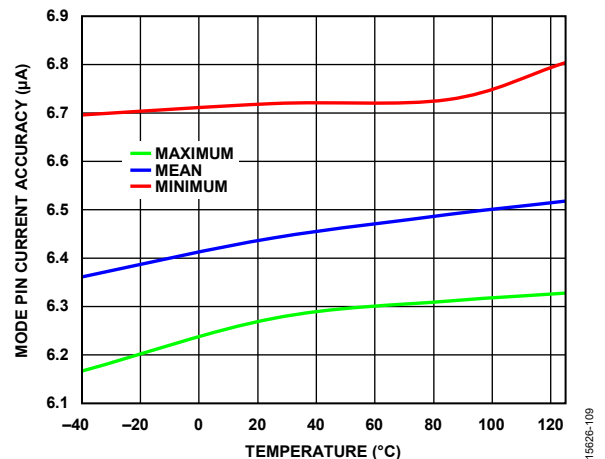


図 9. MODE ピンの電流源精度の温度特性

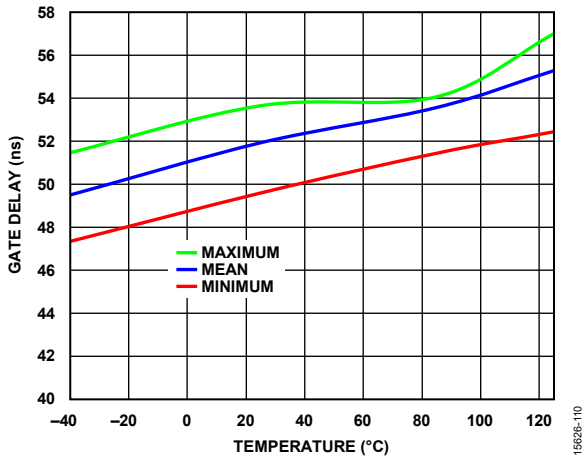


図 10. GATE 遅延の温度特性
(GATE の立下がりから SR の立上がりまで)

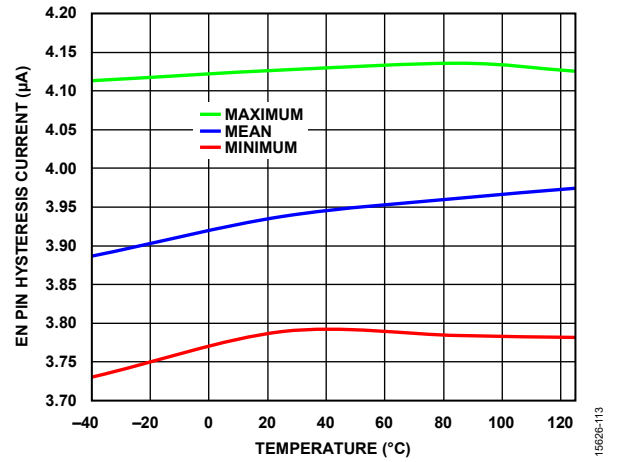


図 13. EN ピンのヒステリシス電流の温度特性、EN < 1.2V

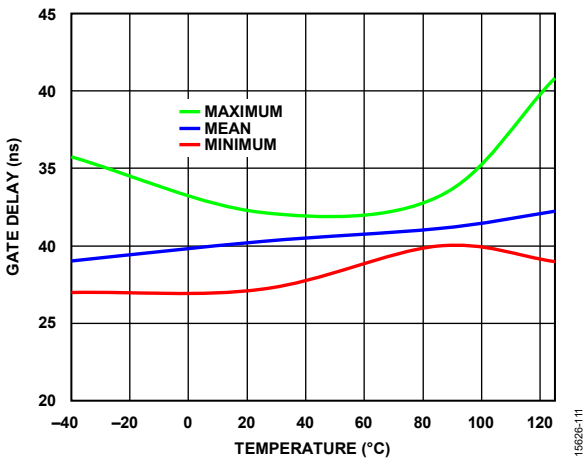


図 11. GATE 遅延の温度特性
(GATE の立下がりから SR の立上がりまで)

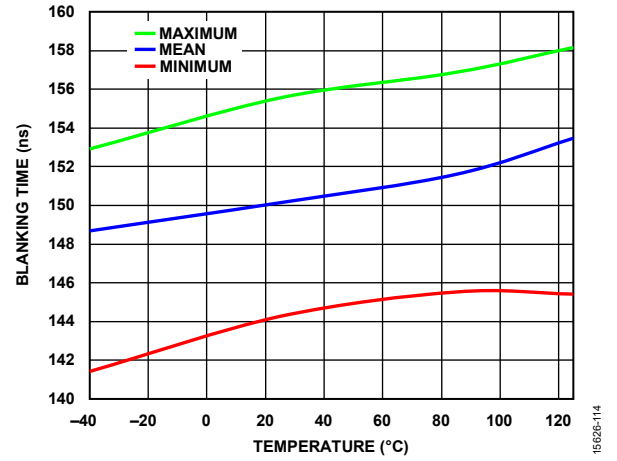


図 14. ブランキング時間の温度特性

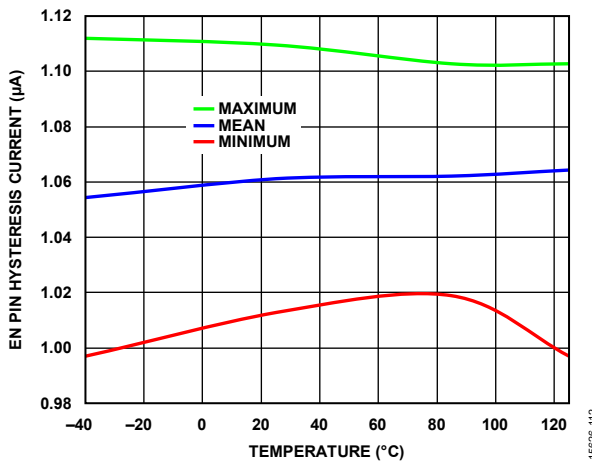


図 12. EN ピンのヒステリシス電流の温度特性、EN > 1.2V

動作原理

ADP1071-1/ADP1071-2 は、絶縁型 DC/DC 電源用に設計された PWM 電流モード固定周波数同期フライバック・コントローラです。ADP1071-1/ADP1071-2 には、アナログ・デバイス独自の *iCoupler*® が内蔵されており、絶縁境界を越えて信号を送信する、大きな信号トランスやフォトカプラが不要になります。*iCoupler* を統合することにより、システム設計の複雑さ、コスト、部品点数が削減され、システム全体の信頼性が向上します。ADP1071-1/ADP1071-2 は、アイソレータと MOSFET ドライバを 1 次側と 2 次側の双方に統合しているため、システム・レベルでのコンパクトな設計が可能となり、高負荷時にダイオード整流型フライバック・コンバータより高い効率性を発揮します。

従来のフォワード・コンバータまたはフライバック・コンバータでは、2 次側から 1 次側に信号を伝送するフィードバック経路に個別のフォトカプラが使用され、同期整流用に 1 次側から 2 次側に PWM 信号を送信するために外部トランスが使用されています。ただし、フォトカプラの電流伝達率 (CTR) は経時的に低下し、また温度に応じて低下するため、初期 CTR を決める製造品質とフォトカプラのグレードに応じて、5 年から 10 年ごとにフォトカプラを交換する必要があります。ADP1071-1/ADP1071-2 により、フォトカプラと信号トランスが不要になるため、システム・コスト、PCB 面積を削減し、更に複雑さを軽減した上、フォトカプラの CTR 劣化の問題がないためシステムの信頼性が向上します。

ADP1071-1/ADP1071-2 コントローラは、5kV アイソレータと 1 次および 2 次の制御回路を 1 つのパッケージに統合することにより、絶縁型 DC/DC 電源用の完全なソリューションを提供します。

PWM 制御は、主スイッチング MOSFET のソースに設けた検出抵抗を使用し、サイクルごとに入力ピーク電流サイクルを検出することによって、1 次側で実行されます。コンバータの出力は 2 次側回路によって検出されます。2 次側回路は、5kV の内蔵アイソレータを介して 1 次側にフィードバック信号と PWM 信号を送信し、完全な制御ループ・ソリューションを実現します。

ADP1071-1/ADP1071-2 の 1 次回路には、8V LDO、入力電流検出、バイアス回路、MOSFET ドライバが含まれる他、アクティブ・クランプ・リセット・ドライバ、勾配補償、外部周波数同期、PWM ジェネレータ、プログラマブルな最大デューティ・サイクル設定なども含まれます。また、1 次側には、電流検出信号を差動検出するためのピンがあります。

2 次回路には、フィードバック補償、5V LDO レギュレータ、内部リファレンス、同期整流用の 2 つの MOSFET ドライバ、および過電圧保護用の専用ピンが含まれています。更に、2 次側は差動出力電圧検出とプログラマブル LLM 設定を備えています。

内蔵の *iCoupler* は、フィードバック信号と PWM を絶縁バリア越しに送信することにより、1 次側と 2 次側の間の通信を実行します。

同期整流器 PWM のフィードバック信号とタイミングは、独自の伝送方式を用いた *iCoupler* を介して 1 次側から 2 次側へ、または 2 次側から 1 次側へ伝送されます。

ADP1071-1/ADP1071-2 はまた、入力電流保護、OVP、UVLO、ヒステリシスが調整可能な高精度イネーブル、OTP、LLM、トランキングなどの機能も備えています。

詳細なブロック図

図 15 に、ADP1071-1/ADP1071-2 の詳細なブロック図を示します。

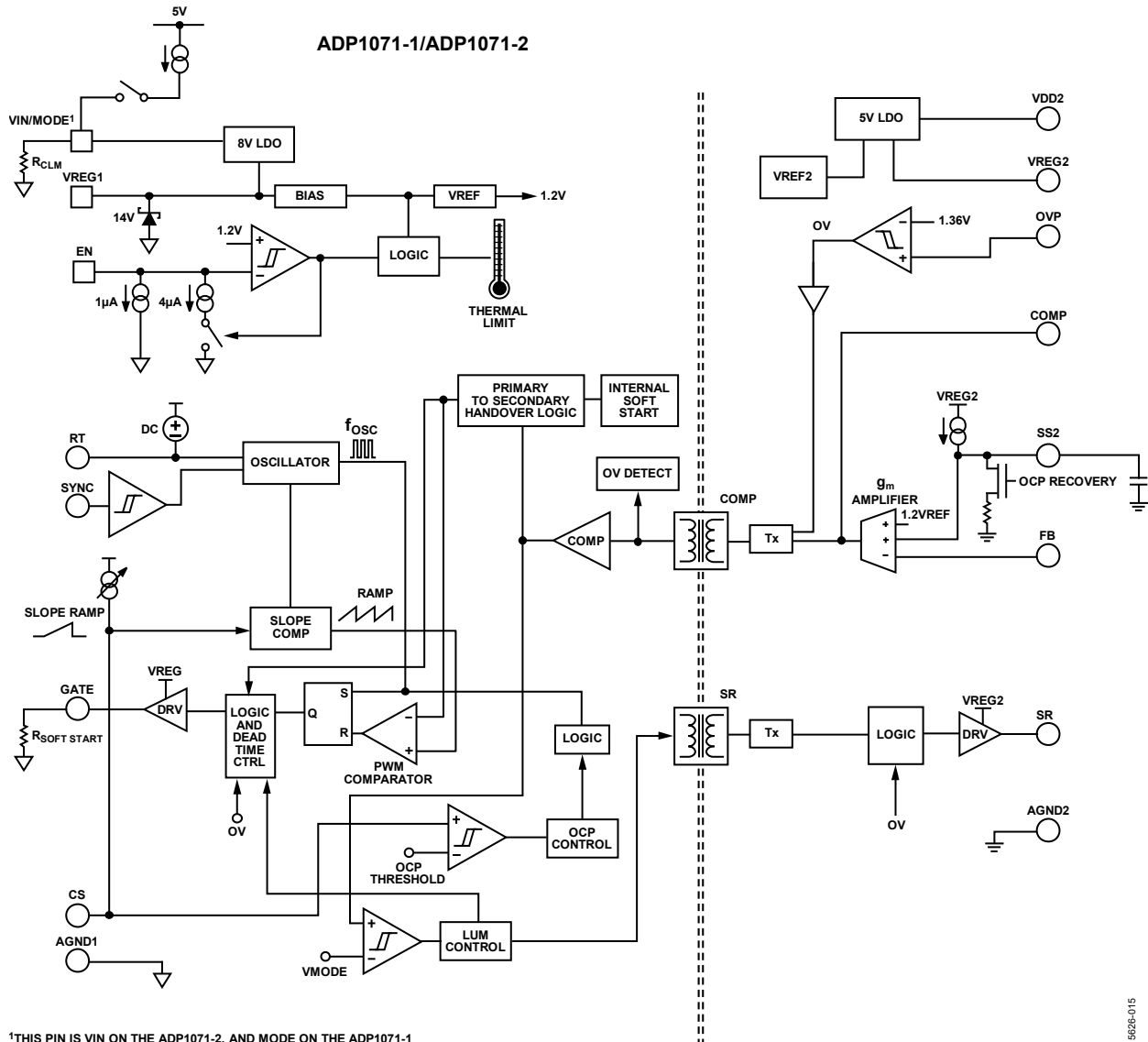


図 15. 詳細ブロック図

15628-015

1 次側電源、入力電圧、LDO

VREG1 ピンの電圧は、内部回路、1 次側 *iCoupler*、ハウスキーピング回路、および GATE ピンの 1 次側 MOSFET ドライバに給電します。

ADP1071-1 では、外部スタートアップ回路を使用して VREG1 に電源を供給する必要があります。

ADP1071-2 では、高電圧 LDO レギュレータが VIN ピンに接続され、VREG1 で 8V の安定化出力を供給します。

ADP1071-2 では、入力電圧が約 30V より高い場合に LDO の消費電力を低減するため、アクティブ・クランプ・フォワード回路のトランスの補助巻線を使用して VREG1 に電源を供給できます。この補助電源電圧は、通常の動作中は LDO がシャットオフされるように、VREG1 の安定化出力よりも高くする必要があります。

ADP1071-1 と ADP1071-2 はいずれも 14V ツェナー・ダイオードが内部で VREG1 に接続されているため、推奨補助電圧は 8.5V ~ 12.5V です。

2 次側電源および LDO

2 次側には、VDD2 と VREG2 の 2 つの電源ピンがあります。

2 次側は通常、コンバータの出力レールを VDD2 ピンに接続することにより給電されます。2 次側の UVLO は 3.55V (代表値) であり、この電圧で 2 次側がスタートアップします。出力電圧が 2 次 UVLO 電圧より低い場合、2 次回路への給電用補助電圧を生成するための 3 次巻線が必要です。VREG2 ピンの内蔵 5V LDO レギュレータは、MOSFET ドライバ、2 次側 *iCoupler*、およびハウスキーピング回路に給電します。VDD2 が 5V 未満の場合、LDO レギュレータはドロップアウト・モードで動作します。

24V を超える出力電圧の場合、出力電圧を直接 VDD2 に接続すると、LDO の消費電力が大きくなる可能性があります。例えば、24V で、全ドライバ電流が 10mA の場合、LDO で消費される電力は 0.19W (10mA × 19V) です。VDD2 には 8V ~ 12V の補助電圧を供給することを推奨します。

高精度イネーブル

EN ピンのイネーブル閾値は、1.2V を基準とする高精度電圧です。

ADP1071-1 では、VIN が UVLO 電圧 (代表値 4.5V) を上回り、EN ピンの電圧が 1.2V を超えると、直ちにソフト・スタート手順が開始されます。

ADP1071-2 では、VIN が UVLO 電圧 (代表値 4.5V) を上回り、EN ピンの電圧が 1.2V を超えると、若干の遅延後にソフト・スタートが開始されます。この遅延は、内蔵 8V LDO を介して VREG1 ピンのコンデンサを充電する時間によるものです。内部バイアスの完了後、ソフト・スタート手順が開始されます。

EN と VIN の間に抵抗分圧器を接続して、入力スタートアップ電圧を設定します (図 16 参照)。EN の内部電流源により、希望のヒステリシスを有する UVLO スタートアップ電圧を設定できます。ヒステリシスを有するスタートアップ電圧を計算するには、次のように、重畳定理またはノード解析を使用して EN ピン電圧を求めます。

$$V_{EN} = V_{IN} \times \frac{R_2}{R_1 + R_2} - I_{EN} \times (R_1 \parallel R_2 + R_H)$$

ここで、

V_{EN} は EN ピンの電圧。

I_{EN} は EN ピンの電流源 (ターンオン時は 1μA、ターンオフ時は 4μA)。

$V_{EN} \geq 1.2V$ で、希望のヒステリシスを得ることができるように、 R_1 、 R_2 、 R_H の抵抗を調整します。

内部の 1μA プルダウン電流は常にオンで、3μA 電流は V_{EN} が EN 閾値を下回ったときのみアクティブになり、 V_{EN} が EN 閾値を上回ると非アクティブになります。

一般に、入力電圧が高いほど大きなヒステリシスが必要です。コンデンサを EN ピンから AGND1 に接続して低インピーダンス経路を設け、入力電圧が閾値付近をふらついたときに EN ピンをトグルさせるようなノイズを防止することを推奨します。

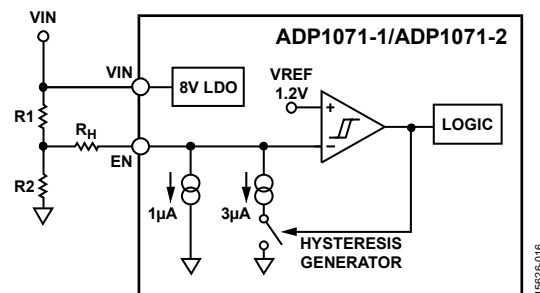


図 16. ヒステリシスが調整可能な高精度 EN

EN ピンが閾値を下回った場合、システムはソフト・ストップ手順を有効にします。SR は、終了するまでに最大 2 スイッチング周期を要します。詳細については、ソフト・スタート手順のセクションを参照してください。

ソフト・スタート手順

以下の手順では、VDD2 ピンが電源の出力電圧から直接給電されることを前提としています。

スタートアップ時のスムーズな出力電圧ランプを確保するために、ソフト・スタートのシーケンスは 2 つのソフト・スタート制御回路で制御されます。1 つは 1 次側 (GATE ピンを使用したオープンループのソフト・スタート用) にあり、もう 1 つは 2 次側 (SS2 ピンを使用したクローズドループのソフト・スタート用) にあります。2 次側が制御を開始する前に、1 次側と 2 次側の間で適切なハンドシェイクが必要です。

オープンループのソフト・スタート時間は、スタートアップ前に GATE ピンの抵抗によって決定されます。1 次ピーク電流は、スイッチング周期ごとに徐々に増加します。ピーク電流増加のスルー・レートは、スタートアップ前に GATE 抵抗の選択によって決定されます。電流は最小 0A から最大 $120\text{mV}/R_{\text{SENSE}}$ まで増加します。このレートは、オープンループのソフト・スタート時のものです。次の 4 種類のレートが利用可能です。すなわち、100k Ω 、10k Ω 、22k Ω 、47k Ω の抵抗に対して、スイッチング周期がそれぞれ 4×775 、 16×775 、 64×775 、 256×775 になります。

この間、ADP1071-1/ADP1071-2 は PWM パルスの発振を開始し、2 次側の平均電流が負荷電流を超えると出力電圧が徐々に上昇し続けます。ADP1071-1/ADP1071-2 は電流モードのコントローラなので、出力コンデンサは 1 次側の電流制限が負荷電流条件を超えた場合にのみ充電を開始します。

ハンドシェイクのプロセスは以下のとおりです。

VDD2 が約 3.5V の UVLO に達すると、2 次側の内部回路がアクティブになり、ADP1071-1/ADP1071-2 は以下の 2 つのプロセスを開始します。

1. ADP1071-1/ADP1071-2 は、SS2 ピンの電圧を FB ピンの値に等しくし、SS2 ピンの電流を SS2 ピンの公称電流源である 20 μA の 10 倍にします。
2. 同時に、1 次側の電流制限が 2 次側に引き渡され、COMP ピンの電圧は $\pm 100\text{mV}$ の瞬時電流制限に等しくなります。このプロセスには、VDD2 UVLO 閾値を超えてから 1.5ms のタイムアウトがあります。

このプロセスが完了すると、COMP 信号が 2 次側から 1 次側に伝送されます。ADP1071-1/ADP1071-2 は、COMP ピンでアナログ信号を連続的にサンプリングすることによって COMP 信号を送信します。サンプリング値は独自の方式を使用して 1 次側に送信され、ここで、CS ピンの瞬時値が COMP レベルと比較されて、GATE パルスの立下がりエッジが決定されます。したがって、COMP 信号は 1 次側電流制限を表しています。

COMP 送信の開始後、1 次側は信号を受信し、1 次側の COMP の受信レベルが $\pm 100\text{mV}$ 以内になるか、1 次側への最初のパルスの送信が開始されてから最大 128 スwitching 周期 (代表値は 8) が経過すると、制御は 2 次側に完全に引き渡されます。

制御が 2 次側に引き渡された後、クローズドループのソフト・スタートが開始し、SS2 コンデンサは 20 μA の公称レートで充電されます。その後、出力電圧は SS2 ピンの電圧に基づいてレギュレーション電圧まで上昇します。SS2 ピンの電圧は 1.2V、つまり、FB ピンの定常電圧まで上昇し続けます。この段階で、電圧は安定し、出力電圧が目標値になります。

ソフト・スタートのプロセスの終了時、SS2 ピンの電圧は約 1.4V まで上昇し続けます。定常状態では、FB ピン (つまり基準電圧) は 1.2V です。

SR1 および SR2 の同期ドライバは、VDD2 が UVLO 閾値を超えた後にパルス出力を開始します。

プリチャージ出力からのソフト・スタートなど、VDD2 ピンの電圧が UVLO 電圧よりも大きい場合、または VDD2 ピンが外部電源によって給電される場合、EN ピンがイネーブルされてから 2 次側が制御を引き継ぎ、ソフト・スタート手順には SS2 のみを使用されます。

プリチャージ出力からソフト・スタートを開始する際、SS2 ピンは FB ピンをトラッキングしてソフト・スタートを開始します。このプロセスにより、出力電圧のグリッチが除去されます。

ソフト・スタートがプリチャージ出力になると、SS2 電圧が FB ピンのプリチャージ電圧に達するまで、SR ゲートはオンになりません。このソフト・スタート方式により、出力の放電と逆電流が防止されます。

ソフト・スタート・プロセス中の負荷の短絡または負荷での過渡状態などの異常な状況では、FB が SS2 を正確にトラッキングできないことがあります。VDD2 UVLO 閾値を超える前にこうした状態が発生した場合、オープンループのソフト・スタートが有効になります。VDD2 UVLO 閾値を超えた後に発生した場合は、SS2 は FB ピンをトラッキングし、レギュレーション電圧に達するまでソフト・スタートのプロセスを継続します。どんな条件でも、 $\text{FB} \geq 1.2\text{V}$ の場合、制御は 2 次側に引き継がれます。

2 次側の VDD2 がコンバータ出力から直接給電される場合、必要な最小の出力電圧は 2 次側の UVLO 電圧よりも高くなります。出力電圧が 2 次側の UVLO 電圧より低い場合、2 次側の回路への給電用補助電圧を生成するために 3 次巻線が必要です。あるいは、ほとんどの場合、スイッチ・ノードからダイオード、抵抗、コンデンサを組み合わせて、電圧を VDD2 に供給できます。

出力電圧の検出とフィードバック

コンバータの出力電圧は、FB ピンへ接続する抵抗分圧器によって設定します。抵抗分圧器は、定常状態でFB ピンの電圧が1.2V になるように設定する必要があります。出力電圧は、FB ピンとAGND2 ピンを使用して差動で検出する必要があります。

ループ補償と定常動作

FB ピンは、ゲインが約 $250\mu\text{A}/\text{V}$ のトランスコンダクタンス・アンプ (すなわち g_m アンプ) の負端子に接続します。 g_m アンプの正の入力端子は、リファレンス設定電圧を供給する SS2 に接続します。 g_m アンプの出力は COMP ピンに接続します。COMP ピンの電圧は、レギュレーションを維持するのに必要な電流ピーク制限を表します。このピンは連続的にサンプリングされて、その信号が 1 次側に送信され、そこで検出された 1 次電流とコンパレータにより比較されます。コンパレータがトリップすると、GATE は終了します。

通常は、補償のために COMP ピンと AGND2 の間に RC ネットワークを直列に接続します。容量性の高周波ポールを RC ネットワークに並列に追加することもできます。

g_m アンプの出力は、最小電流が約 $-65\mu\text{A}$ 、および最大電流が約 $+40\mu\text{A}$ にクランプされます。

COMP ノードは、低レベルで約 0.7V、および高レベルで約 2.52V にクランプされます。これは CS 範囲が $0\text{mV}\sim 120\text{mV}$ であることを表しています。

勾配補償

デューティ・サイクルが 50% より大きいピーク電流モード・コントローラでは、安定動作のために勾配補償が必要です。ADP1071-1/ADP1071-2 に外部補償を設定するには、CS と電流検出抵抗 R_{SENSE} の間に外付けの R_{RAMP} 抵抗を接続して (図 28 参照)、制御信号の勾配電圧ランプを設定します。信号を差動で検出することが重要です。詳細については、レイアウトのガイドラインのセクションを参照してください。

内部ランプ電流は最小デューティ・サイクル (つまりスイッチング周期の開始時) で $0\mu\text{A}$ から始まり、スイッチング周期の終了時に最大 $20\mu\text{A}$ まで直線的に増加します。電圧ランプの勾配は、ランプ電流と R_{RAMP} の積です。 R_{RAMP} は、次式を使用して大きさが求められます。

$$R_{\text{RAMP}} \geq k \frac{V_{\text{OUT}}}{L} \times \frac{N_2}{N_1} \times \frac{R_{\text{SENSE}}}{20\mu\text{A}} \times t_s$$

ここで、
公称では $k=0.5$ 、デッドビート制御では $k=1$ 。
 V_{OUT} は、希望の出力電圧。
 L は、出力インダクタ。
 N_1 と N_2 は、トランスの 1 次巻線と 2 次巻線。
 t_s は、スイッチング周期。

入出力電流制限保護

2 次側には直接的な電流制限検出回路はありませんが、入力 1 次ピーク電流をサイクルごとに検出することによって、間接的に出力電流制限が設定されます。スイッチング周期の開始時に CS ピンで不要なノイズやリングングが発生するのを避けるため、GATE 信号の立上がりエッジ後に立上がりブランキング時間が追加されます。

入力ピーク電流制限は、検出抵抗 R_{SENSE} をメイン MOSFET のソースから AGND1 に接続することによって設定され、検出された電圧は CS ピンに現れます。勾配補償ランプを生成するには、勾配補償抵抗 R_{RAMP} を CS と R_{SENSE} の間に挿入します。

CS 電流制限値 $V_{\text{CS_LIM}}$ は内部で 120mV に設定されています。 R_{SENSE} 値は次式で計算します。

$$R_{\text{SENSE}} = \frac{V_{\text{CS_LIM}} - R_{\text{RAMP}} \times 20\mu\text{A}}{I_{\text{PKPRI}}}$$

ここで、
 $V_{\text{CS_LIM}}$ は CS 電流制限値。
 I_{PKPRI} は 1 次ピーク電流。

検出された入力ピーク電流が CS 制限閾値を上回ると、コントローラは 1.5ms の間、サイクルごとの定電流制限モードで動作します。次に、コントローラは 1 次側および 2 次側のドライバを直ちにシャットダウンします。その後、コントローラは次の 40ms の間、ヒカップ・モードに入り、このタイムアウト時間後にソフト・スタートのシーケンスを再開します。

勾配ランプは電流制限閾値の精度に影響することがあります。 R_{RAMP} 両端の電圧降下がピーク電流制限の不正確さに寄与するためです。例えば、追加された勾配ランプ電圧が電流制限閾値の 20% の場合、実際の入力ピーク電流制限は、オン・サイクル中にピーク電流制限閾値がトリップする位置に応じて 20% ほどオフになることがあります。出力が短絡した場合、コントローラはこの状態を過電流イベントとみなし、 40ms のヒカップ・モードに入ります。

特定の条件下では、ADP1071-1/ADP1071-2 は OCP ヒカップ・モードを終了します。これらの条件では、COMP ピンが最大クランプ・レベルになりますが、デバイスはヒカップ・モードに入りません。ただし、CS 最大閾値に達するときは常に PWM は確実に終了します。ADP1071-1/ADP1071-2 がヒカップ・モードに入らない条件は、VDD2 が補助巻線を介して給電され、出力短絡が発生して FB ピンの電圧が 300mV 未満になる場合です。このイベントは高温 ($>85^\circ\text{C}$) で顕著であり、より高温で悪化することがあります。

デバイスがヒカップ・モードを終了する根本的な原因は、OCP ヒカップ・モードの機能が SS2 ピンにあるという影響によるものです。OCP の回復中、SS2 ピンは FB ピンをトラッキングし、プリチャージ・シーケンスからソフト・スタートを試みます。SS2 が FB をトラッキングしている間、短時間 SS2 ピンの電圧が FB ピンの電圧より小さくなり、COMP ピン (g_m アンプの出力) が瞬間的に最大 COMP ピンのクランプ・レベルを下回ることがあります。このイベントは、次の数個のスイッチング周期に必要な電流制限が最大閾値を下回ったために、デバイスがヒカップ・モードから抜け出したことを意味します。これは、ADP1071-1/ADP1071-2 が 1.25 ミリ秒の連続過電流サイクルを検知できず、OCP ヒカップ・モードに入らなかったためです。

以下のシナリオでは、VDD2 電源の構成に基づいて OCP ヒカップ・モードが確保されます。

- VDD2 が出力電圧から直接給電される場合、定常状態で安定した後に負荷の出力端子で短絡が発生すると、VDD2 ピンの電圧が UVLO 閾値より低くなり、デバイスは 200ms の間ヒカップ・モードに入ります。この時間は、リモート・システム・リセットのセクションに記載のヒカップ時間と同じです。
- VDD2 が補助巻線または別の構成で給電される場合、出力端子で短絡が発生しても、補助巻線は短絡せず、VDD2 UVLO 閾値を超える正の電圧を維持します。ヒカップ・モードに入るための推奨回路を図 17 に示します。この回路は以下のように動作します。短絡によって出力電圧が低下すると、D1 ダイオードがオンになり、バイポーラ接合トランジスタ (BJT) のベースがローになって、VDD2 がシャットオフされます。その後、リモート・システム・リセットのセクションで説明するように、システムはヒカップ・モードに入ります。

R3 はツェナー・ダイオードをバイアスする大きさと、R4 は $(V_{ZENER} - 1) / R4 > I_{ZENER}$ となる大きさです。ここで、 V_{ZENER} はダイオードの電圧で、 I_{ZENER} はダイオードのバイアス電流です。この大きさにより、抵抗のインピーダンスがダイオードのインピーダンスより小さくなるため、ダイオードの電圧が低下し、VDD2 が UVLO に入ることができます。

出力電圧が 5V 未満の場合、同じ手順を使用して R4 の抵抗の大きさを決めることができます。ディスクリートの LDO を使用しない場合、出力電圧に簡単な抵抗とダイオードを接続するだけで済みます。この場合、抵抗 R4 は、短絡イベント中、出力電圧が 0V のときに D1 ダイオードを流れる電流を制限する大きさです。システムの帯域幅が大きい場合、補助巻線電圧が出力電圧よりも高い場合でも、ADP1071-1/ADP1071-2 は適切な電圧レベルで電圧レギュレーションを維持できます。ソフト・スタート条件やプリチャージ条件からのソフト・スタート条件は、システム全体の帯域幅の理由により、以下の回路を追加することで満たすことができます。

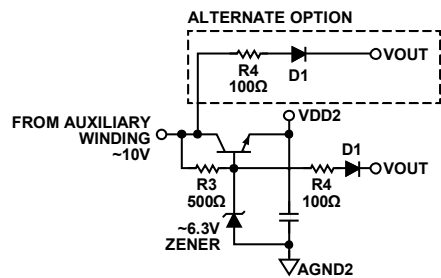


図 17. ヒカップ・モードを確保するための推奨回路

温度検出

ADP1071-1/ADP1071-2 には内部温度センサーがあり、内部温度が OTP 制限を超えた場合にコントローラをシャットダウンします。このとき、1 次側および 2 次側の MOSFET ドライバ (GATE および SR) はローに保持されます。温度が OTP ヒステリシス・レベルを下回ると、ADP1071-1/ADP1071-2 はソフト・スタート・シーケンスで再起動します。

周波数設定 (RT ピン)

スイッチング周波数は、RT ピンと AGND1 の間に抵抗を接続して、50kHz~600kHz の値に設定できます。小電流が RT ピンから流れ、その両端の電圧によって内部発振器の周波数が設定されます。このピンの値は定常状態で約 1.224V です。特定のスイッチング周波数 (kHz) に対する抵抗 (Ω) を求めるには、次式を使用します。

$$f_s(\text{kHz}) = \frac{1}{41.67 \times 10^{-12} \times R} \times \frac{1}{1000}$$

ここで、

f_s は、スイッチング周波数。

R は、RT ピンの抵抗。

最大デューティ・サイクル

高電流または過負荷過渡応答の場合にトランスのコアが飽和するのを防ぐため、最大デューティ・サイクルのクランプは内部で 85% に設定されています。

オープンループ状態を防ぐための追加の保護機能として、最大デューティ・サイクルはソフト・スタート時にも適用されます。ソフト・スタート中、コントローラが連続した 3 スwitchング周期の間に最大デューティ・サイクルに達すると、40ms のヒカップ・タイマーが開始します。

周波数同期

ADP1071-1/ADP1071-2 のスイッチング周波数は、SYNC ピンの外部クロックに同期させることができます。外部クロックの立ち上がりエッジが最初に検出されてから、内部クロックが SYNC クロック周波数にロックするまでに約 7~10 周期かかります。SYNC クロックが検出されてからロックインされるまでの間に、コントローラは内部発振器周波数での動作を継続します。

SYNC 周波数は、RT ピンによって設定された内部発振器周波数の $\pm 10\%$ 以内でなければなりません。それ以外の場合、同期は行われません。

クロック信号は、随時、またはソフト・スタート・シーケンスの前に SYNC に印加できます。SYNC にディザ・クロックを加えて、コンバータ出力とスイッチ・ノードでのピーク電磁干渉 (EMI) ノイズを低減することもできます。内部クロックは、サイクルごとにディザ・クロックにロックできます。

この機能を使用しない場合は、SYNC を AGND1 に接続することを推奨します。

同期整流器 (SR) ドライバ

同期スイッチを駆動するための同期整流ドライバは 2 次側にあります。VDD2 は、VREG2 にある LDO のフロント・エンドです。VREG2 の 5V 内部 LDO は、SR ドライバと 2 次側の内部回路すべてに電力を供給します。VDD2 の推奨電源範囲は 6V~36V ですが、36V を VDD2 に加えた場合、LDO の消費電力が大きくなる場合があります。VDD2 が 5V 未満の場合、LDO は VREG2 とドライバ出力が 5V 未満になるドロップアウト領域で動作します。この場合、VDD2 には 5V を超える補助電源を供給することを推奨します。

主トランスの第 3 の巻線を使用することにより、VDD2 をコンバータ出力または補助電源に直接接続できます。ドライブ能力を向上させるために、SR を ADP3624 または ADP3654 などの外部 MOSFET ドライバに接続できます。

出力過電圧保護 (OVP)

出力電圧が 1.36V の OVP 閾値を超えると、コントローラは 1 次側と 2 次側の両方のドライバ (GATE と SR) を直ちにシャットオフします。OVP の電圧が OV のヒステリシス・レベルを下回ると、コントローラは次のスイッチング周期で 1 次側ドライバのスイッチングを再開し、続けて SR をフェーズインさせます。OVP ピンの電圧が 200 μ s の持続期間、1.36V を超えると、OVP 機能によりシステムは 200ms のヒカップに入ります。

SR デッド・タイム

効率を最大化し、1 次側と 2 次側の相互導通を避けるために、図 18 に示すように、GATE と SR の間に固定のデッド・タイムを設けています。



図 18. GATE と SR の間のデッド・タイム

軽負荷モード (LLM) と連続導通モード (CCM)

ADP1071-1 には、MODE ピンから AGND1 に抵抗を接続して LLM 閾値を設定可能とする省電力モード機能があります。この抵抗を流れる電流源は直接 LLM 閾値を設定し、1 次側の COMP 電圧と比較されます。SR ドライバは 1 次側の COMP 電圧が LLM 閾値を下回るとオフにされ、導通電流は SR MOSFET のボディ・ダイオードを流れ続けます。ただし、1 次ゲート・ドライバはフル PWM モードでの動作を継続します。COMP 電圧が LLM 閾値を上回ると、コントローラは強制 CCM で動作します。

COMP 電圧が LLM 閾値 (つまり、MODE ピンの電圧) を上回ると、SR の PWM は SR フェーズイン・レートで軽負荷時のデューティ・サイクルから定常状態のデューティ・サイクルまで徐々に増加 (つまり、フェーズイン) します。SR フェーズイン・レートでは、1 μ s あたり 1.5ns ごとに SR エッジが移動します。フェーズイン・シーケンスがなければ、SR の PWM がゼロからフル・デューティ・サイクルまで瞬間的に遷移した場合、出力電圧が低下することがあります。

負荷ダンブ状況、例えば、負荷が全負荷から軽負荷にステップした場合、つまり、連続導通モード (CCM) から不連続導通モード (DCM) に移行した場合、SR PWM のデューティ・サイクルは、SR フェーズアウト・レートで徐々にフェーズアウトします。このレートは、SR フェーズイン・レートと同じ数値です。SR PWM のフェーズアウト・シーケンスは、2 次側の逆電流を防ぎ、同時に出力応答の動的性能を最適化します。COMP のレベルはこの時点ではまだ最小の COMP クランプ・レベルを上回っているため、ADP1071-1 は最小のオン時間でデューティ・サイクルを出力することに注意してください。

負荷が更に減少し、COMP ピン電圧が最小の COMP クランプ・レベルに等しくなると、ADP1071-1 はパルス・スキップ・モードに入ります。

システムが軽負荷モードに入ると、同期整流器が GATE の立下がりエッジで終了し、負電流で終了することを防ぐことに注意してください。

LLM 閾値を設定するには、次式を使用します。

$$R_{MODE} = \frac{I_{PEAK_LLM} \times CS_{GAIN} + 0.8}{I_{MODE}}$$

ここで、

I_{PEAK_LLM} は特定の軽負荷状態でのピーク 1 次電流。

$CS_{GAIN} = 12.5$ 。

I_{MODE} は MODE ピンから流れ出す電流。

フルタイム CCM 動作の場合、MODE を AGND1 に接続します。

ADP1071-2 には LLM がないので、常に強制 CCM で動作します。パルス・スキップは ADP1071-2 では使用できません。

ソフト・ストップ

ADP1071-2 はソフト・ストップ機能を採用しており、SS2 ピンをリファレンスに使用して出力電圧を徐々にゼロに低下させます。ソフト・ストップ手順の際、SS2 ピンは、クローズドループ・ソフト・スタート時での値の約 1.5 倍の電流シンクによってゼロまで放電します。

EN の電圧が EN 閾値を下回ると、直ちに 2 次 SR ドライバがシャットオフし、1 次 GATE パルス幅が最後の既知の状態から最小パルス幅までデューティ・サイクルを徐々に減少してゼロまで低下するため、出力電圧は減少します。ソフト・ストップ機能は、コントローラがシャットダウンする際の逆電流を防止します。

出力電圧が低下して VDD2 UVLO 閾値を下回ると、COMP 信号は 1 次側に伝送されません。したがって、出力電圧は、負荷電流が出力コンデンサを放電する速度で減少し続けます。

デューティ・サイクルまたは電流制限が低下しても出力電圧は直線的には放電されないため、負荷が最小または無負荷の場合、出力電圧は放電されません。

OCP/フィードバック回復

定常状態では、FB ピンは 1.2 V です。このとき、SS2 ピンの電圧は 1.4V です。過負荷状態などの異常な状況では、出力電圧が著しく低下することがあります。このような場合、電流制限は最大レベルになり、COMP ピンの電圧はクランプ・レベルになります。COMP ピンの電圧がクランプ状態、および $V_{FB} < (1.2V - 100mV)$ という 2 つの条件が重なると、コントローラは高速電流シンク (200 μ A) を用いて SS2 ピンを放電し、SS2 ピンを FB ピンと等しくします。コントローラは、このプリチャージ状態から、すなわち出力電圧の最後の既知の値からソフト・スタートを実行しようとしています。このプロセスが、OCP/フィードバック回復機能の動作です。

ただし、COMP ピンの電圧が 1.5ms 以上の間最大クランプ電圧を上回ると、常にシステムはヒックアップ・モードになります。

プリチャージからのソフト・スタートの間、出力電圧は SS2 ピンのコンデンサによって決まる速度で上昇します。この期間の電流制限は、SS2 ピンの電圧によって決まります。ただし、電力段に出力電圧の上昇を妨げるような有害な障害がある場合には、 V_{FB} は SS2 をトラッキングせず、 $SS2 > (V_{FB} + 100mV)$ になると、COMP ピンの電圧がクランプ・レベルまで上昇し、システムは再び OCP/フィードバック回復モードに入ります。

出力電圧トラッキング

ADP1071-1/ADP1071-2 はトラッキング機能を備えています。定常状態では、FB ピンは 1.2V です。このとき、SS2 ピンの電圧は 1.4V です。外部のデジタル・アナログ変換器 (DAC) を使用すると、SS2 ピンの電圧で出力電圧を変調できます。SS2 ピン電圧の変更は、VDD2 UVLO ポイントを超えて制御が 2 次側に引き渡された後のみ行うことを推奨します。そうしないと、ハンドオーバー・プロセスが円滑に行われず、出力電圧にグリッチが発生します。

SS2 電圧は 1.4V から 1.2V に低下させる必要があります。また、出力電圧の変化に影響を与えるためには更に低下させる必要もあります。出力が SS2 ピンをトラッキングする速度は、システム全体の帯域幅に依存します。

リモート・システム・リセット

リモート (2 次側) のシステム・シャットダウンの場合、外部マイクロコントローラのオープンドレイン汎用入出力 (GPIO) を使用して、SS2 ピンを 0V に強制できます。

このプルダウンにより、ADP1071-1/ADP1071-2 は 0V にレギュレートされ、GPIO の有限な抵抗のために SS2 ピンがオフセットすることから、ADP1071-1/ADP1071-2 はパルス・スキップ・モードに入るか、最小のデューティ・サイクルを出力します。

出力バスから VDD2 を充電する場合、この設定はシステムのシャットダウンと同等です。これは、 $VDD2 < VDD2\ UVLO$ の場合、ADP1071-1/ADP1071-2 が (標準的な 40ms のヒックアップではなく) 200ms の特殊なヒックアップ・モードに入るからです。

補助巻線を使用して VDD2 に給電する場合、システムは SS2 ピンの電圧に比例する電圧にレギュレートされるため、補助レールが VDD2 UVLO 閾値を下回った後、前述の特殊なヒックアップ・モードに入ります。

したがって、図 19 に示すように、SS2 ピンで出力トラッキングと 2 次側のシャットダウン (リモート・システム・リセットとも呼ばれる) を実現できます。

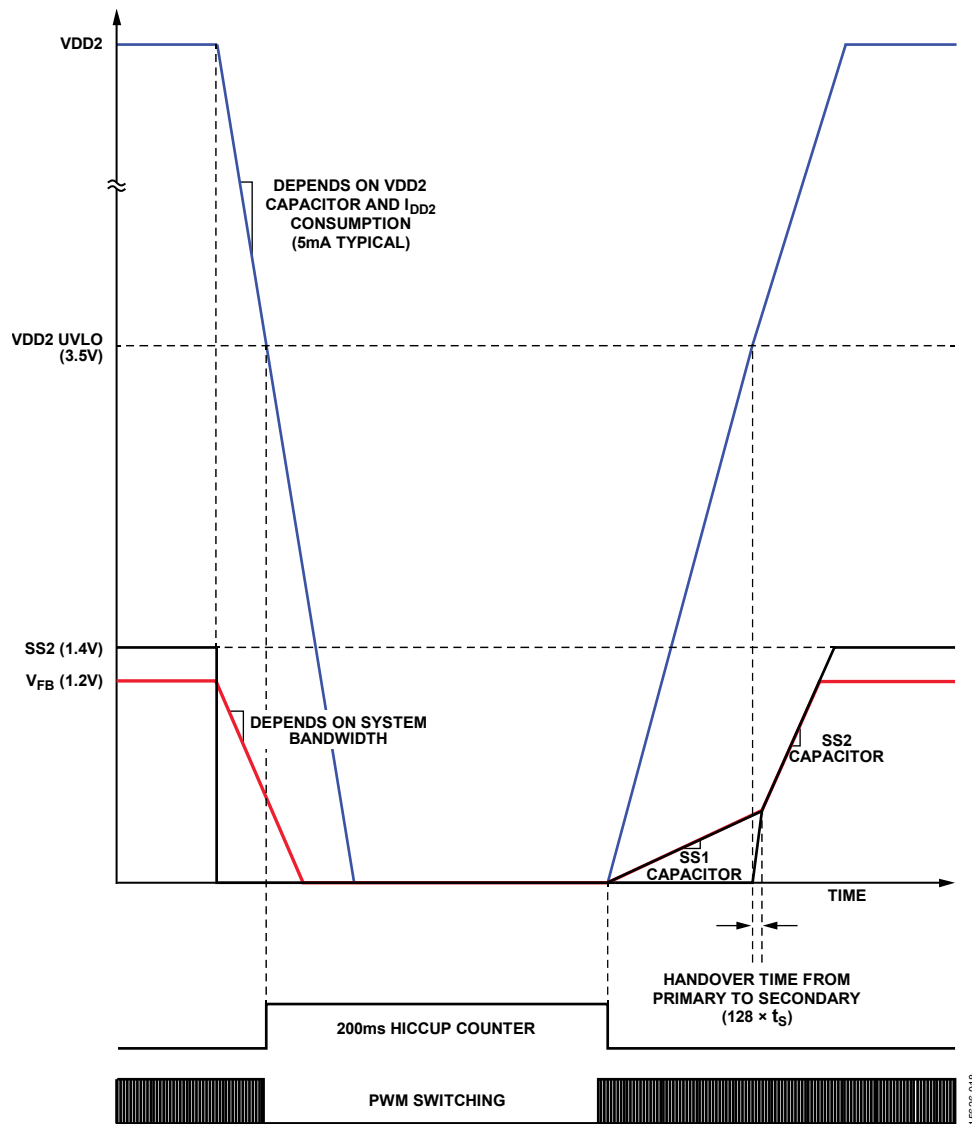


図 19. 200ms のヒカップによるリモート・ソフトウェア・リセット

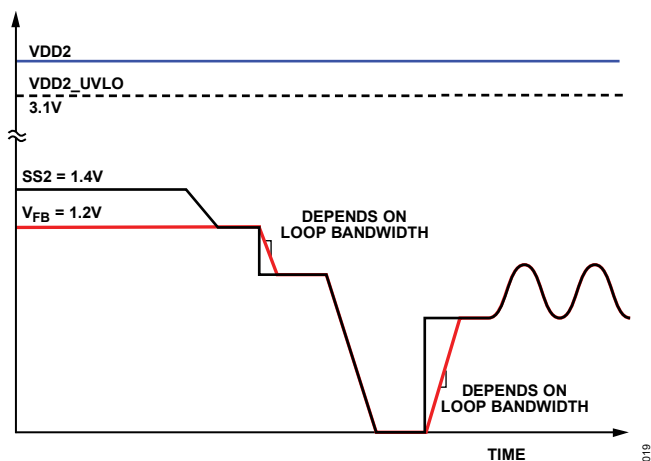


図 20. SS2 ピンによるトラッキング

OCF カウンタ

ピーク検出電流が CS ピンでの 120mV の OCP 閾値電圧を超える過負荷状態では、ADP1071-1/ADP1071-2 は PWM パルスの残りの部分を直ちに終了します。ピーク検出電流が 1.5ms のスイッチング周期ごとに閾値を超え続けると、システムはヒカップ・モードに入り、約 40ms の間シャットダウンしてからソフト・スタートします。デッド・ショートのような過大な過電流状態では、設定された勾配補償が十分でなく、システムが低調波発振状態になることがあります。このような場合、交互のスイッチング周期ごとに OCP 閾値を交差し、1.5ms のヒカップ・カウンタがリセットされるため、システムはヒカップ・モードに入ることができません。

このような状況を回避するために、ADP1071-1/ADP1071-2 は最後の既知の状態をラッチします。これにより、OCP 条件は、あるスイッチング周期で 1 として検知され、次のスイッチング周期で 0 として検知された場合でも、それは 1 としてカウントされます。このようにして、システムは低調波発振状態でもヒカップ・モードに入ることができます。2 つの OCP 閾値がなければ、ヒカップ・カウンタは連続的にリセットされてしまいます。

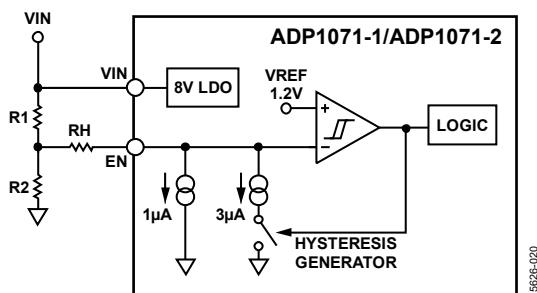


図 21. ヒステリシスが調整可能な高精度 EN

外部スタートアップ回路

入力電圧が 36V より高い場合、内蔵 8V LDO の消費電力が大きくなるため、外部スタートアップ回路の使用を推奨します（例については、図 22 を参照）。この場合、VIN ピンと VREG1 ピン同士を短絡し、スタートアップ回路の出力に接続します。入力プリーネーブル・バイアス電圧 VIN と VREG1 のスタートアップ電流は約 160µA なので、スタートアップ回路の出力はソフト・スタートのためにこのレベルの電流を供給できなければなりません。補助巻線はバイアス電圧を供給し、ソフト・スタート完了後にスタートアップ回路をシャットオフします。

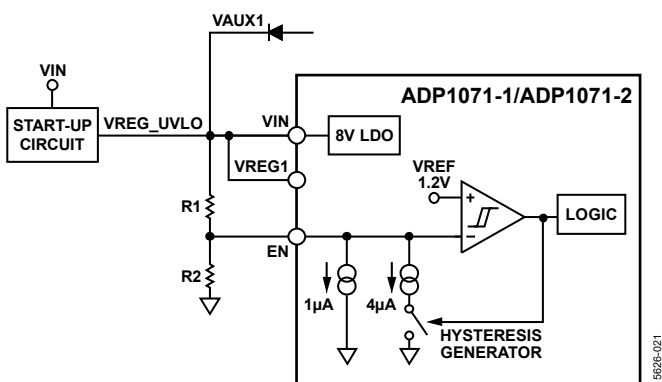


図 22. 高精度 EN 回路と外部スタートアップ回路の接続

高速スタートアップ回路を図 23 に示します。この回路には、VIN ピンと VREG1 ピンのスタートアップ電圧を設定するためのツェナー・ダイオードと、スタートアップ・コンデンサ C1 の充電用の高速電流パスを設定する NPN トランジスタの 2 つのコンポーネントが必要です。R1 を流れるスタートアップ電流は、仕様規定されている最小スタートアップ電流である 160µA 以上でなければならず、VREG1 と VIN のスタートアップ電圧は約 8V~13V とする必要があります。補助巻線はバイアス電圧を供給し、ソフト・スタート完了後に NPN トランジスタをシャットオフします。

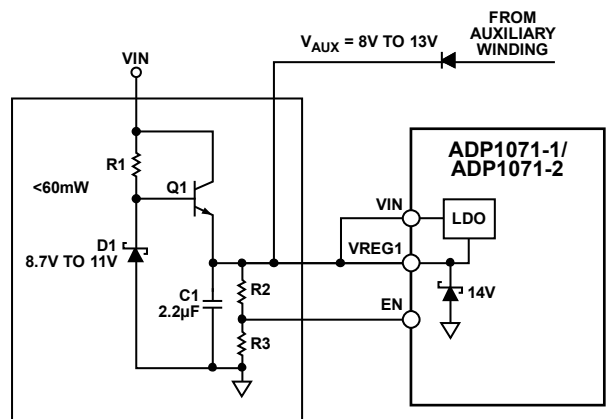


図 23. 高速スタートアップ回路

絶縁寿命

すべての絶縁構造は、十分長い時間にわたり電圧ストレスを加えると、最終的には破壊されます。絶縁性能の低下率は、絶縁に加えらる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲な評価を実施して ADP1071-1/ADP1071-2 の絶縁構造の寿命を決定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。これにより、複数の動作条件に対する加速ファクタを求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。

バイポーラ AC 動作条件での 50 年の動作寿命に対するピーク電圧をまとめて表 6 に示します。多くの場合で、承認された動作電圧は 50 年運用寿命の電圧より高くなっています。これらの高い動作電圧での動作は、場合によっては絶縁寿命を短くすることがあります。

ADP1071-1/ADP1071-2 の絶縁寿命は、絶縁バリアに課される電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。これらの様々な絶縁電圧波形を図 24、図 25、図 26 に示します。

バイポーラ AC 電圧環境は iCoupler 製品にとって最も厳しい条件ですが、アナログ・デバイセズの推奨する最大動作電圧に対する動作寿命は 50 年です。ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。低ストレスにより高い動作電圧での動作が可能になり、更に 50 年のサービス寿命を実現することができます。図 25 または図 26 に適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があります。ピーク電圧は表 6 に示す 50 年寿命電圧値に制限する必要があります。

図 25 に示す電圧は、説明のためにだけ正弦波としていることに注意してください。すなわち、0V とある規定値との間で変化する任意の電圧波形にすることができます。規定値は正または負となることができますが、電圧は 0V を通過することはできません。

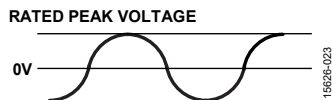


図 24. バイポーラ AC 波形

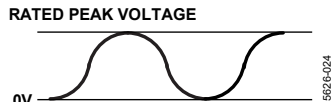


図 25. ユニポーラ AC 波形

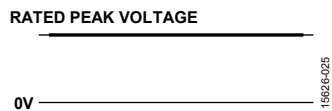


図 26. DC 波形

レイアウトのガイドライン

1次側のレイアウトのガイドラインは以下のとおりです。

1. すべてのコンデンサをそれぞれのグラウンドに接地します。例えば、VREG1 のコンデンサを AGND1 に接地します。
2. CS ピンと AGND1 ピンを使用し、検出抵抗を介して 1 次電流を差動で検出します。スイッチ・ノード上で電流検出用の CS および AGND1 のトレースを交差させないでください。

3. CS ピンの近くにコンデンサ (33pF~470pF 代表値) を配置し、AGND1 に接続します。
4. GATE およびメイン・パワーMOSFET と直列に抵抗 (1Ω ~ 5Ω 代表値) を配置します。これらの抵抗は、駆動電圧のリングングを除去するのに役立ちます。ノイズの多い環境で LLM を使用する場合は、MODE ピンに 100nF のコンデンサを使用します。
5. ノイズを拾わないように、RT ピンの抵抗は AGND1 にケルビン接続し、グラウンド・プレーンには接続しないようにします。

2次側のレイアウトのガイドラインは以下のとおりです。

1. すべてのコンデンサをそれぞれのグラウンドに接地します。例えば、SS2 コンデンサを AGND2 に接地します。
2. SRx および同期 MOSFET と直列に抵抗 (1Ω ~ 5Ω) を配置します。これらの抵抗は、駆動電圧のリングングを除去するのに役立ちます。
3. 2次側のグラウンド・プレーンは AGND2 に接続する必要があります。出力電圧の負端子は AGND2 ピンにケルビン接続する必要があります。
4. 0Ω 抵抗を使用して AGND2 を出力電圧の負端子に接続し、FB ピンと AGND2 ピンを使用して出力電圧をリモートで差動検出します。

アプリケーション情報

代表的なアプリケーション回路

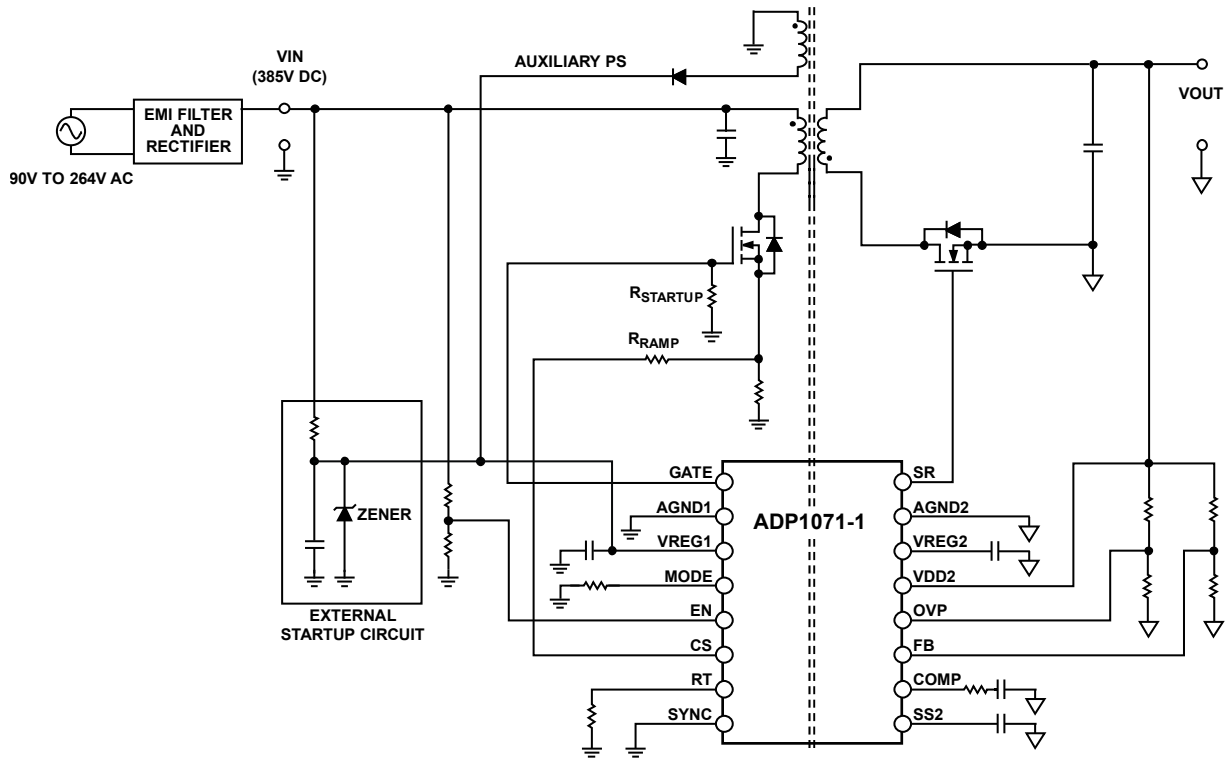


図 27. 外付けスタートアップ回路と補助電源を用いた代表的な ADP1071-1 アプリケーション

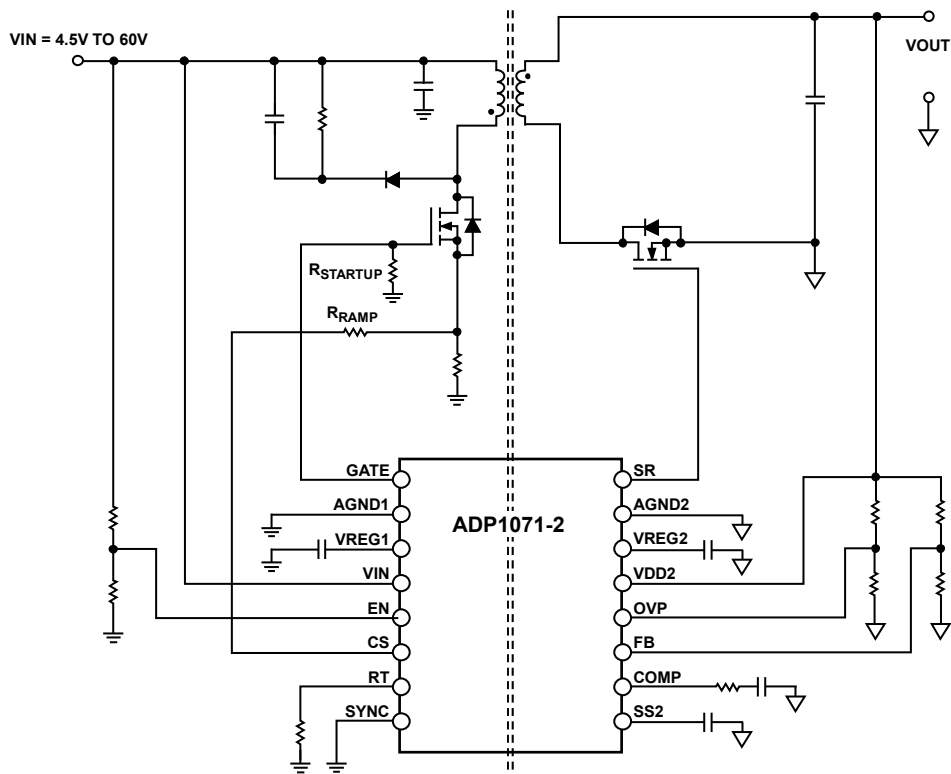
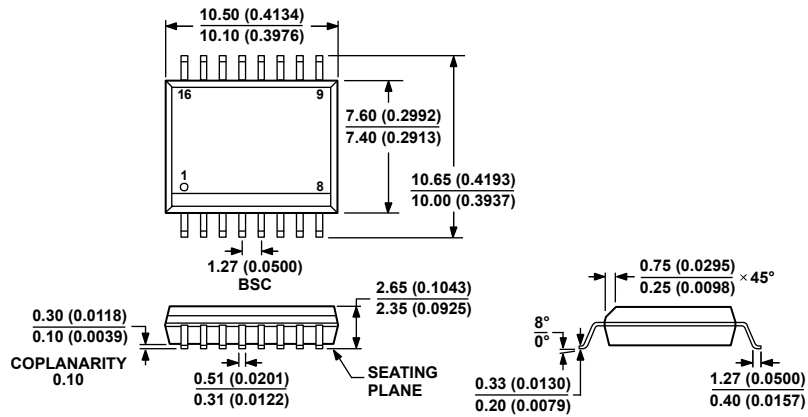


図 28. ADP1071-2 低入力電圧フライバック・アプリケーション回路

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

03-27-2007-B

図 29. 16 ピン、標準スモール・アウトライン・パッケージ [SOIC_W]
 ワイド・ボディ
 (RW-16)
 寸法単位：mm (括弧内はインチ)

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADP1071-1ARWZ	-40°C to +125°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
ADP1071-1ARWZ-RL	-40°C to +125°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
ADP1071-1ARWZ-R7	-40°C to +125°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
ADP1071-2ARWZ	-40°C to +125°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
ADP1071-2ARWZ-RL	-40°C to +125°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
ADP1071-2ARWZ-R7	-40°C to +125°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
ADP1071-2EBZ12.1V		ADP1071-2 Evaluation Board	
ADP1071-1EVALZ		ADP1071-1 Evaluation Board	

¹ Z = RoHS 準拠製品