



絶縁型電源アプリケーション用 デジタル・コントローラ

データシート

ADP1046A

特長

代表的な PWM コントローラ機能をすべて内蔵

- 7 種の PWM 制御信号
- デジタル制御ループ
- プログラマブルなループ・フィルタを内蔵
- プログラマブルな電圧ライン・フィードフォワード
- 専用ソフトスタート・フィルタ
- リモートとローカルの電圧検出
- 1 次側と 2 次側の電流検出
- 同期整流制御
- 電流シェアリング
- OrFET 制御

I²C インターフェース

広範囲な故障検出機能と保護機能

広範囲な設定機能と遠隔測定機能

高速デジタル・キャリブレーション

ユーザー・アクセス可能な EEPROM

アプリケーション

AC/DC 電源

絶縁型 DC/DC 電源

冗長電源システム

サーバ、ストレージ、ネットワークおよび通信インフラ
ストラクチャ

概要

ADP1046A は、AC/DC 変換および絶縁型 DC/DC 変換の 2 次側アプリケーション向けに設計された柔軟な 2 次側コントローラです。ADP1046A は ADP1043A とピン互換であり、電圧フィードフォワード、効率を最大化するためのループ応答の改善など、いくつかの機能強化と新機能を提供します。

ADP1046A は、最少の部品数、最大の柔軟性、最短の設計時間を実現するように最適化されています。特長としては、ローカルとリモートの電圧検出、1 次側と 2 次側の電流検出、デジタル・パルス幅変調 (PWM) の生成、電流シェアリング、冗長 OrFET 制御などがあります。制御ループのデジタル・フィルタと補償条件が内蔵されており、I²C インターフェースを介して設定することができます。プログラマブルな保護機能としては、過電流保護 (OCP)、過電圧保護 (OVP)、低電圧ロックアウト (UVLO)、過温度保護 (OTP) などがあります。

内蔵 EEPROM により、内蔵ループ・フィルタ、PWM 信号タイミング、突入電流、ソフトスタート・タイミングとシーケンシングに対する広範な設定機能を提供します。また、内蔵のチェックサムとプログラマブルな保護回路により、信頼性が向上します。

ループ・フィルタ特性を容易に設計し、安全機能を設定するために、広範な GUI が提供されています。業界標準の I²C バスを介して、多数のモニタリング機能とシステム・テスト機能を使用することができます。

ADP1046A は 32 ピン LFCSP パッケージを採用し、3.3V 単電源で動作します。

代表的なアプリケーション回路

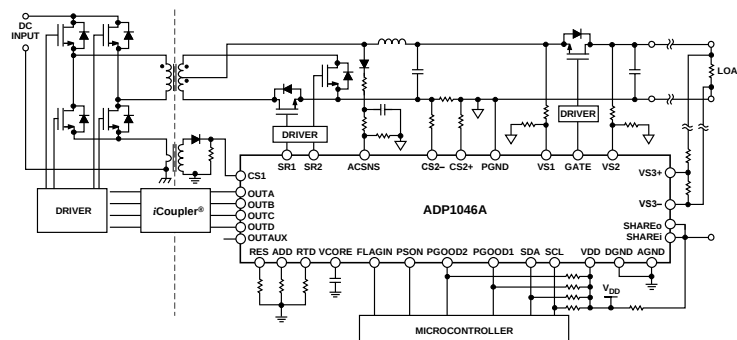


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2012-2013 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	先頭フラグ故障 ID と値レジスタ	28
アプリケーション	1	外部フラグ入力 (FLAGIN ピン)	28
概要	1	温度測定値 (RTD ピン)	28
代表的なアプリケーション回路	1	過温度保護 (OTP)	29
改訂履歴	3	過電流保護 (OCP)	29
仕様	4	定電流モード	30
絶対最大定格	9	過電圧保護 (OVP)	30
熱抵抗	9	低電圧保護 (UVP)	31
ハンダ処理	9	AC 検出 (ACSNS)	31
ESD の注意	9	電圧-時間バランス	32
ピン配置およびピン機能説明	10	デジタル・ロードラインとスルーレート	32
代表的な性能特性	12	電源のキャリブレーションと調整	33
動作原理	14	CS1 の調整	33
電流検出	15	CS2 の調整	33
電圧検出と制御ループ	16	電圧のキャリブレーションと調整	34
ADC	16	出力電圧の設定 (VS3+、VS3- の調整)	34
VS1 の動作 (VS1)	16	VS1 の調整	34
VS2 の動作 (VS2)	17	VS2 の調整	34
VS3 の動作 (VS3+、VS3-)	17	RTD/OTP の調整	34
電圧ラインのフィードフォワードおよび ACSNS ...	17	ACSNS のキャリブレーションと調整	35
デジタル・フィルタ	17	レイアウトのガイドライン	36
PWM と同期整流出力 (OUTA、OUTB、OUTC、 OUTD、OUTAUX、SR1、SR2)	18	CS2+ および CS2-	36
同期整流	19	VS3+ および VS3-	36
同期整流 (SR) 遅延	19	VDD	36
軽負荷モード	19	SDA および SCL	36
変調限界値	19	CS1	36
ソフトスタート	20	エクスポーズド・パッド	36
OrFET 制御 (GATE ピン)	22	VCORE	36
VDD	24	RES	36
VDD/VCORE の OVLO	24	RTD	36
パワーグッド	24	AGND、DGND および PGND	36
電流シェアリング	25	I ² C インターフェース 通信	37
電源システムと故障のモニタリング	27	I ² C の概要	37
フラグ	27	I ² C アドレス	37
モニタリング機能	27	データ転送	37
電圧測定値	27	ジェネラル・コールのサポート	39
電流測定値	27	10 ビット・アドレッシング	39
電力測定値	28	高速モード	39
電力のモニタリング精度	28	反復開始条件	39
		電氣的仕様	39

故障状態.....	39	PWM レジスタおよび同期整流器タイミング・レジスタ.....	67
タイムアウト条件.....	39	デジタル・フィルタ設定レジスタ.....	78
データ伝送故障.....	39	ソフトスタート・フィルタ設定レジスタ.....	80
データ内容故障.....	39	拡張機能レジスタ.....	80
EEPROM.....	41	EEPROM レジスタ.....	85
EEPROM の概要.....	41	共振モード動作.....	89
ページの消去.....	41	共振モードのイネーブル.....	89
読出し動作（バイト読出しとブロック読出し）.....	41	共振モードでの PWM タイミング.....	89
書込み動作（バイト書込みとブロック書込み）.....	42	共振モードでの同期整流.....	89
EEPROM パスワード.....	42	PWM 出力タイミングの調整.....	89
EEPROM 設定 の内部レジスタへのダウンロード...43		周波数リミットの設定.....	90
レジスタ設定値の EEPROM への保存.....	43	共振モードでの帰還制御.....	90
EEPROM の CRC チェックサム.....	43	共振モードでのソフトスタート.....	90
ソフトウェア GUI.....	44	軽負荷動作（バースト・モード）.....	90
レジスタのリスト.....	45	共振モードでの OUTAUX ピン.....	90
レジスタの詳細説明.....	48	共振モードでの保護機能.....	90
故障レジスタ.....	48	共振モード・レジスタの説明.....	91
値レジスタ.....	52	外形寸法.....	96
電流検出レジスタおよび電流限界値レジスタ.....	55	オーダー・ガイド.....	96
電圧検出レジスタ.....	62		
ID レジスタ.....	66		

改訂履歴

2/13—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 3.0\text{ V} \sim 3.6\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。FSR = フルスケール範囲。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SUPPLY						
Supply Voltage	V_{DD}	4.7 μF capacitor connected to AGND	3.0	3.3	3.6	V
Supply Current	I_{DD}	Normal operation (PSON is high or low)		20		mA
		During EEPROM programming (40 ms)		$I_{DD} + 8$		mA
		Shutdown (V_{DD} below UVLO)		100		μA
POWER-ON RESET						
Power-On Reset		V_{DD} rising			3.0	V
UVLO		V_{DD} falling	2.75	2.85	2.97	V
UVLO Hysteresis				40		mV
OVLO			3.8	4.0	4.1	V
OVLO Debounce		When set to 2 μs		2.0		μs
		When set to 500 μs		500		μs
VCORE PIN						
Output Voltage		0.33 μF capacitor connected to DGND $T_A = 25^\circ\text{C}$	2.4	2.5	2.7	V
OSCILLATOR AND PLL						
PLL Frequency		RES = 10 k Ω ($\pm 0.1\%$)	190	200	210	MHz
OUTA, OUTB, OUTC, OUTD, OUTAUX, SR1, SR2, GATE PINS						
Output Low Voltage	V_{OL}	Source current = 10 mA			0.4	V
Output High Voltage	V_{OH}	Source current = 10 mA	$V_{DD} - 0.4$			V
Rise Time		$C_{LOAD} = 50\text{ pF}$		3.5		ns
Fall Time		$C_{LOAD} = 50\text{ pF}$		1.5		ns
VS1, VS2, VS3 LOW SPEED ADCs						
Input Voltage Range	V_{IN}	Differential voltage from VS1, VS2 to PGND, and from VS3+ to VS3-	0	1	1.6	V
Usable Input Voltage Range			0		1.4	V
ADC Clock Frequency				1.56		MHz
Register Update Rate				10		ms
Voltage Sense Measurement Accuracy		Factory trimmed at 1.0 V				
		0% to 100% of usable input voltage range	-3.0		+3.0	% FSR
			-48		+48	mV
		10% to 90% of usable input voltage range	-2.0		+2.0	% FSR
			-32		+32	mV
		900 mV to 1.1 V	-1.0		+1.0	% FSR
			-16		+16	mV
Temperature Coefficient					65	ppm/ $^\circ\text{C}$
Leakage Current					1.0	μA
Voltage Sense Measurement Resolution				12		Bits
Common-Mode Voltage Offset			-0.25		+0.25	% FSR
Voltage Differential from VS3- to PGND			-200		+200	mV
VS1 Accurate OVP Speed		Register 0x32[1:0] = 00; equivalent resolution is 7 bits		80		μs
VS1 OVP Threshold Accuracy		Relative to nominal voltage (1 V) on VS1	-2.0		+2.0	% FSR
VS2 and VS3 OVP Speed		Register 0x33[1:0] = 00; equivalent resolution is 7 bits		80		μs
VS2 and VS3 OVP Threshold Accuracy		Relative to nominal voltage (1 V) on VS2 and VS3	-2.0		+2.0	% FSR

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
VS3 HIGH SPEED ADC						
Equivalent Sampling Frequency	f_{SAMP}			f_{SW}		kHz
Equivalent Resolution		$f_{\text{SW}} = 390.6 \text{ kHz}$		6		Bits
Dynamic Range				± 30		mV
VS1 FAST OVP COMPARATOR						
Threshold Accuracy		At factory trim of 1.2 V		1	1.60	%
		At other thresholds (0.8 V to 1.6 V)	-2.06		+2.06	%
Propagation Delay		Does not include debounce time (Register 0x0A[7] = 1)		40		ns
VS1 UVP DIGITAL COMPARATOR						
VS1 UVP Accuracy			-2.0		+2.0	% FSR
Propagation Delay		Does not include debounce time (Register 0x0B[3] = 1)		80		μs
AC SENSE COMPARATOR						
Input Voltage Threshold		PWM and resonant mode	0.4	0.45	0.5	V
Propagation Delay		From ACSNS threshold to SRx rising edge (resonant mode only)		160		ns
ADC Clock Frequency				1.56		MHz
Input Voltage Range	V_{ACSNS}		0	1	1.6	V
Usable Input Voltage Range			0		1.4	V
Sampling Frequency for I ² C Reporting				100		Hz
Sampling Period for Feedforward		Equivalent resolution is 11 bits		10		μs
Measurement Accuracy		Factory trimmed at 1.0 V				
		0% to 100% of usable input voltage range	-5.0		+3.0	% FSR
		10% to 90% of usable input voltage range	-2.0		+2.0	% FSR
		900 mV to 1.1 V	-1.0		+1.0	% FSR
			-16		+16	mV
Leakage Current					1.0	μA
CURRENT SENSE 1 (CS1 PIN)						
Input Voltage Range	V_{IN}		0	1	1.4	V
Usable Input Voltage Range			0		1.3	V
ADC Clock Frequency				1.56		MHz
Register Update Rate				10		ms
Current Sense Measurement Accuracy		Factory trimmed at 0.7 V; tested under dc input conditions				
		10% to 50% of usable input voltage range	-3.0		+3.0	% FSR
			-41.4		+41.4	mV
		0% to 100% of usable input voltage range	-6.0		+3.0	% FSR
			-84		+42	mV
		40% to 60% of usable input voltage range	-1.0		+1.0	% FSR
Current Sense Measurement Resolution				12		Bits
CS1 Fast OCP Threshold			1.184	1.2	1.216	V
CS1 Fast OCP Speed				80	100	ns
CS1 Accurate OCP DC Accuracy		10% to 90% of usable input voltage range	-2.0		+2.0	% FSR
			-28		+28	mV
CS1 Accurate OCP Speed				2.62	5.24	ms
Leakage Current					1.0	μA

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
CURRENT SENSE 2 (CS2+, CS2- PINS)	V _{IN}					
Input Voltage Range		Differential voltage from CS2+ to CS2-, LSB = 29.297 μ V	0		120	mV
Usable Input Voltage Range			0		110	mV
ADC Clock Frequency				1.56		MHz
Temperature Coefficient						
120 mV Range		0 mV to 100 mV			78	ppm/°C
		0 mV to 50 mV			70	ppm/°C
60 mV Range		0 mV to 50 mV			156	ppm/°C
		0 mV to 25 mV			140	ppm/°C
Current Sense Measurement						
120 mV Setting		0 mV to 110 mV	-2.1		+2.1	% FSR
			-2.52		+2.52	mV
60 mV Setting		0 mV to 55 mV	-4.2		+4.2	% FSR
			-5.04		+5.04	mV
Current Sense Measurement Accuracy		With 0.01% level shifting resistors				
120 mV Setting		0 mV to 100 mV, V _{DD} = 3.3 V	-0.9		+0.9	% FSR
			-1.08		+1.08	mV
60 mV Setting		0 mV to 55 mV, V _{DD} = 3.3 V	-1.8		+1.8	% FSR
			-2.16		+2.16	mV
Current Sense Measurement Resolution				12		Bits
CS2 Accurate OCP Speed				2.62	5.24	ms
Current Sink (High Side)				2		mA
Current Source (Low Side)				200		μ A
Common-Mode Voltage at the CS2+ and CS2- Pins		To achieve CS2 measurement accuracy	0.8	1.0	1.4	V
OrFET PROTECTION (CS2+, CS2-)		Low-side and high-side current sensing				
Fast OrFET Accuracy						
		-3 mV setting	+3.5	-3.00	-9.5	mV
		-6 mV setting	+0.29	-6.21	-12.71	mV
		-9 mV setting	-2.68	-9.43	-16.18	mV
		-12 mV setting	-5.89	-12.64	-19.39	mV
		-15 mV setting	-9.01	-15.86	-22.71	mV
		-18 mV setting	-12.22	-19.07	-25.92	mV
		-21 mV setting	-15.29	-22.29	-29.29	mV
		-24 mV setting	-18.50	-25.50	-32.50	mV
Fast OrFET Speed		Debounce = 40 ns		110	150	ns
RTD TEMPERATURE SENSE						
ADC Clock Frequency				1.56		MHz
Input Voltage Range		RTD to AGND	0		1.6	V
Usable Input Voltage Range			0		1.3	V
Source Current		Factory trimmed to 46 μ A (Register 0x11 set to 0xE6)	44.35	46	47.65	μ A
		Current source set to 10 μ A	9.25	10.1	10.85	μ A
		Current source set to 20 μ A	18.35	20.1	21.85	μ A
		Current source set to 30 μ A	28.45	30.2	31.95	μ A
		Current source set to 40 μ A	38.45	40.3	41.95	μ A
Source Current Fine Setting		See Register 0x11[5:0]		160		nA
RTD ADC						
Register Update Rate				10		ms
Resolution				12		Bits

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Measurement Accuracy		Factory trimmed at 1 V 10 mV to 160 mV	-0.5 -8		+0.5 +8	% FSR mV
Temperature Readings Using Internal Linearization Scheme		0% to 100% of usable input voltage range RTD source set to 46 μ A (Register 0x11 set to 0xE6); NTC R0 = 100 k Ω , 1%; beta = 4250, 1%; R _{EXT} = 16.5 k Ω , 1% 25°C to 100°C 100°C to 125°C	-3.0 -42		+3.0 +42	% FSR mV °C °C
OTP Threshold Accuracy		T = 85°C with 100 k Ω 16.5 k Ω T = 100°C with 100 k Ω 16.5 k Ω	-0.9 -14.4 -0.5 -8		+0.25 +4 +1.1 +17.6	% FSR mV % FSR mV
Comparator Speed				10.5		ms
OTP Threshold Hysteresis				16		mV
PGOOD1, PGOOD2, SHAREo PINS		Open-drain outputs				
Output Low Voltage	V _{OL}				0.4	V
PSON, SHAREi PINS		Digital inputs				
Input Low Voltage	V _{IL}				0.8	V
Input High Voltage	V _{IH}		V _{DD} - 0.8			V
Leakage Current					1.0	μ A
FLAGIN PIN		Digital input				
Input Low Voltage	V _{IL}				0.4	V
Input High Voltage	V _{IH}		V _{DD} - 0.8			V
Propagation Delay		Does not include debounce time (Register 0x0A[3] = 1); flag action set to disable PSU		200		ns
Leakage Current					1.0	μ A
GATE PIN						
Output Low Voltage	V _{OL}				0.4	V
Output High Voltage	V _{OH}		V _{DD} - 0.4			V
SDA/SCL PINS		V _{DD} = 3.3 V				
Input Low Voltage	V _{IL}				0.8	V
Input High Voltage	V _{IH}		V _{DD} - 0.8			V
Output Low Voltage	V _{OL}				0.4	V
Leakage Current					1.0	μ A
SERIAL BUS TIMING		See Figure 2				
Clock Operating Frequency			10	100	400	kHz
Bus-Free Time	t _{BUF}	Between stop and start conditions	1.3			μ s
Start Hold Time	t _{HD,STA}	Hold time after (repeated) start condition; after this period, the first clock is generated	0.6			μ s
Start Setup Time	t _{SU,STA}	Repeated start condition setup time	0.6			μ s
Stop Setup Time	t _{SU,STO}		0.6			μ s
SDA Setup Time	t _{SU,DAT}		100			ns
SDA Hold Time	t _{HD,DAT}	For readback	125			ns
		For write	300			ns
SCL Low Timeout	t _{TIMEOUT}		25		35	ms
SCL Low Period	t _{LOW}		1.3			μ s
SCL High Period	t _{HIGH}		0.6			μ s
Clock Low Extend Time	t _{LO,SEXT}				25	ms

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SCL, SDA Fall Time	t_F		20		300	ns
SCL, SDA Rise Time	t_R		20		300	ns
EEPROM RELIABILITY						
Endurance ¹		$T_J = 85^\circ\text{C}$	10,000			Cycles
		$T_J = 125^\circ\text{C}$	1000			Cycles
Data Retention ²		$T_J = 85^\circ\text{C}$	20			Years
		$T_J = 125^\circ\text{C}$	10			Years

¹ 書換え回数は JEDEC 標準 22、メソッド A117 に基づき認定し、 -40°C 、 $+25^\circ\text{C}$ 、 $+85^\circ\text{C}$ 、 $+125^\circ\text{C}$ で測定。書換え条件は EEPROM の品質評価により変更される場合があります。

² JEDEC 標準 22、メソッド A117 でのジャンクション温度(T_J) = 85° と等価な保持寿命。ジャンクション温度(T_J) = 125° と等価での（書換えで）低下した保持寿命は 2.87 年で、この値は EEPROM の品質評価により変更される場合があります。

タイミング図

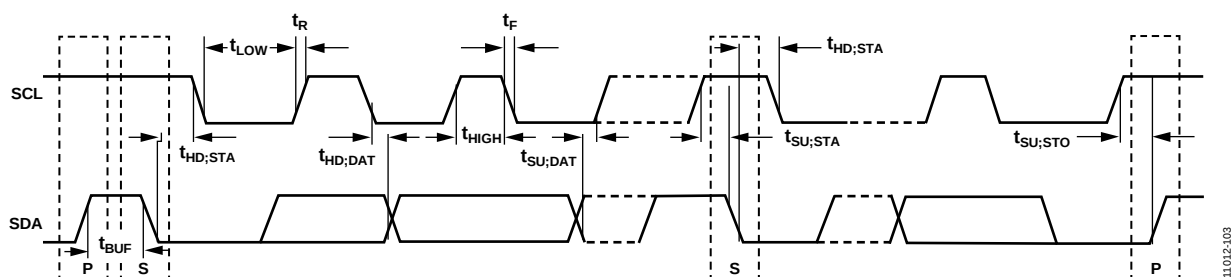


図 2. シリアル・バスのタイミング図

11012-103

絶対最大定格

表 2.

Parameter	Rating
Supply Voltage (Continuous), V_{DD}	4.2 V
Digital Pins: OUTA, OUTB, OUTC, OUTD, OUTAUX, SR1, SR2, GATE, PGOOD1, PGOOD2	-0.3 V to $V_{DD} + 0.3$ V
VS3- to PGND, AGND, DGND	-0.3 V to +0.3 V
VS1, VS2, VS3+, ACSNS	-0.3 V to $V_{DD} + 0.3$ V
RTD, ADD	-0.3 V to $V_{DD} + 0.3$ V
CS1, CS2+, CS2-	-0.3 V to $V_{DD} + 0.3$ V
FLAGIN, PSON	-0.3 V to $V_{DD} + 0.3$ V
SDA, SCL	-0.3 V to $V_{DD} + 0.3$ V
SHAREo, SHAREi	-0.3 V to $V_{DD} + 0.3$ V
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Peak Solder Reflow Temperature	
SnPb Assemblies (10 sec to 30 sec)	240°C
RoHS-Compliant Assemblies (20 sec to 40 sec)	260°C
ESD Charged Device Model	1.5 kV
ESD Human Body Model	3.5 kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわち回路基板に表面実装パッケージをハンダ付けした状態で規定しています。

表 3. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
32-Lead LFCSP	44.4	6.4	°C/W

ハンダ処理

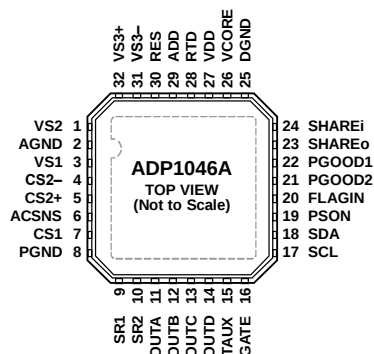
ADP1046AのPCBフットプリントのレイアウトとデバイスのPCBへのハンダ付けでは、正しいガイドラインに従うことが重要です。このガイドラインの詳細については、[AN-772アプリケーション・ノート「リード・フレーム・チップ・スケール・パッケージ \(LFCSP\) の設計および製造ガイド」](#)を参照してください。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



注

1. ADP1046A のパッケージの下面にエクスポーズド・サーマル・パッドがあります。ハンダ接合部の信頼性と熱性能を高めるために、このパッドを PCB の AGND プレーンにハンダ付けすることを推奨します。

図 3. ピン配置

表 4. ピン機能説明

Pin No.	Mnemonic	Description
1	VS2	電源の出力電圧検出入力。この信号は PGND を基準としており、低周波 $\Sigma\Delta$ ADC への入力です。このピンの公称電圧は 1V とします。この入力の抵抗分圧器は、調整を可能にするため許容誤差仕様が 0.5% 以下である必要があります。
2	AGND	アナログ・グラウンド。このピンは ADP1046A のアナログ回路のグラウンドで、VDD ピンのリターンです。
3	VS1	ローカル出力電圧検出入力。この信号は PGND を基準としています。このピンの公称電圧は 1V とします。この入力の抵抗分圧器は、調整を可能にするため許容誤差仕様が 0.5% 以下である必要があります。
4	CS2-	反転差動電流検出入力。最適動作のためにこのピンの公称電圧は 1V とします。ローサイド電流検出を使う場合、検出抵抗とこのピンの間に 5k Ω 抵抗を接続してください。12V アプリケーションでハイサイド電流検出を使う場合は、検出抵抗とこのピンの間に 5.5k Ω 抵抗を接続してください。12V 以外の電圧でハイサイド電流検出を使う場合、抵抗値の算出には式 $R = (V_{OUT} - 1)/2 \text{ mA}$ を使用してください。この回路を接続するときは 0.1% 抵抗を使用する必要があります。このピンを使用しない場合は PGND に接続し、CS2 $\pm$ をハイサイド電流検出モードに設定します（レジスタ 0x27 のビット 2 をセット）。抵抗の両端か、またはこのピンと AGND の間に 500pF～1000pF のコンデンサを接続することを推奨します。
5	CS2+	非反転差動電流検出入力。最適動作のためにこのピンの公称電圧は 1V とします。ローサイド電流検出を使う場合、検出抵抗とこのピンの間に 5k Ω 抵抗を接続してください。12V アプリケーションでハイサイド電流検出を使う場合は、検出抵抗とこのピンの間に 5.5k Ω 抵抗を接続してください。12V 以外の電圧でハイサイド電流検出を使う場合、抵抗値の算出には式 $R = (V_{OUT} - 1)/2 \text{ mA}$ を使用してください。この回路を接続するときは 0.1% 抵抗を使用する必要があります。このピンを使用しない場合は PGND に接続し、CS2 $\pm$ をハイサイド電流検出モードに設定します（レジスタ 0x27 のビット 2 をセット）。抵抗の両端か、またはこのピンと AGND の間に 500pF～1000pF のコンデンサを接続することを推奨します。
6	ACSNS	AC 検出入力。この入力、抵抗分圧器回路を介してメイン出力インダクタの前段に接続します。この回路の公称電圧は 0.45V です。このピンは電圧フィードフォワード ADC（公称電圧 1V）にも接続します。この信号は PGND を基準とします。
7	CS1	1 次側電流検出入力。このピンは 1 次側の電流検出 ADC および高速 OCP コンパレータに接続します。この信号は PGND を基準とします。この入力への抵抗器は、調整を可能にするため許容誤差仕様が 0.5% 以下である必要があります。このピンを使用しない場合は PGND に接続します。
8	PGND	パワーグラウンド。このピンは、電源のメイン電源レールに対するグラウンド接続で、すべての電圧および CS2 $\pm$ と VS3 $\pm$ 以外の電流検出の基準となります。AGND にスター接続してください。
9	SR1	同期整流出力。この PWM 出力は FET ドライバの入力に接続されます。この信号は AGND を基準とします。このピンを使用しないときは無効にすることができます。
10	SR2	同期整流出力。この PWM 出力は FET ドライバの入力に接続されます。この信号は AGND を基準とします。このピンを使用しないときは無効にすることができます。

Pin No.	Mnemonic	Description
11	OUTA	1 次側スイッチの PWM 出力。この信号は AGND を基準とします。このピンを使用しないときは無効にすることができます。
12	OUTB	1 次側スイッチの PWM 出力。この信号は AGND を基準とします。このピンを使用しないときは無効にすることができます。
13	OUTC	1 次側スイッチの PWM 出力。この信号は AGND を基準とします。このピンを使用しないときは無効にすることができます。
14	OUTD	1 次側スイッチの PWM 出力。この信号は AGND を基準とします。このピンを使用しないときは無効にすることができます。
15	OUTAUX	補助 PWM 出力。この信号は AGND を基準とします。このピンを使用しないときは無効にすることができます。
16	GATE	OrFET ゲート駆動出力。この信号は AGND を基準とします。このピンを使用しないときは開放したままにします。
17	SCL	I ² C シリアル・クロック入力。この信号は AGND を基準とします。
18	SDA	I ² C シリアル・データ入力および出力（オープン・ドレイン）。この信号は AGND を基準とします。
19	PSON	電源オン入力。この信号は AGND を基準とします。このピンはハードウェア PSON 制御信号です。ノイズのデバウンスとデカップリングのために、PSON ピンと AGND の間に 1nF のコンデンサを接続することを推奨します。
20	FLAGIN	フラグ入力。フラグ条件を発生させるために、このピンに外部信号を入力することができます。
21	PGOOD2	パワーグッド出力（オープン・ドレイン）。この信号は AGND を基準とします。このピンは PGOOD2 フラグにより制御されます。セットするには、内部フラグの組み合わせを書き込みます。このピンを使用しない場合は AGND に接続します。
22	PGOOD1	パワーグッド出力（オープン・ドレイン）。この信号は AGND を基準とします。このピンは PGOOD1 フラグにより制御されます。セットするには、内部フラグの組み合わせを書き込みます。このピンを使用しない場合は AGND に接続します。
23	SHAREo	シェア・バス出力電圧ピン。このピンはブルアップ抵抗（標準 2.2k Ω ）を介して 3.3V に接続してください。デジタル・シェア・バスとして設定された場合、このピンはデジタル出力になります。このピンを使用しない場合は AGND に接続します。
24	SHAREi	シェア・バス帰還ピン。このピンは SHAREo ピンに接続してください。この信号は AGND を基準とします。このピンを使用しない場合は AGND に接続します。
25	DGND	デジタル・グラウンド。このピンは ADP1046A のデジタル回路のグラウンド・リファレンスです。AGND にスター接続してください。
26	VCORE	2.5V レギュレータ出力。PCB のトレース長を最短にするために、このピンと DGND の間に少なくとも 330nF（最大 1 μ F）のデカップリング・コンデンサをできるだけデバイスに近づけて接続してください。VCORE ピンはリファレンス電圧や抵抗分圧による他のロジック・レベルの生成に使用しないでください。
27	VDD	正の電源入力。この信号は AGND を基準とします。PCB のトレース長を最短にするために、このピンと AGND の間に 4.7 μ F のデカップリング・コンデンサをできるだけデバイスに近づけて接続してください。
28	RTD	サーミスタ入力。サーミスタ（100 k Ω 、1%、ベータ値 = 4250、1%）を 16.5 k Ω 、1%の抵抗に並列に接続してください。この信号は AGND を基準とします。このピンを使用しない場合は AGND に接続します。
29	ADD	アドレス・セレクト入力。このピンは I ² C アドレスの設定に使用します。ADD と AGND の間に抵抗を接続してください。この信号は AGND を基準とします。
30	RES	抵抗入力。このピンは ADP1046A の内部リファレンス電圧を設定します。RES と AGND の間に 10 k Ω 、 $\pm$ 0.1%の抵抗を接続してください。この信号は AGND を基準とします。
31	VS3-	反転リモート電圧検出入力。AGND に抵抗値が低くなるように接続してください。この入力の抵抗分圧器は、調整を可能にするため許容誤差仕様が 0.5%以下である必要があります。コンデンサ (0.1 μ F)を VS3-から AGND に接続します。
32	VS3+	非反転リモート電圧検出入力。この信号は VS3-を基準としており、このピンの公称入力電圧は 1V です。この入力の抵抗分圧器は、調整を可能にするため許容誤差仕様が 0.5%以下である必要があります。このピンは高周波 Σ - Δ ADC への入力です。
	EP	エクスポーズド・パッド。ADP1046A のパッケージの下面にエクスポーズド・サーマル・パッドがあります。ハンダ接合部の信頼性と熱性能を高めるために、このパッドを PCB の AGND プレーンにハンダ付けすることを推奨します。

代表的な性能特性

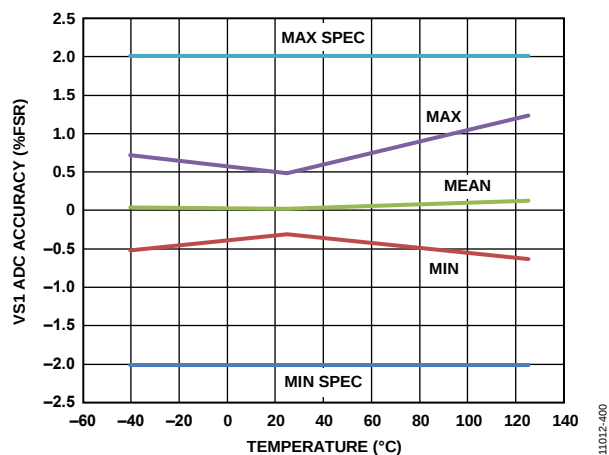


図 4. VS1 ADC 精度の温度特性 (FSR の 10%~90%)

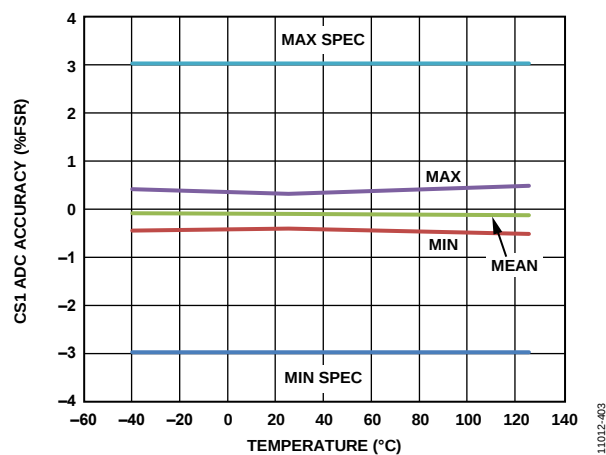


図 7. CS1 ADC 精度の温度特性 (FSR の 10%~50%)

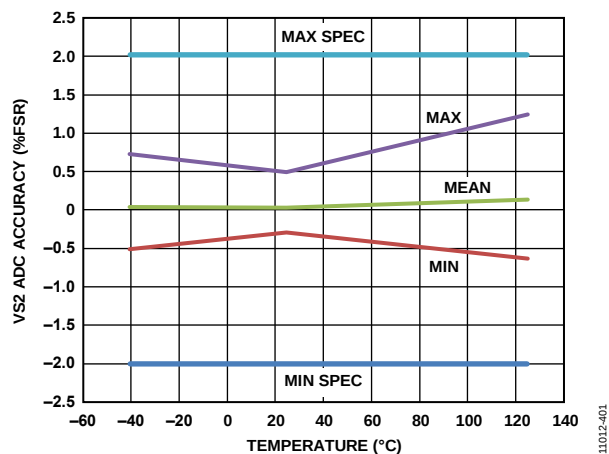


図 5. VS2 ADC 精度の温度特性 (FSR の 10%~90%)

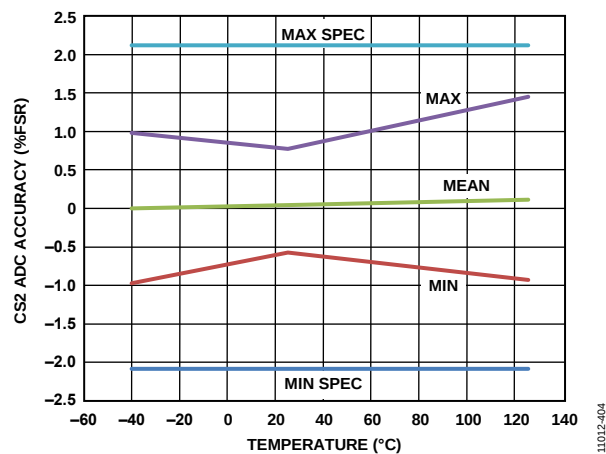


図 8. CS2 ADC 精度の温度特性 (FSR の 10%~90%)

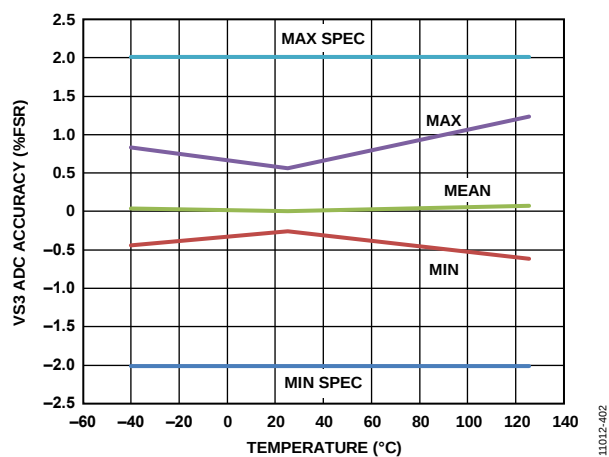


図 6. VS3 ADC 精度の温度特性 (FSR の 10%~90%)

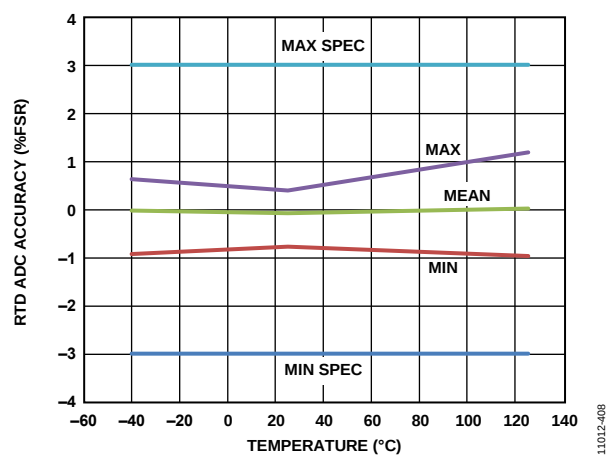


図 9. RTD ADC 精度の温度特性 (FSR の 10%~90%)

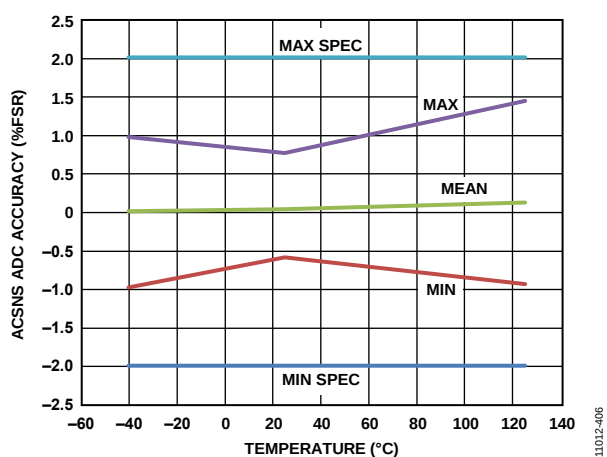


図 10. ACSNS ADC 精度の温度特性 (FSR の 10%~90%)

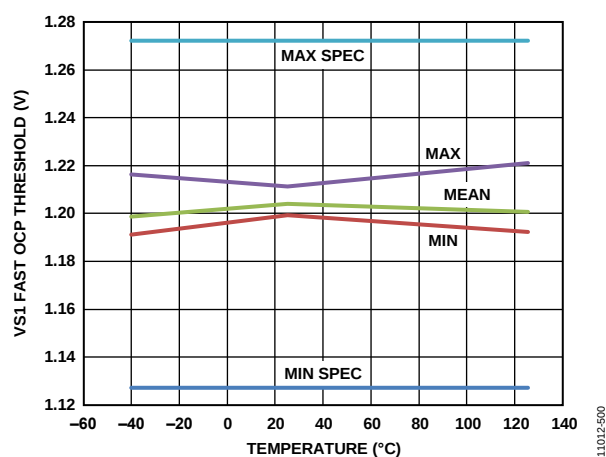


図 12. VS1 高速 OCP 閾値の温度特性

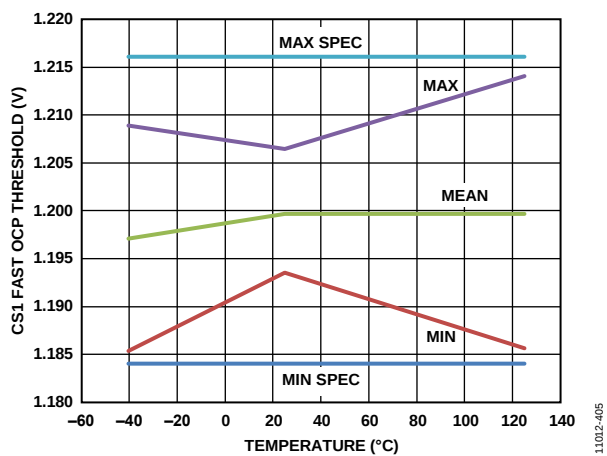


図 11. CS1 高速 OCP 閾値の温度特性

動作原理

ADP1046A は、スイッチ・モード電源の 2 次側コントローラであり、絶縁型冗長アプリケーションで使用するよう設計されています。ADP1046A は、電源の制御に必要なとされる以下のような代表的な機能を備えています。

- 出力電圧の検出と帰還
- 電圧ライン・フィードフォワード制御
- デジタル・ループ・フィルタ補償
- PWM 生成
- 電流シェアリング
- 電流、電圧、温度の検出
- OrFET 制御
- ハウスキーピングと I²C インターフェース
- キャリブレーションと調整

出力電圧を制御する主な機能は、帰還 ADC、デジタル・ループ・フィルタ、PWM ブロックを使って実行されます。

帰還 ADC はマルチパス手法（特許申請中）を採用しています。ADP1046A では、高速低分解能（高速で低精度）ADC と低速高分解能（低速で高精度）ADC を組み合わせています。ループ補償はデジタル・フィルタを使って実現しています。この比例、積分、微分（PID）フィルタはデジタル領域に実装されているため、フィルタ特性の設定が容易です。これは、設計のカスタマイズとデバッグにおいて非常に重要です。

PWM ブロックは、FET ドライバと同期整流 FET ドライバの制御用に最大 7 本のプログラマブルな PWM 出力を生成します。このプログラマブル性により、多数の従来型のユニークなスイッチング・トポロジを実現することができます。

電流シェア・バス・インターフェースは、複数の電源を並列接続するために用意されています。また、ADP1046A はホットスワップ OrFET 検出機能と N+1 冗長電源の制御機能も備えています。

リモートおよびローカルの電圧検出や 1 次側および 2 次側の電流検出のような従来型の電源ハウスキーピング機能も搭載しています。さらに、過電圧保護（OVP）、過電流保護（OCP）、過温度保護（OTP）、低電圧保護（UVP）、グラウンド連続モニタ（電圧連続性）、AC 検出などの広範な一連の保護機能を備えています。

これらのすべての機能は、I²C バス・インターフェースを介して設定することができます。このバス・インターフェースは、電源のキャリブレーションにも使用されます。また、入力電流、出力電流、故障フラグなど、電源のモニタリングに有用な他の情報も、I²C バス・インターフェースを介して見られます。

内蔵の EEPROM はすべての設定値を格納できるため、マイクロコントローラなしでスタンドアロン制御を行うことができます。ダウンロード可能な無償の GUI が、ADP1046A の設定に必要なすべてのソフトウェアを提供します。最新のソフトウェアとユーザー・ガイドを入手するには、<http://www.analog.com/jp/digitalpower> をご覧ください。

ADP1046A は 3.3V 単電源で動作し、-40°C ~ +125°C で仕様が規定されています。

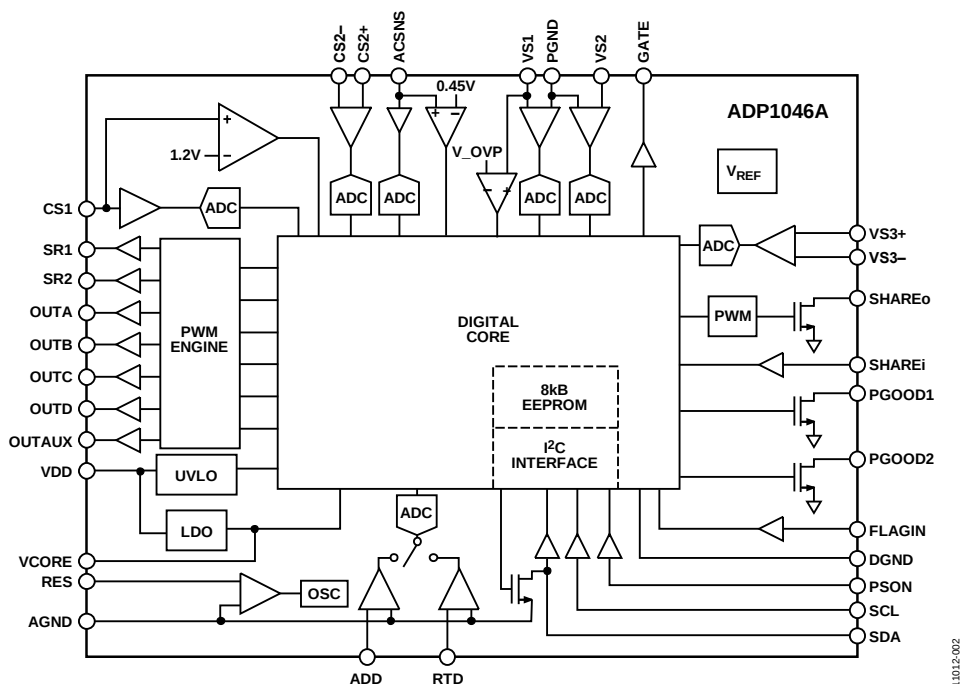


図 13. 簡略ブロック図

電流検出

ADP1046Aには、CS1 と CS2±の 2つの電流検出入力があります。これらの入力、1 次入力電流、2 次出力電流、シェア・バス情報の検出、保護、制御を行います。これらを校正して、外付け部品による誤差を減らすことができます。

CS1 の動作 (CS1)

CS1 は、通常、1 次側電流のモニタリングと保護に使用されます。この電流は一般に、電流トランス (CT) を使って検出されます。CS1 ピンの入力信号は、電流モニタ用の ADC に入力されます。ADC の電圧範囲は 0V ~1.4V です。入力信号はパルス毎の OCP 保護用のコンパレータにも入力されます。CS1 の電流検出の代表的な構成を図 14 に示します。

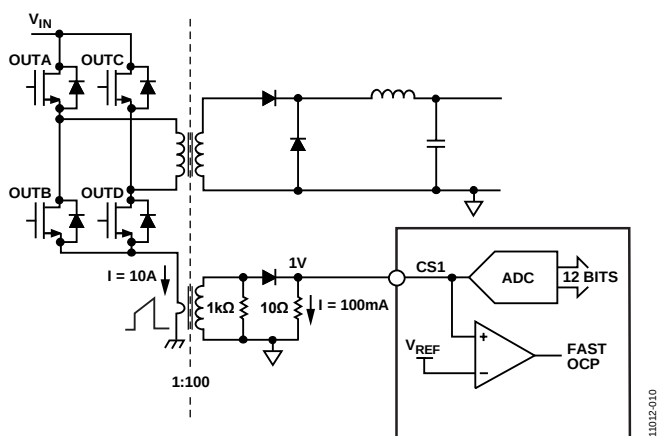


図 14. 電流検出 1 (CS1) の動作

CS1 ADC は 1 次電流の平均値の測定に使用されます。故障を判断するために、測定値の平均値が 2.62ms 毎に非同期式に求められます。また、ADP1046A は CS1 の 12 ビットの測定値を 10ms 毎にレジスタ 0x13 に書き込みます。

高速 OCP コンパレータは各スイッチング・サイクルの瞬間的な 1 次側電流を制限するのに使用され、公称閾値は 1.2V です。

CS1 にはさまざまな閾値と限界値を設定することができます。これらの閾値と限界値については、「電流検出レジスタおよび電流限界値レジスタ」のセクションで説明します。

CS2 の動作 (CS2+, CS2-)

CS2+および CS2-は、2 次側電流のモニタリングと保護に使用される差動入力です。CS2 ADC のフルスケール範囲は 60mV または 120mV に設定することができます。差動入力、必要なレベルシフトを提供する 1 対の外付け抵抗を介して ADC に入力されます。デバイス・ピン CS2+ および CS2-は、内部の電流源により内部で約 1V にレギュレーションされます。

ローサイド電流検出を使用する場合、電流源が 200μA なので、必要な抵抗の値は $1V/200\mu A = 5k\Omega$ です。ハイサイド電流検出を使用する場合、電流源が 2mA なので、必要な抵抗の値は $(V_{OUT} - 1V)/2mA$ です。 $V_{OUT} = 12V$ の場合、必要な抵抗の値は 5.5kΩ です。

代表的な構成を図 15 と図 16 に示します。CS2 には、OCP などの閾値と限界値を各種設定することができます。これらの閾値と限界値については、「電流検出レジスタおよび電流限界値レジスタ」のセクションで説明します。

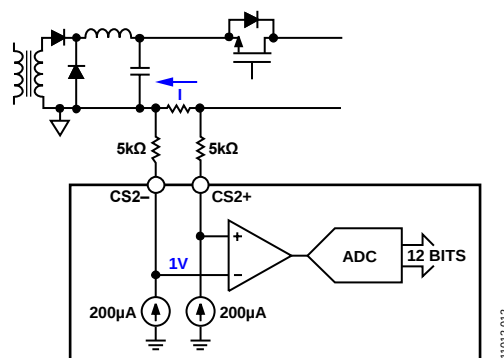


図 15. ローサイド抵抗電流検出 (推奨)

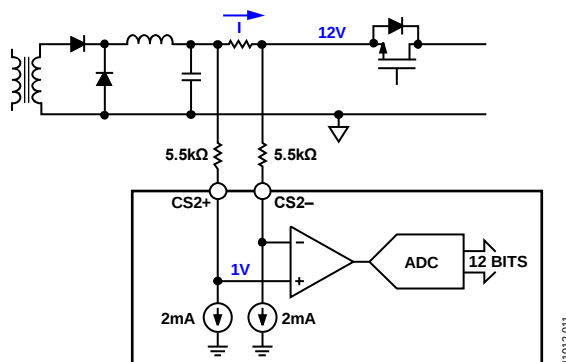


図 16. ハイサイド抵抗電流検出

CS2+ 入力と CS2-入力を使用しない場合は、直接 PGND に接続して CS2±をハイサイド電流検出モードに設定してください (レジスタ 0x27[2] = 1)。

CS2 ADC は CS2 の電流の測定に使用されます。測定値の平均値が 2.62ms 毎に非同期式に求められます。この平均測定値は、CS2 の OCP フォルトのような故障の判断に使用されます。また、ADP1046A は CS2 の 12 ビットの測定値を 10ms 毎にレジスタ 0x18 に書き込みます。

電圧検出と制御ループ

ADP1046A の複数の電圧検出入力は、電源出力のモニタリング、制御、保護に使われます。この情報は、I²C インターフェースを介して得ることができます。すべての電圧検出ポイントをデジタル的に校正して、外付け部品に起因する誤差を最小限に抑えることができます。このキャリブレーションは製造現場で実行可能で、設定値は ADP1046A の EEPROM に格納することができます（詳細については「電源のキャリブレーションと調整」のセクション参照）。

電圧のモニタリングでは、VS1、VS2、VS3 の電圧値レジスタ（それぞれ、レジスタ 0x15、レジスタ 0x16、レジスタ 0x17）が 10ms 毎に更新されます。ADP1046A は 10ms の間に各 ADC のサンプルを格納し、10ms の時間の終わりに平均値を出力します。したがって、これらのレジスタを少なくとも 10ms 毎に読み出せば、真の平均値が読み出されます。

ADP1046A は、OrFET の状態に応じて VS1 と VS3± の 2 つの異なる検出ポイントを使用します。OrFET がオフすると、制御ループが VS1 を介してレギュレーションされます。OrFET がオンすると、制御ループが VS3± の差動電圧検出によりレギュレーションされます。この検出メカニズムがローカルおよびリモートの電圧検出を効果的に実行します。

ADP1046A の制御ループは、特許取得済みのマルチパス・アーキテクチャを特長としています。高精度 ADC と高速 ADC の 2 つの ADC により出力電圧が同時に変換されます。完全な信号を復元してデジタル・フィルタで処理することで、高性能で価格競争力の高いソリューションを実現します。

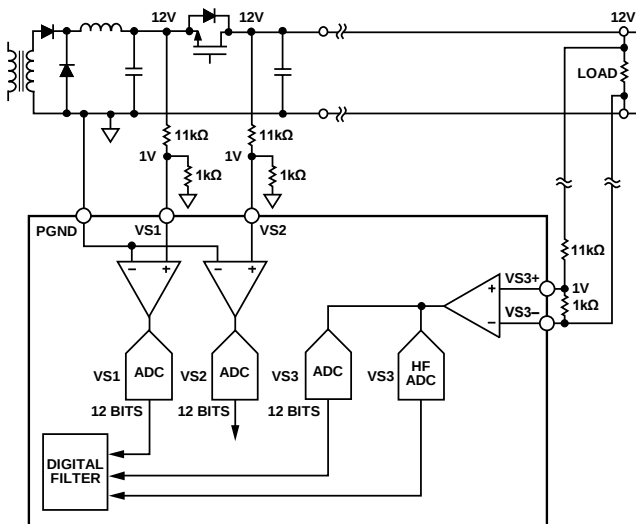


図 17. 電圧検出構成

ADC

ADP1046A の帰還ループでは、動作周波数が 1.56MHz の低周波（LF）ADC と 25MHz の高周波（HF）ADC の 2 種類の Σ-Δ ADC が使用されます。

Σ-Δ ADC は分解能が 1 ビットで、従来のフラッシュ ADC と異なる動作をします。得られる等価分解能は、

Σ-Δ ADC の出力ビット・ストリームのサンプリング時間に応じて決まります。

Σ-Δ ADC は、量子化ノイズが周波数スペクトルの全域で一様ではない点でナイキスト・レート ADC と異なります。周波数が低下するとノイズは小さくなり、周波数が上昇するとノイズは大きくなります（図 18 参照）。

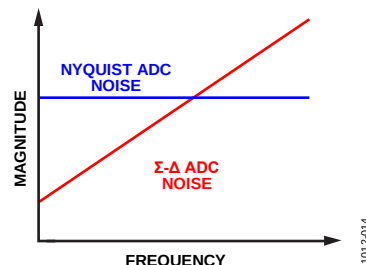


図 18. ナイキスト・レート ADC と Σ-Δ ADC のノイズ性能

低周波 ADC は約 1.56MHz で動作します。既定の帯域幅の場合、等価分解能を以下のように算出できます。

$$\ln(1.56\text{MHz}/\text{BW})/\ln(2) = N \text{ ビット}$$

たとえば、帯域幅が 95Hz のとき、等価分解能/ノイズは次のようになります。

$$\ln(1.56\text{MHz}/95)/\ln(2) = 14 \text{ ビット}$$

帯域幅が 1.5kHz のとき、等価分解能/ノイズは次のようになります。

$$\ln(1.56\text{MHz}/1.5\text{kHz})/\ln(2) = 10 \text{ ビット}$$

高周波 ADC は 25MHz のクロックを備えています。この ADC にはくし形フィルタ処理が行われ、スイッチング周波数（ f_{sw} ）でデジタル・フィルタへの出力が行われます。数種のサンプル周波数での等価分解能を表 5 に示します。

表 5. さまざまなスイッチング周波数での高周波 ADC の等価分解能

f_{sw} (kHz)	高周波 ADC の分解能
48.8	9 bits
97.7	8 bits
195.3	7 bits
390.6	6 bits

高周波 ADC の動作範囲は $\pm 30\text{mV}$ です。基本のスイッチング周波数（ f_{sw} ）を 100kHz（8 ビット高周波 ADC の分解能）とすると、 f_{sw} が 200kHz に上昇した場合（7 ビット高周波 ADC の分解能）、量子化ノイズは 0.9375mV（1LSB）です。 f_{sw} を 400kHz に上げると、量子化ノイズも 3.75mV に増加します（1LSB = $2 \times 30\text{mV}/2^6 = 0.9375\text{mV}$ ）。

VS1 の動作（VS1）

VS1 は、LC 段の出力（OrFET の前段）で電源電圧のモニタリングと保護に使用されます。電源レール上の VS1 検出ポイントには、VS1 ピンでの公称入力電圧を 1V にする外付けの抵抗分圧器が必要です（図 17 参照）。抵抗分圧器は、VS1 ADC の入力範囲が 0V~1.6V（12 ビット測定値）であるため必要です。この分圧信号は内部で低速 Σ-Δ ADC に入力されます。VS1 ADC の出力は

デジタル・フィルタに入力され、10ms 毎にレジスタ 0x15 での更新も行われます。VS1 の信号は PGND を基準としています。OrFET がオフすると、電源は VS3± 検出ポイントではなく VS1 検出ポイントからレギュレーションされます。

VS2 の動作 (VS2)

VS2 は VS1 と組み合わせて使い、OrFET ゲート駆動のターンオンを制御します。電源レール上の VS2 検出ポイントには、VS2 ピンでの公称同相信号を 1V にする外付けの抵抗分圧器が必要です (図 17 参照)。

抵抗分圧器は、VS2 ADC の入力範囲が 0V~1.6V であるため必要です。この分圧信号は内部で VS2 ADC に入力されます。VS2 ADC の出力は VS2 の電圧値レジスタ (レジスタ 0x16) に入力されます。VS2 の信号は制御ループには使用されず、OrFET のオン/オフ (「OrFET 制御 (GATE ピン)」のセクション参照) ならびに電圧連続性フラグの制御に使用されます。ADP1046A の OrFET 機能を使用しない場合は、VS2 の入力を PGND に直接接続することを推奨します。VS2 の値は 10ms 毎にレジスタ 0x16 で更新されます。

VS3 の動作 (VS3+、VS3-)

VS3± は、リモート負荷電圧のモニタリングと保護に使用されます。VS3± は完全な差動入力であり、電源制御ループのメイン帰還検出ポイントです。電源レール上の VS3± 検出ポイントには、VS3± ピンでの公称同相信号を 1V にする外付けの抵抗分圧器が必要です (図 17 参照)。抵抗分圧器は、VS3 ADC の入力範囲が 0V~1.6V であるため必要です。この分圧信号は内部で高周波 (HF) ADC に入力されます。VS3 ADC の出力はデジタル・フィルタに入力され、10ms 毎にレジスタ 0x17 での更新も行われます。HF ADC はまた電源の高周波帰還ループにもなります。

電圧ラインのフィードフォワードおよび ACSNS

ADP1046A は、電圧ラインの過渡性能を改善するために電圧ラインのフィードフォワード制御をサポートしています。ACSNS の値はデジタル・フィルタの出力の分割に使用され、その結果は PWM エンジンに入力されます。入力電圧信号は、絶縁トランスの 2 次巻線で検出できるもので、スイッチ・ノードでの電圧スパイクを除去するために RCD ネットワークでフィルタ処理する必要があります (図 19 参照)。

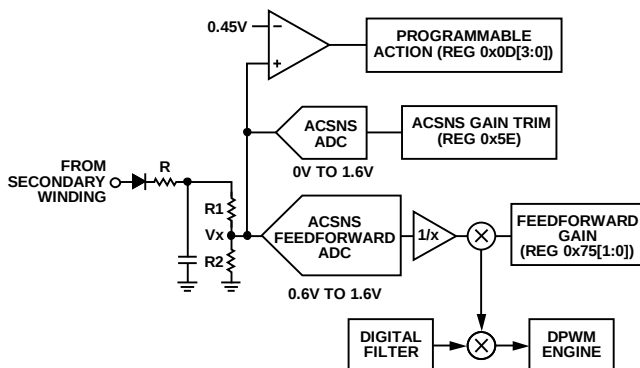


図 19. フィードフォワード構成

ACSNS の電圧は、公称入力電圧を加えたら必ず 1V に設定する必要があります。ACSNS ADC のサンプリング時間は 10μs なので、入力電圧に基づく PWM 出力の変更をこの時間単位で判断します。

フィードフォワード方式では、変調値を ACSNS の電圧に基づいて変更します。ACSNS の入力電圧が 1V のとき、ライン・フィードフォワードは機能しません。たとえば、デジタル・フィルタ出力が変わらず、ACSNS の電圧が元の値の 50% に変更された場合 (変更後も 0.5V 超)、OUTx の立下がりエッジの変調は 2 倍になり、電圧が 2 倍になれば変調は半分になります (図 20 参照)。電圧ラインのフィードフォワード機能はオプションで、レジスタ 0x75 で設定できます。

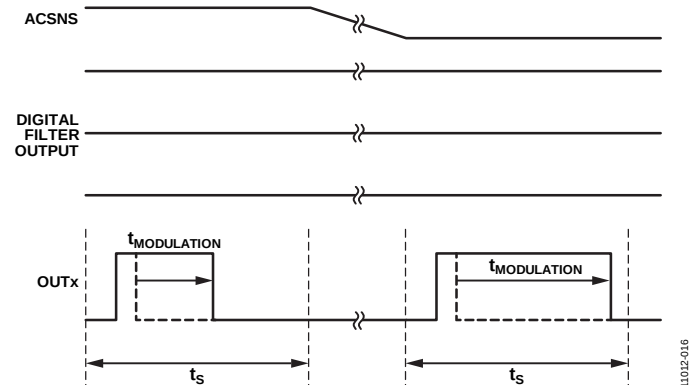


図 20. 変調時のフィードフォワード制御

ACSNS レベル・コンパレータも同じピンに接続され、ピンの電圧が各スイッチング時間内に 0.45V 未満になると、ACSNS フォルトをフラグで示します。ACSNS レベル・コンパレータは、ノードがスイッチングしているかの検出に使用します。

デジタル・フィルタ

電源のループ応答は、プログラマブルな内蔵デジタル・フィルタを使って変更することができます。タイプ 3 フィルタ・アーキテクチャが組み込まれています。特定のアプリケーション向けのループ応答に調整するときは、低周波ゲイン、ゼロ点位置、極位置、高周波ゲインをすべて個別に設定することができます (「デジタル・フィルタ設定レジスタ」のセクション参照)。フィルタを設定するときは、アナログ・デバイセズのソフトウェア GUI を使用することを推奨します。このソフトウェア GUI は、ボード線図でフィルタ応答を表示し、電源のすべての安定性基準の計算に使用することができます。

検出電圧からデューティサイクルまで、フィルタの伝達関数は次のように z 領域で表示されます。

$$H(z) = \left(\frac{d}{202.24 \times m} \times \frac{z}{z-1} \right) + \left(\frac{c}{7.68} \times \frac{z-b}{z-a} \right)$$

ここで、

$a = \text{filter_pole_register_value}/256$ 。

$b = \text{filter_zero_register_value}/256$ 。

$c = \text{high_frequency_gain_register_value}$ 。

$d = \text{low_frequency_gain_register_value}$ 。

$$\begin{aligned} m=1, & \quad 48.8 \text{ kHz} \leq f_{\text{SW}} < 97.7 \text{ kHz}_o \\ m=2, & \quad 97.7 \text{ kHz} \leq f_{\text{SW}} < 195.3 \text{ kHz}_o \\ m=4, & \quad 195.3 \text{ kHz} \leq f_{\text{SW}} < 390.6 \text{ kHz}_o \\ m=8, & \quad 390.6 \text{ kHz} \leq f_{\text{SW}_o} \end{aligned}$$

f_{sw} はスイッチング周波数。

z 領域の値を s 領域に変換するために、次の双一次変換式を H(z) 式に代入すると、

$$z(s) = \frac{2f_{SW} + s}{2f_{SW} - s}$$

デジタル・フィルタは、位相遅延要素を制御ループに追加します。デジタル・フィルタ回路は各スイッチング・サイクルの始めにデューティサイクル情報をPWM回路に渡します（デューティサイクル情報の判断を連続的に行うアナログ・コントローラとは異なります）。このため、フィルタ・ブロックにより発生する位相マージンの位相遅延増分 Φ は、

$$\Phi = 360 \times (f_C/f_{SW})$$

ここで、
 f_c はクロスオーバー周波数。
 f_{sw} はスイッチング周波数。

スイッチング周波数の 1/10 で、位相遅延は 36°になります。GUI では、この位相遅延を考慮しています。ただし、ゲート・ドライバ遅延や伝搬遅延などの他の遅延は考慮していないことに注意してください。

2組のレジスタ群によって、2種類のフィルタ応答を設定することができます。ノーマル・モード・フィルタと呼ばれるメイン・フィルタは、レジスタ 0x60～レジスタ 0x63 を設定することにより制御されます。軽負荷モード・フィルタは、レジスタ 0x64～レジスタ 0x67 を設定することにより制御されます。ADP1046A は、CS2±で測定された出力電流が負荷電流の閾値（レジスタ 0x3B[2:0]で設定）を下回る場合にのみ軽負荷モード・フィルタを使用します。

アナログ・デバイセズのソフトウェア GUI は、ノーマル・モード・フィルタと同じ方法で軽負荷モード・フィルタを設定することができます。このため、GUI の使用を推奨します。

さらに、ソフトスタート・プロセス時は、ソフトスタート・フィルタをノーマル・モード・フィルタおよび軽負荷モード・フィルタとともに使用することができます。ソフトスタート・フィルタはレジスタ 0x71～レジスタ 0x74 を使って設定します。詳細については、「ソフトスタート」のセクションを参照してください。

フィルタ遷移

出力電圧グリッチを発生させずにフィルタ間でシームレスな遷移を行うために、ADP1046Aはプログラマブルなフィルタ遷移をサポートしています。この機能により、フィルタ間の遷移を緩やかに進めることができます。フィルタ遷移はレジスタ 0x7A[2:0]で設定します。

PWM と同期整流出力 (OUTA、OUTB、OUTC、OUTD、OUTAUX、SR1、SR2)

PWM 出力と SR 出力は、1 次側ドライバと同期整流ドライバの制御に使用します。これらの出力は、フルブリッジ、位相シフト ZVS 構成、およびインターリーブされた 2 スイッチのフォワード・コンバータ構成などの複数の電源制御方式に使用することができます。立ち上がりエッジと立下がりエッジ間の遅延は、個別に設定できます。貫通と相互導通を防止するには特別な注意が必要です。

これらの出力を設定するときは、アナログ・デバイスズのソフトウェア GUI を使用することを推奨します。図 21 に、同期整流を備えたフルブリッジ位相シフト方式を駆動する構成例を示します。

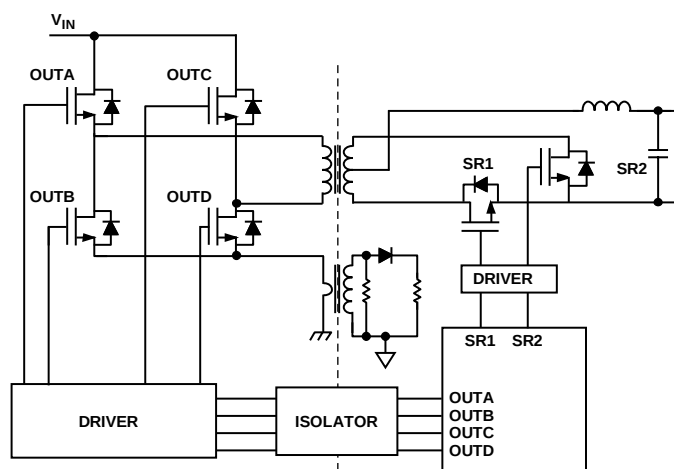


図 21. 同期整流付きフルブリッジ、位相シフト方式の PWM ピン
割当て

PWM 出力と SR 出力はすべて互いに同期します。このため、これらの出力の複数を変更する場合、すべてのレジスタを更新した後に、その情報を ADP1046A に同時にラッチさせることが重要です。再設定時、出力は一時的に無効になります。特別な命令を ADP1046A に送って、新しいタイミング情報が確実に同時に設定されるようにします。これを行うには、レジスタ 0x7F のビット 1 をセットします。PWM 出力を使用しない場合は、無効にしておくことを推奨します。

OUTAUXは追加のPWM出力ピンです。OUTAUXを使用すると、PWM信号を、他の6本のPWM出力とは異なる周波数でさらに1つ生成することができます。この信号は、フルブリッジ・コンバータの前に接続する降圧コントローラのような追加電源コンバータ・ステージの駆動に使用することができます。また、OUTAUXはクロック・リファレンス信号としても使用できます。

プログラマブルな各種スイッチング周波数と PWM タイミングの詳細については、「PWM レジスタおよび同期整流器タイミング・レジスタ」のセクションを参照してください（レジスタ 0x3F～レジスタ 0x5C）。

同期整流

同期整流を使用する場合、SR1 と SR2 を PWM 制御信号として使用することを推奨します。これらの PWM 信号は、他の PWM 出力と同様に設定することができます。

同期整流の PWM 出力にはオプションのソフトスタートを適用可能です。SR ソフトスタートは、レジスタ 0x54[1:0]で設定できます。

- SR ソフトスタートを無効にすると（レジスタ 0x54[0] = 0）、SR 信号が直ちにオンして PWM デューティサイクルの値が最大になります。
- SR ソフトスタートを有効にすると（レジスタ 0x54[0] = 1）、SR 信号がゼロ・デューティサイクルから希望するデューティサイクルまで、スイッチング・サイクル毎に 40ns ずつ上昇します。

SR 信号を徐々に上昇させる利点は、SR FET をソフトスタートなしでオンした場合に発生する出力電圧ステップを小さくできることです。SR 信号を直ちに完全にオンする利点は、負荷ステップにより発生する過渡電圧の低減に役立つことです。

レジスタ 0x54[1]を使用すると、SR ソフトスタートを 1 回だけ発生させるか（SR 信号が最初に有効になったとき）、または SR 信号が有効になるたびに、たとえば、システムが軽負荷モードに出入りするたびに発生させるかを設定できます。

ADP1046A で SR ソフトスタートを使うように設定するときは、SR1 の立下がりエッジ (t_{10}) を SR1 の立ち上がりエッジ (t_9) より小さい値に設定し、かつ SR2 の立下がりエッジ (t_{12}) を SR2 の立ち上がりエッジ (t_{11}) より小さい値に設定することにより、この機能が正しく動作するようにします。SR ソフトスタートは、レジスタ 0x0F[7]を 1 に設定した場合も無効になります。

同期整流 (SR) 遅延

ADP1046A は、絶縁方式の DC/DC コンバータに最適です。PWM 信号が絶縁バリアを越えるたびに、絶縁部品に起因する伝搬遅延が追加されます。ADP1046A では、レジスタ 0x79[5:0]を使って調整可能な遅延 (5ns 毎に 0ns~315ns) を設定することができます。この遅延を使って SR1 と SR2 を時間的に後ろに移動させて、絶縁部品による追加遅延を補償します (図 57 参照)。このようにして、すべての PWM 出力のエッジを揃えることが可能で、SR 遅延を固定デッドタイムとして個別に加えることができます。

軽負荷モード

ADP1046A は、CS2 の値を基に、軽負荷状態で PWM 出力を無効にするように構成することができます。SR1、SR2、および他の PWM 出力のオン/オフ用に軽負荷モードの閾値を設定するには、レジスタ 0x3B とレジスタ 0x7D を使用します。レジスタ 0x3B で設定された軽負荷閾値を下回ると、SR 出力は無効になります。他のいずれの PWM 出力も、この閾値を下回るとシャットダウンするように設定することができます。ADP1046A は、軽負荷モードにより、軽負荷時に位相数の切り替えを自動的に行うインターリーブ方式を使用できます。

設定した閾値同士が近すぎるため軽負荷モードと通常モード間でシステムが発振しないようにするために、バウンス防止をレジスタ 0x7D[5:4]で設定することができます。このバウンス防止により、設定時間内のデバイスの状態変更を防止できます。

SR を有効にする場合の速度は、レジスタ 0x7D[3:2]により 37.5 μ s~300 μ s の範囲で 4 段階に設定できます。このため、負荷ステップの場合に、SR 信号（および一時的に無効になっているすべての PWM 出力）を、この信号で制御している FET の損傷を防ぐのに十分な速さでオンすることを確実にします。

軽負荷モードでは、軽負荷モード用のデジタル・フィルタも使用されます。

変調限界値

変調限界値レジスタ（レジスタ 0x2E）の設定により、デューティサイクルの変調上限値を任意の PWM 信号に適用できるので、PWM 出力の変調範囲を制限することができます。変調を有効にすると、変調の上限値がすべての PWM 出力に一括適用されます。図 22 に示すように、この上限値は、変調方向の設定後、変調されたエッジがデフォルトのタイミングから変動する最大時間です。デューティサイクルの下限値は設定されません。したがって、変調幅が最小の場合を基に立ち上がりエッジと立下がりエッジを設定する必要があります。

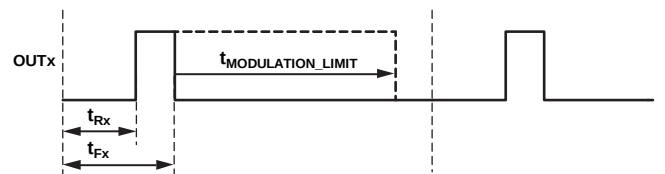


図 22. 変調限界値の設定

レジスタ 0x2E の LSB は、スイッチング周波数に応じてその都度異なる時間ステップ幅に対応します (図 46 参照)。変調のエッジは 1 スwitchング・サイクルを超えることはできません。

この機能の設定には ADP1046A で提供される GUI を使用することを推奨します (図 23 参照)。



図 23. 設定変調限界値（変調範囲を矢印で表示）

ソフトスタート

ADP1046A のオン/オフは、レジスタ 0x2C の設定内容に応じて、ハードウェアの PS_ON ピンとソフトウェアの PS_ON レジスタ、またはそのいずれかで制御されます。

電源をオンにする（PS_ON を有効にする）と、以下のソフトスタート手順が発生します（図 24 参照）。

1. 時間 t_0 で PS_ON 信号が有効になります。このデバイスを常にオンであるように設定すると（レジスタ 0x2C[7:6] = 00）、V_{CORE} が UVLO を超えるとすぐに、PS_ON が有効になります。
2. ADP1046A は PS_ON 遅延の設定時間だけ待ちます（レジスタ 0x2C[4:3] で設定）。
3. ソフトスタートが開始し、内部デジタル・リファレンスがランプアップします。ソフトスタートの全ランプ時間は、レジスタ 0x5F[7:5] を使って 5ms ~ 100ms の範囲で設定できます。
4. プリチャージ機能からのソフトスタートを有効にすると（レジスタ 0x5F[4] = 1）、（OrFET のステータスに応じて）VS1 または VS3± で検出される出力電圧の値からソフトスタートのランプが始まり、ランプ時間は比例して短くなります。プリチャージ機能からのソフトスタートを無効にすると、ソフトスタートのランプ時間はレジスタ 0x5F[7:5] で設定値になります。
5. 電源電圧が上昇して VS1 の低電圧保護（UVP）限界値（レジスタ 0x34[6:0] で設定）を超えると、UVP フラグがリセットされます。
6. OrFET 電圧がイネーブル閾値に達すると、OrFET がオンします（OrFET のイネーブル閾値はレジスタ 0x30[6:5] で設定）。レギュレーション・ポイントが VS1 から VS3± に切り替わります。
7. 他の故障状態がない場合、PGOODx 信号は設定されたバウンス防止時間だけ待った（レジスタ 0x2D[7:4] で設定）後、有効になります。ソフトスタート・フラグのマスクをレジスタ 0x7B およびレジスタ 0x7C で解除する必要があります。
8. OrFET を使用しない場合は、VS3 を使って電源が絶えずレギュレーションされるように構成する必要があります（レジスタ 0x33[2] = 1）。VS2 は OVP の補助的メカニズムとして使用することができます。

ソフトスタート時の故障状態

ソフトスタート時に故障状態が発生すると、コントローラは、フラグがブランク設定でない限り、応答します。ソフトスタート時のフラグのブランキングはレジスタ 0x0F で設定します。ACSNS フラグはソフトスタート時、常にブランクにされます。OTP、FLAGIN、OVP、OCP の故障フラグは、レジスタ 0x0F の対応するビットを設定することにより、ブランクにすることができます。

UVP フォルトは、ソフトスタート時、バウンス防止の間のみブランクにされます。このため、ソフトスター

ト時間がバウンス防止時間より長いときは、UVP フォルトがトリガされて先頭フラグ ID レジスタ（レジスタ 0x10）に格納されます。ラッチされた故障レジスタと先頭フラグ ID レジスタを読み出すと、誤ってトリガされた UVP 状態が解消されます。

ソフトスタート時のデジタル補償フィルタ

ADP1046A は、出力電圧のランプアップ時にダイナミック応答の微調整と最適化に使用できる専用のソフトスタート・フィルタ（SSF）を備えています。

ADP1046A は、PS_ON 信号が有効になった後内部リファレンスをランプアップする前に、VS1 と VS2 間の電圧差を調べて OrFET をオンするか、またはオフするかを判断します。このステップがあるのは、レギュレーション・ポイントが VS1 と VS3± のどちらかを明らかにするためです（図 24 参照）。

- レギュレーション・ポイントが VS1 の場合、ソフトスタート・フィルタはランプアップ時にデフォルトで使用されます。ソフトスタートのランプが終了すると、デバイスはノーマル・モード・フィルタ（NMF）に切り替えます。
- レギュレーション・ポイントが VS3± の場合、デバイスはノーマル・モード・フィルタ（NMF）を使ってランプを開始します。

いずれの場合も、電圧が公称出力電圧値の 12.5% に達すると、負荷電流が評価されます。

- 負荷電流が軽負荷モードの閾値を下回ると、デバイスは軽負荷モード・フィルタ（LLF）に切り替えます。
- 負荷電流が軽負荷モードの閾値を上回ると、負荷電流の変化によりその後システムが軽負荷モードに入ったとしても、ソフトスタートのランプが終了するまではノーマル・モード・フィルタが使用されます。

レジスタ 0x2C を使って、ソフトスタート時の各種フィルタの使用を以下のように設定することができます。

- ソフトスタート・フィルタを強制使用する（ビット 0）。このオプションにより、レギュレーション・ポイントが VS3 のときでもソフトスタート・フィルタが強制的に使用されます。場合によっては、このオプションでランプアップ電圧をより細かく調整することができます。このオプションは OrFET を使用しない場合も選択できます。
- ソフトスタート時の軽負荷モードを無効にする（ビット 1）。このオプションにより、軽負荷条件に合致するときでもソフトスタート時に軽負荷モード・フィルタを使用できなくなります。ソフトスタートのランプが終了したら、軽負荷モード・フィルタを使用できます。

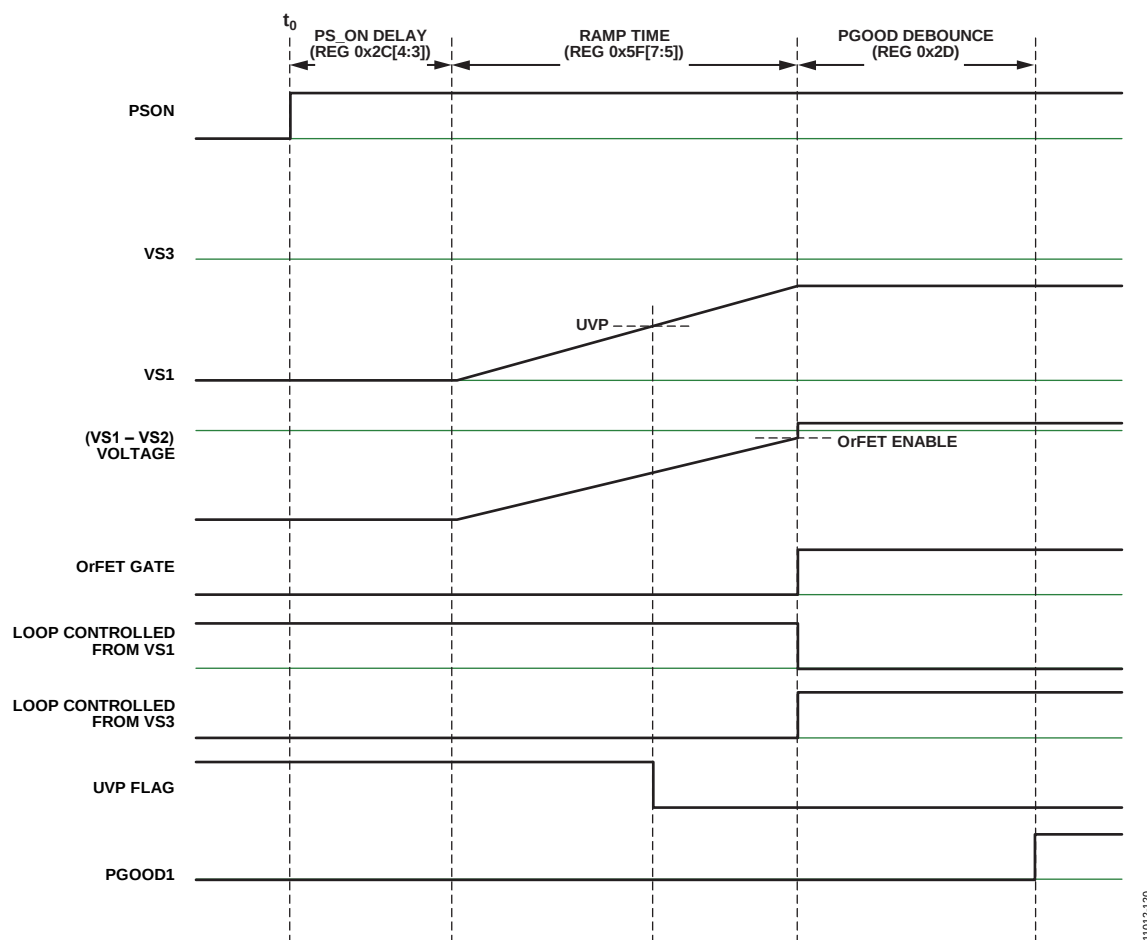


図 24. ソフトスタートのタイミング図

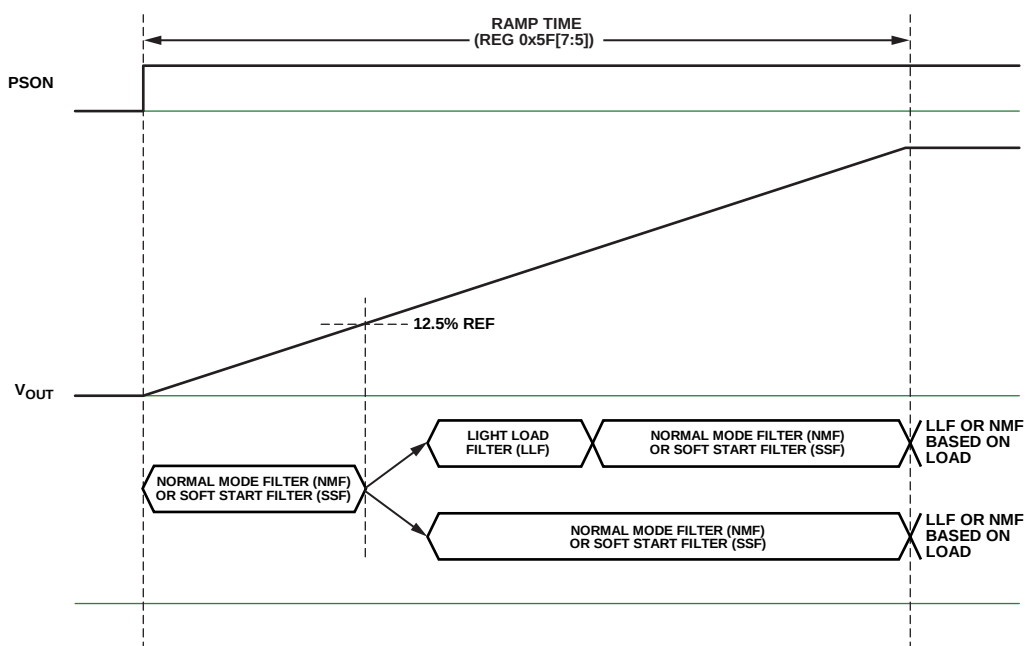


図 25. スタートアップ時のフィルタ・シーケンス

OrFET 制御 (GATE ピン)

GATE 制御信号は外付け OrFET を駆動します。OrFET は、冗長システムで電源に他の電源の出力端子から電力が流入するのを防ぐために使用します。これにより、電力がその電源からのみ流れるようにし、ユニットをホットスワップできるようになります。

GATE ピンはトータムポール出力で、プルアップ抵抗が不要です。このピンの極性は、レジスタ 0x2D[1]を介してアクティブ・ハイまたはアクティブ・ローに設定できます。GATE 出力は CMOS レベル (0V~3.3V) です。OrFET のオン/オフには外付けドライバが必要です。

OrFET のターンオン

OrFETのターンオン・プロセスは、VS1とVS2間の電位差により制御されます。このため、OrFETの機能が適切に実行されるように、VS1とVS2の測定値を正確に校正する必要があります。

OrFETのターンオン回路がVS1とVS2の電位差を検出します(図26参照)。VS1からVS2への順方向電圧降下がレジスタ0x30[6:5]で設定されたプログラマブルなOrFETイネーブル閾値よりも大きい場合、OrFETはイネーブルされます。OrFETイネーブル閾値は公称出力電圧の0%、-0.5%、-1%、-2%に設定することができます。

OrFET のターンオフ

OrFET をオフにする方法には次の 3 つがあります。

- 故障フラグ。故障設定レジスタ（レジスタ 0x08～レジスタ 0x0D）のどのフラグも、OrFET をオフする動作を含めて設定することができます。OrFET は、フラグがセットされている限りオフのままです。

- OrFET のプログラマブル・コンパレータ。CS2±に存在する逆電圧がレジスタ 0x30[4:2]で設定されたアナログ・コンパレータの閾値を超える場合、OrFET はオフします。このコンパレータは、レジスタ 0x30[0]で無効にすることができます。
- GATE 信号の無効化。レジスタ 0x5D[0]を 1 にすると GATE 信号が無効になり、VSx の帰還ポイントへの影響がなくなります。

OrFET の GATE 制御とレギュレーション・ポイント

レジスタ 0x30[6:5]で設定された閾値に電圧が達すると、GATE 信号が有効になります。GATE 信号は出力電圧のレギュレーションという非常に重要な機能、すなわち制御ループの検出ポイントを制御します。

- GATE 信号が無効になると、OrFET はオフし、電圧レギュレーション検出ポイントは VS1 になります。
- GATE 信号が有効になると、OrFET はオンし、電圧レギュレーション検出ポイントは VS3±になります。

12V アプリケーションの推奨セットアップ

通常の動作モードの場合、以下の手順に従います。

- $12V < V_{OUT} < OVP$ のとき、高速 OrFET 制御回路を使って OrFET をオフします。
- $V_{OUT} > OVP$ のとき、負荷 OVP を使って OrFET をオフします。

軽負荷モードの場合、以下の手順に従います。

- $12V < V_{OUT} < OVP$ のとき、ACSNS を使って OrFET をオフします。
- $V_{OUT} > OVP$ のとき、負荷 OVP を使って OrFET をオフします。

12V アプリケーションで内部短絡が発生した場合、CS1 OCP または VS1 UVP を使ってユニットをシャットダウンさせた後に再起動します。

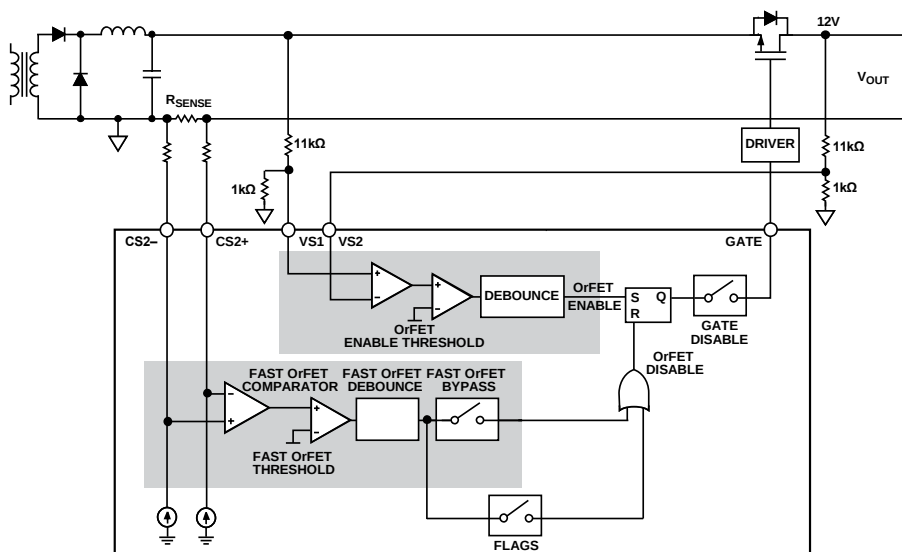


図 26. OrFET 制御回路の詳細内部回路

OrFET 動作例

動作中バスへのホットプラグ

新しい PSU が動作中の 12V バスに接続されます (黄)。内部電圧 VS1 (赤) が、OrFET がオンする前にランブアップします。OrFET がオンすると (緑)、新しい PSU の電流が負荷に流れます (青)。新しい PSU とバスの間のターンオン電圧閾値は設定可能です。

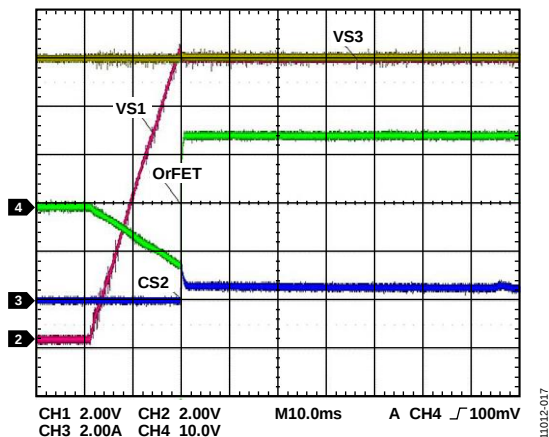


図 27. 動作中バスへのホットプラグ (黄: バス電圧、赤: VS1 電圧、緑: OrFET 制御信号、青: 負荷電流)

マスターの暴走

バス (黄) 上の PSU が故障状態にあるため、バス電圧が OVP 閾値を超えて上昇します。正常な PSU が OrFET (緑) をオフさせて、内部電圧 VS1 (赤) をレギュレーションします。電源の故障状態が解消されると、バス電圧が低下します。正常な PSU の OrFET が直ちにオンし、正常な PSU が VS3±からレギュレーションを再開します。

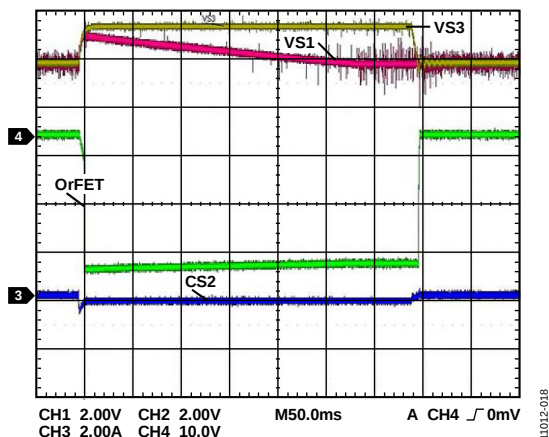


図 28. マスターの暴走 (黄: バス電圧、赤: VS1 電圧、緑: OrFET 制御信号、青: 負荷電流)

短絡

出力整流の 1 つが故障した場合、OrFET が迅速にオフしないとバス電圧が壊れます。高速 OrFET コンパレータは、この故障からシステムを保護するために使用されます。図 29 に、OrFET の前段の出力コンデンサでの短絡を示します。CS2±の高速 OrFET の閾値がトリガされると、OrFET (緑) がオフします。内部レギュレーション・ポイント VS1 (赤) が 12V に戻り、OrFET (緑) が再度イネーブルされます。PSU は負荷 (青) への電流供給を開始します。

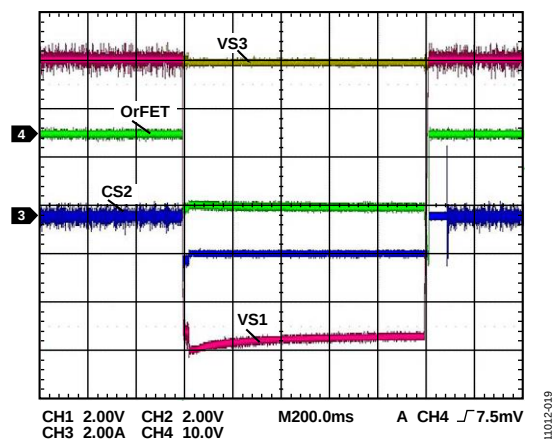


図 29. 内部短絡 (黄: バス電圧、赤: VS1 電圧、緑: OrFET 制御信号、青: 負荷電流)

軽負荷モードの動作

PSU 1 は、軽い負荷で電圧を 12V から 12.1V に上昇させます (黄)。PSU 1 と PSU 2 は CCM であるため、PSU 1 は電流を放出し、PSU 2 は電流を引き込みます (青)。PSU 2 では、OrFET をオフさせて逆方向電流が流れないようにします。PSU 1 と PSU 2 は CCM モードにあるため、この遷移中 OrFET 電圧 (緑) は安定していることに注意してください。

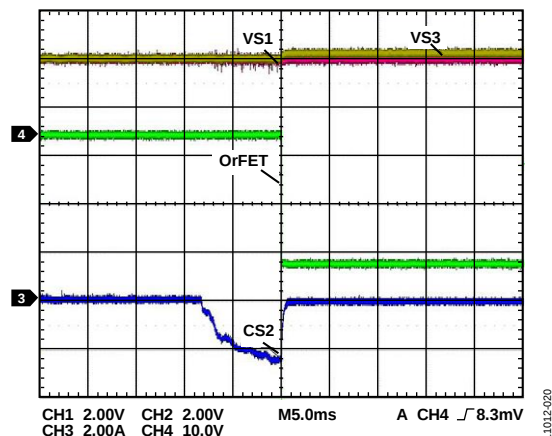


図 30. 軽負荷モード (黄: バス電圧、赤: VS1 電圧、緑: OrFET 制御信号、青: 負荷電流)

VDD

VDD が印加されると、デバイスが電源をレギュレーションできるようになるまでに一定の時間が必要です。VDD がパワーオン・リセット・レベルと UVLO レベルを超えて上昇すると、VCORE が動作ポイント 2.5V に達するのに約 20 μ s が必要です。次に、EEPROM の内容がレジスタにダウンロードされます。ダウンロードにはさらに約 25 μ s かかります。この EEPROM のダウンロード後、ADP1046A は動作できるようになります。

ADP1046A がこの時点でパワーアップするように設定されている場合（PSON は有効）、ソフトスタートの立上げが始まります。設定されていない場合、デバイスは PSON 信号を待ちます。

VDD と AGND の間に、適切なデカップリング・コンデンサをできるだけデバイスに近づけて配置して、トレース長を極力短くする必要があります。VCORE ピンをリファレンスとして、あるいは抵抗分圧器を使った他のロジック・レベルの生成に使用しないことを推奨します。

VDD/VCORE の OVLO

ADP1046A は、自分自身の電源レールに対する過電圧保護機能（OVP）を備えています。VDD 電圧または VCORE 電圧が OVLO 閾値を超えて上昇する場合の応答を、レジスタ 0x0E[7:5] で設定することができます。VDD/VCORE の OVP フォルトが発生したら、EEPROM の内容をダウンロードしてからデバイスを再起動する（レジスタ 0x0E[6] を 1 に設定）ように応答を設定することを推奨します。

パワーグッド

ADP1046A には 2 本のオープン・ドレインのパワーグッド・ピンがあります。PGOOD1 に設定した故障状態が見られるときは、この PGOOD1 ピンをローに駆動し、PGOOD2 に設定した故障状態が見られるときは、PGOOD2 ピンをローに駆動します。

PGOOD1 と PGOOD2 のピンとフラグを以下のフラグに応答するように設定することができます。

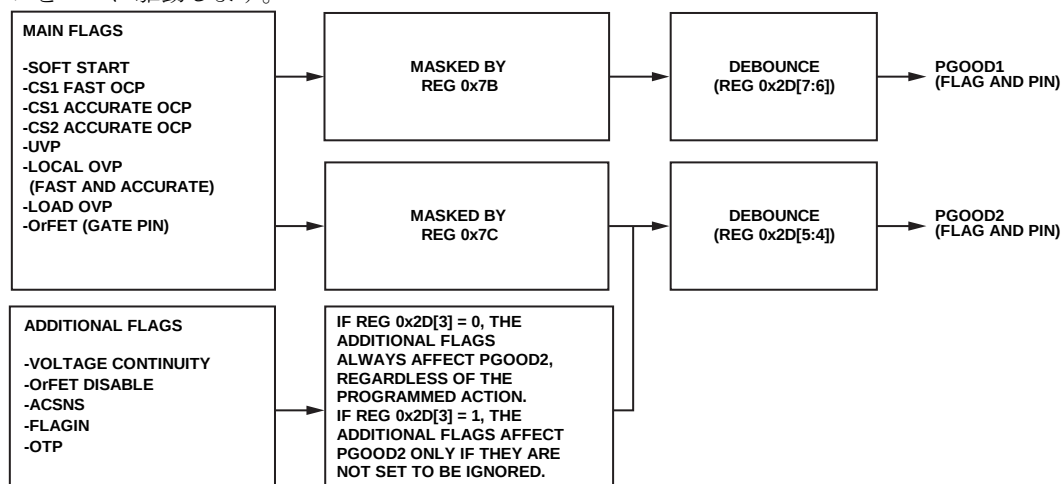
- ソフトスタート
- CS1 高速 OCP
- CS1 高精度 OCP
- CS2 高精度 OCP
- UVP
- ローカル OVP（高速および高精度）
- 負荷 OVP
- OrFET（GATE ピン）

これらのフラグのマスキングは、レジスタ 0x7B（PGOOD1）およびレジスタ 0x7C（PGOOD2）で設定します。フラグをマスクすると、そのフラグが PGOOD1 または PGOOD2 をセットすることはありません。

以下に示す追加フラグも、レジスタ 0x2D[3] の設定に従って無条件に、またはフラグの応答に基づいて PGOOD2 ピンをセットすることができます（図 31 および表 45 参照）。

- 電圧連続性
- OrFET 無効
- ACSNS
- 外部フラグ（FLAGIN ピン）
- OTP

これらの追加フラグは、レジスタ 0x2D[3] で、PGOOD2 を常にセットするか、またはフラグの動作がそのフラグの故障設定レジスタで「無視」に設定されていない場合のみ PGOOD2 をセットするように設定できます（表 12 および表 13 参照）。



11012-127

電流シェアリング

ADP1046A はアナログ電流シェアリングとデジタル電流シェアリングをサポートしています。ADP1046A は電流シェアリングに CS2 の電流情報を使用します（レジスタ 0x29[3] で設定）。

アナログ電流シェアリング

アナログ電流シェアリングでは、内部電流検出回路を使って、電流測定値が外付けの電流誤差アンプに出力されます。したがって、追加の差動電流アンプは不要です。

CS2 の電流測定値を、電流検出 ADC の出力であるデジタル・ビット・ストリームとして SHAREo ピンに出力することができます（図 33 参照）。 Σ - Δ ADC のビット・ストリームは、このユニットから負荷に供給される電流に比例します。外付け RC フィルタを使ってこのデジタル・ビット・ストリームをフィルタ処理すると、電流情報はアナログ電圧に変換されます。アナログ電圧は、このユニットから負荷に供給される電流に比例します。この電圧をシェア・バス電圧と比較することができます。ユニットが十分な電流を供給していない場合、VS3 $\pm$ 帰還ポイントに対して誤差信号を出力することができます。この信号により、ユニットは出力電圧を上げて、負荷への電流を増やします。

デジタル・シェア・バス

デジタル・シェア・バス方式は、原理的に従来型のアナログ・シェア・バス方式と似ています。違いは、電流を表すために、シェア・バス電圧の代わりにデジタル・ワードを使う点です。

ADP1046A は、デジタル・ワードをシェア・バスに出力します。デジタル・ワードは、電源が供給している電流の関数になっています（電流が多いほど、デジタル・ワードが大きくなります）。

電流量が最大の電源がバスを制御します（マスター）。供給電流の少ない電源（スレーブ）には、他の電源の負荷への供給電力が自分より多いことが分かるようになっていきます。

次のサイクルで、スレーブは出力電圧を上げて自分の電流出力分を増やします。このサイクルは、スレーブの出力電流が、設定可能な許容誤差の範囲内でマスターと同じになるまで続きます。図 32 に、デジタル・シェア・バス構成を示します。

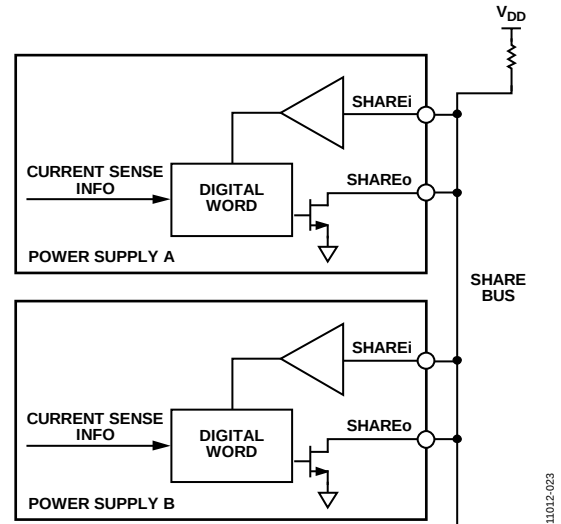


図 32. デジタル電流シェア構成

デジタル・シェア・バスは 1 線式の通信バス原理を採用しています。すなわち、クロック信号とデータ信号が一緒に含まれています。

複数の ADP1046A デバイスを接続する場合は、デバイスのシェア・バス・タイミングを同期化します。この同期は、通信フレームの開始時点でスタート・ビットにより行われます。新しい ADP1046A が既存のデジタル・シェア・バスにホットスワップされると、デバイスは次のフレームまでシェアリングの開始を待ちます。新しい ADP1046A は、シェア・フレームの終わりを示すストップ・ビットが検出されるまで、シェア・バスをモニタリングします。次いで、次のスタート・ビットで他の ADP1046A デバイスとの同期を行います。図 34 に、デジタル・シェア・バス・フレームを示します。

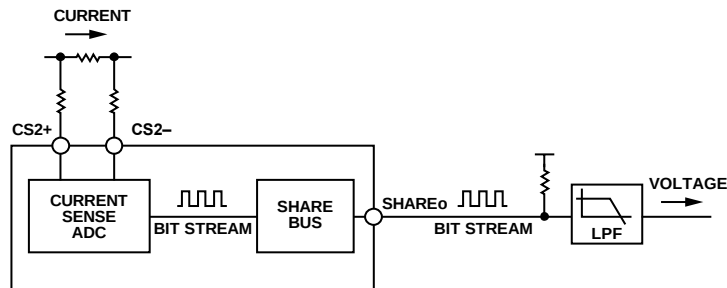


図 33. アナログ電流シェア構成

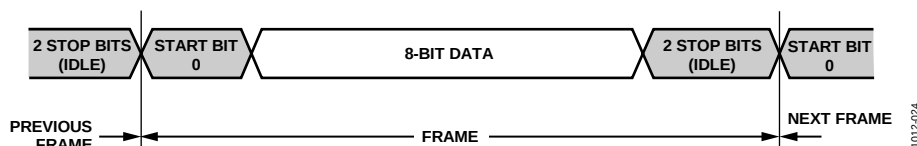


図 34. デジタル電流シェアのフレーム・タイミング図

図 35 にシェア・バス上の信号を示します。

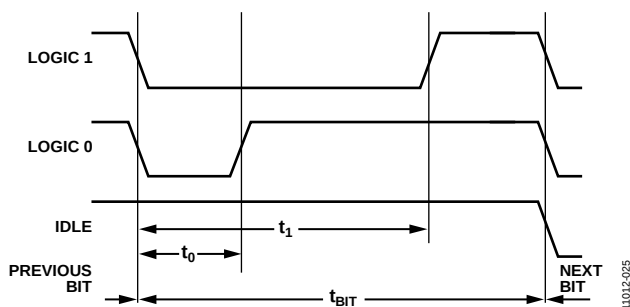


図 35. シェア・バスのハイ、ロー、アイドルの各ビット

ビット長 (t_{BIT}) は $10\mu s$ に固定されています。ロジック 1 は、ビット開始時にハイ・レベルからロー・レベルに遷移し、 t_{BIT} の 75% の時点でロー・レベルからハイ・レベルに遷移することと定義されています。ロジック 0 は、ビット開始時にハイ・レベルからロー・レベルに遷移し、 t_{BIT} の 25% の時点でロー・レベルからハイ・レベルに遷移することと定義されています。

t_{BIT} の全区間でバスがハイ・レベルのとき、バスはアイドルになります。バス上の他の動作はすべて不正になります。最大 t_{GLITCH} (200ns) までのグリッチは無視されます。

電流情報を表すデジタル・ワードは 8 ビット長です。ADP1046A は CS2 の測定値の上位 8 ビットを取り出し、この 8 ビットをデジタル・ワードとして使用します (図 36 参照)。

デジタル・シェア・バス方式

各電源は、自分が出力しているデジタル・ワードをバス上にある他のすべてのデジタル・ワードと比較します。

ラウンド 1

ラウンド 1 では、まず各電源が MSB をバスに出力します。自分の MSB とバス上の値が一致することのある電源が検出した場合、その電源はラウンド 2 に進みます。ある電源が、自分の MSB がバス上の値より小さいことを検出した場合、その電源がスレーブであることを意味します。

ある電源がスレーブになると、自分がマスターでないことが分かったため、シェア・バス上の通信を停止します。次に、この電源は自分が分担する電流を増やそうとして、出力電圧を上げます。

2 つのユニットの MSB が同じ場合、片方がマスターである可能性があるため、いずれもラウンド 2 に進みます。

ラウンド 2

ラウンド 2 では、バス上で通信を行っているすべての電源が MSB の次のビットをシェア・バスに出力します。ある電源が、自分の MSB の次のビットがバス上の値より小さいことを検出した場合、その電源はスレーブであることになるため、シェア・バス上の通信を停止します。

ラウンド 3～ラウンド 8

同じアルゴリズムを最大 8 ラウンド繰り返して、電源がデジタル・ワードを比較できるようにし、各ユニットがこの点でマスターかスレーブかを判断できるようにします。

デジタル・シェア・バス構成

デジタル・シェア・バスは、さまざまな方法で構成することができます。シェア・バス・ループの帯域幅はレジスタ 0x29[2:0] で設定できます。スレーブの電流量をマスターの電流にどれだけ近づけるかは、レジスタ 0x2A[3:0] で設定できます。デジタル・シェア・バスをイネーブルするには、レジスタ 0x29[3] を 1 に設定します。

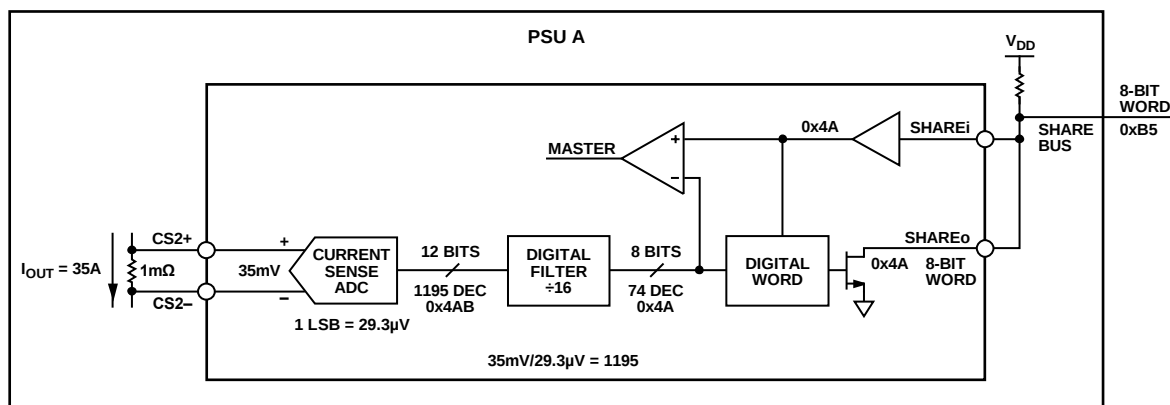


図 36. シェア・バスで、デジタル・シェア・バスに出力するデジタル・ワードを生成する方法

電源システムと故障のモニタリング

ADP1046A は、システムと故障の広範なモニタリング機能を備えています。システム・モニタリング機能には、電圧、電流、電力、温度の測定などがあります。故障状態には、電流、電圧、電力、温度の限界値外などがあります。故障状態の限界値は設定可能です。ADP1046A には、設定された特定の閾値または限界値を超えるとセットされる広範なフラグ・セットがあります。これらの閾値と限界値については、「故障レジスタ」のセクションで説明します。

フラグ

ADP1046A には、設定された特定の限界値、条件、閾値を超えるとセットされる広範なフラグ・セットがあります。これらのフラグのリアルタイムのステータスは、レジスタ 0x00～レジスタ 0x03 で読み出すことができます。これらのフラグへの応答は個別に設定できます。フラグは、無視することも、特定の PWM 出力または OrFET ゲートをオフするなどのトリガ動作に使用することもできます。また、電源をオフするのにも使用できます。ADP1046A は、これらのフラグがリセットされたら応答するようにプログラムすることができます。詳細については、「故障レジスタ」のセクションを参照してください。

ADP1046A には、ラッチ型故障レジスタのセットもあります（レジスタ 0x04～レジスタ 0x07）。ラッチ型故障レジスタのフラグはレジスタ 0x00～レジスタ 0x03 のフラグと同じですが、間欠的な故障を検出できるようにセット状態で使用します。ラッチ型故障レジスタを読み出すと、そのレジスタ内のすべてのフラグがリセットされます。

モニタリング機能

ADP1046A は、電圧、電流、電力、温度などの信号をモニタして報告します。これらの値はすべて別々のレジスタに格納され、I²C インターフェースを介して読み出すことができます。詳細については、「値レジスタ」のセクションを参照してください。

電圧測定値

VS1、VS2、VS3 の各 ADC の入力上限は 1.6V です。ADC の出力は 12 ビット値であるため、LSB のサイズは $1.6\text{V}/4096 = 390.625\mu\text{V}$ になります。入力上限は 1.4V に制限され、これにより ADC の出力コードが $1.4\text{V}/390.6\mu\text{V} = 3584$ に制限されます。

ピンの規定電圧 (V_x) での ADC コードの計算式は次のように表されます。

$$\text{ADC Code} = V_x/1.6 \times 4096$$

たとえば、ADC 入力 が 1V の場合、

$$\text{ADC Code} = 1\text{ V}/1.6 \times 4096$$

$$\text{ADC Code} = 2560$$

12V アプリケーションでは、12V 出力値は検出ピンで 1V になるように抵抗分割器を使って小さくします。

このため、レジスタ値を実際の電圧に変換するには、次式を使用します。

$$V_{\text{OUT}} = (\text{LSB} \times 2560) \times ((R1 + R2)/R2)$$

12V システムでは、この式は次のようになります。

$$V_{\text{OUT}} = (390.625\mu\text{V} \times 2560) \times (11\text{ k}\Omega + 1\text{ k}\Omega)/1\text{ k}\Omega$$

電流測定値

CS1 ピン

CS1 の入力上限は 1.4V です。ADC は、この値の 12 ビット読出し値変換を行います。これにより、LSB のサイズは $1.4\text{ V}/4096 = 341.8\mu\text{V}$ になります。

CS1 ピンの電圧がちょうど 1V のとき、CS1 値レジスタ（レジスタ 0x13[15:4]）の値は 2926 となります。

CS1 の規定入力電圧 (V_x) での ADC コードの計算式は次のように表されます。

$$\text{ADC Code} = V_x/1.4 \times 4096$$

たとえば、CS1 入力ピンの電圧が 1V の場合、

$$\text{ADC Code} = 1\text{ V}/1.4 \times 4096$$

$$\text{ADC Code} = 2926$$

CS2+、CS2- ピン

CS2 ADC のフルスケール (FS) 範囲は、レジスタ 0x27[5]により 60mV または 120mV に設定することができます。

CS2 ADC の入力上限は 120mV です。分解能は 12 ビットであるため、LSB のサイズは $120\text{ mV}/4096 = 29.30\mu\text{V}$ になります。入力上限は 110 mV に制限されます。

CS2 の規定入力電圧 (V_x) での ADC コードの計算式は次のように表されます。

$$\text{ADC Code} = V_x/(120\text{ mV}) \times 4096$$

たとえば、ADC 入力 が 50mV の場合、

$$\text{ADC Code} = 50\text{ mV}/120\text{ mV} \times 4096$$

$$\text{ADC Code} = 1707$$

したがって、CS2 レジスタの値を実際の電流に変換するには、次式を使用します。

$$I_{\text{OUT}} = (\text{CS2_ADC_CODE}/4096) \times (\text{FS}/R_{\text{SENSE}})$$

ここで、

CS2_ADC_CODE はレジスタ 0x18[15:4]の値。

FS はフルスケール電圧降下（60mV または 120mV）。

R_{SENSE} は検出抵抗値。

たとえば、CS2_ADC_CODE = 1520、 $R_{\text{SENSE}} = 10\text{ m}\Omega$ 、FS = 120 mV の場合、実際の電流は次のように算出します。

$$I_{\text{OUT}} = (1520/4096) \times (120\text{ mV}/10\text{ m}\Omega)$$

$$I_{\text{OUT}} = 4.453\text{ A}$$

電力測定値

出力電力値レジスタ（レジスタ 0x19）は、VS3 の電圧値と CS2 の電流値の積を示します。したがって、「電圧測定値」のセクションと「CS2+、CS2-ピン」のセクションにある式を組み合わせると電力値（ワット）を算出します。このレジスタは 16 ビット・ワードです。2 つの 12 ビット数を乗算し、下位 8 ビットは捨てます。

$$P_{OUT} = V_{OUT} \times I_{OUT}$$

たとえば、

$$P_{OUT} = 12 \text{ V} \times 4.453 \text{ A} = 53.436 \text{ W}$$

電力のモニタリング精度

ADP1046A の電力モニタリング精度は、測定対象信号のフルスケール範囲を基準として規定されています。

先頭フラグ故障 ID と値レジスタ

ADP1046A が複数の故障状態を記録する場合、先頭の故障の値を専用レジスタに格納します。たとえば、過温度（OTP）フォルトの次に OVP フォルトが記録される場合は、OTP フラグが先頭フラグ ID レジスタ（レジスタ 0x10）に格納されます。このレジスタからは、フラグの他に故障診断に役立つ情報が得られます。このレジスタの内容はラッチされるので、それを読み出すまで格納状態が続くことになります。また、この内容は PS0N をトグルするとリセットされます。フラグを無視するように設定した場合は、先頭フラグ ID レジスタに表示されません。

外部フラグ入力（FLAGIN ピン）

FLAGIN ピンは、外部の故障信号を ADP1046A に送信するのに使用できます。FLAGIN フラグは、レジスタ 0x0A[3:0] を使って動作のトリガ用に設定することができます。

温度測定値（RTD ピン）

RTD ピンは、外付けの負温度係数（NTC）サーミスタとともに使用するように設定されています（図 38 参照）。この RTD ピンには、内部で設定可能な電流源が接続されています。RTD ピンの電圧は ADC でモニタします。

RTD 温度値レジスタ（レジスタ 0x1A）は 10ms 毎に更新されます。ADP1046A は 10ms 間のすべての ADC サンプルを格納し、この時間の終了時に平均値を出力します。

RTD ADC の入力上限は 1.6V、分解能は 12 ビットであるため、LSB のサイズは $1.6\text{V}/4096 = 390.625\mu\text{V}$ になります。入力上限は 1.3V に制限され、これにより ADC の最大出力コードが $1.3\text{V}/390.6\mu\text{V} = 3328$ に制限されます。

RTD ADC の出力は RTD ピンの電圧に直線的に比例しますが、サーミスタは抵抗と温度の非直線関数を示します。したがって、RTD ADC の測定値に後処理を行って温度を正確に読み取る必要があります。

NTC サーミスタ（TH）に外付け抵抗（R_{EXT}）を並列接続すると、定電流によりリニアライゼーションを実現することができます（図 37 参照）。

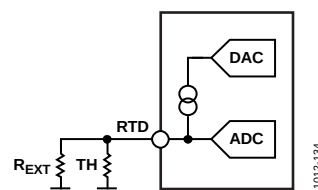


図 37. サーミスタを使った温度測定

高精度な内部電流源（10μA、20μA、30 μA または 40μA）をレジスタ 0x11 で選択できます。この電流源を内部 DAC を使って調整して、サーミスタの精度を補償することができます（「RTD/OTP の調整」のセクション参照）。また、レジスタ 0x11 のビット[7:6]により出力電流源のサイズを選択することができます。

ADP1046A は、産業用温度範囲でリニアライズされた温度（摂氏）を読み取って最高性能を示すための、あらかじめ選択された外付け部品と電流値に基づくリニアライズ回路を実装しています。

必要なサーミスタおよび高精度な電流源の選択・調整方法については、「温度リニアライズ回路」のセクションを参照してください。

オプションとして、使用する特定の NTC サーミスタに合わせて RTD 測定値を処理し、ルックアップ・テーブルまたは多項式の形で後処理を行うことができます。内部電流源を 46μA に設定した場合、規定の NTC サーミスタ値（R_x）における ADC コードの計算式は、次のように表されます。

$$ADC \text{ CODE} = 46 \mu\text{A} \times R_x / 1.6 \times 4096$$

たとえば、60°C では、RTD ピンと組み合わせる NTC サーミスタは 21.82kΩ になります。

$$RTD_ADC_CODE = 46 \mu\text{A} \times 21.82 \text{ k}\Omega / 1.6 \times 4096 = 2570$$

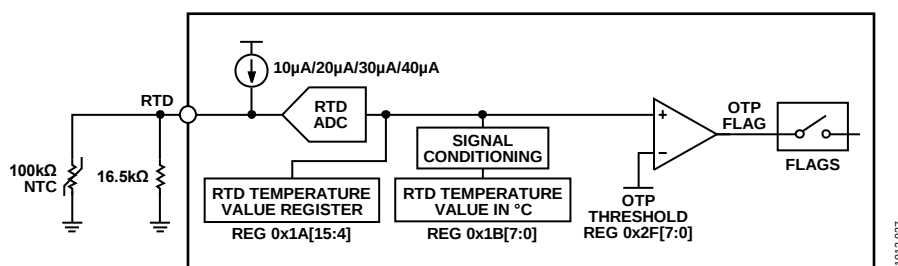


図 38. RTD ピンの内部詳細

温度リニアライズ回路

ADP1046A は、産業用温度範囲での測定温度をリニアライズして最高性能を示すための、あらかじめ選択されたサーミスタ (100k Ω 、1%)、外付け抵抗 (16.5 k Ω 、1%)、46 μ A の電流源に基づくリニアライズ回路を実装しています。

必要な NTC サーミスタは、NCP15WF104F03RC (ベータ値 = 4250、1%) のような 100k Ω 、1% の抵抗です。抵抗値とベータ値のいずれも許容誤差を 1% にすることを推奨します。

リニアライズされた温度の読出し

(10ms 毎に更新される) レジスタ 0x1B を読み出すと、内部のリニアライズ回路に従い、電流による温度が返されます。この測定値の規定の精度については表 1 を参照してください。温度の読出し結果は 8 ビットの 10 進数 (°C) で表されるため、この値の温度範囲は 0°C ~ 255°C となります。

過温度保護 (OTP)

RTD ピンで検出された温度がレジスタ 0x2F で設定された閾値を超えると、OTP フラグがセットされます。OTP フラグへの応答は、レジスタ 0x0B[7:4] で設定することができます。

NTC サーミスタと外付け抵抗の許容誤差を考慮して、RTD ADC の入力範囲の低い側で高精度な温度測定を行うには、RTD の調整が必要です。この調整により、OTP の閾値を決定するための測定精度が向上します (「RTD/OTP の調整」のセクション参照)。

過電流保護 (OCP)

ADP1046A は複数の OCP 機能を内蔵しています。CS1 と CS2 $\pm$ は、1 次側と 2 次側を保護する個別の OCP 回路を備えています。

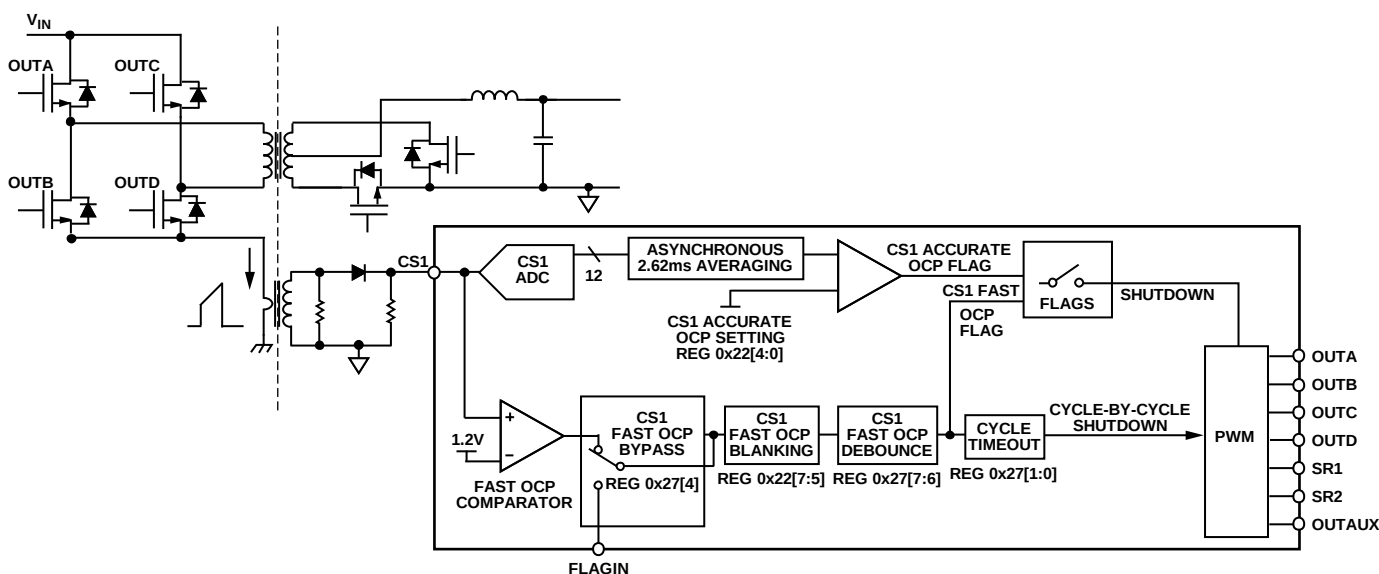


図 39. CS1 OCP の詳細内部回路

CS1 OCP

CS1 には、CS1 高速 OCP と CS1 高精度 OCP の 2 つの保護回路があります (図 39 参照)。

CS1 高速 OCP

CS1 高速 OCP はアナログ・コンパレータです。CS1 ピンの電圧が 1.2V の (固定) 閾値を超えると、CS1 高速 OCP フラグがセットされます。電流信号の開始時の前縁電流スパイクを無視するために、ブランキング時間を設定することができます (前縁ブランキング)。

OCP 回路のノイズ耐性を向上させるために、バウンス防止時間を設定できます。CS1 高速 OCP コンパレータがセットされると、OUTA、OUTB、OUTC、OUTD の PWM 出力が、残りのスイッチング・サイクルに対して直ちに無効になります。これらの出力は次のスイッチング・サイクルの開始時に再度有効になります。この機能はバイパスできません。

CS1 高精度 OCP

CS1 高精度 OCP は過電流保護の制御精度を向上させるために使用します。CS1 高精度 OCP を使用すると、CS1 ADC の出力測定値 (レジスタ 0x13) がプログラマブルな OCP の限界値と比較されます。CS1 高精度 OCP の値は、レジスタ 0x22[4:0] により 0~31 の範囲で設定することができます。CS1 の測定値が CS1 高精度 OCP の限界値を超えると、CS1 高精度 OCP フラグがセットされます。故障を判断するために、CS1 ADC は非同期にサンプリングされ、その測定値の平均が 2.62ms 毎に求められます。フラグ応答はレジスタ 0x08 で設定します。

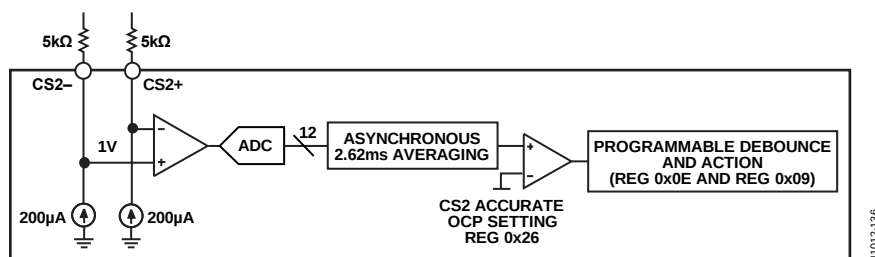


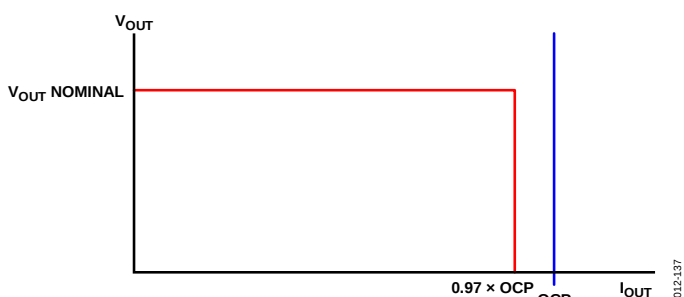
図 40. CS2 OCP の詳細内部回路

CS2 OCP

CS2 は、CS2 高精度 OCP という 1 つの OCP 保護回路を内蔵しています (図 40 参照)。CS2 ADC の出力測定値 (レジスタ 0x18) がプログラマブルな OCP の閾値と比較されます。CS2 OCP の閾値は、レジスタ 0x26[7:0] で設定することができます。CS2 の測定値が CS2 OCP の閾値を超えると、CS2 高精度 OCP フラグがセットされます。故障を判断するために、CS2 ADC は非同期にサンプリングされ、その測定値の平均が 2.62ms 毎に求められます。フラグ応答はレジスタ 0x09 で設定します。

定電流モード

ADP1046A は定電流モードで動作するように設定することができます。定電流モード動作を開始する閾値は、CS2 高精度 OCP の電流設定値を 3% 下回る値です (図 41 参照)。電流がこの値より小さければ、デバイスは定電圧モードで動作し、出力電圧をクロード・ループ動作の帰還信号として使用します。

図 41. 定電流モード (I_{OUT} 対 V_{OUT})

ADP1046A が定電流モードの閾値に達すると、レジスタ 0x02[4] とレジスタ 0x06[4] (それぞれ、リアルタイムとラッチ型の故障レジスタ) のフラグがセットされます。このフラグがセットされると、出力電圧のレギュレーション・ポイントを制御するのに CS2 の電流測定値が使用されます。電流を一定に維持するために、負荷が大きくなるにつれて出力電圧は直線的に下降します。

電流は $328\mu\text{s}$ の時間をかけて平均化されるため、定電流制御ループの帯域幅は比較的狭くなります。VS3±ピンでは、出力電圧が最大 1.18V/秒の割合で変化するため、その遷移によっては電流の値が瞬間的に定電流の限界値を超える可能性があります。

出力電圧が低下する場合、UVP フラグ (レジスタ 0x0B[3:0]) を使ってシャットダウン動作を設定することができます。

過電圧保護 (OVP)

ADP1046A は、独立した 3 つの OVP 回路を内蔵しています。VS1 ピン、VS2 ピン、または VS3±ピンの出力電圧がそのピンに対するプログラマブルな閾値を超えると、該当する OVP フラグがセットされます。フラグ応答は、VS2 と VS3 の OVP フラグについてはレジスタ 0x09[3:0] で、VS1 の OVP フラグについてはレジスタ 0x0A[7:4] で設定します。

VS1 は、高速コンパレータ (高速 OVP) と ADC ベース・コンパレータ (高精度 OVP) の 2 つの OVP 回路を持っています。VS2 と VS3 は 1 つの高精度 OVP 回路を共有しています。

これらの OVP 回路には、別々の OVP 閾値を設定することができます。詳細については、レジスタ 0x32 とレジスタ 0x33 を参照してください。

ADC ベース・コンパレータのサンプリング時間は $80\mu\text{s}$ です。レジスタ 0x32 とレジスタ 0x33 のビット[1:0]を使って、追加のバウンス防止時間を $80\mu\text{s}$ ずつ加えることができます。

高速 OVP コンパレータにも閾値とバウンス防止時間を設定できます。これらの値はレジスタ 0x37 で設定します。

低電圧保護 (UVP)

VS1 ピンで検出される電圧がプログラマブルな UVP 閾値を下回ると、UVP フラグがセットされます。UVP 閾値はレジスタ 0x34 で設定しますが、図 42 に示すように GUI を使用することもできます。

UVP フラグへの応答はレジスタ 0x0B[3:0] で設定できます。低電圧保護機能と UVP フラグは、ソフトスタート時は無効です。

AC 検出 (ACSNS)

ACSNS 回路は、複数のモニタリング機能と制御機能を実行します。2 個の ADC と高速コンパレータをこのピンに接続します。

- 高速 ADC は電圧フィードフォワード機能に使用されます（「電圧ライン・フィードフォワードおよび ACSNS」のセクション参照）。この ADC の等価分解能は 10 μ s で 11 ビットです。
- 低速 ADC は入力電圧の報告に使用されます。この ADC の等価分解能は 10ms で 12 ビットです。
- 高速コンパレータは、同期整流ステージ（または整流ダイオード）の出力におけるスイッチング波形の有無を監視するために使用されます。

出力インダクタの前段であるピックアップ・ポイントは、外付けの RCD 分圧器を介して ACSNS ピンに接続されます。

ACSNS の低速 ADC の出力は、レジスタ 0x14 で報告される 12 ビット値です。この ADC のゲインは、分圧器

の誤差と電圧スパイクを補償するために、レジスタ 0x5E[6:0] で調整することができます。

ADC コードの計算式は次のように表されます。

$$ADC\ Code = V_x / 1.6 \times 4096$$

ここで、 V_x は ACSNS ピンの電圧。

たとえば、ADC の入力電圧が 1V の場合、

$$ADC\ Code = 1\ V / 1.6 \times 4096$$

$$ADC\ Code = 2560$$

$$V_{SENSE} = (V_x) \times (R1 + R2) / R2$$

ここで、 V_{SENSE} はフィルタ処理された 2 次電圧。

次のように、 V_{SENSE} に巻数比 ($N1/N2$) を掛けることにより、1 次入力電圧を算出することができます。

$$V_{PRIMARY} = V_x \times (R1 + R2) / R2 \times (N1/N2)$$

ACSNS コンパレータの閾値は 0.45V です。ACSNS ピンの平均電圧がこの閾値を下回った場合、レジスタ 0x03[2] とレジスタ 0x07[2]（それぞれ、リアルタイムとラッチ型の故障レジスタ）で ACSNS フラグがセットされ、フラグに設定された動作が実行されます。

ACSNS コンパレータは共振モードでの動作時、同期整流のタイミングに合わせて使用されるので、ADC の追加機能を使うことはできません。詳細については、「共振モード動作」のセクションを参照してください。

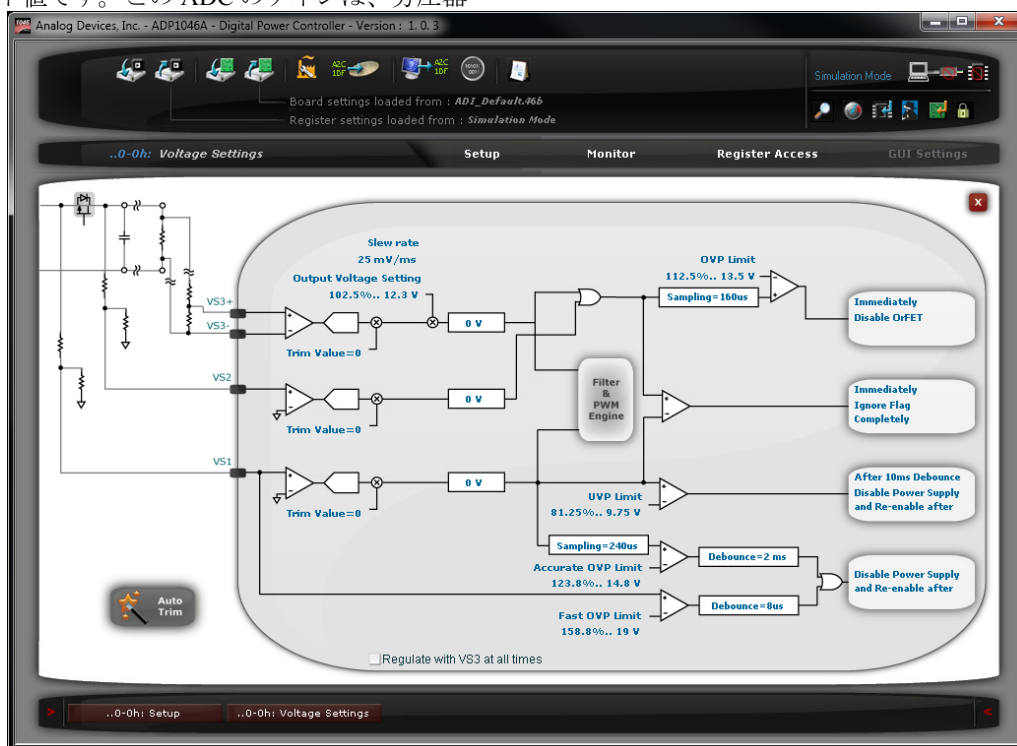


図 42. シミュレーション・モードの電圧検出ウィンドウ (ADP1046A の GUI)

電圧-時間バランス

ADP1046A は、フルブリッジ方式で動作する際にメイン・トランスで電圧-時間バランスを維持する専用回路を内蔵しています。この回路によって、DC 阻止コンデンサは不要となります。インターリーブ方式では、電圧-時間バランスは各インターリーブ位相が等しい電力を供給するように電流のバランスを取る目的でも使用されます。

この回路はフルブリッジの両方の脚に流入する電流を監視して、その情報を保存します。フルブリッジの両方の脚に等量の電流が流れるように、選択された PWM 信号を補償します。電流は CS1 ピンから入力されます。

回路が効果的に動作するためには、複数のスイッチング・サイクルが必要です。選択された PWM 出力の各エッジに与える最大の変調を、レジスタ 0x28[2]で $\pm 80\text{ns}$ または $\pm 160\text{ns}$ に設定することができます。

電圧-時間バランスは、レジスタ 0x28 およびレジスタ 0x76~0x78 で設定します。この設定をプログラムするには、アナログ・デバイセズのソフトウェア GUI を使用することを推奨します。

PWM 駆動信号の補償は、選択された 2 つの出力のエッジで行われます。1 次側信号とのタイミングの関係を維持するために、SR1 と SR2 のエッジも、電圧-時間バランス回路により変調を別々に設定することができます。

デジタル・ロードラインとスルーレート

ADP1046A では、オプションでデジタル・ロードラインを電源に導入することができます。このオプションはロードライン・インピーダンス・レジスタ（レジスタ 0x36）で設定します。スルーレートとロードライン値の 2 つのパラメータは個別に設定可能です。

スルーレート（レジスタ 0x36[6:4]）は、デジタル・リファレンスの変化に応じた出力電圧の調整速度を定めます。8 種類の設定が可能です。

ロードライン値（レジスタ 0x36[2:0]）はロードラインの傾きを制御します。導入される出力抵抗の大きさは次のように計算できます。

$$R_{OUT} = 0.1 \times V_{OUT_NOM} \times CS2 R_{SENSE} / (CS2 \text{ の範囲上限} \times 2^{LOAD_SET[2:0]})$$

ここで、

V_{OUT_NOM} は、 $VS3 = 1\text{V}$ のときの公称出力電圧。

$CS2 R_{SENSE}$ は、検出抵抗値。

$CS2 \text{ の範囲上限}$ は、 120mV または 60mV 。

$LOAD_SET[2:0]$ はレジスタ 0x36 のビット [2:0] の値（0 ~ 7、10 進）です。

たとえば、 $V_{OUT_NOM} = 12\text{V}$ 、 $CS2 R_{SENSE} = 10\text{m}\Omega$ 、 $CS2 \text{ の範囲上限} = 120\text{mV}$ 、 $LOAD_SET[2:0] = 3$ の場合、

$$R_{OUT} = 0.1 \times 12\text{V} \times 10\text{m}\Omega / (120\text{mV} \times 2^3) = 12.5\text{m}\Omega$$

この機能は、高度な電流シェアリング技術に使用できます。デフォルトでは、ロードラインは無効になっています。CS2 の測定値を基にデジタル・リファレンスの値を変更することにより、ロードラインがデジタル的に導入されます。

図 43 および図 44 に、ロードラインを V_{OUT} 対 R_{SENSE} の電圧降下の比率として示します。

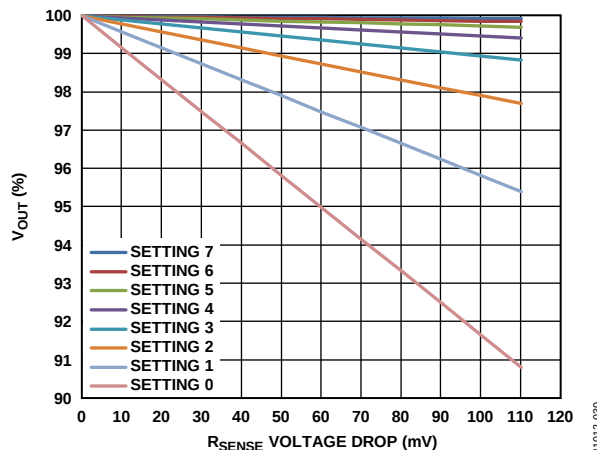


図 43. CS2 の範囲上限が 120mV の場合のロードライン設定

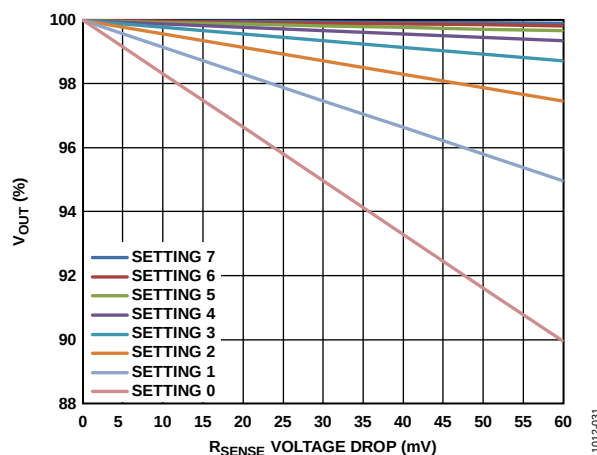


図 44. CS2 の範囲上限が 60mV の場合のロードライン設定

電源のキャリブレーションと調整

ADP1046A では、製造現場で電源全体をデジタル的に校正および調整することができます。出力電圧のような項目を校正し、内蔵回路の調整に加えて検出抵抗と抵抗分圧器により生じる許容誤差の調整も行うことができます。デバイスは調整済みで出荷されますが、外付け部品によって生じる誤差を補償するために、ユーザーにより再調整可能です。ADP1046A の GUI を使うと、調整した設定を出荷時のデフォルト値に自動で戻すことができます。

書込みアクセスのために調整レジスタのロックを解除するには、TRIM_PASSWORD レジスタ（レジスタ 0x89）に調整用パスワードを 2 回書き込みます（工場出荷時のデフォルト・パスワードは 0xFF）。

ADP1046A では、ユーザーは許容誤差が 0.5% 以下の外付け部品に対して、十分な調整機能が可能です。

ADP1046A を実稼働環境で調整しない場合は、データシートの仕様を満たすために、CS1、CS2、VS1、VS2、VS3 への入力に許容誤差が 0.1% 以下の部品を使用することを推奨します。

CS1 の調整

DC 信号の使用

既知の電圧 (V_x) を CS1 ピンに入力します。CS1 ADC は $V_x/1.4 \times 4096$ に相当するデジタル・コードを出力します。レジスタ 0x13[15:4] の CS1 ADC の値が正しいデジタル・コードを示すように、CS1 ゲイン調整レジスタ（レジスタ 0x21）を調整します。

AC 信号の使用

既知の電流 (I_x) を PSU に入力します。この電流は電流トランス、ダイオード整流器、外付け抵抗 (R_{CS1}) を通り、その電流情報が電圧 (V_x) に変換されます。この電圧は CS1 ピンに加えられます。電圧 (V_x) は次のように計算されます。

$$V_x = I_x \times (N1/N2) \times R_{CS1}$$

ここで、 $N1/N2$ は電流トランスの巻数比です。

CS1 ADC は $V_x/1.4 \times 4096$ に相当するデジタル・コードを出力します。レジスタ 0x13[15:4] の CS1 ADC の値が正しいデジタル・コードを示すように、CS1 ゲイン調整レジスタ（レジスタ 0x21）を調整します。

CS2 の調整

CS2 の調整では、オフセット誤差とゲイン誤差を補償する必要があります。オフセット誤差にはアナログ調整とデジタル調整の両方が必要です。この誤差には、CS2±差動アンプの入力に対するレベルシフト抵抗の不整合ならびに電流検出素子の許容誤差が含まれます。

CS2 のオフセット調整

オフセット誤差は、外付けのレベルシフト抵抗と内部の電流源によって生じる可能性があります。2 つの整合用 0.1% 抵抗器か、または同一パッケージ内の整合素子抵抗を使用するのがベストです。

CS2 オフセットの調整は、必ず次の手順で行ってください。

1. ハイサイドまたはローサイドの電流検出をレジスタ 0x27[2] で設定します。
2. 検出抵抗の公称フルスケール電圧降下を、レジスタ 0x27[5] で範囲上限が 120mV の場合は 1 に、60mV の場合は 0 に設定します。
3. 検出抵抗に無負荷電流を流します。
4. CS2 のゲイン調整値を 0 に設定します（レジスタ 0x23 = 0）。
5. CS2 のデジタル・オフセット調整値を 0 に設定します（レジスタ 0x25 = 0）。
6. CS2 のアナログ・オフセット調整値をレジスタ 0x24[6:0] で調整します。範囲上限が 120mV の場合、レジスタ 0x18[15:4] の CS2 値が 100（10 進）（0x64）にできるだけ近づくようにレジスタ 0x24 を調整します。この値は 50（0x32）よりも大きくしてください。
範囲上限が 60mV の場合、レジスタ 0x18[15:4] の CS2 値が 200（10 進）（0xC8）にできるだけ近づくようにレジスタ 0x24 を調整します。この値は 100（0x64）よりも大きくしてください。
7. レジスタ 0x18[15:4] の CS2 値が 0 を示すように、CS2 のデジタル・オフセット調整値をレジスタ 0x25 で調整します。

これでオフセット調整が完了して、検出抵抗に無負荷電流が流れているときの ADC コードが 0 になります。

CS2 のゲイン調整

オフセット調整の後、ゲイン調整を行って検出抵抗の許容誤差により生じる不整合を取り除きます。ADP1046A は、許容誤差が 1% 以下の検出抵抗に対する調整を行うことができます。

1. 既知の負荷電流 (I_{OUT}) を検出抵抗に流します。
2. レジスタ 0x18[15:4] の CS2 値が次式で算出された値を示すように、CS2 のゲイン調整値をレジスタ 0x23[5:0] で調整します。

$$CS2 \text{ 値} = I_{OUT} \times R_{SENSE} / FS \times 4096$$

ここで、 FS はフルスケール電圧降下（120mV または 60mV）。 R_{SENSE} は検出抵抗値。

CS2 の範囲上限を 120mV に設定し、 $I_{OUT} = 10A$ 、 $R_{SENSE} = 10m\Omega$ 、 $FS = 120mV$ とした場合、

$$CS2 \text{ 値} = (10 A \times 10 m\Omega) / 120 mV \times 4096$$

$$CS2 \text{ 値} = 3413 \text{ (10 進)}$$

CS2 の範囲上限を 60mV に設定し、 $I_{OUT} = 5A$ 、 $R_{SENSE} = 5m\Omega$ 、 $FS = 60mV$ とした場合、

$$CS2 \text{ 値} = (5 A \times 5 m\Omega) / 60 mV \times 4096$$

$$CS2 \text{ 値} = 1707 \text{ (10 進)}$$

これで CS2 の回路が調整されました。電流検出の調整が済んだら、OCP の限界値と設定値を設定します。

電圧のキャリブレーションと調整

電圧検出力は、1V 入力時の信号検出に対して最適化されています（有効入力範囲は 1.4V まで）。12V システムでは、12V 信号を 1.4V 以下にするために 12 : 1 の抵抗分圧器が必要です。このピンで最適性能を得るためには、電源の出力電圧を 1V に下げて入力することを推奨します。抵抗分圧器には許容誤差に起因する誤差が生じ、これを調整する必要があります。ADP1046A には、許容誤差が 0.5% 以下の抵抗に起因する誤差を除去するのに十分な調整範囲があります。

VS1、VS2、VS3 の ADC は、 $VS_x/1.6 \times 4096$ に相当するデジタル・コードを生成します。各 ADC は、入力電圧がちょうど 1V の場合、レジスタ 0x15、レジスタ 0x16、レジスタ 0x17 のビット[15:4]に 2560（10 進）のデジタル・ワード（0xA00）を出力します。

出力電圧の設定（VS3+、VS3-の調整）

VS3±の入力にはゲイン調整が必要です。出力のレギュレーション・ポイントを公称値の 100% に設定します（レジスタ 0x31 = 0xA0）。無負荷電流での電源供給を有効にします。電源の出力電圧を VS3 の抵抗分圧器で低くして VS3+ と VS3- の差動入力ピンに 1V を供給します。出力電圧が希望する値になるように VS3 調整レジスタ（レジスタ 0x3A）を調整します。このステップは他の調整ルーチンの前に実行してください。レジスタ 0x17[15:4]の VS3 の電圧値は 2560（10 進）になります（0xA00）。

VS1 の調整

VS1 の入力にはゲイン調整が必要です。無負荷電流での電源供給を有効にします。VS1 の電圧を VS1 の抵抗分圧器で低くして VS1 ピンに 1V を供給することを推奨します。レジスタ 0x15[15:4]の VS1 値が 2560（10 進）になるように、VS1 調整レジスタ（レジスタ 0x38）を調整します（0xA00）。

VS2 の調整

VS2 の入力にはゲイン調整が必要です。無負荷電流での電源供給を有効にします。VS2 の電圧を VS2 の抵抗分圧器で小さくして VS2 ピンに 1V を供給することを推奨します。レジスタ 0x16[15:4]の VS2 値が 2560（10 進）になるように、VS2 調整レジスタ（レジスタ 0x39）を調整します（0xA00）。

RTD/OTP の調整

RTD の入力には、電流源と ADC の 2 つの調整が必要です。内部のリニアライズ回路を使用するためには、調整手順を追加する必要があります。

電流源の調整

レジスタ 0x11 のビット[7:6]で、電流源の値を 10μA、20μA、30μA、40μA のいずれかに設定します。レジスタ 0x11 のビット[5:0]を使って電流値を微調整することができます。内部の電流源を微調整すると、部品の許容誤差が補償されて、誤差が最小限に抑えられます。ビット[5:0]の 1LSB 分は 160nA です。

10 進数の 1 を設定すると、ビット[7:6]で設定された電流源に 160nA が追加されます。また、10 進数の 63 を設定すると、ビット[7:6]で設定された電流源に $63 \times 160\text{nA} = 10.08\mu\text{A}$ が追加されます。

電流源の値を設定するには、レジスタ 0x11[7:6]で目的の値にできるだけ近い選択肢（10μA、20μA、30μA、または 40μA）を選択します。次に、レジスタ 0x11[5:0]を使ってステップ・サイズをより細かくします。

たとえば、46μA を電流源として使用するには、以下の手順に従います。

1. 既知の抵抗 (R_x) を RTD と AGND の間に配置します。
2. レジスタ 0x11[7:6]を 11（40μA）に設定します。
3. RTD ピンの電圧が $V_{\text{RTD}} = 46\mu\text{A} \times R_x$ になるまで、レジスタ 0x11[5:0]の値を 1LSB ずつ増やします。

これで電流源が校正されて、出荷時のデフォルト値に設定されます。

ADC の調整

サーミスタの非直線性のため、2 種類の調整方法が用意されています。

内部リニアライズ回路の使用

1 つめの方法では、RTD の電流が 46μA の内部リニアライズ回路を使用します。この方法により、正確な測定値（°C）を 10 進数でレジスタ 0x1B に表示することができます。

ベータ値が 4250 の 100kΩ、1% の NTC サーミスタ（NCP15WF104F03RC など）を 16.5kΩ、1% の外付け抵抗と並列接続し、ADP1046A とともに使用します。このように NTC サーミスタと抵抗を組み合わせることにより、ADP1046A の電流源のデフォルト調整値が 46μA に設定され、85°C ~ 125°C の温度範囲で最高の精度を実現します。

外付けのマイクロコントローラを使用する場合は、レジスタ 0x1A 内の RTD の ADC コードがマイクロコントローラに入力され、選択された NTC の特性に最も適した多項式という観点から、別のリニアライズ回路が実装される可能性があります。

OTP 値の使用

2つめの方法ではリニアライズ回路を使用しません。代わりに、RTD の電流を設定し、OTP の閾値をミリボルトで設定します。NTC サーミスタは非直線性を示すため、RTD ピンの電圧のリニアライゼーションに役立つように抵抗と NTC サーミスタを並列接続するのがベストです。

この手順で、NTC サーミスタと外付け抵抗の誤差/許容誤差は除去されます。さまざまな温度における NTC 抵抗の特性を知ることにより、並列抵抗の値を算出することができます。

この手順を使うには、NTC サーミスタと並列抵抗を組み合わせたときの温度と等価抵抗を知る必要があります。

図 45 において、T2 は OTP フラグをセットする OTP の閾値で、T1 は OTP フラグがクリアされる温度です。

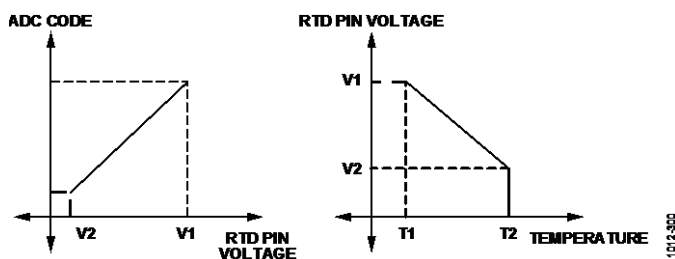


図 45. RTD ピンの電圧、ADC コードおよび温度

以下の手順に従ってください。

1. 希望する RTD 電流源 (I_{RTD}) を、「電流源の調整」のセクションの記述に従って調整します。
2. 温度を OTP の閾値に設定します。
3. レジスタ 0x1A の値が V2 (mV) と等しくなるように、オフセット調整レジスタ (レジスタ 0x1C およびレジスタ 0x20) を調整します。
4. OTP の閾値 (レジスタ 0x2F) を V2 の値に設定します。
5. 温度を OTP フラグがクリアされるヒステリシス・ポイントに設定します。
6. レジスタ 0x1A が正しい電圧を示すように、温度ゲイン調整レジスタ (0x2B) を調整します。

これで ADC が調整されて、対象とする 2 つの温度の間が直線化されます。

この手順により、最も精度の高い OTP が実現します。これは、ADP1046A のデバイス間の差異と使用するサーミスタの許容誤差を考慮しているためです。

ACSNS のキャリブレーションと調整

ACSNS のフィードフォワード ADC (図 19 参照) は、電圧ラインのフィードフォワードに使用するもので、ユーザーが調整することはできません。

ACSNS の低速 ADC にはゲイン調整が必要です。公称入力電圧で電源が最大負荷電流を供給できるようにします。出力整流器の 2 次ピーク逆電圧を外付けの RCD 回路によりフィルタ処理します (図 19 参照)。

ACSNS ADC を調整するために、1 次電圧を次のように逆算できます。

$$V_{PRIMARY} = V_x \times (R1 + R2)/R2 \times (N1/N2)$$

ここで、
 V_x は ACSNS ピンの電圧。
 $N1/N2$ は巻数比。

算出したこの電圧が希望する 1 次入力電圧と等しくなるように、ACSNS ゲイン調整レジスタ (レジスタ 0x5E) を調整します。

ACSNS ADC を調整するもう 1 つの方法は、平均 2 次電圧を使用するものです。公称入力電圧、トランスの巻数比、ACSNS ピンの抵抗分圧器の既知の値を使って、ADC コードが 2560 (10 進) になるように ACSNS ゲイン調整レジスタ (レジスタ 0x5E) を調整します (0xA00)。

$$ADC \text{ コード} = V_x / 1.6 \times 4096$$

ここで、 V_x は ACSNS ピンの電圧です。

図 19 の抵抗については、1 つめの時定数 (RC) がコンデンサの過充電を防ぐのに十分な長さを持ち (代表的なアプリケーションで約 200ns)、2 つめの時定数 ($(R1 + R2) \times C$) が整流器のオフ時に平均電圧を一定に保つのに十分な長さを持つように、大きさを調整します。

レイアウトのガイドライン

このセクションでは、ADP1046A の最適性能を実現するために必要な事項について説明します。一般に、すべての部品をできるだけ ADP1046A の近くに配置します。また、すべての信号はそれぞれのグラウンドを基準とします。

CS2+および CS2-

検出抵抗から ADP1046A までの配線パターンは互いに並行するようにします。また、パターンは互いに近づけ、スイッチ・ノードからはできるだけ離します。

VS3+および VS3-

リモート電圧検出ポイントから ADP1046A までの配線パターンは互いに並行するようにします。また、パターンは互いに近づけ、スイッチ・ノードからはできるだけ離します。同相ノイズを低減するために、VS3-と AGND の間に 100nF のコンデンサを接続します。

VDD

デカップリング・コンデンサをできるだけデバイスの近くに配置します。4.7 μ F のコンデンサを VDD と AGND の間に接続することを推奨します。

SDA および SCL

これらのピンの配線パターンは互いに並行するようにします。また、パターンは互いに近づけ、スイッチ・ノードからはできるだけ離します。

CS1

電流検出トランスから ADP1046A までの配線パターンは互いに並行するようにします。また、パターンは互いに近づけ、スイッチ・ノードからはできるだけ離します。

エクスポーズド・パッド

ADP1046A の下のエクスポーズド・パッドは PCB の AGND プレーンにハンダ付けします。

VCORE

330nF のデカップリング・コンデンサを、このピンと DGND の間にできるだけデバイスに近づけて配置します。

RES

10 k Ω 、 $\pm 0.1\%$ の抵抗を、このピンと AGND の間にできるだけデバイスに近づけて配置します。

RTD

AGND への専用配線パターンを使って、ADP1046A からサーミスタまで 1 本のパターンを配線します。サーミスタは電源の最も高温な部分に近づけて配置します。

AGND、DGND および PGND

AGND グラウンド・プレーンを作成し、電源システム・グラウンドに 1 点（スター）接続します。DGND は、非常に短いパターンで AGND にスター接続します。PGND は AGND にスター接続します。

I²C インターフェース 通信

I²C スレーブ・デバイス ADP1046A は、I²C に準拠した他のマスター・デバイスとの通信を行うために使うことのできる 2 線式インターフェースです。マルチマスター・バス構成とマルチスレーブ・バス構成のどちらにも使用できます。

I²C スレーブの機能は、マスター・デバイスから送られたコマンドをデコードし、要求に応じて応答することです。通信は、クロック・ライン (SCL) とデータライン (SDA) の 2 本の信号線を使った 2 線式インターフェースによって行われます。I²C スレーブは、2000 年 1 月付けの Philips 社の *I²C Bus Specification, Version 2.1* に規定されている I²C プロトコルに従って 8 ビット・データ (バイト) を外部とやりとりするために設計されています。

I²C プロトコルには以下の特徴があります。

- マルチ・デバイス・システムにおけるスレーブ動作
- 7 ビット・アドレッシング
- データ転送レート: 100kB/秒、400kB/秒
- ジェネラル・コール・アドレスをサポート
- クロックのロー・レベル延長 (クロック伸長) をサポート
- 受信用および送信用の独立したマルチ・バイト FIFO
- 広範囲な通信故障モニタリング

I²C の概要

I²C スレーブ・モジュールは、I²C に準拠した他のマスター・デバイスとの通信を行うために使うことのできる 2 線式インターフェースです。転送プロトコルは I²C 転送メカニズムに基づいています。ADP1046A は、システムの中で常にスレーブ・デバイスとして構成されます。ADP1046A は、マスター・デバイスとの通信に 1 本のデータ・ピン (SDA) と 1 本のクロック・ピン (SCL) を使用します。ADP1046A はスレーブ・デバイスであるため、クロック信号を生成することはできません。しかし、マスター・デバイスの要求に応じて準備ができていない場合は、SCL ラインを伸長してマスター・デバイスを待機状態にすることができます。

通信は、マスター・デバイスが I²C スレーブ・デバイスにコマンドを送信すると開始されます。コマンドが読出しまたは書込みコマンドの場合は、データがバイト単位でデバイス間で転送されます。また、コマンドには送信コマンドもあり、この場合には、スレーブ・デバイスがストップ・ビットを受信したときにスレーブ・デバイスによってコマンドが実行されます。ストップ・ビットは、I²C 通信プロトコルにおいて定義されているように、転送データ式の最後のビットです。通信中、マスター・デバイスとスレーブ・デバイスは、デバイス間のハンドシェイクのためにアクノレッジ (A) またはノー・アクノレッジ (NA) ビットを送信します。通信プロトコルの詳細については、2000 年 1 月付けの Philips 社の *I²C Bus Specification, Version 2.1* を参照してください。

I²C アドレス

ADP1046A の I²C アドレスは、ADD ピンと AGND の間に外付け抵抗を接続することにより設定されます。表 6 に、推奨抵抗値と対応する I²C アドレスを示します。7 個のアドレスを使用することができます。

表 6 の推奨値に対して誤差が 1% 以内の抵抗を使用してください。

表 6. I²C アドレスに対する推奨抵抗値

I ² C Address	Resistor Value (kΩ)
0x50	10 (または ADD ピンを直接 AGND に接続)
0x51	28.7
0x52	48.7
0x53	68.1
0x54	88.7
0x55	109
0x57	200 (または ADD ピンを直接 VDD に接続)

データ転送

フォーマットの概要

I²C スレーブは、Philips 社の *I²C Bus Specification* に規定されている転送プロトコルに従っています。データはバイト単位で下位バイトから転送されます。各バイトは最上位ビット (MSB) ファースト方式でシリアルに伝送されます。代表的な転送例を図 46 に示します。

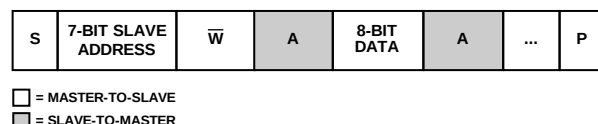


図 46. 基本的なデータ転送

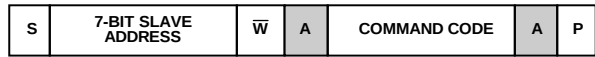
図 46 から図 53 で使われている省略記号の定義は以下のとおりです。

- S = 開始条件
- Sr = 反復開始条件
- P = 停止条件
- R = 読出しビット
- $\bar{W}$ = 書込みビット
- A = 書込みビット
- NA = ノー・アクノレッジ・ビット (1)

転送プロトコルの詳細については、I²C の仕様を参照してください。

コマンドの概要

I²C スレーブを使ったデータの転送は、コマンドを使って行われます。すべてのコマンドはスレーブ・アドレスで始まり、これに、クリア (0 に設定) された R/ $\overline{W}$ ビット、コマンド・コード (レジスタ・アドレス) が順に続きます。ADP1046A がサポートしているすべてのコマンドは、図 47 から図 53 のプロトコル・タイプのいずれか 1 つに分類されます。



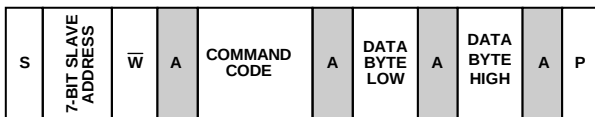
☐ = MASTER-TO-SLAVE
☒ = SLAVE-TO-MASTER

図 47. バイト送信プロトコル



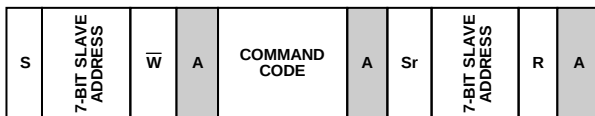
☐ = MASTER-TO-SLAVE
☒ = SLAVE-TO-MASTER

図 48. バイト書き込みプロトコル



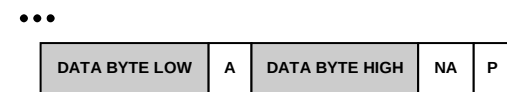
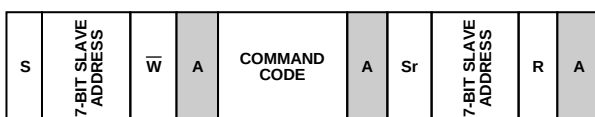
☐ = MASTER-TO-SLAVE
☒ = SLAVE-TO-MASTER

図 49. ワード書き込みプロトコル



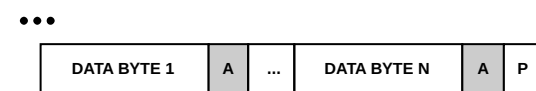
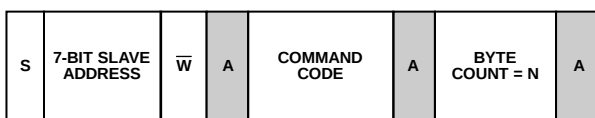
☐ = MASTER-TO-SLAVE
☒ = SLAVE-TO-MASTER

図 50. バイト読出しプロトコル



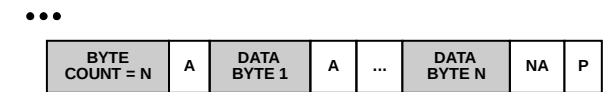
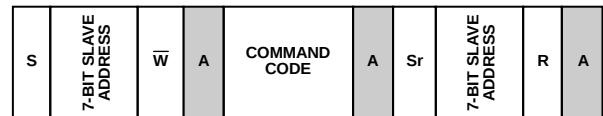
☐ = MASTER-TO-SLAVE
☒ = SLAVE-TO-MASTER

図 51. ワード読出しプロトコル



☐ = MASTER-TO-SLAVE
☒ = SLAVE-TO-MASTER

図 52. ブロック書き込みプロトコル



☐ = MASTER-TO-SLAVE
☒ = SLAVE-TO-MASTER

図 53. ブロック読出しプロトコル

クロックの発生と伸長

ADP1046A は、システムの中で常にスレーブであるためクロックを生成する必要がありません。クロックは、システムのマスター・デバイスが生成します。しかし I²C スレーブ・デバイスは、クロックを伸長してマスター・デバイスを待機状態にすることができます。スレーブ・デバイスは、ロー期間に SCL 信号を伸長することで、まだスレーブ・デバイスの準備ができていないためにマスター・デバイスが待機する必要があることをマスター・デバイスに伝えます。

I²C スレーブ・デバイスが SCL ラインのロー期間を伸長する条件は、以下のとおりです。

- マスター・デバイスがスレーブ・デバイスより高いボーレートで転送を行っている。
- スレーブ・デバイスの受信 FIFO バッファが満杯で、読み出してからでなければ通信を継続できない。これは、データのオーバーフローを防止します。
- スレーブ・デバイスが、マスターの要求したデータを送信する準備ができていない。

スレーブ・デバイスは、SCL ラインのロー期間だけを伸長することができます。また、I²C 仕様では SCL ラインを無制限に伸長できることになっているのに対して、ADP1046A では、SCL ラインの伸長およびロー保持期間の最大値を定めています。最大値の詳細は「タイムアウト条件」のセクションをご覧ください。

開始条件および停止条件

開始および停止条件は、シリアル・クロックが論理的にハイ・レベルな時のシリアル・データの変化です。I²C スレーブ・デバイスは、SDA と SCL ラインをモニタして開始および停止条件を検出し、それに応じて内部のステートマシンを変化させます。代表的な開始および停止条件を図 54 に示します。

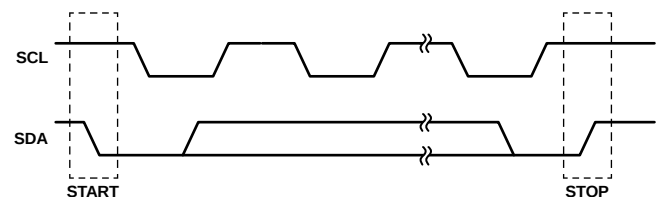


図 54. 開始/停止の変化

ジェネラル・コールのサポート

ADP1046A はジェネラル・コール・アドレスのデコードおよびアクノレッジが可能です。ジェネラル・コール・アドレスは、スレーブ・アドレスとして 0x00 を使っている送信、書込み、読出しコマンドで使うことができます。I²C スレーブは、自分自身のアドレスとジェネラル・コール・アドレス (0x00) のどちらに対しても応答します。

すべてのコマンドはスレーブ・アドレスから始まり、R/W ビットをクリア (0 に設定) して、コマンド・コードが続きます。これは、I²C スレーブ・デバイスと通信を行うためにジェネラル・コール・アドレスを使う場合にも当てはまります。

10 ビット・アドレッシング

ADP1046A は、I²C 仕様に規定されている 10 ビットアドレッシングには対応していません。

高速モード

高速モード (400kB/秒) は、基本的には標準動作モードと同じですが、一番影響があるのは電氣的仕様とタイミングです。I²C スレーブは、マスター・デバイスの動作モードが標準 (100kB/秒) であっても高速であっても通信が可能です。

反復開始条件

一般的には、反復開始条件は、転送と転送の間に停止条件がないことで、2つの転送の方向は自由です。たとえば、送信の後に受信が続くタイプでも、受信のあとに送信が続くタイプでもかまいません。しかし、ADP1046A の I²C 通信プロトコルでは、反復開始条件を使うのは読出しアクセス (バイト読出し、ワード読出し、ブロック読出し) の場合だけです。これ以外の場合に反復開始条件を使うことは許されていません。

電氣的仕様

すべての論理は、2000 年 1 月付けの Philips 社の I²C Bus Specification, Version 2.1 に概略が記されている電氣的仕様に準拠します。

故障状態

I²C プロトコルでは、非常に広範囲にわたる故障状態を通信中にモニタすることができます。これらの通信上の故障は、I²C プロトコルのデータ転送のメカニズムに関するエラーで、以下のセクションで説明していきます。

タイムアウト条件

タイムアウト条件は、1 つ以上の SCL クロック・パルスが t_{TIMEOUT, MIN} の 25ms 以上の間ローになることです。タイムアウト状態条件を検出すると、I²C スレーブ・デバイスは 10ms 後に当該転送を終了してバス・ラインを解放し、新しい開始条件を待ちます。タイムアウトを起動するデバイスは、SCL クロック・ラインを最低 t_{TIMEOUT, MAX} の 35ms の間はローに保つ必要があります。これによって、スレーブ・デバイスが通信プロトコルをリセットするために十分な時間が確保されます。

データ伝送故障

データ伝送故障は、2つの通信デバイスが I²C 通信プロトコルに違反した場合に発生します。

送信ビット数が不足

データ伝送が、1 バイト (8 ビット) すべての送信が完了する前に開始条件または停止条件によって中断された場合に発生します。非サポート 送信したデータはすべて無視されます。

読出しビット数が不足

データ伝送が、1 バイト (8 ビット) すべての読出しが完了する前に開始条件または停止条件によって中断された場合に発生します。非サポート 受信したデータはすべて無視されます。

ホストによる送信、読出しバイト数が不足

ホストが、必要数のバイトの送信/受信が完了する前に停止条件に従ってパケットを終了した場合、ホストが意図的に転送を停止したとみなされます。そのため、I²C スレーブはこれをエラーとみなさず、送信 FIFOに残っているバイトを消去する以外は何もしません。

ホストによる送信バイト数が過剰

ホストが、当該コマンドで求められているより多い数のバイトを送信した場合、I²C スレーブはこれをデータ伝送故障とみなし、以下のように動作します。

- 受信したすべての起こりえないバイトに対してノー・アクノレッジを返す
- 受信したコマンドおよびデータを消去・無視する

ホストによる読出しバイト数が過剰

ホストが、当該コマンドで求められているより多い数のバイトを読み出した場合、I²C スレーブはこれをデータ伝送故障とみなし、ホストがデータを要求し続けている間ずっとオール 1 (0xFF) を送信します。

デバイス・ビジー

I²C スレーブ・デバイスが使用中で、マスター・デバイスからの要求に応えられない場合に発生します。通常、スレーブ・デバイスが空いて、通信ができるようになるまで SCL クロック伸長が行われます。

データ内容故障

データ内容故障は、データ伝送には問題がないにもかかわらず、マスター・デバイスから受信したデータを I²C スレーブ・デバイスが処理できない場合に発生します。

アドレス・バイトへの読出しビットの設定が不適切

すべての I²C コマンドはスレーブ・アドレスから始まり、R/W ビットをクリア (0 に設定) して、コマンド・コードが続きます。もしホストが、アドレス・フェーズ (I²C 読出しに相当) で R/W がセットされた状態で I²C トランザクションを開始した場合、I²C スレーブはこれをデータ内容故障とみなし、以下のように動作します。

- アドレス・バイトに対してアクノレッジを返す

- コマンドとデータバイトに対してノー・アクノレッジを返す
- ホストがデータを要求し続けている間ずっとオール 1 (0xFF) を送信する

コマンド・コードが無効または非サポート

無効またはサポートしていないコマンド・コードが I²C スレーブに送られてきた場合、I²C スレーブはこれをデータ内容故障とみなし、以下のように動作します。

- 不正またはサポートしていないコマンド・バイトおよびデータバイトに対してノー・アクノレッジを返す
- 受信したコマンドおよびデータを消去・無視する

予備ビット

予備ビットへのアクセスは故障とはなりません。予備ビットへの書き込みアクセスは無視され、読出しアクセスをした場合は、不定データが読み出されます。

リード・オンリー・コマンドへの書き込み

ホストが、リード・オンリー・コマンドに対して書き込みを行った場合、I²C スレーブはこれをデータ内容故障とみなし、以下のように動作します。

- 受信したすべての不要なデータバイトに対してノー・アクノレッジを返す
- 受信したコマンドおよびデータを消去・無視する

「ホストによる送信バイト数が過剰」のセクションに記載されているのと同じエラーです。

ライト・オンリー・コマンドからの読出し

ホストが、ライト・オンリー・コマンドに対して読出しを行った場合、I²C スレーブはこれをデータ内容故障とみなし、ホストがデータを要求し続けている間ずっとオール 1 (0xFF) を送信します。

「ホストによる読出しバイト数が過剰」のセクションに記載されているのと同じエラーです。

EEPROM

ADP1046A は、埋め込み型 8K × 8 バイト EEPROM と通信を行うための EEPROM コントローラを内蔵しています。EEPROM は Flash[®]/EE と呼ばれ、INFO ブロックとメイン・ブロックの 2 つの主要なブロックに分割されています。INFO ブロックは 128 × 8 ビット・バイト（内部でのみ使用）で構成され、メイン・ブロックは 8K × 8 ビット・バイトで構成されています。メイン・ブロックはさらに 16 ページに分割されており、各ページは 512 バイトです。

EEPROM の概要

EEPROM コントローラは、ADP1046A コア・ロジックと埋め込み型 Flash/EE との間のインターフェースを提供します。ユーザーは、このコントローラ・インターフェースを通して EEPROM データの送受信を制御することができます。EEPROM に対する操作ごとにそれぞれの I²C コマンドがあります。

通信は、マスター・デバイスが EEPROM データを送受信するためのコマンドを I²C スレーブ・デバイスに送ると開始されます。読出しコマンドおよび書込みコマンドにより、バイト単位でデータがデバイス間で転送されます。読出しコマンドによって、データが EEPROM から読み出されてマスター・デバイスへ送られます。書込みコマンドによって、データがマスター・デバイスから送られ、EEPROM コントローラを経由して EEPROM に格納されます。また、複数の送信コマンドを使用することもできます。その場合コマンドは、スレーブ・デバイスがストップ・ビットを受信したときに実行されます。ストップ・ビットというのは、I²C 通信プロトコルにおいて定義されているように、すべてのデータが転送された場合の最後のビットです。

I²C プロトコルの全体については、2000 年 1 月付けの Philips 社の I²C Bus Specification, Version 2.1 を参照してください。

ページの消去

メイン・ブロックは、1 ページがそれぞれ 512 バイトのページ 0～ページ 15 の 16 ページで構成されています。メイン・ブロックのページ 0 とページ 1 は、それぞれデフォルト設定値とユーザー設定値を格納するための予備領域です。ページ 0 とページ 1 に対しては、ページ消去を行うことはできません。ページ 2 とページ 3 は、内部で使用するための予備領域なので消去しないでください。

メイン・ブロックでは、ページ 4～ページ 15 のみがデータを格納するために使うことができます。ページ 4～ページ 15 のどのページを消去する場合でも、EEPROM にアクセスするには、まず EEPROM のロックを解除する必要があります。EEPROM のロックを解除する方法については「EEPROM のロック解除」のセクションを参照してください。

メイン・ブロックのページ 4～ページ 15 は、EEPROM_PAGE_ERASE コマンド（レジスタ 0x87）を使って個別に消去することができます。

たとえばページ 10 を消去するには、下記のコマンドを実行してください。

S	7-BIT SLAVE ADDRESS	W	A	COMMAND CODE	A	DATA BYTE	A	P
---	---------------------	---	---	--------------	---	-----------	---	---

☐ = MASTER-TO-SLAVE
☒ = SLAVE-TO-MASTER

1102-200

図 55. 消去コマンドの例

この例では、コマンド・コード = 0x87、データバイト = 0x0A です。

ページ消去が完了するまでに少なくとも 35ms はかかります。次の I²C コマンドはその後で実行してください。

EEPROM では 1 ページ全体を消去することしかできません。そのため、ページ内のいずれか 1 バイトのデータのみを変更したい場合には、まずページ全体を消去して（ハイ・レベルにする）、そのバイトを書込み可能な状態にします。これ以降は、そのページ内のどのバイトに対しても書込みが可能になります。ただし、予めそのバイトを書き込む際に、論理的にロー・レベルに設定されていない場合に限りです。

読出し動作（バイト読出しとブロック読出し）

メイン・ブロック、ページ 0 とページ 1 からの読出し

メイン・ブロックのページ 0 とページ 1 は、それぞれデフォルト設定値とユーザー設定値を格納するための予備領域で、第三者がこれらのデータにアクセスすることはできません。ページ 0 またはページ 1 を読み出すには、まず EEPROM のロックを解除しなければなりません（「EEPROM のロック解除」のセクション参照）。EEPROM のロック解除後、ページ 0 とページ 1 は「メイン・ブロック、ページ 2～ページ 15 からの読出し」のセクションに記載されている手順により、EEPROM_DATA_xx コマンドを使って読み出すことができます。なお、EEPROM がロックされている状態でページ 0 またはページ 1 を読み出した場合は、無効データが読み出されます。

メイン・ブロック、ページ 2～ページ 15 からの読出し

メイン・ブロックのページ 2～ページ 15 のデータは、EEPROM がロックされていても常に読み出すことができます。EEPROM のメイン・ブロック内のデータは、EEPROM_DATA_xx コマンド（レジスタ 0x8B～レジスタ 0x9A）を使って、1 回に 1 バイト、または続けて複数のバイトを読み出すことができます。

このコマンドを実行する前に、EEPROM_NUM_RD_BYTES コマンド（レジスタ 0x86）を使って、読み出すバイト数を設定しておく必要があります。また、EEPROM_ADDR_OFFSET コマンド（レジスタ 0x85）を使って、最初にバイトが読み出されるページ境界からのオフセットを設定することもできます。

下記の例では、3 バイトのデータを EEPROM のページ 4 の先頭から 5 バイト目から読み出しています。

1. リターン・バイト数を 3 に設定する。

S	7-BIT SLAVE ADDRESS	$\overline{W}$	A	0x86	A	0x03	A	P
---	---------------------	----------------	---	------	---	------	---	---

☐ = MASTER-TO-SLAVE
☐ = SLAVE-TO-MASTER

11012-201

2. アドレス・オフセットを 5 に設定する。

S	7-BIT SLAVE ADDRESS	$\overline{W}$	A	0x85	A	0x05	A	0x00	A	P
---	---------------------	----------------	---	------	---	------	---	------	---	---

☐ = MASTER-TO-SLAVE
☐ = SLAVE-TO-MASTER

11012-202

3. ページ 4 から 3 バイトを読み出す。

S	7-BIT SLAVE ADDRESS	$\overline{W}$	A	0x8F	A	Sr	7-BIT SLAVE ADDRESS	R	A
---	---------------------	----------------	---	------	---	----	---------------------	---	---

...

BYTE COUNT = 0x03	A	DATA BYTE 1	A	...	DATA BYTE 3	NA	P
-------------------	---	-------------	---	-----	-------------	----	---

☐ = MASTER-TO-SLAVE
☐ = SLAVE-TO-MASTER

11012-203

ブロック読み出しコマンドを使うと、1 回のトランザクションで 256 バイトまで読み出すことができます（この場合、読み出すバイト数=0 にします）。

書込み動作（バイト書込みとブロック書込み）

メイン・ブロック、ページ 0 とページ 1 への書込み

メイン・ブロックのページ 0 とページ 1 は、それぞれデフォルト設定値とユーザー設定値を格納するための予備領域です。EEPROM_DATA_00 および EEPROM_DATA_01 コマンドを使ってページ 0 またはページ 1 に対して直接書込みを行うことはできません。ページ 0 またはページ 1 に対して書込みを行った場合、ノー・アクノレッジが返されます。メイン・ブロックのページ 1 にレジスタ設定値を設定する場合は、STORE_USER_ALL コマンド（レジスタ 0x82）を使うことを推奨します。「レジスタ設定値のユーザー設定値格納場所への保存」のセクションを参照してください。

メイン・ブロック、ページ 2 とページ 3 への書込み

メイン・ブロックのページ 2 とページ 3 は内部で使用するための予備領域です。データは書き込まないでください。ページ 4～ページ 15 のみがデータを格納するために使えます。

メイン・ブロック、ページ 4～ページ 15 への書込み

メイン・ブロックのページ 4～ページ 15 にデータを書き込むには、まず EEPROM のロックを解除しなければなりません（「EEPROM のロック解除」のセクション参照）。

EEPROM のメイン・ブロックのページ 4～ページ 15 へのデータは、EEPROM_DATA_xx コマンド（レジスタ 0x8B～レジスタ 0x9A）を使って、1 回に 1 バイト、または続けて複数のバイトを設定する（書き込む）ことができます。このコマンドを実行する前に、EEPROM_ADDR_OFFSET コマンド（レジスタ 0x85）を使って、最初にバイトが書き込まれるページ境界からのオフセットを書き込むこともできます。

もし当該ページの消去がまだ済んでいなければ、「ページの消去」のセクションに記載されている手順で、そのページを消去することができます。

下記の例では、4 バイトのデータをページ 9 の先頭から 256 バイト目から書き込んでいます。

1. アドレス・オフセットを 256 に設定する。

S	7-BIT SLAVE ADDRESS	$\overline{W}$	A	0x85	A	0x00	A	0x01	A	P
---	---------------------	----------------	---	------	---	------	---	------	---	---

☐ = MASTER-TO-SLAVE
☐ = SLAVE-TO-MASTER

11012-204

2. ページ 9 に 4 バイトを書き込む。

S	7-BIT SLAVE ADDRESS	$\overline{W}$	A	0x94	A	BYTE COUNT = 4	A
---	---------------------	----------------	---	------	---	----------------	---

...

DATA BYTE 1	A	...	DATA BYTE 4	A	P
-------------	---	-----	-------------	---	---

☐ = MASTER-TO-SLAVE
☐ = SLAVE-TO-MASTER

11012-205

ブロック書込みコマンドを使うと、1 回のトランザクションで 256 バイトまで書き込むことができます（この場合、バイト数=0 にします）。

EEPROM パスワード

電源を投入すると EEPROM はロックされ、偶発的に書き込まれたり消去されたりしないように保護されます。EEPROM がロックされていても、メイン・ブロックのページ 2～ページ 5 の読み出しだけは行えます。EEPROM にデータを書き込む（プログラムする）には、まず EEPROM のロックを解除して書込みのためのアクセスができるようにしなければなりません。EEPROM のロック解除後は、読み出し、書込み、消去のいずれも可能になります。

EEPROM のロック解除

EEPROM のロックを解除するには、EEPROM_PASSWORD コマンド（レジスタ 0x88）に、正しいパスワード（デフォルト = 0xFF）を 2 回続けて書き込んでください。これにより EEPROM EEPROM unlocked フラグ（レジスタ 0x03 のビット 0）がセットされ、EEPROM のロックが解除されて書込みのためのアクセスができるようになったことを示します。

EEPROM のロック

EEPROM をロックするには、EEPROM_PASSWORD コマンド（レジスタ 0x88）に、正しいパスワード以外のバイト・データを書き込んでください。これにより EEPROM EEPROM unlocked フラグ（レジスタ 0x03 のビット 0）がクリアされ、EEPROM がロックされて書込みのためのアクセスができなくなったことを示します。

EEPROM パスワードの変更

EEPROM パスワードを変更するには、まず EEPROM_PASSWORD コマンド（レジスタ 0x88）に正しいパスワードを書き込み、すぐに同じコマンドに新しいパスワードを書き込んでください。これで古いパスワードが新しいパスワードに変更されます。

EEPROM 設定 の内部レジスタへのダウンロード

ユーザー設定値のレジスタへのダウンロード

ユーザー設定値は EEPROM メイン・ブロックのページ 1 に格納されます。設定値は、下記の場合に EEPROM からレジスタへダウンロードされます。

- 電源投入時。ユーザー設定値は内部レジスタに自動的にダウンロードされ、前回ユーザーが保存した状態で電源投入されます。
- RESTORE_USER_ALL コマンド（レジスタ 0x83）実行時。このコマンドを使うと、ユーザー設定値は EEPROM メイン・ブロックのページ 1 から内部レジスタに強制的にダウンロードされます。

工場出荷設定値のレジスタへのダウンロード

工場出荷設定値は EEPROM メイン・ブロックのページ 0 に格納されます。設定値は、RESTORE_DEFAULT_ALL コマンド（レジスタ 0x81）を使って EEPROM から内部レジスタへダウンロードすることができます。

このコマンドを実行すると、EEPROM パスワードも工場出荷設定値である 0xFF にリセットされます。

レジスタ設定値の EEPROM への保存

レジスタ設定値は、工場出荷設定値用の記憶場所である EEPROM メイン・ブロックのページ 0 に保存することはできません。これは、工場調整設定値やレジスタのデフォルト設定値をユーザーが偶発的に書き換えてしまうことを防ぐためです。

レジスタ設定値のユーザー設定場所への保存

レジスタ設定値は、STORE_USER_ALL コマンド（レジスタ 0x82）を使って、ユーザー設定用の記憶場所である EEPROM メイン・ブロックのページ 1 に保存することができます。このコマンドを使うには、まず EEPROM のロックを解除して書き込みができるようにしなければなりません（「EEPROM のロック解除」のセクション参照）。

レジスタ設定値がユーザー設定用の記憶場所に保存されると、それ以降のパワー・サイクル毎に、最新格納情報が EEPROM から内部レジスタへ自動的にダウンロードされます。

STORE_USER_ALL コマンドを実行すると、自動的に EEPROM メイン・ブロックのページ 1 のページ消去が行われ、その後レジスタ設定値が EEPROM に保存されます。そのため、動作が完了するまで最低 40ms は待ってから次の I²C コマンドを実行する必要があります。

EEPROM の CRC チェックサム

EEPROM からダウンロードされた値が内部レジスタの内容と一致しているかどうかを簡単に調べる方法として、CRC チェックサムが使われています。

- データが内部レジスタから EEPROM（メイン・ブロックのページ 1）に保存されると、すべてのレジスタから送られた 1 の合計数がカウントされ、情報の最後のバイトとして EEPROM に書き込まれます。これを CRC チェックサムと呼びます。
- データが EEPROM から内部レジスタにダウンロードされると、上記と同様に、内部レジスタにダウンロードされた値に含まれるすべての 1 の合計数がレジスタに保存されます。この値が、前のアップロード動作時の CRC チェックサムと比較されます。

値が一致した場合、ダウンロード動作は正常に行われたことになります。一致しない場合は、EEPROM のダウンロード動作は失敗となり、EEPROM CRC fault フラグがセットされます（レジスタ 0x03 のビット 1）。

EEPROM の CRC チェックサムを読むには、EEPROM_CRC_CHKSUM コマンド（レジスタ 0x84）を実行してください。

このコマンドを実行すると、ダウンロード動作時にカウンタに蓄えられた CRC チェックサムが返されます。なお、CRC チェックサムは 8 ビットの周期アキュムレータで、255 になると 0 に戻ります。

ソフトウェア GUI

ADP1046A の設定と構成に使用できる無償のソフトウェア GUI が提供されています。この GUI は、電源設計者が直感で理解できるので、電源設計と開発時間を大幅に削減できます。このソフトウェアには、フィルタ・デザイン・ウィンドウと電源 PWM 回路の接続ウィンドウが含まれています。

また、この GUI は情報センターでもあり、ADP1046A 上のすべての測定値、モニタリング、フラグのステータスが表示されます。

GUI の詳細に関する、最新のソフトウェアとユーザー・ガイドについては、アナログ・デバイセズにお尋ねください。アナログ・デバイセズにご連絡いただければ、評価用ボードも提供いたします。

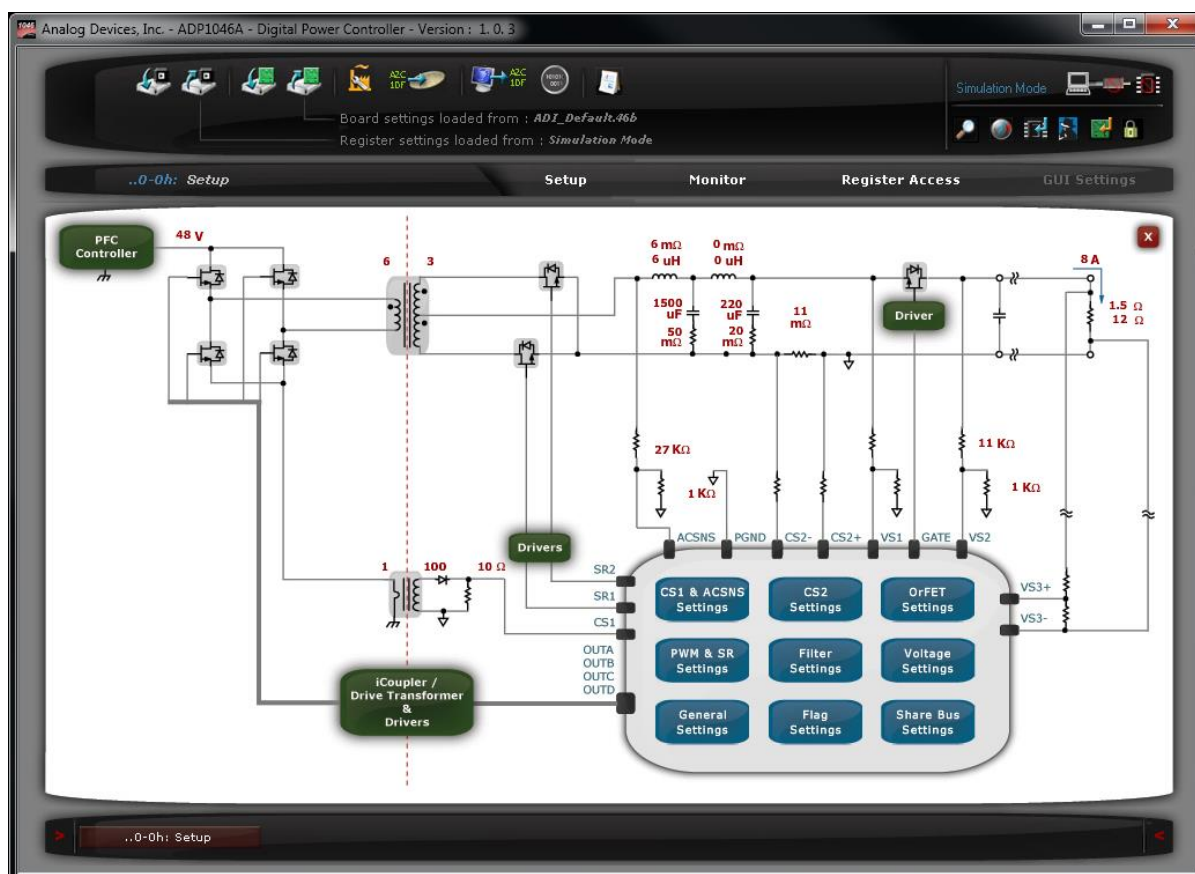


図 56. ADP1046A の GUI

レジスタのリスト

表 7. レジスタ・リスト

アドレス	レジスタ名
故障レジスタ	
0x00	故障レジスタ 1
0x01	故障レジスタ 2
0x02	故障レジスタ 3
0x03	故障レジスタ 4
0x04	ラッチ型故障レジスタ 1
0x05	ラッチ型故障レジスタ 2
0x06	ラッチ型故障レジスタ 3
0x07	ラッチ型故障レジスタ 4
0x08	故障設定レジスタ 1
0x09	故障設定レジスタ 2
0x0A	故障設定レジスタ 3
0x0B	故障設定レジスタ 4
0x0C	故障設定レジスタ 5
0x0D	故障設定レジスタ 6
0x0E	フラグ設定レジスタ
0x0F	ソフトスタート・ブランク故障フラグ・レジスタ
値レジスタ	
0x10	先頭フラグ ID
0x11	RTD 電流源
0x12	HF ADC 読出し
0x13	CS1 値（入力電流）
0x14	ACSNS 値
0x15	VS1 電圧値
0x16	VS2 電圧値
0x17	VS3 電圧値（出力電圧）
0x18	CS2 値（出力電流）
0x19	CS2 × VS3 値（出力電力）
0x1A	RTD 温度値
0x1B	読出し温度
0x1C	RTD オフセット調整（MSBs）
0x1D	シェア・バス値
0x1E	変調値
0x1F	ライン・インピーダンス値
0x20	RTD オフセット調整（LSBs）
電流検出レジスタおよび電流限界値レジスタ	
0x21	CS1 ゲイン調整
0x22	CS1 高精度 OCP 限界値
0x23	CS2 ゲイン調整
0x24	CS2 アナログ・オフセット調整
0x25	CS2 デジタル・オフセット調整
0x26	CS2 高精度 OCP 限界値
0x27	CS1/CS2 高速 OCP 設定
0x28	電圧-時間バランス設定
0x29	シェア・バス帯域幅
0x2A	シェア・バス設定
0x2B	温度ゲイン調整
0x2C	PSON/ソフトスタート
0x2D	PGOOD バウンス防止およびピン極性設定

アドレス	レジスタ名
0x2E	変調限界値
0x2F	OTP 閾値
0x30	OrFET
電圧検出レジスタ	
0x31	VS3 電圧設定 (リモート電圧)
0x32	VS1 過電圧限界値 (OVP)
0x33	VS2 および VS3 過電圧限界値 (OVP)
0x34	VS1 低電圧限界値 (UVP)
0x35	ライン・インピーダンス限界値
0x36	ロードライン・インピーダンス
0x37	高速 OVP コンパレータ
0x38	VS1 調整
0x39	VS2 調整
0x3A	VS3 調整
0x3B	軽負荷モード・無効設定
ID レジスタ	
0x3C	シリコン・レビジョン ID
0x3D	メーカー ID
0x3E	デバイス ID
PWM レジスタおよび同期整流器タイミング・レジスタ	
0x3F	OUTAUX スイッチング周波数設定
0x40	PWM スイッチング周波数設定
0x41	OUTA 立ち上がりエッジ・タイミング (OUTA ピン)
0x42	OUTA 立ち上がりエッジ設定 (OUTA ピン)
0x43	OUTA 立下がりエッジ・タイミング (OUTA ピン)
0x44	OUTA 立下がりエッジ設定 (OUTA ピン)
0x45	OUTB 立ち上がりエッジ・タイミング (OUTB ピン)
0x46	OUTB 立ち上がりエッジ設定 (OUTB ピン)
0x47	OUTB 立下がりエッジ・タイミング (OUTB ピン)
0x48	OUTB 立下がりエッジ設定 (OUTB ピン)
0x49	OUTC 立ち上がりエッジ・タイミング (OUTC ピン)
0x4A	OUTC 立ち上がりエッジ設定 (OUTC ピン)
0x4B	OUTC 立下がりエッジ・タイミング (OUTC ピン)
0x4C	OUTC 立下がりエッジ設定 (OUTC ピン)
0x4D	OUTD 立ち上がりエッジ・タイミング (OUTD ピン)
0x4E	OUTD 立ち上がりエッジ設定 (OUTD ピン)
0x4F	OUTD 立下がりエッジ・タイミング (OUTD ピン)
0x50	OUTD 立下がりエッジ設定 (OUTD ピン)
0x51	SR1 立ち上がりエッジ・タイミング (SR1 ピン)
0x52	SR1 立ち上がりエッジ設定 (SR1 ピン)
0x53	SR1 立下がりエッジ・タイミング (SR1 ピン)
0x54	SR1 立下がりエッジ設定 (SR1 ピン)
0x55	SR2 立ち上がりエッジ・タイミング (SR2 ピン)
0x56	SR2 立ち上がりエッジ設定 (SR2 ピン)
0x57	SR2 立下がりエッジ・タイミング (SR2 ピン)
0x58	SR2 立下がりエッジ設定 (SR2 ピン)
0x59	OUTAUX 立ち上がりエッジ・タイミング (OUTAUX ピン)
0x5A	OUTAUX 立ち上がりエッジ設定 (OUTAUX ピン)
0x5B	OUTAUX 立下がりエッジ・タイミング (OUTAUX ピン)
0x5C	OUTAUX 立下がりエッジ設定 (OUTAUX ピン)
0x5D	OUTx および SRx ピン・無効設定
0x5E	ACSNS ゲイン調整

デジタル・フィルタ設定レジスタ

0x5F	ソフトスタートおよび出力電圧スルーレート設定
0x60	ノーマル・モード・デジタル・フィルタ LF ゲイン設定
0x61	ノーマル・モード・デジタル・フィルタ・ゼロ設定
0x62	ノーマル・モード・デジタル・フィルタ極設定
0x63	ノーマル・モード・デジタル・フィルタ HF ゲイン設定
0x64	軽負荷モード・デジタル・フィルタ LF ゲイン設定
0x65	軽負荷モード・デジタル・フィルタ・ゼロ設定
0x66	軽負荷モード・デジタル・フィルタ極設定
0x67	軽負荷モード・デジタル・フィルタ HF ゲイン設定
0x68	予備

ソフトスタート・フィルタ設定レジスタ

0x71	ソフトスタート・デジタル・フィルタ LF ゲイン設定
0x72	ソフトスタート・デジタル・フィルタ・ゼロ設定
0x73	ソフトスタート・デジタル・フィルタ極設定
0x74	ソフトスタート・デジタル・フィルタ HF ゲイン設定

拡張機能レジスタ

0x75	電圧ライン・フィードフォワード
0x76	電圧-時間バランス設定 (OUTA ピンおよび OUTB ピン)
0x77	電圧-時間バランス設定 (OUTC ピンおよび OUTD ピン)
0x78	電圧-時間バランス設定 (SR1 ピンおよび SR2 ピン)
0x79	SR 遅延補正
0x7A	フィルタ遷移
0x7B	PGOOD1 フラグ・マスク
0x7C	PGOOD2 フラグ・マスク
0x7D	軽負荷モード閾値設定
0x7E	予備
0x7F	GO バイト
0x80	予備

EEPROM レジスタ

0x81	RESTORE_DEFAULT_ALL
0x82	STORE_USER_ALL
0x83	RESTORE_USER_ALL
0x84	EEPROM_CRC_CHKSUM
0x85	EEPROM_ADDR_OFFSET
0x86	EEPROM_NUM_RD_BYTES
0x87	EEPROM_PAGE_ERASE
0x88	EEPROM_PASSWORD
0x89	TRIM_PASSWORD
0x8A	EEPROM_INFO
0x8B	EEPROM_DATA_00
0x8C	EEPROM_DATA_01
0x8D	EEPROM_DATA_02
0x8E	EEPROM_DATA_03
0x8F	EEPROM_DATA_04
0x90	EEPROM_DATA_05
0x91	EEPROM_DATA_06
0x92	EEPROM_DATA_07
0x93	EEPROM_DATA_08
0x94	EEPROM_DATA_09
0x95	EEPROM_DATA_10
0x96	EEPROM_DATA_11
0x97	EEPROM_DATA_12
0x98	EEPROM_DATA_13
0x99	EEPROM_DATA_14
0x9A	EEPROM_DATA_15

レジスタの詳細説明

故障レジスタ

レジスタ 0x04～レジスタ 0x07 は、ラッチ型故障レジスタです。これらのレジスタでは、故障が解消したとき、フラグはリセットされません。レジスタの読出しによってのみ、フラグがクリアされます（ただし故障が解消されている場合）。ラッチ型ビットは、ロー・レベルからハイ・レベルへの変化でのみラッチされることに注意してください。また、故障が続いていないかぎり、I²C インターフェースを介して読出したときに、これらのレジスタ・ビットがクリアされることにも注意してください。故障が解消された後ラッチ型故障レジスタを再度読出して、レジスタがリセットされたことを確認することが推奨されます。

表 8. レジスタ 0x00—故障レジスタ 1 およびレジスタ 0x04—ラッチ型故障レジスタ 1（1 = 故障、0 = 通常動作）

Bits	Bit Name	R/W	Description	Register	Action
7	Power supply	R	1 = 電源オフ状態です。PWM出力はすべて無効です。電源が再起動されるまでこのビットはハイ・レベルのままです。		なし
6	OrFET	R	1 = GATE ピン（ピン 16）の OrFET 制御信号がオフ状態です。	0x30	
5	PGOOD1 fault	R	1 = Power-Good 1 の故障。次のうち少なくとも 1 つのフラグがセットされています：ソフトスタート・フラグ、CS1 高速 OCP、CS1 高精度 OCP、CS2 高精度 OCP、UVP、ローカル OVP、負荷 OVP、OrFET（GATE ピン）。これらのフラグはレジスタ 0x7B でマスクできます。	0x2D	なし
4	PGOOD2 fault	R	1 = Power-Good 2 の故障。次のうち少なくとも 1 つのフラグがセットされています：ソフトスタート・フラグ、CS1 高速 OCP、CS1 高精度 OCP、CS2 高精度 OCP、UVP、ローカル OVP、負荷 OVP、OrFET（GATE ピン）。これらのフラグはレジスタ 0x7C でマスクできます。 次のフラグによって、レジスタ 0x2D[3] で定義したとおり無条件にまたはフラグの応答に従って、PGOOD2 をセットすることもできます（表 45 参照）：電圧連続性、OrFET 無効、ACSNS、外部フラグ（FLAGIN ピン）、OTP。	0x2D	なし
3	SR off	R	SR1、SR2 の同期整流器が無効です。このフラグは次の条件のいずれかが真である時にセットされます： ユーザーが SR1 と SR2 を無効に設定した。 負荷電流がレジスタ 0x3B の閾値を下回った。 フラグがセットされ同期整流器が無効になった。	0x5D 0x3B 0x08 to 0x0D	なし
2	CS1 fast OCP	R	CS1 電流が高速過電流保護限界値を上回っています。CS1 ピンには 1.2V 閾値が存在します。高速 OCP はコンパレータです。		プログラマブル
1	CS1 accurate OCP	R	CS1 電流が高精度過電流保護限界値を上回っています。	0x22	プログラマブル
0	CS2 accurate OCP	R	CS2 電流が高精度過電流保護限界値を上回っています。	0x26	プログラマブル

表 9. レジスタ 0x01—故障レジスタ 2 およびレジスタ 0x05—ラッチ型故障レジスタ 2 (1 = 故障、0 = 通常動作)

Bits	Bit Name	R/W	Description	Register	Action
7	Voltage continuity	R	VS1 ピンと VS2 ピンの間または VS2 ピンと VS3±ピンの間の電圧差が限界値の範囲を超えています。ピン上で (VS1 – VS2) > 50 mV または (VS2 – VS3) > 50 mV。		プログラマブル
6	UVP	R	VS1 が低電圧限界値を下回っています。	0x34	プログラマブル
5	CS2 reverse current	R	CS2± ピン間の逆方向電圧が限界値を上回っています。これは OrFET 逆方向電圧です。	0x30	プログラマブル
4	VDD UV	R	VDD が限界値を下回っています。		即時シャットダウン
3	VCORE OV	R	2.5 V VCORE が限界値を上回っています。		即時シャットダウン
2	VDD OV	R	VDD が限界値を上回っています。I ² C インターフェース機能は継続しますが、電源の再起動には PSON トグルが必要です。	0x0E	プログラマブル
1	Load OVP	R	VS2 または VS3±が過電圧限界値を上回っています。	0x33	プログラマブル
0	Local OVP	R	VS1 が過電圧限界値を上回っています。	0x32	プログラマブル

表 10. レジスタ 0x02—故障レジスタ 3 およびレジスタ 0x06—ラッチ型故障レジスタ 3 (1 = 故障、0 = 通常動作)

Bits	Bit Name	R/W	Description	Register	Action
7	OTP	R	温度が OTP 限界値を上回っています。	0x2F	プログラマブル
6	Fast OVP	R	高速 OVP 閾値を超えました。	0x37	プログラマブル
5	Share bus	R	電流シェアがレギュレーション限界値の範囲外です。	0x2A	プログラマブル
4	Constant current	R	電源は定電流モードで動作中です (定電流モード有効)。	0x27	なし
3	Soft start	R	リファレンスは立上げ中です。		なし
2	Line impedance	R	VS2 と VS3±間のライン・インピーダンスが限界値を上回っています。	0x35	なし
1	Soft start filter	R	ソフトスタート・フィルタを使用中です。	0x5F	なし
0	External flag	R	外部フラグ・ピン (FLAGIN) がセットされています。		プログラマブル

表 11. レジスタ 0x03—故障レジスタ 4 およびレジスタ 0x07—ラッチ型故障レジスタ 4 (1 = 故障、0 = 通常動作)

Bits	Bit Name	R/W	Description	Register	Action
7	Volt-second balance	R	電圧-時間バランスは最大または最小限界値に達しています。		なし
6	Modulation	R	変調は最大または最小限界値に達しています。	0x2E	なし
5	Reserved	R	予備		なし
4	Light load mode	R	システムは軽負荷モード中です。	0x3B	なし
3	Reserved	R	予備		なし
2	ACSNS	R	AC 検出 (コンパレータ) の振幅が正しくありません。		プログラマブル
1	CRC fault	R	ダウンロードされた EEPROM の内容が正しくありません。		即時シャットダウン
0	EEPROM unlocked	R	EEPROM のロックが解除されています。		なし

表 12. レジスタ 0x08～レジスタ 0x0D—故障設定レジスタ

Register Name	Address	Bits	Flag	Shutdown Debounce
Fault Configuration Register 1	0x08	[7:4] [3:0]	CS1 高速 OCP CS1 高精度 OCP	表 39 のレジスタ 0x27 参照 表 14 のレジスタ 0x0E 参照
Fault Configuration Register 2	0x09	[7:4] [3:0]	CS2 高精度 OCP 負荷 OVP (VS2 または VS3)	表 14 のレジスタ 0x0E 参照 2 ms
Fault Configuration Register 3	0x0A	[7:4] [3:0]	ローカル高精度 OVP (VS1) 高速 OVP (VS1) 外部フラグ入力 (FLAGIN)	2 ms (表 55 のレジスタ 0x37 参照) 10 ms
Fault Configuration Register 4	0x0B	[7:4] [3:0]	OTP UVP	100 ms 10 ms
Fault Configuration Register 5	0x0C	[7:4] [3:0]	CS2 逆方向電圧 電圧連続性	10 ms 100 ms
Fault Configuration Register 6	0x0D	[7:4] [3:0]	シェア・バス ACSNS	100 ms 10 ms

レジスタ 0x08～レジスタ 0x0D を使うと、各フラグがセットされたときの応答を設定することができます。

表 13. レジスタ 0x08～レジスタ 0x0D—故障設定レジスタ・ビットの説明

Bits	Bit Name	R/W	Description																																				
7	Timing	R/W	いつフラグをセットするかを設定します。 0 = バウンス防止後 1 = 即時																																				
[6:4]	Action	R/W	フラグに応じたデバイス動作を設定します。																																				
			<table> <tr> <th>Bit 6</th><th>Bit 5</th><th>Bit 4</th><th>動作</th></tr> <tr> <td>0</td><td>0</td><td>0</td><td>フラグを完全に無視する</td></tr> <tr> <td>0</td><td>0</td><td>1</td><td>SR1 と SR2 を無効にする</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>OrFET を無効にする</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>電源を無効にし、レジスタ 0x0E[1:0] で設定した電源再イネーブル時間経過後、電源を有効にする</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>OUTAUX を無効にする</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>OUTAUX 以外のすべての PWM 出力を無効にする</td></tr> <tr> <td>1</td><td>1</td><td>0</td><td>SR1、SR2、OrFET を無効にする</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>電源を無効にし、その状態を保つ；PSON 信号が再起動するために必要です。</td></tr> </table>	Bit 6	Bit 5	Bit 4	動作	0	0	0	フラグを完全に無視する	0	0	1	SR1 と SR2 を無効にする	0	1	0	OrFET を無効にする	0	1	1	電源を無効にし、レジスタ 0x0E[1:0] で設定した電源再イネーブル時間経過後、電源を有効にする	1	0	0	OUTAUX を無効にする	1	0	1	OUTAUX 以外のすべての PWM 出力を無効にする	1	1	0	SR1、SR2、OrFET を無効にする	1	1	1	電源を無効にし、その状態を保つ；PSON 信号が再起動するために必要です。
Bit 6	Bit 5	Bit 4	動作																																				
0	0	0	フラグを完全に無視する																																				
0	0	1	SR1 と SR2 を無効にする																																				
0	1	0	OrFET を無効にする																																				
0	1	1	電源を無効にし、レジスタ 0x0E[1:0] で設定した電源再イネーブル時間経過後、電源を有効にする																																				
1	0	0	OUTAUX を無効にする																																				
1	0	1	OUTAUX 以外のすべての PWM 出力を無効にする																																				
1	1	0	SR1、SR2、OrFET を無効にする																																				
1	1	1	電源を無効にし、その状態を保つ；PSON 信号が再起動するために必要です。																																				
3	Timing	R/W	ビット 7 と同じ																																				
[2:0]	Action	R/W	ビット [6:4] と同じ																																				

表 14. レジスタ 0x0E—フラグ設定レジスタ

Bits	Bit Name	R/W	Description			
7	VDD OV/VCORE OV flags ignore	R/W	このビットを1にすると、VDD OV および VCORE OV フラグを無視します。			
6	VDD OV/VCORE OV restart	R/W	デバイスが再起動する前に EEPROM の内容をダウンロードするかどうかを設定します。 1=デバイスはシャットダウン後、再起動前に EEPROM の内容をダウンロードする。 0=デバイスはシャットダウン後、再起動前に EEPROM の内容をダウンロードしない。			
5	VDD OV/VCORE OV debounce	R/W	このビットを1にすると、デバイスのシャットダウン前に 500μs のバウンス防止時間が入ります。このビットを0にすると、デバイスのシャットダウン前に 2μs のバウンス防止時間が入ります。			
[4:2]	Accurate OCP debounce for CS1 and CS2	R/W	高精度 OCP フラグがセットされると、フラグによる動作が行われる前にバウンス防止時間が入ります。これらのビットは、バウンス防止時間をフラグに設定します。ADC サンプリング・レートによって 2.62ms から 5.24 ms の遅延時間がこのバウンス防止時間に付加されます。			
			Bit 4	Bit 3	Bit 2	バウンス防止時間
			0	0	0	2.6 ms
			0	0	1	9.8 ms
			0	1	0	130 ms
			0	1	1	260 ms
			1	0	0	600 ms
			1	0	1	1.3 sec
			1	1	0	2 sec
			1	1	1	2.6 sec
[1:0]	Power supply reenable time	R/W	電源がシャットダウンしてから再起動するまでの遅延時間を設定します。SR1、SR2、OrFET はただちに再イネーブルされます。			
			Bit 1	Bit 0	時間(sec)	
			0	0	0.5	
			0	1	1	
			1	0	2	
			1	1	4	

レジスタ 0x0F を使うと、ソフトスタート立ち上がり時間が終わるまで特定のフラグを無視するように ADP1046A を設定することができます。ソフトスタート中、UVP と ACSNS フラグは常にアクティブです。

表 15. レジスタ 0x0F—ソフトスタート・ブランク故障フラグ・レジスタ

Bits	Bit Name	R/W	Description
7	Blank SR	R/W	このビットをセットすると、ソフトスタート立ち上がり時間が終わるまで SR1 と SR2 の PWM 出力は有効になりません。
6	Blank OTP	R/W	このビットをセットすると、ソフトスタート立ち上がり時間が終わるまで OTP フラグは無視されます。
5	Blank FLAGIN	R/W	このビットをセットすると、ソフトスタート立ち上がり時間が終わるまで FLAGIN フラグは無視されます。
4	Blank local OVP (accurate and fast)	R/W	このビットをセットすると、ソフトスタート立ち上がり時間が終わるまでローカル OVP フラグは無視されます。
3	Blank load OVP	R/W	このビットをセットすると、ソフトスタート立ち上がり時間が終わるまで負荷 OVP フラグは無視されます。
2	Blank CS2 accurate OCP	R/W	このビットをセットすると、ソフトスタート立ち上がり時間が終わるまで CS2 高精度 OCP フラグは無視されます。
1	Blank CS1 accurate OCP	R/W	このビットをセットすると、ソフトスタート立ち上がり時間が終わるまで CS1 高精度 OCP フラグは無視されます。
0	Blank CS1 fast OCP	R/W	このビットをセットすると、ソフトスタート立ち上がり時間が終わるまで CS1 高速 OCP フラグは無視されます。

値レジスタ

表 16. レジスタ 0x10—先頭フラグ ID

Bits	Bit Name	R/W	Description						
[7:4]	Reserved	R	予備						
[3:0]	First flag ID	R	最初にセットされたフラグを記録します。電源をリスタートするとこのレジスタはリセットされます。また、このレジスタを読み出してもリセットされます。						
			Bit 3	Bit 2	Bit 1	Bit 0	故障レジスタ	フラグ	
			0	0	0	0	None	フラグなし	
			0	0	0	1	Register 0x01, Bit 3	VCORE OV	
			0	0	1	0	Register 0x01, Bit 2	VDD OV	
			0	0	1	1	Register 0x03, Bit 1	EEPROM CRC 誤り	
			0	1	0	0	Register 0x00, Bit 2	CS1 高速 OCP	
			0	1	0	1	Register 0x00, Bit 1	CS1 高精度 OCP	
			0	1	1	0	Register 0x00, Bit 0	CS2 高精度 OCP	
			0	1	1	1	Register 0x01, Bit 1	負荷 OVP	
			1	0	0	0	Register 0x01, Bit 0	ローカル OVP（高速、高精度）	
			1	0	0	1	Register 0x02, Bit 0	FLAGIN	
			1	0	1	0	Register 0x02, Bit 7	OTP	
			1	0	1	1	Register 0x01, Bit 6	UVP	
			1	1	0	0	Register 0x01, Bit 5	CS2 逆方向電流	
			1	1	0	1	Register 0x01, Bit 7	電圧連続性	
			1	1	1	0	Register 0x02, Bit 5	シェア・バス	
			1	1	1	1	Register 0x03, Bit 2	ACSNS	

表 17. レジスタ 0x11—RTD 電流源

Bits	Bit Name	R/W	Description		
[7:6]	RTD current setting	R/W	RTD ピンの電流源の大きさを設定します。		
			Bit 7	Bit 6	電流源(μA)
			0	0	10
			0	1	20
			1	0	30
			1	1	40
[5:0]	Current trim	R/W	これらの 6 ビットで RTD ピンの電流源を調整します。レジスタ 0x11[7:6]で選択した RTD 電流の設定にかかわらず、LSB は 160 nA に対応します。		

表 18. レジスタ 0x12—HF ADC 読出し

Bits	Bit Name	R/W	Description
[7:0]	HF ADC reading	R	高周波 ADC からの読出し値を格納します。

表 19. レジスタ 0x13—CS1 値 (入力電流)

Bits	Bit Name	R/W	Description
[15:4]	Input current value	R	12 ビットの入力電流情報を格納します。この値は CS1 入力での電圧測定から算出されます。入力電流情報を読み出すには、連続した 2 回の読出し動作でこのレジスタを読む必要があります。最初に読み出した 8 ビットで入力電流情報の MSB の 8 ビットが返されます。2 回目の読出しでの先頭 4 ビットで入力電流情報の LSB の 4 ビットが返されます。CS1 入力ピンの範囲は 0V~1.4 V です。この値は 12 ビット分解能を持つことから、LSB のサイズは 342μV となります。0V 入力時、このレジスタの値は 0 (0x000) です。1V 入力時、このレジスタの値は 2926 (0xB6E) です。
[3:0]	Reserved	R	予備

表 20. レジスタ 0x14—ACSNS 値

Bits	Bit Name	R/W	Description
[15:4]	ACSNS voltage value	R	12 ビット ACSNS 低速 ADC の電圧情報を格納します。
[3:0]	Reserved	R	予備

表 21. レジスタ 0x15—VS1 電圧値

Bits	Bit Name	R/W	Description
[15:4]	VS1 voltage value	R	12 ビットのローカル出力電圧情報を格納します。この電圧は VS1 ピンで測定します。VS1 電圧情報を読み出すには、連続した 2 回の読出し動作でこのレジスタを読む必要があります。最初に読み出した 8 ビットでローカル出力電圧情報の MSB の 8 ビットが返されます。2 回目の読出しでの先頭 4 ビットでローカル出力電圧情報の LSB の 4 ビットが返されます。VS1 入力ピンの範囲は 0 V～1.6 V です。この値は 12 ビット分解能を持つことから、LSB のサイズは 390.625 μ V となります。0V 入力時、このレジスタの値は 0 (0x000) です。このピンの推奨される公称電圧は 1V です。1V 入力時、読出し値は 2560 (0xA00) です。
[3:0]	Reserved	R	予備

表 22. レジスタ 0x16—VS2 電圧値

Bits	Bit Name	R/W	Description
[15:4]	VS2 voltage value	R	12 ビットの負荷出力電圧情報を格納します。この電圧は VS2 ピンで測定します。VS2 電圧情報を読み出すには、連続した 2 回の読出し動作でこのレジスタを読む必要があります。最初に読みだした 8 ビットで負荷出力電圧情報の MSB の 8 ビットが返されます。2 回目の読出しでの先頭 4 ビットで負荷出力電圧情報の LSB の 4 ビットが返されます。VS2 入力ピンの範囲は 0 V～1.6 V です。この値は 12 ビット分解能を持つことから、LSB のサイズは 390.625 μ V となります。0V 入力時、このレジスタの値は 0 (0x000) です。このピンの推奨される公称電圧は 1V です。1V 入力時、読出し値は 2560 (0xA00) です。
[3:0]	Reserved	R	予備

表 23. レジスタ 0x17—VS3 電圧値（出力電圧）

Bits	Bit Name	R/W	Description
[15:4]	VS3 voltage value	R	12 ビットのリモート出力電圧情報を格納します。この値は、VS3+ ピンと VS3-ピンの間の電圧差を示しています。リモート出力電圧情報を読み出すには、連続した 2 回の読出し動作でこのレジスタを読む必要があります。最初に読み出した 8 ビットでリモート出力電圧情報の MSB の 8 ビットが返されます。2 回目の読出しでの先頭 4 ビットでリモート出力電圧情報の LSB の 4 ビットが返されます。VS3 $\pm$ 入力ピンの範囲は 0 V～1.6 V です。この値は 12 ビット分解能を持つことから、LSB のサイズは 390.625 μ V となります。0V 入力時、このレジスタの値は 0 (0x000) です。このピンの推奨される公称電圧は 1V です。1V 入力時、読出し値は 2560 (0xA00) です。
[3:0]	Reserved	R	予備

表 24. レジスタ 0x18—CS2 値（出力電流）

Bits	Bit Name	R/W	Description
[15:4]	Output current value	R	12 ビットの出力電流情報を格納します。この値は、検出抵抗を隔てた電圧降下を示しています。電流値を読み出すには、このレジスタの値を検出抵抗値で割る必要があります（CS2+ピンおよび CS2-ピンのセクション参照）。CS2±ピンは 120mV または 60 mV のフルスケール入力レンジを持ちます（レジスタ 0x27[5]で設定）。このレジスタ値は 12 ビット分解能を持ち、LSB ステップ・サイズは入力レンジの値によって変わります。 CS2 の入力レンジが 120 mV の時、LSB ステップ・サイズは 29.30μV です。例えば、CS2 への 30 mV 入力信号の場合、このレジスタの値は $30\text{ mV}/29.30\mu\text{V} = 1024$ (0x400) となります。 CS2 の入力レンジが 60 mV の時、LSB ステップ・サイズは 14.65μV です。例えば、CS2 への 30 mV 入力信号の場合、このレジスタの値は $30\text{ mV}/14.65\mu\text{V} = 2048$ (0x800) となります。
[3:0]	Reserved	R	予備

表 25. レジスタ 0x19—CS2 × VS3 値（出力電力）

Bits	Bit Name	R/W	Description
[15:0]	Output power value	R	16 ビットの出力電力情報を格納します。この値は、リモート出力電圧値（VS3）と出力電流読出し値（CS2）から生成されます。このデジタル数値を電力情報に変換するのに必要な式については「電力測定値」のセクションを参照してください。

表 26. レジスタ 0x1A—RTD 温度値

Bits	Bit Name	R/W	Description
[15:4]	Temperature value	R	12 ビットの出力温度情報を格納します。この情報は RTD ピンからの入力で決まります。RTD ピンの範囲は 0 V から 1.6 V です。この値は 12 ビット分解能を持つことから、LSB のサイズは 390.625 μV となります。0V 入力時、このレジスタの値は 0 (0x000) です。このピンの推奨される公称電圧は 1V です。1V 入力時、読出し値は 2560 (0xA00) です。
[3:0]	Reserved	R	予備

表 27. レジスタ 0x1B—読出し温度

Bits	Bit Name	R/W	Description
[7:0]	Read temperature	R/W	このレジスタは 8 ビットの温度を°C で返します（10 進、符号なし）。この機能を正しく実行するために、外部サーミスタは 100kΩ で、16.5kΩ、1%抵抗と並列にしてください。また、選択した電流源は、レジスタ 0x11[7:6]で 40 μA を選択した上でレジスタ 0x11[5:0]の電流調節（fine-trim）ビットを使って 46 μA に調整してください。

表 28. レジスタ 0x1C—RTD オフセット調整（MSB）

Bits	Bit Name	R/W	Description
[7:2]	Reserved	R	予備
1	Trim polarity	R/W	このビットを 1 にすると負のオフセットとなります。 このビットを 0 にすると正のオフセットとなります。
0	RTD offset trim (MSB)	R/W	RTD オフセット調整の MSB です。レジスタ 0x20（LSB）と合わせて RTD ADC 読出しに用いられるオフセット調整量を設定します。

表 29. レジスタ 0x1D—シェア・バス値

Bits	Bit Name	R/W	Description
[7:0]	Share bus value	R	8 ビットのシェア・バス電圧情報を格納します。電源がマスターの場合、0 を出力します。

表 30. レジスタ 0x1E—変調値

Bits	Bit Name	R/W	Description
[7:0]	Modulation value	R	8 ビットの変調情報を格納します。変調エッジに対して定められた 0%～100%の変調量を出力します。

表 31. レジスタ 0x1F—ライン・インピーダンス値

Bits	Bit Name	R/W	Description
[7:0]	Line impedance value	R	8 ビットのライン・インピーダンス情報を格納します。(VS2 – VS3)/CS2 の値です。

表 32. レジスタ 0x20—RTD オフセット調整 (LSBs)

Bits	Bit Name	R/W	Description
[7:0]	RTD offset trim (LSBs)	R/W	この 8 ビットとレジスタ 0x1C[0] (MSB) を合わせて、RTD ADC 読出しに用いられるオフセット調整量を設定します。

電流検出レジスタおよび電流限界値レジスタ

表 33. レジスタ 0x21—CS1 ゲイン調整

Bits	Bit Name	R/W	Description
7	Gain polarity	R/W	1 = 負のゲインとなります。 0 = 正のゲインとなります。
[6:0]	CS1 gain trim	R/W	この値で 1 次側電流検出ゲインの調整を行います。詳細は「CS1 の調整」のセクションを参照してください。

表 34. レジスタ 0x22—CS1 高精度 OCP 限界値

Bits	Bit Name	R/W	Description			
[7:5]	CS1 fast OCP blanking	R/W	高速 OCP が有効になる前のブランク時間を決定します。このブランク時間はスイッチング・サイクルの開始から測定します。OUTAUX を使うと、この時間と OUTAUX の立ち上がりエッジが同期します。			
			Bit 7	Bit 6	Bit 5	遅延(ns)
			0	0	0	0
			0	0	1	40
			0	1	0	80
			0	1	1	120
			1	0	0	200
			1	0	1	400
			1	1	0	600
			1	1	1	800
[4:0]	CS1 accurate OCP	R/W	CS1 高精度 OCP 閾値を設定します。CS1 ADC から出力されるデジタル・ワードはこの閾値と比較されます。もし CS1 ADC 読出し値がこのビットで設定した OCP 閾値よりも大きければ、CS1 高精度 OCP フラグがセットされます。この値は必ず CS1 を調整した後で設定してください。これらのビットの範囲は 0～31 です。すなわち、43.75mV ごとのステップで 0V～1.4 V となります。 CS1 高精度 OCP 閾値は次の式で計算します： $CS1_OCP_Threshold = (CS1_OCP_Limit \times 1.4\text{ V}/32) + 16 \times 1.4/2^{12}$			

表 35. レジスタ 0x23—CS2 ゲイン調整

Bits	Bit Name	R/W	Description
[7:6]	Reserved	R/W	予備
5	Gain polarity	R/W	1 = 負のゲインとなります。 0 = 正のゲインとなります。
[4:0]	CS2 gain trim	R/W	このレジスタは 2 次側（CS2）電流検出ゲインの調整を行います。検出抵抗の誤差を調整して行います。詳細は「CS2 の調整」のセクションを参照してください。

表 36. レジスタ 0x24—CS2 アナログ・オフセット調整

Bits	Bit Name	R/W	Description
7	Reserved	R/W	予備
6	Offset polarity	R/W	1 = 負のゲインとなります。 0 = 正のゲインとなります。
[5:0]	CS2 offset trim	R/W	2 次側（CS2）のコモン・モードでの電流検出誤差の調整を行います。抵抗デバイス・ネットワークの誤差を調整して行います。詳細は「CS2 の調整」のセクションを参照してください。

表 37. レジスタ 0x25—CS2 デジタル・オフセット調整

Bits	Bit Name	R/W	Description
[7:0]	CS2 digital offset trim	R/W	CS2 のデジタル調整レベルを格納します。この値を使って、レジスタ 0x18 に読み込まれる CS2 値の調整を行います。詳細は「CS2 の調整」のセクションを参照してください。

表 38. レジスタ 0x26—CS2 高精度 OCP 限界値

Bits	Bit Name	R/W	Description
[7:0]	CS2 accurate OCP	R/W	CS2 高精度 OCP レベルを設定します。この 8 ビット値と CS2 値レジスタ（レジスタ 0x18）とを比較します。このレジスタの値よりも CS2 値レジスタの値が大きければ、CS2 高精度 OCP フラグがセットされます。CS2 高精度 OCP 閾値は次の式で計算します： $CS2_OCP_Threshold = CS2_OCP_Limit \times (ADC_Range)/256 + 16 \times (ADC_Range)/2^{12}$

表 39. レジスタ 0x27—CS1/CS2 高速 OCP 設定

Bits	Bit Name	R/W	Description		
[7:6]	CS1 fast OCP debounce	R/W	CS1 高速 OCP バウンス防止値を設定します。この値は、PWM 出力がシャットダウンされる前に、CS1 信号が高速 OCP 限界値を常に上回るべき時間の最小値です。これが起こると、残りのスイッチング・サイクルの間、PWM 出力はすべて無効になります。		
			Bit 7	Bit 6	バウンス防止時間(ns)
			0	0	0
			0	1	40
			1	0	80
1	1	120			
5	CS2 nominal voltage drop	R/W	検出抵抗を隔てた公称フルスケール電圧降下を設定します。詳細は「CS2 の調整」のセクションを参照してください。CS2 ADC の LSB のステップ・サイズを設定します。		
			Bit 5	ADC レンジ (mV)	LSB のステップ・サイズ(μV)
			0	60	14.65
			1	120	29.30
4	CS1 fast OCP bypass	R/W	このビットを 1 にすると CS1 ピンの代わりに FLGIN ピンが CS1 高速 OCP に使われます。		
3	Constant current mode	R/W	このビットをセットすると定電流モードは CS2 高精度 OCP 限界値の 97%まで有効になります。 1 =定電流モードが有効 0 =定電流モードが無効		
2	CS2 current sensing	R/W	ハイサイド電流検出を使用する場合、このビットがハイに設定します。ローサイド電流検出を使用する場合、このビットはローに設定します。詳細は「CS2 の調整」のセクションを参照してください。		
[1:0]	CS1 fast OCP timeout	R/W	CS1 高速 OCP コンパレータが設定されると、そのときオンのすべての PWM 出力は残りのスイッチング・サイクルに対してただちに無効になります。次のスイッチング・サイクル開始時に PWM 出力は通常動作を再開します。これらのビットで、CS1 高速 OCP の応答起動前のコンパレータの連続スイッチング・サイクル数を設定します。		
			Bit 1	Bit 0	スイッチング・サイクル数
			0	0	1
			0	1	62
			1	0	188
1	1	440			

表 40. レジスタ 0x28—電圧-時間バランス設定

Bits	Bit Name	R/W	Description		
7	Reserved	R/W	予備		
6	Volt-second balance enable	R/W	このビットをセットするとメイン・トランス（フルブリッジ構成用）の電圧-時間バランスを有効にします。詳細は「電圧-時間バランス」のセクションを参照してください。		
5	Volt-second balance leading edge blanking	R/W	このビットをセットすると、電圧-時間バランスを計算するために、電圧-時間バランス用に選択された PWM 出力の立ち上がりエッジで、CS1 がブランクとなります。ブランク値はレジスタ 0x22[7:5]で CS1 高速 OCP ブランク用に設定された値と同値です。		
4	Volt-second disable during soft start	R/W	0 = ソフトスタート中、電圧-時間バランス制御をブランクにしない。 1 = ソフトスタート中、電圧-時間バランス制御をブランクにする。		
3	50% blanking of each phase	R/W	このビットをセットすると、CS1 の電流のサンプリング期間をハーフ・サイクルの 50%より小さい値に限定します。		
2	Volt-second balance modulation	R/W	電圧-時間バランスによる最大変調量を指定します。 0 =最大±80 ns 1 =最大±160 ns		
[1:0]	Volt-second balance gain setting	R/W	電圧-時間バランス回路のゲインを設定します。ゲインは 64 の因数に変更可能です。00 に設定すると、電圧-時間バランスを得るのに約 700 ms かかります。11 に設定すると、電圧-時間バランスを得るのに約 10 ms かかります。		
			Bit 1	Bit 0	電圧-時間バランスのゲイン
			0	0	1
			0	1	4
			1	0	16
			1	1	64

表 41. レジスタ 0x29—シェア・バス帯域幅

Bits	Bit Name	R/W	Description			
[7:5]	Reserved	R/W	予備			
4	Bit stream	R/W	1 =電流検出 ADC 読出し値が SHAREo ピンに出力されます。このビット・ストリームはアナログ電流シェアリングに使われます。 0 = デジタル・シェア・バス信号が SHAREo ピンに出力されます。この信号はデジタル電流シェアリングに使われます。			
3	Current share enable	R/W	1 =予備 0 =電流シェアに CS2 読出し値を使います。			
[2:0]	Share bus bandwidth	R/W	シェア・バス専用の帯域幅の量を決定します。000 が可能な帯域幅の最小値で、111 が最大値です。スレーブは 1つのシェア・バス・トランザクションごとに 1-LSB ずつ増加します（8 データビット+スタート・ビットおよびストップ・ビット）。マスターは 1つのシェア・バス・トランザクションごとに N-LSB ずつ減少します。この時、N はレジスタ 0x2A[7:4]の値です。			
			Bit 2	Bit 1	Bit 0	帯域幅
			0	0	0	LSB を 16 で割った値、つまり 1 LSB = 24 μV/16
			0	0	1	LSB を 8 で割った値
			0	1	0	LSB を 4 で割った値
			0	1	1	LSB を 2 で割った値
			1	0	0	公称値
			1	0	1	LSB に 2 を掛けた値
			1	1	0	LSB に 4 を掛けた値
			1	1	1	LSB に 8 を掛けた値

表 42. レジスタ 0x2A—シェア・バス設定

Bits	Bit Name	R/W	Description
[7:4]	Number of bits dropped by master	R/W	電流シェアリングを維持するためにマスター・デバイスがどのくらい出力電圧を低減するかを決定します。詳細は、レジスタ 0x29 のビット[2:0]の説明を参照してください。
[3:0]	Bit difference between master and slave	R/W	スレーブがマスター・デバイスの電流にどのくらい厳密に一致させようとするかを決定します。設定値が高いほど、電流シェアリング基準を満たす電圧差が大きくなります。

表 43. レジスタ 0x2B—温度ゲイン調整

Bits	Bit Name	R/W	Description
7	Gain polarity	R/W	1 = 負のゲインとなります。 0 = 正のゲインとなります。
[6:0]	Gain trim	R/W	このレジスタで RTD ADC ゲインの調整を行います。ADC の誤差を調整して行います。

表 44. レジスタ 0x2C—PSON/ソフトスタート

Bits	Bit Name	R/W	Description		
[7:6]	PS_ON setting	R/W	ADP1046A が PS_ON 制御にどの信号を使うかを決定します。		
			Bit 7	Bit 6	PS_ON の設定
			0	0	ADP1046A は常にオンです。
			0	1	ハードウェアの PSON ピンで電源を有効または無効にします。
			1	0	ソフトウェアの PS_ON ビット（ビット 5）で電源を有効または無効にします。
1	1	ADP1046A を有効にする前に、ソフトウェアの PS_ON ビットとハードウェアの PSON ピンの両方を有効にする必要があります。			
5	PS_ON	R/W	ソフトウェアの PS_ON ビット 0 =電源オフ 1 =電源オン		
[4:3]	PS_ON delay	R/W	PS_ON 制御信号をセットしてからソフトスタートを開始するまでの時間を設定します。		
			Bit 4	Bit 3	標準遅延 (sec)
			0	0	0
			0	1	0.5
			1	0	1
1	1	2			
2	Reserved	R/W	通常動作ではこのビットを 0 にしてください。		
1	Disable light load during soft start	R/W	0 = ソフトスタート中、軽負荷モードへの切り替え可能 1 = ソフトスタート中、軽負荷モードへの切り替え不可		
0	Force soft start filter	R/W	0 = OrFET ステータスによって、ノーマル・モード・フィルタまたはソフトスタート・フィルタを使い分けます。VS3（OrFET オン）からのレギュレーションの場合、ノーマル・モード・フィルタを使います。VS1（OrFET オフ）からのレギュレーションの場合、ソフトスタート・フィルタを使います。 1 = OrFET ステータスにかかわらず、初期フィルタとしてソフトスタート・フィルタを使います。		

表 45. レジスタ 0x2D— PGOOD バウンス防止およびピン極性設定

Bits	Bit Name	R/W	Description		
[7:6]	PGOOD1 turn-on debounce	R/W	PGOOD1 ピンとフラグをセットする前のバウンス防止時間を設定します。この時間は、ソフトスタート・ランプ終了時から開始し、±50 ms 程度で変動します。PGOOD1 は常に即時オフされます（バウンス防止時間なし）。		
			Bit 7	Bit 6	標準のバウンス防止時間(ms)
			0	0	350
			0	1	150
			1	0	550
1	1	0			
[5:4]	PGOOD2 turn-on debounce	R/W	PGOOD2 ピンとフラグをセットする前のバウンス防止時間を設定します。この時間は、ソフトスタート・ランプ終了時から開始し、±50 ms 程度で変動します。PGOOD2 は常に即時オフされます（バウンス防止時間なし）。		
			Bit 5	Bit 4	標準のバウンス防止時間(ms)
			0	0	350
			0	1	150
			1	0	550
1	1	0			
3	PGOOD2 flags	R/W	次のフラグでも PGOOD2 ピンをセットできます：電圧連続性、OrFET 無効、ACSNS、FLAGIN、OTP。これらのフラグによって無条件に PGOOD2 をセットするか、または、該当の故障設定レジスタ（表 12、表 13 参照）でフラグ・アクションを無視するように設定されていない場合のみ PGOOD2 をセットするかを指定します。 0 =電圧連続性フラグ、OrFET 無効フラグ、ACSNS フラグ、FLAGIN フラグ、OTP フラグは、常に PGOOD2 ピンをセットします。 1 =電圧連続性フラグ、OrFET 無効フラグ、ACSNS フラグ、FLAGIN フラグ、OTP フラグは、フラグ・アクションが無視するように設定されていない場合のみ PGOOD2 ピンをセットします。		
2	FLAGIN polarity	R/W	FLAGIN 入力ピンの極性を設定します：1 =反転（ロー・レベル = 0 V = オン）		
1	GATE polarity	R/W	OrFET GATE 制御ピンの極性を設定します：1 =反転（ロー・レベル = 0 V = オン）		
0	PSON polarity	R/W	PSON 入力ピンの極性を設定します：1 =反転（ロー・レベル = 0 V = オン）		

表 46. レジスタ 0x2E— 変調限界値

Bits	Bit Name	R/W	Description	
7	Full-bridge mode	R/W	フルブリッジ・モード動作中はこのビットを有効にしてください。変調上限値に影響を与えます。	
[6:0]	Modulation limits	R/W	公称エッジ値に関連する変調上限値/下限値を設定します。分解能は、スイッチング周波数によって異なります。	
			スイッチング周波数の範囲	LSB 分の分解能
			48.8 kHz to 86.8 kHz	160 ns
			97.7 kHz to 183.8 kHz	80 ns
			195 kHz to 378.8 kHz	40 ns
			390.6 kHz to 625.0 kHz	20 ns

表 47. レジスタ 0x2F—OTP 閾値

Bits	Bit Name	R/W	Description							
[7:0]	OTP threshold	R/W	MSB に 0 を追加して、このレジスタの値を 9 ビットの OTP 閾値にします。この 9 ビット値と RTD ADC 読出し値の 9 個の MSB を比較します。もし RTD ADC 読出し値がここで設定した閾値よりも小さければ、OTP フラグがセットされます。この 8 ビット・レジスタで 1 mV から 800 mV まで 256 個の閾値を設定できます。LSB の 1 ビットは $800\text{ mV}/256 = 3.125\text{ mV}$ に相当します。この範囲の上限と下限にあたるいくつかの閾値は設定できません。OTP フラグのヒステリシスは 16 mV です。							
			Bit 7	Bit 6	...	Bit 3	Bit 2	Bit 1	Bit 0	OTP の限界値 (mV)
			0	0	...	0	0	0	0	0
			0	0	...	0	0	0	1	3.125
			0	0	...	0	0	1	0	6.25
			0	0	...	0	0	1	1	9.375
			0	0	...	0	1	0	0	12.5
			0	0	...	0	1	0	1	15.625
			...	...	...	...	...	...	...	...
			1	1	...	1	0	0	1	778.125
			1	1	...	1	0	1	0	781.25
			...	...	...	...	...	...	...	...
1	1	...	1	1	1	1	796.875			

表 48. レジスタ 0x30—OrFET

Bits	Bit Name	R/W	Description				
7	OrFET enable delay	R/W	0 = 328μs の遅延で、データ（VS1 – VS2）の 9 ビットと同等。 1 = 164μs の遅延で、データ（VS1 – VS2）の 8 ビットと同等。				
[6:5]	OrFET enable threshold	R/W	OrFET を有効にする前の VS1 と VS2 間の電圧差を設定します。VS1 入力ピンおよび VS2 入力ピンを使って OrFET を有効にする機能を制御します。				
					ADC のフルスケール	VS1 と VS2 の電圧差	
			Bit 6	Bit 5	範囲(%)	V _{OUT} = 12 V (mV)	V _{OUT} = 48 V (mV)
			0	0	–2	–384	–1504
			0	1	–1	–192	–752
			1	0	–0.5	–96	–376
1	1	0	0	0			
[4:2]	Fast OrFET threshold	R/W	OrFET を無効にする CS2+ と CS2– 間の閾値電圧差を設定します。CS2+ 入力ピンおよび CS2– 入力ピンを使ってこの機能を制御します。内部回路はアナログ・コンパレータです。				
			Bit 4	Bit 3	Bit 2	CS2+ と CS2– の電圧差 (mV)	
			0	0	0	–3	
			0	0	1	–6	
			0	1	0	–9	
			0	1	1	–12	
			1	0	0	–15	
			1	0	1	–18	
			1	1	0	–21	
1	1	1	–24				
1	Fast OrFET debounce	R/W	OrFET を無効にする前の高速 OrFET 制御のバウンス防止時間を設定します。 0 = 40 ns 1 = 200 ns				
0	Fast OrFET bypass	R/W	このビットをセットすると、高速 OrFET 制御を完全にバイパスします。フラグを無視するように設定していなければ、OrFET フラグに設定された動作を実行します。				

電圧検出レジスタ

表 49. レジスタ 0x31—VS3 電圧設定（リモート電圧）

Bits	Bit Name	R/W	Description
[7:0]	VS3 voltage setting	R/W	出力電圧（VS3+ピンと VS3-ピンの間の電圧差）を設定します。各 LSB は 0.6%増加します。このレジスタの値を 0xA0 に設定すると、出力電圧は、公称電圧の 100%に設定されます。この値は、デバイスの工場出荷時にレジスタに格納されたデフォルト値です。VS3 電圧設定は 2 段階のプロセスで更新されます。ユーザーは、まず、本レジスタの値を変更する必要があります。変更した情報はシャドウ・レジスタに格納されます。新しい VS3 電圧設定をステートマシンにラッチさせるために、ユーザーは voltage reference GO ビット（レジスタ 0x7F[0]）を設定する必要があります。その後、（レジスタ 0x5F[2:0]で設定した）規定のスルーレートで電圧が変化します。

表 50. レジスタ 0x32—VS1 過電圧限界値（OVP）

Bits	Bit Name	R/W	Description															
[7:3]	VS1 OVP setting	R/W	ローカルの過電圧限界値。この限界値は公称 VS1 電圧の 111.25%から 150% までに設定 できます (0x00 は 111.25%に相当)。各 LSB は 1.25%増加します。VS1 OVP 閾値は次の ように計算されます： $VS1_OVP_Threshold = [(89 + VS1_OVP_Setting)/128] \times 1.6\text{ V}$ 例えば、VS1 OVP 設定値が 10 の場合、 $VS1_OVP_Threshold = [(89 + 10)/128] \times 1.6\text{ V} = 1.2375\text{ V}$ これらのビットを 0 に設定すると、OVP 限界値は公称 VS1 電圧の 111.25%になります。 これらのビットを 7 に設定すると、OVP 限界値は公称 VS1 電圧の 120%になります。 これらのビットを 15 に設定すると、OVP 限界値は公称 VS1 電圧の 130%になります。 これらのビットを 31 に設定すると、OVP 限界値は公称 VS1 電圧の 150%になります。															
2	Reserved	R/W	予備															
[1:0]	OVP sampling	R/W	OVP サンプリング時間中に平均電圧が OVP 閾値を超えると、OVP フラグがセットされ ます。この OVP フラグのサンプリング時間は 80 μs です。これらのビットによりサンプ リングを追加することができます。サンプリングを追加する場合、平均電圧はそのサンプ リングサイクルごとに OVP 閾値を上回る必要があります。たとえば、サンプリングサイ クルが 2 サイクルに設定されている場合、両方のサイクルの平均電圧が OVP 閾値を上 回らなければなりません。															
			<table><tr><th>Bit 1</th><th>Bit 0</th><th>追加サンプリング (μs)</th></tr><tr><td>0</td><td>0</td><td>0 (1 回のサンプリングで OVP フラグをセット)</td></tr><tr><td>0</td><td>1</td><td>80 (2 回のサンプリングで OVP フラグをセット)</td></tr><tr><td>1</td><td>0</td><td>160 (3 回のサンプリングで OVP フラグをセット)</td></tr><tr><td>1</td><td>1</td><td>240 (4 回のサンプリングで OVP フラグをセット)</td></tr></table>	Bit 1	Bit 0	追加サンプリング (μs)	0	0	0 (1 回のサンプリングで OVP フラグをセット)	0	1	80 (2 回のサンプリングで OVP フラグをセット)	1	0	160 (3 回のサンプリングで OVP フラグをセット)	1	1	240 (4 回のサンプリングで OVP フラグをセット)
Bit 1	Bit 0	追加サンプリング (μs)																
0	0	0 (1 回のサンプリングで OVP フラグをセット)																
0	1	80 (2 回のサンプリングで OVP フラグをセット)																
1	0	160 (3 回のサンプリングで OVP フラグをセット)																
1	1	240 (4 回のサンプリングで OVP フラグをセット)																

表 51. レジスタ 0x33—VS2 および VS3 過電圧限界値（OVP）

Bits	Bit Name	R/W	Description
[7:3]	VS2 and VS3 OVP setting	R/W	ローカルの過電圧限界値。この限界値は公称 VSx 電圧の 111.25%から 150% までに設定できます（0x00 は 111.25%に相当）。各 LSB は 1.25%増加します。VSx OVP 閾値は次のように計算されます： $VSx_OVP_Threshold = [(89 + VSx_OVP_Setting)/128] \times 1.6\text{ V}$ たとえば、VS2 OVP 設定値 が 10 の場合、 $VS2_OVP_Threshold = [(89 + 10)/128] \times 1.6\text{ V} = 1.2375\text{ V}$ これらのビットを 0 に設定すると、OVP 限界値は公称 VSx 電圧の 111.25%になります。これらのビットを 7 に設定すると、OVP 限界値は公称 VSx 電圧の 120%になります。これらのビットを 15 に設定すると、OVP 限界値は公称 VSx 電圧の 130%になります。これらのビットを 31 に設定すると、OVP 限界値は公称 VSx 電圧の 150%になります。
2	Regulating point	R/W	このビットをセットすると、ADP1046A はいつでも VS3 ノードからレギュレーションされます。このビットをセットしない時は、ADP1046A はソフトスタート中、および OrFET が無効化されているときは VS1 電圧をレギュレーション・ポイントとして使用します。

Bits	Bit Name	R/W	Description		
[1:0]	OVP sampling	R/W	OVP サンプリング時間中に平均電圧が OVP 閾値を超えると、OVP フラグがセットされます。この OVP フラグのサンプリング時間は 80 μs です。これらのビットによりサンプリングを追加することができます。サンプリングを追加する場合、平均電圧はそのサンプリングサイクルごとに OVP 閾値を上回る必要があります。たとえば、サンプリングサイクルが 2 サイクルに設定されている場合、両方のサイクルの平均電圧が OVP 閾値を上回らなければなりません。		
			Bit 1	Bit 0	追加サンプリング(μs)
			0	0	0 (1 回のサンプリングで OVP フラグをセット)
			0	1	80 (2 回のサンプリングで OVP フラグをセット)
			1	0	160 (3 回のサンプリングで OVP フラグをセット)
			1	1	240 (4 回のサンプリングで OVP フラグをセット)

表 52. レジスタ 0x34—VS1 低電圧限界値 (UVP)

Bits	Bit Name	R/W	Description
7	End of cycle shutdown	R/W	このビットは、OUTAUX ピンがレギュレーションに用いられるときのみ有効です。任意のフラグが電源をシャットダウンすると、OUTAUX PWM は即時にシャットダウンされます。その他の PWM 出力がいつシャットダウンされるかを規定します。 1 =他のすべての PWM 出力がスイッチング・サイクルの最後にシャットダウン。 0 =他のすべての PWM 出力が即時シャットダウン。
[6:0]	VS1 UVP setting	R/W	UVP 限界値を 128 の設定値のうちの 1 つに設定します。UVP 限界値は公称 VS1 電圧の 0%から 158.75%までに設定できます。各 LSB は電圧の $158.75\%/128 = 1.25\%$ ずつ増加します。実際に、81 の設定値が利用可能であり、公称 VS1 電圧の 0%~100%の UVP 閾値を設定します。VS1 UVP 閾値は次のように計算されます： $VS1_UVP_Threshold = [(VS1_UVP_Setting + 1)/128] \times 1.6\text{ V} - 12.5\text{ mV}$ たとえば、VS1 UVP 設定値 が 60 の場合、 $VS1_UVP_Threshold = [(60 + 1)/128] \times 1.6\text{ V} - 12.5\text{ mV} = 750\text{ mV}$ これらのビットを 0 に設定すると、UVP 限界値は公称 VS1 電圧の 0%になります。 これらのビットを 72 (0x48) に設定すると、UVP 限界値は公称 VS1 電圧の 90%になります。 これらのビットを 76 (0x4C) に設定すると、UVP 限界値は公称 VS1 電圧の 95%になります。 これらのビットを 80 (0x50) に設定すると、UVP 限界値は公称 VS1 電圧の 100%になります。 これらのビットを 127 (0x7F) に設定すると、UVP 限界値は公称 VS1 電圧の 158.75%になります。

表 53. レジスタ 0x35—ライン・インピーダンス限界値

Bits	Bit Name	R/W	Description
[7:0]	Line impedance limit	R/W	ライン・インピーダンス・フラグが有効化されているときの閾値を設定します。この 8 ビットの値はライン・インピーダンスの値 (レジスタ 0x1F) と比較されます。もしライン・インピーダンスの値がこの値よりも大きければ、ライン・インピーダンス・フラグがセットされます (レジスタ 0x02、ビット 2)。

表 54. レジスタ 0x36—ロードライン・インピーダンス

Bits	Bit Name	R/W	Description			
7	Load line enable	R/W	このビットをセットすると、ロードラインを有効にします。			
[6:4]	Slew rate	R/W	ロードライン・スルーレート限界値を設定します。それにより、出力ロードライン値を調整する際にリファレンスを変更するための最大スルーレートを決定します。			
			Bit 6	Bit 5	Bit 4	最大スルーレート期間
			0	0	0	200 mV/ms
			0	0	1	100 mV/ms
			0	1	0	50 mV/ms
			0	1	1	25 mV/ms
			1	0	0	12.5 mV/ms
			1	0	1	6.25 mV/ms
			1	1	0	3.125 mV/ms
			1	1	1	1.5625 mV/ms (4 LSB/ms)
3	Reserved	R/W	予備			
[2:0]	Load line setting	R/W	出力電圧がフル負荷での公称電圧からどれくらい減少したかを規定します。導入される出力抵抗の大きさは次のように計算されます（ N の値を規定します）： $R_{OUT} = 0.1 \times V_{OUT_NOM} \times CS2 R_{SENSE} / (CS2 \text{ の範囲上限} \times 2^N)$ 詳細については、「デジタル・ロードラインとスルーレート」のセクションを参照してください。			
			Bit 2	Bit 1	Bit 0	インピーダンス設定値
			0	0	0	0
			0	0	1	1
			0	1	0	2
			0	1	1	3
			1	0	0	4
			1	0	1	5
			1	1	0	6
			1	1	1	7

表 55. レジスタ 0x37—高速 OVP コンパレータ

Bits	Bit Name	R/W	Description				
[7:6]	Fast OVP debounce	R/W	高速 OVP バウンス防止時間を設定します。				
				バウンス防止時間(μs)			
			Bit 7	Bit 6	Min	Typ	Max
			0	0	0	0	0
			0	1	0.64	0.96	1.28
			1	0	1.92	2.24	2.56
1	1	7.98	8	8.32			
[5:0]	Fast OVP threshold	R/W	高速 OVP アナログ・コンパレータの閾値を設定します。この閾値は 0.8 V から 1.6 V までを設定できます。0x00 は、0.8V 閾値に相当します。0x3F は、1.6V 閾値に相当します。各 LSB は閾値を 12.5mV ずつ増加させます。高速 OVP 閾値は、次の式を用いて設定することができます： $Fast_OVP_Threshold = (Bits[5:0] \times 0.8\text{ V}/63) + 0.8\text{ V}$				

表 56. レジスタ 0x38—VS1 調整

Bits	Bit Name	R/W	Description
7	Trim polarity	R/W	1 = 負のゲインとなります。 0 = 正のゲインとなります。
[6:0]	VS1 trim	R/W	VS1 ADC 読出しに適用されるゲイン調整量を設定します。VS1 ピンの電圧を外付け抵抗値の公差となるように調整します。VS1 ピンの電圧が 1 V の場合、VS1 電圧値が 2560 (0xA00) になるように調整されます (レジスタ 0x15[15:4])。

表 57. レジスタ 0x39—VS2 調整

Bits	Bit Name	R/W	Description
7	Trim polarity	R/W	1 =負のゲインとなります。 0 =正のゲインとなります。
[6:0]	VS2 trim	R/W	VS2 ADC 読出しに適用されるゲイン調整量を設定します。VS2 ピンの電圧を外付け抵抗値の公差となるように調整します。VS2 ピンの電圧が 1 V の場合、VS2 電圧値が 2560 (0xA00) となるように調整されます (レジスタ 0x16[15:4])。

表 58. レジスタ 0x3A—VS3 調整

Bits	Bit Name	R/W	Description
7	Trim polarity	R/W	1 =負のゲインとなります。 0 =正のゲインとなります。
[6:0]	VS3 trim	R/W	VS3 ADC 読出しに適用されるゲイン調整量を設定します。VS3 ピンの電圧を外付け抵抗値の公差となるように調整します。VS3 ピンの電圧が 1 V の場合、VS3 電圧値が 2560 (0xA00) となるように調整されます (レジスタ 0x17[15:4])。VS3 調整は、負荷 OVP 調整および負荷 UVP 調整の前に行う必要があります。

表 59. レジスタ 0x3B—軽負荷モード・無効設定

Bits	Bit Name	R/W	Description																																																																												
7	Disable OUTAUX	R/W	このビットをセットすると、負荷電流が軽負荷 SR の無効化閾値を下回ったときに、OUTAUX を無効にします。																																																																												
6	Disable OUTD	R/W	このビットをセットすると、負荷電流が軽負荷 SR の無効化閾値を下回ったときに、OUTD を無効にします。																																																																												
5	Disable OUTC	R/W	このビットをセットすると、負荷電流が軽負荷 SR の無効化閾値を下回ったときに、OUTC を無効にします。																																																																												
4	Disable OUTB	R/W	このビットをセットすると、負荷電流が軽負荷 SR の無効化閾値を下回ったときに、OUTB を無効にします。																																																																												
3	Disable OUTA	R/W	このビットをセットすると、負荷電流が軽負荷 SR の無効化閾値を下回ったときに、OUTA を無効にします。																																																																												
[2:0]	Light load SR disable	R/W	CS2 ADC の負荷電流限界値を設定します。その限界値を下回ると、同期整流出力（SR1 および SR2）を無効にします。また、この値は、電源が軽負荷モードに入るポイント、および軽負荷モード・フィルタが用いられるポイントを決定します。この値は、DS2 ADC フルスケールの比率として（60 mV または 120 mV のいずれかを）設定できます。ヒステリシスおよび平均速度はレジスタ 0x7D で設定できます。																																																																												
			<table><tr><th colspan="4">フルスケールの比率（％）としての軽負荷閾値</th></tr><tr><th>Bit 2</th><th>Bit 1</th><th>Bit 0</th><th></th><th>37.5 μs</th><th>75 μs</th><th>150 μs</th><th>300 μs</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0%</td><td>0%</td><td>0%</td><td>0%</td><td>0%</td></tr><tr><td>0</td><td>0</td><td>1</td><td>7.81%</td><td>3.91%</td><td>1.95%</td><td>0.98%</td><td></td></tr><tr><td>0</td><td>1</td><td>0</td><td>15.63%</td><td>7.81%</td><td>3.91%</td><td>1.95%</td><td></td></tr><tr><td>0</td><td>1</td><td>1</td><td>23.44%</td><td>11.72%</td><td>5.86%</td><td>2.93%</td><td></td></tr><tr><td>1</td><td>0</td><td>0</td><td>31.25%</td><td>15.63%</td><td>7.81%</td><td>3.91%</td><td></td></tr><tr><td>1</td><td>0</td><td>1</td><td>39.06%</td><td>19.53%</td><td>9.77%</td><td>4.88%</td><td></td></tr><tr><td>1</td><td>1</td><td>0</td><td>46.88%</td><td>23.44%</td><td>11.72%</td><td>5.86%</td><td></td></tr><tr><td>1</td><td>1</td><td>1</td><td>54.69%</td><td>27.34%</td><td>13.67%</td><td>6.84%</td><td></td></tr></table>	フルスケールの比率（％）としての軽負荷閾値				Bit 2	Bit 1	Bit 0		37.5 μs	75 μs	150 μs	300 μs	0	0	0	0%	0%	0%	0%	0%	0	0	1	7.81%	3.91%	1.95%	0.98%		0	1	0	15.63%	7.81%	3.91%	1.95%		0	1	1	23.44%	11.72%	5.86%	2.93%		1	0	0	31.25%	15.63%	7.81%	3.91%		1	0	1	39.06%	19.53%	9.77%	4.88%		1	1	0	46.88%	23.44%	11.72%	5.86%		1	1	1	54.69%	27.34%	13.67%	6.84%	
フルスケールの比率（％）としての軽負荷閾値																																																																															
Bit 2	Bit 1	Bit 0		37.5 μs	75 μs	150 μs	300 μs																																																																								
0	0	0	0%	0%	0%	0%	0%																																																																								
0	0	1	7.81%	3.91%	1.95%	0.98%																																																																									
0	1	0	15.63%	7.81%	3.91%	1.95%																																																																									
0	1	1	23.44%	11.72%	5.86%	2.93%																																																																									
1	0	0	31.25%	15.63%	7.81%	3.91%																																																																									
1	0	1	39.06%	19.53%	9.77%	4.88%																																																																									
1	1	0	46.88%	23.44%	11.72%	5.86%																																																																									
1	1	1	54.69%	27.34%	13.67%	6.84%																																																																									

ID レジスタ

表 60. レジスタ 0x3C—シリコン・レビジョン ID

Bits	Bit Name	R/W	Description
[7:0]	Silicon revision	R	本デバイスに対するメーカーのシリコン・レビジョン・コードを格納します。メーカーがトラッキングを行うために使用します。

表 61. レジスタ 0x3D—メーカーID

Bits	Bit Name	R/W	Description
[7:0]	Manufacturer ID code	R	本デバイスに対するメーカーの ID コードを格納します。メーカーがテストを行うために使用し、通常の動作では読み出し禁止です。この値は 0x41 にハードワイヤ接続されており、アナログ・デバイセズの ID コードが表示されます。

表 62. レジスタ 0x3E—デバイス ID

Bits	Bit Name	R/W	Description
[7:0]	Device ID code	R	本デバイスの ID コードを格納します。この値は 0x46 にハードワイヤ接続されており、ADP1046A が表示されます。

PWM レジスタおよび同期整流器タイミング・レジスタ

図 57、表 63～表 93 に、ADP1046A から出力される 7 つの PWM 信号の構成と設定を示します。一般に、 t_1 を 0 に設定し、さらに t_1 を他の信号の基準ポイントとして設定することが推奨されます。

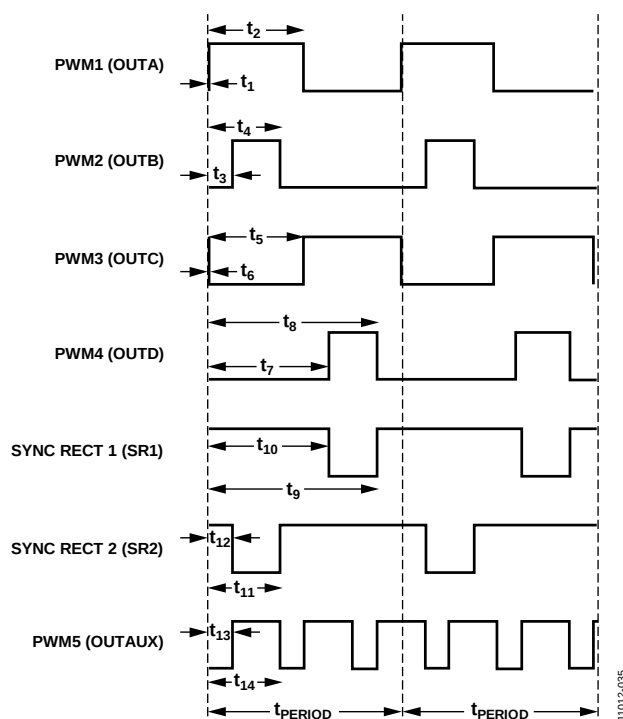


図 57. PWM タイミング図

表 63. レジスタ 0x3F—OUTAUX スイッチング周波数設定

Bits	Bit Name	R/W	Description
7	Pulse skipping	R/W	このビットをセットするとパルス・スキップ・モードが有効になります。ADP1046A が最小変調限界値よりも低いデューティサイクルを必要とする場合に、パルス・スキップが有効になります。
6	Pulse skipping zero PWM	R/W	0 = パルス・スキップによって変調 (PWM) 出力がすべて 0V にドライブされる。 1 = すべての変調エッジを $t=0$ に設定する (レジスタ 0x52[0] で設定する交差規則が適用される)。
[5:0]	Switching frequency	R/W	OUTAUX 信号のスイッチング周波数を設定します。
			Bit 5 Bit 4 Bit 3 Bit 2 Bit 1 Bit 0 周波数(kHz)
			0 0 0 0 0 0 48.83
			0 0 0 0 0 1 50.40
			0 0 0 0 1 0 52.08
			0 0 0 0 1 1 53.88
			0 0 0 1 0 0 55.80
			0 0 0 1 0 1 57.87
			0 0 0 1 1 0 60.1
			0 0 0 1 1 1 62.5
			0 0 1 0 0 0 65.1
			0 0 1 0 0 1 67.93
			0 0 1 0 1 0 71.02
			0 0 1 0 1 1 74.4
			0 0 1 1 0 0 78.13
			0 0 1 1 0 1 82.24
			0 0 1 1 1 0 86.81
			0 0 1 1 1 1 91.91
			0 1 0 0 0 0 97.66
			0 1 0 0 0 1 100.81
			0 1 0 0 1 0 104.17

Bits	Bit Name	R/W	Description						周波数(kHz)
			Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
[5:0]	Switching frequency	R/W	0	1	0	0	1	1	107.76
			0	1	0	1	0	0	111.61
			0	1	0	1	0	1	115.74
			0	1	0	1	1	0	120.19
			0	1	0	1	1	1	125.0
			0	1	1	0	0	0	130.21
			0	1	1	0	0	1	135.87
			0	1	1	0	1	0	142.05
			0	1	1	0	1	1	148.81
			0	1	1	1	0	0	156.25
			0	1	1	1	0	1	164.47
			0	1	1	1	1	0	173.61
			0	1	1	1	1	1	183.82
			1	0	0	0	0	0	195.31
			1	0	0	0	0	1	201.61
			1	0	0	0	1	0	208.33
			1	0	0	0	1	1	215.52
			1	0	0	1	0	0	223.21
			1	0	0	1	0	1	231.48
			1	0	0	1	1	0	240.38
			1	0	0	1	1	1	250
			1	0	1	0	0	0	260.42
			1	0	1	0	0	1	271.42
			1	0	1	0	1	0	284.09
			1	0	1	0	1	1	297.62
			1	0	1	1	0	0	312.5
			1	0	1	1	0	1	328.95
			1	0	1	1	1	0	347.22
			1	0	1	1	1	1	367.65
			1	1	0	0	0	0	390.63
			1	1	0	0	0	1	416.67
			1	1	0	0	1	0	446.43
			1	1	0	0	1	1	480.77
			1	1	0	1	0	0	520.83
			1	1	0	1	0	1	568.18
			1	1	0	1	1	0	625

表 64. レジスタ 0x40—PWM スイッチング周波数設定

Bits	Bit Name	R/W	Description
[7:6]	Reserved	R/W	予備
[5:0]	Switching frequency	R/W	OUTAUX ピンを除くすべての PWM ピンのスイッチング周波数を設定します。
			Bit 5 Bit 4 Bit 3 Bit 2 Bit 1 Bit 0 周波数(kHz)
			0 0 0 0 0 0 48.83
			0 0 0 0 0 1 50.40
			0 0 0 0 1 0 52.08
			0 0 0 0 1 1 53.88
			0 0 0 1 0 0 55.80
			0 0 0 1 0 1 57.87
			0 0 0 1 1 0 60.1
			0 0 0 1 1 1 62.5
			0 0 1 0 0 0 65.1
			0 0 1 0 0 1 67.93
			0 0 1 0 1 0 71.02
			0 0 1 0 1 1 74.4
			0 0 1 1 0 0 78.13
			0 0 1 1 0 1 82.24
			0 0 1 1 1 0 86.81
			0 0 1 1 1 1 91.91
			0 1 0 0 0 0 97.66
			0 1 0 0 0 1 100.81
			0 1 0 0 1 0 104.17
			0 1 0 0 1 1 107.76
			0 1 0 1 0 0 111.61
			0 1 0 1 0 1 115.74
			0 1 0 1 1 0 120.19
			0 1 0 1 1 1 125.0
			0 1 1 0 0 0 130.21
			0 1 1 0 0 1 135.87
			0 1 1 0 1 0 142.05
			0 1 1 0 1 1 148.81
			0 1 1 1 0 0 156.25
			0 1 1 1 0 1 164.47
			0 1 1 1 1 0 173.61
			0 1 1 1 1 1 183.82
			1 0 0 0 0 0 195.31
			1 0 0 0 0 1 201.61
			1 0 0 0 1 0 208.33
			1 0 0 0 1 1 215.52
			1 0 0 1 0 0 223.21
			1 0 0 1 0 1 231.48
			1 0 0 1 1 0 240.38
			1 0 0 1 1 1 250
			1 0 1 0 0 0 260.42
			1 0 1 0 0 1 271.42
			1 0 1 0 1 0 284.09
			1 0 1 0 1 1 297.62
			1 0 1 1 0 0 312.5
			1 0 1 1 0 1 328.95
			1 0 1 1 1 0 347.22
			1 0 1 1 1 1 367.65
			1 1 0 0 0 0 390.63

[5:0]	Switching frequency	R/W	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	周波数(kHz)
			1	1	0	0	0	1	416.67
			1	1	0	0	1	0	446.43
			1	1	0	0	1	1	480.77
			1	1	0	1	0	0	520.83
			1	1	0	1	0	1	568.18
			1	1	0	1	1	0	625
			1	1	1	1	1	1	Resonant mode

表 65. レジスタ 0x41—OUTA 立ち上がりエッジ・タイミング (OUTA ピン)

Bits	Bit Name	R/W	Description
[7:0]	t ₁	R/W	12 ビットの t ₁ 時間のうちの MSB 8 ビットを格納します。この値は、t ₁ 時間の LSB 4 ビットを格納しているレジスタ 0x42 の上位 4 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40ns の時間ステップに分割されます。同じ 40ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0V です。別々の 40 ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5ns です。

表 66. レジスタ 0x42—OUTA 立ち上がりエッジ設定 (OUTA ピン)

Bits	Bit Name	R/W	Description
[7:4]	t ₁	R/W	12 ビットの t ₁ 時間のうちの LSB 4 ビットを格納します。この値は、t ₁ 時間の MSB 8 ビットを格納しているレジスタ 0x41 の 8 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40ns の時間ステップに分割されます。同じ 40ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0V です。別々の 40ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5ns です。
3	Modulate enable	R/W	1 = t ₁ エッジで PWM 変調が行われる。 0 = t ₁ エッジで PWM 変調が行われない。
2	t ₁ sign	R/W	1 = 負符号。PWM 変調を行うと t ₁ が右に移動する。 0 = 正符号。PWM 変調を行うと t ₁ が左に移動する。
1	Reserved	R/W	予備
0	Volt-second balance source selection	R/W	1 に設定すると、電圧-時間バランスの積分期間の開始点として OUTA の立ち上がりエッジが選択されます。

表 67. レジスタ 0x43—OUTA 立下がりエッジ・タイミング (OUTA ピン)

Bits	Bit Name	R/W	Description
[7:0]	t ₂	R/W	12 ビットの t ₂ 時間のうちの MSB 8 ビットを格納します。この値は、t ₂ 時間の LSB 4 ビットを格納しているレジスタ 0x44 の上位 4 ビットと常に併せて使用されます。各 LSB は 5ns の分解能に相当します。全体のスイッチング時間は 40ns の時間ステップに分割されます。同じ 40ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0V です。別々の 40 ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5ns です。

表 68. レジスタ 0x44—OUTA 立下がりエッジ 設定 (OUTA ピン)

Bits	Bit Name	R/W	Description
[7:4]	t_2	R/W	12 ビットの t_3 時間のうちの LSB 4 ビットを格納します。この値は、 t_1 時間の MSB 8 ビットを格納しているレジスタ 0x43 の 8 ビットと常に併せて使用されます。各 LSB は 5ns の分解能に相当します。全体のスイッチング時間は 40ns の時間ステップに分割されます。同じ 40ns の時間ステップで PWM エッジの t_{RX} と t_{FX} が生じた場合、PWM 出力は 0 V です。別々の 40ns の時間ステップで t_{RX} と t_{FX} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は $t_{PERIOD} - 5ns$ です。
3	Modulate enable	R/W	1 = t_2 エッジで PWM 変調が行われる。 0 = t_2 エッジで PWM 変調が行われない。
2	t_2 sign	R/W	1 = 負符号。PWM 変調を行うと t_2 が右に移動する。 0 = 正符号。PWM 変調を行うと t_2 が左に移動する。
[1:0]	Reserved	R/W	予備

表 69. レジスタ 0x45—OUTB 立ち上がりエッジ・タイミング (OUTB ピン)

Bits	Bit Name	R/W	Description
[7:0]	t_3	R/W	12 ビットの t_3 時間のうちの MSB 8 ビットを格納します。この値は、 t_3 時間の LSB 4 ビットを格納しているレジスタ 0x46 の上位 4 ビットと常に併せて使用されます。各 LSB は 5ns の分解能に相当します。全体のスイッチング時間は 40ns の時間ステップに分割されます。同じ 40ns の時間ステップで PWM エッジの t_{RX} と t_{FX} が生じた場合、PWM 出力は 0V です。別々の 40ns の時間ステップで t_{RX} と t_{FX} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は $t_{PERIOD} - 5ns$ です。

表 70. レジスタ 0x46—OUTB 立ち上がりエッジ設定 (OUTB ピン)

Bits	Bit Name	R/W	Description
[7:4]	t_3	R/W	12 ビットの t_3 時間のうちの LSB 4 ビットを格納します。この値は、 t_3 時間の MSB 8 ビットを格納しているレジスタ 0x45 の 8 ビットと常に併せて使用されます。各 LSB は 5ns の分解能に相当します。全体のスイッチング時間は 40ns の時間ステップに分割されます。同じ 40ns の時間ステップで PWM エッジの t_{RX} と t_{FX} が生じた場合、PWM 出力は 0V です。別々の 40ns の時間ステップで t_{RX} と t_{FX} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は $t_{PERIOD} - 5ns$ です。
3	Modulate enable	R/W	1 = t_3 エッジで PWM 変調が行われる。 0 = t_3 エッジで PWM 変調が行われない。
2	t_3 sign	R/W	1 = 負符号。PWM 変調を行うと t_3 が右に移動する。 0 = 正符号。PWM 変調を行うと t_3 が左に移動する。
1	Reserved	R/W	予備
0	Volt-second balance source selection	R/W	1 に設定すると、電圧-時間バランスの積分期間の開始点として OUTB の立ち上がりエッジが選択されます。

表 71. レジスタ 0x47—OUTB 立下がりエッジ・タイミング (OUTB ピン)

Bits	Bit Name	R/W	Description
[7:0]	t_4	R/W	12 ビットの t_4 時間のうちの MSB 8 ビットを格納します。この値は、 t_4 時間の LSB 4 ビットを格納しているレジスタ 0x48 の上位 4 ビットと常に併せて使用されます。各 LSB は 5ns の分解能に相当します。全体のスイッチング時間は 40ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t_{RX} と t_{FX} が生じた場合、PWM 出力は 0V です。別々の 40ns の時間ステップで t_{RX} と t_{FX} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は $t_{PERIOD} - 5ns$ です。

表 72. レジスタ 0x48—OUTB 立下がりエッジ 設定 (OUTB ピン)

Bits	Bit Name	R/W	Description
[7:4]	t ₄	R/W	12 ビットの t ₄ 時間のうちの LSB 4 ビットを格納します。この値は、t ₄ 時間の MSB 8 ビットを格納しているレジスタ 0x47 の 8 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40 ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0 V です。別々の 40 ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5 ns です。
3	Modulate enable	R/W	1 = t ₄ エッジで PWM 変調が行われる。 0 = t ₄ エッジで PWM 変調が行われない。
2	t ₄ sign	R/W	1 = 負符号。PWM 変調を行うと t ₄ が右に移動する。 0 = 正符号。PWM 変調を行うと t ₄ が左に移動する。
[1:0]	Reserved	R/W	予備。

表 73. レジスタ 0x49—OUTC 立ち上がりエッジ・タイミング (OUTC ピン)

Bits	Bit Name	R/W	Description
[7:0]	t ₅	R/W	12 ビットの t ₅ 時間のうちの MSB 8 ビットを格納します。この値は、t ₅ 時間の LSB 4 ビットを格納しているレジスタ 0x4A の上位 4 ビットと常に併せて使用されます。各 LSB は 5ns の分解能に相当します。全体のスイッチング時間は 40ns の時間ステップに分割されます。同じ 40ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0V です。別々の 40ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5ns です。

表 74. レジスタ 0x4A—OUTC 立ち上がりエッジ設定 (OUTC ピン)

Bits	Bit Name	R/W	Description
[7:4]	t ₅	R/W	12 ビットの t ₅ 時間のうちの LSB 4 ビットを格納します。この値は、t ₅ 時間の MSB 8 ビットを格納しているレジスタ 0x49 の 8 ビットと常に併せて使用されます。各 LSB は 5ns の分解能に相当します。全体のスイッチング時間は 40ns の時間ステップに分割されます。同じ 40ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0 V です。別々の 40ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5ns です。
3	Modulate enable	R/W	1 = t ₅ エッジで PWM 変調が行われる。 0 = t ₅ エッジで PWM 変調が行われない。
2	t ₅ sign	R/W	1 = 負符号。PWM 変調を行うと t ₅ が右に移動する。 0 = 正符号。PWM 変調を行うと t ₅ が左に移動する。
1	Reserved	R/W	予備
0	Volt-second balance source selection	R/W	1 に設定すると、電圧-時間バランスの積分期間の開始点として OUTC の立ち上がりエッジが選択されます。

表 75. レジスタ 0x4B—OUTC 立下がりエッジ・タイミング (OUTC ピン)

Bits	Bit Name	R/W	Description
[7:0]	t ₆	R/W	12 ビットの t ₆ 時間のうちの MSB 8 ビットを格納します。この値は、t ₆ 時間の LSB 4 ビットを格納しているレジスタ 0x4C の上位 4 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40ns の時間ステップに分割されます。同じ 40ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0V です。別々の 40ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5ns です。

表 76. レジスタ 0x4C—OUTC 立下がりエッジ 設定 (OUTC ピン)

Bits	Bit Name	R/W	Description
[7:4]	t_6	R/W	12 ビットの t_6 時間のうちの LSB 4 ビットを格納します。この値は、 t_6 時間の MSB 8 ビットを格納しているレジスタ 0x4B の 8 ビットと常に併せて使用されます。各 LSB は 5ns の分解能に相当します。全体のスイッチング時間は 40ns の時間ステップに分割されます。同じ 40ns の時間ステップで PWM エッジの t_{RX} と t_{FX} が生じた場合、PWM 出力は 0 V です。別々の 40ns の時間ステップで t_{RX} と t_{FX} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は $t_{PERIOD} - 5ns$ です。
3	Modulate enable	R/W	1 = t_6 エッジで PWM 変調が行われる。 0 = t_6 エッジで PWM 変調が行われない。
2	t_6 sign	R/W	1 = 負符号。PWM 変調を行うと t_6 が右に移動する。 0 = 正符号。PWM 変調を行うと t_6 が左に移動する。
[1:0]	Reserved	R/W	予備

表 77. レジスタ 0x4D—OUTD 立ち上がりエッジ・タイミング (OUTD ピン)

Bits	Bit Name	R/W	Description
[7:0]	t_7	R/W	12 ビットの t_7 時間のうちの MSB 8 ビットを格納します。この値は、 t_7 時間の LSB 4 ビットを格納しているレジスタ 0x4E の上位 4 ビットと常に併せて使用されます。各 LSB は 5ns の分解能に相当します。全体のスイッチング時間は 40ns の時間ステップに分割されます。同じ 40ns の時間ステップで PWM エッジの t_{RX} と t_{FX} が生じた場合、PWM 出力は 0V です。別々の 40ns の時間ステップで t_{RX} と t_{FX} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は $t_{PERIOD} - 5ns$ です。

表 78. レジスタ 0x4E—OUTD 立ち上がりエッジ設定 (OUTD ピン)

Bits	Bit Name	R/W	Description
[7:4]	t_7	R/W	12 ビットの t_7 時間のうちの LSB 4 ビットを格納します。この値は、 t_7 時間の MSB 8 ビットを格納しているレジスタ 0x4D の 8 ビットと常に併せて使用されます。各 LSB は 5ns の分解能に相当します。全体のスイッチング時間は 40ns の時間ステップに分割されます。同じ 40ns の時間ステップで PWM エッジの t_{RX} と t_{FX} が生じた場合、PWM 出力は 0V です。別々の 40 ns の時間ステップで t_{RX} と t_{FX} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は $t_{PERIOD} - 5ns$ です。
3	Modulate enable	R/W	1 = t_7 エッジで PWM 変調が行われる。 0 = t_7 エッジで PWM 変調が行われない。
2	t_7 sign	R/W	1 = 負符号。PWM 変調を行うと t_7 が右に移動する。 0 = 正符号。PWM 変調を行うと t_7 が左に移動する。
1	Reserved	R/W	予備
0	Volt-second balance source selection	R/W	1 に設定すると、電圧-時間バランスの積分期間の開始点として OUTD の立ち上がりエッジが選択されます。

表 79. レジスタ 0x4F—OUTD 立下がりエッジ・タイミング (OUTD ピン)

Bits	Bit Name	R/W	Description
[7:0]	t_8	R/W	12 ビットの t_8 時間のうちの MSB 8 ビットを格納します。この値は、 t_8 時間の LSB 4 ビットを格納しているレジスタ 0x50 の上位 4 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40 ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t_{RX} と t_{FX} が生じた場合、PWM 出力は 0 V です。別々の 40 ns の時間ステップで t_{RX} と t_{FX} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は $t_{PERIOD} - 5 ns$ です。

表 80. レジスタ 0x50—OUTD 立下がりエッジ 設定（OUTD ピン）

Bits	Bit Name	R/W	Description
[7:4]	t_g	R/W	12 ビットの t_g 時間のうちの LSB 4 ビットを格納します。この値は、 t_g 時間の MSB 8 ビットを格納しているレジスタ 0x4F の 8 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40 ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t_{rx} と t_{fx} が生じた場合、PWM 出力は 0 V です。別々の 40 ns の時間ステップで t_{rx} と t_{fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は $t_{PERIOD} - 5$ ns です。
3	Modulate enable	R/W	1 = t_g エッジで PWM 変調が行われる。 0 = t_g エッジで PWM 変調が行われない。
2	t_g sign	R/W	1 = 負符号。PWM 変調を行うと t_g が右に移動する。 0 = 正符号。PWM 変調を行うと t_g が左に移動する。
[1:0]	Reserved	R/W	予備

表 81. レジスタ 0x51—SR1 立ち上がりエッジ・タイミング（SR1 ピン）

Bits	Bit Name	R/W	Description
[7:0]	t_9	R/W	12 ビットの t_9 時間のうちの MSB 8 ビットを格納します。この値は、 t_9 時間の LSB 4 ビットを格納しているレジスタ 0x52 の上位 4 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40 ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t_{rx} と t_{fx} が生じた場合、PWM 出力は 0 V です。別々の 40 ns の時間ステップで t_{rx} と t_{fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は $t_{PERIOD} - 5$ ns です。SR ソフトスタートを使用する場合は、SR1 の立ち上がりエッジを 80ns と 115ns の間に設定することは推奨しません。

表 82. レジスタ 0x52—SR1 立ち上がりエッジ設定（SR1 ピン）

Bits	Bit Name	R/W	Description
[7:4]	t_9	R/W	12 ビットの t_9 時間のうちの LSB 4 ビットを格納します。この値は、 t_9 時間の MSB 8 ビットを格納しているレジスタ 0x51 の 8 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40 ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t_{rx} と t_{fx} が生じた場合、PWM 出力は 0 V です。別々の 40 ns の時間ステップで t_{rx} と t_{fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は $t_{PERIOD} - 5$ ns です。SR ソフトスタートを使用する場合は、SR1 立ち上がりエッジを 80ns と 115ns の間に設定することはしません。
3	Modulate enable	R/W	1 = t_9 エッジで PWM 変調が行われる。 0 = t_9 エッジで PWM 変調が行われない。
2	t_9 sign	R/W	1 = 負符号。PWM 変調を行うと t_9 が右に移動する。 0 = 正符号。PWM 変調を行うと t_9 が左に移動する。
1	Reserved	R/W	予備
0	SR soft start edge control	R/W	0 = SR エッジの交差が常に可能 1 = SR ソフトスタートの間のみ SR エッジの交差が可能（推奨）

表 83. レジスタ 0x53—SR1 立下がりエッジ・タイミング（SR1 ピン）

Bits	Bit Name	R/W	Description
[7:0]	t_{10}	R/W	12 ビットの t_{10} 時間のうちの MSB 8 ビットを格納します。この値は、 t_{10} 時間の LSB 4 ビットを格納しているレジスタ 0x54 の上位 4 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40 ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t_{rx} と t_{fx} が生じた場合、PWM 出力は 0 V です。別々の 40 ns の時間ステップで t_{rx} と t_{fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は $t_{PERIOD} - 5$ ns です。

表 84. レジスタ 0x54—SR1 立下がりエッジ設定 (SR1 ピン)

Bits	Bit Name	R/W	Description
[7:4]	t ₁₀	R/W	12 ビットの t ₁₀ 時間のうちの LSB 4 ビットを格納します。この値は、t ₁₀ 時間の MSB 8 ビットを格納しているレジスタ 0x53 の 8 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40 ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0 V です。別々の 40 ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5 ns です。
3	Modulate enable	R/W	1 = t ₁₀ エッジで PWM 変調が行われる。 0 = t ₁₀ エッジで PWM 変調が行われない。
2	t ₁₀ sign	R/W	1 = 負符号。PWM 変調を行うと t ₁₀ が右に移動する。 0 = 正符号。PWM 変調を行うと t ₁₀ が左に移動する。
1	SR soft start setting	R/W	1 = SR 信号は、有効になるたびにソフトスタートを行う。 0 = SR 信号は、最初に有効になったときのみソフトスタートを行う。
0	SR soft start enable	R/W	このビットをセットすると、SR 信号のソフトスタート機能が有効になります。

表 85. レジスタ 0x55—SR2 立ち上がりエッジ・タイミング (SR2 ピン)

Bits	Bit Name	R/W	Description
[7:0]	t ₁₁	R/W	12 ビットの t ₁₁ 時間のうちの MSB 8 ビットを格納します。この値は、t ₁₁ 時間の LSB 4 ビットを格納しているレジスタ 0x56 の上位 4 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40 ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0 V です。別々の 40 ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5 ns です。SR ソフトスタートを使用する場合は、SR2 の立ち上がりエッジを 80ns と 115ns の間に設定することは推奨しません。

表 86. レジスタ 0x56—SR2 立ち上がりエッジ設定 (SR2 ピン)

Bits	Bit Name	R/W	Description
[7:4]	t ₁₁	R/W	12 ビットの t ₁₁ 時間のうちの LSB 4 ビットを格納します。この値は、t ₁₁ 時間の MSB 8 ビットを格納しているレジスタ 0x55 の 8 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40 ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0V です。別々の 40 ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5 ns です。SR ソフトスタートを使用する場合は、SR2 立ち上がりエッジを 80ns と 115ns の間に設定することは推奨しません。
3	Modulate enable	R/W	1 = t ₁₁ エッジで PWM 変調が行われる。 0 = t ₁₁ エッジで PWM 変調が行われない。
2	t ₁₁ sign	R/W	1 = 負符号。PWM 変調を行うと t ₁₁ が右に移動する。 0 = 正符号。PWM 変調を行うと t ₁₁ が左に移動する。
[1:0]	Reserved	R/W	予備

表 87. レジスタ 0x57—SR2 立下がりエッジ・タイミング (SR2 ピン)

Bits	Bit Name	R/W	Description
[7:0]	t ₁₂	R/W	12 ビットの t ₁₂ 時間のうちの MSB 8 ビットを格納します。この値は、t ₁₂ 時間の LSB 4 ビットを格納しているレジスタ 0x58 の上位 4 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40 ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0 V です。別々の 40 ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5 ns です。

表 88. レジスタ 0x58—SR2 立下がりエッジ設定 (SR2 ピン)

Bits	Bit Name	R/W	Description
[7:4]	t ₁₂	R/W	12 ビットの t ₁₂ 時間のうちの LSB 4 ビットを格納します。この値は、t ₁₂ 時間の MSB 8 ビットを格納しているレジスタ 0x57 の 8 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40 ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0 V です。別々の 40 ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5 ns です。
3	Modulate enable	R/W	1 = t ₁₂ エッジで PWM 変調が行われる。 0 = t ₁₂ エッジで PWM 変調が行われない。
2	t ₁₂ sign	R/W	1 = 負符号。PWM 変調を行うと t ₁₂ が右に移動する。 0 = 正符号。PWM 変調を行うと t ₁₂ が左に移動する。
[1:0]	Reserved	R/W	予備

表 89. レジスタ 0x59—OUTAUX 立ち上がりエッジ・タイミング (OUTAUX ピン)

Bits	Bit Name	R/W	Description
[7:0]	t ₁₃	R/W	12 ビットの t ₁₃ 時間のうちの MSB 8 ビットを格納します。この値は、t ₁₃ 時間の LSB 4 ビットを格納しているレジスタ 0x5A の上位 4 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40 ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0 V です。別々の 40 ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5 ns です。スイッチング周波数と OUTAUX 周波数により、このエッジとその他のエッジ (t ₁ ~ t ₁₂) の間には一定のラグ・タイムまたはリード・タイムがあります。したがって、OUTAUX は他の PWM 出力に同期しませんが、遅延を適宜調整すれば同期させることができます。エッジ調整の後に OUTAUX スイッチング周波数 (レジスタ 0x3F) または PWM スイッチング周波数 (レジスタ 0x40) を変更すると、OUTAUX と PWM のエッジ間で同期が維持されなくなります。新しいスイッチング周波数セットに対してエッジを PWM エッジに同期させるためには、OUTAUX の遅延を再度調整する必要があります。

表 90. レジスタ 0x5A—OUTAUX 立ち上がりエッジ設定 (OUTAUX ピン)

Bits	Bit Name	R/W	Description
[7:4]	t ₁₃	R/W	12 ビットの t ₁₃ 時間のうちの LSB 4 ビットを格納します。この値は、t ₁₃ 時間の MSB 8 ビットを格納しているレジスタ 0x59 の 8 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40 ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0 V です。別々の 40 ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5 ns です。スイッチング周波数と OUTAUX 周波数により、このエッジとその他のエッジ (t ₁ ~ t ₁₂) の間には一定のラグ・タイムまたはリード・タイムがあります。したがって、OUTAUX は他の PWM 出力に同期しませんが、遅延を適宜調整すれば同期させることができます。エッジ調整の後に OUTAUX スイッチング周波数 (レジスタ 0x3F) または PWM スイッチング周波数 (レジスタ 0x40) を変更すると、OUTAUX と PWM のエッジ間で同期が維持されなくなります。新しいスイッチング周波数セットに対してエッジを PWM エッジに同期させるためには、OUTAUX の遅延を再度調整する必要があります。
3	Modulate enable	R/W	1 = t ₁₃ エッジで PWM 変調が行われる。 0 = t ₁₃ エッジで PWM 変調が行われない。
2	t ₁₃ sign	R/W	1 = 負符号。PWM 変調を行うと t ₁₃ が右に移動する。 0 = 正符号。PWM 変調を行うと t ₁₃ が左に移動する。
[1:0]	Reserved	R/W	予備

表 91. レジスタ 0x5B—OUTAUX 立下がりエッジ・タイミング (OUTAUX ピン)

Bits	Bit Name	R/W	Description
[7:0]	t ₁₄	R/W	12 ビットの t ₁₄ 時間のうちの MSB 8 ビットを格納します。この値は、t ₁₄ 時間の LSB 4 ビットを格納しているレジスタ 0x5C の上位 4 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40 ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0 V です。別々の 40 ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5 ns です。スイッチング周波数と OUTAUX 周波数により、このエッジとその他のエッジ (t ₁ ~ t ₁₂) の間には一定のラグ・タイムまたはリード・タイムがあります。したがって、OUTAUX は他の PWM 出力に同期しませんが、遅延を適宜調整すれば同期させることができます。エッジ調整の後に OUTAUX スwitchング周波数 (レジスタ 0x3F) または PWM スwitchング周波数 (レジスタ 0x40) を変更すると、OUTAUX と PWM のエッジ間で同期が維持されなくなります。新しいスイッチング周波数セットに対してエッジを PWM エッジに同期させるためには、OUTAUX の遅延を再度調整する必要があります。

表 92. レジスタ 0x5C—OUTAUX 立下がりエッジ設定 (OUTAUX ピン)

Bits	Bit Name	R/W	Description
[7:4]	t ₁₄	R/W	12 ビットの t ₁₄ 時間のうちの LSB 4 ビットを格納します。この値は、t ₁₄ 時間の MSB 8 ビットを格納しているレジスタ 0x5B の 8 ビットと常に併せて使用されます。各 LSB は 5 ns の分解能に相当します。全体のスイッチング時間は 40 ns の時間ステップに分割されます。同じ 40 ns の時間ステップで PWM エッジの t _{Rx} と t _{Fx} が生じた場合、PWM 出力は 0 V です。別々の 40 ns の時間ステップで t _{Rx} と t _{Fx} が生じた場合、PWM 出力は設定値となります。絶対最大パルス幅は t _{PERIOD} - 5 ns です。スイッチング周波数と OUTAUX 周波数により、このエッジとその他のエッジ (t ₁ ~ t ₁₂) の間には一定のラグ・タイムまたはリード・タイムがあります。したがって、OUTAUX は他の PWM 出力に同期しませんが、遅延を適宜調整すれば同期させることができます。エッジ調整の後に OUTAUX スwitchング周波数 (レジスタ 0x3F) または PWM スwitchング周波数 (レジスタ 0x40) を変更すると、OUTAUX と PWM のエッジ間で同期が維持されなくなります。新しいスイッチング周波数セットに対してエッジを PWM エッジに同期させるためには、OUTAUX の遅延を再度調整する必要があります。
3	Modulate enable	R/W	1 = t ₁₄ エッジで PWM 変調が行われる。 0 = t ₁₄ エッジで PWM 変調が行われない。
2	t ₁₄ sign	R/W	1 = 負符号。PWM 変調を行うと t ₁₄ が右に移動する。 0 = 正符号。PWM 変調を行うと t ₁₄ が左に移動する。
1	Regulate with OUTAUX	R/W	1 = 制御ループの PWM 変調が OUTAUX によって制御される。このビットをセットすると、CS1 ブランキング信号が OUTAUX に同期する。 0 = 制御ループの PWM 変調が OUTA、OUTB、OUTC、OUTD、SR1、SR2 (ノーマル・モード) によって制御される。 このビットに書き込むことにより、レギュレーション・ポイントおよび周波数の設定をすぐに変更できるのですが、レジスタ 0x7F[2]で次の周波数 GO を実行するまでは、正しい変調限界とフィルタの設定が反映されません。したがって、レジスタ 0x5C[1]で動作中にレギュレーション・ポイントを変更することは推奨しません。
0	Reserved	R/W	予備。通常の動作では、このビットを 0 に設定してください。

表 93. レジスタ 0x5D—OUTx および SRx ピン・無効設定

Bits	Bit Name	R/W	Description
7	OUTAUX disable	R/W	このビットをセットすると、OUTAUX 出力を無効にします。
6	SR2 disable	R/W	このビットをセットすると、SR2 出力を無効にします。
5	SR1 disable	R/W	このビットをセットすると、SR1 出力を無効にします。
4	OUTD disable	R/W	このビットをセットすると、OUTD 出力を無効にします。
3	OUTC disable	R/W	このビットをセットすると、OUTC 出力を無効にします。
2	OUTB disable	R/W	このビットをセットすると、OUTB 出力を無効にします。
1	OUTA disable	R/W	このビットをセットすると、OUTA 出力を無効にします。
0	GATE disable	R/W	このビットをセットすると、GATE 出力を無効にしますが、VSx 帰還点には影響を与えません。

表 94. レジスタ 0x5E—ACSNS ゲイン調整

Bits	Bit Name	R/W	Description
7	Gain polarity	R/W	1 = 負のゲインとなります。 0 = 正のゲインとなります。
[6:0]	ACSNS gain trim	R/W	ACSNS ADC のゲイン・トリムを設定します。

デジタル・フィルタ設定レジスタ

レジスタ 0x5F～レジスタ 0x67 を使ってデジタル・フィルタを設定することができます。デジタル・フィルタの設定にはソフトウェア GUI を使用することを推奨します。

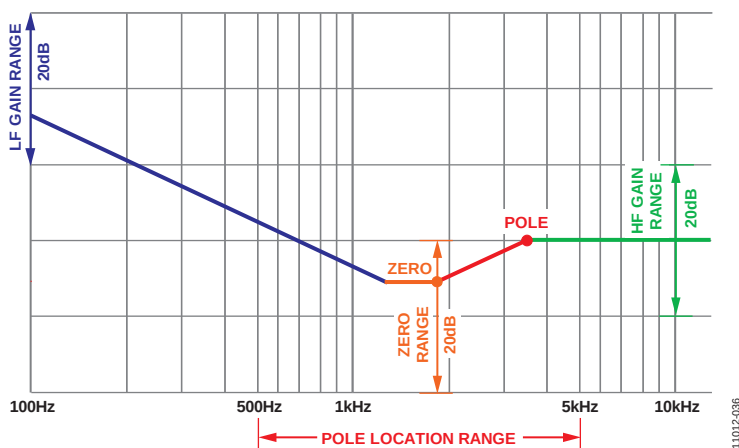


図 58. デジタル・フィルタのプログラマビリティ

表 95. レジスタ 0x5F—ソフトスタートおよび出力電圧のスルーレート設定

Bits	Bit Name	R/W	Description
[7:5]	Soft start ramp	R/W	ソフトスタートのランプ時間を決定します。
			Bit 7 Bit 6 Bit 5 ランプ時間
			0 0 0 5 ms
			0 0 1 10 ms
			0 1 0 15 ms
			0 1 1 20 ms
			1 0 0 40 ms
			1 0 1 50 ms
			1 1 0 80 ms
			1 1 1 100 ms
4	Soft start from precharge	R/W	このビットを 1 にすると、プリチャージ機能によるソフトスタートが有効になります。この機能が有効になると、VS1 または VS3±の検出電圧の値からソフトスタートのランプが開始します (OrFET ステータスによる)。
3	Reserved	R/W	予備

Bits	Bit Name	R/W	Description
[2:0]	Slew rate	R/W	電圧リファレンス設定値の変化に応じた VS3 $\pm$ ピンのスルーレートを指定します。
			Bit 2 Bit 1 Bit 0 スルーレート
			0 0 0 200 mV/ms
			0 0 1 100 mV/ms
			0 1 0 50 mV/ms
			0 1 1 25 mV/ms
			1 0 0 12.5 mV/ms
			1 0 1 6.25 mV/ms
			1 1 0 3.125 mV/ms
			1 1 1 1.5625 mV/ms (4 LSB/ms)

表 96. レジスタ 0x60—ノーマル・モード・デジタル・フィルタ LF ゲイン設定

Bits	Bit Name	R/W	Description
[7:0]	LF gain setting	R/W	ノーマル・モードでのループ応答の低周波数ゲインを決定します。LF ゲインは 20dB の範囲で設定可能です (図 58 参照)。

表 97. レジスタ 0x61—ノーマル・モード・デジタル・フィルタ・ゼロ設定

Bits	Bit Name	R/W	Description
[7:0]	Zero setting	R/W	ノーマル・モードでの最終的なゼロ点の位置を決定します (図 58 参照)。

表 98. レジスタ 0x62—ノーマル・モード・デジタル・フィルタ極設定

Bits	Bit Name	R/W	Description
[7:0]	Pole location	R/W	ノーマル・モードでの最終的な極の位置を決定します (図 58 参照)。

表 99. レジスタ 0x63—ノーマル・モード・デジタル・フィルタ HF ゲイン設定

Bits	Bit Name	R/W	Description
[7:0]	HF gain setting	R/W	ノーマル・モードでのループ応答の高周波数ゲインを決定します。HF ゲインは 20dB の範囲で設定可能です (図 58 参照)。

表 100. レジスタ 0x64—軽負荷モード・デジタル・フィルタ LF ゲイン設定

Bits	Bit Name	R/W	Description
[7:0]	LF gain setting	R/W	軽負荷モードでのループ応答の低周波数ゲインを決定します。LF ゲインは 20dB の範囲で設定可能です (図 58 参照)。

表 101. レジスタ 0x65—軽負荷モード・デジタル・フィルタ・ゼロ設定

Bits	Bit Name	R/W	Description
[7:0]	Zero setting	R/W	軽負荷モードでの最終的なゼロ点の位置を決定します (図 58 参照)。

表 102. レジスタ 0x66—軽負荷モード・デジタル・フィルタ極設定

Bits	Bit Name	R/W	Description
[7:0]	Pole location	R/W	軽負荷モードでの最終的な極の位置を決定します (図 58 参照)。

表 103. レジスタ 0x67—軽負荷モード・デジタル・フィルタ HF ゲイン設定

Bits	Bit Name	R/W	Description
[7:0]	HF gain setting	R/W	軽負荷モードでのループ応答の高周波数ゲインを決定します。HF ゲインは 20dB の範囲で設定可能です (図 58 参照)。

表 104. レジスタ 0x68—予備

Bits	Bit Name	R/W	Description
[7:0]	Reserved	R/W	適切に動作させるためには、これらのビットを 0x00 に設定してください。

ソフトスタート・フィルタ設定レジスタ

表 105. レジスタ 0x71—ソフトスタート・デジタル・フィルタ LF ゲイン設定

Bits	Bit Name	R/W	Description
[7:0]	LF gain setting	R/W	ソフトスタート時のループ応答の低周波数ゲインを決定します。LF ゲインは 20dB の範囲で設定可能です（図 58 参照）。

表 106. レジスタ 0x72—ソフトスタート・デジタル・フィルタ・ゼロ設定

Bits	Bit Name	R/W	Description
[7:0]	Zero setting	R/W	ソフトスタート時の最終的なゼロ点の位置を決定します（図 58 参照）。

表 107. レジスタ 0x73—ソフトスタート・デジタル・フィルタ極設定

Bits	Bit Name	R/W	Description
[7:0]	Pole location	R/W	ソフトスタート時の最終的な極の位置を決定します（図 58 参照）。

表 108. レジスタ 0x74—ソフトスタート・デジタル・フィルタ HF ゲイン設定

Bits	Bit Name	R/W	Description
[7:0]	HF gain setting	R/W	ソフトスタート時のループ応答の高周波数ゲインを決定します。HF ゲインは 20dB の範囲で設定可能です（図 58 参照）。

拡張機能レジスタ

表 109. レジスタ 0x75—電圧ライン・フィードフォワード

Bits	Bit Name	R/W	Description		
[7:4]	Reserved	R/W	予備		
3	Disable feedforward during soft start	R/W	電圧ライン・フィードフォワードが有効な場合、リファレンスのランプアップ（ソフトスタート）時に、このビットで無効にします。この動作は Filter GO ビット（レジスタ 0x7F[3]）によりゲートされます。 0 =ソフトスタート時にフィードフォワードを有効にします（推奨設定値）。 1 =ソフトスタート時にフィードフォワードを無効にします。		
2	Feedforward enable	R/W	電圧ライン・フィードフォワード・ループを有効にします。この動作は、Filter GO ビット（レジスタ 0x7F[3]）によりゲートされます。 0 =フィードフォワードが無効 1 =フィードフォワードが有効		
[1:0]	Gain setting	R/W	電圧フィードフォワード機能のゲインを設定します。		
			Bit 1	Bit 0	ゲイン
			0	0	1
			0	1	0.875
			1	0	0.75
1	1	0.5			

表 110. レジスタ 0x76—電圧-時間バランス設定（OUTA ピンと OUTB ピン）

Bits	Bit Name	R/W	Description
7	Modulate enable, t_1	R/W	このビットをセットすると、OUTA の立ち上がりエッジ (t_1) のバランス制御による変調が有効になります。スイッチング周期の 0ns と 640ns の間のエッジでは、電圧-時間バランス制御を有効にしないことを推奨します。
6	t_1 sign	R/W	0 = 正符合。バランス制御による変調を大きくすると、 t_1 が右に移動します。 1 = 負符合。バランス制御による変調を大きくすると、 t_1 が左に移動します。
5	Modulate enable, t_2	R/W	このビットをセットすると、OUTA の立下がりエッジ (t_2) のバランス制御による変調が有効になります。スイッチング周期の 0ns と 640ns の間のエッジでは、電圧-時間バランス制御を有効にしないことを推奨します。
4	t_2 sign	R/W	0 = 正符合。バランス制御による変調を大きくすると、 t_2 が右に移動します。 1 = 負符合。バランス制御による変調を大きくすると、 t_2 が左に移動します。
3	Modulate enable, t_3	R/W	このビットをセットすると、OUTB の立ち上がりエッジ (t_3) のバランス制御による変調が有効になります。スイッチング周期の 0ns と 640ns の間のエッジでは、電圧-時間バランス制御を有効にしないことを推奨します。
2	t_3 sign	R/W	0 = 正符合。バランス制御による変調を大きくすると、 t_3 が右に移動します。 1 = 負符合。バランス制御による変調を大きくすると、 t_3 が左に移動します。
1	Modulate enable, t_4	R/W	このビットをセットすると、OUTB の立下がりエッジ (t_4) のバランス制御による変調が有効になります。スイッチング周期の 0ns と 640ns の間のエッジでは、電圧-時間バランス制御を有効にしないことを推奨します。
0	t_4 sign	R/W	0 = 正符合。バランス制御による変調を大きくすると、 t_4 が右に移動します。 1 = 負符合。バランス制御による変調を大きくすると、 t_4 が左に移動します。

表 111. レジスタ 0x77—電圧-時間バランス設定（OUTC ピンと OUTD ピン）

Bits	Bit Name	R/W	Description
7	Modulate enable, t_5	R/W	このビットをセットすると、OUTC の立ち上がりエッジ (t_5) のバランス制御による変調が有効になります。スイッチング周期の 0ns と 640ns の間のエッジでは、電圧-時間バランス制御を有効にしないことを推奨します。
6	t_5 sign	R/W	0 = 正符合。バランス制御による変調を大きくすると、 t_5 が右に移動します。 1 = 負符合。バランス制御による変調を大きくすると、 t_5 が左に移動します。
5	Modulate enable, t_6	R/W	このビットをセットすると、OUTC の立下がりエッジ (t_6) のバランス制御による変調が有効になります。スイッチング周期の 0ns と 640ns の間のエッジでは、電圧-時間バランス制御を有効にしないことを推奨します。
4	t_6 sign	R/W	0 = 正符合。バランス制御による変調を大きくすると、 t_6 が右に移動します。 1 = 負符合。バランス制御による変調を大きくすると、 t_6 が左に移動します。
3	Modulate enable, t_7	R/W	このビットをセットすると、OUTD の立ち上がりエッジ (t_7) のバランス制御による変調が有効になります。スイッチング周期の 0ns と 640ns の間のエッジでは、電圧-時間バランス制御を有効にしないことを推奨します。
2	t_7 sign	R/W	0 = 正符合。バランス制御による変調を大きくすると、 t_7 が右に移動します。 1 = 負符合。バランス制御による変調を大きくすると、 t_7 が左に移動します。
1	Modulate enable, t_8	R/W	このビットをセットすると、OUTD の立下がりエッジ (t_8) のバランス制御による変調が有効になります。スイッチング周期の 0ns と 640ns の間のエッジでは、電圧-時間バランス制御を有効にしないことを推奨します。
0	t_8 sign	R/W	0 = 正符合。バランス制御による変調を大きくすると、 t_8 が右に移動します。 1 = 負符合。バランス制御による変調を大きくすると、 t_8 が左に移動します。

表 112. レジスタ 0x78—電圧-時間バランス設定 (SR1 ピンと SR2 ピン)

Bits	Bit Name	R/W	Description
7	Modulate enable, t_9	R/W	このビットをセットすると、SR1 の立ち上がりエッジ (t_9) のバランス制御による変調が有効になります。スイッチング周期の 0ns と 640ns の間のエッジでは、電圧-時間バランス制御を有効にしないことを推奨します。
6	t_9 sign	R/W	0 = 正符合。バランス制御による変調を大きくすると、 t_9 が右に移動します。 1 = 負符合。バランス制御による変調を大きくすると、 t_9 が左に移動します。
5	Modulate enable, t_{10}	R/W	このビットをセットすると、SR1 の立下がりエッジ (t_{10}) のバランス制御による変調が有効になります。スイッチング周期の 0ns と 640ns の間のエッジでは、電圧-時間バランス制御を有効にしないことを推奨します。
4	t_{10} sign	R/W	0 = 正符合。バランス制御による変調を大きくすると、 t_{10} が右に移動します。 1 = 負符合。バランス制御による変調を大きくすると、 t_{10} が左に移動します。
3	Modulate enable, t_{11}	R/W	このビットをセットすると、SR2 の立ち上がりエッジ (t_{11}) のバランス制御による変調が有効になります。スイッチング周期の 0ns と 640ns の間のエッジでは、電圧-時間バランス制御を有効にしないことを推奨します。
2	t_{11} sign	R/W	0 = 正符合。バランス制御による変調を大きくすると、 t_{11} が右に移動します。 1 = 負符合。バランス制御による変調を大きくすると、 t_{11} が左に移動します。
1	Modulate enable, t_{12}	R/W	このビットをセットすると、SR2 の立下がりエッジ (t_{12}) のバランス制御による変調が有効になります。スイッチング周期の 0ns と 640ns の間のエッジでは、電圧-時間バランス制御を有効にしないことを推奨します。
0	t_{12} sign	R/W	0 = 正符合。バランス制御による変調を大きくすると、 t_{12} が右に移動します。 1 = 負符合。バランス制御による変調を大きくすると、 t_{12} が左に移動します。

表 113. レジスタ 0x79—SR 遅延補償

Bits	Bit Name	R/W	Description
[7:6]	Reserved	R/W	予備
[5:0]	SR driver delay	R/W	5ns. ステップの SR 遅延の 56 ビット表示を指定します。 000000 = 0 ns. 111111 = 63 ns $\times$ 5 ns = 315 ns.

表 114. レジスタ 0x7A—フィルタ遷移

Bits	Bit Name	R/W	Description		
[7:6]	Reserved	R/W	予備		
[5:3]	HF ADC configuration	R/W	適切に動作させるため、これらのビットを常に 001 に設定してください。		
2	Enable soft transition	R/W	このビットをセットすると、フィルタ設定の間の滑らかな遷移が可能になり、出力トランジェントが最小限に抑えられます。各フィルタの 4 つのパラメータはすべて、新しい値に直線的に遷移します。		
[1:0]	Transition speed	R/W	フィルタ間の遷移速度を設定します。フィルタは 32 ステップで変化し、各ステップはこれらのビットで指定されるスイッチング・サイクル (t_{sw}) の倍数のタイミングで適用されます。		
			Bit 1	Bit 0	速度 ($t_{sw} = 1$ スwitching・サイクル)
			0	0	32 t_{sw} (合計遷移時間 = $32 \times 32 t_{sw} = 1024 \times t_{sw}$)
			0	1	8 t_{sw} (合計遷移時間 = $8 \times 32 t_{sw} = 256 \times t_{sw}$)
			1	0	2 t_{sw} (合計遷移時間 = $64 \times t_{sw}$)
1	1	1 t_{sw} (合計遷移時間 = $32 \times t_{sw}$)			

表 115. レジスタ 0x7B—PGOOD1 フラグ・マスク

Bits	Bit Name	R/W	Description
7	Soft start flag	R/W	1 に設定すると、PGOOD1 によってソフトスタート・フラグが無視されます。ソフトスタート・ランプの終了後に PGOOD1 のデバウンスを適切なタイミングで実行できるようにするには、このビットを 0 にする必要があります。
6	CS1 fast OCP	R/W	1 に設定すると、PGOOD1 によって CS1 高速 OCP フラグが無視されます。
5	CS1 accurate OCP	R/W	1 に設定すると、PGOOD1 によって CS1 高精度 OCP フラグが無視されます。
4	CS2 accurate OCP	R/W	1 に設定すると、PGOOD1 によって CS2 高精度 OCP フラグが無視されます。
3	UVP	R/W	1 に設定すると、PGOOD1 によって UVP フラグが無視されます。
2	Local OVP (fast and accurate)	R/W	1 に設定すると、PGOOD1 によってローカル OVP フラグが無視されます。
1	Load OVP	R/W	1 に設定すると、PGOOD1 によって負荷 OVP フラグが無視されます。
0	OrFET	R/W	1 に設定すると、PGOOD1 によって OrFET フラグが無視されます。

表 116. レジスタ 0x7C—PGOOD2 フラグ・マスク

Bits	Bit Name	R/W	Description
7	Soft start flag	R/W	1 に設定すると、PGOOD2 によってソフトスタート・フラグが無視されます。ソフトスタート・ランプの終了後に PGOOD2 のデバウンスを適切なタイミングで実行できるようにするには、このビットを 0 に設定する必要があります。
6	CS1 fast OCP	R/W	1 に設定すると、PGOOD2 によって CS1 高速 OCP フラグが無視されます。
5	CS1 accurate OCP	R/W	1 に設定すると、PGOOD2 によって CS1 高精度 OCP フラグが無視されます。
4	CS2 accurate OCP	R/W	1 に設定すると、PGOOD2 によって CS2 高精度 OCP フラグが無視されます。
3	UVP	R/W	1 に設定すると、PGOOD2 によって UVP フラグが無視されます。
2	Local OVP (fast and accurate)	R/W	1 に設定すると、PGOOD2 によってローカル OVP フラグが無視されます。
1	Load OVP	R/W	1 に設定すると、PGOOD2 によって負荷 OVP フラグが無視されます。
0	OrFET	R/W	1 に設定すると、PGOOD2 によって OrFET フラグが無視されます。

表 117. レジスタ 0x7D—軽負荷モード閾値設定

Bits	Bit Name	R/W	Description		
[7:6]	Reserved	R/W	予備		
[5:4]	Debounce	R/W	SR 出力がオンまたはオフした後、これらのビットで設定した時間の間、それ以降の閾値の遷移は無視されます。このバウンス防止は、誤った遷移の防止やノイズ耐性の改善のために備わっています。バウンス防止時間は、PWM スイッチング・サイクル（ t_{sw} ）の倍数として計算されます。たとえば、100kHz（ $t_{sw} = 10\mu s$ ）では、 $64 \times t_{sw} = 640\mu s$ になります。		
			Bit 5	Bit 4	バウンス防止時間
			0	0	0 t_{sw}
			0	1	64 t_{sw}
			1	0	128 t_{sw}
1	1	256 t_{sw}			
[3:2]	Light load mode averaging speed	R/W	軽負荷モードの閾値に使用される平均速度と分解能を設定します。速度を上げると分解能が低下するため、閾値の精度が低下します。		
			Bit 3	Bit 2	速度（分解能）
			0	0	37.5 μs （6 bits）
			0	1	75 μs （7 bits）
			1	0	150 μs （8 bits）
1	1	300 μs （9 bits）			
[1:0]	Light load mode hysteresis	R/W	軽負荷モードの閾値に適用されるヒステリシスの値を設定します。LSB のサイズは、ビット[3:2]で選択される速度と分解能で決まります。分解能が 8 ビットの場合に CS2 ADC の範囲を 120mV にすると、LSB のサイズは $120mV/2^8 = 469\mu V$ になります。		
			Bit 1	Bit 0	ヒステリシス（LSB）
			0	0	3
			0	1	8
			1	0	12
1	1	16			

表 118. レジスタ 0x7F—GO バイト

Bits	Bit Name	R/W	Description
[7:4]	Reserved	R/W	予備
3	Filter GO	W	レジスタ 0x60～レジスタ 0x67、およびレジスタ 0x71～レジスタ 0x75 のすべてのフィルタ・レジスタをラッチします。
2	Frequency GO	W	レジスタ 0x3F とレジスタ 0x40 をラッチすることにより、スイッチング周波数の設定値が一時的に誤った値になるのを防止します。
1	PWM settings GO	W	レジスタ 0x41～レジスタ 0x5C をラッチすることにより、PWM の設定値が一時的に誤った値になるのを防止します。レジスタ 0x5C[1]はこのビット (レジスタ 0x7F[1]) によってゲートされないことに注意してください。レジスタ 0x5C[1]に書込みを行うと、レギュレーション・ポイントと周波数設定値が即座に切り替わりますが、レジスタ 0x7F[2]を使って後続の周波数 GO が実行されるまでは、適切な変調限界値とフィルタ設定は有効になりません。このため、レジスタ 0x5C[1]を使って動作中にレギュレーション・ポイントを変更することは推奨しません。
0	Voltage reference GO	W	レジスタ 0x31 をラッチすることにより、リファレンス設定値が一時的に誤った値になるのを防止します。

EEPROM レジスタ

以下のコマンドを ADP1046A に書き込む方法の詳細は、I²C 通信プロトコルの仕様を参照してください。

表 119. レジスタ 0x81—RESTORE_DEFAULT_ALL

Bits	Bit Name	Type	Description
N/A	RESTORE_DEFAULT_ALL	Send byte	工場出荷設定値を EEPROM（メイン・ブロックのページ 0）から動作メモリへダウンロードします。パスワードもデフォルト値（0xFF）にリセットされます。

表 120. レジスタ 0x82—STORE_USER_ALL

Bits	Bit Name	Type	Description
N/A	STORE_USER_ALL	Send byte	動作メモリ（レジスタ）のすべての内容を EEPROM（メイン・ブロックのページ 1）にコピーします。先に EEPROM のロックを解除しておく必要があります。

表 121. レジスタ 0x83—RESTORE_USER_ALL

Bits	Bit Name	Type	Description
N/A	RESTORE_USER_ALL	Send byte	格納されているユーザー設定値を EEPROM（メイン・ブロックのページ 1）から動作メモリにダウンロードします。先に EEPROM のロックを解除しておく必要があります。

表 122. レジスタ 0x84—EEPROM_CRC_CHKSUM

Bits	Bit Name	Type	Description
[7:0]	EEPROM_CRC_CHKSUM	R	EEPROM ダウンロード動作時の CRC チェックサム値を返します。

表 123. レジスタ 0x85—EEPROM_ADDR_OFFSET

Bits	Bit Name	Type	Description
[15:0]	EEPROM_ADDR_OFFSET	R/W	EEPROM の現在のページのアドレス・オフセットを設定します。

表 124. レジスタ 0x86—EEPROM_NUM_RD_BYTES

Bits	Bit Name	Type	Description
[7:0]	EEPROM_NUM_RD_BYTES	R/W	EEPROM_DATA_XX コマンドを使用した場合に返される読出しバイト数を設定します。

表 125. レジスタ 0x87—EEPROM_PAGE_ERASE

Bits	Bit Name	Type	Description
[7:4]	Reserved	R	予備
[3:0]	EEPROM_PAGE_ERASE	W	選択した EEPROM のページ（ページ 4 ～ページ 15）に対してページ消去動作を行います。各ページの消去動作を行った後 35ms 待ってください。先に EEPROM のロックを解除しておく必要があります。ページ 0 とページ 1 は、それぞれデフォルト設定値とユーザー設定値を格納するための予備領域です。ページ 0 とページ 1 に対してはページ消去動作を行うことはできません。ページ 2 とページ 3 は内部で使用するための予備領域なので、内容を消去しないでください。

表 126. レジスタ 0x88—EEPROM_PASSWORD

Bits	Bit Name	Type	Description
[7:0]	EEPROM_PASSWORD	W	EEPROM のロックを解除する場合や、EEPROM のパスワードを変更する場合には、本レジスタにパスワードを 2 回続けて書き込んでください。工場出荷時のデフォルト・パスワードは 0xFF です。EEPROM をロックするには、本レジスタに正しいパスワード以外の値をタイプしてください。

表 127. レジスタ 0x89—TRIM_PASSWORD

Bits	Bit Name	Type	Description
[7:0]	TRIM_PASSWORD	R/W	書込みアクセスのために調整レジスタのロックを解除する場合には、本レジスタに調整パスワードを2回続けて書き込んでください。レジスタをロックする場合には、それ以外の値を書き込んでください。調整パスワードはEEPROMパスワードと同じです。

表 128. レジスタ 0x8A—EEPROM_INFO

Bits	Bit Name	Type	Description
Variable	EEPROM_INFO	Block read	EEPROM の INFO ブロックからブロック読出しを行います。

表 129. レジスタ 0x8B—EEPROM_DATA_00

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_00	Block read	EEPROM のメイン・ブロックのページ 0 からブロック読出しを行います。先に EEPROM のロックを解除しておく必要があります。ページ 0 には、工場出荷設定値が置かれています。

表 130. レジスタ 0x8C—EEPROM_DATA_01

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_01	Block read	EEPROM メイン・ブロックのページ 1 からブロック読出しを行います。先に EEPROM のロックを解除しておく必要があります。ページ 1 には、ユーザー設定値が置かれています。

表 131. レジスタ 0x8D—EEPROM_DATA_02

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_02	Block read	EEPROM メイン・ブロックのページ 2 からブロック読出しを行います。ページ 2 には内部設定値が置かれているため、書き込んだりや消去したりしないでください。

表 132. レジスタ 0x8E—EEPROM_DATA_03

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_03	Block read	EEPROM メイン・ブロックのページ 3 からブロック読出しを行います。ページ 3 には内部設定値が置かれているため、書き込んだりや消去したりしないでください。

表 133. レジスタ 0x8F—EEPROM_DATA_04

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_04	Block read/write	EEPROM メイン・ブロックのページ 4 に対してブロック読出しまたは書込みを行います。ページ 4 に書込みを行うためには、先に EEPROM のロックを解除しておく必要があります。ページ 4 は、ユーザーがデータを格納するために使うことができます。

表 134. レジスタ 0x90—EEPROM_DATA_05

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_05	Block read/write	EEPROM メイン・ブロックのページ 5 に対してブロック読出しまたは書込みを行います。ページ 5 に書込みを行うためには、先に EEPROM のロックを解除しておく必要があります。ページ 5 は、ユーザーがデータを格納するために使うことができます。

表 135. レジスタ 0x91—EEPROM_DATA_06

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_06	Block read/ write	EEPROM メイン・ブロックのページ 6 に対してブロック読出しまたは書込みを行います。ページ 6 に書込みを行うためには、先に EEPROM のロックを解除しておく必要があります。ページ 6 は、ユーザーがデータを格納するために使うことができます。

表 136. レジスタ 0x92—EEPROM_DATA_07

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_07	Block read/ write	EEPROM メイン・ブロックのページ 7 に対してブロック読出しまたは書込みを行います。ページ 7 に書込みを行うためには、先に EEPROM のロックを解除しておく必要があります。ページ 7 は、ユーザーがデータを格納するために使うことができます。

表 137. レジスタ 0x93—EEPROM_DATA_08

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_08	Block read/ write	EEPROM メイン・ブロックのページ 8 に対してブロック読出しまたは書込みを行います。ページ 8 に書込みを行うためには、先に EEPROM のロックを解除しておく必要があります。ページ 8 は、ユーザーがデータを格納するために使うことができます。

表 138. レジスタ 0x94—EEPROM_DATA_09

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_09	Block read/ write	EEPROM メイン・ブロックのページ 9 に対してブロック読出しまたは書込みを行います。ページ 9 に書込みを行うためには、先に EEPROM のロックを解除しておく必要があります。ページ 9 は、ユーザーがデータを格納するために使うことができます。

表 139. レジスタ 0x95—EEPROM_DATA_10

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_10	Block read/ write	EEPROM メイン・ブロックのページ 10 に対してブロック読出しまたは書込みを行います。ページ 10 に書込みを行うためには、先に EEPROM のロックを解除しておく必要があります。ページ 10 は、ユーザーがデータを格納するために使うことができます。

表 140. レジスタ 0x96—EEPROM_DATA_11

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_11	Block read/ write	EEPROM メイン・ブロックのページ 11 に対してブロック読出しまたは書込みを行います。ページ 11 に書込みを行うためには、先に EEPROM のロックを解除しておく必要があります。ページ 11 は、ユーザーがデータを格納するために使うことができます。

表 141. レジスタ 0x97—EEPROM_DATA_12

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_12	Block read/ write	EEPROM メイン・ブロックのページ 12 に対してブロック読出しまたは書込みを行います。ページ 12 に書込みを行うためには、先に EEPROM のロックを解除しておく必要があります。ページ 12 は、ユーザーがデータを格納するために使うことができます。

表 142. レジスタ 0x98—EEPROM_DATA_13

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_13	Block read/ write	EEPROM メイン・ブロックのページ 13 に対してブロック読出しまたは書込みを行います。ページ 13 に書込みを行うためには、先に EEPROM のロックを解除しておく必要があります。ページ 13 は、ユーザーがデータを格納するために使うことができます。

表 143. レジスタ 0x99—EEPROM_DATA_14

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_14	Block read/ write	EEPROM メイン・ブロックのページ 14 に対してブロック読出しまたは書込みを行います。ページ 14 に書込みを行うためには、先に EEPROM のロックを解除しておく必要があります。ページ 14 は、ユーザーがデータを格納するために使うことができます。

表 144. レジスタ 0x9A—EEPROM_DATA_15

Bits	Bit Name	Type	Description
Variable	EEPROM_DATA_15	Block read/ write	EEPROM メイン・ブロックのページ 15 に対してブロック読出しまたは書込みを行います。ページ 15 に書込みを行うためには、先に EEPROM のロックを解除しておく必要があります。ページ 15 は、ユーザーがデータを格納するために使うことができます。

共振モード動作

ADP1046A は、共振コンバータの制御をサポートしています。共振コンバータは、従来型の固定周波数コンバータの代わりとなるものです。高いスイッチング周波数、小型サイズ、高効率を提供します。図 59 に、広く採用されている直列共振コンバータを示します。

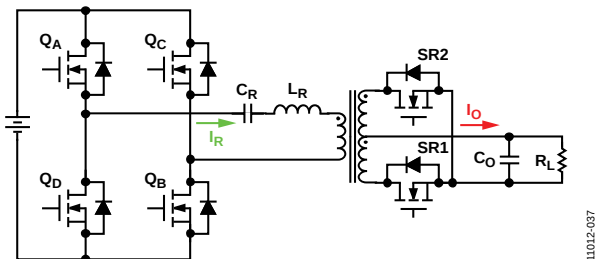


図 59. 直列共振コンバータ

共振モードのイネーブル

ADP1046A の共振スイッチング・コンバータの制御を有効にするには、レジスタ 0x40 に値 0x3F を設定する必要があります。共振モードでは、PWM 出力のデューティサイクルが固定で、周波数が可変です。

共振モードでの PWM タイミング

可変周波数制御では図 60 に示すように、OUTA および OUTB はスイッチング・サイクルの前半 ($t_A \sim t_B$) でのみハイ・レベルになることができ、OUTC および OUTD はスイッチング・サイクルの後半 ($t_B \sim t_C$) でのみハイ・レベルになることができます。制御の周波数分解能は 10ns ステップです。

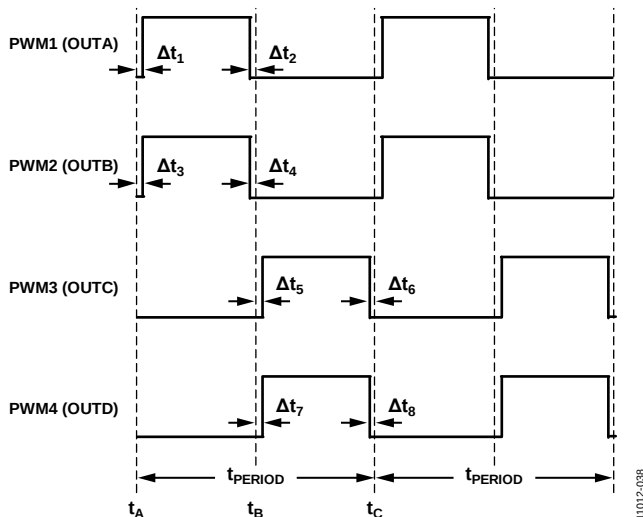


図 60. 共振モードでの OUTA、OUTB、OUTC、OUTD の PWM タイミング図

共振モードでの同期整流

共振コントローラでの同期整流の制御は、難しい課題です。ADP1046A ACSNS コンパレータを使って、SR 信号を制御することができます。共振モード動作では、図 61 に示すように、SR1 出力は ACSNS コンパレータの立ち上がりエッジで駆動され、SR2 出力はコンパレータの立下がりエッジで駆動されます。

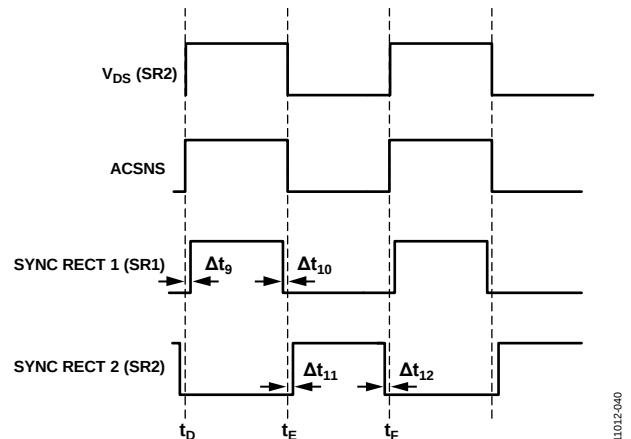


図 61. 共振モードでの SR1 および SR2 の PWM タイミング図

直列共振回路での ADP1046A の使い方と、同期整流制御の実現方法を次の例に示します。SR2 の V_{DS} 電圧 (図 61 参照) を使って SR 信号を制御することができます。ACSNS ピンは、SR2 の V_{DS} を分圧した電圧に接続します。これにより、両方の同期整流器にタイミング情報が提供されます (図 62 参照)。

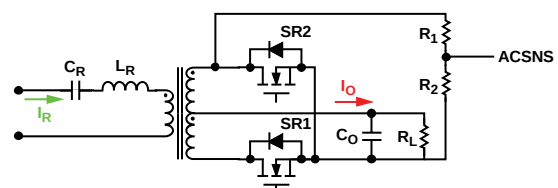


図 62. 共振同期整流器の制御回路

タイミング情報を取得すると、図 61 に示されているように、SR1 は ACSNS コンパレータの立ち上がりエッジで駆動され、SR2 はコンパレータの立下がりエッジで駆動されます。このようにして、同期整流を実現することができます。ターンオン遅延とターンオフ遅延は、SR1 信号と SR2 信号に対して個別に設定することができます。

この例が SR 信号を制御する唯一の方法ではありません。SR 信号を制御する別の方法がある場合は、この方法を使って SR2 の V_{DS} 電圧の代わりに ACSNS 入力に接続することができます。

ADP1046A を使って共振コンバータを制御する場合、デバイスのソフトスタート時に SR ソフトスタートを無効にする (レジスタ 0x0F[7] = 1 に設定する) ことを推奨します。

PWM 出力タイミングの調整

PWM 出力タイミングを正確に調整するためには、PWM 出力のデッドタイムおよび遅延を設定する際に、レジスタ 0x41、レジスタ 0x43、レジスタ 0x45、レジスタ 0x47、レジスタ 0x49、レジスタ 0x4B、レジスタ 0x4D、レジスタ 0x4F、レジスタ 0x51、レジスタ 0x53、レジスタ 0x55、レジスタ 0x57 を使用することができます。デッドタイム調整の分解能は 5ns です。詳細については、「共振モード・レジスタの説明」のセクション

ンを参照してください。ADP1046A のソフトウェア GUI を使って、周波数リミット・レジスタの設定や共振モード動作に関係する他のすべての設定を行うことができます。

周波数リミットの設定

最小周波数は、レジスタ 0x42 とレジスタ 0x44 の先頭 4 ビットにより設定されます。

例えば、レジスタ 0x42 を 0xA0 (160、10 進) に、レジスタ 0x44 のビット[7:4]を 0xF (15、10 進) に、それぞれ設定します。

最大スイッチング・サイクルは、

$$(160 \times 16 + 15) \times 5 \text{ ns} = 12.875 \text{ } \mu\text{s}$$

最小スイッチング周波数リミットは、

$$1/12.875 \text{ } \mu\text{s} = 77.7 \text{ kHz}$$

最大周波数は、レジスタ 0x46 とレジスタ 0x48 のビット[7:4]により設定されます。

例えば、レジスタ 0x46 を 0x10 (16、10 進) に、レジスタ 0x48 のビット[7:4]を 0x9 (9、10 進) に、それぞれ設定します。

最小スイッチング・サイクルは、

$$(16 \times 16 + 9) \times 5 \text{ ns} = 1.325 \text{ } \mu\text{s}$$

最大スイッチング周波数リミットは、

$$1/1.325 \text{ } \mu\text{s} = 755 \text{ kHz}$$

共振モードでの帰還制御

従来型の固定周波数 PWM コンバータとは対照的に、共振コンバータの出力電圧は、スイッチング周波数を変化させることにより安定化されます。ADP1046A が共振モードで動作する場合、検出された電圧がリファレンス電圧より低いと、スイッチング周波数が減少します。これにより、ADP1046A がゼロ電圧スイッチング (ZVS) モードで共振コンバータを制御できるようになります。

スイッチング周波数は可変ですが、高周波数帰還電圧のサンプリング周波数 (VS3+ピンと VS3-ピン) は 400kHz に固定されています。帰還フィルタのパラメータはこの周波数に基づいています。フィルタ・パラメータ (ゲイン、ゼロ点、極) を計算する方法は、固定周波数 PWM モードの場合と同様です (デジタル・フィルタのセクション参照)。

共振モードでのソフトスタート

ソフトスタート時、ADP1046A のリファレンス電圧は徐々に上昇します。帰還ループが閉じると、スイッチング周波数が上限値からレギュレーション値へ減少し

ます。ソフトスタート・タイミング設定値とフィルタ設定値は、固定周波数 PWM モードの場合と同一です (「ソフトスタート」のセクション参照)。

軽負荷動作 (バースト・モード)

非常に軽い負荷でコンバータを制御するために、ADP1046A はバースト・モードで動作することができます。バースト・モードは、レジスタ 0x4A のビット[7:6]を使ってイネーブルまたはディスエーブルすることができます。所望のスイッチング周波数がバースト・モード閾値より高い場合、デバイスはバースト・モードになります。閾値は、最大周波数とバースト・モード・オフセット設定値により決定されます。

バースト・モードを開始するときに使用する閾値は、次式で決定されます。

$$\begin{aligned} \text{バースト・モードに対する閾値} = \\ (\text{レジスタ } 0x46 \times 16) + \text{レジスタ } 0x48[7:4] + \\ (\text{レジスタ } 0x4A[5:0] \times 2) \end{aligned}$$

バースト・モードを終了させるときに使用する閾値は、開始値 + 0x10 により決定されます。

たとえば、レジスタ 0x46 を 0x10 (16、10 進) に、レジスタ 0x48 のビット[7:4]を 0 に、レジスタ 0x4A のビット[5:0]を 0x8 (8、10 進) に、それぞれ設定します。

最小スイッチング・サイクルは、

$$(16 \times 16 + 0) \times 5 \text{ ns} = 1.28 \text{ } \mu\text{s}$$

最大スイッチング周波数リミットは、

$$1/1.28 \text{ } \mu\text{s} = 781 \text{ kHz}$$

バースト・モードを開始する閾値は、

$$[(16 \times 16 + 0) + (8 \times 2)] \times 5 \text{ ns} = 1.36 \text{ } \mu\text{s}$$

所望のスイッチング周波数が $1/1.36 \mu\text{s} = 735 \text{ kHz}$ より高い場合、PWM 出力がシャットダウンして、デバイスはバースト・モードになります。

バースト・モードを終了する閾値は、

$$[(16 \times 16 + 0) + (8 \times 2) + 16] \times 5 \text{ ns} = 1.44 \text{ } \mu\text{s}$$

したがって、所望のスイッチング周波数が $1/1.44 \mu\text{s} = 694 \text{ kHz}$ より低くなると、PWM 信号が再度有効になり、デバイスはバースト・モードから抜け出します。

共振モードでの OUTAUX ピン

共振モードでは、OUTAUX ピンを制御信号として使用することはできませんが、OUTAUX は、固定を持つ固定周波数 PWM 信号として使用することができます。

共振モードでの保護機能

共振モードで使用可能なすべてのフラグと保護機能は、固定周波数 PWM モードの場合と同様の動作をします。

共振モード・レジスタの説明

表 145. レジスタ 0x40—共振モードでの PWM スイッチング周波数の設定

Bits	Bit Name	R/W	Description
[7:6]	Reserved	R/W	予備
[5:0]	Switching frequency	R/W	PWM ピンのスイッチング周波数を設定し、共振モードを有効にします。共振モードを有効にするには、これらのビットを 0x3F (111111) に設定します。

表 146. レジスタ 0x400x41—共振モードでの OUTA 立ち上がりエッジ・デッドタイム

Bits	Bit Name	R/W	Description									
[7:0]	Δt_1 (rising edge dead time of OUTA)	R/W	Δt_1 を設定します。 Δt_1 は、スイッチング・サイクルの開始 (t_A) からの OUTA の立ち上がりエッジの遅延時間です。各 LSB は 5ns の分解能に相当します。									
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Δt_1 (ns)	
			0	0	0	0	0	0	0	0	0	
			0	0	0	0	0	0	0	1	5	
			...	...	...	...	...	...	...	...	...	
			1	1	1	1	1	1	1	1275		

表 147. レジスタ 0x42—最小スイッチング周波数リミットの設定（共振モードでの最大スイッチング・サイクル）

Bits	Bit Name	R/W	Description
[7:0]	Lowest frequency	R/W	このレジスタには、最小スイッチング周波数（最大スイッチング・サイクル）リミットの 12 ビット値の 8 個の MSB が含まれています。この値は常に、最小スイッチング周波数リミットの 4 個の LSB を含むレジスタ 0x44 の上位 4 ビットとともに使用されます。12 ビット値の各 LSB は、スイッチング・サイクルの 5ns の分解能に相当します。たとえば、レジスタ 0x42 が 0xA0 (160、10 進) に設定され、レジスタ 0x44 のビット[7:4]が 0xF (15、10 進) に設定されると、最大スイッチング・サイクルが $(160 \times 16 + 15) \times 5\text{ns} = 12.875\mu\text{s}$ に、最小スイッチング周波数リミットが $1/12.875\mu\text{s} = 77.7\text{kHz}$ になります。

表 148. レジスタ 0x43—共振モードでの OUTA 立下がりエッジ・デッドタイム

Bits	Bit Name	R/W	Description								
[7:0]	Δt_2 (falling edge dead time of OUTA)	R/W	このレジスタで Δt_2 を設定します。 Δt_2 は、OUTA の立下がりエッジとスイッチング・サイクルの中間点 (t_B) の時間差です。各 LSB は 5ns の分解能に相当します。レジスタ値が 0x00～0x7F の場合、OUTA の立下がりエッジは t_B の後側になります。レジスタ値が 0x80～0xFF の場合、OUTA の立下がりエッジは t_B の前側になります。								
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Δt_2
			0	0	0	0	0	0	0	0	0 ns
			0	0	0	0	0	0	0	1	5 ns 後退
			...	...	...	...	...	...	...	...	...
			0	1	1	1	1	1	1	1	635 ns 後退
			1	0	0	0	0	0	0	0	640 ns 先行
			...	...	...	...	...	...	...	...	...
			1	1	1	1	1	1	1	1	5 ns 先行

表 149. レジスタ 0x44—最小スイッチング周波数リミットの設定（共振モードでの最大スイッチング・サイクル）

Bits	Bit Name	R/W	Description
[7:4]	Lowest frequency	R/W	このレジスタには、最小スイッチング周波数（最大スイッチング・サイクル）リミットの 12 ビット値の 4 個の LSB が含まれています。この値は常に、最小スイッチング周波数リミットの 8 個の MSB を含むレジスタ 0x42 の 8 ビットとともに使用されます。12 ビット値の各 LSB は、スイッチング・サイクルの 5ns の分解能に相当します。たとえば、レジスタ 0x42 が 0xA0（160、10 進）に設定され、レジスタ 0x44 のビット [7:4] が 0xF（15、10 進）に設定されると、最大スイッチング・サイクルが $(160 \times 16 + 15) \times 5\text{ns} = 12.875\mu\text{s}$ に、最小スイッチング周波数リミットが $1/12.875\mu\text{s} = 77.7\text{kHz}$ になります。
[3:0]	Reserved	R/W	予備

表 150. レジスタ 0x45—共振モードでの OUTB 立ち上がりエッジ・デッドタイム

Bits	Bit Name	R/W	Description								
[7:0]	Δt_3 (rising edge dead time of OUTB)	R/W	Δt_3 を設定します。 Δt_3 は、スイッチング・サイクルの開始 (t_A) からの OUTB の立ち上がりエッジの遅延時間です。各 LSB は 5ns の分解能に相当します。								
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Δt_3 (ns)
			0	0	0	0	0	0	0	0	0
			0	0	0	0	0	0	0	1	5
			...	...	...	...	...	...	...	...	...
			1	1	1	1	1	1	1	1275	

表 151. レジスタ 0x46—最大スイッチング周波数リミットの設定（共振モードでの最小スイッチング・サイクル）

Bits	Bit Name	R/W	Description
[7:0]	Highest frequency	R/W	このレジスタには、最大スイッチング周波数（最小スイッチング・サイクル）リミットの 12 ビット値の 8 個の MSB が含まれています。この値は常に、最大スイッチング周波数リミットの 4 個の LSB を含むレジスタ 0x48 の上位 4 ビットとともに使用されます。12 ビット値の各 LSB は、スイッチング・サイクルの 5ns の分解能に相当します。たとえば、レジスタ 0x46 が 0x10（16、10 進）に設定され、レジスタ 0x48 のビット [7:4] が 0x9（9、10 進）に設定されると、最小スイッチング・サイクルが $(16 \times 16 + 9) \times 5\text{ns} = 1.325\mu\text{s}$ に、最大スイッチング周波数リミットが $1/1.325\mu\text{s} = 755\text{kHz}$ になります。最大周波数を 1MHz に制限することを推奨します。

表 152. レジスタ 0x47—共振モードでの OUTB 立下がりエッジ・デッドタイム

Bits	Bit Name	R/W	Description								
[7:0]	Δt_4 (falling edge dead time of OUTB)	R/W	このレジスタで Δt_4 を設定します。 Δt_4 は、OUTB の立下がりエッジとスイッチング・サイクルの中間点 (t_B) の時間差です。各 LSB は 5ns の分解能に相当します。レジスタ値が 0x00～0x7F の場合、OUTB の立下がりエッジは t_B の後側になります。レジスタ値が 0x80～0xFF の場合、OUTB の立下がりエッジは t_B の前側になります。								
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Δt_4
			0	0	0	0	0	0	0	0	0 ns
			0	0	0	0	0	0	0	1	5 ns 後退
			...	...	...	...	...	...	...	...	...
			0	1	1	1	1	1	1	1	635 ns 後退
			1	0	0	0	0	0	0	0	640 ns 先行
			...	...	...	...	...	...	...	...	...
			1	1	1	1	1	1	1	1	5 ns 先行

表 153. レジスタ 0x48—最大スイッチング周波数リミットの設定（共振モードでの最小スイッチング・サイクル）

Bits	Bit Name	R/W	Description
[7:4]	Highest frequency	R/W	このレジスタには、最大スイッチング周波数（最小スイッチング・サイクル）リミットの 12 ビット値の 4 個の LSB が含まれています。この値は常に、最大スイッチング周波数リミットの 8 個の MSB を含むレジスタ 0x46 の 8 ビットとともに使用されます。12 ビット値の各 LSB は、スイッチング・サイクルの 5ns の分解能に相当します。たとえば、レジスタ 0x46 が 0x10（16、10 進）に設定され、レジスタ 0x48 のビット [7:4] が 0x9（9、10 進）に設定されると、最小スイッチング・サイクルが $(16 \times 16 + 9) \times 5\text{ns} = 1.325\mu\text{s}$ に、最大スイッチング周波数リミットが $1/1.325\mu\text{s} = 755\text{kHz}$ になります。
[3:0]	Reserved	R/W	予備

表 154. レジスタ 0x49—共振モードでの OUTC 立ち上がりエッジ・デッドタイム

Bits	Bit Name	R/W	Description																																																																								
[7:0]	Δt_5 (rising edge dead time of OUTC)	R/W	このレジスタで Δt_5 を設定します。Δt_5 は、OUTC の立ち上がりエッジとスイッチング・サイクルの中間点 (t_B) の時間差です。各 LSB は 5ns の分解能に相当します。レジスタ値が 0x00～0x7F の場合、OUTC の立ち上がりエッジは t_B の後側になります。レジスタ値が 0x80～0xFF の場合、OUTC の立ち上がりエッジは t_B の前側になります。 <table><tr><th>Bit 7</th><th>Bit 6</th><th>Bit 5</th><th>Bit 4</th><th>Bit 3</th><th>Bit 2</th><th>Bit 1</th><th>Bit 0</th><th>Δt_5</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0 ns</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>5 ns 後退</td></tr><tr><td>...</td><td>...</td><td>...</td><td>...</td><td>...</td><td>...</td><td>...</td><td>...</td><td>...</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>635 ns 後退</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>640 ns 先行</td></tr><tr><td>...</td><td>...</td><td>...</td><td>...</td><td>...</td><td>...</td><td>...</td><td>...</td><td>...</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>5 ns 先行</td></tr></table>	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Δt_5	0	0	0	0	0	0	0	0	0 ns	0	0	0	0	0	0	0	1	5 ns 後退	...	...	...	...	...	...	...	...	...	0	1	1	1	1	1	1	1	635 ns 後退	1	0	0	0	0	0	0	0	640 ns 先行	...	...	...	...	...	...	...	...	...	1	1	1	1	1	1	1	1	5 ns 先行
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Δt_5																																																																			
0	0	0	0	0	0	0	0	0 ns																																																																			
0	0	0	0	0	0	0	1	5 ns 後退																																																																			
...	...	...	...	...	...	...	...	...																																																																			
0	1	1	1	1	1	1	1	635 ns 後退																																																																			
1	0	0	0	0	0	0	0	640 ns 先行																																																																			
...	...	...	...	...	...	...	...	...																																																																			
1	1	1	1	1	1	1	1	5 ns 先行																																																																			

表 155. レジスタ 0x4A—共振モードでのバースト・モード動作

Bits	Bit Name	R/W	Description		
[7:6]	Burst mode enable	R/W	バースト・モード動作を有効または無効にします。		
			Bit 7	Bit 6	バースト・モード
			0	0	無効
			0	1	通常動作時に有効、ソフトスタート時には無効
			1	0	無効
1	1	通常動作時とソフトスタート時に無効			
[5:0]	Burst mode offset	R/W	これらのビットおよび最大スイッチング周波数リミットにより、バースト・モード動作を有効にする閾値が決定されます。この値の設定方法の詳細については、「軽負荷動作（バースト・モード）」のセクションを参照してください。バースト・モードの間、PWM 周波数はレジスタ 0x46 で設定される最大周波数リミットになります。		

表 156. レジスタ 0x4B—共振モードでの OUTC 立下がりエッジ・デッドタイム

Bits	Bit Name	R/W	Description								
[7:0]	Δt_6 (falling edge dead time of OUTC)	R/W	Δt_6 を設定します。 Δt_6 は、スイッチング・サイクルの終了 (t_c) からの OUTC の立下がりエッジの先行時間です。各 LSB は 5ns の分解能に相当します。								
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Δt_6 (ns)
			0	0	0	0	0	0	0	0	0
			0	0	0	0	0	0	0	1	5
			...	...	...	...	...	...	...	...	...
1	1	1	1	1	1	1	1	1275			

表 157. レジスタ 0x4D—共振モードでの OUTD 立ち上がりエッジ・デッドタイム

Bits	Bit Name	R/W	Description
[7:0]	Δt_7 (rising edge dead time of OUTD)	R/W	Δt_7 を設定します。 Δt_7 は、OUTD の立ち上がりエッジとスイッチング・サイクルの中間点 (t_B) の時間差です。各 LSB は 5ns の分解能に相当します。レジスタ値が 0x00～0x7F の場合、OUTD の立ち上がりエッジは t_B の後側になります。レジスタ値が 0x80～0xFF の場合、OUTD の立ち上がりエッジは t_B の前側になります。
			Bit 7 Bit 6 Bit 5 Bit 4 Bit 3 Bit 2 Bit 1 Bit 0 Δt_7
			0 0 0 0 0 0 0 0 0 ns
			0 0 0 0 0 0 0 1 5 ns 後退
			
			0 1 1 1 1 1 1 1 635 ns 後退
			1 0 0 0 0 0 0 0 640 ns 先行
			
			1 1 1 1 1 1 1 1 5 ns 先行

表 158. レジスタ 0x4F—共振モードでの OUTD 立下がりエッジ・デッドタイム

Bits	Bit Name	R/W	Description
[7:0]	Δt_8 (falling edge dead time of OUTD)	R/W	Δt_8 を設定します。 Δt_8 は、スイッチング・サイクルの終了 (t_C) からの OUTD の立下がりエッジの先行時間です。各 LSB は 5ns の分解能に相当します。
			Bit 7 Bit 6 Bit 5 Bit 4 Bit 3 Bit 2 Bit 1 Bit 0 Δt_8 (ns)
			0 0 0 0 0 0 0 0 0
			0 0 0 0 0 0 0 1 5
			
			1 1 1 1 1 1 1 1 1275

表 159. レジスタ 0x51—共振モードでの SR1 立ち上がりエッジ・デッドタイム

Bits	Bit Name	R/W	Description
[7:0]	Δt_9 (rising edge dead time of SR1)	R/W	Δt_9 を設定します。 Δt_9 は、ACSNS の立ち上がりエッジ (t_D) からの SR1 の立ち上がりエッジの遅延時間です。各 LSB は 5ns の分解能に相当します。
			Bit 7 Bit 6 Bit 5 Bit 4 Bit 3 Bit 2 Bit 1 Bit 0 Δt_9 (ns)
			0 0 0 0 0 0 0 0 0
			0 0 0 0 0 0 0 1 5
			
			1 1 1 1 1 1 1 1 1275

表 160. レジスタ 0x53—共振モードでの SR1 立下がりエッジ・デッドタイム

Bits	Bit Name	R/W	Description
[7:0]	Δt_{10} (falling edge dead time of SR1)	R/W	Δt_{10} を設定します。 Δt_{10} は、ACSNS の立下がりエッジ (t_E) からの SR1 の立下がりエッジの先行時間です。各 LSB は 5ns の分解能に相当します。
			Bit 7 Bit 6 Bit 5 Bit 4 Bit 3 Bit 2 Bit 1 Bit 0 Δt_{10} (ns)
			0 0 0 0 0 0 0 0 0
			0 0 0 0 0 0 0 1 5
			
			1 1 1 1 1 1 1 1 1275

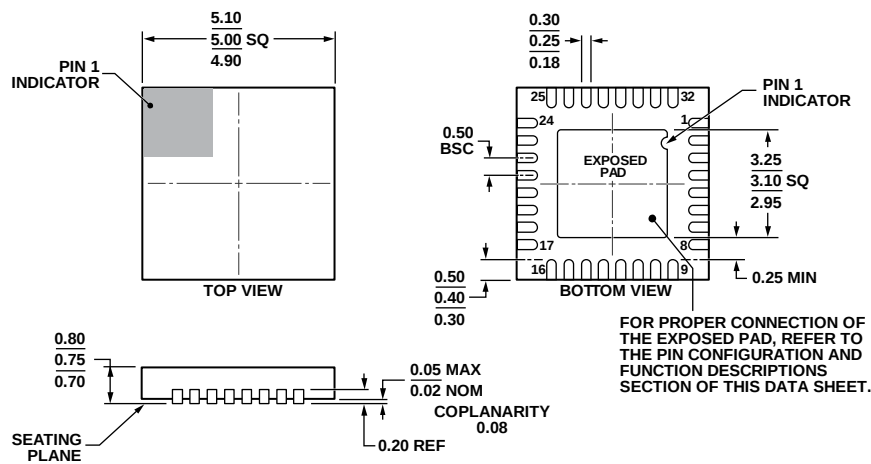
表 161. レジスタ 0x55—共振モードでの SR2 立ち上がりエッジ・デッドタイム

Bits	Bit Name	R/W	Description								
[7:0]	Δt_{11} (rising edge dead time of SR2)	R/W	Δt_{11} を設定します。 Δt_{11} は、ACSNSの立下がりエッジ (t_E) からのSR2の立ち上がりエッジの遅延時間です。各LSBは5nsの分解能に相当します。								
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Δt_{11} (ns)
			0	0	0	0	0	0	0	0	0
			0	0	0	0	0	0	0	1	5
			...	...	...	...	...	...	...	...	...
			1	1	1	1	1	1	1275		

表 162. レジスタ Register 0x57—共振モードでの SR2 立下がりエッジ・デッドタイム

Bits	Bit Name	R/W	Description								
[7:0]	Δt_{12} (falling edge dead time of SR2)	R/W	Δt_{12} を設定します。 Δt_{12} は、ACSNSの立ち上がりエッジ (t_F) からの SR2 の立下がりエッジの先行時間です。各 LSB は 5ns の分解能に相当します。								
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Δt_{12} (ns)
			0	0	0	0	0	0	0	0	0
			0	0	0	0	0	0	0	1	5
			...	...	...	...	...	...	...	...	...
			1	1	1	1	1	1	1	1275	

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD.

図 63. 32 ピン・リードフレーム・チップスケール・パッケージ[LFCSP_WQ]
5 mm × 5 mm ボディ、極薄クワッド
(CP-32-7)
寸法 : mm

112408-A

オーダー・ガイド

モデル ¹	温度範囲	パッケージ	パッケージ・オプション
ADP1046AACPZ-RL	-40°C to +125°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-7
ADP1046AACPZ-R7	-40°C to +125°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-7
ADP1046A-100-EVALZ		ADP1046A 100 W Evaluation Board	
ADP1046ADC1-EVALZ		ADP1046A Daughter Card	
ADP-I2C-USB-Z		USB to I ² C Adapter	

¹. Z = RoHS 準拠製品。

I²C は Philips Semiconductors 社（現在の NXP Semiconductors 社）が制定した通信プロトコルです。