

特長

出力ピンの ± 15 kV ESD 保護
 スwitchング・レート: 400 Mbps (200 MHz)
 フロー・スルー・ピン配置により PCB レイアウトを簡素化
 差動スキュー: 300 ps (typ)
 最大差動スキュー: 400 ps
 最大伝搬遅延: 1.7 ns
 電源電圧: 3.3 V
 差動シグナリング: ± 310 mV
 低消費電力: 10 mW (typ)
 既存 5 V LVDS レシーバと互換
 パワーダウン時 LVDS 出力が高インピーダンス
 TIA/EIA-644 LVDS 規格に準拠
 工業用動作温度範囲: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$
 薄型 TSSOP パッケージを採用

アプリケーション

バック・プレーン・データ伝送
 ケーブル・データ伝送
 クロック分配

概要

ADN4667 は、クワッドの CMOS 低電圧差動シグナリング(LVDS) ライン・ドライバであり、400 Mbps (200 MHz)を超えるデータ・レートと超低消費電力を提供します。フロー・スルー・ピン配置を採用しているため、PCB レイアウトおよび入力信号と出力信号の分離が容易になります。このデバイスは低電圧 TTL/CMOS ロジック信号を入力して、ツイストペア・ケーブルのような伝送媒体を駆動する ± 3.1 mA の差動電流出力に変換します。送信された信号は、受信端で終端抵抗の両端に ± 310 mV の差動電圧を発生します。この差動電圧は、LVDS レシーバによって TTL/CMOS ロジック・レベルに戻されます。また、ADN4667 はアクティブ・ハイとアクティブ・ローのイネーブル/ディスエーブル入力(EN と $\overline{\text{EN}}$)も提供します。これらの入力は 4 個すべてのドライバを制御し、ディスエーブル状態では出力電流をターンオフして静止消費電力を 10 mW (typ)に削減します。

機能ブロック図

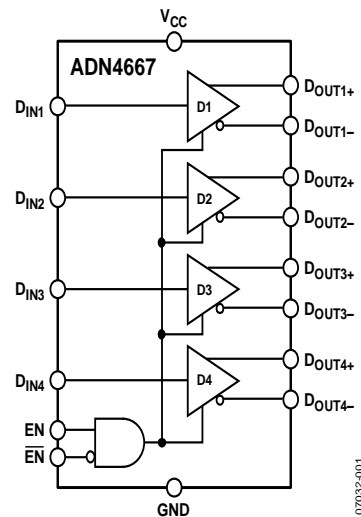


図 1.

ADN4667 とこれと対になる LVDS レシーバの組み合わせは、高速な 1 対 1 データ伝送に対する新しいソリューションを提供し、ECL (emitter-coupled ロジック)または PECL (positive emitter-coupled ロジック)に対する低消費電力の代替品を提供します。

目次

特長.....	1	ピン配置およびピン機能説明.....	7
アプリケーション.....	1	代表的な性能特.....	8
機能ブロック図.....	1	動作原理.....	11
概要.....	1	イネーブル入力.....	11
改訂履歴.....	2	アプリケーション情報.....	11
仕様.....	3	外形寸法.....	12
AC 特性.....	4	オーダー・ガイド.....	12
テスト回路.....	5		
絶対最大定格.....	6		
ESD の注意.....	6		

改訂履歴

1/08—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{CC} = 3.0\text{ V} \sim 3.6\text{ V}$; $R_L = 100\ \Omega$; $C_L = 15\text{ pF}$ (GND に接続); すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定¹

表 1.

Parameter	Min	Typ	Max	Unit	Conditions/Comments ^{2,3}
LVDS OUTPUTS (D_{OUT+}, D_{OUT-})					
Differential Output Voltage, V_{OD}	250	310	450	mV	図 2 と 図 4 参照
Change in Magnitude of V_{OD} for Complementary Output States, ΔV_{OD}		1	35	mV	図 2 と 図 4 参照
Offset Voltage, V_{OS}	1.125	1.17	1.375	V	図 2 と 図 4 参照
Change in Magnitude of V_{OS} for Complementary Output States, ΔV_{OS}		1	25	mV	図 2 と 図 4 参照
Output High Voltage, V_{OH}		1.33	1.6	V	図 2 と 図 4 参照
Output Low Voltage, V_{OL}	0.90	1.02		V	図 2 と 図 4 参照
INPUTS (D_{IN}, EN, \overline{EN})					
Input High Voltage, V_{IH}	2.0		V_{CC}	V	
Input Low Voltage, V_{IL}	GND		0.8	V	
Input High Current, I_{IH}	-10	+2	+10	μA	$V_{IN} = V_{CC}$ or 2.5 V
Input Low Current, I_{IL}	-10	+2	+10	μA	$V_{IN} = \text{GND}$ or 0.4 V
Input Clamp Voltage, V_{CL}	-1.5	-0.8		V	$I_{CL} = -18\text{ mA}$
LVDS OUTPUT PROTECTION (D_{OUT+}, D_{OUT-})					
Output Short-Circuit Current, I_{OS} ⁴		-4.2	-9.0	mA	Enabled, $D_{IN} = V_{CC}$, $D_{OUT+} = 0\text{ V}$ or $D_{IN} = \text{GND}$, $D_{OUT-} = 0\text{ V}$
Differential Output Short-Circuit Current, I_{OSD} ⁴		-4.2	-9.0	mA	Enabled, $V_{OD} = 0\text{ V}$
LVDS OUTPUT LEAKAGE (D_{OUT+}, D_{OUT-})					
Power-Off Leakage, I_{OFF}	-20	± 1	+20	μA	$V_{OUT} = 0\text{ V}$ or 3.6 V, $V_{CC} = 0\text{ V}$ or open
Output Three-State Current, I_{OZ}	-10	± 1	+10	μA	$EN = 0.8\text{ V}$ and $\overline{EN} = 2.0\text{ V}$, $V_{OUT} = 0\text{ V}$ or V_{CC}
POWER SUPPLY					
No Load Supply Current, Drivers Enabled, I_{CC}		4.0	8.0	mA	$D_{IN} = V_{CC}$ or GND
Loaded Supply Current, Drivers Enabled, I_{CCL}		20	30	mA	$R_L = 100\ \Omega$ all channels, $D_{IN} = V_{CC}$ or GND (all inputs)
No Load Supply Current, Drivers Disabled, I_{CCZ}		2.2	6.0	mA	$D_{IN} = V_{CC}$ or GND, $EN = \text{GND}$, $\overline{EN} = V_{CC}$
ESD PROTECTION					
D_{OUT+} , D_{OUT-} Pins		± 15		kV	Human body model
All Pins Except D_{OUT+} , D_{OUT-}		± 4		kV	Human body model

¹ すべての typ 値は、 $V_{CC} = +3.3\text{ V}$ 、 $T_A = +25^\circ\text{C}$ における値です。

² デバイス・ピンに流入する電流を正としています。デバイス・ピンから流出する電流を負としています。 V_{OD} 、 ΔV_{OD} 、 ΔV_{OS} 以外のすべての電圧はグラウンドを基準とします。

³ ADN4667 は電流モード・デバイスであるため、抵抗負荷をドライバ出力に接続したときにのみ、データシートの仕様内で動作します。代表的な範囲は $90 \sim 110\ \Omega$ です。

⁴ 出力短絡電流(I_{OS})は大きさを規定するため、マイナス符号は向きのみを示します。

AC 特性¹

特に指定のない限り、 $V_{CC} = 3.0\text{ V} \sim 3.6\text{ V}$; $R_L = 100\ \Omega$; $C_L^2 = 15\text{ pF}$ (GND に接続);すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定³

表 1.

Parameter	Min	Typ	Max	Unit	Conditions/Comments ^{4,5}
Differential Propagation Delay, High to Low, t_{PHLD}	0.5	0.9	1.7	ns	図 3 と図 4 参照
Differential Propagation Delay, Low to High, t_{PLHD}	0.5	1.2	1.7	ns	図 3 と図 4 参照
Differential Pulse Skew $ t_{PHLD} - t_{PLHD} $, t_{SKD1} ⁶	0	0.3	0.4	ns	図 3 と図 4 参照
Channel-to-Channel Skew, t_{SKD2} ⁷	0	0.4	0.5	ns	図 3 と図 4 参照
Differential Part-to-Part Skew, t_{SKD3} ⁸	0		1.0	ns	図 3 と図 4 参照
Differential Part-to-Part Skew, t_{SKD4} ⁹	0		1.2	ns	図 3 と図 4 参照
Rise Time, t_{TLH}		0.5	1.5	ns	図 3 と図 4 参照
Fall Time, t_{THL}		0.5	1.5	ns	図 3 と図 4 参照
Disable Time High to Inactive, t_{PHZ}		2	5	ns	図 5 と図 6 参照
Disable Time Low to Inactive, t_{PLZ}		2	5	ns	図 5 と図 6 参照
Enable Time Inactive to High, t_{PZH}		3	7	ns	図 5 と図 6 参照
Enable Time Inactive to Low, t_{PZL}		3	7	ns	図 5 と図 6 参照
Maximum Operating Frequency, f_{MAX} ¹⁰	200	250		MHz	図 5 と図 6 参照

¹ AC パラメータは、デザインおよびキャラクタライゼーションにより保証。

² C_L はプローブと治具の容量を含みます。

³ すべての typ 値は、 $V_{CC} = +3.3\text{ V}$ 、 $T_A = +25^\circ\text{C}$ における値です。

⁴ 特に指定のない限り、すべてのテストに対するジェネレータ波形は $f = 50\text{ MHz}$ 、 $Z_0 = 50\ \Omega$ 、 $t_r \leq 1\text{ ns}$ 、 $t_f \leq 1\text{ ns}$ で規定します。

⁵ 他に指定がない限り、すべての入力電圧は 1 チャンネル用です。他の入力は GND に接続されます。

⁶ $t_{SKD1} = |t_{PHLD} - t_{PLHD}|$ は、同じチャンネルの正のエッジと負のエッジとの間の差動伝搬遅延の大きさの差です。

⁷ t_{SKD2} は、同じチャンネル上で任意のイベントが発生したときの差動チャンネル間スキューです。

⁸ 差動デバイス間スキュー t_{SKD3} は、最大差動伝搬遅延規定値と最小差動伝搬遅延規定値との間の差として定義されます。この仕様は、各デバイスが同じ V_{CC} と動作温度範囲内相変差 5°C 以内に適用されます。

⁹ デバイス間スキュー t_{SKD4} は、任意のイベントが発生したときの差動チャンネル間スキューです。この仕様は、推奨動作温度範囲と推奨電圧範囲を超えたデバイス、および製造プロセス分布間に適用されます。 t_{SKD4} は $|\text{Max} - \text{Min}|$ 差動伝搬遅延として定義されます。

¹⁰ f_{MAX} ジェネレータ入力条件: $t_r = t_f < 1\text{ ns}$ (0%~100%)、50% デューティ・サイクル、0 V~3 V。出力基準: デューティ・サイクル = 45%/55%、 $V_{OD} > 250\text{ mV}$ 、全チャンネルがスイッチング。

テスト回路

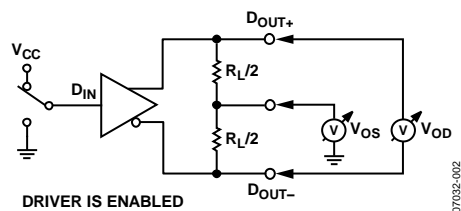
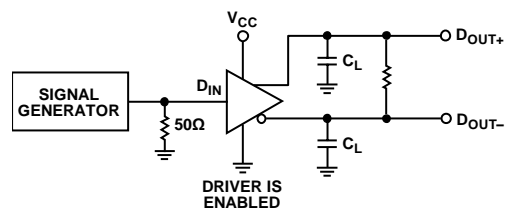


図 2. ドライバの V_{OD} と V_{OS} のテスト回路



NOTES
1. C_L INCLUDES LOAD AND TEST JIG CAPACITANCE.

図 3. ドライバの伝搬遅延と変化時間のテスト回路

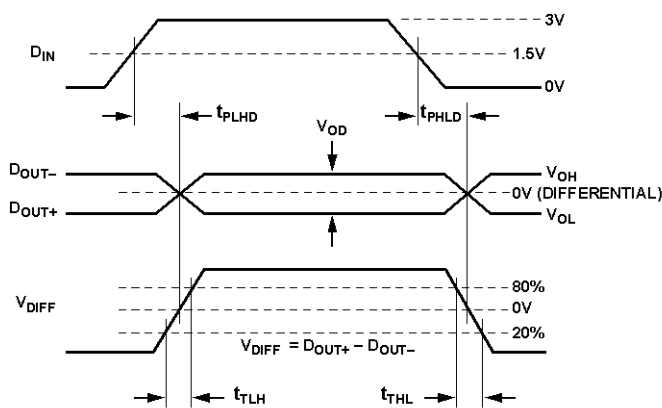


図 4. ドライバの伝搬遅延と変化時間の波形

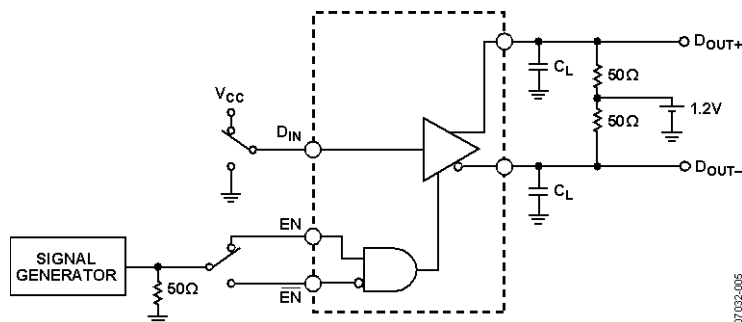


図 5. ドライバ・スリープ状態遅延のテスト回路

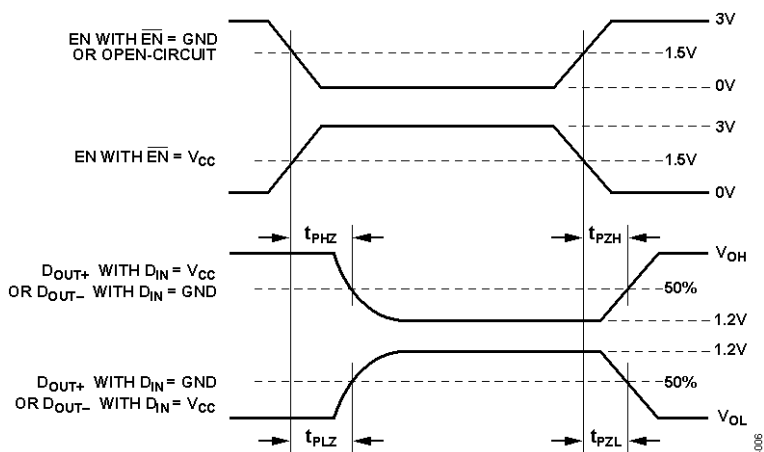


図 6. ドライバ・スリープ状態遅延の波形

絶対最大定格

TA = 25°C, unless otherwise noted.

表 1.

Parameter	Rating
V _{CC} to GND	-0.3 V to +4 V
Input Voltage (D _{IN}) to GND	-0.3 V to V _{CC} + 0.3 V
Enable Input Voltage (EN, $\overline{\text{EN}}$) to GND	-0.3 V to V _{CC} + 0.3 V
Output Voltage (D _{OUT+} , D _{OUT-}) to GND	-0.3 V to V _{CC} + 0.3 V
Short-Circuit Duration (D _{OUT+} , D _{OUT-}) to GND	Continuous
Operating Temperature Range	
Industrial	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T _J max)	150°C
Power Dissipation	(T _J max - T _A)/θ _{JA}
TSSOP Package	
θ _{JA} Thermal Impedance	150.4°C/W
Reflow Soldering Peak Temperature (10 sec)	260°C max

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

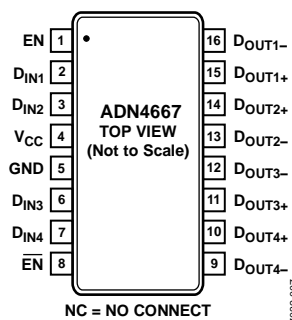


図 7. ピン配置

表 2. ピン機能の説明

ピン番号	記号	説明
1	EN	アクティブ・ハイのイネーブルおよびパワーダウン入力(3 V TTL/CMOS)。ENがロー・レベルに維持された場合または断線の場合、ENはハイ・レベルのときに各ドライバをイネーブルし、ロー・レベルのときに各ドライバをディスエーブルします。
2	D _{IN1}	ドライバ・チャンネル1のロジック入力。
3	D _{IN2}	ドライバ・チャンネル2のロジック入力。
4	V _{CC}	電源入力。これらのデバイスは3.0 V~3.6 Vで動作し、電源は10 μFの固体タンタル・コンデンサと0.1 μFのコンデンサとの並列接続によりGNDへデカップリングする必要があります。
5	GND	デバイス上の全回路に対するグラウンド基準電圧ポイント。
6	D _{IN3}	ドライバ・チャンネル3のロジック入力。
7	D _{IN4}	ドライバ・チャンネル4のロジック入力。
8	$\overline{\text{EN}}$	プルダウン付きのアクティブ・ロー・イネーブルおよびパワーダウン入力(3 V TTL/CMOS)。ENをハイ・レベルに維持すると、 $\overline{\text{EN}}$ はロー・レベルまたは断線のときに各ドライバをイネーブルし、ハイ・レベルのときに、各ドライバをディスエーブルしてデバイスをパワーダウンさせます。
9	D _{OUT4-}	チャンネル4の反転出力電流ドライバ。D _{IN4} がハイ・レベルのとき、電流がD _{OUT4-} に流入し、D _{IN4} がロー・レベルのとき、電流がD _{OUT4-} から流出します。
10	D _{OUT4+}	チャンネル4の非反転出力電流ドライバ。D _{IN4} がハイ・レベルのとき、電流がD _{OUT4+} から流出し、D _{IN4} がロー・レベルのとき、電流がD _{OUT4+} へ流入します。
11	D _{OUT3+}	チャンネル3の非反転出力電流ドライバ。D _{IN3} がハイ・レベルのとき、電流がD _{OUT3+} から流出し、D _{IN3} がロー・レベルのとき、電流がD _{OUT3+} へ流入します。
12	D _{OUT3-}	チャンネル3の反転出力電流ドライバ。D _{IN3} がハイ・レベルのとき、電流がD _{OUT3-} に流入し、D _{IN3} がロー・レベルのとき、電流がD _{OUT3-} から流出します。
13	D _{OUT2-}	チャンネル2の反転出力電流ドライバ。D _{IN2} がハイ・レベルのとき、電流がD _{OUT2-} に流入し、D _{IN2} がロー・レベルのとき、電流がD _{OUT2-} から流出します。
14	D _{OUT2+}	チャンネル2の非反転出力電流ドライバ。D _{IN2} がハイ・レベルのとき、電流がD _{OUT2+} から流出し、D _{IN2} がロー・レベルのとき、電流がD _{OUT2+} へ流入します。
15	D _{OUT1+}	チャンネル1の非反転出力電流ドライバ。D _{IN1} がハイ・レベルのとき、電流がD _{OUT1+} から流出し、D _{IN1} がロー・レベルのとき、電流がD _{OUT1+} へ流入します。
16	D _{OUT1-}	チャンネル1の反転出力電流ドライバ。D _{IN1} がハイ・レベルのとき、電流がD _{OUT1-} に流入し、D _{IN1} がロー・レベルのとき、電流がD _{OUT1-} から流出します。

代表的な性能特

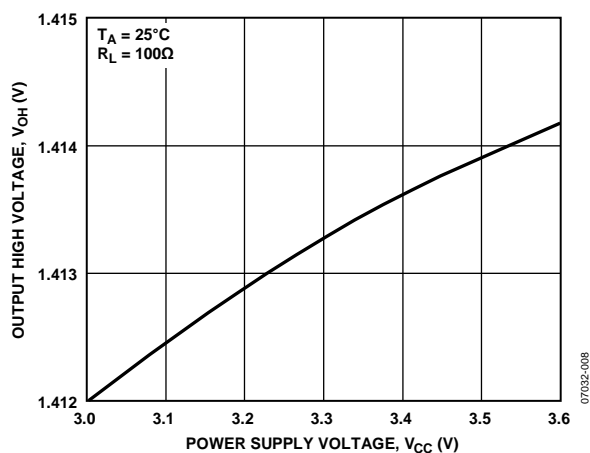


図 8. 出力ハイ・レベル電圧対電源電圧

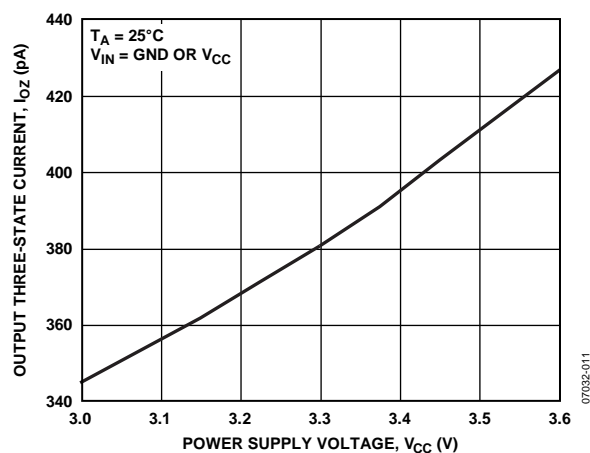


図 11. 出力スリーステート電流対電源電圧

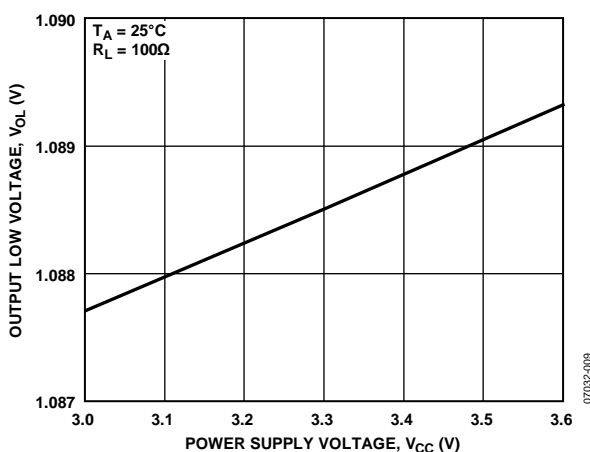


図 9. 出力ロー・レベル電圧対電源電圧

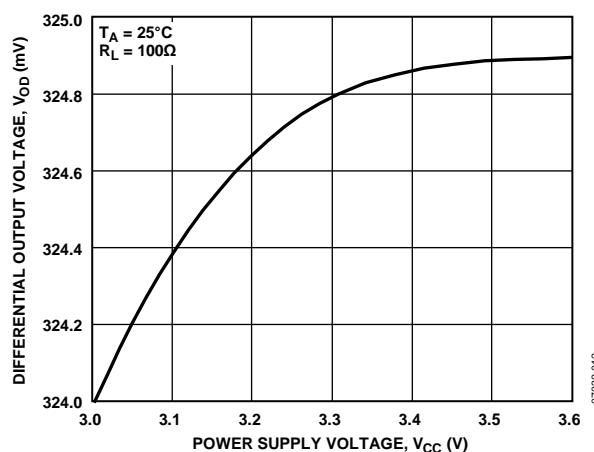


図 12. 差動出力電圧対電源電圧

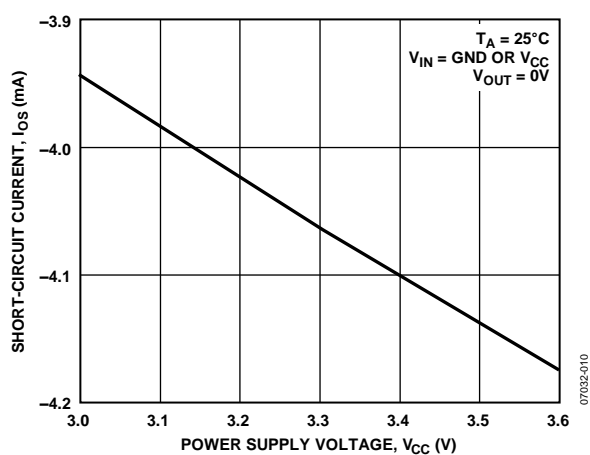


図 10. 出力短絡電流対電源電圧

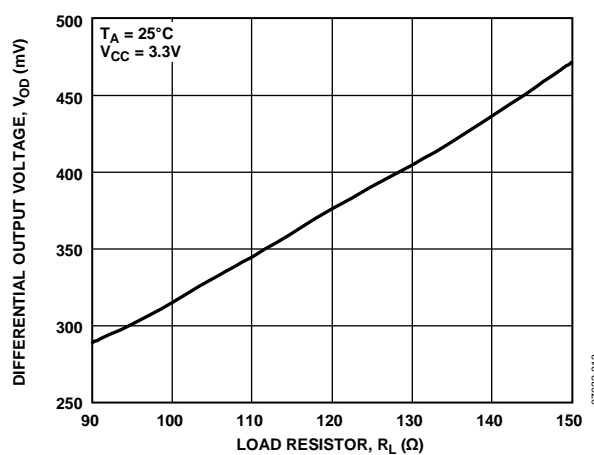


図 13. 差動出力電圧対負荷抵抗

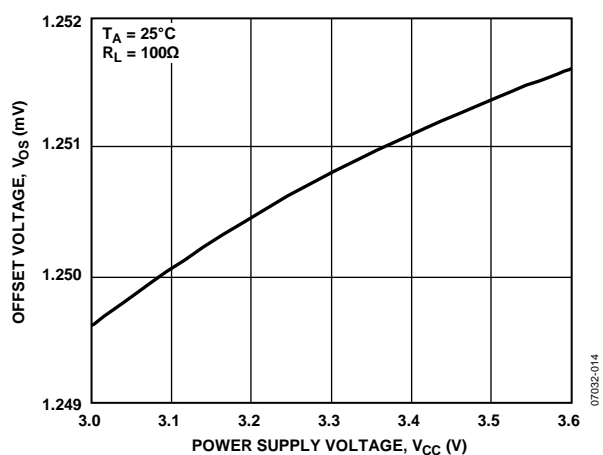


図 14. オフセット電圧対電源電圧

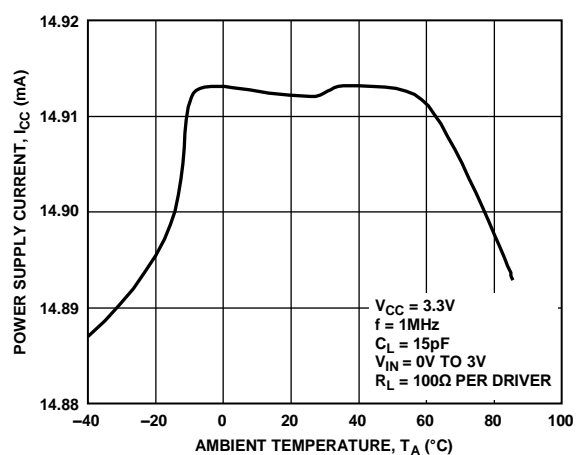


図 17. 電源電流対周囲温度

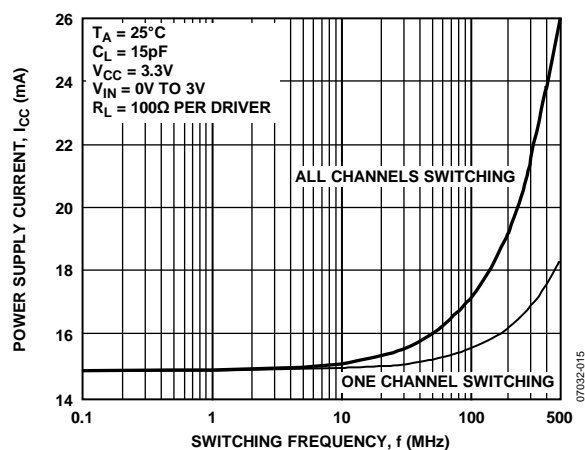


図 15. 電源電流対スイッチング周波数

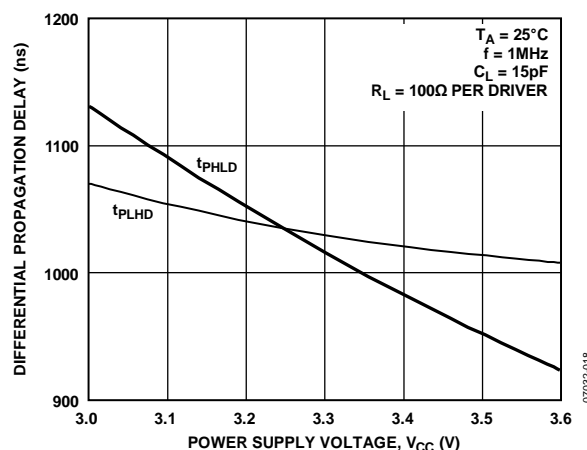


図 18. 差動伝搬遅延対電源電圧

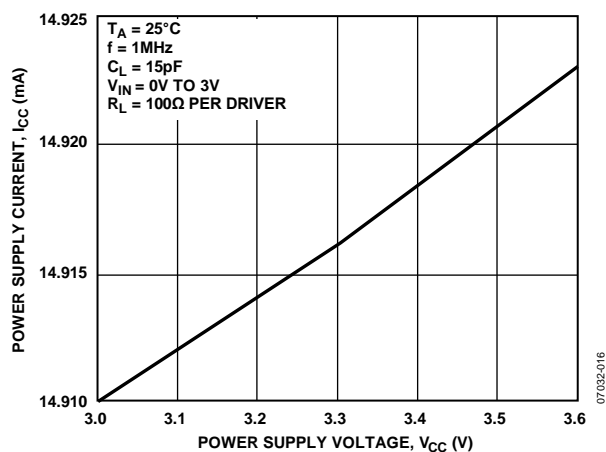


図 16. 電源電流対電源電圧

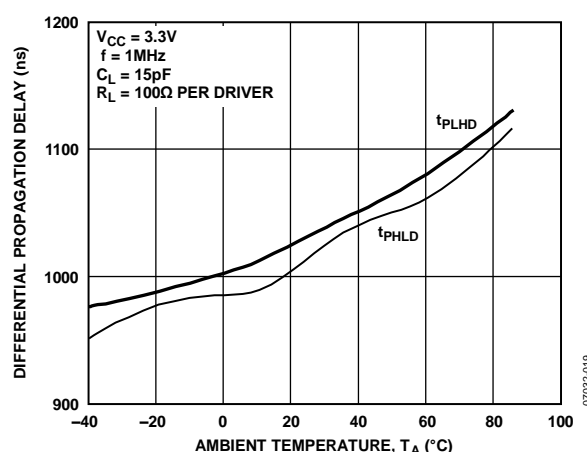


図 19. 差動伝搬遅延対周囲温度

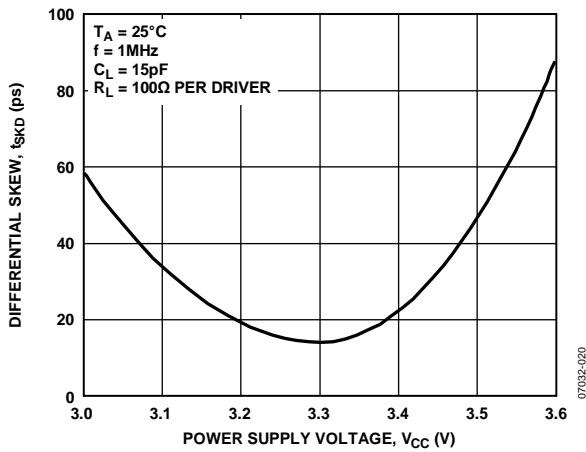


図 20. 差動スキュー対電源電圧

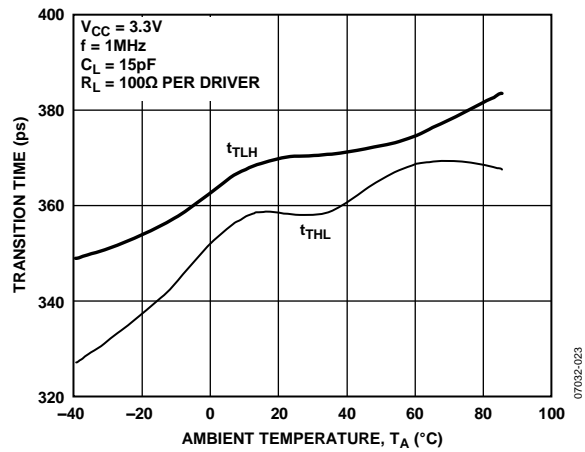


図 23. 変化時間対周囲温度

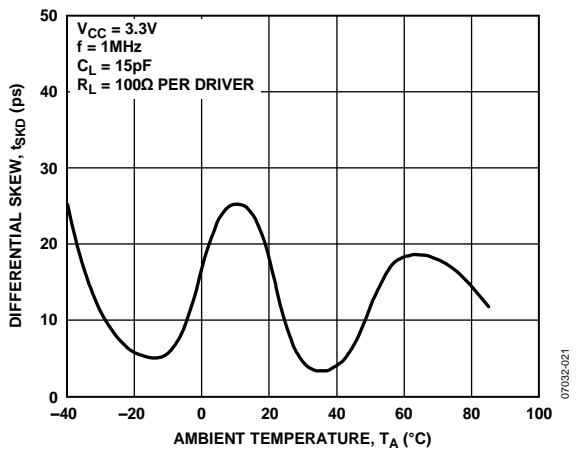


図 21. 差動スキュー対周囲温度

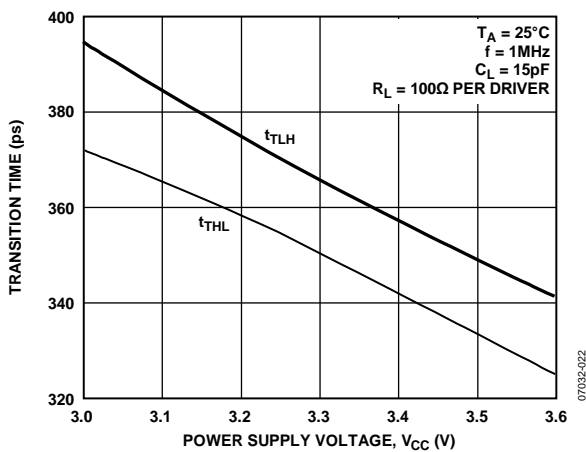


図 22. 変化時間対電源電圧

動作原理

ADN4667 は、低電圧差動シグナリング用のクワッド・ライン・ドライバです。シングルエンドの 3 V ロジック信号を入力して差動電流出力へ変換します。その後、データはツイストペア・ケーブルや PCB バック・プレーンのような媒体を経由して LVDS レシーバまで長距離伝送させることができます。LVDS レシーバでは、終端抵抗 R_T の両端に電圧を発生させます。この抵抗は、媒体の特性インピーダンス(一般に約 100 Ω)にマッチングさせるように選択されます。レシーバは差動電圧を検出して、これをシングルエンド・ロジック信号に戻します。

D_{IN} がハイ・レベル(ロジック 1)のとき、電流は D_{OUT+} ピンから R_T へ流出して(電流ソース)、 D_{OUT-} ピンへ流入します(電流シンク)。レシーバでは、この電流が R_T の両端に正の差動電圧(反転入力が基準)を発生し、レシーバ出力にロジック 1 を出力します。 D_{IN} がロー・レベルのとき、電流は D_{OUT+} ピンへ流入し、 D_{OUT-} ピンから流出します。この電流が R_T の両端に負の差動電圧を発生し、レシーバ出力にロジック 0 を出力します。

出力駆動電流は ± 2.5 mA \sim ± 4.5 mA (typ 値は ± 3.1 mA) の範囲であり、100 Ω 終端抵抗の両端に ± 250 mV \sim ± 450 mV の範囲を発生します。受信電圧は 1.2 V のレシーバ・オフセットを中心とする電圧になります。言い換えると、非反転レシーバ入力のロジック 1 は $(1.2 \text{ V} + [310 \text{ mV}/2]) = 1.355 \text{ V}$ (typ) で、反転レシーバ入力のロジック 1 は $(1.2 \text{ V} - [310 \text{ mV}/2]) = 1.045 \text{ V}$ (typ) です。ロジック 0 に対しては、反転と非反転の出力電圧は逆になります。差動電圧は極性が逆になるので、 R_T 両端のピーク to ピーク電圧振幅は差動電圧の 2 倍になることに注意してください。

電流モード・ドライバは、RS-422 ドライバのような電圧モード・ドライバより優れた利点を提供します。動作電流はスイッチング周波数が高くなっても一定ですが、電圧モード・ドライバでは多くの場合指数的に増加します。これは、内部ゲートがハイ・レベルとロー・レベルとの間でスイッチするときが発生するオーバーラップによるもので、このオーバーラップにより電流がデバイス電源からグラウンドへ流れます。

電流モード・デバイスでは 2 つの出力間で一定電流を切替えるだけなので、大きなオーバーラップ電流は発生しません。

同じことが ECL (emitter-coupled logic) と PECL (positive emitter-coupled logic) に対してもいえますが、ECL と PECL では大きな静止電流が流れます。

イネーブル入力

ADN4667 は、アクティブ・ハイとアクティブ・ローのイネーブル入力を持っており、ディスエーブル状態ですべての電流ドライバをターンオフします。また、デバイスをパワーダウンさせて、消費電流を 20 mA (typ) から 2.2 mA (typ) に削減します。イネーブル入力の真理値表を表 3 に示します。

表 3. イネーブル入力の真理値表

EN	$\overline{\text{EN}}$	D_{IN}	D_{OUT+}	D_{OUT-}
H	L or open	L	I_{SINK}	I_{SOURCE}
H	L or open	H	I_{SOURCE}	I_{SINK}
Any other combination of EN and $\overline{\text{EN}}$		X	Inactive	Inactive

アプリケーション情報

図 24 に 1 対 1 データ伝送の一般的なアプリケーションを示します。

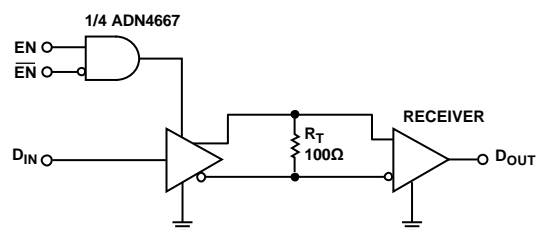


図 24. 代表的なアプリケーション回路

外形寸法

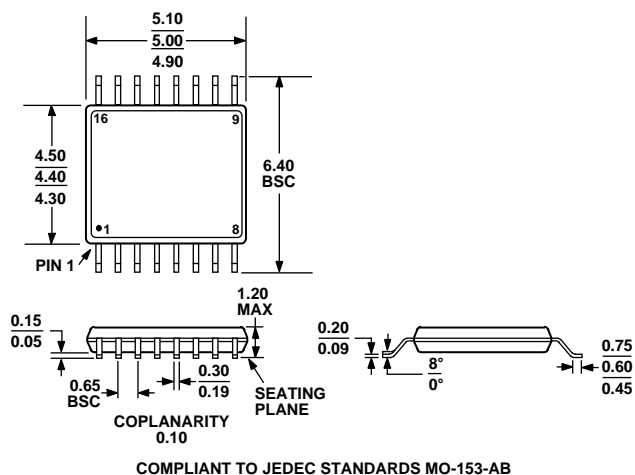


図 25. 16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-16)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADN4667ARUZ ¹	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADN4667ARUZ-REEL7 ¹	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16

¹Z = RoHS 準拠製品