



データシート

5 kV RMS、600 Mbps、 デュアルチャンネル LVDS アイソレータ

ADN4650/ADN4651/ADN4652

特長

5 kV rms LVDS アイソレータ
TIA/EIA-644-A LVDS 規格に準拠
複数のデュアルチャンネル構成
最大 600 Mbps のスイッチングに対応し、低ジッタを実現
伝搬遅延: 4.5 ns (max)
ピーク to ピーク合計ジッタ: 151 ps (max) @ 600 Mbps ピン構成
パルス・スキュー: 100 ps (max)
部品間スキュー: 600 ps (max)
電源: 2.5 V / 3.3 V
電源リップル除去／グリッジ耐性: -75 dBc
絶縁バリアをまたぐ IEC 61000-4-2 ESD 保護: ±8 kV
高いコモンモード過渡耐性: >25 kV/μs
600 Mbps PRBS または 300 MHz クロック
で EN55022 Class B 放射制限をクリア

安全性と規制に対する認定

UL (申請中) : 5000 V rms、1 分間の UL 1577 規格に準拠
CSA Component Acceptance Notice 5A (申請中)
VDE 適合性認定 (申請中)
DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12
 $V_{IORM} = 424$ V (peak)
開放、短絡、および終端している入力状態に対しフェイルセーフ
の出力「ハイ」 (ADN4651/ADN4652)
動作温度範囲: -40 °C ~ +125 °C
20 ピン SOIC、沿面距離／間隙: 7.8 mm

アプリケーション

アナログ・フロントエンド (AFE) の絶縁
データ・プレーンの絶縁
絶縁型高速クロックとデータ・リンク
LVDS 上の絶縁型シリアル・ペリフェラル・インターフェース (SPI)

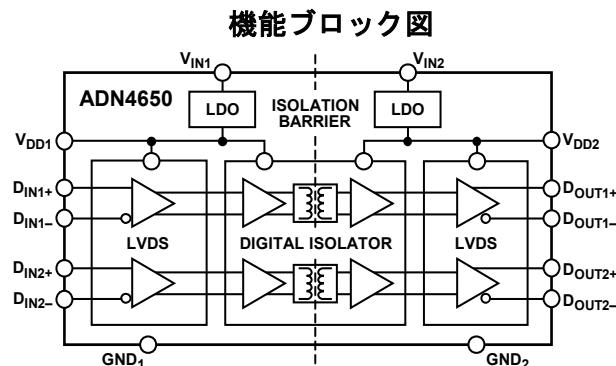
概要

ADN4650/ADN4651/ADN4652¹ は、最大 600 Mbps で動作する信号絶縁型の低電圧差動伝送 (LVDS) バッファで、ジッタの値は非常に小さくなっています。

このデバイスには、アナログ・デバイセズの高速動作用に強化された *iCoupler*® 技術が採用されており、TIA/EIA-644-A 準拠の LVDS ドライバとレシーバに対応した電気的絶縁を実現します。この技術により、LVDS シグナル・チェーンのドロップイン絶縁が可能になります。

複数チャンネル構成に対応しています。また、ADN4651/ADN4652 の LVDS レシーバはフェイルセーフ機構を採用しており、入力がフロート状態、短絡、または終端処理済みであるが、駆動されていない場合に、対応する LVDS ドライバ出力が確実にロジック 1 になります。

¹ 米国特許 5,952,849; 6,873,065; 6,903,578; 7,075,329 により保護されています。
その他の特許は申請中です。



機能ブロック図

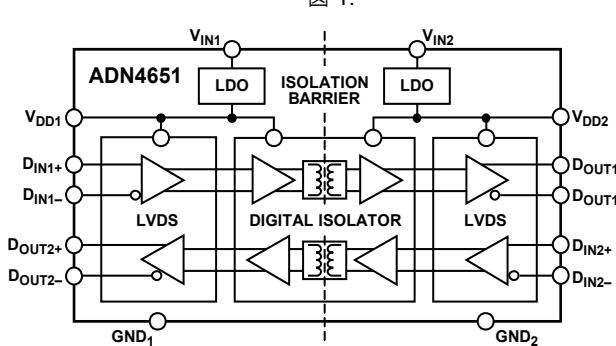


図 1.

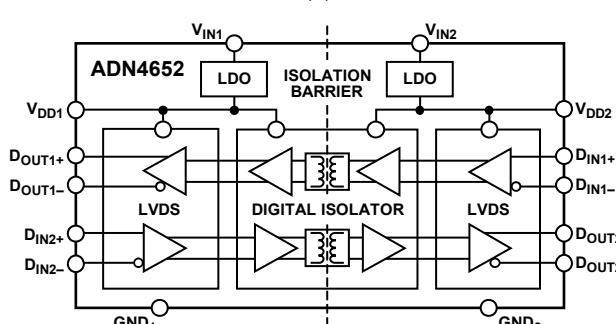


図 2.

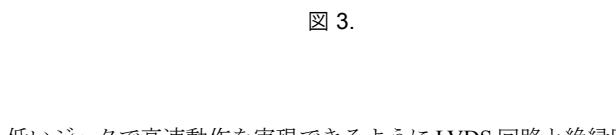


図 3.

低いジッタで高速動作を実現できるように LVDS 回路と絶縁回路は 2.5 V 電源を使用します。内蔵の低ドロップアウト・レギュレータ (LDO) は、必要な 2.5 V を外部の 3.3 V 電源から供給できます。このデバイスは、広範な工業用温度範囲にわたって完全に仕様規定されており、5 kV rms 絶縁の 20 ピン、ワイド・ボディ SOIC パッケージを採用しています。

目次

特長	1
アプリケーション	1
概要	1
機能ブロック図	1
改訂履歴	2
仕様	3
レシーバ入力スレッショールド試験電圧	4
タイミング仕様	4
絶縁および安全性関連の仕様	5
パッケージ特性	5
適用規格	6
DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性 (申請中)	6
推奨動作条件	7
絶対最大定格	8

改訂履歴

4/16—Rev. A to Rev. B

Added ADN4652	Universal
Changes to Features Section and General Description Section	1
Added Figure 3; Renumbered Sequentially	1
Changes to Supply Current Parameter, Table 1	3
Changes to Skew Parameter and Fail-Safe Delay Parameter, Table 3	4
Changes to Table 12	9
Moved Figure 7	10
Added Table 13	10
Added Figure 8 and Table 14, Renumbered Sequentially	11
Changes to PCB Layout Section	19
Changes to Ordering Guide	24

2/16—Rev. 0 to Rev. A

Added ADN4650	Universal
Changes to Features Section and General Description Section	1
Added Figure 1; Renumbered Sequentially	1

熱抵抗	8
ESD に関する注意	8
ピン配置およびピン機能の説明	9
代表的な性能特性	12
テスト回線とスイッチング特性	17
動作原理	18
真理値表とフェイルセーフ・レシーバ	18
絶縁	19
PCB レイアウト	19
磁界耐性	19
絶縁寿命	20
アプリケーション情報	22
外形寸法	24
オーダー・ガイド	24

Changes to Supply Current Parameter, Table 1	3
Changes to Skew Parameter and Fail-Safe Delay Parameter, Table 3	4
Added Figure 5	9
Changes to Table 12	9
Changes to Figure 30 Caption and Figure 31 Caption	14
Change to Figure 34	15
Changes to Truth Table and Fail-Safe Receiver Section	16
Added Table 13; Renumbered Sequentially	16
Change to Applications Information Section	20
Added Figure 41	20
Changes to Ordering Guide	22

11/15—Revision 0: Initial Version

仕様

特に指定のない限り、すべての最小／最大仕様は、 $V_{DD1} = V_{DD2} = 2.375 \text{ V} \sim 2.625 \text{ V}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。すべての代表仕様は、 $V_{DD1} = V_{DD2} = 2.5 \text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
INPUTS (RECEIVERS)						
Input Threshold						
High	V_{TH}			100	mV	See Figure 36 and Table 2
Low	V_{TL}	-100			mV	
Differential Input Voltage	$ V_{ID} $	100			mV	See Figure 36 and Table 2
Input Common-Mode Voltage	V_{IC}	$0.5 V_{ID} $		$2.4 - 0.5 V_{ID} $	V	See Figure 36 and Table 2
Input Current	I_{IH}, I_{IL}	-5		+5	μA	$D_{INx\pm} = V_{DD} \text{ or } 0 \text{ V}$, other input = 1.2 V, $V_{DD} = 2.5 \text{ V}$ or 0 V
Differential Input Capacitance ¹	$C_{INx\pm}$		2		pF	$D_{INx\pm} = 0.4 \sin(30 \times 10^6 \pi t) \text{ V} + 0.5 \text{ V}$, other input = 1.2 V
OUTPUTS (DRIVERS)						
Differential Output Voltage	$ V_{OD} $	250	310	450	mV	See Figure 34 and Figure 35, $R_L = 100 \Omega$
V_{OD} Magnitude Change	$ \Delta V_{OD} $			50	mV	See Figure 34 and Figure 35, $R_L = 100 \Omega$
Offset Voltage	V_{OS}	1.125	1.17	1.375	V	See Figure 34, $R_L = 100 \Omega$
V_{OS} Magnitude Change	ΔV_{OS}			50	mV	See Figure 34, $R_L = 100 \Omega$
V_{OS} Peak-to-Peak ¹	$V_{OS(PP)}$			150	mV	See Figure 34, $R_L = 100 \Omega$
Output Short-Circuit Current	I_{OS}			-20	mA	$D_{OUTx\pm} = 0 \text{ V}$
				12	mA	$ V_{OD} = 0 \text{ V}$
Differential Output Capacitance ¹	$C_{OUTx\pm}$		5		pF	$D_{OUTx\pm} = 0.4 \sin(30 \times 10^6 \pi t) \text{ V} + 0.5 \text{ V}$, other input = 1.2 V, V_{DD1} or $V_{DD2} = 0 \text{ V}$
POWER SUPPLY						
Supply Current	$I_{DD1}, I_{IN1}, I_{DD2}, \text{ or } I_{IN2}$					
ADN4651/ADN4652 Only				55	mA	No output load, inputs with 100Ω , no applied $ V_{ID} $
ADN4650 Only			58	80	mA	All outputs loaded, $R_L = 100 \Omega$, $f = 300 \text{ MHz}$
LDO Input Range	$V_{IN1} \text{ or } V_{IN2}$	3.0	3.3	3.6	mA	No output load, inputs with 100Ω , $ V_{ID} = 200 \text{ mV}$
LDO Output Range	$V_{DD1} \text{ or } V_{DD2}$	2.375	2.5	2.625	V	All outputs loaded, $R_L = 100 \Omega$, $f = 300 \text{ MHz}$
Power Supply Ripple Rejection, Phase Spur Level	PSRR			-75	dBc	No external supply on V_{DD1} or V_{DD2}
COMMON-MODE TRANSIENT IMMUNITY ²	$ CM $	25	50		kV/ μs	$V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V

¹ これらの仕様は、設計および特性評価により確保されています。

² $|CM|$ は、 $D_{OUTx\pm}/D_{OUTx-}$ ピンを対応する $D_{INx\pm}/D_{INx-}$ ピンと同じ状態に維持しながら（出力に変化なし）、または適用したコモンモード過渡エッジが対応する $D_{INx\pm}/D_{INx-}$ ピン上のデータ遷移と一致する場合に $D_{INx\pm}/D_{INx-}$ ピン上に期待される遷移を生成しながら持続できる、コモンモード電圧の最大スルーレートです。コモンモード電圧スルーレートは、立上がりと立下がりの両方のコモンモード電圧エッジに適用されます。

レシーバ入力スレッショールド試験電圧

表 2. レシーバ動作の試験電圧

Applied Voltages		Input Voltage, Differential (V_{ID}) (V)	Input Voltage, Common-Mode (V_{IC}) (V)	Driver Output (V_{OD}) (mV)
D_{INx+} (V)	D_{INx-} (V)			
1.25	1.15	+0.1	1.2	>+250
1.15	1.25	-0.1	1.2	<-250
2.4	2.3	+0.1	2.35	>+250
2.3	2.4	-0.1	2.35	<-250
0.1	0	+0.1	0.05	>+250
0	0.1	-0.1	0.05	<-250
1.5	0.9	+0.6	1.2	>+250
0.9	1.5	-0.6	1.2	<-250
2.4	1.8	+0.6	2.1	>+250
1.8	2.4	-0.6	2.1	<-250
0.6	0	+0.6	0.3	>+250
0	0.6	-0.6	0.3	<-250

タイミング仕様

特に指定のない限り、すべての最小／最大仕様は、 $V_{DD1} = V_{DD2} = 2.375 \text{ V} \sim 2.625 \text{ V}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。すべての代表仕様は、 $V_{DD1} = V_{DD2} = 2.5 \text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Min	Typ	Max ¹	Unit	Test Conditions/Comments
PROPAGATION DELAY	t_{PLH}, t_{PHL}	4	4.5	ns		See Figure 37, from any D_{INx+}/D_{INx-} to D_{OUTx+}/D_{OUTx-}
SKEW						See Figure 37, across all D_{OUTx+}/D_{OUTx-}
Duty Cycle ²	$t_{SK(D)}$			100	ps	
Channel to Channel ³	$t_{SK(CH)}$	200	500	ps		
		150	300	ps		ADN4650 only
Part to Part ⁴	$t_{SK(PP)}$			600	ps	ADN4650, ADN4651, ADN4652, or combinations
				500	ps	ADN4650 to ADN4650 only
JITTER ⁵						See Figure 37, for any D_{OUTx+}/D_{OUTx-}
Random Jitter, RMS ⁶ (1σ)	$t_{RJ(RMS)}$	2.6	4.8	ps rms		300 MHz clock input
Deterministic Jitter ^{7, 8}	$t_{DJ(P)}$	30	96	ps		600 Mbps, $2^{23} - 1$ PRBS
With Crosstalk	$t_{DJC(PP)}$	30		ps		600 Mbps, $2^{23} - 1$ PRBS
Total Jitter at BER 1×10^{-12}	$t_{TJ(PP)}$	70	151	ps		300 MHz/600 Mbps, $2^{23} - 1$ PRBS ⁹
Additive Phase Jitter	t_{ADDJ}	387		fs rms		100 Hz to 100 kHz, $f_{OUT} = 10 \text{ MHz}^{10}$
		376		fs rms		12 kHz to 20 MHz, $f_{OUT} = 300 \text{ MHz}^{11}$
RISE/FALL TIME	t_R, t_F		350	ps		See Figure 37, any D_{OUTx+}/D_{OUTx-} , 20% to 80%, $R_L = 100 \Omega$, $C_L = 5 \text{ pF}$
FAIL-SAFE DELAY ¹²	t_{FSH}, t_{FSL}	1	1.2	μs		ADN4651/ADN4652 only; see Figure 37 and Figure 4, any D_{OUTx+}/D_{OUTx-} , $R_L = 100 \Omega$
MAXIMUM DATA RATE		600		Mbps		

¹ これらの仕様は、設計および特性評価により確保されています。

² デューティ・サイクルまたはパルス・スキューは、デバイスのあらゆるチャンネルの t_{PLH} と t_{PHL} の最大差の大きさです（つまり、 $|t_{PHL} - t_{PLH}|$ ）。

³ チャンネル間スキューまたは出力スキューは、デバイス内の t_{PLHx} の最大値と最小値の差、またはデバイス内の t_{PHLx} の最大値と最小値の差のいずれか大きい方です。

⁴ 部品間出力スキューは、複数のデバイスの t_{PLHx} の最大値と最小値の差、または複数のデバイスの t_{PHLx} の最大値と最小値の差のいずれか大きい方です。

⁵ ジッタ・パラメータは、設計および特性評価により確認されています。これらの値に刺激ジッタは含まれません。 $V_{ID} = 400 \text{ mV p-p}$ 、 $t_R = t_F = 0.3 \text{ ns}$ (20 % ~ 80 %)。

⁶ この仕様は、最大 7,000,000 エッジの母集団にわたって測定しました。

⁷ ピーク to ピーク・ジッタの仕様には、パレス・スキュー ($t_{SK(D)}$) によるジッタが含まれます。

⁸ この仕様は、最大 3,000,000 エッジの母集団にわたって測定しました。

⁹ 式 $t_{TJ(PP)} = 14 \times t_{RJ(RMS)} + t_{DJ(P)}$ を使用。

¹⁰ 250 fs rms の入力位相ジッタを減算。

¹¹ 100 fs rms の入力位相ジッタを減算。

¹² フェイルセーフ遅延は、 $D_{OUTx\pm}$ がハイ・レベルに切り替わる前の遅延で、 $D_{INx\pm}$ へのアイドル入力を反映しています

($|V_{ID}| < 100 \text{ mV}$ 、オープンまたは短絡／終端処理済み)。

タイミング図

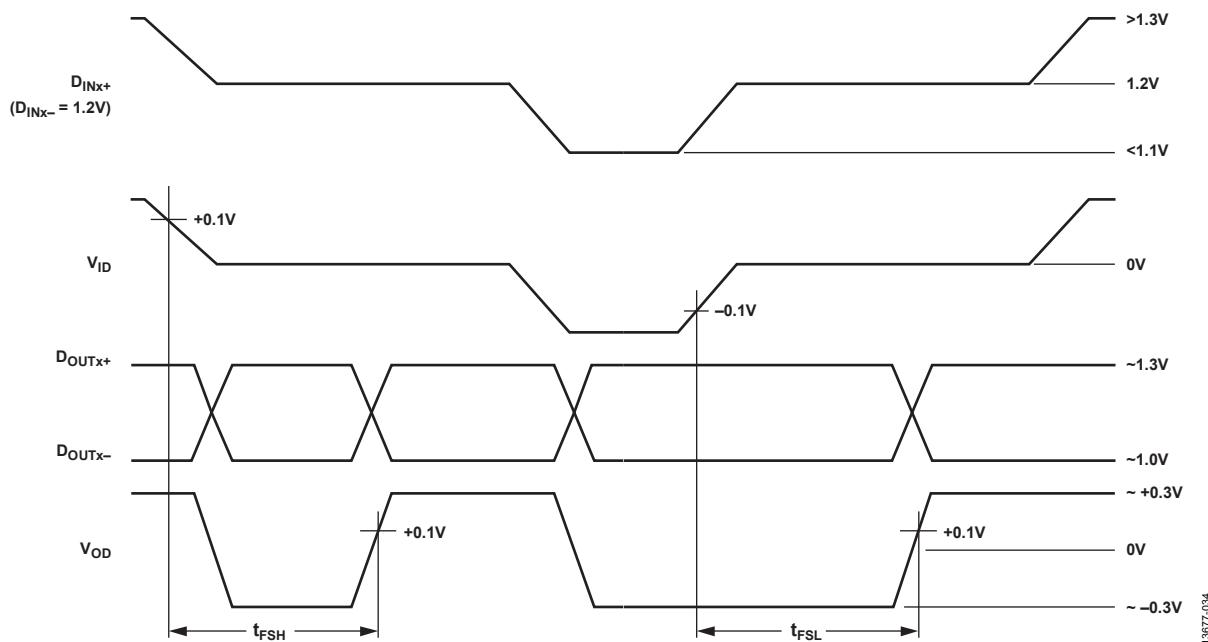


図 4. フェイルセーフ・タイミング図

絶縁および安全性関連の仕様

詳細については、www.analog.com/icouplersafety を参照してください。

表 4.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		5000	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L (I01)	7.8	mm min	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L (I02)	7.8	mm min	Measured from input terminals to output terminals, shortest distance path along body
Minimum Clearance in the Plane of the Printed Circuit Board (PCB Clearance)	L (PCB)	8.1	mm min	Measured from input terminals to output terminals, shortest distance through air, line of sight, in the PCB mounting plane
Minimum Internal Gap (Internal Clearance)		17	μ m min	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Material Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

パッケージ特性

表 5.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input to Output) ¹	R_{I-O}		10^{13}		Ω	
Capacitance (Input to Output) ¹	C_{I-O}		2.2		pF	$f = 1$ MHz
Input Capacitance ²	C_I		3.7		pF	
IC Junction to Ambient Thermal Resistance	θ_{JA}		45.7		$^{\circ}C/W$	Thermal simulation with 4-layer standard JEDEC PCB

¹ このデバイスは 2 端子デバイスとみなされます。すなわち、ピン 1 ~ ピン 10 が相互に接続され、ピン 11 ~ ピン 20 が相互に接続されているとみなされます。

² 入力容量は任意の入力データ・ピンとグランドの間の値です。

適用規格

特定のクロス・アイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 11 および絶縁寿命のセクションを参照してください。

表 6.

UL (Pending)	CSA (Pending)	VDE (Pending)
To Be Recognized Under UL 1577 Component Recognition Program ¹ Single Protection, 5000 V rms Isolation Voltage File E214100	To be approved under CSA Component Acceptance Notice 5A File 205078	To be certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ² Reinforced insulation, $V_{IORM} = 424$ V peak, $V_{IOSM} = 6000$ V peak Basic insulation, $V_{IORM} = 424$ V peak, $V_{IOSM} = 10,000$ V peak File 2471900-4880-0001

¹ UL 1577 に従い、ADN4650/ADN4651/ADN4652 は、6000 V rms 以上の絶縁試験電圧を 1 秒間加えるテストで確認されています。

² DIN V VDE V 0884-10 に従い、ADN4650/ADN4651/ADN4652 は、795 V peak 以上の絶縁試験電圧を 1 秒間加えるテストで確認されています
(部分放電検出の規定値 = 5 pC)。

DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性 (申請中)

このアイソレータは、安全限界データ範囲内の強化絶縁のみに適しています。保護回路により安全性データが維持されます。

表 7.

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110				
For Rated Mains Voltage ≤ 150 V rms			I to IV	
For Rated Mains Voltage ≤ 300 V rms			I to IV	
For Rated Mains Voltage ≤ 600 V rms			I to III	
Climatic Classification			40/125/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V_{IORM}	424	V peak
Input to Output Test Voltage, Method B1		$V_{pd(m)}$	795	V peak
Input to Output Test Voltage, Method A		$V_{pd(m)}$		
After Environmental Tests Subgroup 1	$V_{IORM} \times 1.875 = V_{pd(m)}$, 100% production test, $t_{ini} = t_m = 1$ sec, partial discharge < 5 pC		636	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{pd(m)}$, $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC		509	V peak
Highest Allowable Overvoltage		V_{IOTM}	5000	V peak
Surge Isolation Voltage				
Basic	$V_{PEAK} = 12.8$ kV, 1.2 μ s rise time, 50 μ s, 50% fall time	V_{IOSM}	10,000	V peak
Reinforced	$V_{PEAK} = 10$ kV, 1.2 μ s rise time, 50 μ s, 50% fall time	V_{IOSM}	6000	V peak
Safety Limiting Values	Maximum value allowed in the event of a failure (see Figure 5)			
Maximum Junction Temperature		T_S	150	°C
Total Power Dissipation at 25°C		P_S	2.78	W
Insulation Resistance at T_S	$V_{IO} = 500$ V	R_S	$>10^9$	Ω

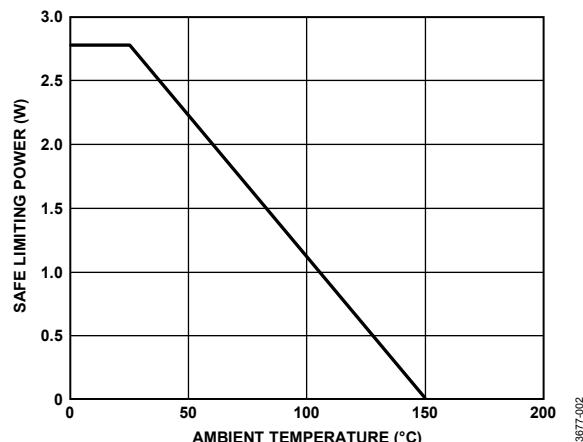


図 5. 热ディレーティング曲線、安全限界値と周囲温度の
依存関係 (DIN V VDE V 0884-10)

推奨動作条件

表 8.

Parameter	Symbol	Rating
Operating Temperature	T_A	-40°C to +125°C
Supply Voltages		
Supply to LDO	V_{IN1}, V_{IN2}	3.0 V to 3.6 V
LDO Bypass, V_{INx} Shorted to V_{DDx}	V_{DD1}, V_{DD2}	2.375 V to 2.625 V

絶対最大定格

表 9.

Parameter	Rating
V_{IN1} to GND ₁ /V _{IN2} to GND ₂	-0.3 V to +6.5 V
V_{DD1} to GND ₁ /V _{DD2} to GND ₂	-0.3 V to +2.8 V
Input Voltage (D _{INx+} , D _{INx-}) to GND _x on the Same Side	-0.3 V to V _{DD} + 0.3 V
Output Voltage (D _{OUTx+} , D _{OUTx-}) to GND _x on the Same Side	-0.3 V to V _{DD} + 0.3 V
Short-Circuit Duration (D _{OUTx+} , D _{OUTx-}) to GND _x on the Same Side	Continuous
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T _J Maximum)	150°C
Power Dissipation	(T _J maximum - T _A) / θ _{JA}
ESD	
Human Body Model (All Pins to Respective GND _x , 1.5 kΩ, 100 pF)	±4 kV
IEC 61000-4-2 (LVDS Pins to Isolated GND _x Across Isolation Barrier)	±8 kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

表 11. 最大連続動作電圧¹

Parameter	Rating	Constraint
AC Voltage		
Bipolar Waveform		
Basic Insulation	495 V peak	50-year minimum insulation lifetime for 1% failure
Reinforced Insulation	495 V peak	50-year minimum insulation lifetime for 1% failure
Unipolar Waveform		
Basic Insulation	990 V peak	50-year minimum insulation lifetime for 1% failure
Reinforced Insulation	875 V peak	Lifetime limited by package creepage, maximum approved working voltage
DC Voltage		
Basic Insulation	1079 V peak	Lifetime limited by package creepage, maximum approved working voltage
Reinforced Insulation	536 V peak	Lifetime limited by package creepage, maximum approved working voltage

¹ 最大連続動作電圧は、絶縁バリアの両端にかかる連続電圧の大きさを指します。詳細については、絶縁寿命のセクションを参照してください。

熱抵抗

θ_{JA} は最大の条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定されています。

表 10. 热抵抗

Package Type	θ _{JA}	Unit
20-Lead SOIC	45.7	°C/W

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することができます。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

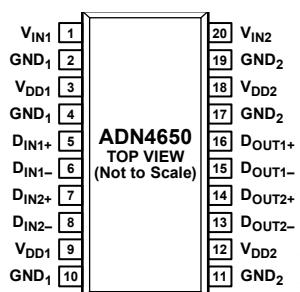


図 6. ADN4650 ピン配置

表 12. ADN4650 ピン機能の説明

ピン番号	記号	説明
1	V _{IN1}	サイド 1 用のオプションの 3.3 V 電源／LDO 入力。1 μ F コンデンサを使用して V _{IN1} を GND ₁ にバイパスします。2.5 V 電源を使用する場合は、代わりに V _{IN1} を直接 V _{DD1} に接続します。
2, 4, 10	GND ₁	グラウンド、サイド 1。
3, 9	V _{DD1}	サイド 1 用の 2.5 V 電源。両方のピンを外部で接続し、0.1 μ F コンデンサで GND ₁ にバイパスします。V _{IN1} に 3.3 V を供給する場合は、内蔵 LDO の 2.5 V 出力を適切に調整できるようにピン 3 と GND ₁ の間に 1 μ F コンデンサを接続します。
5	D _{IN1+}	非反転差動入力 1。
6	D _{IN1-}	反転差動入力 1。
7	D _{IN2+}	非反転差動入力 2。
8	D _{IN2-}	反転差動入力 2。
11, 17, 19	GND ₂	グラウンド、サイド 2。
12, 18	V _{DD2}	サイド 2 用の 2.5 V 電源。両方のピンを外部で接続し、0.1 μ F コンデンサで GND ₂ にバイパスします。V _{IN2} に 3.3 V を供給する場合は、内蔵 LDO の 2.5 V 出力を適切に調整できるようにピン 18 と GND ₂ の間に 1 μ F コンデンサを接続します。
13	D _{OUT2-}	反転差動出力 2。
14	D _{OUT2+}	非反転差動出力 2。
15	D _{OUT1-}	反転差動出力 1。
16	D _{OUT1+}	非反転差動出力 1。
20	V _{IN2}	サイド 2 用のオプションの 3.3 V 電源／LDO 入力。1 μ F コンデンサを使用して V _{IN2} を GND ₂ にバイパスします。2.5 V 電源を使用する場合は、代わりに V _{IN2} を直接 V _{DD2} に接続します。

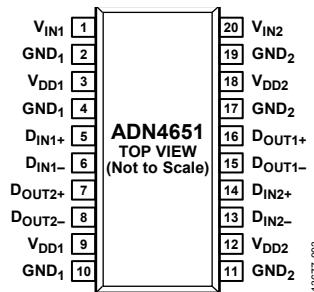


図 7. ADN4651 ピン配置

表 13. ADN4651 ピン機能の説明

ピン番号	記号	説明
1	V _{IN1}	サイド1用のオプションの3.3 V電源/LDO入力。1 μ Fコンデンサを使用してV _{IN1} をGND ₁ にバイパスします。2.5 V電源を使用する場合は、代わりにV _{IN1} を直接V _{DD1} に接続します。
2、4、10	GND ₁	グラウンド、サイド1。
3、9	V _{DD1}	サイド1用の2.5 V電源。両方のピンを外部で接続し、0.1 μ FコンデンサでGND ₁ にバイパスします。V _{IN1} に3.3 Vを供給する場合は、内蔵LDOの2.5 V出力を適切に調整できるようにピン3とGND ₁ の間に1 μ Fコンデンサを接続します。
5	D _{IN1+}	非反転差動入力1。
6	D _{IN1-}	反転差動入力1。
7	D _{OUT2+}	非反転差動出力2。
8	D _{OUT2-}	反転差動出力2。
11、17、19	GND ₂	グラウンド、サイド2。
12、18	V _{DD2}	サイド2用の2.5 V電源。両方のピンを外部で接続し、0.1 μ FコンデンサでGND ₂ にバイパスします。V _{IN2} に3.3 Vを供給する場合は、内蔵LDOの2.5 V出力を適切に調整できるようにピン18とGND ₂ の間に1 μ Fコンデンサを接続します。
13	D _{IN2-}	反転差動入力2。
14	D _{IN2+}	非反転差動入力2。
15	D _{OUT1-}	反転差動出力1。
16	D _{OUT1+}	非反転差動出力1。
20	V _{IN2}	サイド2用のオプションの3.3 V電源/LDO入力。1 μ Fコンデンサを使用してV _{IN2} をGND ₂ にバイパスします。2.5 V電源を使用する場合は、代わりにV _{IN2} を直接V _{DD2} に接続します。

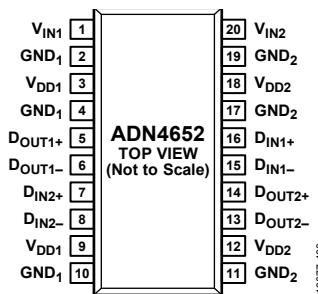


図 8. ADN4652 ピン配置

表 14. ADN4652 ピン機能の説明

ピン番号	記号	説明
1	V _{IN1}	サイド 1 用のオプションの 3.3 V 電源／LDO 入力。1 μ F コンデンサを使用して V _{IN1} を GND ₁ にバイパスします。2.5 V 電源を使用する場合は、代わりに V _{IN1} を直接 V _{DD1} に接続します。
2、4、10	GND ₁	グラウンド、サイド 1。
3、9	V _{DD1}	サイド 1 用の 2.5 V 電源。両方のピンを外部で接続し、0.1 μ F コンデンサで GND ₁ にバイパスします。V _{IN1} に 3.3 V を供給する場合は、内蔵 LDO の 2.5 V 出力を適切に調整できるようにピン 3 と GND ₁ の間に 1 μ F コンデンサを接続します。
5	D _{OUT1+}	非反転差動出力 1。
6	D _{OUT1-}	反転差動出力 1。
7	D _{IN2+}	非反転差動入力 2。
8	D _{IN2-}	反転差動入力 2。
11、17、19	GND ₂	グラウンド、サイド 2。
12、18	V _{DD2}	サイド 2 用の 2.5 V 電源。両方のピンを外部で接続し、0.1 μ F コンデンサで GND ₂ にバイパスします。V _{IN2} に 3.3 V を供給する場合は、内蔵 LDO の 2.5 V 出力を適切に調整できるようにピン 18 と GND ₂ の間に 1 μ F コンデンサを接続します。
13	D _{OUT2-}	反転差動出力 2。
14	D _{OUT2+}	非反転差動出力 2。
15	D _{IN1-}	反転差動入力 1。
16	D _{IN1+}	非反転差動入力 1。
20	V _{IN2}	サイド 2 用のオプションの 3.3 V 電源／LDO 入力。1 μ F コンデンサを使用して V _{IN2} を GND ₂ にバイパスします。2.5 V 電源を使用する場合は、代わりに V _{IN2} を直接 V _{DD2} に接続します。

代表的な性能特性

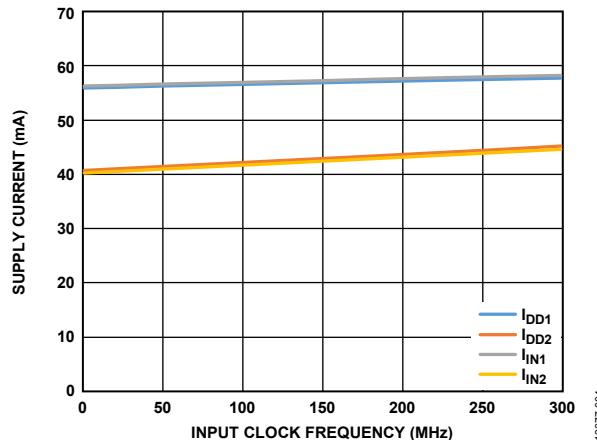


図 9. I_{DD1}/I_{DD2} または I_{IN1}/I_{IN2} 電源電流と $D_{IN1\pm}$ 入力クロック周波数の関係 ($D_{IN2\pm}$ スイッチングせず)

特に指定のない限り、 $V_{DD1} = V_{DD2} = 2.5$ V、 $T_A = 25$ °C、 $R_L = 100$ Ω、 $|V_{ID}| = 200$ mV で 300 MHz 入力、 $V_{IC} = 1.1$ V。

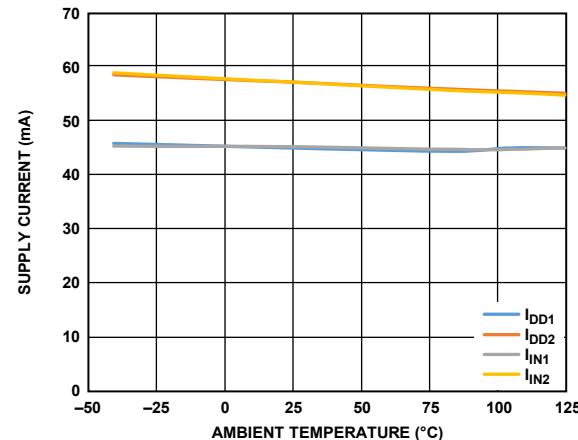


図 12. I_{DD1}/I_{DD2} または I_{IN1}/I_{IN2} 電源電流と周囲温度 (T_A) の関係 ($D_{IN2\pm}$ に 300 MHz クロック入力、 $D_{IN1\pm}$ スイッチングせず)

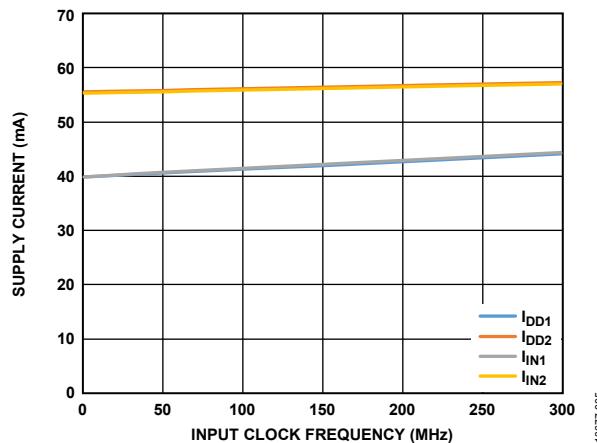


図 10. I_{DD1}/I_{DD2} または I_{IN1}/I_{IN2} 電源電流と $D_{IN2\pm}$ 入力クロック周波数の関係 ($D_{IN1\pm}$ スイッチングせず)

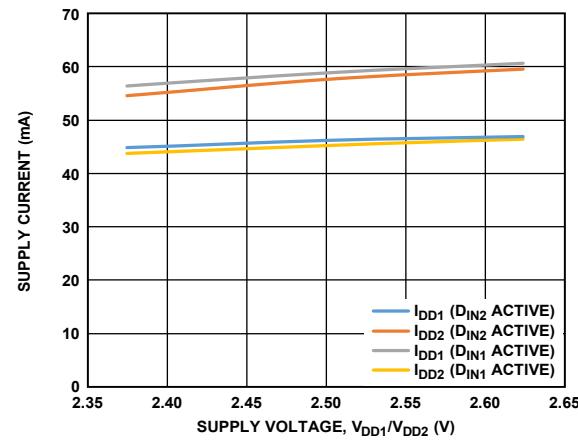


図 13. I_{DD1}/I_{DD2} 電源電流と V_{DD1}/V_{DD2} 電源電圧の関係

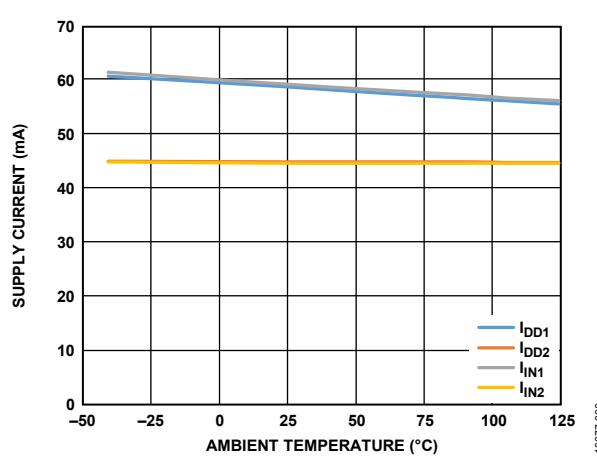


図 11. I_{DD1}/I_{DD2} または I_{IN1}/I_{IN2} 電源電流と周囲温度 (T_A) の関係 ($D_{IN1\pm}$ に 300 MHz クロック入力、 $D_{IN2\pm}$ スイッチングせず)

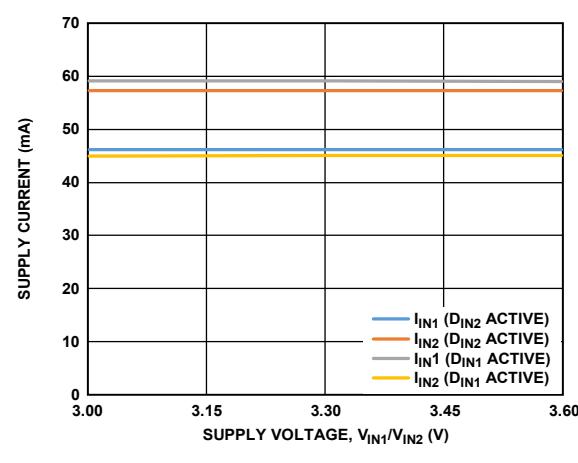
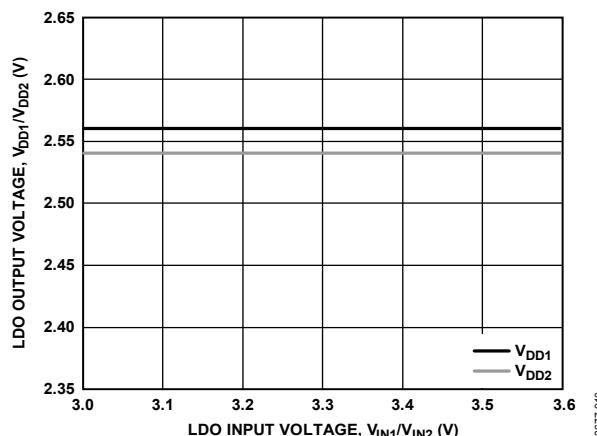
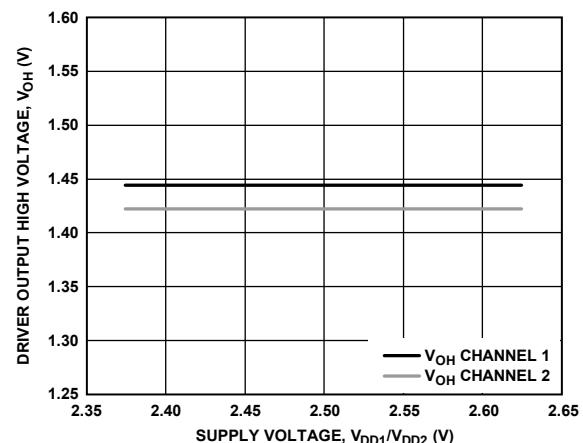
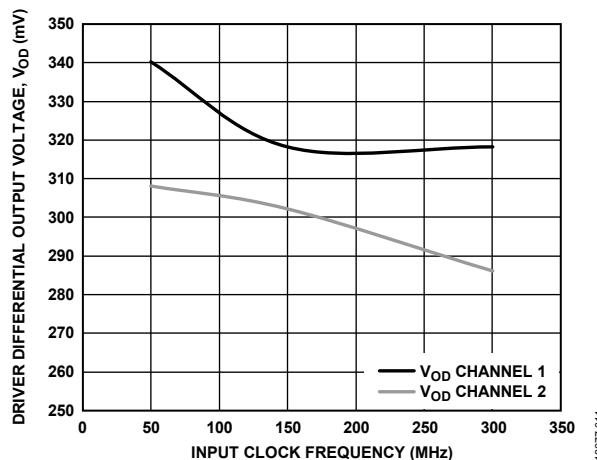
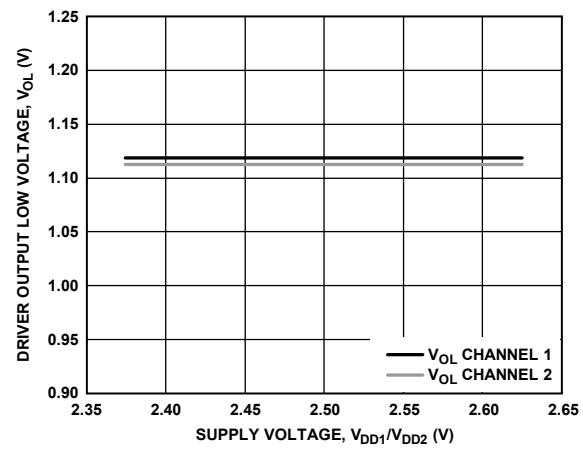
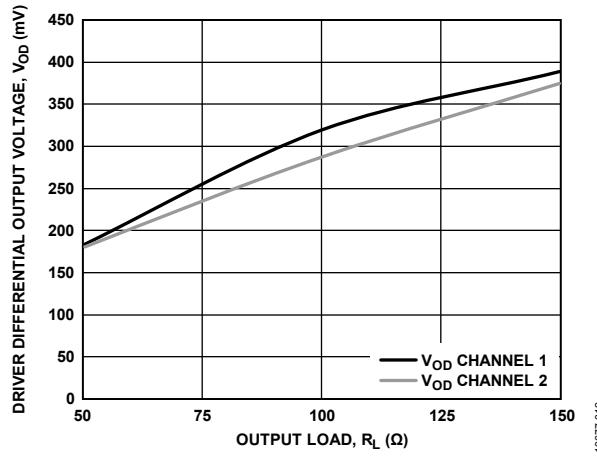
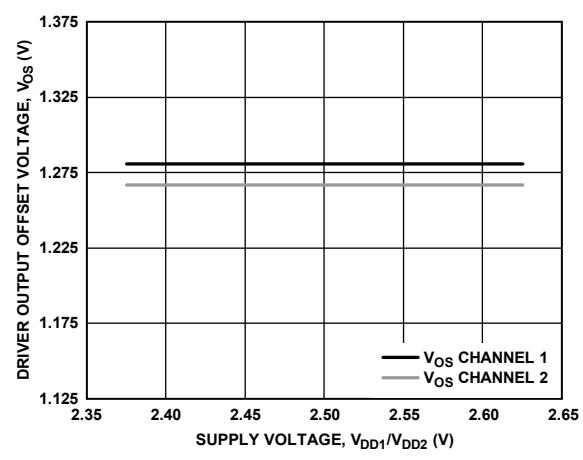
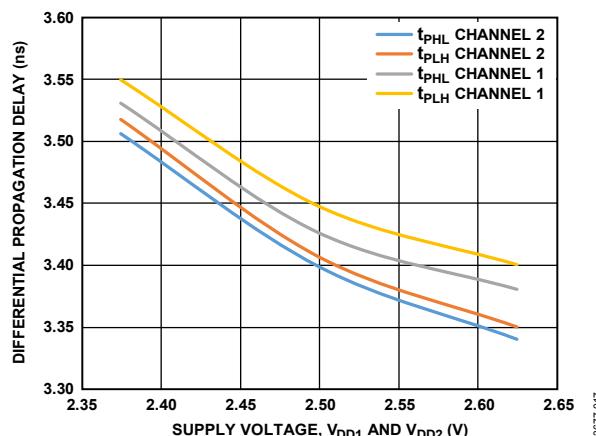
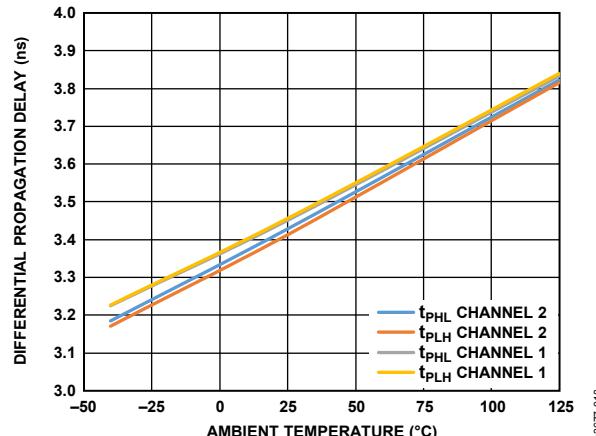
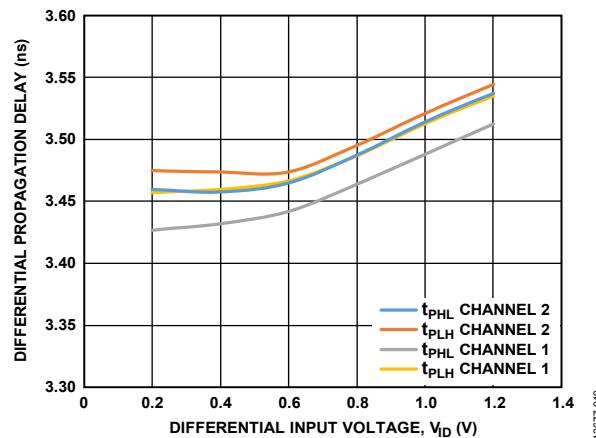
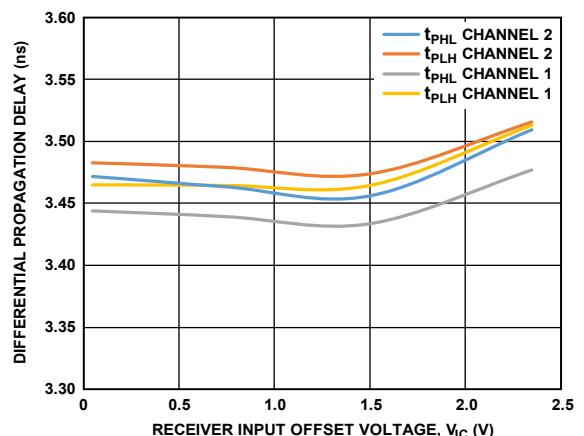
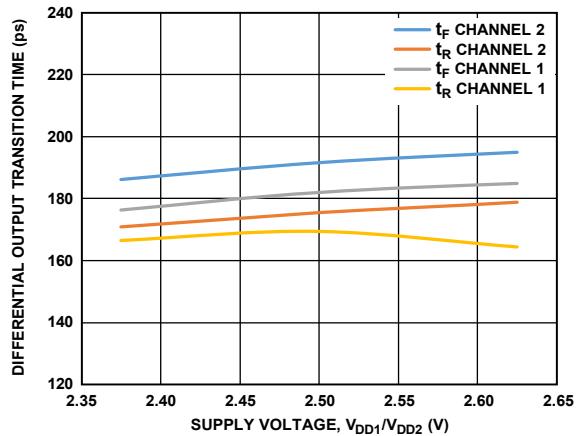
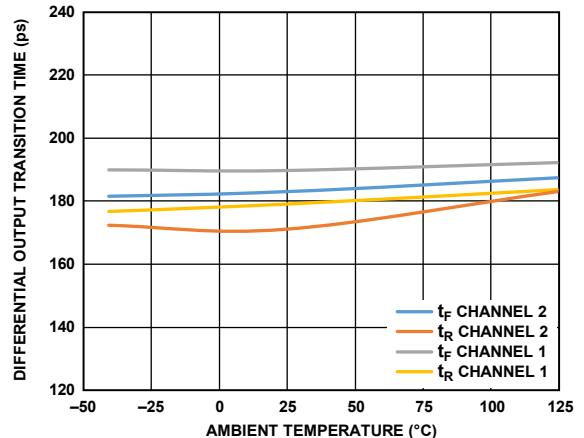


図 14. I_{IN1}/I_{IN2} 電源電流と V_{IN1}/V_{IN2} 電源電圧の関係

図 15. LDO 出力電圧 V_{DD1}/V_{DD2} と LDO 入力電圧 V_{IN1}/V_{IN2} の関係図 18. ドライバ出力ハイ・レベル電圧 (V_{OH}) と V_{DD1}/V_{DD2} 電源電圧の関係図 16. ドライバ差動出力電圧 (V_{OD}) と 入力クロック周波数の関係図 19. ドライバ出力ロー・レベル電圧 (V_{OL}) と V_{DD1}/V_{DD2} 電源電圧の関係図 17. ドライバ差動出力電圧 (V_{OD}) と出力負荷 (R_L) の関係図 20. ドライバ出力オフセット電圧 (V_{OS}) と V_{DD1}/V_{DD2} 電源電圧の関係

図 21. 差動伝搬遅延と V_{DD1}/V_{DD2} 電源電圧の関係図 22. 差動伝搬遅延と周囲温度 (T_A) の関係図 23. 差動伝搬遅延とレシーバ差動入力電圧 (V_{ID}) の関係図 24. 差動伝搬遅延とレシーバ入力オフセット電圧 (V_{IC}) の関係図 25. 差動出力遷移時間と V_{DD1}/V_{DD2} 電源電圧の関係図 26. 差動出力遷移時間と周囲温度 (T_A) の関係

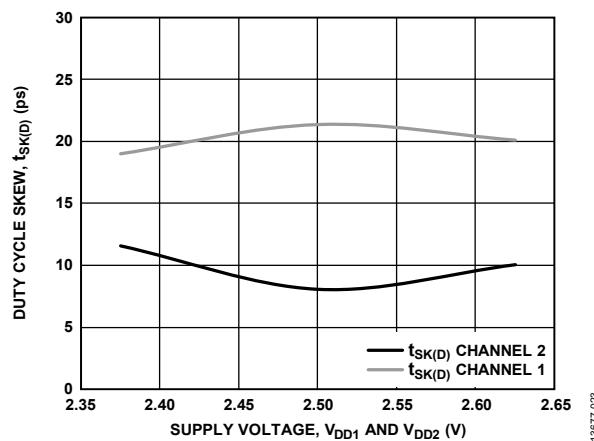


図 27. デューティ・サイクル・スキュー ($t_{SK(D)}$) と V_{DD1}/V_{DD2} 電源電圧の関係

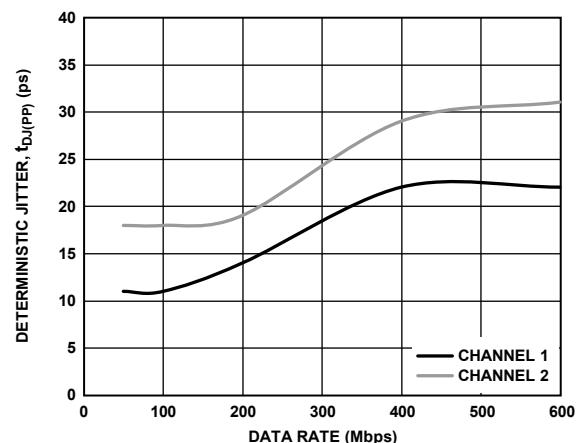


図 29. 確定的ジッタ ($t_{DJ(PP)}$) とデータ・レートの関係

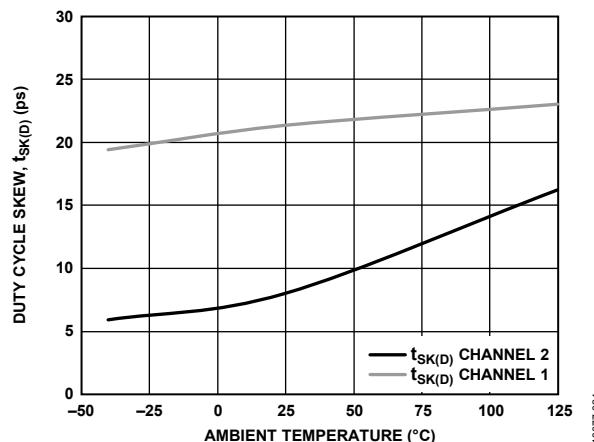


図 28. デューティ・サイクル・スキュー ($t_{SK(D)}$) と周囲温度 (T_A) の関係

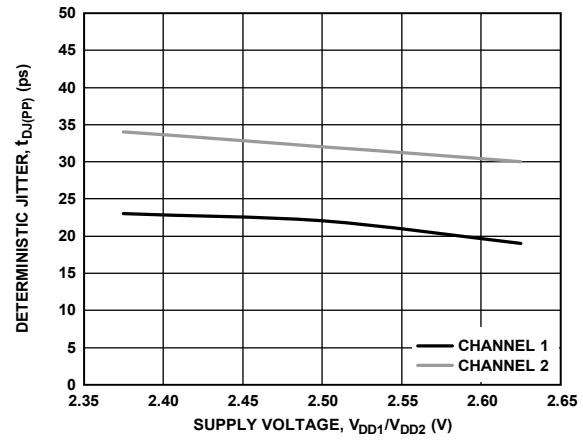
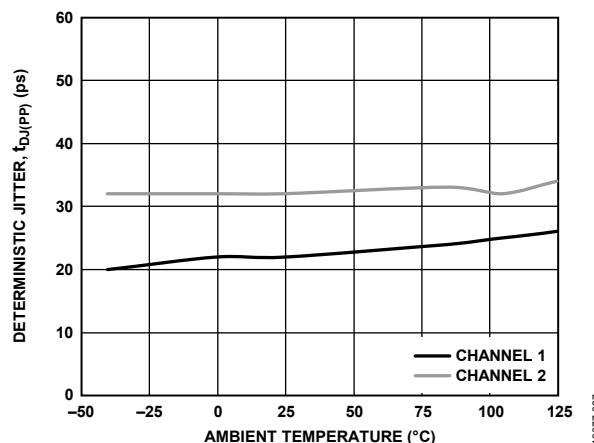
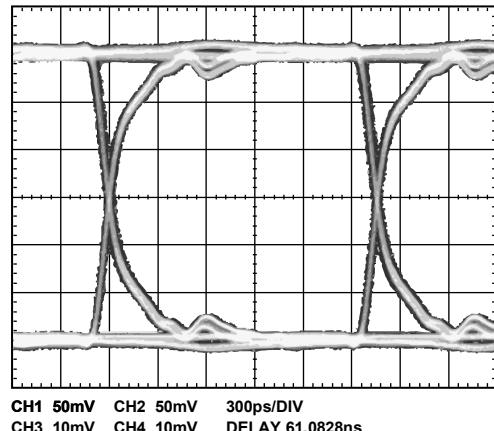
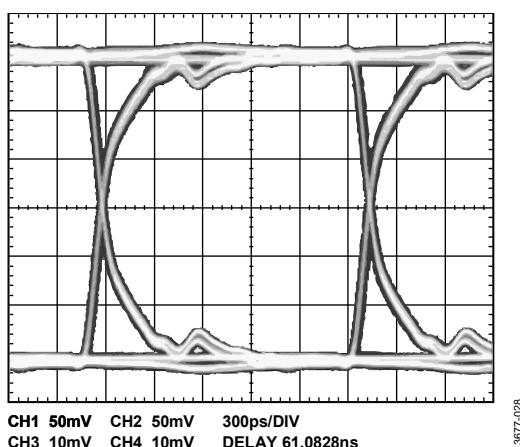


図 30. 確定的ジッタ ($t_{DJ(PP)}$) と V_{DD1}/V_{DD2} 電源電圧の関係

図 31. 確定的ジッタ ($t_{DJ(pp)}$) と周囲温度の関係図 33. ADN4651 $D_{OUT2\pm}$ のアイ・ダイアグラム図 32. ADN4651 $D_{OUT1\pm}$ のアイ・ダイアグラム

テスト回線とスイッチング特性

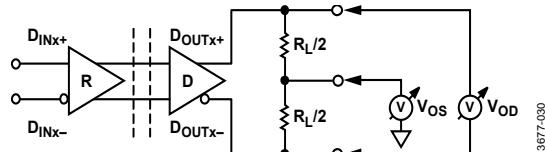
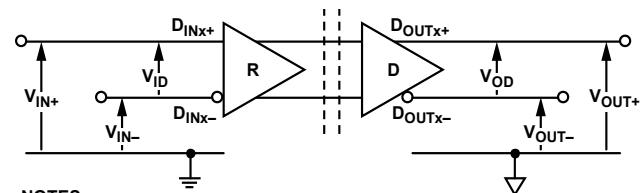
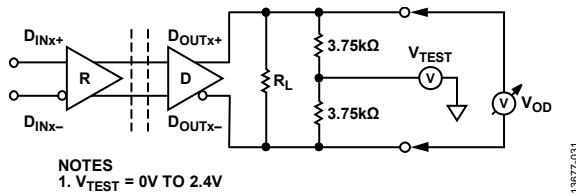
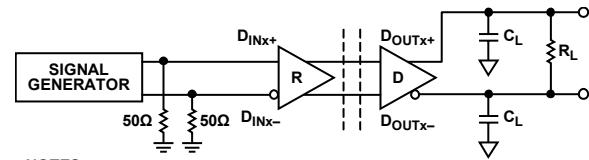


図 34. ドライバ・テスト回路



- NOTES
1. $V_{ID} = V_{IN+} - V_{IN-}$
 2. $V_{IC} = (V_{IN+} + V_{IN-})/2$
 3. $V_{OD} = V_{OUT+} - V_{OUT-}$
 4. $V_{OS} = (V_{OUT+} + V_{OUT-})/2$

図 36. 電圧の定義

図 35. ドライバ・テスト回路
(コモンモード範囲にわたって最大負荷)

- NOTES
1. C_L INCLUDES PROBE AND JIG CAPACITANCE.

図 37. タイミング・テスト回路

動作原理

ADN4650/ADN4651/ADN4652 は、TIA/EIA-644-A LVDS 準拠の絶縁型バッファです。入力に印加された LVDS 信号はバッファの出力に伝送され、デバイスの両サイドの間に電気的絶縁が実装されています。これにより、LVDS シグナル・チェーンのドロップイン絶縁が可能になります。

LVDS レシーバは、LVDS 入力の終端抵抗の両端に存在する差動電圧を検出します。内蔵デジタル・アイソレータは分離バリアの両端に入力状態を伝送し、LVDS ドライバは入力と同じ状態を出力します。

$D_{INX\pm}$ ピン両端の正の差動電圧が 100 mV 以上の場合、対応する D_{OUTX+} ピンは電流を供給します。この電流は、接続されている伝送ラインとバス遠端のレシーバに流れ、 D_{OUTX-} はリターン電流をシンクします。 $D_{INX\pm}$ ピン両端の負の差動電圧が -100 mV 以下の場合、対応する D_{OUTX+} ピンが電流をシンクし、 D_{OUTX-} が電流を供給します。表 15 と表 16 に、これらの入出力の組み合わせを示します。

出力駆動電流は ± 2.5 mA \sim ± 4.5 mA (代表値 ± 3.1 mA) で、100 Ω の終端抵抗 (R_T) の両端に ± 250 mV \sim ± 450 mV の電圧が発生します。受信電圧は 1.2 V を中心とする電圧になります。差動電圧 (V_{ID}) は極性が逆になるので、 R_T 両端のピーク to ピーク電圧振幅は差動電圧の大きさ ($|V_{ID}|$) の 2 倍になることに注意してください。

真理値表とフェイルセーフ・レシーバ

LVDS 規格 TIA/EIA-644-A では、入力差動電圧が +100 mV 以上のロジック状態、および電圧が -100 mV 以下のロジック状態の 2 つの条件下において、通常のレシーバ動作を仕様規定しています。表 15 (ADN4650) に示しているように、これらの閾値の間で、標準の LVDS レシーバ動作は不定です (いずれかの状態を検出します)。ADN4651/ADN4652 には、入力状態が不定の場合 (-100 mV $< V_{ID} < +100$ mV) に LVDS 出力が既知の状態 (ロジック・ハ

イ) になるようにフェイルセーフ回路が組み込まれています (表 16 を参照)。

入力がフロート状態の場合 (未接続、終端抵抗なし)、入力が短絡している場合、および入力にアクティブなドライバが接続されていない (ただし、終端抵抗あり) 場合に、この入力状態になります。開放、短絡、終端処理済み／アイドル・バスによるフェイルセーフの場合、ADN4651/ADN4652 によって実装されているこれらの条件の既知の出力状態になります。

これらの入力状態 (-100 mV $< V_{ID} < +100$ mV) によってフェイルセーフ回路がトリガされた後、出力が確実にハイ・レベル ($V_{OD} \geq 250$ mV) になるまで、最大 1.2 μ s の遅延が発生します。この間、出力はロジック・ロー状態 ($V_{OD} \leq -250$ mV) に遷移するか、ロジック・ロー状態にとどまる可能性があります。

入力差動電圧が数ナノ秒にわたって +100 mV \sim -100 mV にとどまるとき、すぐにフェイルセーフ回路がトリガされます。これは、LVDS の代表的な動作から逸脱した、立上がり時間と立下がり時間が非常に遅い (350 ps (max) t_R/t_f) 入力信号が原因で、ハイ・レベルからロー・レベルのクロスオーバーでフェイルセーフ回路がトリガされる可能性があることを意味します。

通常動作で最小 $|V_{ID}|$ が 100 mV の場合、フェイルセーフ状態がトリガされないようにするには、立上がり／立下がり時間を 5 ns 以下に抑える必要があります。 $|V_{ID}|$ を 200 mV に増やすと、フェイルセーフ状態をトリガせずに、入力の立上がり／立下がり時間を最大 10 ns に設定することができます。ハイ・レベルからロー・レベルへの遷移がこの期間より遅いことが予期される、非常に低速なアプリケーションの場合、100 mV の最小 $|V_{ID}|$ を実現する (フェイルセーフがトリガされない) オプションとして外部バイアス抵抗を使用できます。

表 15. ADN4650 入出力動作

Input ($D_{INX\pm}$)			Output ($D_{OUTX\pm}$)		
Powered On	V_{ID} (mV)	Logic	Powered On	V_{OD} (mV)	Logic
Yes	≥ 100	High	Yes	≥ 250	High
Yes	≤ -100	Low	Yes	≤ -250	Low
Yes	$-100 < V_{ID} < +100$	Indeterminate	Yes	Indeterminate	Indeterminate
No	Don't care	Don't care	Yes	≥ 250	High

表 16. ADN4651/ADN4652 入出力動作

Input ($D_{INX\pm}$)			Output ($D_{OUTX\pm}$)		
Powered On	V_{ID} (mV)	Logic	Powered On	V_{OD} (mV)	Logic
Yes	≥ 100	High	Yes	≥ 250	High
Yes	≤ -100	Low	Yes	≤ -250	Low
Yes	$-100 < V_{ID} < +100$	Indeterminate	Yes	≥ 250	High
No	Don't care	Don't care	Yes	≥ 250	High

絶縁

内蔵LVDSレシーバによって検出された入力状態の変化に対して、エンコーダ回路は内蔵トランジスタのコイルを使用して、狭いパルス(約1 ns)をデコーダ回路に送信します。デコーダは双安定であるため、入力がロジック遷移を示すパルスによりセットまたはリセットされます。デコーダの状態は通常動作でのLVDSドライバの出力状態を決定するので、結果として絶縁型LVDSバッファの入力状態も反映されます。

約1 μ s以上にわたり入力に遷移がない場合、出力(該当する場合は、フェイルセーフ出力状態を含む)のDC精度を確保するため、適切な入力状態を示す一連の周期的なリフレッシュ・パルスが送られます。故障状態が発生した場合、これらの周期的なリフレッシュ・パルスは1 μ s以内に出力状態を補正するか、ADN4651/ADN4652出力をフェイルセーフ状態に設定します。

パワーアップ時に入力の遷移がない場合、出力の初期状態は正しくないDC状態になっていることがあります。リフレッシュ・パルスにより、出力状態は1 μ s以内に補正されます。

デコーダが約1 μ s以上にわたり内部パルスを受け取らない場合、デバイスは入力側が通電されていないか、機能していないとみなし、出力を正の差動電圧(ロジック・ハイ)に設定します。

PCBレイアウト

ADN4650/ADN4651/ADN4652は、最大300 MHzクロックの高速LVDS信号、または600 Mbpsのノンリターン・ゼロ(NRZ)データで動作できます。このような高い周波数では、LVDSパターン・レイアウトおよび終端のベスト・プラクティスを採用することが特に重要です。D_{INx+}ピンとD_{INx-}ピン間で、できるだけレシーバの近くに100 Ω の終端抵抗を配置します。

信号の完全な整合性を実現し、システムのジッタを低減して、PCBからの電磁干渉(EMI)を最小限に抑えるには、制御された50 Ω インピーダンス・パターンがLVDS信号ラインに必要です。パターンの幅、各ペアの側方距離、下のグラウンド・プレーンへの距離も適切に選択する必要があります。ペア間のPCBグラウンドへのピア・シールドも、隣接するペア間のクロストークを最小限に抑えるためのベスト・プラクティスです。

ADN4650/ADN4651/ADN4652は、最大600 MbpsのPRBSデータで動作しているときに、アイソレータに関する追加要件なしでEN55022 Class B放射制限に適合します。高速クロック(例: 300 MHz)を絶縁する場合、ダイポール・アンテナ効果を低減し、Class B放射制限を十分に下回るようにするには、PCB間隙(絶縁ギャップ)を小さくする必要があります。

高速PCB設計のベスト・プラクティスを採用することで、ADN4650/ADN4651/ADN4652を使用したアプリケーションにおいてPCBから発生するその他のあらゆる放射を回避できます。ボード外部との接続には特に注意を払ってください。この場合、高速LVDS信号(特にクロック)からのスイッチング過渡電圧がケーブルに流れ放射が発生することがあります。LVDSコネクタの位置でコモンモード・チョーク、フェライト、またはその他の適切なフィルタを使用するとともに、ケーブル・シールドやアース/シャーシへのPCBグラウンド接続を使用してください。

ADN4650/ADN4651/ADN4652は、100 nFのコンデンサでV_{DDx}ピンを適切にデカップリングする必要があります。内蔵LDOを使用せずに2.5 V電源を直接接続する場合は、適切なV_{INx}ピンも電源に接続します(図38を参照、ADN4651の例)。

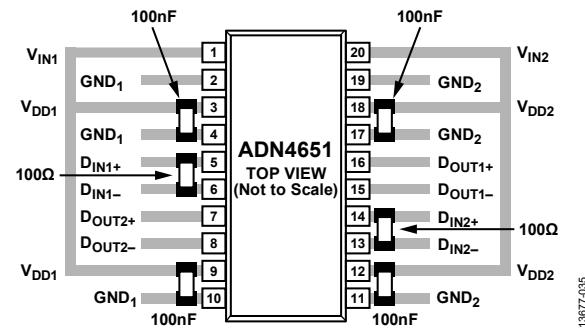


図38. LDOを使用しない場合に必要なPCBレイアウト(2.5 V電源)

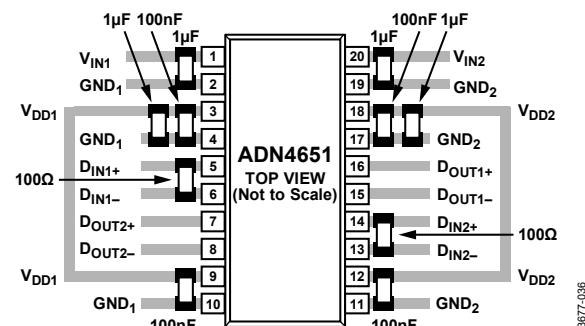


図39. LDOを使用する場合に必要なPCBレイアウト(3.3 V電源)

内蔵LDOを使用する場合は、V_{INx}ピンおよび最も近いV_{DDx}ピン(LDO出力)に1 μ Fのバイパス・コンデンサが必要です(図39を参照、ADN4651の使用例)。

磁界耐性

デバイスの磁界耐性に関する限界は、トランジスタの受信側コイルに発生する誘導電圧が、デコーダを誤ってセットまたはリセットする値まで大きくなるという条件によって設定されます。このような条件を以下の解析により求めます。ADN4650/ADN4651/ADN4652の2.375 V動作状態は最も感度の高い動作モードであるため、この条件を調べます。

トランジスタ出力におけるパルスの振幅は0.5 Vを超えます。デコーダの検出スレッショールドは約0.25 Vなので、誘導電圧を許容する0.25 Vのマージンが形成されます。受信側コイルの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2, n = 1, 2, \dots, N$$

ここで

β = 磁束密度(Gauss)。

r_n = 受信側コイルの巻き数n回目の半径。

N = 受信側コイルの巻き数。

ADN4650/ADN4651/ADN4652 の受信側コイルの形状が与えられ、誘導電圧がデコーダのマージン 0.25 V の最大 50 % であるという条件が与えられると、最大許容磁界を計算できます (図 40 を参照)。

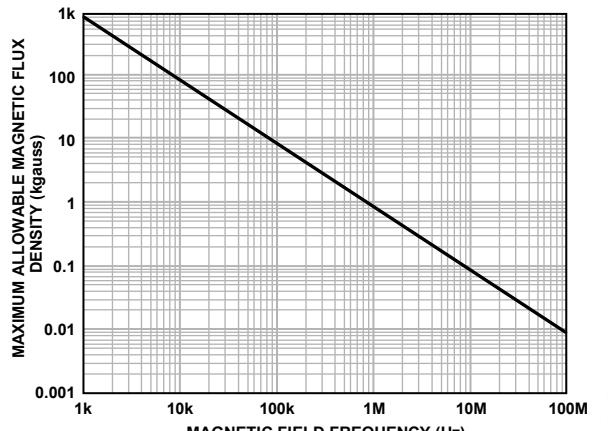


図 40. 最大許容の外部磁束密度

例えば、磁界周波数 = 1 MHz で、最大許容磁界 = 0.92 Kgauss の場合、受信側コイルでの誘導電圧は 0.125 V になります。この電圧は検出スレッショルドの約 50 % であるため、出力変化の誤動作はありません。最大ケースの極性で、送信パルスの途中でこのような状況が発生すると、受信パルスが 0.5 V を超える値から 0.375 V に低減します。この電圧は、デコーダの検出閾値である 0.25 V よりも依然として高い値です。

前述の磁束密度値は、ADN4650/ADN4651/ADN4652 トランスから指定された距離だけ離れた位置で、特定の電流値に対応します。図 41 に、選択された距離にする周波数の関数としての許容電流値を示します。ADN4650/ADN4651/ADN4652 は、外部磁界の影響をほとんど受けません。部品のすぐ近くにある非常に大きい高周波電流のみが問題となる可能性があります。この例の 1 MHz の場合、部品の動作に影響を与えるには 2.29 kA の電流を ADN4650/ADN4651/ADN4652 から 5 mm 離れた場所に配置する必要があります。

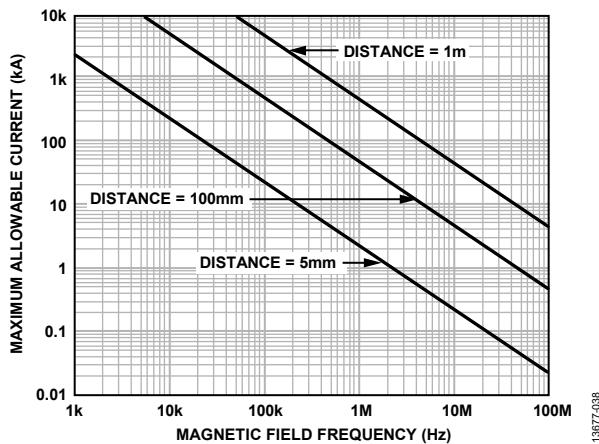


図 41. 電流と ADN4650/ADN4651/ADN4652 の間隔と最大許容電流の関係

強い磁界と高周波を組み合わせると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路の閾値を超えてトリガが発生するので、注意が必要です。ループが形成される PCB 構造にならないようにしてください。

絶縁寿命

すべての絶縁構造は、長時間電圧ストレスを受けると最終的に劣化します。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性、材料、および材料の境界に依存します。

注目すべき 2 つのタイプの絶縁劣化は、空気にさらされる表面に沿った破壊と絶縁疲労です。表面破壊とは、表面トラッキング現象で、システム・レベル規格に定められた沿面距離条件で主に決定されます。絶縁疲労とは、チャージ・インジェクションまたは絶縁材料内部の変位電流により長時間にわたる絶縁低下が生じる現象です。

表面トラッキング

表面トラッキングは、電気安全規格で規定されていて、動作電圧、環境条件、絶縁材料の特性に基づいて最小沿面距離が定められています。安全性規制当局は、部品の表面絶縁について特性評価テストを行い、部品をさまざまな材料グループに分類します。材料グループの等級が低いものほど表面トラッキングに対する耐性が高いため、小さい沿面距離で十分な寿命を発揮できます。特定の動作電圧と材料グループの最小沿面距離は、各システム・レベル規格に定められていて、絶縁バリアの両端にまたがる合計 rms 電圧、汚染度、材料グループに基づいています。ADN4650/ADN4651/ADN4652 の材料グループと沿面距離を表 4 に示します。

絶縁疲労

疲労による絶縁寿命は、厚さ、材料特性、加わる電圧ストレスによって決まります。アプリケーション動作電圧での製品寿命が十分であると確認することが重要です。アイソレータがサポートしている耐疲労動作電圧が、耐トラッキング動作電圧と異なることがあります。これは、ほとんどの規格で仕様規定されているトラッキングに該当する動作電圧です。

試験とモデリングにより、長期間の性能低下の主な要因は、増分型損傷を引き起こすポリイミド絶縁体内の変位電流であることが判明しています。絶縁体のストレスは、DC ストレスと、AC 成分の時間とともに変化する電圧ストレスに大別できます。前者では変位電流が存在しないため、わずかな疲労しか発生しませんが、後者では疲労が発生します。

通常、認定ドキュメントに記載されている定格は、60 Hz の正弦波ストレスに基づいています。これは、このストレスにライン電圧からの絶縁が反映されるためです。ただし、多くの実用的なアプリケーションでは、60 Hz の AC と絶縁バリアをまたぐ DC が組み合わされています（式 1 を参照）。ストレスの AC 部分のみが疲労を発生させるため、AC rms 電圧を求めるように式を組み替えることができます（式 2 を参照）。この製品で使用されているポリイミド材料での絶縁疲労に関しては、AC rms 電圧が製品寿命を決定します。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

ここで

V_{RMS} は、合計 rms 動作電圧。

$V_{AC\ RMS}$ は、動作電圧の時間とともに変化する部分。

V_{DC} は、動作電圧の DC オフセット。

計算とパラメータ使用の例

次の例は、一般的な電力変換アプリケーションの例です。絶縁バリアの一方で 240 V ac rms のライン電圧、もう一方で 400 V dc バス電圧が存在するとします。アイソレータの材料はポリイミドです。デバイスの沿面距離、間隙、寿命を判断する際の臨界電圧を求めるには、図 42 と以降の数式を参考してください。

式 1 のバリア両端にかかる動作電圧は、

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466 \text{ V}$$

この V_{RMS} は、システムの規格で要求されている沿面距離を求める際に、材料グループおよび汚染度と組み合わせて使用する動作電圧です。

寿命が十分であるかどうか判断するには、動作電圧の時間とともに変化する部分を求めます。AC rms 電圧を求めるには、式 2 を使用します。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

$$V_{AC\ RMS} = \sqrt{466^2 - 400^2}$$

$$V_{AC\ RMS} = 240 \text{ V rms}$$

この場合、AC rms は 240 V rms のライン電圧です。この計算は、波形が正弦波でない場合はさらにはあてはまります。この値を表 11 の動作電圧の制限値と比較して期待寿命を確認すると、60 Hz サイン波の値よりも低く、50 年の運用寿命規定を十分に満たしていることがわかります。

表 11 の DC 動作電圧の規定値は、IEC 60664-1 で仕様規定されているパッケージの沿面距離により定められています。この値は、特定のシステム・レベル規格と異なることがあります。

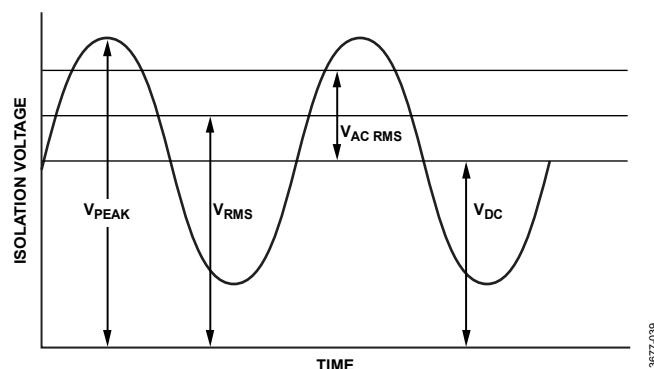


図 42. 臨界電圧の例

アプリケーション情報

部品間やボード間、またはケーブル・インターフェースに ADN4650/ADN4651/ADN4652 を使用して高速 LVDS インターフェースを絶縁できます。ADN4650/ADN4651/ADN4652 は、LVDS に完全に準拠した入出力を提供し、他の部品に内蔵されている低仕様の LVDS インターフェースと比べて高い LVDS 出力駆動能力を実現できます。ADN4650/ADN4651/ADN4652 の LVDS 準拠のレシーバ入力は、絶縁するあらゆる LVDS ソースと完全に互換性があります。

絶縁型アナログ・フロントエンド・アプリケーションを通じて、部品間の LVDS インターフェースを絶縁する ADN4650/ADN4651 の例を示します。図 43 に示すように、2 つの ADN4650 が AD7960 A/D コンバータ (ADC) の LVDS インターフェースを絶縁しています。これには、600 Mbps データ、300 MHz のエコー・クロック、および 5 MHz のサンプル・クロックが含まれます 2 つの ADN4651 を使用した AD7960 の絶縁を図 44 に示します。ADN4651 の増加位相ジッタは十分に低く、サンプル・クロックを絶縁する場合でも ADC の性能に影響を与えません。さらに、電気的絶縁を実装すると、フィールド・プログラマブル・ゲート・アレイ (FPGA) 回路からデジタル・ノイズと電源ノイズが除去されて ADC の性能が向上します。

最新のプログラマブル・ロジック・コントローラ (PLC) と入出力モジュールは、ボード間 LVDS インターフェースとなる LVDS バックプレーンを介して通信します (図 45 を参照)。隣接するノードへの送受信にデイジーチェーン・タイプのトポロジを使用して、各ノード上の 2 つの ADN4651 (または ADN4652) デバイスは 4 つの LVDS チャンネルを絶縁できます。電気的絶縁の追加により、PLC または入出力モジュールでより強固なバックプレーン・インターフェース・ポートを実現できます。

電気的絶縁により、LVDS ポートでさえも完全な外部ポートとして扱うことができ、高いコモンモード電圧がケーブル上で誘導される過酷な環境でもケーブルで伝送できます (図 46 を参照)。ADN4651/ADN4652 のジッタは小さいため、より多くのジッタ・バジェットをケーブル効果に対応させるために使用できるようになります。ケーブルを可能な限り長くすることができます。ADN4651/ADN4652 は、高い駆動能力と LVDS 完全準拠の出力を備えているので、数メートルの短いケーブルを駆動できます。これは、LVDS 信号品質を低下させる他の絶縁方式とは対照的です。ケーブルの長さに適したデータ・レートを選択できます。ADN4651/ADN4652 は 600 Mbps だけではなく、最小で DC までの任意のデータ・レートで動作します。

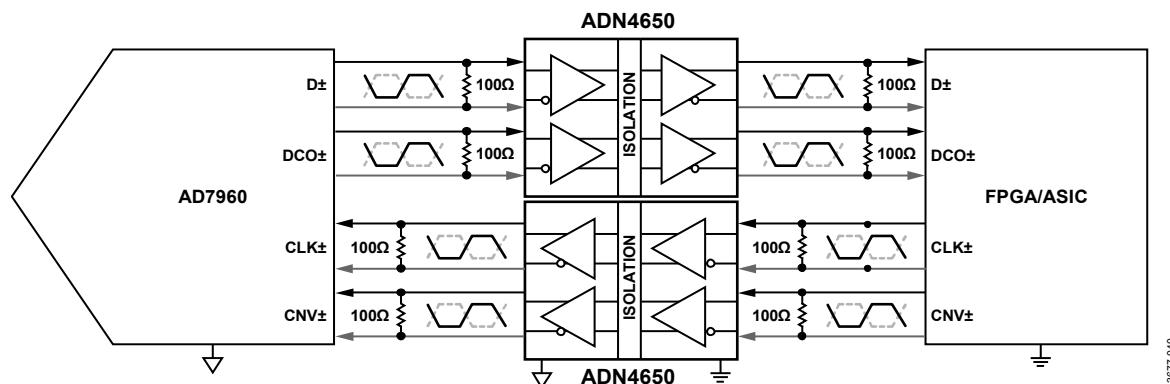


図 43. 絶縁型アナログ・フロントエンド実装の例 (ADN4650 を使用した絶縁型 AD7960)

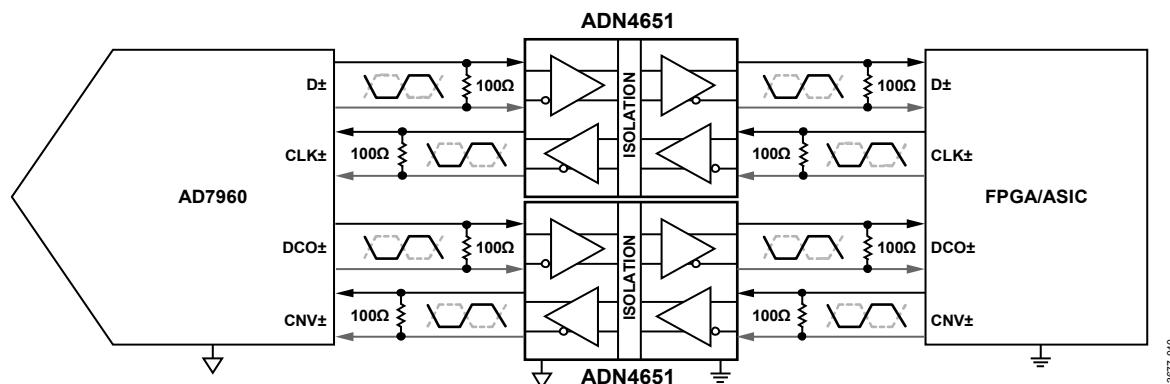


図 44. 絶縁型アナログ・フロントエンド実装の例 (ADN4651 を使用した絶縁型 AD7960)

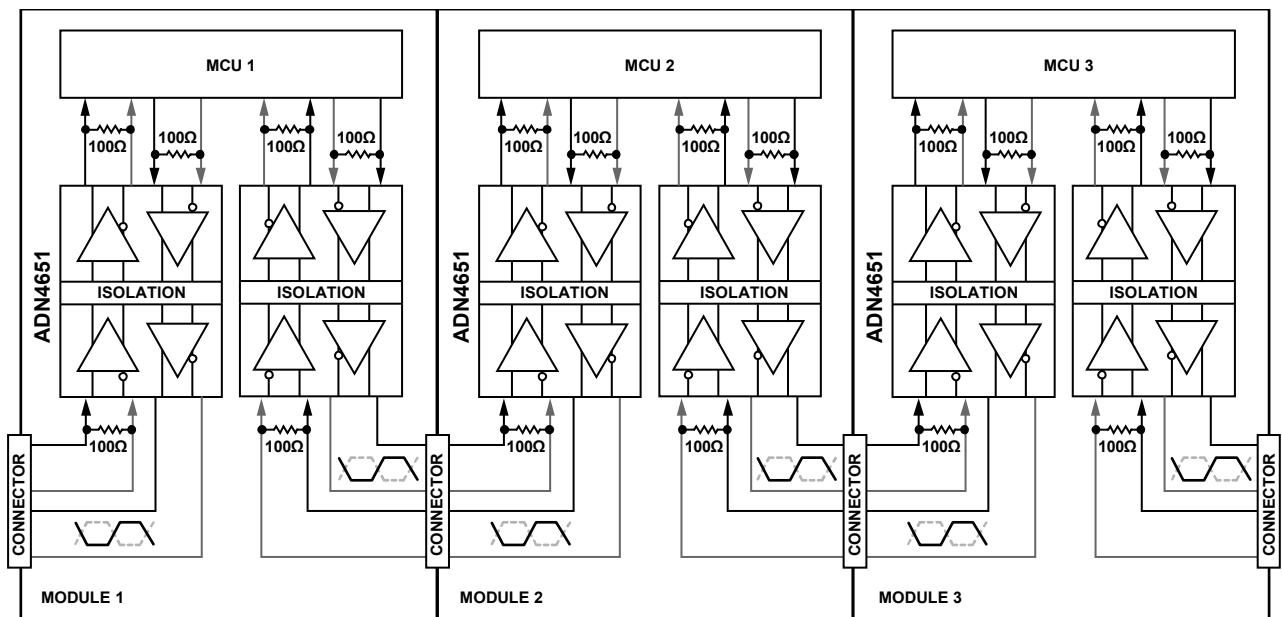


図 45. ADN4651 を使用した絶縁型バックプレーン実装の例 (PLC および入出力モジュール用)

13677-041

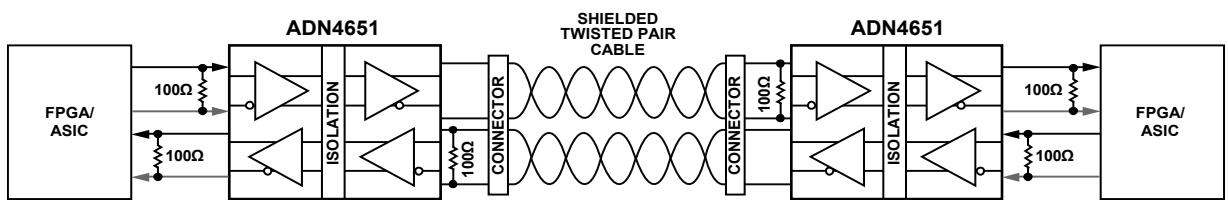


図 46. ADN4651 を使用した絶縁型 LVDS ケーブル・アプリケーションの例

13677-042

外形寸法

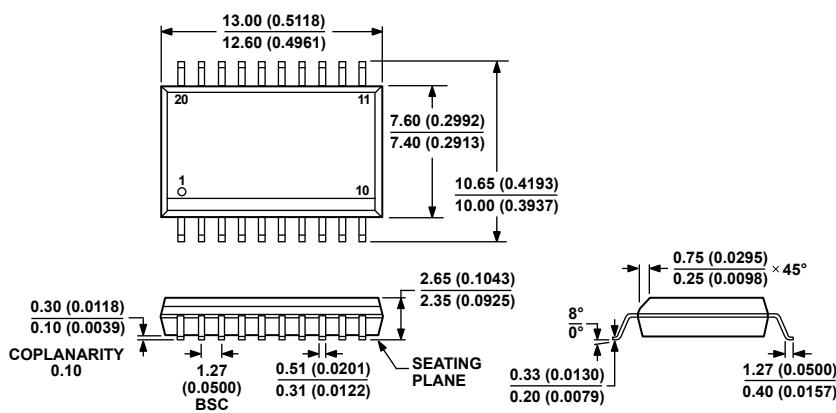


図 47. 20 ピン標準スモール・アウトライン・パッケージ [SOIC_W]
ワイド・ボディ (RW-20)
寸法: mm (インチ)

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADN4650BRWZ	-40°C to +125°C	20-Lead Standard Small Outline Package [SOIC_W]	RW-20
ADN4650BRWZ-RL7	-40°C to +125°C	20-Lead Standard Small Outline Package [SOIC_W]	RW-20
ADN4651BRWZ	-40°C to +125°C	20-Lead Standard Small Outline Package [SOIC_W]	RW-20
ADN4651BRWZ-RL7	-40°C to +125°C	20-Lead Standard Small Outline Package [SOIC_W]	RW-20
ADN4652BRWZ	-40°C to +125°C	20-Lead Standard Small Outline Package [SOIC_W]	RW-20
ADN4652BRWZ-RL7	-40°C to +125°C	20-Lead Standard Small Outline Package [SOIC_W]	RW-20
EVAL-ADN4650EB1Z		ADN4650 SOIC_W Evaluation Board	RW-20
EVAL-ADN4651EB1Z		ADN4651 SOIC_W Evaluation Board	RW-20
EVAL-ADN4652EB1Z		ADN4652 SOIC_W Evaluation Board	RW-20

¹ Z = RoHS 準拠製品。