



高電圧入力保護デバイス

データシート

ADM1270

特長

- 4 V~60 V の電源電圧を制御
- 低電圧降下の逆極性電源保護用 FET ゲートの駆動
- P チャンネル FET ゲートを駆動
- 突入電流を制限
- 調整可能な電流制限値
- フォールドバック電流制限機能
- 電流故障時の自動再実行またはラッチオフ
- 安全動作領域 (SOA)用のプログラマブルな電流制限タイマ
- パワーグッド出力と故障出力
- アナログの低電圧 (UV)および過電圧 (OV) 保護
- 16 ピンの 3 mm × 3 mm LFCSP
- 16 ピン QSOP

アプリケーション

- 工業用モジュール
- バッテリー駆動/携帯型計装機器

概要

ADM1270 は、モジュール・システムまたはバッテリー駆動システム向けの突入電流制限機能と過電流保護機能を提供する電流制限コントローラです。通電中のバック・プレーンに回路ボードを挿入すると、放電した電源バイパス・コンデンサを充電するために、大きな過渡電流がバック・プレーン電源バスから流れます。これらの過渡電流により、コネクタ・ピンが恒久的な損傷を受け、さらにバック・プレーン電源上のディップに恒久的な損傷が生じ、システム内の他のボードがリセットされるおそれがあります。

ADM1270 は、外付けの P チャンネル電界効果トランジスタ (FET) からシステムをパワーオンにするとき、突入電流を制御するように設計されています。

逆極性の入力電源からシステムを保護するため、追加の外付け P チャンネル FET を制御する機能も備えています。この機能は、逆極性の接続が行われたとき、負荷または ADM1270 に損傷を及ぼす逆極性電流を防止します。

ADM1270 は、3 mm × 3 mm の 16 ピン LFCSP または 16 ピン QSOP を採用しています。

簡略化した機能ブロック図

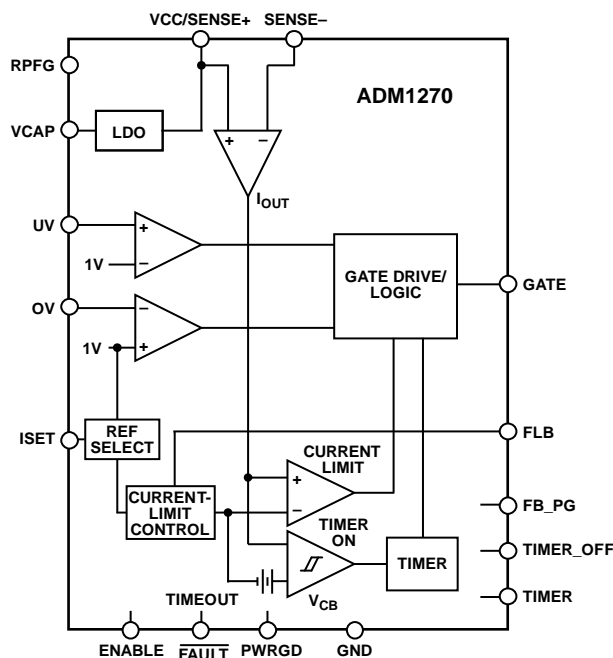


図 1.

12259-001

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2015 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	電流検出入力.....	16
アプリケーション.....	1	電流制限リファレンス電圧.....	16
概要.....	1	電流制限値 (ISET) の設定.....	16
簡略化した機能ブロック図.....	1	フォールドバック.....	17
目次.....	2	タイマ.....	17
改訂履歴.....	2	TIMER_OFF.....	18
仕様.....	3	ホットスワップ再試行デューティ・サイクル.....	18
絶対最大定格.....	5	GATE および RPFG のクランプ.....	19
熱特性.....	5	厳しい過電流に対する高速応答.....	19
ESD の注意.....	5	低電圧と過電圧.....	19
ピン配置およびピン機能説明.....	6	ENABLE 入力.....	19
代表的な性能特性.....	9	パワーグッド.....	20
代表的なアプリケーション回路.....	14	外形寸法.....	21
動作原理.....	15	オーダー・ガイド.....	21
ADM1270 の電源供給.....	16		

改訂履歴

12/14—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{CC}/V_{SENSE+} = 4\text{ V} \sim 60\text{ V}$ 、 $V_{SENSE} = (V_{SENSE+} - V_{SENSE-}) = 0\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
POWER SUPPLY						
Operating Voltage Range	V_{CC}	4		60	V	
Quiescent Current	I_{CC}		360	500	μA	GATE on
UV PIN						
Input Current	I_{UV}		0.005	0.2	μA	$UV \leq 5.5\text{ V}$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$
			0.005	1	μA	$UV \leq 5.5\text{ V}$, $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$
UV Threshold	UV_{TH}	0.985	1.0	1.015	V	UV falling
UV Threshold Hysteresis	UV_{HYST}	55	60	65	mV	
UV Glitch Filter	UV_{GF}	4		7	μs	50 mV overdrive
UV Propagation Delay	UV_{PD}		6	8	μs	UV low to GATE pull-down circuit active
OV PIN						
Input Current	I_{OV}		0.005	0.2	μA	$OV \leq 5.5\text{ V}$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$
			0.005	1	μA	$OV \leq 5.5\text{ V}$, $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$
OV Threshold	OV_{TH}	0.985	1.0	1.015	V	OV rising
OV Threshold Hysteresis	OV_{HYST}	25	30	35	mV	
OV Glitch Filter	OV_{GF}	0.5		2.0	μs	50 mV overdrive
OV Propagation Delay	OV_{PD}		1.5	2.5	μs	OV high to GATE pull-up circuit active
SENSE-						
Input Current	I_{SENSE-}	20	40	70	μA	$SENSE- = 60\text{ V}$
VCAP PIN						
Internally Regulated Voltage	V_{VCAP}	3.546	3.6	3.636	V	$0\text{ }\mu\text{A} \leq I_{VCAP} \leq 1\text{ mA}$, $C_{VCAP} = 1\text{ }\mu\text{F}$
Undervoltage Lockout	UVLO					
Rising	$UVLO_{RISE}$			3.4	V	V_{CC} rising
Falling	$UVLO_{FALL}$	3.0			V	V_{CC} falling
Hysteresis	$UVLO_{HYST}$		230		mV	
ISET PIN						
Input Current	I_{ISET}		0.005	0.2	μA	$V_{ISET} \leq V_{VCAP}$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$
			0.005	1	μA	$V_{ISET} \leq V_{VCAP}$, $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$
Reference Select Threshold	$V_{ISETRSTH}$	2.55	2.6	2.65	V	If $V_{ISET} > V_{ISETRSTH}$, an internal reference (V_{CLREF}) is used
Internal Reference	V_{CLREF}		2		V	Accuracies included in total sense voltage accuracies
Gain of Current Sense Amplifier	AV_{CSAMP}		40		V/V	Accuracies included in total sense voltage accuracies
RPFG PIN						
Reverse Protection FET Gate Drive Voltage	V_{RPFG}		0		V	$V_{CC} \leq 10\text{ V}$
Reverse Protection FET Gate Drive Voltage Offset	ΔV_{RPFG}	10	12	14	V	$\Delta V_{RPFG} = V_{CC} - V_{RPFG}$, $60\text{ V} \geq V_{CC} \geq 14\text{ V}$, $I_{RPFG} \leq 5\text{ }\mu\text{A}$
RPFG Pull-Down (On) Current	I_{RPFGND}	7	9	12	μA	$V_{RPFG} = V_{CC}$
GATE PIN						
GATE Drive Voltage	ΔV_{GATE}	10	12	14	V	$\Delta V_{GATE} = V_{CC} - V_{GATE}$, $60\text{ V} \geq V_{CC} \geq 14\text{ V}$, $I_{GATE} \leq 5\text{ }\mu\text{A}$
GATE Pull-Down (On) Current	I_{GATEDN}	20	25	30	μA	$V_{GATE} = V_{CC}$
GATE Pull-Up (Off) Current	I_{GATEUP}					
Regulation	I_{GATEUP_REG}	-50	-65	-80	μA	$\Delta V_{GATE} \geq 2\text{ V}$, $(V_{SENSE+} - V_{SENSE-}) = 70\text{ mV}$
Fault	I_{GATEUP_FLT}	-7	-13	-20	mA	$\Delta V_{GATE} = 2\text{ V}$
CURRENT SENSE VOLTAGE						
Sense Voltage Current Limit ($V_{SENSE+} - V_{SENSE-}$)	$V_{SENSECL}$	47	50	53	mV	$V_{ISET} > 2.65\text{ V}$, $V_{FLB} > 1.1\text{ V}$, $\Delta V_{GATE} = 3\text{ V}$, $I_{GATE} = 0\text{ }\mu\text{A}$
Foldback Inactive			62.5		mV	$V_{ISET} = 2.5\text{ V}$, $V_{FLB} > 1.35\text{ V}$, $\Delta V_{GATE} = 3\text{ V}$, $I_{GATE} = 0\text{ }\mu\text{A}$
		47	50	53	mV	$V_{ISET} = 2\text{ V}$, $V_{FLB} > 1.1\text{ V}$, $\Delta V_{GATE} = 3\text{ V}$, $I_{GATE} = 0\text{ }\mu\text{A}$
		22.5	25.0	27.5	mV	$V_{ISET} = 1\text{ V}$, $V_{FLB} > 0.57\text{ V}$, $\Delta V_{GATE} = 3\text{ V}$, $I_{GATE} = 0\text{ }\mu\text{A}$
		10.0	12.5	15.0	mV	$V_{ISET} = 0.5\text{ V}$, $V_{FLB} > 0.3\text{ V}$, $\Delta V_{GATE} = 3\text{ V}$, $I_{GATE} = 0\text{ }\mu\text{A}$

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Foldback Active		7	10	13	mV	$V_{FLB} = 0 \text{ V}$, $\Delta V_{GATE} = 3 \text{ V}$, $I_{GATE} = 0 \text{ }\mu\text{A}$
		22	25	28	mV	$V_{ISET} > 2 \text{ V}$, $V_{FLB} = 0.5 \text{ V}$, $\Delta V_{GATE} = 3 \text{ V}$, $I_{GATE} = 0 \text{ }\mu\text{A}$
Circuit Breaker Offset	V_{CBOS}	0.5	1	1.5	mV	Circuit breaker trip voltage, $V_{CB} = V_{SENSECL} - V_{CBOS}$
SEVERE OVERCURRENT						
Voltage Threshold	$V_{SENSEOC}$	90	100	110	mV	$V_{ISET} > 2.65 \text{ V}$
		20	25	30	mV	$V_{ISET} = 0.5 \text{ V}$
Glitch Filter Duration		0.4		1.6	μs	
Response Time			2.0	3.5	μs	
TIMER PIN						
TIMER Pull-Up Current	$I_{TIMERUP}$	-18	-20	-22	μA	Overcurrent fault, $0.2 \text{ V} \leq V_{TIMER} \leq 2 \text{ V}$
TIMER High Threshold	V_{TIMERH}	1.96	2.0	2.04	V	
TIMER Low Threshold	V_{TIMERL}	0.075	0.10	0.12	V	
TIMER Pull-Down Current	$I_{TIMERPD}$	0.85		1.15	μA	Timer pin voltage = 0.2 V
		75		105	μA	Timer pin voltage = 0.05 V
TIMER_OFF PIN						
Power-On Reset Pull-Up Current	I_{POR}	-18	-20	-22	μA	Initial power-on reset, $V_{TIMER_OFF} = 1 \text{ V}$
Retry Pull-Up Current	I_{TMROFF}	-0.85	-1	-1.15	μA	After fault when GATE is off, $V_{TIMER_OFF} = 1 \text{ V}$
TIMER_OFF High Threshold	$V_{TMROFFH}$	1.96	2.0	2.04	V	
FOLDBACK (FLB PIN)						
Input Current	I_{FLB}		0.005	0.2	μA	$V_{FLB} \leq 5.5 \text{ V}$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$
			0.005	1	μA	$V_{FLB} \leq 5.5 \text{ V}$, $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$
PWRGD FEEDBACK INPUT (FB_PG PIN)						
Input Current	I_{FBPG}		0.005	0.2	μA	$V_{FB_PG} \leq 5.5 \text{ V}$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$
			0.005	1	μA	$V_{FB_PG} \leq 5.5 \text{ V}$, $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$
PWRGD Rising Threshold	V_{PGTH}	0.985	1.0	1.015	V	FB_PG rising
PWRGD Threshold Hysteresis	PG_{HYST}	25	30	35	mV	
Power-Good Glitch Filter	PG_{GF}	0.5		1.5	μs	50 mV overdrive
FAULT PIN						
Output Low Voltage	V_{OL_FAULT}			0.1	V	$I_{FAULT} = 100 \text{ }\mu\text{A}$
				0.4	V	$I_{FAULT} = 1 \text{ mA}$
Leakage Current	I_{FAULT}		0.005	1	μA	$V_{FAULT} = 5.5 \text{ V}$, FAULT output high-Z
ENABLE PIN						
Input High Voltage	V_{IH}	1.2			V	
Input Low Voltage	V_{IL}			0.4	V	
Leakage Current	I_{EN}		0.005	1	μA	$V_{EN} = 5.5 \text{ V}$
PWRGD PIN						
Output Low Voltage	V_{OL_PWRGD}			0.1	V	$I_{PWRGD} = 100 \text{ }\mu\text{A}$
				0.4	V	$I_{PWRGD} = 1 \text{ mA}$
Output Low Voltage	V_{OL_PWRGD}			0.4	V	$V_{CC} = 1.7 \text{ V}$, $I_{SINK} = 100 \text{ }\mu\text{A}$,
Leakage Current	I_{PWRGD}		0.005	1	μA	$V_{PWRGD} = 60 \text{ V}$, PWRGD output high-Z

絶対最大定格

表 2.

Parameter	Rating
VCC/SENSE+	-0.3 V to +66 V
VCAP	-0.3 V to +6 V
UV	-0.3 V to +6 V
OV	-0.3 V to +6 V
ISET	-0.3 V to VCAP + 0.3 V
FLB	-0.3 V to +6 V
FB_PG	-0.3 V to +6 V
TIMER_OFF	-0.3 V to VCAP + 0.3 V
TIMER	-0.3 V to VCAP + 0.3 V
FAULT	-0.3 V to +6 V
ENABLE	-0.3 V to +6 V
PWRGD	-0.3 V to +66 V
GATE	-0.3 V to V _{CC} + 0.3 V
GATE to VCC/SENSE+	-22 V to +0.3 V
SENSE-	-0.3 V to V _{CC} + 0.3 V
RPF	-0.3 V to V _{CC} + 0.3 V
RPF to VCC/SENSE+	-22 V to +0.3 V
V _{SENSE} (V _{SENSE+} - V _{SENSE-})	±0.3 V
Continuous Current into Any Pin	±10 mA
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Lead Temperature, Soldering (10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上での製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

熱特性

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 3.熱抵抗

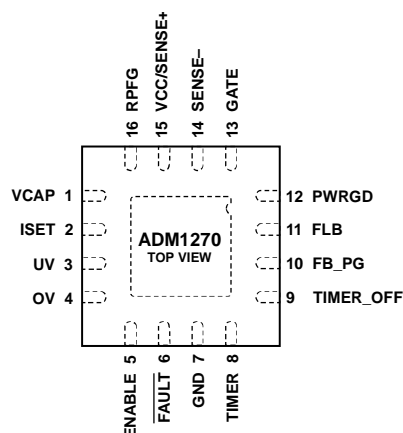
Package Type	θ_{JA}	θ_{JC}	Ψ_{JB}	Unit
16-Lead, 3 mm × 3 mm LFCSP	49.5	35.2	29.6	°C/W
16-Lead QSOP	106.03	28.31	43.22	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
 1. THE EXPOSED PAD IS LOCATED ON THE UNDERSIDE OF THE LFCSP PACKAGE. SOLDER THE EXPOSED PAD TO THE PRINTED CIRCUIT BOARD (PCB) TO IMPROVE THERMAL DISSIPATION. THE EXPOSED PAD CAN BE CONNECTED TO GROUND.

1229-002

図 2.16 ピン LFCSP のピン配置

表 4.16 ピン LFCSP のピン機能説明

ピン番号	記号	説明
1	VCAP	内部安定化電源。高精度を維持するため、1 μ F 以上の値を持つコンデンサをこのピンに接続してください。ISET ピン電圧を設定する際に、このピンをリファレンスとして使用することができます。
2	ISET	電流制限。このピンを使って電流制限閾値を設定することができます。このピンを直接 VCAP へ接続すると、デフォルト制限値が設定されます。ユーザー定義の検出電圧を実現するときは、VCAP からの抵抗分圧器を使って電流制限値を調整することができます。外付けリファレンスも使用できます。
3	UV	低電圧入力ピン。電源とこのピンの間に外付け抵抗分圧器を接続して、電源が UV 制限値を下回っているか否かを内蔵コンパレータが検出できるようにします。
4	OV	過電圧入力ピン。電源とこのピンの間に外付け抵抗分圧器を接続して、電源が OV 制限値を上回っているか否かを内蔵コンパレータが検出できるようにします。
5	ENABLE	イネーブル・ピン。このピンはデジタル・ロジック入力です。ADM1270 コントローラがパワーアップ・シーケンスを開始できるようにするには、この入力をハイ・レベルにする必要があります。このピンをロー・レベルにすると、ADM1270 のパワーアップが防止されます。このピンにはプルアップが内蔵されていません。
6	FAULT	故障出力。このピンは、過電流故障状態が発生したためデバイスがシャットダウンしたことを示します。このピンを直接 ENABLE ピンに接続して、シャットダウン後に自動再試行するようにデバイスを設定することができます。
7	GND	グラウンド・ピン。
8	TIMER	タイマ・ピン。外付けコンデンサ C_{TIMER} により SOA 過電流故障遅延を設定します。TIMER ピンの電圧が上側閾値を超えると、GATE ピンがオフに駆動されます。
9	TIMER_OFF	タイマ・オフ・ピン。外付けコンデンサ C_{TIMER_OFF} により、初期タイミング・サイクル遅延と SOA オフ時間遅延を設定します。SOA 過電流故障が発生すると、GATE ピンがオフに駆動され、TIMER_OFF ピン電圧が閾値を超えるまでオフが続きます。
10	FB_PG	PWRGD 帰還入力ピン。出力電圧とこのピンの間に外付け抵抗分圧器を接続して、出力電圧が PWRGD 閾値を上回ったタイミングを内蔵コンパレータが検出できるようにします。
11	FLB	フォールドバック・ピン。フォールドバック抵抗分圧器を FET のソースとこのピンの間に接続します。フォールドバックは、ソース電圧が低下したとき電流制限値を小さくします。フォールドバック機能は、FET を通過する電力が SOA 制限値を超えて増加しないようにします。
12	PWRGD	パワーグッド信号。この信号は、電源が許容誤差内にあることを示します。この信号は、FB_PG ピンに入力される電圧に基づきます。
13	GATE	ゲート出力ピン。このピンは、外付け P チャンネル FET のゲートを駆動します。このピンは FET 駆動コントローラから駆動され、FET ゲート・ピンを充電するプルダウン電流を供給します。FET 駆動コントローラは、GATE ピンを安定化する方法で最大負荷電流への安定化を行います。電源が低電圧入力保護 (UVLO) を下回ると、GATE はオフになります。
14	SENSE-	負側電流検出入力ピン。VCC/SENSE+ ピンと SENSE- ピンの間の検出抵抗によりアナログ電流制限値が設定されます。ADM1270 のホットスワップ動作は、外付け FET ゲートを制御して検出電圧 ($V_{SENSE+} - V_{SENSE-}$) を維持します。このピンは FET ドレイン・ピンにも接続されます。

ピン番号	記号	説明
15	VCC/SENSE+	正側電源入力ピン (VCC)。低電源電圧が検出されると、UVLO 回路はデバイスをリセットします。電源が UVLO を下回ると、GATE はオフになります。シーケンシングは不要です。 正側電流検出入力ピン (SENSE+)。このピンはメイン電源入力に接続されます。VCC/SENSE+ ピンと SENSE- ピンとの検出抵抗によりアナログ電流制限値が設定されます。ADM1270 のホットスワップ動作は、外付け FET ゲートを制御して検出電圧 ($V_{SENSE+} - V_{SENSE-}$) を維持します。
16	RPFGE	逆極性保護 FET ゲートドライバ出力。このピンは低電圧降下動作外付け逆極性保護 P チャンネル FET のゲートへ接続してください。
N/A ¹	EP	エクスポーズド・パッド。エクスポーズド・パッドは、LFCSP パッケージの底面にあります。エクスポーズド・パッドをプリント回路ボード (PCB) へハンダ接続して熱拡散を向上させてください。エクスポーズド・パッドはグラウンドへ接続することができます。

¹ N/A = 該当なし。

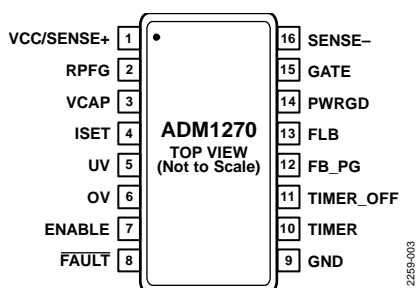


図 3.16 ピン QSOP のピン配置

表 5.16 ピン QSOP のピン機能説明

ピン番号	記号	説明
1	VCC/SENSE+	正側電源入力ピン (VCC)。低電源電圧が検出されると、UVLO 回路はデバイスをリセットします。電源が UVLO を下回ると、GATE はオフになります。シーケンシングは不要です。 正側電流検出入力ピン (SENSE+)。このピンはメイン電源入力に接続されます。VCC/SENSE+ ピンと SENSE- ピンの間の検出抵抗によりアナログ電流制限値が設定されます。ADM1270 のホットスワップ動作は、外付け FET ゲートを制御して検出電圧 ($V_{SENSE+} - V_{SENSE-}$) を維持します。
2	RPFPG	逆極性保護 FET ゲートドライバ出力。このピンは低電圧降下動作外付け逆極性保護 P チャンネル FET のゲートへ接続してください。
3	VCAP	内部安定化電源。高精度を維持するため、1 μ F 以上の値を持つコンデンサをこのピンに接続してください。ISET ピン電圧を設定する際に、このピンをリファレンスとして使用することができます。
4	ISET	電流制限。このピンを使って電流制限閾値を設定することができます。このピンを直接 VCAP へ接続すると、デフォルト制限値が設定されます。ユーザー定義の検出電圧を実現するときは、VCAP からの抵抗分圧器を使って電流制限値を調整することができます。外付けリファレンスも使用することができます。
5	UV	低電圧入力ピン。電源とこのピンの間に外付け抵抗分圧器を接続して、電源が UV 制限値を下回っているか否かを内蔵コンパレータが検出できるようにします。
6	OV	過電圧入力ピン。電源とこのピンの間に外付け抵抗分圧器を接続して、電源が OV 制限値を上回っているか否かを内蔵コンパレータが検出できるようにします。
7	ENABLE	イネーブル・ピン。このピンはデジタル・ロジック入力です。ADM1270 コントローラがパワーアップ・シーケンスを開始できるようにするには、この入力をハイ・レベルにする必要があります。このピンをロー・レベルにすると、ADM1270 のパワーアップが防止されます。このピンにはプルアップが内蔵されていません。
8	FAULT	故障出力。このピンは、過電流故障状態が発生したためデバイスがシャットダウンしたことを示します。このピンを直接 ENABLE ピンに接続して、シャットダウン後に自動再試行するようにデバイスを設定することができます。
9	GND	グラウンド・ピン。
10	TIMER	タイマ・ピン。外付けコンデンサ C_{TIMER} により SOA 過電流故障遅延を設定します。TIMER ピンの電圧が上側閾値を超えると、GATE ピンがオフに駆動されます。
11	TIMER_OFF	タイマ・オフ・ピン。外付けコンデンサ C_{TIMER_OFF} により、初期タイミング・サイクル遅延と SOA オフ時間遅延を設定します。SOA 過電流故障が発生すると、GATE ピンがオフに駆動され、TIMER_OFF ピン電圧が閾値を超えるまでオフが続きます。
12	FB_PG	PWRGD 帰還入力ピン。出力電圧とこのピンの間に外付け抵抗分圧器を接続して、出力電圧が PWRGD 閾値を上回ったタイミングを内蔵コンパレータが検出できるようにします。
13	FLB	フォールドバック・ピン。フォールドバック抵抗分圧器を FET のソースとこのピンの間に接続します。フォールドバックは、ソース電圧が低下したとき電流制限値を小さくします。フォールドバック機能は、FET を通過する電力が SOA 制限値を超えて増加しないようにします。
14	PWRGD	パワーグッド信号。この信号は、電源が許容誤差内にあることを示します。この信号は、FB_PG ピンに入力される電圧に基づきます。
15	GATE	ゲート出力ピン。このピンは、外付け P チャンネル FET のゲートを駆動します。このピンは FET 駆動コントローラから駆動され、FET ゲート・ピンを充電するプルダウン電流を供給します。FET 駆動コントローラは、GATE ピンを安定化する方法で最大負荷電流への安定化を行います。電源が UVLO を下回ると、GATE はオフになります。
16	SENSE-	負側電流検出入力ピン。VCC/SENSE+ ピンと SENSE- ピンの間の検出抵抗によりアナログ電流制限値が設定されます。ADM1270 のホットスワップ動作は、外付け FET ゲートを制御して検出電圧 ($V_{SENSE+} - V_{SENSE-}$) を維持します。このピンは FET ドレイン・ピンにも接続されます。

代表的な性能特性

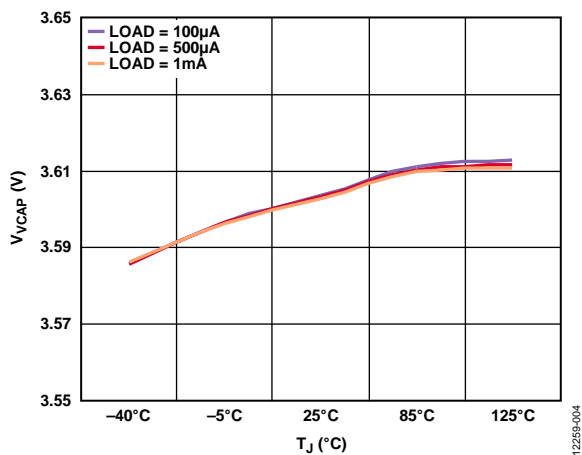


図 4. 様々な負荷でのジャンクション温度 (T_J) 対 V_{VCAP}

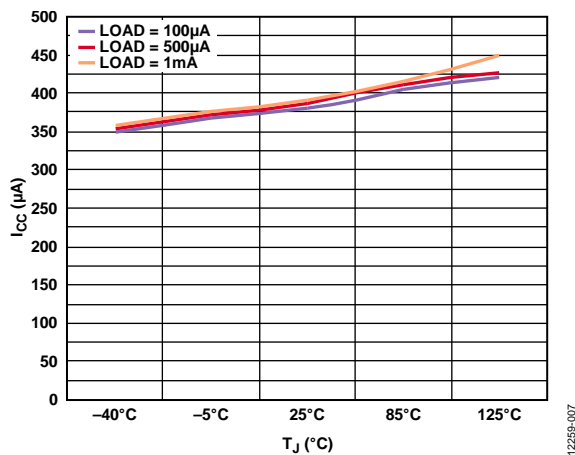


図 7. 様々な負荷でのジャンクション温度 (T_J) 対電源電流 (I_{CC})

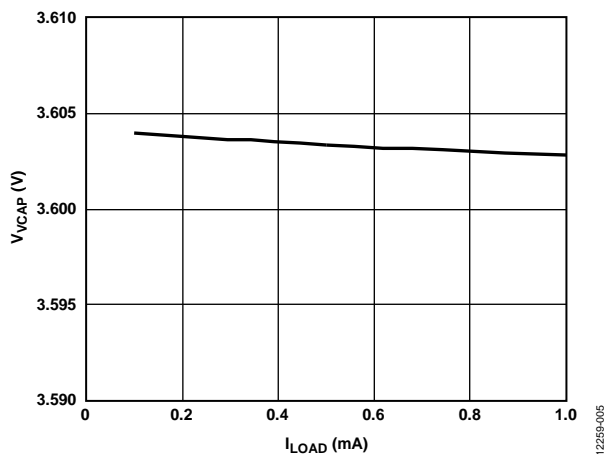


図 5. 負荷電流 (I_{LOAD}) 対 V_{VCAP}

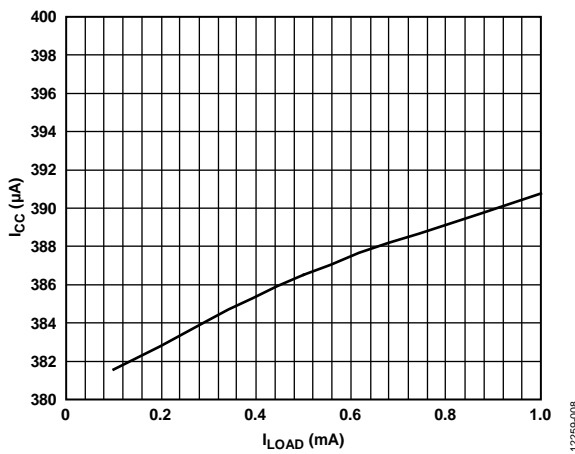


図 8. 負荷電流 (I_{LOAD}) 対電源電流 (I_{CC})

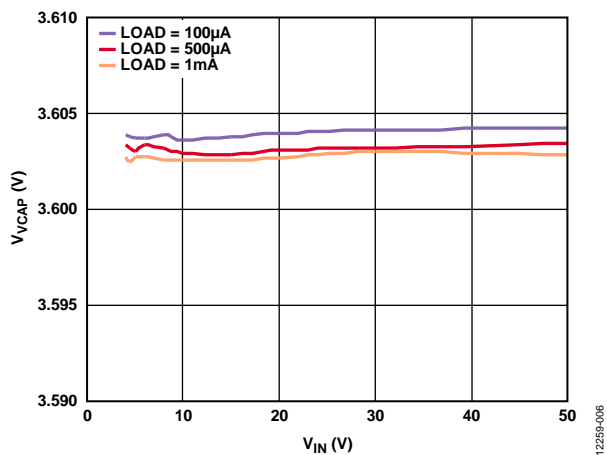


図 6. 様々な負荷での入力電圧 (V_{IN}) 対 V_{VCAP}

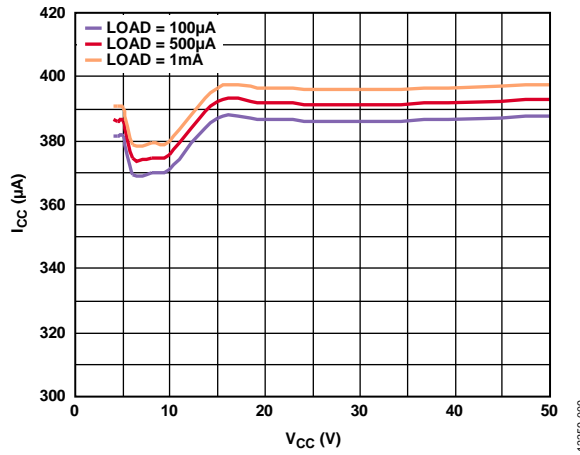


図 9. 様々な負荷での電源電圧 (V_{CC}) 対電源電流 (I_{CC})

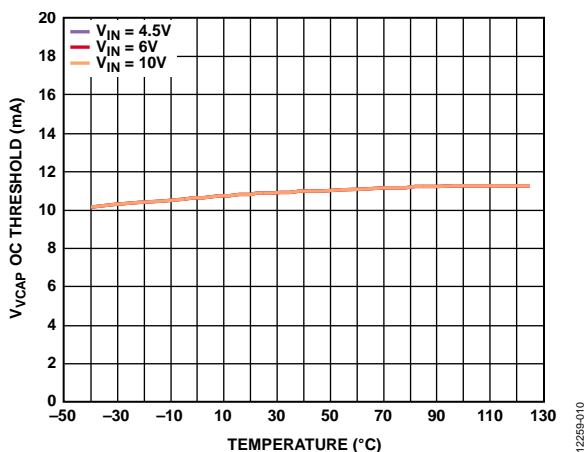


図 10. 様々な入力電圧での V_{VCAP} 過電流 (OC) 閾値の温度特性

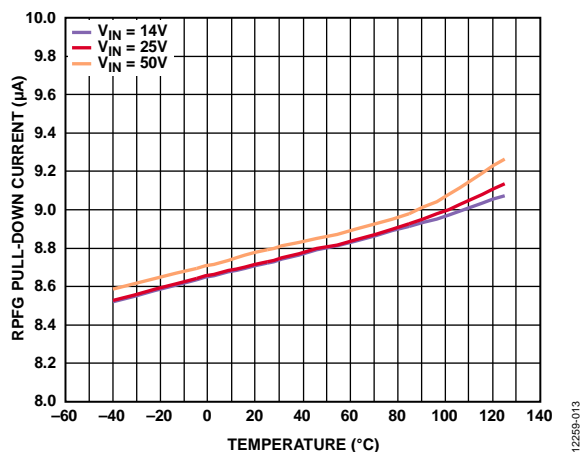


図 13. 様々な入力電圧での RPFPG プルダウン電流 (I_{RPFPGND}) の温度特性

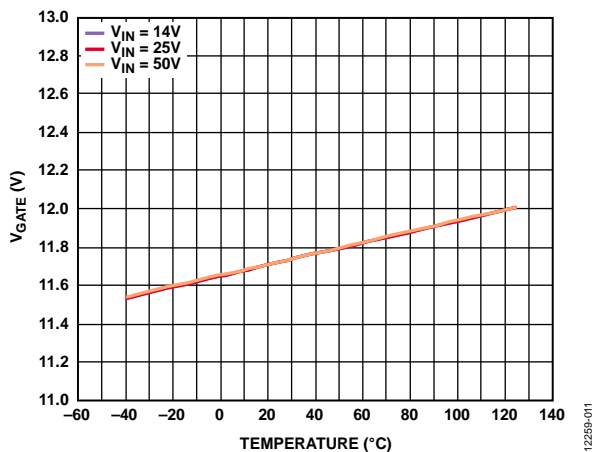


図 11. 様々な入力電圧での GATE 電圧 (V_{GATE}) の温度特性

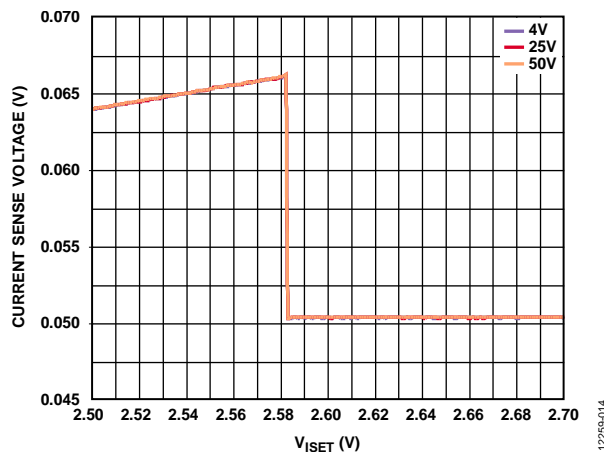


図 14. 様々な入力電圧での ISET 電圧 (V_{ISET}) 対電流検出電圧

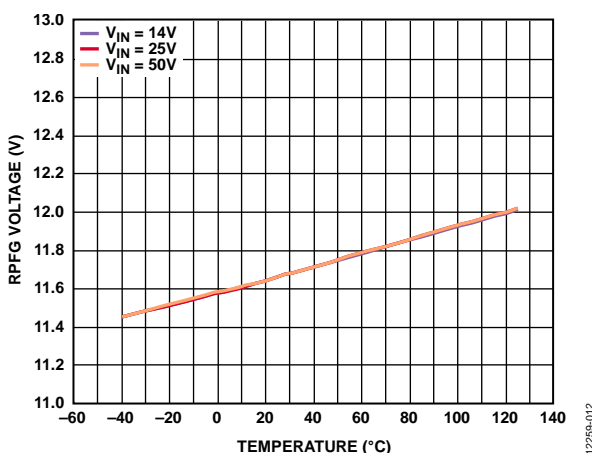


図 12. 様々な入力電圧での RPFPG 電圧 (V_{RPFPG}) の温度特性

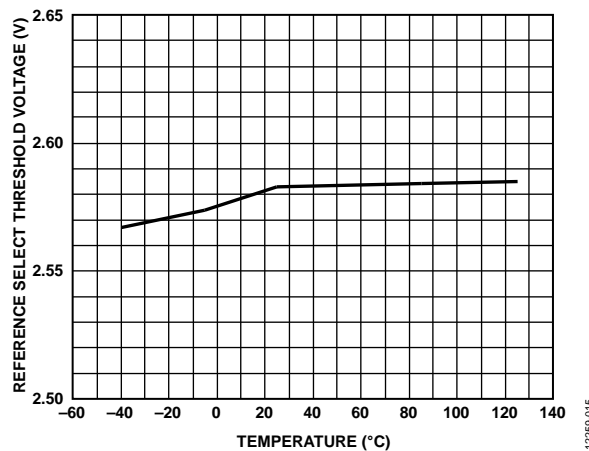


図 15. リファレンス選択閾値電圧 (V_{ISETRSTH}) の温度特性, V_{IN} = 4 V

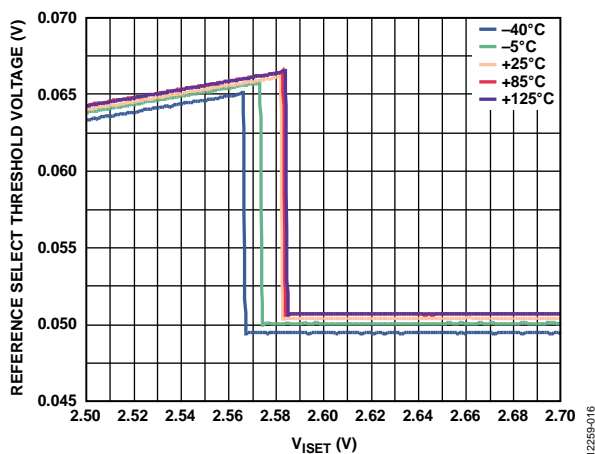


図 16. 様々な温度での ISET 電圧 (V_{ISET}) 対 リファレンス選択閾値電圧 ($V_{ISETRSTH}$)

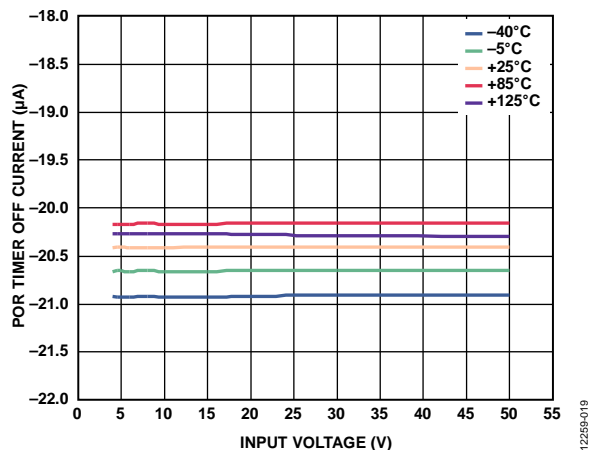


図 19. 様々な温度での入力電圧 (V_{IN}) 対 POR タイマ・オフ電流 (I_{POR})

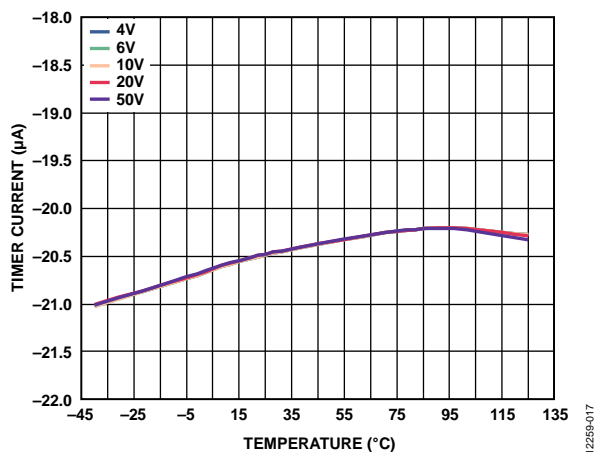


図 17. 様々な入力電圧でのタイマ電流の温度特性

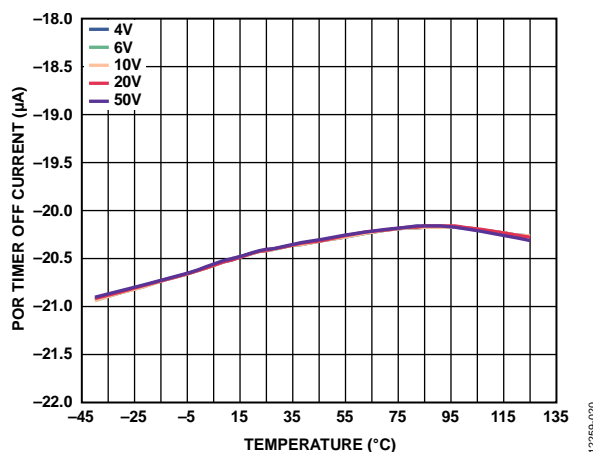


図 20. 様々な入力電圧での POR タイマ・オフ電流 (I_{POR}) の温度特性

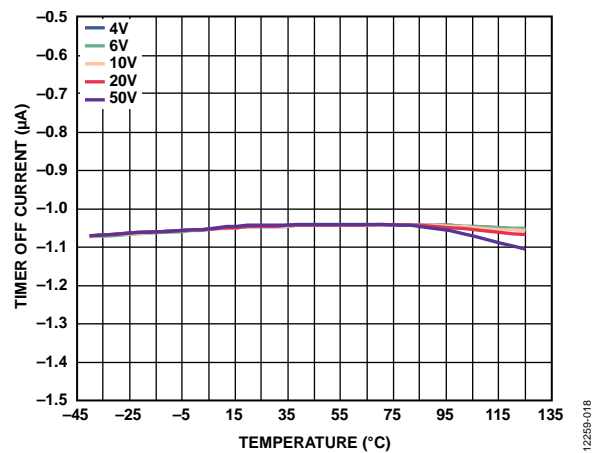


図 18. 様々な入力電圧でのタイマ・オフ電流 (I_{TMROFF}) の温度特性

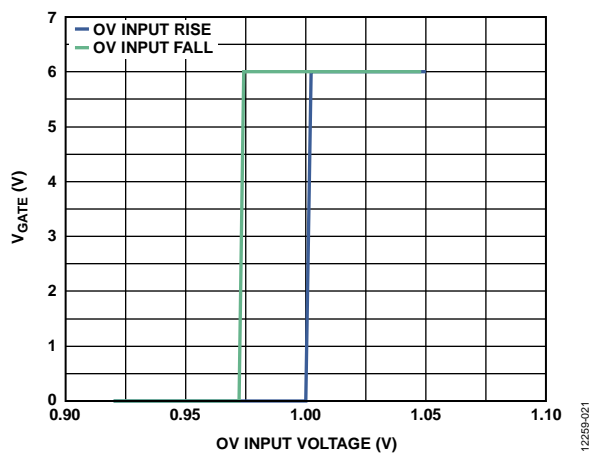


図 21. OV 入力電圧対 V_{GATE}

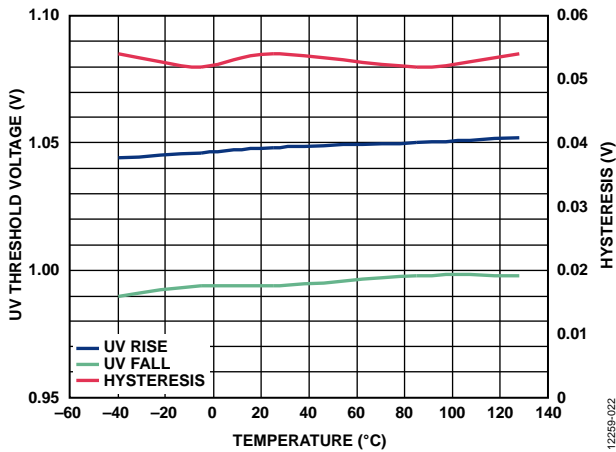


図 22. UV 閾値電圧の温度特性

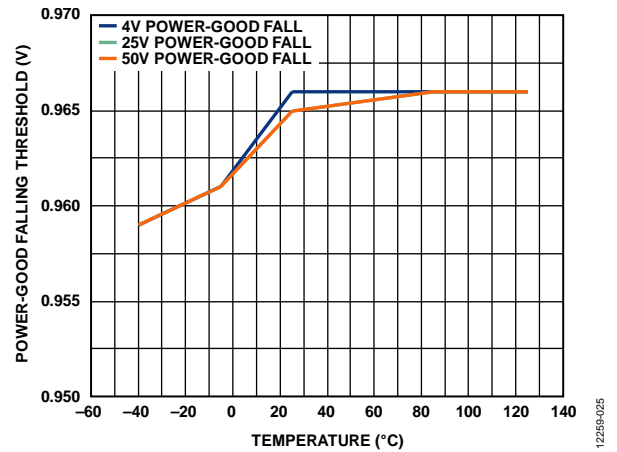


図 25. 様々な入力電圧でのパワーグッド立下がり閾値の温度特性

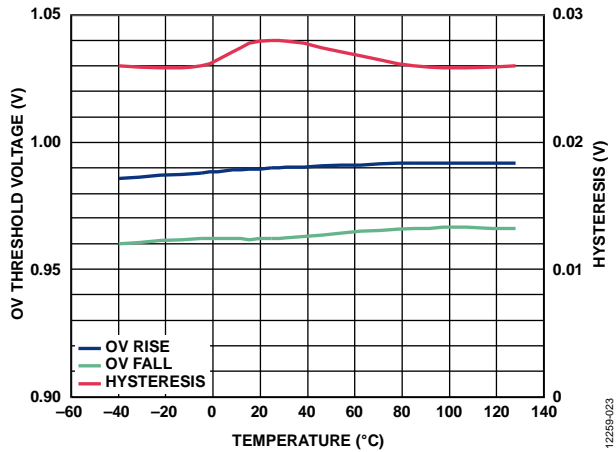


図 23. OV 閾値の温度特性

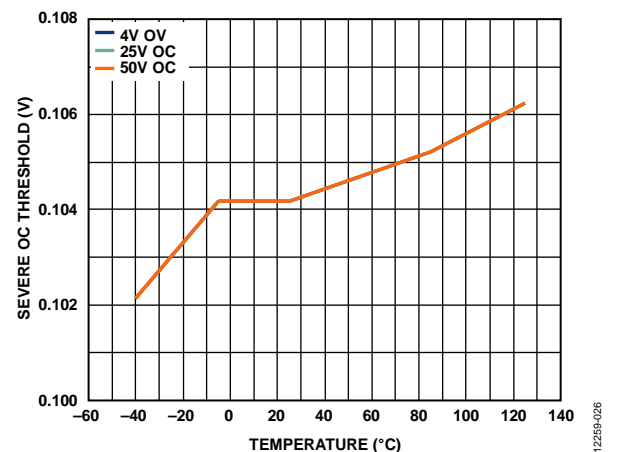


図 26. 様々な入力電圧での厳しい過電流 (OC) 閾値の温度特性

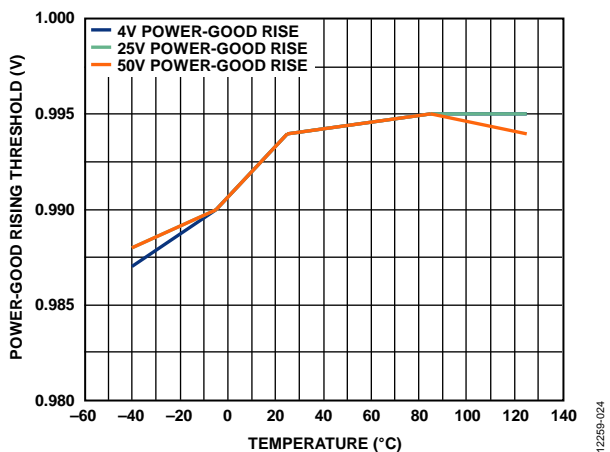


図 24. 様々な入力電圧でのパワーグッド立上がり閾値の温度特性

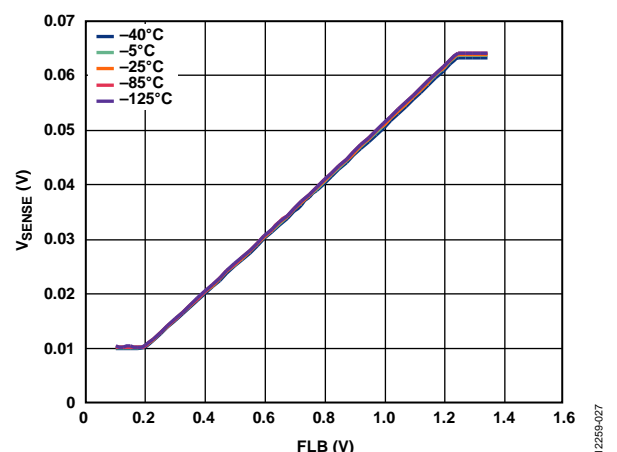


図 27. 様々な温度での FLB 対検出電圧 (V_{SENSE})

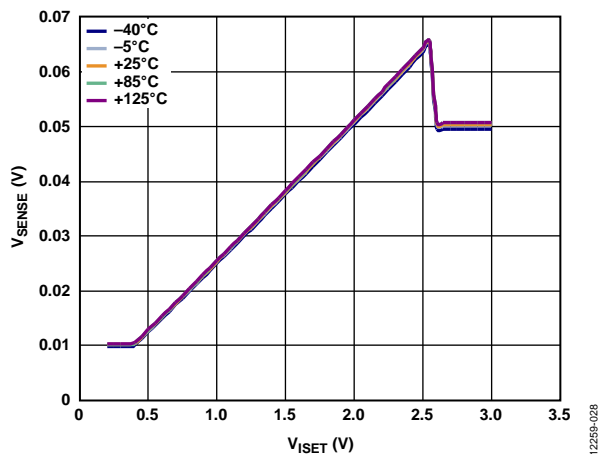


図 28.様々な温度での ISET 電圧 (V_{ISET}) 対検出電圧 (V_{SENSE})

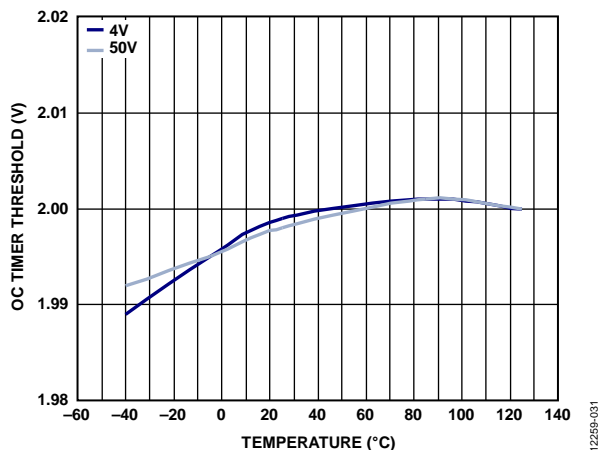


図 31.様々な入力電圧での OC タイマ閾値の温度特性

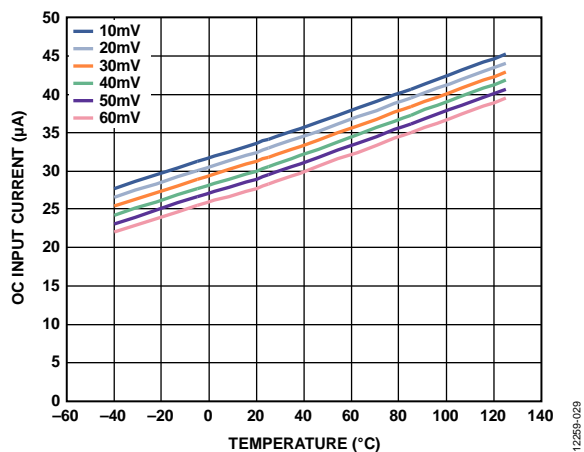


図 29.様々な検出電圧 (V_{SENSE}) での OC 入力電流の温度特性

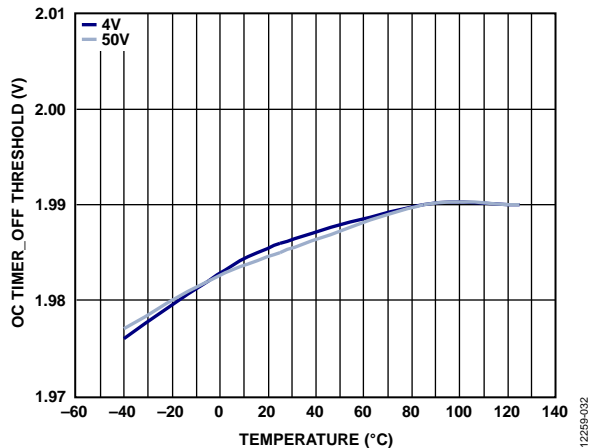


図 32.様々な入力電圧での OC TIMER_OFF 閾値の温度特性

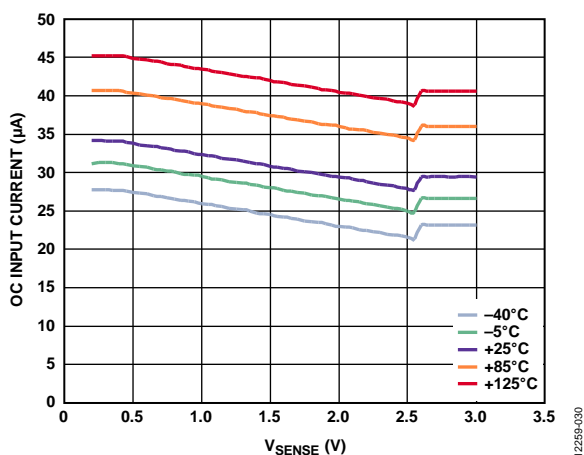


図 30.様々な温度での検出電圧 (V_{SENSE}) 対 OC 入力電流

動作原理

通電中のバック・プレーンに回路ボードを挿入すると、放電した電源バイパス・コンデンサを充電するときに、大きな過渡電流がバック・プレーン電源バスから流れます。これらの過渡電流により、コネクタ・ピンに恒久的な損傷が生じることや、バック・プレーン電源に電圧ディップが発生してシステム内の他のボードがリセットされることがあります。

ADM1270 は、システムのパワーオン時に突入電流を制御して、大きな電流からボードを保護することにより通電中のバック・プレーンにボードを安全に挿入できるように設計されています。

ADM1270 は、モジュール・システムまたはバッテリー駆動システム向けの突入電流制限機能と過電流保護機能を提供する電流制限コントローラです。電源バス内の検出抵抗に発生する電圧が、VCC/SENSE+ピンと SENSE- ピンを使って電流検出アンプで測定されます。デフォルトの制限値は 50 mV に設定されていますが、必要に応じて、VCAP ピンと ISET ピンの間に接続された抵抗分圧器を使ってこの制限値を調整することができます。

ADM1270 は、電源バス内の外付け P チャンネル FET のゲート電圧を GATE ピンを使って制御することにより、検出抵抗を流れる電流を制限します。検出電圧と負荷電流は、設定されている最大値より小さく維持されます。ADM1270 は、電流が最大値のときに FET が導通する時間を制限することにより外付け FET を保護します。この電流制限時間は、TIMER ピンと TIMER_OFF ピンの間に接続するコンデンサを選択することにより設定します。この電流制限時間は、FET を SOA 内に維持す

るのに役立ちます。

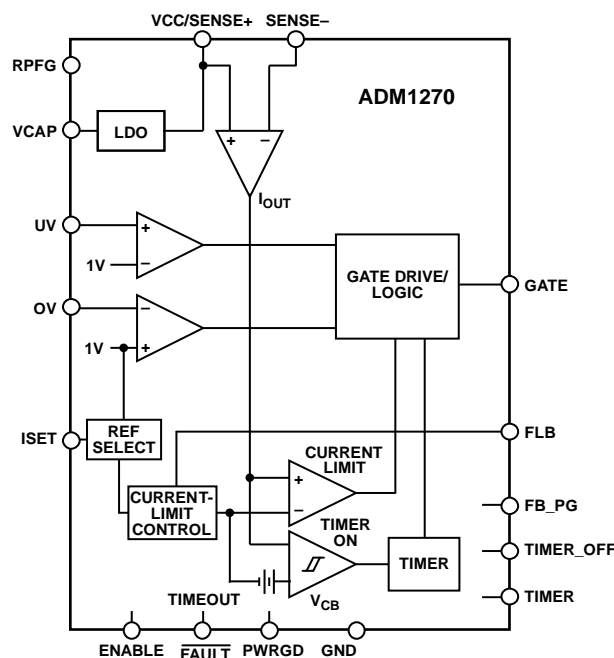
タイマ機能の他に、FET 保護を追加する際に使用するフォールドバック・ピン (FLB)があります。ドレインソース間電圧 (V_{DS})の電圧降下が大きい場合、デバイスが使用する実際の電流制限値が小さくなるように、電流制限値を FLB ピンの電圧に比例して小さくするため、この機能も FET を SOA 内に維持することに役立ちます。

最小電圧クランプ機能は、FLB 電圧が 0 V の場合でも、電流がゼロにならないことを保証します。そうでない場合、デバイスがパワーアップしないようにします。

ADM1270 は、OV 保護機能と UV 保護機能を内蔵しており、これらは UV ピンと OV ピンの外付け抵抗分圧器を使って設定します。

PWRGD 信号は、FB_PG ピンの外付け抵抗分圧器を使って設定した電圧より出力電源が高いことを表示するために使用することができます。

逆極性の入力電源からシステムを保護するため、追加外付け P チャンネル FET を RPFG ピンで制御する機能も備えています。この機能を使うと、低いオン抵抗で低電圧降下の FET をダイオードの代わりに使用して同じ機能を実行できるため、消費電力を削減して全体効率を向上させることができます。逆極性電圧保護 FET は、負荷または ADM1270 に損傷を与える負入力電圧を防止します。



ADM1270 の電源供給

ADM1270 に電力を供給するには、VCC/SENSE+ ピンを通して 4 V～60 V の電源電圧を印加する必要があります。VCC/SENSE+ ピンがデバイスの大部分のバイアス電流を供給し、ゲート駆動の制御とゲートソース電圧間(V_{GS})のレギュレーションに必要な残りの電流は SENSE- ピンから供給されます。

電流検出入力

負荷電流は、外付け電流検出抵抗 R_{SENSE} の電圧降下を測定してモニタされます(図 35 参照)。内蔵電流検出アンプは、 R_{SENSE} で検出される電圧降下をゲイン 40 で増幅します。その結果が内蔵リファレンス電圧と比較され、さらにホットスワップ制御ロジックにより過電流状態の検出に使用されます。

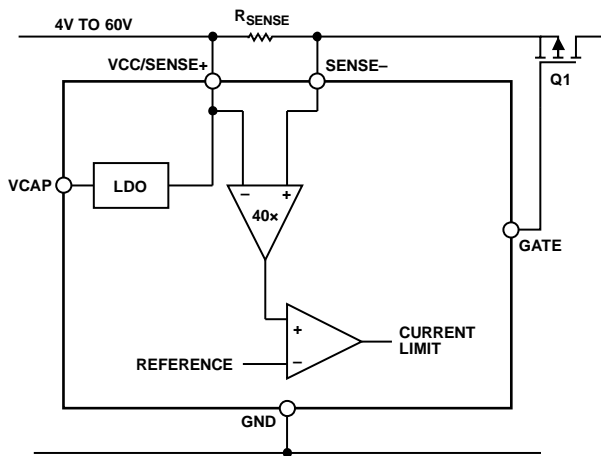


図 35. ホットスワップ電流検出アンプ

電流制限リファレンス電圧

電流制限リファレンス電圧は、過電流時に ADM1270 が制限する負荷電流値を決定します。このリファレンス電圧は、増幅された電流検出電圧と比較されて、電流制限閾値に到達したタイミングが決定されます。

内蔵の電流制限リファレンス・セクタ・ブロックは、ISET 電圧と FLB 電圧を連続的に比較して低い方の電圧を求めます。低い方の電圧を電流制限リファレンスとして使用します。この動作により、設定された電流制限値 ISET が通常動作で使用されることが保証され、さらにスタートアップ時や故障状態で必要とされる場合、フォールドバック機能が電流制限値を減少させます。

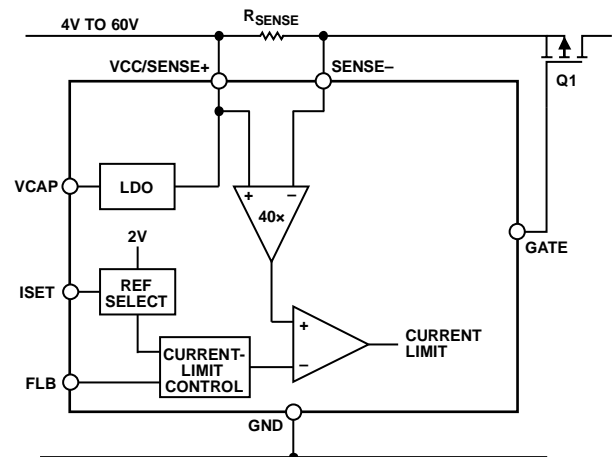


図 36. 電流制限リファレンス電圧の選択

様々な動作モードで FLB 電圧が変動するため、この電圧は 200 mV の最小レベルにクランプされます。この動作により、電流制限値の設定が小さ過ぎるために電流がゼロになるのが防止されます。図 37 に、ADM1270 が FET をオンにして負荷容量を充電する際のスタートアップ時の FLB 電圧と ISET 電圧の相互関係の例を示します。フォールドバック機能の設定方法に応じて、移行ポイントが変化して FET 動作が正しい制限値以内に収まることが保証されます。

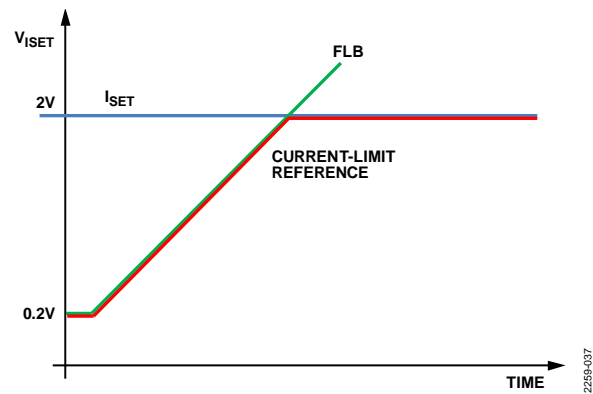


図 37. フォールドバック (FLB) と ISET 電流制限値の相互関係

電流制限値 (ISET) の設定

最大電流制限値は、所望の負荷電流に対応するコントローラの電流検出電圧制限値に一致する検出抵抗を選択する方法で、部分的に決定できますが、電流が大きくなるほど、特定の電流検出電圧に対する検出抵抗値が小さくなります。小さい値の抵抗の選択肢は限られているため、適切な電流検出抵抗を容易に選択できないことがあります。ADM1270 では、この問題を解決するため電流検出電圧制限値を調整可能にしています。このデバイスでは、12.5 mV～62.5 mV の電流検出電圧制限値を設定することができます。

デフォルト値は 50 mV で、これは ISET ピンを VCAP ピンに直接接続して実現されます。この回路構成ではデバイスが内蔵 2 V リファレンスを使用するように設定され、検出入力で 50 mV になります(図 38 参照)。

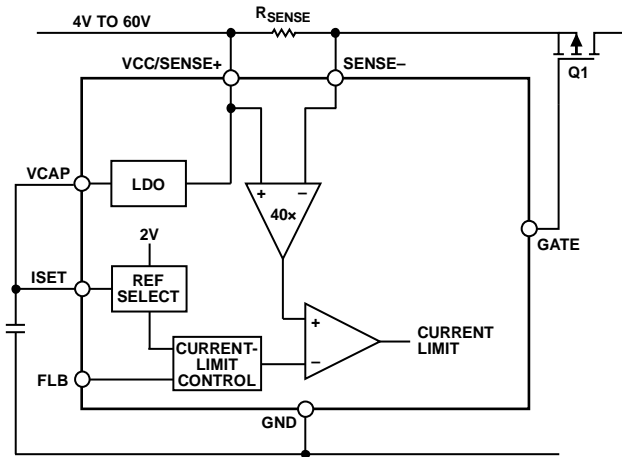


図 38.50 mV 固定の電流検出制限値

12.5 mV~62.5 mV の検出電圧を設定するときは、外付け抵抗分圧器で ISET ピンのリファレンス電圧を設定します(図 39 参照)。

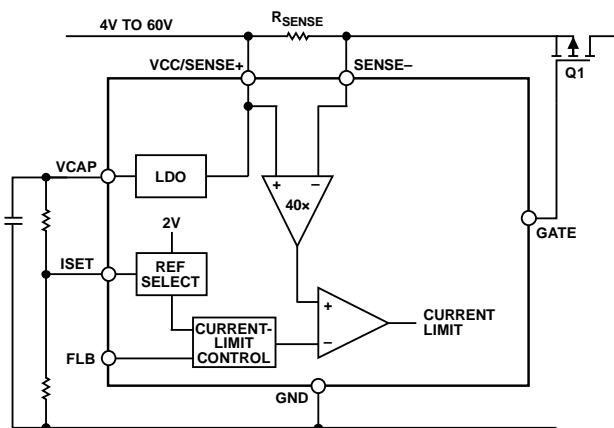


図 39.12.5 mV~62.5 mV の調整可能電流検出制限値

VCAP ピンには 3.6 V の内部生成電圧があり、この電圧により ISET ピンの電圧を設定することができます。V_{ISET} が ISET ピン電圧に一致する場合、ISET 電圧を設定する抵抗分圧器の値を次のように選択します。

$$V_{ISET} = V_{SENSE} \times 50$$

ここで、V_{SENSE} は電流検出電圧制限値。

また、VCAP 電源は他のピンを設定するプルアップ電源として使うこともできます。VCAP が高精度仕様を満たすことを保証するため、VCAP ピンへ 100 μA を超える負荷を接続しないください。

フォールドバック

フォールドバックは、FET の電圧降下が大きくなったとき電流制限値をアクティブに小さくする方法です。この技法で、パワーアップ時、過電流時、または短絡時に FET の消費電力を小さくします。また、ワーストケース条件に対応する目的で大型の FET を選択する必要がなくなるため、ボード・サイズとコストが削減されます。

電源電圧が一定で許容誤差内にあることを想定し、抵抗分圧器を介して出力電圧を検出することにより、ADM1270 は FET の電圧降下を検出します。したがって、このデバイスは、FET のドレイン電圧が予想最大電源電圧で、かつ出力電圧の大きさは FET の V_{DS} の大きさに比例するという原理を使います。出力電圧と FLB ピンの間の抵抗分圧器を使うと、V_{OUT} したがって V_{DS} から V_{FLB} への関係を求めることができます。

V_{OUT} が所望のレベルを下回ったとき、抵抗分圧器が V_{ISET}/2 に等しい電圧を発生するように設計してください。この電圧は、電源レールの動作許容誤差を十分下回る必要があります。V_{OUT} が低下し続けると、電流制限リファレンス電圧は V_{FLB} に追従します。これはこのリファレンス電圧が電流制限リファレンス・セレクタ・ブロックに対する最小電圧入力になるためです。このため電流制限値が小さくなり、負荷電流が小さくなります。電流がゼロに減少するのを防止するため、V_{FLB} が 200 mV に到達するとクランプが起動します。電流制限値は、このレベルを下回することはできません。

特定の FET の SOA 特性を満たすため、このクランプの最小電流は設計ごとに変わりますが、電流制限リファレンス電圧が、このクランプを 200 mV に固定します。すなわち、検出抵抗の両端にある電圧が 10 mV になります。このため、必要とされる電流削減パーセント値にクランプを調整する目的でメイン ISET 電圧を調整することができます。例えば、V_{ISET} = 1.6 V の場合、クランプを最大電流の 25% に設定します。

タイマ

TIMER ピンは、外付けコンデンサ C_{TIMER} を使ってタイミング機能を処理します。TIMER ピン・コンパレータの 2 つの閾値は、V_{TIMERL} (0.1 V) と V_{TIMERH} (2.0 V) です。また、20 μA のプルアップ電流と 1 μA のプルダウン電流の 2 つのタイミング電流源もあります。

これらの電流と電圧レベルは、ユーザー選択の C_{TIMER} と組み合わせ、故障電流制限時間とホットスワップ再試行デューティ・サイクルのオン時間を決定します。TIMER ピンのコンデンサ値は次式で決定されます。

$$C_{TIMER} = (t_{ON} \times 20 \mu A) / V_{TIMERH}$$

ここで、

t_{ON} は電流制限値でのレギュレーションで、FET を使用できる時間。

V_{TIMERH} はタイマ・ハイ閾値。

FET の選択は、この時間と FET の SOA 特性とを一致させるように行います。また、選択を簡単にするためフォールドバックを使うこともできます。

検出抵抗の両端にある電圧が回路ブレーカのトリップ電圧 V_{CB} に到達すると、TIMER ピンの $20 \mu\text{A}$ のプルアップ電流がアクティブになります。ADM1270 が電流制限値で負荷電流のレギュレーションを開始し、TIMER ピンで立上がり電圧ランプを開始します。TIMER ピンが V_{TMRH} に到達する前に検出電圧がこの回路ブレーカのトリップ電圧を下回ると、 $20 \mu\text{A}$ のプルアップ電流がディスエーブルされ、 $1 \mu\text{A}$ のプルダウン電流がイネーブルされます。TIMER ピンの電圧が V_{TMRH} を下回ると、TIMER ピンの強いプルダウン電流を使って TIMER ピンが GND レベルまで放電されます。ただし、過電流状態が続き、検出電圧が回路ブレーカ・トリップ電圧を超えたままの場合、 $20 \mu\text{A}$ のプルアップ電流はアクティブのままになり、FET はレギュレーションを続けます。この状態により、TIMER ピンが V_{TMRH} に到達でき、GATE シャットダウンを開始し、直ちに FAULT ピンをロー・レベルにします。

回路ブレーカのトリップ電圧は、ホットスワップ検出電圧電流制限値と同じではありません。小さい回路ブレーカ・オフセット V_{CBOS} があり、これにより電流が指定された電流制限値に到達する少し前にタイマがスタートします。

ラッチオフ・モードでは、TIMER ピンが V_{TMRH} 閾値に到達すると、このピンは GND レベルまで放電されます。TIMER_OFF ピンは充電を開始します。TIMER_OFF ピンがランプアップする間、ホットスワップ・コントローラはオフのまま、オンに戻ることができないため、FAULT ピンはロー・レベルのままになります。TIMER_OFF ピンの電圧が V_{TMRFFH} 閾値を上回ると、ENABLE ピンをハイ・レベルからロー・レベルへ、さらにハイ・レベルにすることにより、ホットスワップ・コントローラを再イネーブルすることができます。

TIMER_OFF

TIMER_OFF ピンは、外付けコンデンサ C_{TMR_OFF} を使って 2 つのタイミング機能来处理します。TIMER_OFF ピンのコンパレータには、 V_{TMRFFH} は (2.0 V) という 1 つの閾値があります。 $20 \mu\text{A}$ のプルアップ電流および $1 \mu\text{A}$ のプルアップ電流という 2 つのタイミング電流源があります。

これらの電流と電圧レベルは、ユーザー選択値 C_{TMR_OFF} と組み合わせ、初期パワーオン・リセット時間を決定し、さらに故障電流制限オフ時間も設定します。

VCC を入力電源に接続する場合、ADM1270 の内蔵電源 (VCAP) を充電する必要があります。VCAP は開始すると非常に短い時間で安定します。VCAP の UVLO 閾値電圧を超えると、デバイスはリセット状態を終了します。この最初の短いリセット期間に、GATE ピンと TIMER ピンが共にロー・レベルになります。

次に ADM1270 は初期タイミング・サイクルに進みます。TIMER_OFF ピンは、 $20 \mu\text{A}$ でハイ・レベルに駆動されます。TIMER_OFF ピンが V_{TMRFFH} の閾値 (2.0 V) に到達すると、初期タイミング・サイクルが完了します。この初期パワーオン・リセット継続時間は次式で決定されます。

$$t_{INITIAL} = V_{TMRFFH} \times (C_{TMR_OFF}/20 \mu\text{A})$$

例えば、 100 nF のコンデンサで約 10 ms の遅延になります。初期タイミング・サイクルが終了したとき、VCC が指定動作ウインドウ内にあることを UV 入力と OV 入力が見している場合、デバイスはホットスワップ動作を開始する準備が整います。

この初期パワーオン・リセット・サイクルが完了したとき、TIMER_OFF ピンは 2 つ目の機能を実行する準備が整います。TIMER ピンの電圧が故障電流制限時間の閾値電圧 V_{TMRH} (2.0 V) を超えると、 $1 \mu\text{A}$ のプルアップ電流が TIMER_OFF でアクティブになり、 C_{TMR_OFF} の充電が開始され、TIMER_OFF ピンの電圧ランプが開始されます。TIMER_OFF ピンが V_{TMRFFH} に到達すると、TIMER_OFF 故障電流制限オフ時間が完了します。この故障電流制限オフ時間は次式で決定されます。

$$t_{TMR_OFF} = V_{TMRFFH} \times (C_{TMR_OFF}/1 \mu\text{A})$$

例えば、 100 nF のコンデンサを使用すると、TIMER が V_{TMRH} を超えた時間から TIMER_OFF が V_{TMRFFH} に到達する時間までの約 200 ms というオフ時間が得られます。

ホットスワップ再試行デューティ・サイクル

ADM1270 は過電流故障の後に FET をオフにし、次に TIMER_OFF ピンのコンデンサを使って、遅延を発生させた後に、ホットスワップ動作が自動的に再試行されます。ADM1270 を自動再試行モードに設定するときは、FAULT ピンを ENABLE ピンに接続します。FAULT ピンには VCAP へ接続したプルアップ抵抗が必要なことに注意してください。

過電流故障が発生すると、TIMER ピンのコンデンサが $20 \mu\text{A}$ のプルアップ電流で充電されます。TIMER ピンが V_{TMRH} (2.0 V) に到達すると、GATE ピンがハイ・レベルに駆動され、FET がオフになります。FAULT ピンを ENABLE ピンに接続して自動再試行モードにすると、TIMER_OFF ピンでは $1 \mu\text{A}$ 電流源からの充電が開始されます。TIMER_OFF ピンが V_{TMRFFH} (2.0 V) に到達すると、ADM1270 は自動的にホットスワップ動作を再開します。

自動再試行デューティ・サイクルは、 $1 \mu\text{A}/20 \mu\text{A}$ の比と C_{TMR}/C_{TMR_OFF} の比によって設定されます。再試行デューティ・サイクルは、次式で設定されます。

$$Duty_Cycle = (C_{TMR} \times 1 \mu\text{A}) / (C_{TMR_OFF} \times 20 \mu\text{A})$$

C_{TMR} コンデンサ値と C_{TMR_OFF} コンデンサ値がこのサイクルのオン時間とオフ時間を決定し、次のように計算されます。

$$t_{ON} = V_{TMRH} \times (C_{TMR}/20 \mu\text{A})$$

$$t_{OFF} = V_{TMRFFH} \times (C_{TMR_OFF}/1 \mu\text{A})$$

TIMER ピンで 100 nF のコンデンサを使用すると、 10 ms のオン時間になります。TIMER_OFF ピンで 100 nF のコンデンサを使用すると、 200 ms のオフ時間になります。デバイスはこの方法で連続的に再試行し、ENABLE ピンをロー・レベルにするか、または FAULT ピンを切り離すことにより手動でディスエーブルすることができます。FET での熱ストレスを防止するため、TIMER_OFF ピンにコンデンサを使用して再試行時間を必要に応じて延すことができます。

GATE および RPFG のクランプ

GATE ピンと RPFG ピンを駆動する回路は、VCC/SENSE+ ピンより低い 14 V 以下にクランプされます。これらのクランプにより、外付け FET の最大 V_{GS} 定格を超えないようにします。

逆極性保護 FET ゲート・ピン (RPFG) は、外付け PMOSFET のゲートを駆動します。この PMOSFET(Q2)は、ADM1270 と電源を供給されるシステムに逆極性保護機能を提供します。VCC ピンと GND ピンが逆極性で接続されると (すなわち、電源が実際に GND へ接続されると)、VCC がシステム・グラウンドに対して負になります。この状態で、Q2 のゲートが GND になって、Q2 がオフするため、Q2 は電流が逆極性方向へ流れるのを防止します。 V_{OUT} は GND より低く駆動されないため、システムは逆極性接続から保護されます。

電源が VCC に供給される一般的なケースでは、ゲートは依然プルダウンされるので FET Q2 がオンになり、順方向電流が流れます。この方法で Q2 を動作させると、オン抵抗が低く、逆極性保護ダイオードに比較して電圧降下が小さいため、システム効率が高くなり、動作ヘッドルームが大きくなります。図 33 に、正しい動作のための Q2 と RPFG の接続を示します。

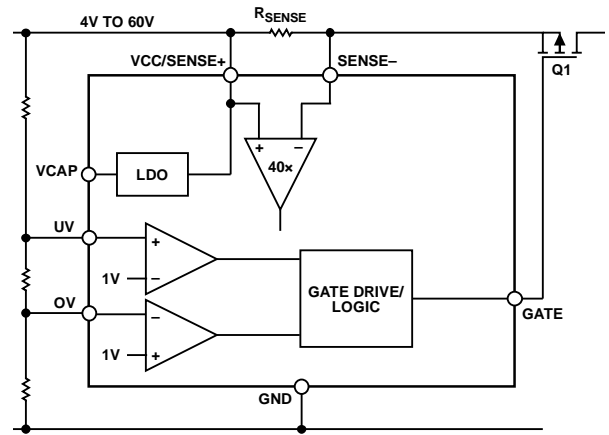


図 40. 低電圧電源と過電圧電源のモニタ

過酷な過電流に対する高速応答

ADM1270 は、短絡を示唆する過酷な過電流を検出する個別の広帯域電流検出アンプを内蔵しています。迅速に検出して対処しないと致命的な損傷を及ぼすこのタイプのイベントを ADM1270 は高速応答時間により処理することができます。高速応答回路は、ADM1270 が通常の電流制限値の約 200% の過電流イベントを検出して電流を約 2 μ s 以内に確実に制御できるようにします。

低電圧と過電圧

ADM1270 は、電源電圧をモニタして UV 状態と OV 状態を調べます。UV ピンと OV ピンは電圧コンパレータ入力に接続され、内蔵の 1 V リファレンス電圧と比較されます。

図 40 に、入力接続をモニタする電圧を示します。モニタするために外付け抵抗回路で電源電圧を分圧します。UV ピンに接続された電圧が 1 V を下回ったとき、低電圧イベントが検出され、10 mA のプルアップ電流を使って FET がオンになります。同様に、OV ピン電圧が 1 V を上回ると、過電圧イベントが発生して、10 mA のプルアップ電流を使って FET がオフになります。

ENABLE 入力

ADM1270 は専用の ENABLE デジタル入力ピンを持っています。ENABLE ピンを使うと、UV ピン電圧が 1.0 V より高く、OV ピン電圧が 1.0 V より低い場合でも、ハードウェア信号を使って ADM1270 のオフを維持することができます。UV ピンを使ってデジタル・イネーブル信号を出力できますが、この目的で ENABLE ピンを使うと UV ピンの機能を低電圧状態のモニタ用に空けておくことができます。

UV ピンと OV ピンの状態の他に、デバイスがパワーアップ・シーケンスを開始するために、ADM1270 の ENABLE 入力ピンをハイ・レベルにする必要があります。

同じ機能は、UV ピンを使用して直接実現することができます。あるいは、UV 分圧機能が依然として必要な場合には、図 41 の構成を使用することができます。

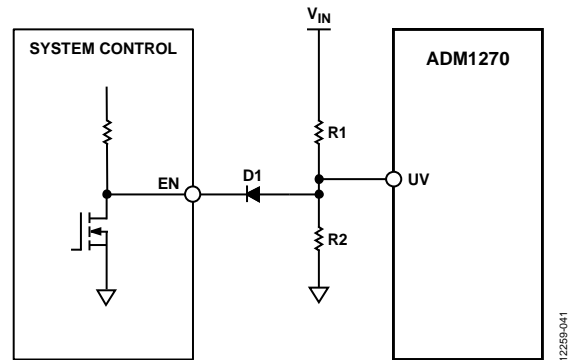


図 41. UV ピンのイネーブルとしての使用

ダイオード D1 は、外付けドライバ・プルアップ抵抗が UV 閾値の影響を受けることを防止します。次の基準を使ってダイオード D1 を選択します。

$$(V_F \times DI) + (V_{OL} \times EN) \ll 1.0 \text{ V} \quad (I_F = V_{IN}/R1)$$

EN シンク電流が規定の V_{OL} 値を超えないようにしてください。オープン・ドレイン・デバイスにプルアップがない場合、ダイオードは不要です。

パワーグッド

パワーグッド (PWRGD) 出力を使って、出力電圧がユーザー定義の閾値を超えたか否かを、したがって正常と見なせるか否かを示すことができます。PWRGD 出力は、FB_PG ピンに接続した抵抗分圧器で設定されます(図 42 参照)。

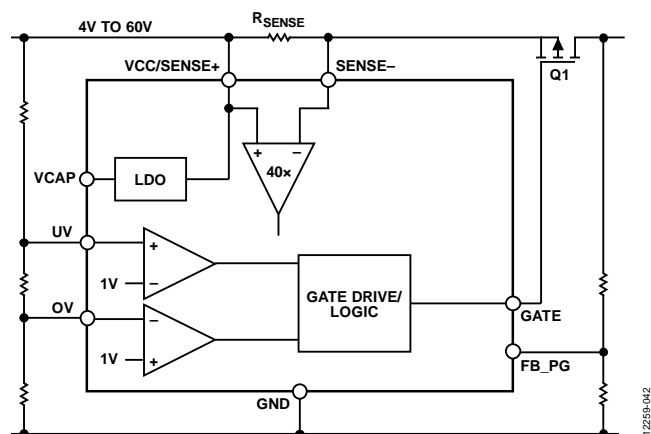


図 42.PWRGD 信号の発生

FB_PG ピン電圧が 1 V 閾値を超えると (出力電圧が立上がった

ことを示す)、オープン・ドレイン・プルダウン電流がディスエーブルされて、PWRGD をハイ・レベルに駆動できるようになります。PWRGD ピンは、FB_PG ピン電圧が 1 V 閾値からヒステリシスを減算した値を下回ると (パワーバッド)、ロー・レベルに駆動されるオープン・ドレイン出力です。FB_PG ピンのヒステリシスは、30 mV に固定されています。PWRGD は、 $V_{CC} \geq 1.7 \text{ V}$ に対して有効状態にあることが保証されています。

パワーグッド閾値は次式を使って計算します。

$$V_{PWRGD} = 1 \text{ V} \times (1 + RPG1/RPG2)$$

ここで、

RPG1 は V_{OUT} から FB_PG までの抵抗です。

RPG2 は FB_PG から GND までの抵抗です。

外形寸法

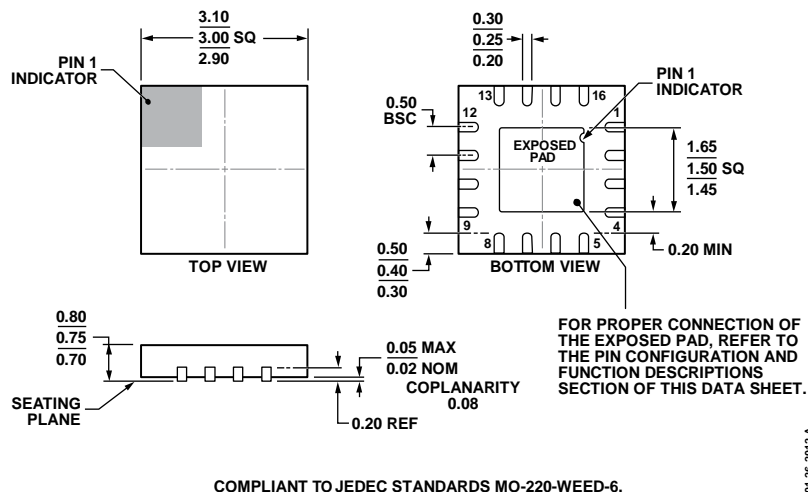


図 43. 16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
3 mm x 3 mm ボディ、極薄クワッド
(CP-16-27)
寸法: mm

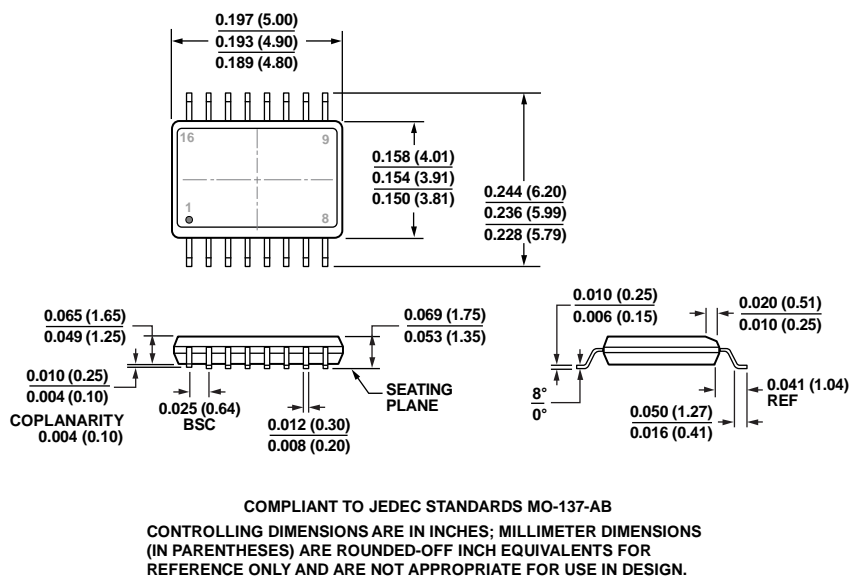


図 44. 16 ピン・シュリンク・スモール・アウトライン・パッケージ[QSOP]
(RQ-16)
寸法: インチ(mm)

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Brand Code
ADM1270ACPZ-R2	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-16-27	LNQ
ADM1270ACPZ-R7	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-16-27	LNQ
ADM1270ARQZ	-40°C to +125°C	16-Lead Body, Shrink Small Outline Package [QSOP]	RQ-16	
ADM1270ARQZ-R7	-40°C to +125°C	16-Lead Body, Shrink Small Outline Package [QSOP]	RQ-16	
ADM1270CP-EVALZ		Evaluation Board for 16-Lead LFCSP_WQ		
ADM1270RQ-EVALZ		Evaluation Board for 16-Lead QSOP		

¹ Z = RoHS 準拠製品。