

### 特長

最大8個の電源を監視する全機能内蔵型の電源モニタ/シーケンサ

1%以下の優れた精度で電源監視が可能な8個の電源障害検出器 (SFD)

以下の電源を監視できる4個の選択可能な入力減衰器:

VHピンに入力される最大14.4Vまでの電源

VP1~3ピンに入力される最大6Vまでの電源

2つの機能を備えた4チャンネル入力VX1~4:

0.573~1.375Vのスレッシュホールド設定が可能な高インピーダンスの電源障害検出器入力

汎用のロジック入力

8個のプログラマブル出力ドライバ (PDO1~8):

プルアップ抵抗を外付けするオープン・コレクタ出力

VDDCAPまたはVPnまで駆動されるプッシュ/プル出力

VDDCAPまたはVPnまでウィーク・プルアップするオープン・コレクタ出力

内部チャージ・ポンプによる外部N-FETの高い駆動能力 (PDO1~6のみ)

PDO出力のステート・マシン制御を実行するシーケンシング・エンジン (SE):

入力イベントの条件に従ったステート変化

複雑なボード制御が可能

パワーアップおよびパワーダウン・シーケンス制御

障害イベント処理

警告時の割込み発生

SEにウォッチドッグ機能を内蔵可能

SMBusを介したシーケンシングのソフトウェア制御プログラミング

冗長性を向上するために、VP1~3、VHピンのうち最も高い電圧からデバイスに電源を供給

ユーザEEPROM: 256バイト

業界標準の2線式バス・インターフェース (SMBus)

VH、VPn=1.2V時にPDOのローレベルを保証

7mm×7mmサイズの32ピンLQFPパッケージ

### 機能ブロック図

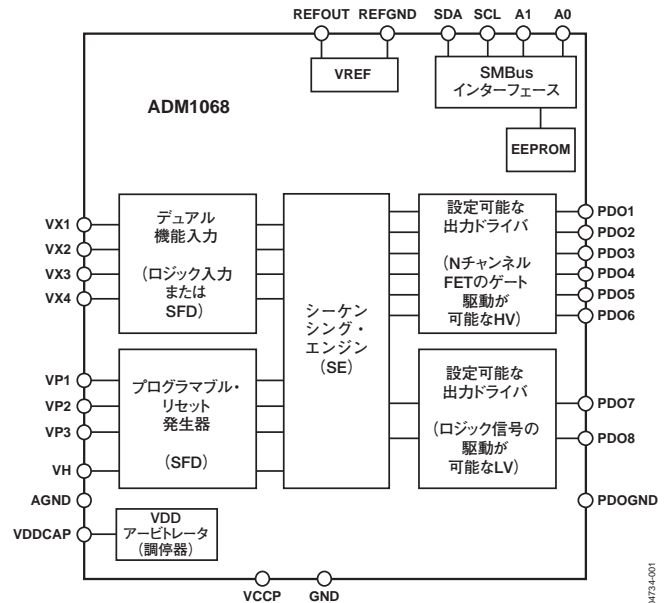


図1

### アプリケーション

CO (中央局) システム

サーバ/ルータ

複数電源電圧システムのライン・カード

DSP/FPGAの電源シーケンシング

余裕電源のインサーキット・テスト

### 概要

ADM1068はさまざまな設定が可能な電源監視/シーケンシング用ICで、多電源システムの電源監視とシーケンシングをシングルチップで実現します。

(3ページに続く)

# ADM1068

## 目次

概要	3	SMBusジャンプ/無条件ジャンプ	15
仕様	4	シーケンシング・エンジンのアプリケーション例	16
ピン配置と機能の説明	6	シーケンス検出器	17
絶対最大定格	7	モニタリング障害検出器	17
熱特性	7	タイムアウト検出器	17
ESDに関する注意	7	障害のレポート	17
代表的な性能特性	8	アプリケーション回路図	18
ADM1068の電源供給	10	ADM1068の通信動作	19
入力	11	パワーアップ時の設定ダウンロード	19
電源の監視	11	設定の更新	19
電源障害検出器の設定	11	シーケンシング・エンジンの更新	20
入力コンパレータのヒステリシス	12	内部レジスタ	20
入力グリッチのフィルタ処理	12	EEPROM	20
VXn入力を用いた電源監視	12	シリアル・バス・インターフェース	20
VXnピンをデジタル入力として使用する方法	13	RAMとEEPROMのSMBusプロトコル	22
出力	14	書込み動作	22
設定可能な出力ドライバによる電源シーケンシング	14	読出し動作	24
シーケンシング・エンジン (SE)	15	外形寸法	26
概要	15	オーダー・ガイド	26
警告	15		

## 改訂履歴

1/05—Revision 0: Initial Version

## 概要

(1ページから続く)

このデバイスには、最大8系統の電源のアンダー電圧、オーバー電圧、または設定範囲外の電圧を監視するために、最大8チャンネルのプログラマブル入力があります。さらに、8チャンネルのプログラマブル出力をロジック・イネーブル信号として使用することも可能です。このうち6チャンネルは、電源経路に接続されたNチャンネルFETのゲートを駆動できます(最大12Vの出力)。

このデバイスのロジック・コアは、シーケンシング・エンジン(SE)です。このステート・マシーン・ベース構成のエンジンは、最大で63個までの異なるステートを設定できるため、入力の条件に基づいた柔軟性の高い出力のシーケンシングが可能になります。

このデバイスの制御は、EEPROM内にプログラミングされたデータを使用して行います。アナログ・デバイスが提供する使いやすいGUIベースのソフトウェア・パッケージを利用して、設定全体をプログラミングできます。

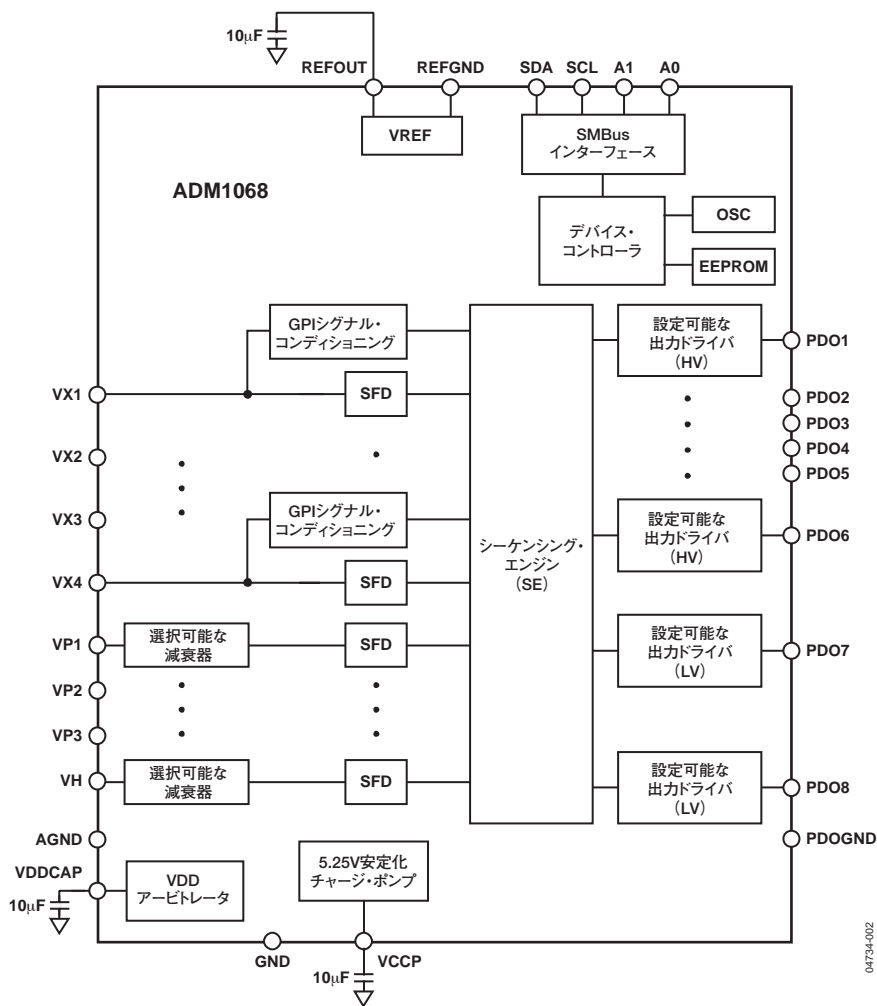


図2. 詳細ブロック図

# ADM1068

## 仕様

特に指定のない限り、 $V_H=3.0\sim 14.4V^1$ 、 $V_{Pn}=3.0\sim 6.0V^1$ 、 $T_A=-40\sim +85^\circ C$ で仕様規定。

表1

パラメータ	Min	Typ	Max	単位	テスト条件/備考
電源調停					
VH、VPn	3.0			V	VPn、VHの1つで要求される最小電源
VP			6.0	V	最大VDDCAP=5.1V (Typ)
VH			14.4	V	VDDCAP=4.75V
VDDCAP	2.7	4.75	5.4	V	安定化LDO出力
CVDDCAP	10			$\mu F$	推奨の最小デカップリング容量
電源					
電源電流 ( $I_{VH}$ 、 $I_{VPn}$ )		4.2	6	mA	VDDCAP=4.75V、PDO1~8オフ
追加電流					
全PDO FETドライバ・オン電流		1		mA	VDDCAP=4.75V、PDO1~6にそれぞれ1 $\mu A$ の負荷電流を流した場合、PDO7~8はオフ
VDDCAPからの出力電流			2	mA	すべての出力ピンをVDDCAPに最大負荷抵抗を用いてプルアップした場合
EEPROM消去電流		10		mA	1msのみの持続時間、VDDCAP=3V
電源障害検出器 (SFD)					
VHピン					
入力減衰器誤差		$\pm 0.05$		%	中レンジおよび高レンジ
検出範囲					
高レンジ	6		14.4	V	
中レンジ	2.5		6	V	
VPnピン					
入力減衰器誤差		$\pm 0.05$		%	低レンジおよび中レンジ
検出範囲					
中レンジ	2.5		6	V	
低レンジ	1.25		3	V	
超低レンジ	0.573		1.375	V	入力減衰器誤差なし
VXピン					
入力インピーダンス	1			M $\Omega$	
検出範囲					
超低レンジ	0.573		1.375	V	入力減衰器誤差なし
絶対精度			$\pm 1$	%	VREF誤差+DACの非直線性+コンパレータのオフセット誤差
スレッシュホールド分解能		8		ビット	
デジタル・グリッチ・フィルタ		0		$\mu s$	プログラマブル・フィルタの最小時間
		100		$\mu s$	プログラマブル・フィルタの最大時間
リファレンス出力					
リファレンス出力電圧	2.043	2.048	2.053	V	無負荷時
負荷レギュレーション		-0.25		mV	ソース電流、 $I_{DACnMAX}=-100\mu A$
		0.25		mV	シンク電流、 $I_{DACnMAX}=100\mu A$
最小負荷容量	1			$\mu F$	デカップリング、安定性維持に必要なコンデンサの容量
負荷レギュレーション		2		mV	100 $\mu A$ の電流当たり
PSRR		60		dB	DC

パラメータ	Min	Typ	Max	単位	テスト条件／備考
プログラマブル・ドライバ出力					
高電圧 (チャージ・ポンプ) モード (PDO1~6)					
出力インピーダンス		500		k $\Omega$	
$V_{OH}$	11	12.5	14	V	$I_{OH}=0$
	10.5	12	13.5	V	$I_{OH}=1\ \mu\text{A}$
$I_{OUTAVG}$		20		$\mu\text{A}$	$2\text{V} < V_{OH} < 7\text{V}$
標準 (デジタル出力) モード (PDO1~8)					
$V_{OH}$	2.4		4.5	V	$V_{PU}$ ( $V_{DDCAP}$ または $V_{PN}$ のプルアップ電圧)=2.7V、 $I_{OH}=0.5\text{mA}$
				V	$V_{PN}$ の $V_{PU}=6.0\text{V}$ 、 $I_{OH}=0\text{mA}$
		$V_{PU}-0.3$		V	$V_{PU}\leq 2.7\text{V}$ 、 $I_{OH}=0.5\text{mA}$
$V_{OL}$	0		0.50	V	$I_{OL}=20\text{mA}$
$I_{OL}^2$			20	mA	PDOピン当たりの最大シンク電流
$I_{SINK}^2$			60	mA	全PDOピンを合計した最大シンク電流
$R_{PULL-UP}$		20		k $\Omega$	内部プルアップ抵抗
$I_{SOURCE}$ ( $V_{Pn}$ ) <sup>2</sup>			2	mA	任意の $V_{Pn}$ プルアップ上にかかる電流負荷、すなわち $V_{Pn}$ のどれか1つに対して設定される任意の数のPDOプルアップ・スイッチを通して供給されるソース電流の合計値
スリープ状態出力リーク電流			10	$\mu\text{A}$	$V_{PDO}=14.4\text{V}$
発振器周波数	90	100	110	kHz	このクロックから分配されるすべてのオンチップ時間遅延
デジタル入力 ( $V_{Xn}$ , A0, A1)					
入力ハイレベル電圧 ( $V_{IH}$ )	2.0			V	$V_{IN}$ の最大値=5.5V
入力ローレベル電圧 ( $V_{IL}$ )			0.8	V	$V_{IN}$ の最大値=5.5V
入力ハイレベル電流 ( $I_{IH}$ )	-1			$\mu\text{A}$	$V_{IN}=5.5\text{V}$
入力ローレベル電流 ( $I_{IL}$ )			1	$\mu\text{A}$	$V_{IN}=0$
入力容量		5		pF	
プログラマブル・プルダウン電流 ( $I_{PULL-DOWN}$ )		20		$\mu\text{A}$	$V_{DDCAP}=4.75\text{V}$ 、 $T_A=25^\circ\text{C}$ 、既知のロジック状態が必要な場合
シリアル・バス・デジタル入力 (SDA, SCL)					
入力ハイレベル電圧 ( $V_{IH}$ )	2.0			V	
入力ローレベル電圧 ( $V_{IL}$ )			0.8	V	
出力ローレベル電圧 ( $V_{OL}^2$ )			0.4	V	$I_{OUT}=-3.0\text{mA}$
シリアル・バスのタイミング					
クロック周波数 ( $f_{SCLK}$ )			400	kHz	
バス解放時間 ( $t_{BUF}$ )	4.7			$\mu\text{s}$	
開始セットアップ時間 ( $t_{SU:STA}$ )	4.7			$\mu\text{s}$	
開始ホールド時間 ( $t_{HD:STA}$ )	4			$\mu\text{s}$	
SCLローレベル時間 ( $t_{LOW}$ )	4.7			$\mu\text{s}$	
SCLハイレベル時間 ( $t_{HIGH}$ )	4			$\mu\text{s}$	
SCL、SDA立上がり時間 ( $t_r$ )			1000	$\mu\text{s}$	
SCL、SDA立下がり時間 ( $t_f$ )			300	$\mu\text{s}$	
データ・セットアップ時間 ( $t_{SU:DAT}$ )	250			ns	
データ・ホールド時間 ( $t_{HD:DAT}$ )	5			ns	
入力ローレベル電流 ( $I_{IL}$ )			1	$\mu\text{A}$	$V_{IN}=0$
シーケンシング・エンジンのタイミング					
状態変化時間		10		$\mu\text{s}$	

<sup>1</sup>  $V_{DDCAP}$ ピン上に供給されるデバイス電源電圧を維持するために、 $V_H$ 、 $V_{P1}$ ~ $3$ ピンのうち最低1本の電圧を3.0V以上にする必要があります。

<sup>2</sup> これらの仕様は出荷テストを実施していませんが、量産開始時の特性評価データにより保証しています。

# ADM1068

## ピン配置と機能の説明

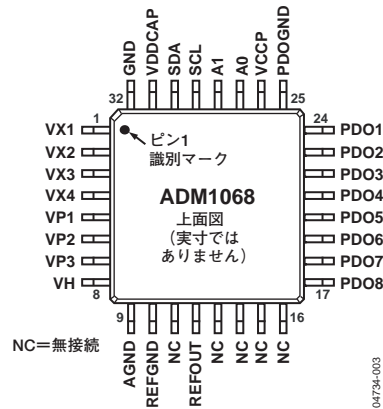


図3. LQFPパッケージのピン配置

表2. ピン機能の説明

ピン番号	記号	説明
11、13～16	NC	無接続
1～4	VX1～4	電源障害検出器のハイ・インピーダンス入力。障害スレッシュホールドを0.573～1.375Vの範囲内で設定することが可能です。別の方法として、これらのピンを汎用のデジタル入力として使用することも可能です。
5～7	VP1～3	電源障害検出器の低電圧入力。これらのピンに接続され、その出力が電源障害検出器に接続される分圧器の入力減衰量を変更することによって、3つの入力電圧範囲を設定することが可能です。これらのピンを使用して、2.5～6.0V、1.25～3.00V、0.573～1.375Vの電圧範囲のスレッシュホールドを設定できます。
8	VH	電源障害検出器の高電圧入力。このピンに接続され、その出力が電源障害検出器に接続される分圧器の入力減衰量を変更することによって、3つの入力電圧範囲を設定することが可能です。このピンを使用して、6.0～14.4Vおよび2.5～6.0Vの電圧範囲のスレッシュホールドを設定できます。
9	AGND	入力減衰器のグラウンド・リターン
10	REFGND	オンチップのリファレンス回路のグラウンド・リターン
12	REFOUT	2.048Vのリファレンス出力
17～24	PDO8～1	プログラマブル・ドライバ出力
25	PDOGND	出力ドライバのグラウンド・リターン
26	VCCP	5.25Vのセントラル・チャージ・ポンプ電圧。リザーバ用コンデンサをこのピンとGNDとの間に接続する必要があります。
27	A0	ロジック入力。このピンは、SMBusインターフェース・アドレスの7番目のビットを設定します。
28	A1	ロジック入力。このピンは、SMBusインターフェース・アドレスの6番目のビットを設定します。
29	SCL	SMBusクロック・ピン。このオープン・ドレイン出力にプルアップ抵抗を外付けする必要があります。
30	SDA	SMBusデータI/Oピン。このオープン・ドレイン出力にプルアップ抵抗を外付けする必要があります。
31	VDDCAP	デバイスの電源電圧。VP1～3、VHピンのうち最も電圧の高いピンから4.75V (Typ)にリニアに安定化されます。
32	GND	電源グラウンド

## 絶対最大定格

表3

パラメータ	定格値
VHピン上の電圧	16V
VPピン上の電圧	7V
VXピン上の電圧	-0.3~+6.5V
任意のピン上の入力電流	±5mA
パッケージ入力電流	±20mA
最大ジャンクション温度 ( $T_J \max$ )	150°C
保存温度範囲	-65~+150°C
リード温度、ハンダ付け ペーキング時間、60秒	215°C
ESD耐圧、すべてのピン	2,000V

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

### 熱特性

32ピンLQFPパッケージ:  $\theta_{JA}=17^\circ\text{C}/\text{W}$

### 注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されなまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



## 代表的な性能特性

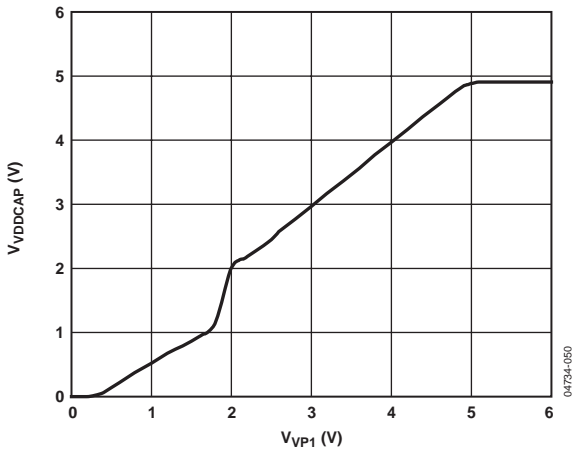


図4. V<sub>VP1</sub> 対 V<sub>VDDCAP</sub>

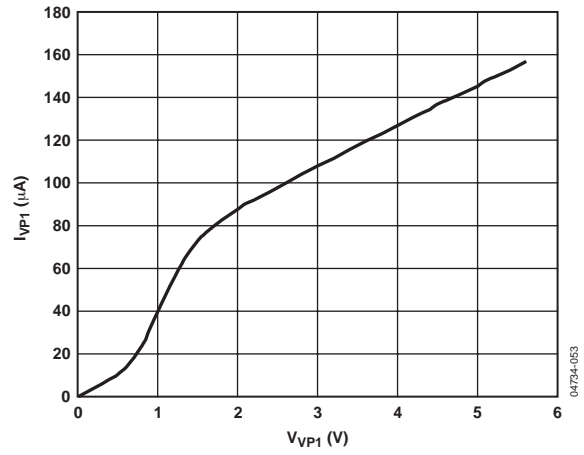


図7. V<sub>VP1</sub> 対 I<sub>VP1</sub>( VP1を電源として使用しない場合)

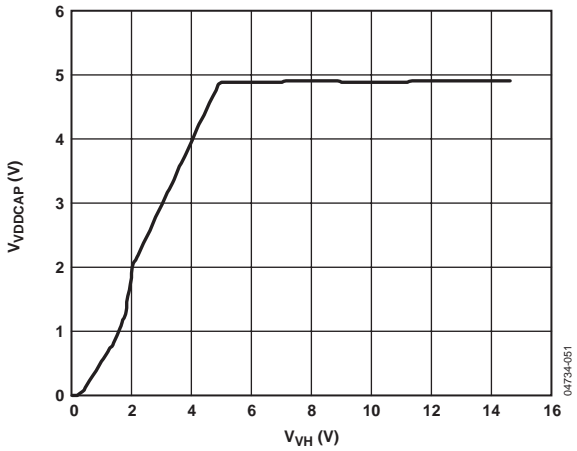


図5. V<sub>VH</sub> 対 V<sub>VDDCAP</sub>

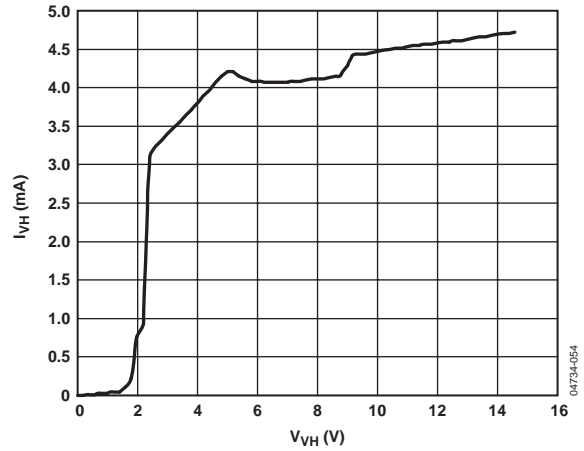


図8. V<sub>VH</sub> 対 I<sub>VH</sub>( VHを電源として使用する場合)

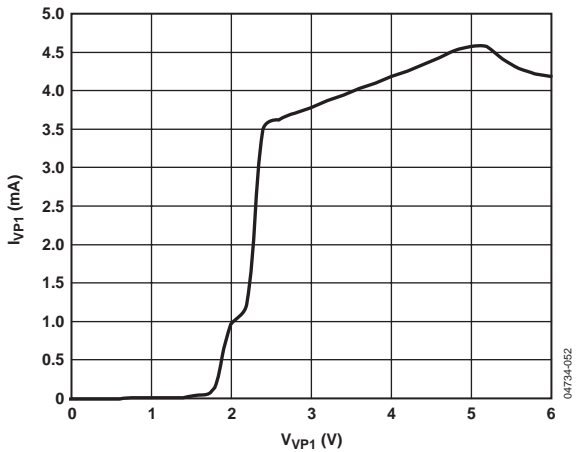


図6. V<sub>VP1</sub> 対 I<sub>VP1</sub>( VP1を電源として使用する場合)

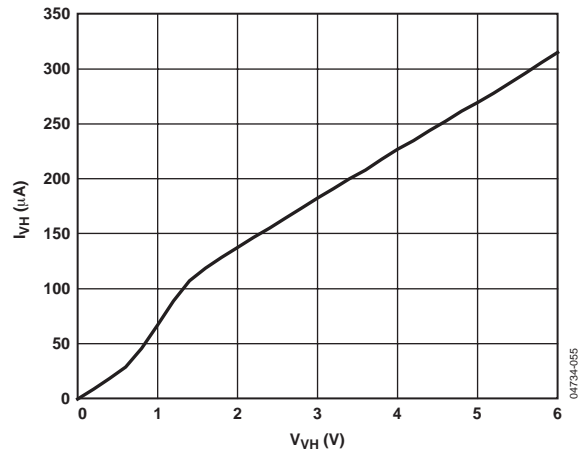


図9. V<sub>VH</sub> 対 I<sub>VH</sub>( VHを電源として使用しない場合)



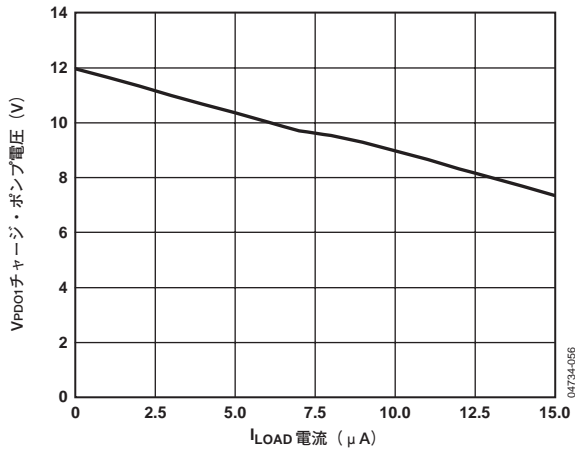


図10. I<sub>LOAD</sub> 対 V<sub>PDO1</sub>( FET駆動モード)

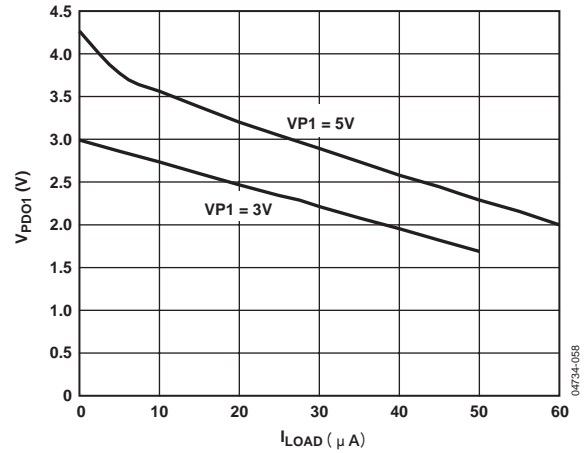


図12. I<sub>LOAD</sub> 対 V<sub>PDO1</sub>( ウィーク・プルアップVP )

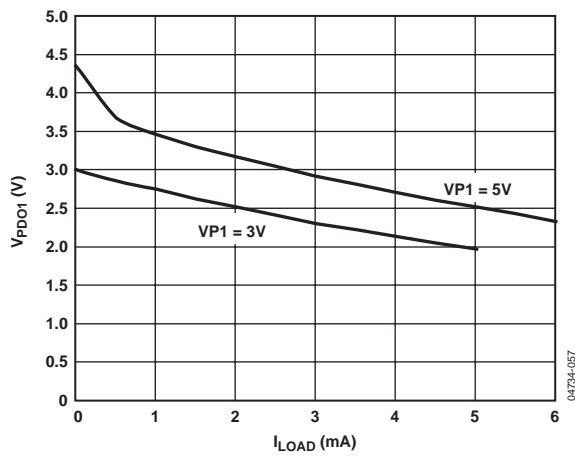


図11. I<sub>LOAD</sub> 対 V<sub>PDO1</sub>( ストロング・プルアップVP )

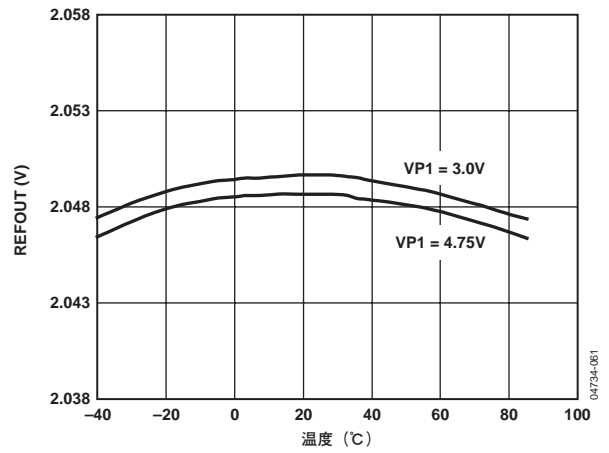


図13. REFOUTの温度特性

# ADM1068

## ADM1068の電源供給

ADM1068の電源は、正のみの電源入力 (VPn) または高電圧電源入力 (VH) のうち最も高い電圧入力から供給されます。この技術によって、ADM1068は特定の電源電圧レールに依存せずその動作を維持するので、冗長性が向上します。これらのピンは電源障害検出にも使用されます (次項で説明)。このデバイスに内蔵されているVDDアービトレータ (調停器) がどの電源を使用するかを選択します。このアービトレータは、4個のLDOがOR接続されていると考えることができます。電源コンパレータはオンチップ電源を供給するために、電圧の最も高い入力を選択します。このアーキテクチャによって、スイッチの損失が最小限に抑えられるので (約0.2V)、3.0Vもの低い電源をADM1068に供給することが可能です。なお、VXnピンに入力される電源をこのデバイスの供給電源として使用することはできません。

オンチップ電源をノイズからデカップリングするために、外部コンデンサをGNDに接続する必要があります。図14に示すように、このコンデンサをVDDCAPピンに接続してください。ブラウンアウト (電源の瞬時的な切断) の発生時に、このコンデンサにはもう1つの利用法があります。このような条件下で入力電源 (VPn または VH) がVDDよりも低い電圧に過渡的に低下すると、同期型の整流器スイッチがVDDをプルダウンしないように即時にターンオフします。このときにVDDコンデンサは、次に最も高い電源がデバイスの供給電源として使用されるまで、デバイスをアクティブな状態に維持するリザーバとして機能します。このリザーバ/デカップリング機能としては、10  $\mu$ Fのコンデンサを推奨します。

2つ以上の電源電圧の差が100mV以内である場合には、VDDを制御する電源が最初にデバイスの制御電源として使用されます。たとえば、VP1を3.3V電源に接続する場合、VDDはVP1を通して約3.1Vまでパワーアップします。次に、VP2を別の3.3V電源に接続すると、VP2がVP1よりも100mV高くならない限り、VP1からデバイスに電源が供給されます。

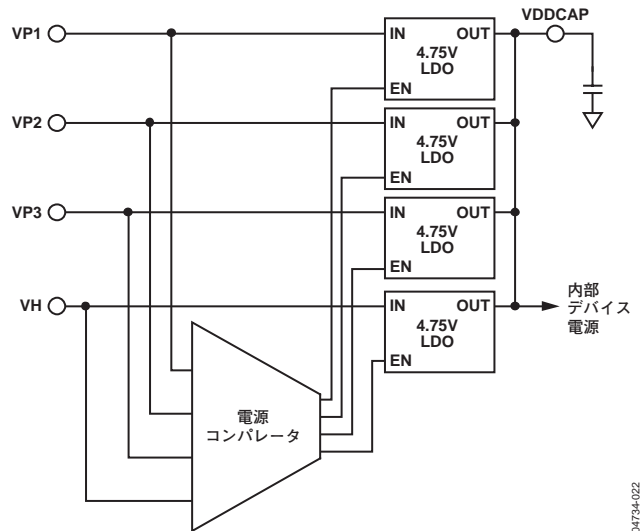


図14. VDDアービトレータの動作

047734-02Z

## 入力

### 電源の監視

ADM1068には、8チャンネルのプログラマブル入力を用意されています。このうち4つの入力は電源障害検出器(SFD)専用です。これらの専用入力はデフォルトでVHおよびVP1~3となっています。他の4つの入力はVX1~4で、それぞれ2つの機能を備えています。すなわち、VHおよびVP1~3と同様の機能を備える電源障害検出器の入力として使用するか、またはデバイスのCMOS/TTL互換ロジック入力として使用できます。したがって、ADM1068は最大8つのアナログ入力、最低4つのアナログ入力と4つのデジタル入力、またはこれらの入力を組み合わせることで設定することが可能です。ある1つの入力をアナログ入力として使用する場合に、これをデジタル入力として使用することはできません。そのため、8つのアナログ入力が必要される回路構成では、デジタル入力は使用できなくなります。各入力の詳細を表5に示します。

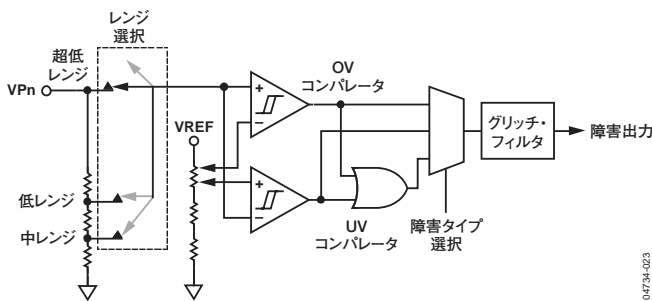


図15. 電源障害検出器のブロック図

### 電源障害検出器の設定

ADM1068は8チャンネルの入力上に、最大8個の電源障害検出器(SFD)を備えることが可能です。これらの高度にプログラマブルなリセット発生器は、最大8個の電源電圧を監視できます。最低0.573Vから最高14.4Vまでの電源を監視することが可能です。アンダー電圧障害(入力電圧が事前に設定した数値よりも低い電圧に降下する)、オーバー電圧障害(入力電圧が事前に設定した数値よりも高い電圧に上昇する)、あるいは設定範囲外の電圧障害(アンダー電圧またはオーバー電圧)を検出するように、各入力を構成できます。ADM1068に内蔵されているレジスタを使用し、スレッシュホールドを8ビット分解能でプログラミング設定できます。これは、選択されたレンジに依存する電圧分解能に変換されます。

表5. 入力機能、スレッシュホールド、および電圧範囲

入力	機能	電圧範囲(V)	最大ヒステリシス	電圧分解能(mV)	グリッチ・フィルタ(μs)
VH	高電圧アナログ入力	2.5~6.0	425mV	13.7	0~100
		4.8~14.4	1.16V	37.6	0~100
VPn	正のアナログ入力	0.573~1.375	97.5mV	3.14	0~100
		1.25~3.00	212mV	6.8	0~100
		2.5~6.0	425mV	13.7	0~100
VXn	ハイ・インピーダンス・アナログ入力	0.573~1.375	97.5mV	3.14	0~100
	デジタル入力	0~5	該当なし	該当なし	0~100

この分解能は、以下の数式から求められます。

$$\text{ステップ・サイズ} = \text{スレッシュホールド範囲} / 255$$

したがって、VHで高レンジを選択する場合には、以下のようにステップ・サイズを計算できます。

$$(14.4\text{V} - 4.8\text{V}) / 255 = 37.6\text{mV}$$

選択可能な各レンジの上限と下限、各レンジの最低電圧(V<sub>B</sub>)、およびレンジそのもの(V<sub>R</sub>)を表4に示します。

表4. 電圧範囲の限界値

電圧範囲(V)	V <sub>B</sub> (V)	V <sub>R</sub> (V)
0.573~1.375	0.573	0.802
1.25~3.00	1.25	1.75
2.5~6.0	2.5	3.5
4.8~14.4	4.8	9.6

必要とされるスレッシュホールド値は、以下の数式から求められます。

$$V_T = (V_R \times N) / 255 + V_B$$

ここで、

V<sub>T</sub>は、望ましいスレッシュホールド電圧(UVまたはOV)。

V<sub>R</sub>は、電圧範囲。

Nは、8ビット・コードの10進数値。

V<sub>B</sub>は、電圧範囲内の最低電圧。

上記の数式を以下のように変形すると、望ましいスレッシュホールドに相当するコードが求められます。

$$N = 255 \times (V_T - V_B) / V_R$$

たとえば、ユーザがVP1で5VのOV(オーバー電圧)スレッシュホールドを設定する必要がある場合、PS10VTHレジスタで設定するコード(アプリケーション・ノート「AN-698」で解説)は、以下のように求められます。

$$N = 255 \times (5 - 2.5) / 3.5$$

したがって、N=182(1011 0110または0xB6)となります。

## 入力コンパレータのヒステリシス

図15に示すUVおよびOVコンパレータは、常にVPnをチェックします。チャタリング(設定されたスレッショルド・レベルに入力が接近したときに発生する複数の遷移)を回避するために、これらのコンパレータではヒステリシスをデジタル手法でプログラミング設定できます。表5に示す数値までヒステリシスをプログラミング設定できます。

ヒステリシスは、電源電圧がその許容範囲から外れると追加されます。したがって、入力が再び上昇に転じてUV(アンダー電圧)スレッショルドを一定量上回るとUV障害のアサートが解除されるように、その電圧量を設定できます。これと同様に、入力が再び低下してOV(オーバー電圧)スレッショルドを一定量下回るとOV障害のアサートが解除されるように、その電圧量を設定できます。

ヒステリシス電圧は、以下の数式から求められます。

$$V_{HYST} = V_R \times N_{THRESH} / 255$$

ここで、

$V_{HYST}$ は、望ましいヒステリシス電圧。

$N_{THRESH}$ は、5ビットのヒステリシス・コードの10進数値。

$N_{THRESH}$ の最大値は31である点に注意してください。各電圧範囲の最大ヒステリシス値を表5に示します。

## 入力グリッチのフィルタ処理

SFDの最終段はグリッチ・フィルタです。このブロックは、SFDコンパレータ出力の時間領域のフィルタリングを行います。この動作により、ターンオン時に発生する電源バウンスなどのスプリアス遷移をすべて除去できます。グリッチ・フィルタ機能は、SFDコンパレータのデジタル・プログラマブル・ヒステリシスの追加機能です。グリッチ・フィルタのタイムアウトとして、最大100 $\mu$ sまでプログラミングできます。

たとえば、グリッチ・フィルタのタイムアウトを100 $\mu$ sとする場合、グリッチ・フィルタ・ブロックに入力されるパルス幅が100 $\mu$ sよりも短ければ、これらのパルスはグリッチ・フィルタ・ブロックから出力されません。持続時間が100 $\mu$ sよりも長い入力パルスはすべて、グリッチ・フィルタ・ブロックから出力されます。出力は入力を基準にして100 $\mu$ s遅延します。このフィルタリング・プロセスを図16に示します。

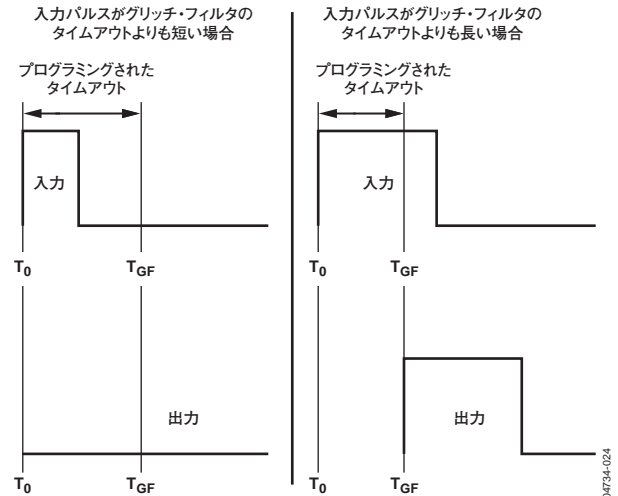


図16. 入力グリッチ・フィルタ機能

## VXn入力を用いた電源監視

VXn入力には2つの機能があり、SFDの入力またはデジタル・ロジック入力として使用できます。アナログ(SDF)入力として選択する場合、VXnピンの機能はVHおよびVPnピンと似ています。主な相違点は、VXnピンの入力電圧範囲が0.573~1.375Vに限られる点です。したがって、これらの入力が直接的に監視できる電源は、非常に低い電源電圧に限られます。しかし、VXnピンは入力インピーダンスが高いため、抵抗分圧ネットワークをこのピンに外付けすることが可能です。そのため、電源電圧をVXnピンの入力電圧範囲に分圧したうえで、電源を監視することができます。この方法により、+24V、+48V、-5Vなどの他の電源をADM1068で監視できます。

VXnピンをデジタル入力として選択すれば、追加の電源監視機能が利用できます。この場合にアナログ機能は、VP1~3およびVHの専用の各アナログ入力を補助検出器入力として利用できます。VX1のアナログ機能はVP1、VX2はVP2、VX3はVP3にそれぞれマッピングされます。VX4はVHにマッピングされます。このケースでは、これらのSFDを2次SFDまたは警告用SFDとみなすことができます。

2次SFDは、1次SFDと同じ入力電圧範囲に固定されます。2次SFDは障害レベルではなく、警告レベルを指示するために使用されます。これにより、1本のピンを使用するだけで単電源の障害を出力し、警報を発することが可能です。その例として、3.3V電源が3.0Vに低下すると障害を出力するようにVP1を設定する場合、3.1V時に警告を出力するようにVX1を設定できます。警告出力は、ステータス・レジスタからリードバックできます。警告出力はOR接続されており、シーケンシング・エンジン(SE)に送られ、警告時にPDO上で割込みを発生することもできます。したがって上記の例では、電源が3.1Vに低下するときに警告を発するので、電源がその許容範囲から外れた低い電圧に低下する前に、対処策を講じることができます。

## VXnピンをデジタル入力として使用する方法

すでに説明したように、ADM1068のVXn入力ピンには2つの機能があります。2番目の機能はデジタル入力としての機能です。これにより、ADM1068は最大4チャンネルのデジタル入力をもつように構成できます。これらはTTL/CMOS互換入力です。リセット発生器からのRESET信号、PWRGOOD信号、障害フラグ、手動リセットなどの標準的なロジック信号をこれらのピンに入力できます。これらの信号はSEの入力として利用でき、PDOのステータス制御に使用することが可能です。これらの入力は、ロジック・レベルまたはエッジを検出するように設定できます。

レベル検出として設定した場合、デジタル・ブロックの出力は入力をバッファした信号となります。エッジ検出として設定した場合、ロジックの遷移が検出された後で、プログラミングされた幅をもつパルスがデジタル・ブロックから出力されます。パルス幅は0~100 $\mu$ sの範囲内で設定できます。

デジタル・ブロックは、SFDと同じグリッチ・フィルタ機能を備えています。そのため、入力で発生するスプリアス遷移を無視できます。たとえば、手動リセット・スイッチのバウンス防止にこのフィルタを利用できます。

VXnの各ピンをデジタル入力として設定すると、これらのピンがフローティング状態であっても入力を既知の状態に保持できる微小な(10 $\mu$ A)プルダウン電流源を備えています。この電流源を選択すれば、入力はGNDにウイーク・プルダウンされます。

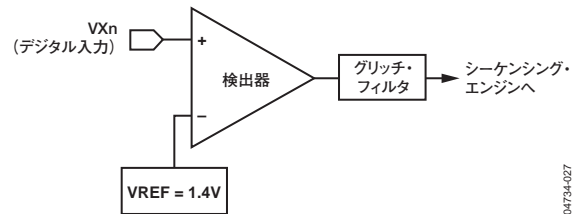


図17. VXnピンのデジタル入力機能

## 出力

### 設定可能な出力ドライバによる電源シーケンシング

ADM1068のプログラマブル・ドライバ出力(PDO)を電源の制御信号として使用することで、電源シーケンシングを設定できます。出力ドライバはロジック・イネーブルまたはFETドライバとして利用できます。

PDOがアサートされる順番(すなわち、電源がターンオンする順番)は、シーケンシング・エンジン(SE)によって制御されます。SEはADM1068の入力の状態に基づいて、PDOによる動作内容を決定します。したがって、SFDが許容範囲内に入っているとき、正しい入力信号がVXnデジタル・ピン上で受信されるとき、またはデバイスのどの入力からも警告が受信されないときなどに、PDOをアサートするように設定できます。PDOはさまざまな機能に利用できます。主要な機能は、ボード上でローカルに電源を生成しているLDOまたはDC/DCコンバータに対してイネーブル信号を供給することです。すべてのSFDが許容範囲内に入っているときにPOWER\_GOOD信号を出力したり、SFDのうち1個が仕様の範囲から外れているときにRESET信号を出力したりするために、PDOを使用することも可能です(PDOはDSP、FPGA、またはその他マイクロコントローラ用のステータス信号として利用できます)。

PDOには各種のオプションがあり、以下のような出力の設定が可能です。

- オープン・ドレイン(プルアップ抵抗の外付けが可能)
- V<sub>DD</sub>までのウィーク・プルアップのオープン・ドレイン
- V<sub>DD</sub>までのプッシュ/プル
- VPnまでのウィーク・プルアップのオープン・ドレイン
- VPnまでのプッシュ/プル
- GNDまでのストロング・プルダウン
- 内部チャージ・ポンプによる高い駆動出力(12V、PDO1~6のみ)

最後のオプション(PDO1~6のみ)を用いることによって、外部N-FET(たとえば、バックプレーン電源からカード側の電圧を絶縁するために使用する)を完全に駆動するための十分に高い電圧を直接的に供給できます(PDOは10.5Vよりも高い電圧に対して1μAを連続供給できます)。プルダウン・スイッチを使用して、ステータス表示用のLEDを直接駆動することも可能です。

各PDOは3つのデータ・ソースのうち1つにより制御されます。このデータ・ソースは、PDO<sub>n</sub>CFG設定レジスタでイネーブルにできます(詳細については、アプリケーション・ノート「AN-698」を参照)。

データ・ソースは、以下のとおりです。

- SEからの出力データ
- SMBusからのデータ・ソース。SMBusから直接的にPDOを制御するように設定できます。この方法により、PDOをソフトウェアで制御できるようになります。したがって、マイクロコントローラを利用して、ソフトウェアによるパワーアップ/パワーダウン・シーケンスを開始できます。
- 内蔵クロックからのデータ。ADM1068では100kHzのクロックが生成されます。クロックはすべてのPDOで利用できます。その使用例として、LEDなどの外部デバイスのクロック動作にこれを利用することが可能です。

PDOは、デフォルトでオンチップ・プルダウン抵抗(20kΩ)によってGNDにウィーク・プルダウンされています。これは、設定データがEEPROMからダウンロードされ、プログラミングされたセットアップがラッチされるまでのパワーアップ時におけるPDOの条件でもあります。1V以上の電源がVPnまたはVHに入力されると、出力はアクティブにローレベルに引き込まれます。VPnまたはVHピン上に1Vの電源が現れるまで、出力はハイインピーダンスの状態にあります。この動作によって、パワーアップ時にPDOの既知の状態が確保されます。動作に必要なプルアップ電圧とPDOピンとの間に適切な値のプルアップ抵抗を外付けする方法で、内部プルダウンを無効にすることができます。適切な抵抗値を計算する際は、20kΩの抵抗を考慮に入れる必要があります。その例として、PDO<sub>n</sub>を3.3Vにプルアップすることが必要で、5Vを外部電源として利用できる場合には、以下の数式からプルアップ抵抗の値が求められます。

$$3.3V = 5V \times 20k\Omega / (R_{UP} + 20k\Omega)$$

したがって、以下の数値が求められます。

$$R_{UP} = (100k\Omega - 66k\Omega) / 3.3 = 10k\Omega$$

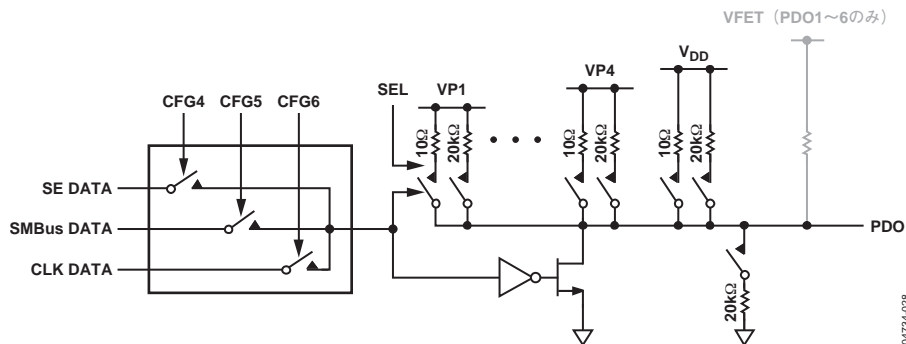


図18. プログラマブル・ドライバ出力(PDO)

## シーケンシング・エンジン(SE)

### 概要

ADM1068のシーケンシング・エンジンは、パワフルでフレキシブルな電源シーケンシング機能を提供します。SEは入力イベントの条件に従ってステートが変化するステート・マシンによるPDO出力の制御を実行します。SEのプログラムは、パワーアップおよびパワーダウン・シーケンスの制御、障害イベントのハンドリング、警告時の割込み発生など、ボードの複雑な制御をイネーブルに設定することが可能です。プロセッサ・クロックの継続的な動作を検証するウォッチドッグ機能をSEのプログラムに組み入れることもできます。SMBusを介してSEを制御することも可能なので、ボードの電源シーケンシングをソフトウェアまたはファームウェアで制御することも可能です。

SEのステート・マシンは、63個のステート・セルで構成されます。各ステートには、それぞれ以下のような属性が備わっています。

- VP1～3、VH、VX1～4の8本の入力ピンのステータスを示す信号をモニタします。
- 他のどのようなステートからでも開始することが可能です。
- ステート・マシンからシーケンス検出、障害モニタリング、タイムアウトの3つのルートのいずれかに進みます。
- シーケンスとタイムアウトの各ブロックの遅延タイマを個別にプログラミングし、各ステートの変化に応じて変化するように設定できます。タイムアウトの範囲は0～400ms。
- 8本のPDOピンの出力条件を1つのステート内で定義および固定します。

- 1つのステートから次のステートへの遷移は、ステートの定義をEEPROMからSEにダウンロードするために必要な時間である20 $\mu$ s未満で実行されます。

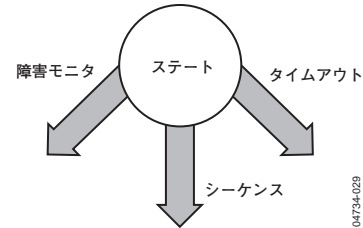


図19. ステート・セル

ADM1068では、最大63のステート定義が可能です。入力ピンのステータスを指示するためにモニタされる信号は、SFDの出力です。

### 警告

SEは警告のモニタも行います。ADCからの読出し値がリミット・レジスタの限界値を超えたときや、VP1～3およびVHピン上で2次電圧モニタが行われるときに警告を発します。警告出力はすべてOR接続されており、3つのうちのどのステートに警告が発せられても、1つの警告入力として捉えられます。

### SMBusジャンプ／無条件ジャンプ

SEは、無条件に次のステートに進むように強制設定できます。この機能を利用できる例として、余裕度設定ステートまたはシーケンス・デバッグへの移動が挙げられます。SMBusジャンプまたはgotoコマンドは、各ステートを終了するもう1つのシーケンス・ブロックおよびタイムアウト・ブロックへの入力と考えられます。

表6. シーケンス・ステートのエントリ例

ステート	シーケンス	タイムアウト	モニタ
IDLE1	VX1が <sup>0</sup> の場合、IDLE2ステートに進む	10msを経過してもVP2が <sup>1</sup> にならない場合、DIS3V3ステートに進む	VP1が <sup>0</sup> の場合、IDLE1ステートに戻る
IDLE2	VP1が <sup>1</sup> の場合、EN3V3ステートに進む		
EN3V3	VP2が <sup>1</sup> の場合、EN2V5ステートに進む	20msを経過してもVP3が <sup>1</sup> にならない場合、DIS2V5ステートに進む	VP1またはVP2が <sup>0</sup> の場合、FSEL2ステートに進む
DIS3V3	VX1が <sup>1</sup> の場合、IDLE1ステートに戻る		
EN2V5	VP3が <sup>1</sup> の場合、PWRGDステートに進む		
DIS2V5	VX1が <sup>1</sup> の場合、IDLE1ステートに戻る	VP1またはVP2が <sup>0</sup> の場合、FSEL2ステートに進む	VP1、VP2またはVP3が <sup>0</sup> の場合、FSEL1ステートに進む
FSEL1	VP3が <sup>0</sup> の場合、DIS2V5ステートに戻る		
FSEL2	VP2が <sup>0</sup> の場合、DIS3V3ステートに戻る		
PWRGD	VX1が <sup>1</sup> の場合、DIS2V5ステートに戻る		

# ADM1068

## シーケンシング・エンジンのアプリケーション例

本項で説明するアプリケーションでは、SEの動作を例示しています。図20に、単一のSEステートを構成する単純なビルディング・ブロックを使用して、3電源システムのパワーアップ・シーケンスを設定する方法を示します。

これと同じSEを使用した各ステートのPDO出力を表7に示します。このシステムでは、パワーアップ・シーケンスを開始する条件として、ローレベルに保持されたVP1とVX1の各ピンに良好な5V電源が存在することが必要です。このシーケンスでは次に3.3V電源、2.5V電源の順にターンオンすることになっています(3.3V電源が問題なくターンオンしたと仮定)。この3つの電源がすべて良好であればPWRGDステートに入り、そのうちのどれか1個に障害が発生するか、あるいはVX1をハイレベルにすることによってパワーダウン・シーケンスに入るように命令が出されるまで、このPWRGDステートに留まります。

障害は電源ごとに個々のパワーアップ・シーケンスを通して処理されます。以下の各項では個々のブロックについて説明していますが、このアプリケーション例を用いてステート・マシンの動作を具体的に解説します。

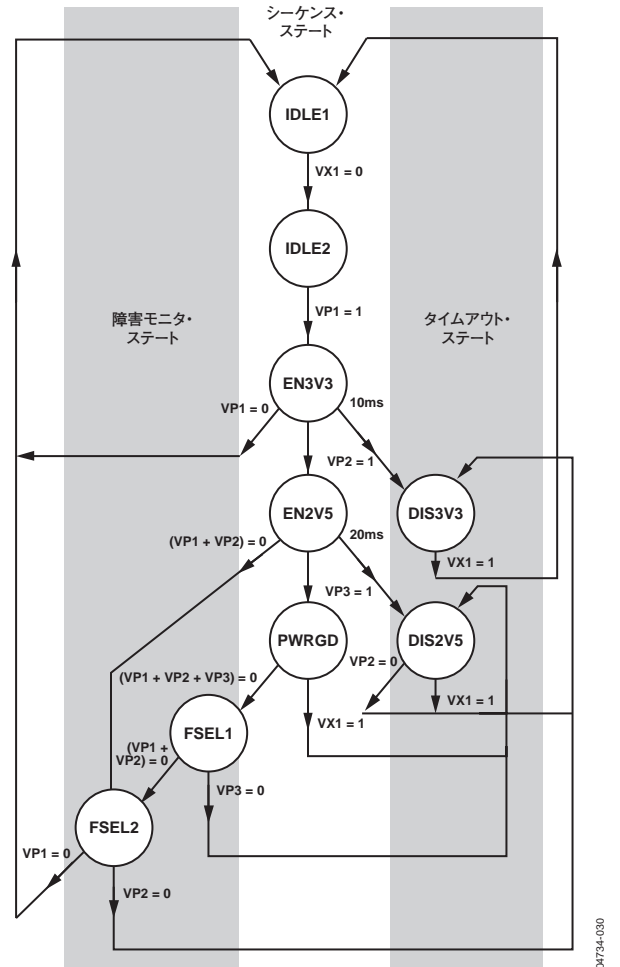


図20. アプリケーション例のフロー図

表7. 各ステートのPDO出力

PDO出力	IDLE1	IDLE2	EN3V3	EN2V5	DIS3V3	DIS2V5	PWRGD	FSEL1	FSEL2
PDO1=3V3ON	0	0	1	1	0	1	1	1	1
PDO2=2V5ON	0	0	0	1	1	0	1	1	1
PDO3=FAULT	0	0	0	0	1	1	0	1	1



## シーケンス検出器

シーケンス検出器ブロックは、シーケンスのステップがいつ完了したかを検出するために使用されます。これはSEへの入力の1つの状態変化をチェックして検出し、パワーアップまたはパワーダウン・シーケンスがスムーズに進むためのゲートとして最も一般的に使用されます。この検出器には、必要に応じてパワーアップまたはパワーダウン・シーケンスに遅延を挿入できるタイマ・ブロックが内蔵されています。このタイマ遅延は、 $10\mu\text{s}$ から $400\text{ms}$ までの範囲で設定可能です。図21にシーケンス検出器のブロック図を示します。

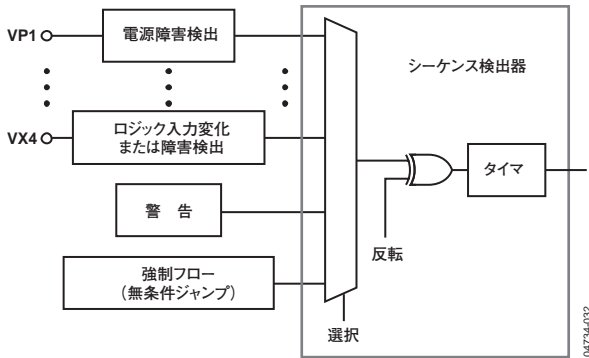


図21. シーケンス検出器のブロック図

シーケンス検出器をモニタリング障害の識別に役立てることも可能です。図20に示すアプリケーション例では、VP1、VP2、VP3のどのピンで障害が発生しているかをFSEL1とFSEL2の状態ですべて最初に識別し、その後で適切な処置動作を実行します。

## モニタリング障害検出器

モニタリング障害検出器ブロックは、ある入力上で発生した障害を検出するために使用されます。これを実行するロジック機能はワイドORゲートで、入力が想定された条件から逸脱すると検出されます。このブロックが活躍するのは、PWRGDステートに入っているときです。このときにVP1、VP2、VP3ピンのうちいずれか1つまたは複数の入力で障害が発生したことをモニタ・ブロックで示します。

電源がその許容範囲から外れると、障害条件がトリガされる可能性があるため、このブロックでは遅延を設定できません。このような状況下では、可能な限り迅速に対応しなければならないからです。しかし、このステートを終了して次のステートに移動するときには、ある程度のレイテンシ（遅延）が発生します。その理由は、ステート設定がEEPROMからSEにダウンロードされるまでに約 $20\mu\text{s}$ の時間を要するからです。図22に、モニタリング障害検出器のブロック図を示します。

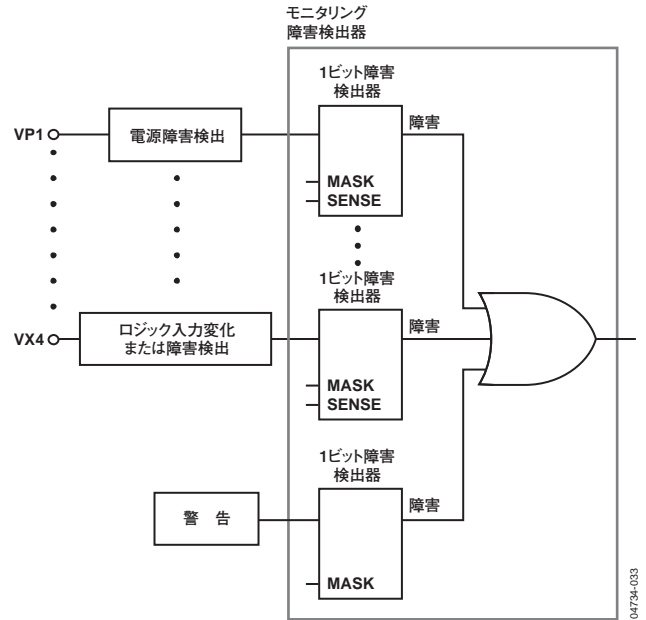


図22. モニタリング障害検出器のブロック図

## タイムアウト検出器

タイムアウト検出器が内蔵されているので、障害をトラップし、パワーアップまたはパワーダウン・シーケンスを正しく進めることができます。

図20に示すアプリケーション例では、タイムアウトの次のステート移行がEN3V3およびEN2V5のステートから始まります。EN3V3ステート時には、このステートに入るときに3V3ON信号がアサートされ（PDO1出力ピン上）、これによって3.3V電源がターンオンします。この電源レールはVP2ピンに接続されており、シーケンス検出器はVP2ピン上の電圧がUVスレッシュホールドを超える状態を監視します。UVスレッシュホールドは、VP2ピンに接続されている電源障害検出器（SFD）で設定されます。

この変化が検出されると、パワーアップ・シーケンスが進行します。ただし、電源に障害がある場合には（その原因はこの電源の短絡過負荷であると考えられる）、タイムアウト・ブロックがこの問題をトラップします。この例では、3.3V電源の障害が $10\text{ms}$ 以内に発生すれば、SEがDIS3V3ステートに移動し、PDO1をローレベルに設定することによって、この電源をターンオフします。SEはさらに、PDO3をハイレベルに設定することによって、障害が発生したことを示します。タイムアウト遅延は、 $100\mu\text{s}$ から $400\text{ms}$ までの範囲内でプログラミング設定できます。

## 障害のリポート

ADM1068には、障害を記録するための障害ラッチが備わっています。この目的のために、2個のレジスタが用意されています。デバイスの各入力に1ビットが割り当てられており、その入力上で障害が発生すると関連するビットがセットされます。障害レジスタのデータ内容はSMBusを介して読み出すことができるので、どの入力で障害が発生したかを判別できます。各ステートで障害レジスタをイネーブル/ディスエーブルに設定できます。したがって、実際の障害のみがキャプチャされるので、たとえばSEがパワーダウン・シーケンスを実行しているときに発生するアンダー電圧のトリップなどはキャプチャされることはありません。

# ADM1068

## アプリケーション回路図

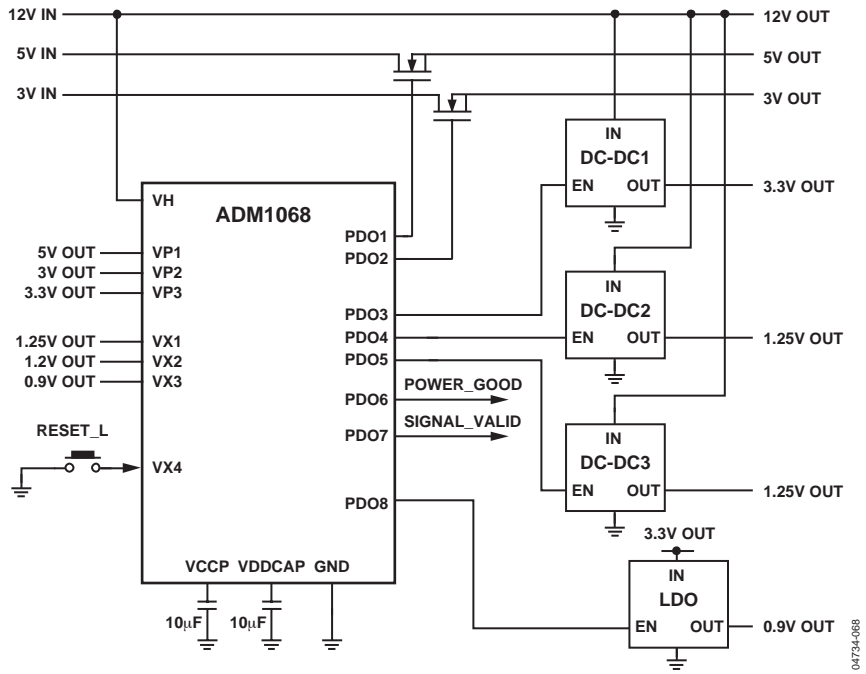


図23. アプリケーション回路図

## ADM1068の通信動作

### パワーアップ時の設定ダウンロード

ADM1068の設定(UV/OVスレッシュホールド、グリッチ・フィルタのタイムアウト、PDOの設定など)は、RAMのデータ内容に基づいて決定されます。RAMはADM1068の各機能に対してローカルなデジタル・ラッチで構成されます。これらのラッチはダブル・バッファ構成になっており、ラッチAとラッチBのまったく同じ2個のラッチが内蔵されています。したがって、機能更新が行われる際は、ラッチAのデータ内容が最初に更新され、次にまったく同じデータでラッチBが更新されます。ここでは、このアーキテクチャの利点について詳細に説明します。

ラッチは揮発性メモリであるため、パワーダウン時にはそのデータ内容が消失します。そのために、パワーアップ時にEEPROM(不揮発性メモリ)のデータ内容をローカル・ラッチにダウンロードして、RAMに保存された設定データを復元する必要があります。このダウンロードは、以下のステップで実行されます。

1. デバイ스에電源が投入されていないときに、PDOはすべてハイ・インピーダンスになります。
2. VDDアービトラータに接続される入力(VHまたはVPn)のいずれかに1Vが現れると、PDOはすべて20kΩのインピーダンスでGNDにウィーク・プルダウンされます。
3. 電源がデバイスのアンダー電圧ロックアウトを超えると(UVLOは2.5V)、EEPROMがRAMへのダウンロードを開始します。
4. EEPROMはそのデータ内容をすべてのラッチAにダウンロードします。
5. EEPROMのデータ内容が完全にラッチAにダウンロードされると、デバイス・コントローラはすべてのラッチAに対して、データ内容をすべてのラッチBに同時にダウンロードするように要求する信号を出力し、設定のダウンロードが完了します。
6. 設定のダウンロードが終了して0.5msが経過した後で、最初のステータス定義がEEPROMからSEにダウンロードされます。

ダウンロードが完了しないうちにADM1068との通信を実行しようとすると、ADM1068はノー・アックノレッジ(NACK)コマンドを発行します。

### 設定の更新

パワーアップ後、すべての設定がEEPROMからRAMレジスタにダウンロードされてから、SFDのUVまたはOV限界値の変更、SFDの障害出力の変更、またはPDOの1つの立上がり時間遅延の調整など、ADM1068の機能設定を変更しなければならない場合があります。

ADM1068には、SMBusインターフェースを介して設定内容を更新できるオプションがいくつか用意されています。以下の各オプションは、UPDCFGレジスタで制御されます。

1. 設定内容をリアルタイムで更新します。SMBusバスを介してRAMに書き込み動作を行うと、即時に設定が更新されます。
2. ラッチBを更新せずに、ラッチAを更新します。この方式では、ラッチBの更新を要求する命令が出されるまで、ADM1068の設定は変更されず、最初の設定に基づいた動作を継続します。
3. RAMのデータ内容を変更せずに、EEPROMレジスタのデータを変更し、その後でこの更新されたEEPROMのデータ内容をRAMレジスタにダウンロードします。この場合も、RAMの更新を要求する命令が出されるまで、ADM1068の設定は変更されず、最初の設定に基づいた動作を継続します。

オプション3で実行されるEEPROMからのダウンロード命令は、設定の更新が不満足なものである場合に、EEPROMの元のデータ内容を復元するための有効な手段でもあります。たとえば、OVスレッシュホールドを変更する必要がある場合、オプション1で説明したようにRAMレジスタを更新することによって変更できます。しかし、変更内容が気に入らず、元の設定値に戻りたい場合には、オプション3で説明したように、EEPROMのデータ内容をRAMに再度ダウンロードするように要求するコマンドをデバイス・コントローラが発行し、ADM1068を最初の設定に復元することができます。

ADM1068の独自の設計方式によって、このような動作が可能になります。ローカルの揮発性レジスタ(RAM)はすべて、ダブル・バッファ構成のラッチです。UPDCFGレジスタのビット0を1に設定すると、ダブル・バッファ構成のラッチが常に開放された状態になります。ビット0を0に設定すると、SMBusを介してRAMに書き込み動作が実行されるときに、最初のバッファ・ラッチのみに書き込みが行われます。その後で、UPDCFGレジスタのビット1に1を書き込む必要があります。これでパルスが発生し、ただちに2番目のラッチをすべて更新します。EEPROMの書き込み動作も同様の方法で実行されます。

このレジスタの最後のビットは、EEPROMページの消去をイネーブまたはディスエーブに設定できます。このビットをハイレベルに設定すると、EEPROMページの内容をすべて1に設定できます。このビットをローレベルに設定すれば、SMBusを介してページ消去のコマンド・コードをプログラミングしている場合であっても、ページの内容を消去することはできません。UPDCFGレジスタのビット・マップは、アプリケーション・ノート「AN-698」に掲載しています。パワーアップ時のダウンロード、およびその後の設定の更新を示すフロー・チャートを図24に示します。

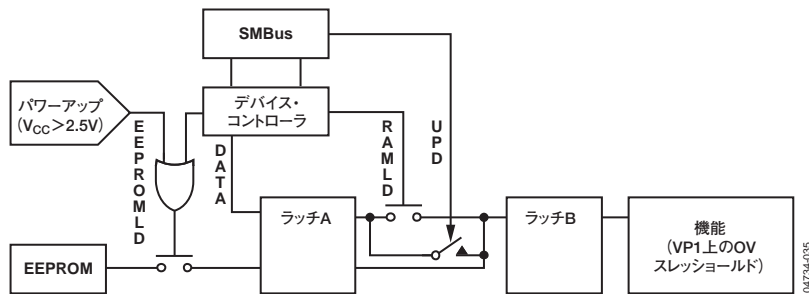


図24. 設定更新のフロー図

## シーケンシング・エンジンの更新

シーケンシング・エンジン(SE)の機能は、通常の設定用ラッチと同じ方法では更新されません。SEにはステート定義を保存するための専用の512バイトEEPROMが備わっており、64ビット・ワードの単位で63個の個別ステートを設定します(1つのステートは予備)。パワーアップ時に、最初のステートがSEのEEPROMからエンジンにロードされます。このステートの条件が合うと、次のステートがEEPROMからエンジンにロードされ、以下順にこの方法が繰り返されます。新しいステートがロードされる所要時間はそれぞれ約10 $\mu$ sです。

ステートを変更する場合、必要な変更をEEPROMに対して直接行う必要があります。各ステートを記憶するためのRAMは存在しません。該当する変更を64ビット・ワードで行うと、このデータがEEPROMに直接アップロードされます。

## 内部レジスタ

ADM1068には多くのデータ・レジスタが内蔵されています。この中で主要なレジスタは、アドレス・ポインタ・レジスタと設定レジスタです。

### アドレス・ポインタ・レジスタ

このレジスタには、他の内部レジスタの1つを選択するアドレスが格納されます。ADM1068の書き込み動作時に、最初に書き込まれるデータバイトは常にレジスタ・アドレスであり、このアドレスがアドレス・ポインタ・レジスタに書き込まれます。

### 設定レジスタ

これらのレジスタには、ADM1068の各種の動作パラメータを制御および設定するためのデータが格納されます。

## EEPROM

ADM1068には、512バイト・セルの不揮発性で、電氣的に消去可能なプログラマブル読み出し専用メモリ(EEPROM)が2個内蔵されています。そのアドレスは0xF800から0xFBFFまで割り当てられています。これらのEEPROMは、ADM1068のパワーダウン時に消失されないデータを永久に保存するために使用されます。1個のEEPROMはデバイスの設定データを保存し、もう1個はSEのステート定義を保存します。EEPROMは読み出し専用メモリと呼ばれますが、その他のレジスタとまったく同じ方法でシリアル・バスを介して、書き込みと読み出しの両方が可能です。

EEPROMとその他のレジスタの主な相違点は、次のとおりです。

- EEPROMのあるロケーションに書き込みを行うときは、事前にそのロケーションを空き状態しておく必要があります。そこにデータが保存されている場合は消去してください。
- EEPROMの書き込み速度は、RAMの書き込み動作よりも低速です。
- EEPROMの書き込み動作には制約があります。理由は、EEPROMの通常の損耗メカニズムにより、書き込みサイクル寿命が一般的に10,000回の書き込み動作に制限されているためです。

最初のEEPROMは、容量が各32バイトの16(0~15)のページに分割されます。アドレス0xF800から開始されるページ0~6には、ADM1068のアプリケーションに関する設定データ(SFDやPDOなど)が保存されます。これらのEEPROMアドレスは、F8で始まるRAMレジスタのアドレスと同じです。ページ7は予備です。ページ8~15は、ユーザが任意に使用できるページです。

以下のいずれかの方法で、EEPROMからRAMにデータをダウンロードできます。

- パワーアップ時に、ページ0~6がダウンロードされるとき
- UDOWNLDレジスタ(0xD8)のビット0をセットして、ページ0~6のユーザ・ダウンロードを実行する

## シリアル・バス・インターフェース

ADM1068の制御は、シリアル・システム管理バス(SMBus)を介して行います。ADM1068はマスター・デバイスの制御下にあるスレーブ・デバイスとして、このバスに接続されます。ADM1068がパワーアップした後で、EEPROMからのダウンロードが完了するまでに約1msかかります。したがって、ダウンロードが終了するまで、ADM1068へのアクセスが制限されます。

### SMBus上でのADM1068の識別

ADM1068には、7ビットのシリアル・バス・スレーブ・アドレスが割り当てられています。このデバイスのパワーアップ時には、デフォルトのシリアル・バス・アドレスが指定されています。アドレスの上位5ビットは01101に設定され、下位2ビットはA1とA0の各ビットのロジック状態によって決定されます。したがって、1つのSMBusに4個のADM1068を接続できます。

このデバイスには、SMBusを介して読出しが可能な複数個の識別レジスタ(読出し専用)も内蔵されています。表8に、これらのレジスタとその値および機能を示します。

表8. 識別レジスタの値と機能

名称	アドレス	値	機能
MANID	0xF4	0x41	アナログ・デバイセズの製造者ID
REVID	0xF5	0x02	シリコン・リビジョン
MARK1	0xF6	0x00	ソフトウェア・ブランド
MARK2	0xF7	0x00	ソフトウェア・ブランド

### SMBusの一般的なタイミング

図25、図26、図27に、SMBusを用いた一般的な読出し／書込み動作のタイミング図を示します。SMBus仕様では、「書込み動作」と「読出し動作」の項で説明するように、各種の読出し／書込み動作に適用される特定の条件が規定されています。

一般的なSMBusプロトコルは、以下のように実行されます。

1. マスターは、開始状態を確立してデータ転送を開始します。シリアル・クロック・ラインのSCLがハイレベルのときに、シリアル・データ・ラインのSDAがハイレベルからローレベルに遷移すると、開始状態が確立され、その後データ・ストリームの転送が開始されます。シリアル・バスに接続されたすべてのスレーブ・ペリフェラルが開始状態に 응답し、7ビットのスレーブ・アドレス(MSBファースト)と1個のR/Wビットで構成される次の8ビットをシフト入力します。R/Wビットの設定に従って、データ転送の方向、すなわちスレーブ・デバイスのデータ書込みまたは読出しのどちらの動作を実行するかを決定します(0=書込み、1=読出し)。

送信されたアドレスに対応するペリフェラルは、アクノレッジ・ビットと呼ばれる9番目のクロック・パルスの前のローレベル期間中にデータラインをローレベルに引き込む動作によって応答し、このクロック・パルスがハイレベルに維持されている間にデータラインをローレベルに保持します。

バス上のその他のデバイスは、選択されたデバイスがデータの読出または書込みを待っている間、アイドル状態に維持されます。R/Wビットが0の場合、マスターはスレーブ・デバイスにデータを書き込みます。R/Wビットが1の場合には、マスターはスレーブ・デバイスからデータを読み出します。

2. データはシリアル・バスを介して、9個のクロック・パルスのシーケンスで送信されます。つまり、8ビットのデータの後に、スレーブ・デバイスからの1個のアクノレッジ・ビットが続きます。データライン上のデータの遷移はクロック信号がローレベルの期間で発生し、ハイレベルの期間は安定している必要があります。これは、クロックがハイレベルの期間にローレベルからハイレベルに遷移すると、停止信号と解釈される場合があるからです。書込み動作の場合には、スレーブ・アドレスの後に続く最初のデータバイトがコマンド・バイトになります。このバイトは、どのような動作を次に期待すべきかをスレーブ・デバイスに通知します。ブロック書込みを待ち受けるようにスレーブ・デバイスに通知する命令として使用される場合もあれば、単に後続のデータが書き込まれる場所をスレーブ・デバイスに通知するレジスタ・アドレスとして使用される場合もあります。データの転送は、R/Wビットの設定に従って1方向のみに限られるので、読出し動作の実行中にコマンドをスレーブ・デバイスに送信することはできません。読出し動作の前には、どのようなタイプの読出し動作を待ち受けるか、そしてデータが読み出されるアドレスをスレーブ・デバイスに通知するために、書込み動作を行わなければならない場合があります。
3. データバイトすべての読出または書込みが完了した時点で、停止状態が確立されます。書込みモード時には、10番目のクロック・パルスの間にマスターがデータラインをハイレベルに引き込んで、停止状態をアサートします。読出しモード時には、9番目のクロック・パルスの前のローレベル期間中にマスター・デバイスがSDAラインを解放しますが、スレーブ・デバイスはSDAラインをローレベルに引き込みません。これは、ノー・アクノレッジと呼ばれます。次に、マスターは10番目のクロック・パルスの前のローレベル期間中にデータラインをローレベルに引き込み、10番目のクロック・パルスの間にこれをハイレベルに遷移させて、停止状態をアサートします。

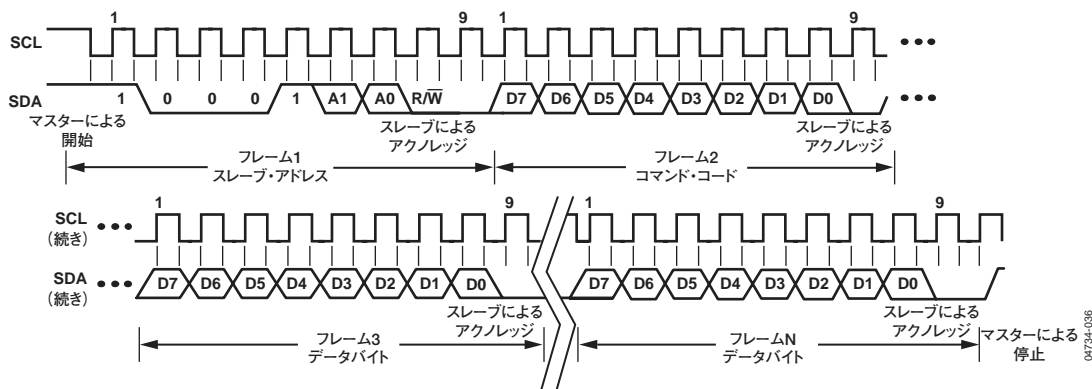


図25. SMBusの一般的な書込みタイミング図

# ADM1068

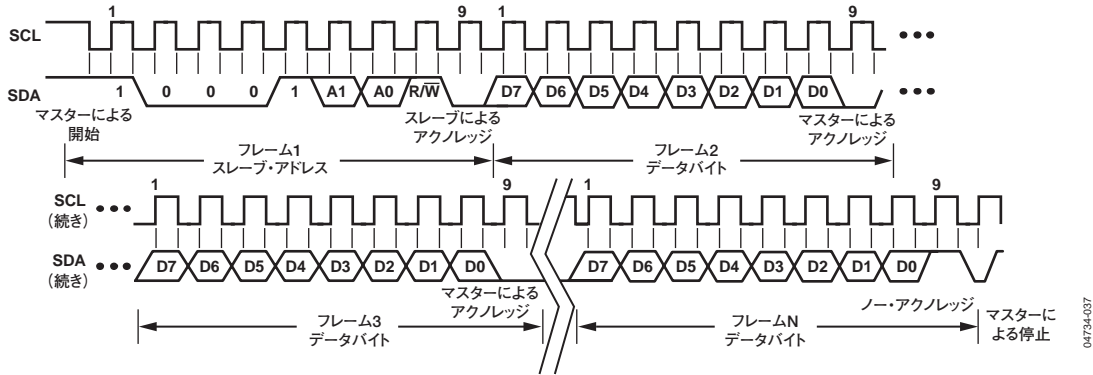


図26. SMBusの一般的な読出しタイミング図

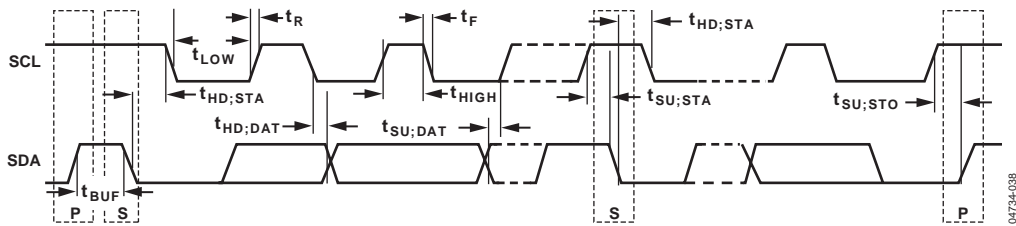


図27. シリアル・バスのタイミング図

## RAMとEEPROMのSMBusプロトコル

ADM1068には、揮発性レジスタ (RAM) と不揮発性レジスタ (EEPROM) が内蔵されています。ユーザRAMは0x00から0xDFまでのアドレス・ロケーションを占有し、EEPROMは0xF800から0xFBFFまでのアドレス・ロケーションを占有します。

RAMとEEPROMの両方に対して、データを単一のデータバイトとして書き込むか、または読み出すことが可能です。EEPROMでデータを書き込むのはプログラミングされていないロケーションのみです。プログラミングされたロケーションに新しいデータを書き込む際には、その場所に保存されているデータを最初に消去する必要があります。バイト・レベルでEEPROMのデータを消去することは不可能です。EEPROMは各32バイトの32ページ構成になっているので、ページ全体を消去しなければなりません。

UPDFCFGレジスタ (アドレス0x90) のビット2を1に設定することで、ページを消去できます。このビットが1に設定されていない場合、SMBusを介してコマンド・バイト (0xFE) をプログラミングしている場合であっても、ページを消去することはできません。

## 書込み動作

SMBus仕様では、各種の読出し／書込み動作に対応するいくつかのプロトコルが規定されています。以下の各図では、次のような省略記号を使用しています。

- S 開始
- P 停止
- R 読出し
- W 書込み
- A アクノレッジ
- $\bar{A}$  ノー・アクノレッジ

ADM1068では、以下のようなSMBus書込みプロトコルを用いています。

### 送信バイト

送信バイト動作では、以下の手順でマスター・デバイスがスレーブ・デバイスに1つのコマンド・バイトを送信します。

1. マスター・デバイスがSDAライン上で開始状態をアサートします。
2. マスターが7ビットのスレーブ・アドレス、1個の書込みビット (ローレベル) の順に送信します。
3. アドレスが一致したスレーブ・デバイスがSDAライン上でACKをアサートします。
4. マスターがコマンド・コードを送信します。
5. スレーブがSDAライン上でACKをアサートします。
6. マスターがSDAライン上で停止状態をアサートし、トランザクションが終了します。

ADM1068では、送信バイト・プロトコルを以下の2つの目的に使用します。

- 続けて同じアドレスからシングル・バイトの読出しを行ったり、そのアドレスから開始されるブロック読出し／書込みを行ったりするために、レジスタ・アドレスをRAMに書き込む動作 (図28参照)

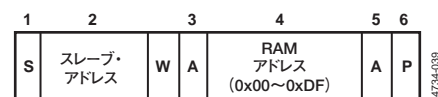


図28. 続けて読出しを行うためのRAMアドレスの設定

- EEPROMメモリのページ消去。EEPROMメモリの書き込みを実行できるのは、それがプログラミングされていない場合にに限られます。すでにプログラミングされているEEPROMメモリ・ロケーションにデータを書き込む際には、事前にこれらのロケーションを含むページをすべて消去する必要があります。EEPROMメモリのデータを消去するには、コマンド・バイトを書き込みます。

マスターは、スレーブ・デバイスにコマンド・コードを送信し、ページを消去するように通知します。ADM1068のページ消去用のコマンド・コードは、0xFE(1111 1110)です。ページを消去するためには、その前の書き込みワード・トランザクションでページ・アドレスを指定しておく必要がある点に注意してください(「書き込みバイト/ワード」の項を参照)。さらに、UPDCFGレジスタ(アドレス0x90)のビット2を1に設定することも必要です。

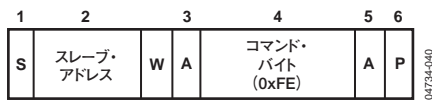


図29. EEPROMページの消去

ADM1068がコマンド・バイトを受信すると、即時にページの消去が開始されます。マスター・デバイスはコマンド・バイトを送信した後で、即時に停止コマンドを送信できます。ページ消去の所要時間は約20msです。ページの消去が完了しないうちにADM1068にアクセスすると、このデバイスはノー・アクノレッジ(NACK)で応答します。

## 書き込みバイト/ワード

書き込みバイト/ワード動作では、以下の手順でマスター・デバイスがスレーブ・デバイスに1つのコマンド・バイトと1つまたは2つのデータバイトを送信します。

1. マスター・デバイスがSDAライン上で開始状態をアサートします。
2. マスターが7ビットのスレーブ・アドレス、1個の書き込みビット(ローレベル)の順に送信します。
3. アドレスが一致したスレーブ・デバイスが、SDAライン上でACKをアサートします。
4. マスターがコマンド・コードを送信します。
5. スレーブがSDAライン上でACKをアサートします。
6. マスターがデータバイトを送信します。
7. スレーブがSDAライン上でACKをアサートします。
8. マスターがデータバイトを送信します(または、この時点で停止状態をアサートします)。
9. スレーブがSDAライン上でACKをアサートします。
10. マスターがSDAライン上で停止状態をアサートし、トランザクションが終了します。

ADM1068では、書き込みバイト/ワード・プロトコルを以下の3つの目的に使用します。

- シングル・バイトのデータをRAMに書き込む動作。この場合には図30に示すように、コマンド・バイトは0x00から0xDFまでのRAMアドレスに割り当てられ、データバイトのみが実際のデータとなります。

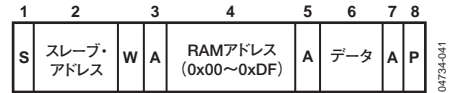


図30. RAMに対するシングル・バイトの書き込み

- 続けて実行される読出し、書き込み、ブロック読出し、ブロック書き込み、またはページ消去のために、2バイトのEEPROMアドレスを設定する動作。この場合には、コマンド・バイトは0xF8から0xFBまでのEEPROMアドレスの上位バイトになります。図31に示すように、データバイトのみがEEPROMアドレスの下位バイトです。



図31. EEPROMアドレスの設定

ページ消去の場合には、1ページが32バイトで構成されるので、アドレス下位バイトの上位3ビットのみが重要である点に注意してください。EEPROMアドレス下位バイトの下位5ビットは、ページ内のアドレスを指定するので、消去動作時には無視されます。

- シングル・バイトのデータをEEPROMに書き込む動作。この場合には、コマンド・バイトは0xF8から0xFBまでのEEPROMアドレスの上位バイトになります。図32に示すように、最初のデータバイトはEEPROMアドレスの下位バイトであり、2番目のデータバイトが実際のデータです。

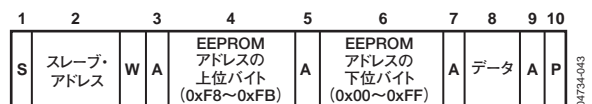


図32. EEPROMに対するシングル・バイトの書き込み

## ブロック書き込み

ブロック書き込み動作では、マスター・デバイスがデータのブロックをスレーブ・デバイスに書き込みます。ブロック書き込みの開始アドレスは事前に設定しておく必要があります。ADM1068では以下の手順に従って、送信バイト動作でRAMアドレスを設定し、書き込みバイト/ワード動作でEEPROMアドレスを設定します。

1. マスター・デバイスがSDAライン上で開始状態をアサートします。
2. マスターが7ビットのスレーブ・アドレス、1個の書き込みビット(ローレベル)の順に送信します。
3. アドレスが一致したスレーブ・デバイスが、SDAライン上でACKをアサートします。
4. マスターが、スレーブ・デバイスに対してブロック書き込みを待ち受けるように指示するコマンド・コードを送信します。ブロック書き込み時のADM1068のコマンド・コードは、0xFC(1111 1100)です。

# ADM1068

5. スレーブがSDAライン上でACKをアサートします。
6. マスターがスレーブ・デバイスにデータバイトを送信し、転送されるデータバイト数を通知します。SMBus仕様では、1回のブロック書込みで最大32のデータバイトを送信できると規定されています。
7. スレーブがSDAライン上でACKをアサートします。
8. マスターがN個のデータバイトを送信します。
9. スレーブがデータバイトを受信するたびに、SDAライン上でACKをアサートします。
10. マスターがSDAライン上で停止状態をアサートし、トランザクションが終了します。



図33. EEPROMまたはRAMに対するブロック書込み

ブロック書込みが1ページ内に制限される一部のEEPROMデバイスとは異なり、EEPROMに対するブロック書込み時に開始アドレスに関する制限はありません。ただし、例外として以下の制約事項があります。

- 無効アドレスへの書込みを防止するために、開始アドレスからEEPROMの最上位アドレス(0xFBFF)までの範囲内に、最低N個のロケーションが必要です。
- アドレスが2ページにまたがる場合には、プログラミングの前に両ページを消去する必要があります。

なお、ADM1068はEEPROMに対する書込み動作のために、クロック拡張機能を備えています。EEPROMバイトのプログラミングには約250  $\mu$ sを要するので、繰返し動作またはブロック書込み動作のときに、SMBusクロックが制限を受けます。クロックがデータを受入れられない状態になると、ADM1068はSCLをローレベルに引き込み、クロック・パルスを拡張します。

## 読出し動作

ADM1068では、以下のようなSMBus読出しプロトコルを用いています。

### 受信バイト

受信バイト動作では、以下の手順でマスター・デバイスがスレーブ・デバイスから1つのデータバイトを受信します。

1. マスター・デバイスが、SDAライン上で開始状態をアサートします。
2. マスターが7ビットのスレーブ・アドレス、1個の読出しビット(ハイレベル)の順に送信します。
3. アドレスが一致したスレーブ・デバイスが、SDAライン上でACKをアサートします。
4. マスターがデータバイトを受信します。
5. マスターがSDAライン上でノー・アクレッジをアサートします。
6. マスターがSDAライン上で停止状態をアサートし、トランザクションが終了します。

ADM1068では図34に示すように、受信バイト・プロトコルを使用し、送信バイトまたは書込みバイト/ワード動作によってアドレスがすでに設定されているRAMまたはEEPROMからシングル・バイトのデータを読み出します。

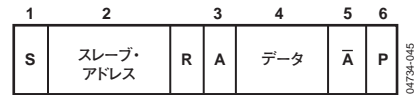


図34. EEPROMまたはRAMからのシングル・バイトの読出し

## ブロック読出し

ブロック読出し動作では、マスター・デバイスがデータのブロックをスレーブ・デバイスから読み出します。ブロック読出しの開始アドレスは事前に設定しておく必要があります。ADM1068では、送信バイト動作でRAMアドレスを設定し、書込みバイト/ワード動作でEEPROMアドレスを設定する方法で、このアドレス指定を行います。ブロック読出し動作自体は以下に説明するように、ブロック読出しコマンドをスレーブに送信する送信バイト動作、その直後に続く繰返し開始動作、および複数個のデータバイトを読み出す読出し動作からなります。

1. マスター・デバイスはSDAライン上で開始状態をアサートします。
2. マスターが7ビットのスレーブ・アドレス、1個の書込みビット(ローレベル)の順に送信します。
3. アドレスが一致したスレーブ・デバイスが、SDAライン上でACKをアサートします。
4. マスターが、スレーブ・デバイスに対してブロック読出しを待ち受けるように指示するコマンド・コードを送信します。ブロック読出し時のADM1068のコマンド・コードは、0xFD (1111 1101)です。
5. スレーブがSDAライン上でACKをアサートします。
6. マスターがSDAライン上で繰返し開始状態をアサートします。
7. マスターが7ビットのスレーブ・アドレス、1個の読出しビット(ハイレベル)の順に送信します。
8. スレーブがSDAライン上でACKをアサートします。
9. ADM1068は、何個のデータバイトが期待されるかをマスターに通知するバイト・カウンタのデータバイトを送信します。SMBus 1.1仕様で規定されている最大許容値に相当する32個のデータバイト(0x20)をADM1068は常に返します。
10. マスターがSDAライン上でACKをアサートします。
11. マスターが32個のデータバイトを受信します。
12. データバイトを受信するたびに、マスターがSDAライン上でACKをアサートします。
13. マスターがSDAライン上で停止状態をアサートした後で、トランザクションが終了します。



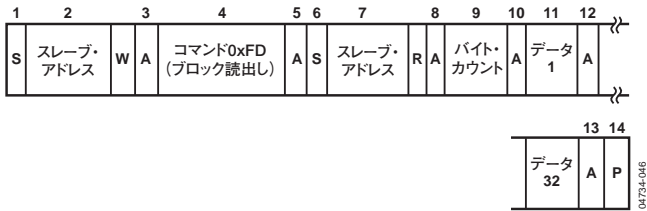


図35. EEPROMまたはRAMからのブロック読み出し

## エラー訂正

ADM1068にはRAMの書き込み、EEPROMの書き込み、RAM/EEPROMのブロック書き込み、またはRAM/EEPROMのブロック読み出しの後で、PEC (パケット・エラー訂正) バイトを発行するオプションが用意されています。したがって、ADM1068で送受信したデータが正しいものであるかを検証できます。PECバイトは、ADM1068に対して最後のデータバイトが書き込まれるか、または読み出された後に続いて送信されるオプションのバイトです。このプロトコルは、以下のとおりです。

1. ADM1068がマスターに対してPECバイトを発行します。マスターはそのPECバイトをチェックし、PECバイトにエラーがあれば、ブロック読み出しを再度発行します。

2. PECバイトの後に、読み出し動作の終了を通知するノー・アクノレッジ (NACK) が発行されます。

PECバイトはCRC-8を用いて算出されます。フレーム・チェック・シーケンス (FCS) は、CRC-8により以下の多項式にて確認されます。

$$C(x) = x^8 + x^2 + x^1 + 1$$

詳細については、SMBus1.1仕様を参照してください。

オプションのPECバイトを利用したブロック読み出し動作設定の例を図36に示します。

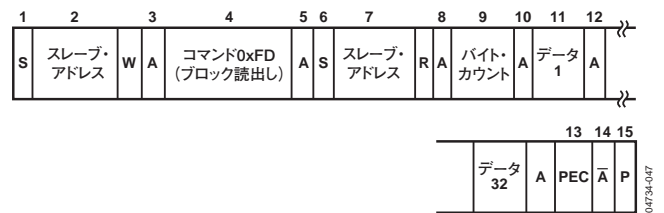
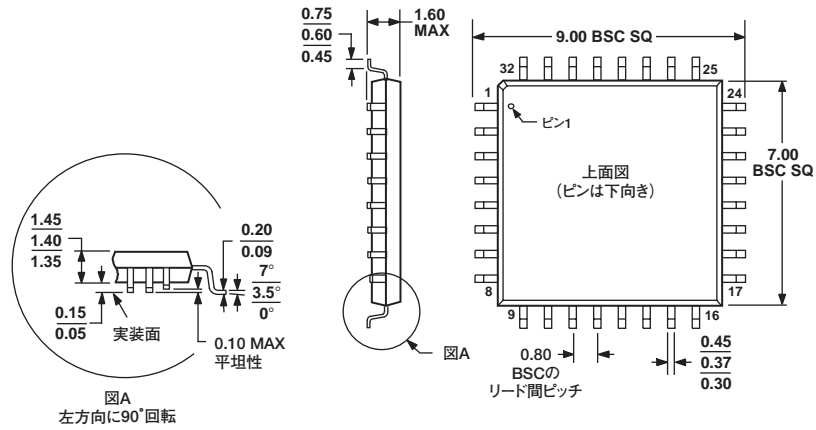


図36. PECを用いたEEPROMまたはRAMからのブロック読み出し

# ADM1068

## 外形寸法



JEDEC規格MS-026-BBAに準拠

図37. 32ピン低背クワッド・フラット・パッケージ〔LQFP〕  
(ST-32-2)  
寸法単位:mm

## オーダー・ガイド

製品モデル	温度範囲	パッケージ	パッケージ・オプション
ADM1068AST	-40~+85℃	32ピンLQFP	ST-32-2
ADM1068AST-REEL	-40~+85℃	32ピンLQFP	ST-32-2
ADM1068AST-REEL7	-40~+85℃	32ピンLQFP	ST-32-2
EVAL-ADM1068LQEB		ADM1068評価用キット	